

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 1 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 1 月 20 日

製品名：LT8698S/LT8698S-1

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：40 ページ

スペック表内 Related Parts の表 LT8611 の機能説明の内容

【誤】

・ ・ 効率 946% ・ ・

【正】

・ ・ 効率 94.6% ・ ・

ケーブル電圧降下補償機能とデータライン保護機能を備える 5V 3A出力、42V入力USBチャージャ

特長

- 広い入力電圧範囲: 最大 42V
- プログラマブルなケーブル電圧降下補償機能により、リモートUSBソケットに対する高精度の5Vレギュレーションを提供
- High Speed USB 2.0 準拠のデータライン・スイッチ
- 大手メーカーおよびUSB BC 1.2のプロファイルを含む選択可能なチャージャ・プロファイル
- Silent Switcher®2技術と選択可能なスペクトラム拡散周波数変調機能によって超低EMIを実現
- 堅牢なデータライン保護
 - 最大 20V の短絡状態に対する耐性
 - 最大 8kV の接触放電および 15kV の空気放電に対する IEC61000-4-2 ESD 保護
- ステータスおよび障害出力ピンが使用可能
- プログラマブルで同期可能なスイッチング周波数: 300kHz ~ 3MHz
- 強制連続モードまたはパルス・スキップ・モードを選択可能
- V_{IN} ピンと GND ピンの間隔が 0.75mm の小型 4mm × 6mm × 0.94mm LQFN パッケージ
- AEC-Q100 認定進行中

アプリケーション

- オートモーティブ USB
- 産業用 USB

概要

LT®8698S は、5V の USB V_{BUS} レールに最大 42V の入力電圧から最大 3A の電力を供給する目的で設計された、小型で高効率の同期整流式モノリシック降圧スイッチング・レギュレータです。プログラマブルなケーブル電圧降下補償機能により、USB ソケットと LT8698S が自動車の配線ハーネスのような長いケーブルで接続されている場合でも、高精度の 5V V_{BUS} レギュレーションを維持します。Silent Switcher® (サイレント・スイッチャ) 技術と選択可能なスペクトラム拡散周波数変調機能により、超低 EMI/EMC を実現しています。

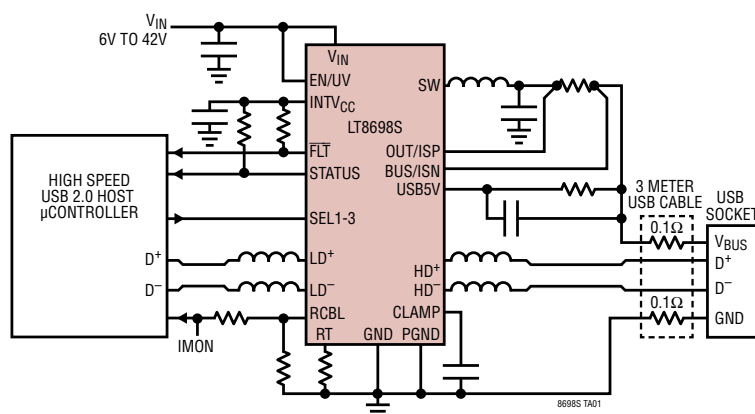
LT8698S は、USB BC 1.2 CDP、DCP、SDP や一般的な独自規格のプロファイルなど、ポータブル・デバイス用チャージャの各種プロファイルをサポートします。内蔵された V_{BUS} リセット機能と V_{BUS} レギュレータ・ディスエーブル機能により、USB OTG 機能をサポートします。

LT8698S の堅牢な High Speed USB 2.0 データ・ライン・スイッチは、最大 20V の短絡状態と最大 8kV の接触放電および 15kV の空気放電レベルの IEC61000-4-2 ESD イベントに対して、上流の USB ホスト・マイクロコントローラを保護します。更に、V_{BUS} モニタおよび障害保護機能により、USB パワー・スイッチを不要にしています。LT8698S は、V_{IN} と PGND の間に 2 個の並列 10nF コンデンサを内蔵し、EMI/EMC 性能を改善しています。LT8698S-1 はこれらのコンデンサを内蔵していません。

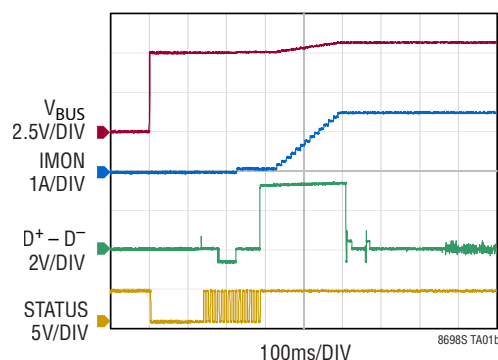
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

高速データライン保護機能とケーブル電圧降下補償機能を備える
オートモーティブ・チャージャ



USB BC1.2 CDP セッション

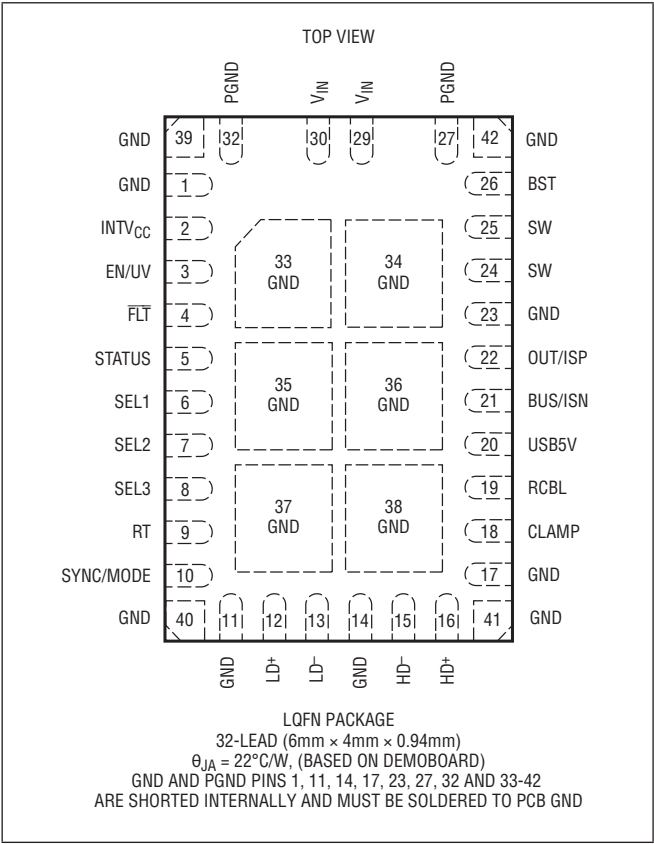


絶対最大定格

(Note 1)

V _{IN} 、EN/UV、OUT/ISP、BUS/ISN、USB5V.....	42V
HD ⁺ 、HD ⁻ 、CLAMP.....	20V
SYNC/MODE、 $\overline{\text{FLT}}$ 、STATUS、 SEL1、SEL2、SEL3、LD ⁺ 、LD ⁻	6V
RCBL、RT.....	2V
動作ジャンクション温度範囲 (Note 2)	
LT8698SE.....	-40°C ~ 125°C
LT8698SJ.....	-40°C ~ 150°C
保存温度範囲.....	-65°C ~ 150°C
ピーク・パッケージ・ボディ・リフロー温度	260°C

ピン配置



発注情報

製品番号	パッド／ボール仕上げ	製品マーキング		パッケージ・ タイプ	MSL 定格	温度範囲 (Note 2 参照)
		デバイス	仕上げコード			
LT8698SEV#PBF	Au (RoHS)	8698V	e4	LQFN (Laminate Package with QFN Footprint)	3	−40℃ to 125℃
LT8698SJV#PBF						−40℃ to 150℃
LT8698SEV-1#PBF		8698S1				−40℃ to 125℃
LT8698SJV-1#PBF						−40℃ to 150℃
オートモーティブ製品**						
LT8698SEV#WPBF	Au (RoHS)	8698V	e4	LQFN (Laminate Package with QFN Footprint)	3	−40℃ to 125℃
LT8698SJV#WPBF						−40℃ to 150℃
LT8698SEV-1#WPBF		8698S1				−40℃ to 125℃
LT8698SJV-1#WPBF						−40℃ to 150℃

- デバイスの温度グレードは出荷時のコンテナのラベルで示してあります。
- パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。
- 推奨のPCBアセンブリ手順および製造手順についての参照先
- パッケージおよびトレイの図面の参照先

** このデバイス・バージョンは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するため、管理の行き届いた製造工程により供給されます。これらのモデルは #W 接尾部により指定されます。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイス代理店までお問い合わせください。

電氣的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	V_{IN} Shutdown Current	$V_{EN/UV} = 0.25\text{V}$, $V_{IN} = 12\text{V}$		0.1	1		μA
	V_{IN} Current in Regulation	$I_{LOAD} = 0\text{A}$, $V_{SYNC/MODE} = 0\text{V}$, $V_{IN} = 12\text{V}$ (Note 4)	●	2.5	4		mA
		$I_{LOAD} = 0\text{A}$, $V_{SYNC/MODE} = \text{Open}$, $V_{IN} = 12\text{V}$ (Note 4)	●	23	36		mA
V_{CHG}	Regulator Output Voltage at BUS/ISN	$I_{LOAD} = 0\text{A}$, $R_{CBL} = 3.57\text{k}$ (Note 4)	●	4.925	5.00	5.063	V
		$I_{LOAD} = 2.4\text{A}$, $R_{CBL} = 3.57\text{k}$ (Note 4)	●	5.52	5.61	5.680	V
		$I_{LOAD} = 0\text{A}$, $V_{USB5V} = 0\text{V}$ (Note 4)	●	5.93	6.05	6.13	V
	USB5V Voltage	$V_{IN} = 5\text{V}$ to 42V	●	4.915	4.99	5.053	V
	Upper $\overline{\text{FLT}}$ Threshold Offset	Percentage of V_{USB5V} , V_{USB5V} Falling	●	4	7	10	%
	Lower $\overline{\text{FLT}}$ Threshold Offset	Percentage of V_{USB5V} , V_{USB5V} Rising	●	4	7	10	%
	$\overline{\text{FLT}}$ Threshold Hysteresis	Percentage of V_{USB5V}		3			%
I_{CDP}	Regulator Output Current Limit	$V_{BUS/ISN} = 4.5\text{V}$, $R_{SEN} = 10\text{m}\Omega$		2.55	2.65	2.75	A
	Latch-On Time in Current Limit	$V_{BUS/ISN} = 0.2\text{V}$		3.4	4.2	5	ms
T_{SHTDWN_REC}	Latch-Off Time in Current Limit	$V_{BUS/ISN} = 0.2\text{V}$		48	59	70	ms
	Regulator Output Current STATUS Threshold	$I_{BUS/ISN}$ Falling, $R_{SEN} = 10\text{m}\Omega$		20	100	180	mA
	Regulator Output Current STATUS Threshold Hysteresis	$R_{SEN} = 10\text{m}\Omega$		20			mA
	Regulator Output Sink Current	$V_{BUS/ISN} = 6.3\text{V}$ (Note 4)		-2.9	-2.3	-1.7	A
	R_{CBL} Monitor Voltage	$I_{LOAD} = 0\text{A}$, $R_{SEN} = 10\text{m}\Omega$	●	0	2	50	mV
		$I_{LOAD} = 2.4\text{A}$, $R_{SEN} = 10\text{m}\Omega$	●	1.05	1.10	1.15	V
	Oscillator Frequency	$R_T = 9.09\text{k}$	●	1.8	2	2.2	MHz
		$R_T = 66.5\text{k}$	●	255	300	345	kHz
		$R_T = 5.76\text{k}$	●	2.7	3	3.3	MHz
	SYNC/MODE Low Threshold for Pulse-Skip Operation	$V_{SYNC/MODE}$ Rising	●	0.3	0.7	1.1	V
	SYNC/MODE Input High for Synced Operation		●	1.5			V
	SYNC/MODE Input Low for Synced Operation		●			0.4	V
	SYNC/MODE High Threshold for Spread Spectrum Operation	$V_{SYNC/MODE}$ Rising	●	2.7	3.2	3.7	V
	SYNC/MODE Pull Up Current for Forced Continuous Operation	$V_{SYNC/MODE} = 2\text{V}$	●	2	4.25	6.5	μA
	Top Switch Max Current Limit			5	6	7	A
	Top Switch On Resistance	$I_{SW} = 1\text{A}$		75			$\text{m}\Omega$
	Bottom Switch On Resistance	$I_{SW} = 1\text{A}$		75			$\text{m}\Omega$
	SW Leakage Current			-1	0	1	μA
	EN/UV Threshold	$V_{EN/UV}$ Falling	●	1.17	1.31	1.45	V
	EN/UV Threshold Hysteresis			150			mV
	EN/UV Current	$V_{EN/UV} = 2\text{V}$		-100		100	nA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	FLT Pull Down Resistance	$V_{FLT} = 0.1\text{V}$	●		150	300	Ω
	FLT Leakage	$V_{FLT} = 4\text{V}$				1	μA
	STATUS Pull Down Resistance	$V_{STATUS} = 0.1\text{V}$	●		150	300	Ω
	STATUS Leakage	$V_{STATUS} = 4\text{V}$				1	μA
	SEL1-3 Low Threshold	V_{SEL} Rising	●	0.48	0.58	0.68	V
	SEL1-3 Low Threshold Hysteresis				35		mV
	SEL1-3 High Threshold	V_{SEL} Falling	●	1.31	1.41	1.51	V
	SEL1-3 High Threshold Hysteresis				35		mV
	SEL1-3 Float Voltage		●	0.9	1.0	1.1	V
	SEL1-3 Input Current	$V_{SEL} = 4\text{V}$ $V_{SEL} = 0\text{V}$			45 -15		μA μA
	SEL1-3 De-bounce Time			1.25	1.5	1.75	ms
	Soft Start Time			0.7	1.1	1.6	ms

データライン・スイッチ

V_{OL}, V_{OH}	Signal Range		●	0		3.6	V
	Off HD^+ , HD^- Current	$V_{HD^+}, V_{HD^-} = 3.6\text{V}, V_{LD^+}, V_{LD^-} = 0\text{V}$ $V_{HD^+}, V_{HD^-} = 20\text{V}, V_{LD^+}, V_{LD^-} = 0\text{V}$		-1	0 0.75	1 1	μA mA
	Off LD^+ , LD^- Current	$V_{HD^+}, V_{HD^-} = 0\text{V}, V_{LD^+}, V_{LD^-} = 3.6\text{V}$ $V_{HD^+}, V_{HD^-} = 20\text{V}, V_{LD^+}, V_{LD^-} = 0\text{V}$		-1 -1	0 0	1 1	μA μA
	On Leakage Current	$V_{HD^+}, V_{HD^-} = 3.6\text{V}, 0\text{V}$		-100	0	100	nA
	On Resistance	$V_{HD^+}, V_{HD^-} = 0\text{V}, 3.6\text{V}, I_{LD^+}, I_{LD^-} = 20\text{mA}$			3		Ω
	On Capacitance to Ground	$V_{HD^+}, V_{HD^-} = 200\text{mV}_{DC}, 400\text{mV}_{P-P}, 480\text{MHz}$ (Note 5)			6.1		pF

V_{BUS} 放電

	BUS/ISN Discharge Current Sink	$V_{BUS/ISN} = 5\text{V}$		6	9	12	mA
V_{BUS_LKG}	BUS/ISN Discharge Status Threshold	$V_{BUS/ISN}$ Falling			0.5	0.7	V
	BUS/ISN Discharge Status Threshold Hysteresis				0.35		V
T_{VLD_VLKG}	Maximum BUS/ISN Discharge Time	$V_{BUS/ISN} = 1\text{V}$			400	500	ms
T_{VBUS_REAPP}	Minimum BUS/ISN Low Time	$V_{BUS/ISN} = 1\text{V}$		100	120		ms
	STATUS Oscillation Period			7.5	9	10.5	ms

V_{BUS} オフ

$I_{VBUS_LKG_SRC}$	Regulator Output Leakage Current	$V_{BUS/ISN} = 0\text{V}$ $V_{BUS/ISN} = 5\text{V}$		-70	-0.1 15	80	μA μA
R_{OTG_VBUS}	Regulator Output Resistance	$V_{BUS/ISN} = 0.75\text{V}$		10	350		k Ω

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
USB BCS 1.2 チャージング・ダウストリーム・ポート (CDP) のプロファイル						
$V_{\text{DAT_REF}}$	HD ⁺ Data Detect Voltage	V_{HD^+} Rising	0.25	0.32	0.40	V
	HD ⁺ Data Detect Hysteresis			45		mV
V_{IH}	HD ⁺ , HD ⁻ Logic High		2.0			V
V_{IL}	HD ⁺ , HD ⁻ Logic Low				0.8	V
V_{LGC}	HD ⁺ , HD ⁻ Logic Threshold		0.8	1.4	2.0	V
$V_{\text{DM_SRC}}$	HD ⁻ Voltage Source	$I_{\text{HD}^-} = -100\mu\text{A}$, $V_{\text{HD}^+} = 0.6\text{V}$	0.5	0.6	0.7	V
$I_{\text{DP_SINK}}$	HD ⁺ Current Source	$V_{\text{HD}^+} = 0.6\text{V}$	25	100	175	μA
$V_{\text{DAT_SINK}}$	HD ⁺ Data Sink Voltage	$I_{\text{HD}^+} = 25\mu\text{A}$		0.06	0.15	V
$T_{\text{VDMSRC_EN}}$	HD ⁻ Voltage Source Enable Time	$V_{\text{HD}^+} = 0.6\text{V}$		0.5	20	ms
$T_{\text{CON_IDPSNK_DIS}}$	HD ⁺ Current Source Connect Disable Time	$V_{\text{HD}^+} = 2\text{V}$		0.75	10	ms
$T_{\text{VDPsrc_ON}}$	Minimum Accepted HD ⁺ Voltage Source On Time	$V_{\text{HD}^+} = 0.6\text{V}$		32	40	ms
$T_{\text{VDMsrc_DIS}}$	HD ⁻ Voltage Source Disable Time	$V_{\text{HD}^+} = 0\text{V}$		0.5	20	ms
	Minimum Accepted HD ⁺ Source Voltage Off Time	$V_{\text{HD}^+} = 0\text{V}$		32	40	ms
$T_{\text{SVLD_CON_PWD}}$	Maximum Accepted USB Connect Time	$V_{\text{HD}^+}, \text{HD}^- = 0\text{V}$	1	1.15		s
USB BCS 1.2 専用チャージング・ポート (DCP) のプロファイル						
$R_{\text{DCP_DAT}}$	Dataline Short Resistance	$V_{\text{HD}^+} = 0.6\text{V}$, $I_{\text{HD}^-} = -2.5\text{mA}$		85	200	Ω
$R_{\text{DAT_LKG}}$	Dataline Short Pull Down Resistance		300	500		k Ω
USB BCS 1.2 標準ダウストリーム・ポート (SDP) のプロファイル						
$R_{\text{DP_DWN}}$, $R_{\text{DM_DWN}}$	Dataline Termination Resistor		14.25	20	24.8	k Ω
2.4A チャージャのプロファイル						
	HD ⁺ Voltage	$V_{\text{BUS/ISN}} = 5\text{V}$	2.60	2.68	2.76	V
	HD ⁺ Output Resistance			23		k Ω
	HD ⁻ Voltage	$V_{\text{BUS/ISN}} = 5\text{V}$	2.60	2.68	2.76	V
	HD ⁻ Output Resistance			23		k Ω
2.1A チャージャのプロファイル						
	HD ⁺ Voltage	$V_{\text{BUS/ISN}} = 5\text{V}$	2.60	2.68	2.76	V
	HD ⁺ Output Resistance			23		k Ω
	HD ⁻ Voltage	$V_{\text{BUS/ISN}} = 5\text{V}$	1.94	2.00	2.06	V
	HD ⁻ Output Resistance			30		k Ω

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°Cでの値 (Note 2)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
1A チャージャのプロファイル						
	HD ⁺ Voltage	V _{BUS/ISN} = 5V	1.94	2.00	2.06	V
	HD ⁺ Output Resistance			30		kΩ
	HD ⁻ Voltage	V _{BUS/ISN} = 5V	2.60	2.68	2.76	V
	HD ⁻ Output Resistance			23		kΩ
2A チャージャのプロファイル						
	HD ⁺ , HD ⁻ Voltage	V _{BUS/ISN} = 5V	1.2	1.25	1.35	V
	HD ⁺ , HD ⁻ Output Resistance			7.5		kΩ

Note 1 : 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2 : LT8698SEおよびLT8698SE-1は、0°C〜125°Cのジャンクション温度で性能仕様に適合することが確認されている。−40°C〜125°Cの動作ジャンクション温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT8698SJおよびLT8698SJ-1は、−40°C〜150°Cの全動作温度範囲で動作することが確認されている。ジャンクション温度が高いと、動作寿命は短くなる。125°Cを超えるジャンクシヨ

ン温度では動作寿命がディレーティングされる。ジャンクション温度(T_J (°C))は周囲温度(T_A (°C))および消費電力(PD (W))から次式に従って計算される。

$$T_J = T_A + (P_D \cdot \theta_{JA})$$

ここで、θ_{JA} (°C/W)はパッケージの熱抵抗である。

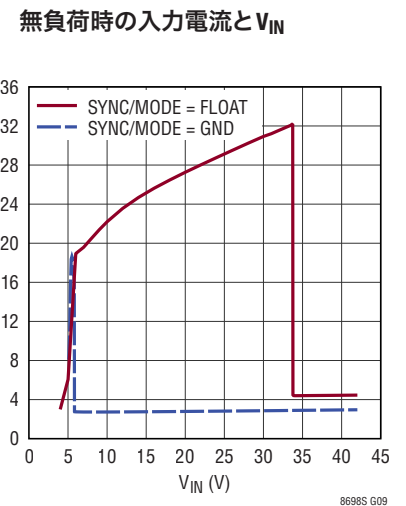
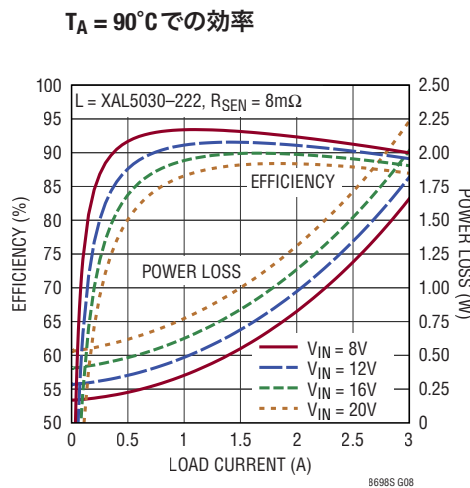
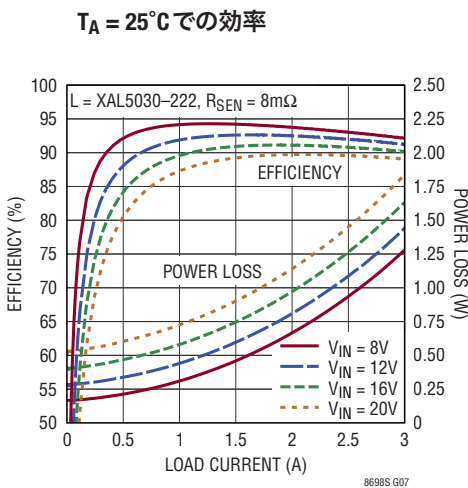
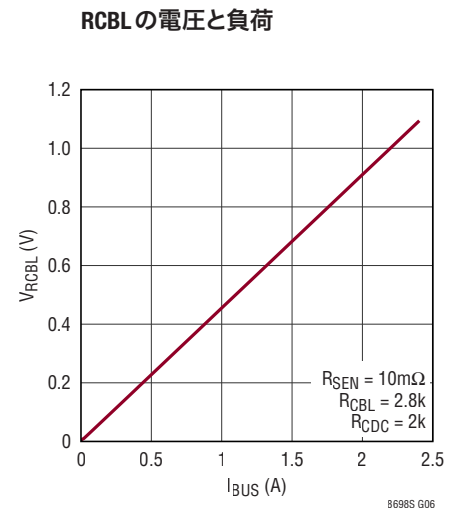
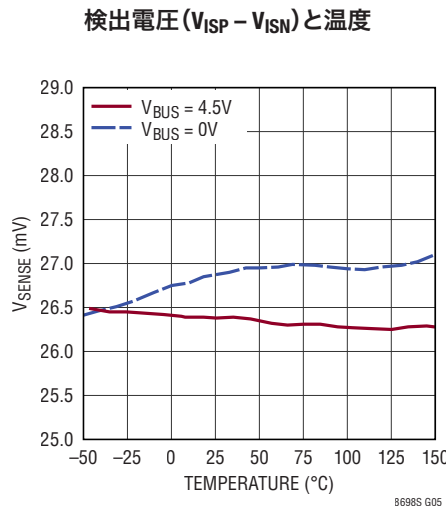
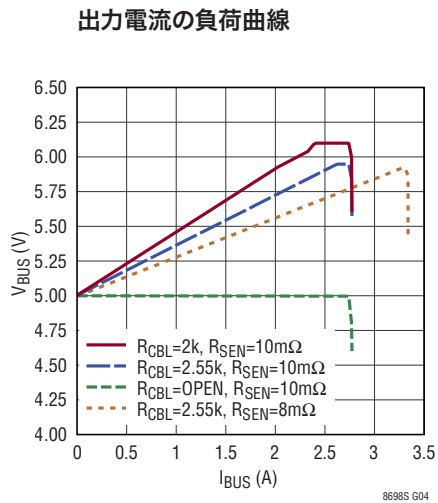
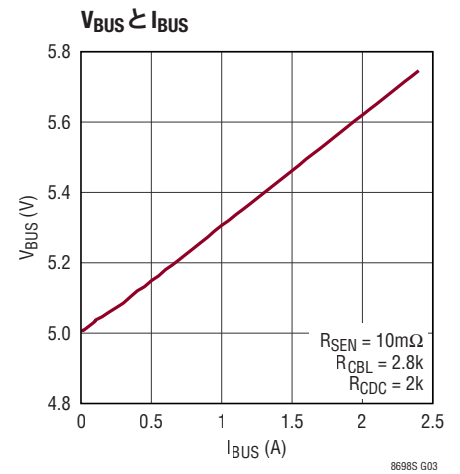
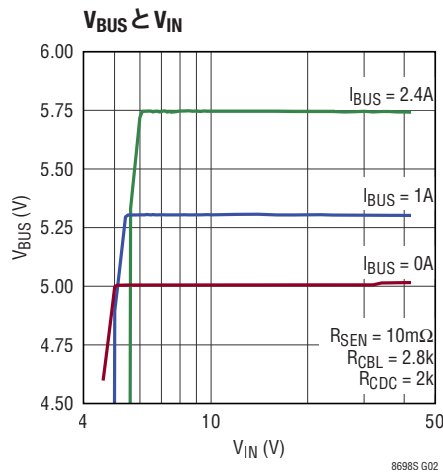
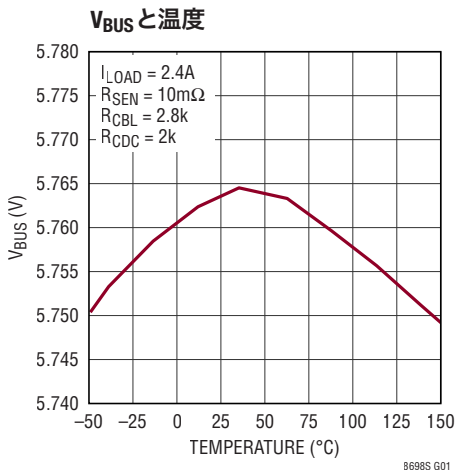
Note 3 : このデバイスには過負荷状態の間デバイスを保護するための過熱保護機能が備わっている。過熱保護機能がアクティブなときジャンクション温度は150°Cを超える。規定されている最大動作ジャンクション温度を超えた状態で動作が継続すると、寿命が短くなる。

Note 4 : DUTは36ページのCDPチャージャ・アプリケーションの回路によく似たクローズドループ・テスト回路内に構成される。

Note 5 : パラメータは製造プロセスではテストされない。

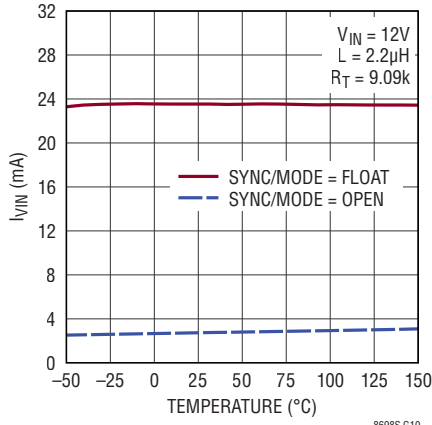
Note 6 : θの値はJESD51の条件に従ってシミュレーションによって決定されるが、θ_{JA}の値だけはデモ・ボードを使ったシミュレーションによって決定される。PCBレイアウトに関する検討事項と熱データの例については、[アプリケーション情報](#)のセクションを参照。

代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。



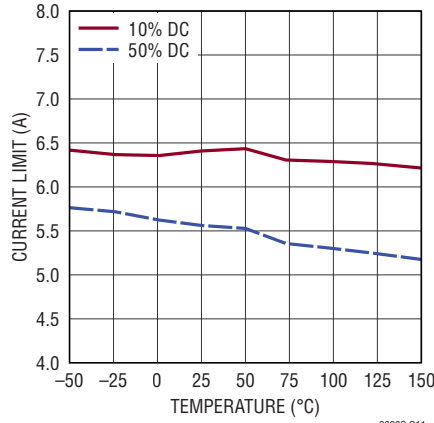
代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

無負荷時の入力電流と温度



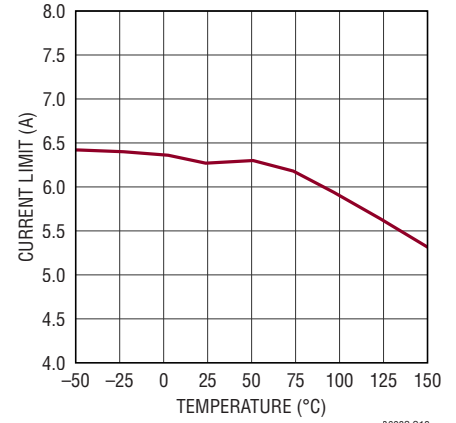
8698S G10

上側 FET の電流制限



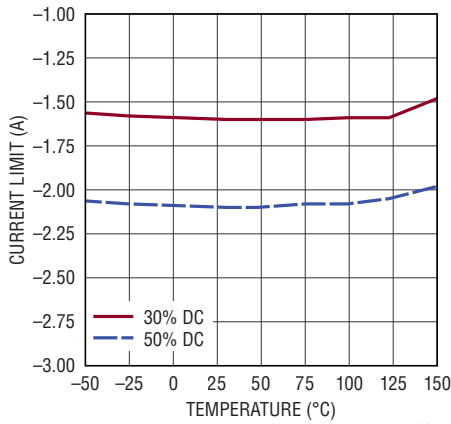
8698S G11

下側 FET の正電流制限と温度



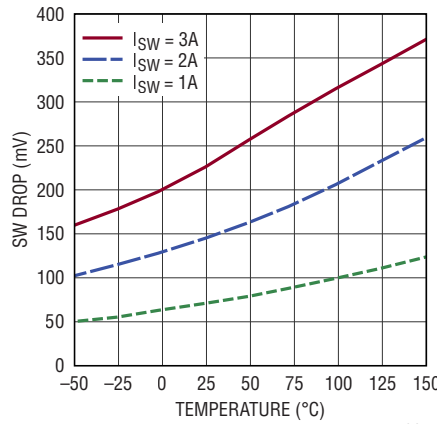
8698S G12

上側 FET の負電流制限



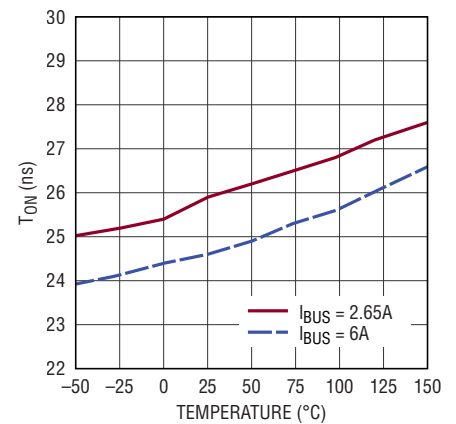
8698S G14

上側 FET/ 下側 FET の電圧降下



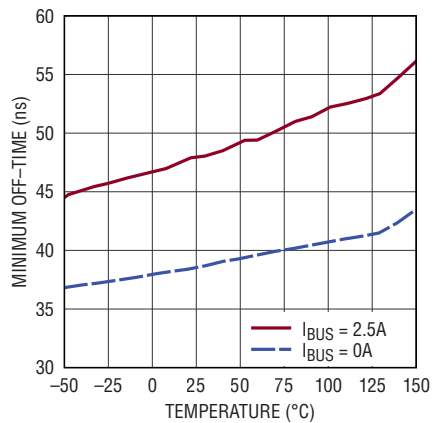
8698S G14

上側 FET の最小オン時間



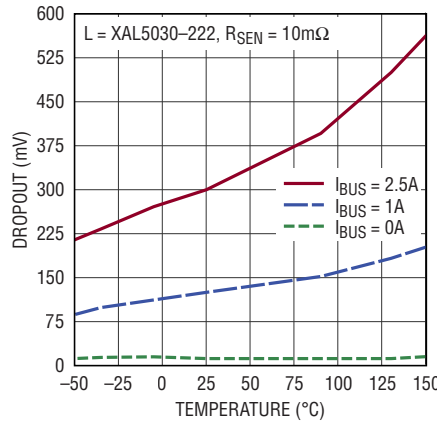
8698S G15

最小オフ時間と温度



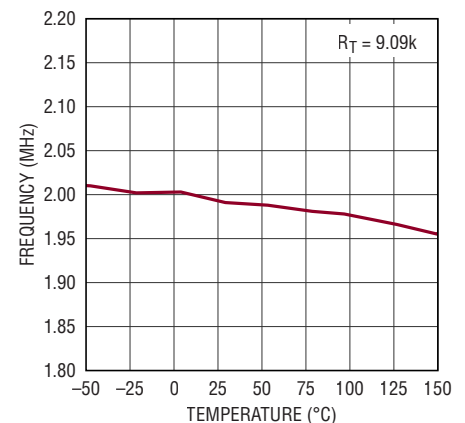
8698S G16

$V_{IN} - V_{BUS}$ の電圧降下



8698S G17

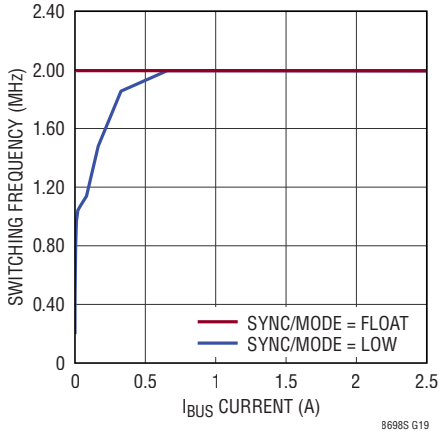
スイッチング周波数と温度



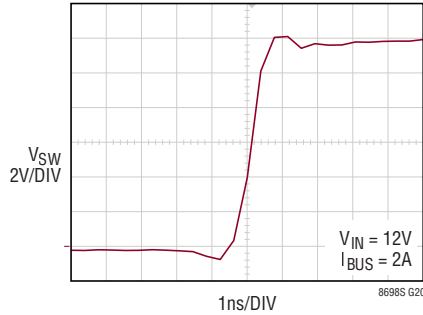
8698S G18

代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

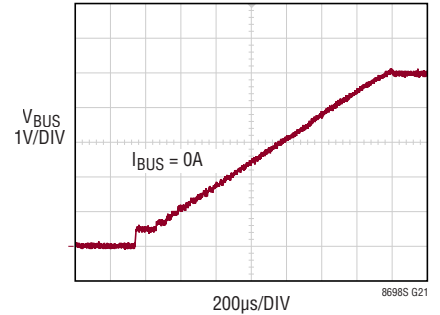
スイッチング周波数と負荷電流



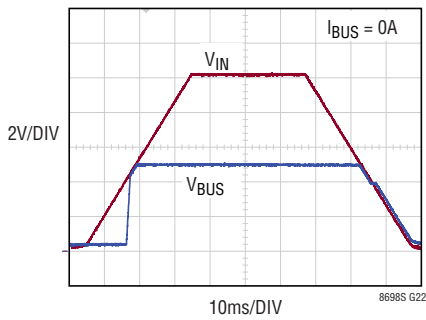
スイッチの立ち上がりエッジ



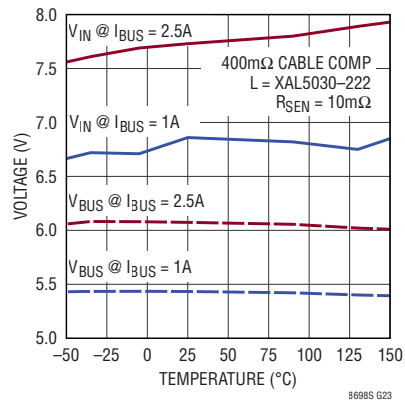
ソフトスタートと時間



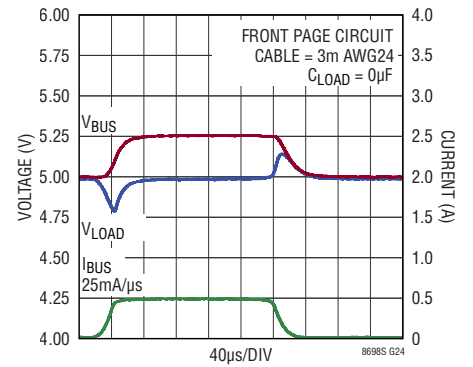
起動/ドロップアウト



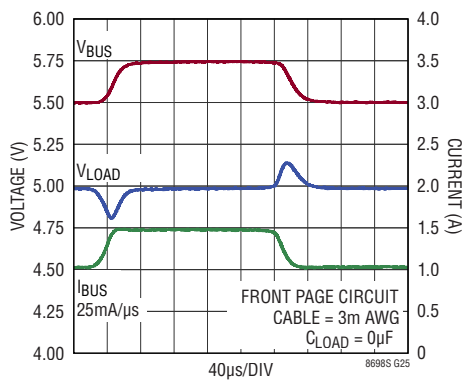
2MHzでの最大周波数
レギュレーションの最小VIN
(400mΩケーブルの電圧降下補償)



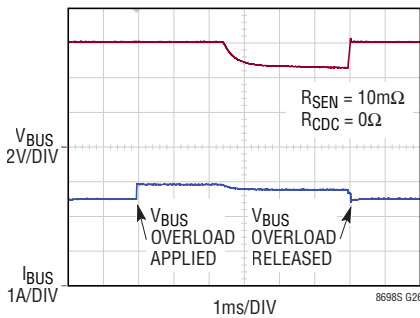
ケーブルを介した負荷過渡応答



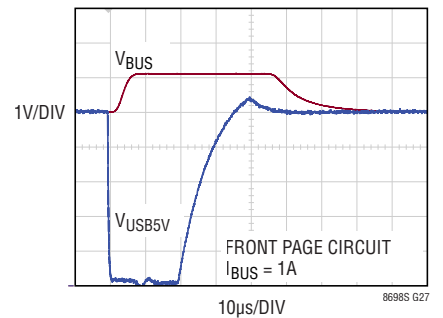
ケーブルを介した負荷過渡応答



出力電流制限のトランジェント

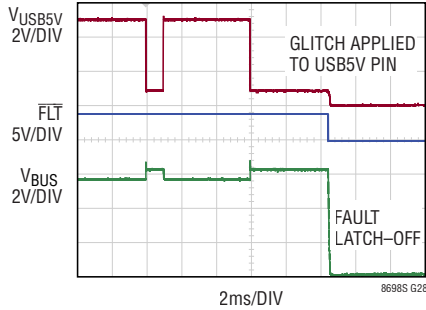


グラウンドに短絡した
USB5V (帰還) のトランジェント

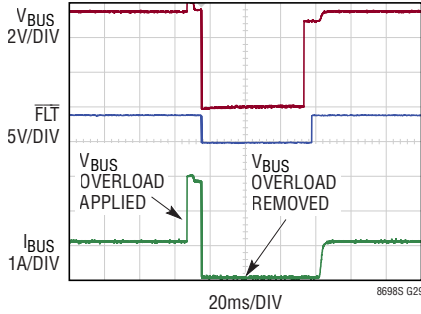


代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

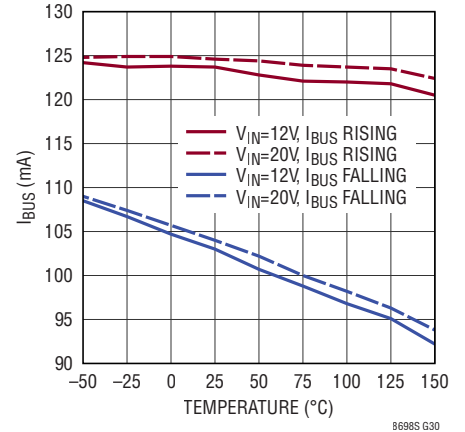
FLTのデグリッチ



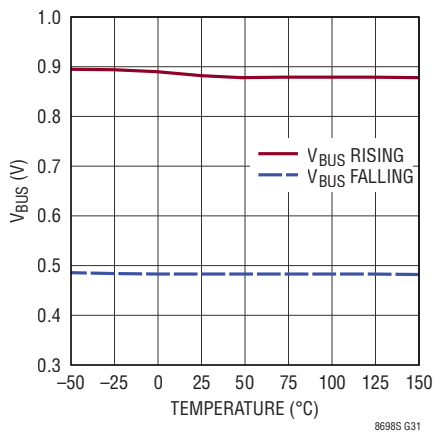
ラッチオフと自動再試行



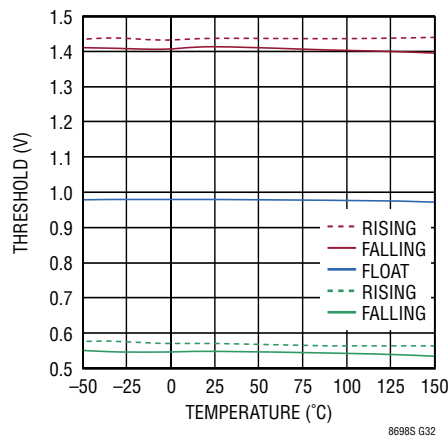
STATUSのI_{BUS} 閾値



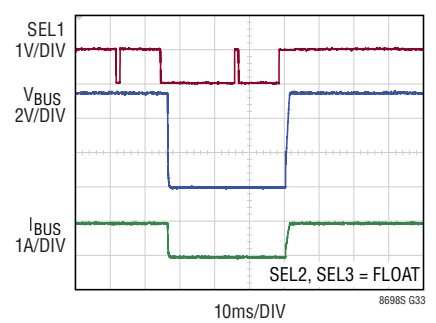
STATUSのV_{BUS} 閾値



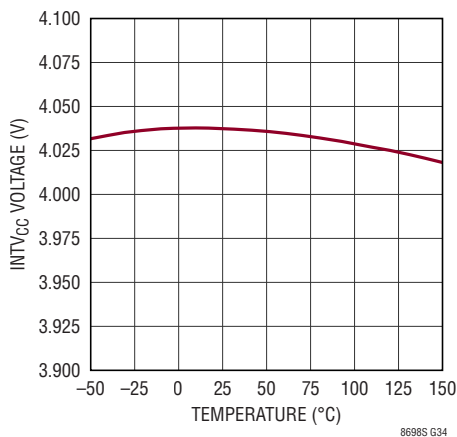
SEL1～3のハイおよびロー閾値



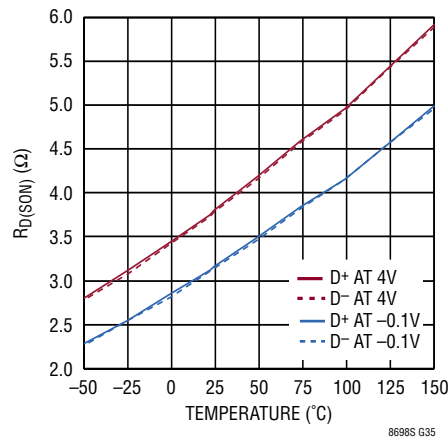
SEL1～3のデグリッチ



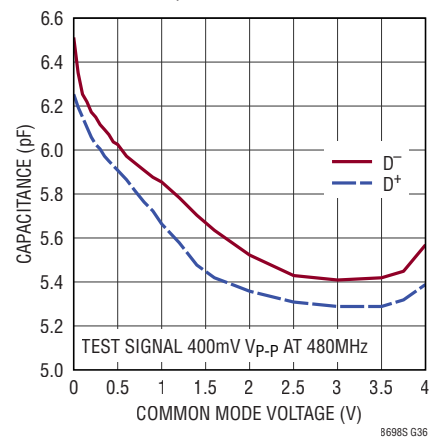
INTV_{CC}の電圧と温度



データライン・スイッチのR_{DS(ON)}

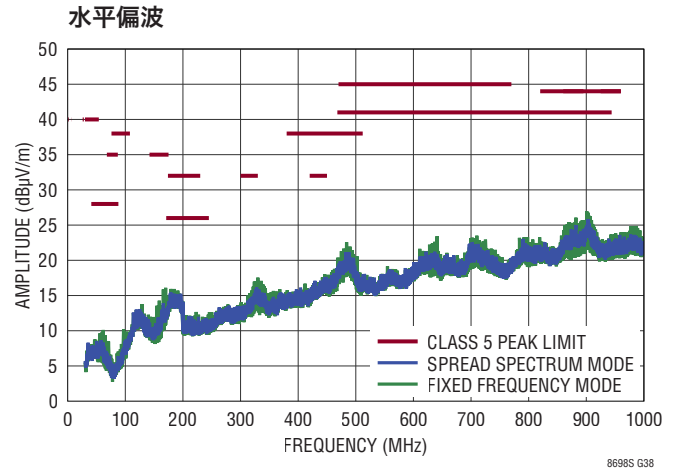
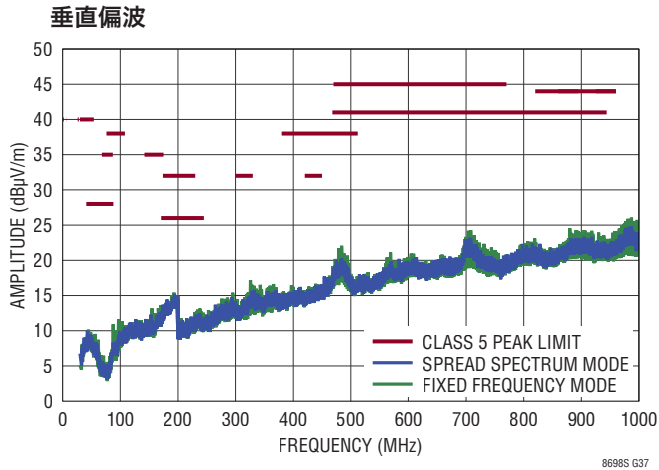


グラウンドに対するデータライン・スイッチの容量(スイッチ・オン)

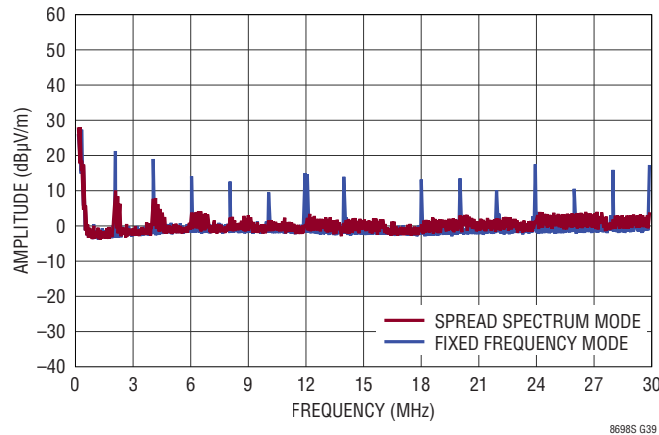


代表的な性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 。

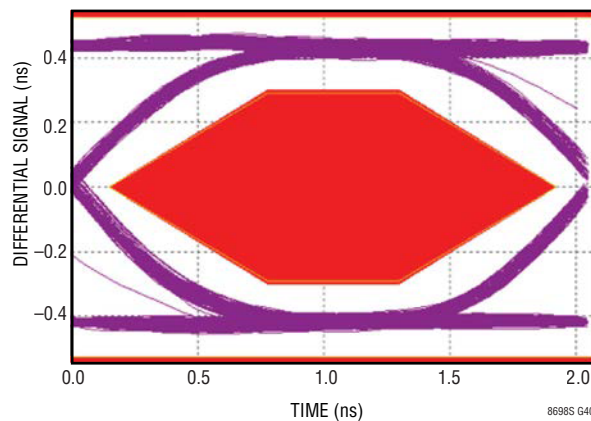
放射EMI性能(ピーク検出器およびクラス5ピーク限度値でのCISPR25放射エミッション)
EMIフィルタを取り付けたDC2688Aデモ・ボード、 $V_{IN} = 14\text{V}$ 、 $I_{V_{BUS}} = 2.5\text{A}$ 、 $f_{SW} = 2\text{MHz}$ 、
 $L = \text{XFL4020-222}$ 、 C_{VIN2} および C_{VIN3} を実装、LT8698Sのみ



伝導EMI性能
EMフィルタを取り付けたDC2688Aデモ・ボード、 $V_{IN} = 14\text{V}$ 、 $I_{V_{BUS}} = 2.5\text{A}$ 、 $f_{SW} = 2\text{MHz}$ 、
 $L = \text{XFL4020-222}$ 、 C_{VIN2} および C_{VIN3} を実装、LT8698Sのみ



High Speed USB 2.0のアイ・ダイアグラム
DC2688Aデモ・ボード、テンプレート1の波形条件でテスト・プレーン2で測定



ピン機能

GND (1, 11, 14, 17, 23 番ピン) : GNDピンは内部制御回路の帰還側であり、グラウンドに接続する必要があります。すべてのGNDピンとPGNDピンは、内部で互いに短絡されます。

INTV_{CC} (2 番ピン) : INTV_{CC}は、内部4Vリニア電圧レギュレータのバイパス・ピンです。このピンは、内部パワー・スイッチのゲート・ドライバと制御回路に電力を供給します。INTV_{CC}には、外付け終端抵抗によって最大1mAの負荷をかけることができます。INTV_{CC}に過度の負荷をかけると、動作の信頼性を損ないます。このピンは、LT8698Sの近くに配置される1μFの低ESRセラミック・コンデンサでグラウンドにバイパスします。

EN/UV (3 番ピン) : EN/UVは、イネーブル／プログラマブル低電圧ロックアウト・ピンです。EN/UVピンの電圧が閾値より低くなると、LT8698Sはシャットダウンし、閾値より高くなると、イネーブルになります。EN/UVの閾値電圧は、上昇時1.46V、下降時1.31Vです。EN/UVが0.25Vより低くなると、V_{IN}の電流は1μA未満まで低減されます。V_{IN}からの外付け抵抗分圧器を使用して、LT8698Sのシャットダウンをトリガする低電圧ロックアウト閾値を設定できます。詳細については、[アプリケーション情報](#)のセクションを参照してください。EN/UVを使用しない場合は、V_{IN}に接続します。

FLT (4 番ピン) : FLTは、内部障害ロジックのオープンドレイン出力です。FLTは、出力電圧がレギュレーション状態ではない障害状態が4.2ms続いた後にローになります。INTV_{CC}が3.6Vより低くなるか、または内部サーマル・シャットダウン機能が作動した場合、FLTは直ちにローになります。障害がない状態が4.2ms続いた後、FLTは高インピーダンスに移行します。FLTが有効なのは、V_{IN}が4.5Vより高く、EN/UVが1.46Vより高い場合です。FLTを使用しない場合は、フロート状態にします。

STATUS (5 番ピン) : STATUSはオープンドレイン出力インジケータです。STATUSピンの機能は、SEL1～3ピンで選択したステートによって決まります。詳細については、表6を参照してください。STATUSは4.2msの間デバウンスされます。このピンが有効なのは、V_{IN}が4.5Vより高く、EN/UVが1.46Vより高い場合です。STATUSを使用しない場合は、フロート状態にします。

SEL1, SEL2, SEL3 (6～8 番ピン) : SEL1～3は、LT8698SのUSB機能の選択に使用するトライステート入力ピンです。詳細については、[アプリケーション情報](#)のセクションの表6を参照してください。0.58Vより低い電圧に接続するとロジック・ロー、1.41Vより高い電圧に接続するとロジック・ハイ、フロート状態になるとトライステートになります。トライステートを確実に検出できるように、もれ電流は1μA以下に抑えてください。USBステート間の確実な移行のために、SEL1～3ピンは1.5msの間デバウンスされます。

RT (9 番ピン) : RTは、スイッチング周波数設定ピンです。RTとグラウンドの間に抵抗を接続して、スイッチング周波数を選択します。詳細については、[アプリケーション情報](#)のセクションを参照してください。

SYNC/MODE (10 番ピン) : SYNC/MODEは、クロック同期／モード選択入力ピンです。SYNC/MODEピンをグラウンドに接続すると、パルス・スキップ・モードになります。クロック源に接続すると外部クロックの周波数に同期し、強制連続モードになります。フロート状態にすると強制連続モードになり、RTピンでスイッチング周波数を設定します。INTV_{CC}に接続すると強制連続モードになり、スイッチング周波数のスペクトラム拡散周波数変調によってEMI/EMC性能を向上させます。

LD⁺ (12 番ピン) : LD⁺は、内部USB D⁺データライン・スイッチの低電圧ホスト側です。このピンを使用しない場合は、フロート状態にします。

LD⁻ (13 番ピン) : LD⁻は、内部USB D⁻データライン・スイッチの低電圧ホスト側です。このピンを使用しない場合は、フロート状態にします。

HD⁻ (15 番ピン) : HD⁻は、内部USB D⁻データライン・スイッチの高電圧USBケーブルおよびデバイス側です。HD⁻ > 4.5Vの場合、両方のデータライン・スイッチが遮断されます。このピンを使用しない場合は、フロート状態にします。

HD⁺ (16 番ピン) : HD⁺は、内部USB D⁺データライン・スイッチの高電圧USBケーブルおよびデバイス側です。HD⁺ > 4.5Vの場合、両方のデータライン・スイッチが遮断されます。このピンを使用しない場合は、フロート状態にします。

CLAMP (18 番ピン) : CLAMPは、20V以上の0.1μF低ESRコンデンサでグラウンドにバイパスします。

RCBL (19 番ピン) : RCBLは、ケーブル電圧降下補償設定ピンです。RCBLとグラウンドの間に接続される抵抗R_{CL}を使って、USB5V入力電流を設定することにより、ケーブル電圧降下補償を設定します。RCBLは2mAをソースできます。RCBLに過度の容量性負荷がかかると、負荷過渡応答が低下することがあります。RCBLと容量性負荷の間に100kの抵抗を接続することにより、このピンの負荷容量を分離します。LT8698Sがイネーブルの場合、RCBLの負荷モニタ出力は有効です。イネーブルでない場合、出力はローになります。詳細については、[アプリケーション情報](#)のセクションを参照してください。

ピン機能

USB5V (20 番ピン) : USB5V は、5V レギュレータ帰還ピンです。ケーブル電圧降下補償では、USB5V ピンの入力電流は検出される出力電流に比例します。USB5V と BUS/ISN 出力の間に R_{CDC} を接続して、5V のレギュレーションに加えてケーブル電圧降下補償を実行します。USB5V と BUS/ISN の間に C_{CDC} を接続して、ケーブル電圧降下補償ループの帯域幅を制限します。ケーブル電圧降下補償機能を使用しない場合は、USB5V を VBUS に短絡させます。

BUS/ISN (21 番ピン) : BUS/ISN は、USB VBUS 出力／負電流検出入力ピンです。BUS/ISN は、エラーアンプに追加の入力を供給し、最大出力レギュレーション電圧が 6.05V を超えないようにします。また、BUS/ISN は、内部電流検出アンプに負の入力を提供します。ケーブル電圧降下補償と出力電流制限を使用する場合、BUS/ISN は R_{SEN} 検出抵抗に接続する必要があります。BUS/ISN ピンは検出抵抗にケルビン接続し、BUS/ISN の PCB パターンからレギュレータの出力電流を分離します。その他の動作と PCB レイアウトについては、[アプリケーション情報](#)のセクションを参照してください。

OUT/ISP (22 番ピン) : OUT/ISP は、スイッチング・レギュレータの出力です。OUT/ISP は、SW の反対側のインダクタ端子に接続し、出力コンデンサによってバイパスする必要があります。また、OUT/ISP ピンは電流検出アンプへの非反転入力であり、ケーブル電圧降下補償と出力電流制限を使用する場合、 R_{SEN} 検出抵抗に接続する必要があります。OUT/ISP ピンは検出抵抗にケルビン接続し、OUT/ISP パターンからレギュレータの出力電流を分離します。詳細については、[アプリケーション情報](#)のセクションを参照してください。

SW (24、25 番ピン) : SW は、内蔵の上側および下側パワー・スイッチの出力ノードです。スイッチング・レギュレータのイン

ダクタに接続します。優れた性能を得るため、プリント回路基板上でのこのノードの面積は小さくするようにしてください。

BST (26 番ピン) : BST は、(入力電圧より高い)駆動電圧を上側パワー・スイッチに供給します。BST はフロート状態のままにしてください。

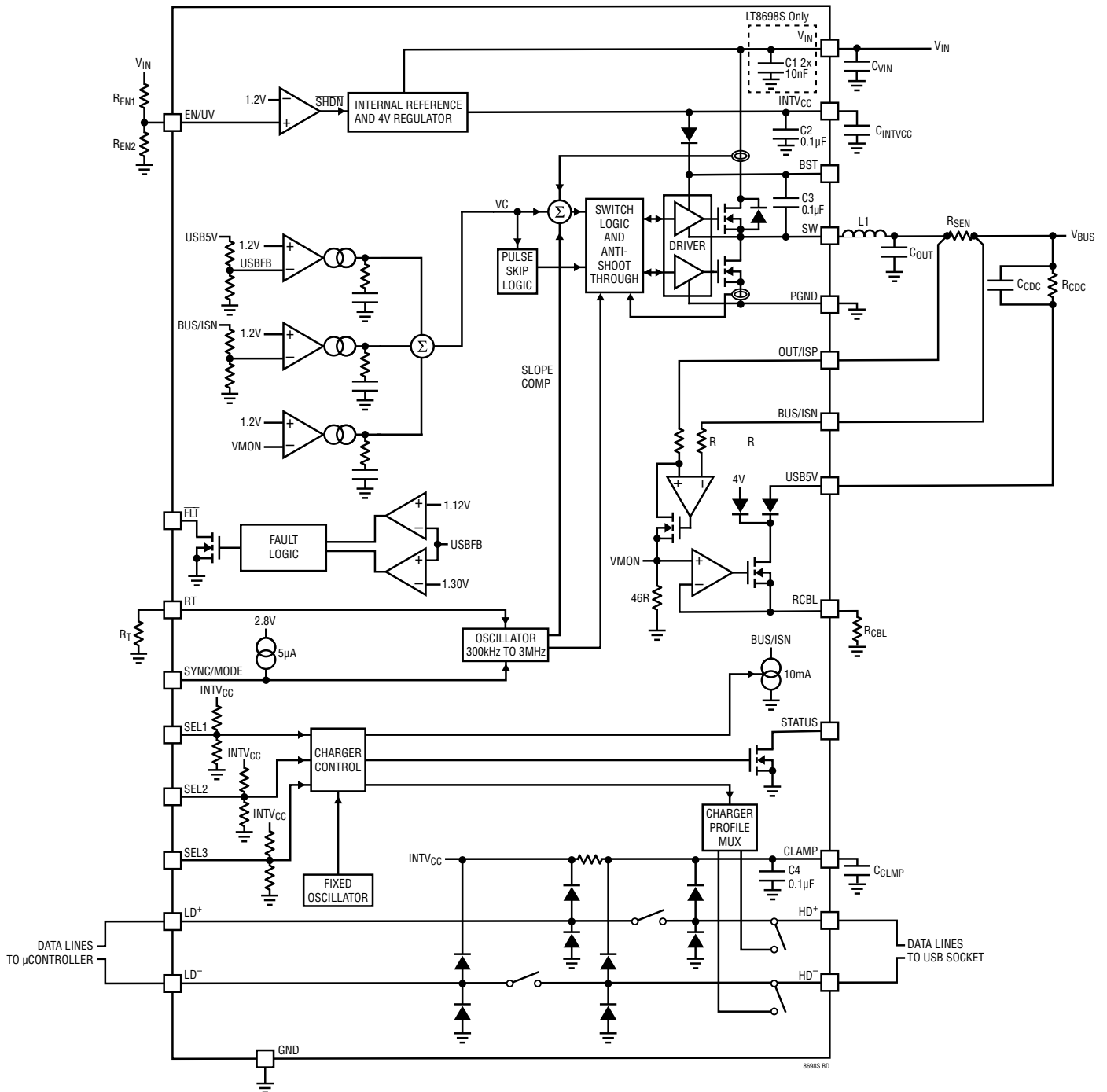
PGND (27、32 番ピン) : PGND ピンは内蔵の下側パワー・スイッチの帰還経路であり、互いに接続する必要があります。PGND ピンのできるだけ近くに、入力コンデンサの負端子を配置してください。レイアウト例については、[アプリケーション情報](#)のセクションを参照してください。すべての GND ピンと PGND ピンは、内部で互いに短絡されます。

V_{IN} (29、30 番ピン) : V_{IN} ピンは内蔵の上側パワー・スイッチの入力経路であり、互いに接続する必要があります。LT8698S は、最小 2 μ F のローカル入力バイパス・コンデンサを PGND に接続する必要があります。 V_{IN} と PGND の間に、1 個の 2.2 μ F コンデンサを配置できます。低 EMI/EMC のためのベスト・プラクティスとして、2 個の追加の 0.1 μ F 入力バイパス・コンデンサを V_{IN} に接続できます。1 つの 0.1 μ F コンデンサは、 V_{IN} と 27 番ピン PGND の間に配置します。もう 1 つの同じ値の 0.1 μ F コンデンサは、 V_{IN} と 32 番ピン PGND の間に配置します。これらのコンデンサは、できるだけ LT8698S の近くに配置してください。レイアウト例については、[アプリケーション情報](#)のセクションを参照してください。

露出パッド (33~38 番ピン) : 露出パッドはグラウンドに接続する必要があります。LT8698S パッケージから周辺への熱抵抗を低減するため、これらのピンは PCB 表面層の広い銅箔面積へ接続します。詳しい推奨事項については、[アプリケーション情報](#)のセクションを参照してください。

コーナ・サポート・パッド (39~42 番ピン) : パッケージの各コーナの 4 つのパッドは、ボード・レベルの機械的信頼性を向上させるためのサポート・パッドです。これらのパッドは、LT8698S 内部でグラウンドに接続されます。パッドは PCB グラウンドに接続する必要があります。

ブロック図



動作

LT8698Sは、ケーブル電圧降下補償機能と堅牢なUSBデータライン保護機能を備える、高効率の同期整流式モノリシックUSBチャージャです。LT8698Sは、5V USB V_{BUS} レールへの電力供給用に最適化されたスイッチング・レギュレータと、High Speed USB 2.0 データラインに接続され、上流のUSBホストICに障害保護およびESD保護を提供する、2個のアナログ・スイッチを搭載しています。更に、LT8698Sは多数のUSBチャージャ・プロファイルをサポートしており、大電流によるポータブル・デバイスの充電が可能です。

LT8698Sレギュレータは、モノリシック、固定周波数、ピーク電流モードの降圧DC/DCコンバータです。RTピンに接続する抵抗を使用して周波数を設定する発振器により、各クロック・サイクルの開始時に内蔵の上側パワー・スイッチがオンします。次に、インダクタを流れる電流が増加して上側スイッチの電流コンパレータが作動し、上側のパワー・スイッチがオフします。上側スイッチがオフするときのピーク・インダクタ電流は、 V_C ノードの電圧によって制御されます。エラーアンプは、内部抵抗分圧器を通るUSB5Vピンの出力電圧と内部リファレンスを比較し、 V_C ノードをサーボ制御してUSB5Vピンを5Vに調整します。負荷電流が増加すると、リファレンスと比較して帰還電圧が低くなるため、エラーアンプによって V_C の電圧が上昇し、平均インダクタ電流が新たな負荷電流に釣り合うまで上昇し続けます。強制連続モードでない場合、上側パワー・スイッチがオフすると、下側の同期パワー・スイッチがオンし、次のクロック・サイクルが始まるか、インダクタ電流が0に減少するまでオンのままになります。過負荷状態によって下側スイッチの電流制限値を超える電流が下側スイッチに流れると、スイッチ電流が安全なレベルに戻るまで、次のクロック・サイクルは遅延します。また、USB5Vがグラウンドに短絡する障害状態の間、BUS/ISNの電圧は6.05Vに安定化され、接続されたデバイスにとって安全なレベルに出力電圧を制限します。更に、出力障害状態の間、LT8698Sは、OUT/ISPピンとBUS/ISNピンに接続される外付け検出抵抗を使用して、高精度の平均出力電流制限を提供します。

LT8698Sはケーブル電圧降下補償機能を搭載しており、高負荷電流でも、長い抵抗性ケーブルの端で V_{BUS} レールの5Vレギュレーションを提供します。ケーブル電圧降下補償を実現するために、LT8698SはRCBLピンを46・($V_{OUT}/ISP - V_{BUS}/ISN$)に駆動します。RCBLピンから R_{CBL} 抵抗を通してソースされる電流はUSB5Vピンから得られるため、 R_{CDC}/R_{CBL} の抵抗比に比例する出力オフセットが R_{CDC} 抵抗の両端に発生し、5VのUSB5Vピン電圧に上乗せされます。

製品名LT8698Sの「S」は、第2世代のSilent Switcher技術を表しています。この技術は、高スイッチング周波数で高いスイッチング・レギュレータ効率を実現するための高速スイッチング・エッジを可能にすると同時に、良好なEMI性能を実現します。この技術には、 V_{IN} 、INTV $_{CC}$ 、およびBST用のセラミック・コンデンサ(ブロック図のC1~C4)をパッケージに統合することが含まれています。これらのコンデンサは、すべてのAC電流ループを小さく保ち、EMI性能を改善します。LT8698S-1は、 V_{IN} に接続されるセラミック・コンデンサを内蔵していません。

EN/UVピンの電圧が1.46Vを超えると、スイッチング・レギュレータ、データライン・スイッチおよび関連する回路がイネーブルになります。EN/UVピンの電圧が1.31Vを下回ると、スイッチングが停止し、データライン・スイッチが開きます。EN/UVピンの電圧が0.25Vを下回ると、 V_{IN} の電流は1 μ A未満に低下します。

LT8698Sは主に強制連続モード(FCM)で動作し、広い負荷範囲にわたって高速過渡応答と最大周波数での動作を実現します。軽負荷時のレギュレータの効率を改善するには、LT8698Sをパルス・スキップ・モード(PSK)で動作させます。パルス・スキップ・モードでは、軽負荷電流時のスイッチング周波数を下げて、パルス間の V_{IN} 静止電流を減らします。パルス・スキップ・モードで動作させる場合は、SYNC/MODEピンをグラウンドに接続します。強制連続モードで動作させる場合は、SYNC/MODEピンをフロート状態にします。強制連続モードでスペクトラム拡散変調機能(SSM)を使用する場合は、SYNC/MODEピンに3.2Vより高いDC電圧を印加します。SYNC/MODEピンにクロックを入力すると、内部発振器が外部クロックの周波数に同期し、強制連続モードで動作します。強制連続モードの間は発振器が連続して動作し、スイッチング波形の立上がり遷移がクロックに揃えられます。軽負荷時には、インダクタ電流を負の方向に流して、設定スイッチング周波数を維持できます。LT8698Sは、出力から電流をシンクして、負荷ステップ応答を改善できます。負のインダクタ電流が大量に流れて入力に戻ることがないように、両方のパワー・スイッチに対して最小電流制限が適用されます。スペクトラム拡散変調機能(SSM)は、RTピンで設定された設定値より最大20%高い周波数でスイッチング周波数のディザリングを実行し、スイッチング・エネルギーを周波数領域で拡散させます。

出力電圧が設定値から $\pm 7\%$ (標準)より大きく変化する場合は、電源障害状態が存在する場合は、USB5Vピンの電圧をモニタするコンパレータによってFLTピンはローになります。

動作

データライン・アナログ・スイッチにより、HD⁺ピンとLD⁺ピンの間、およびHD⁻ピンとLD⁻ピンの間の接続と遮断が可能です。接続時に、これらのスイッチは0V～3.6Vの全同相電圧範囲にわたって小さい値の抵抗を提供し、HD⁺側では0V～20V、LD⁺側では6Vをブロックできます。HD⁺側に障害またはESDが発生した場合、高速回路によってスイッチは遮断されます。

LT8698Sは、USB BC 1.2 CDP、DCP、SDPや一般的な独自規格のプロファイルなど、多数のチャージャ・プロファイルをサポートします。それぞれのプロファイルでは、様々な部品がデータラインに接続されます。これには抵抗分圧器、データライン間の短絡回路、電圧源および電流源などがあります。これらのプロファイルには、パッシブ方式のものと、USBソ

ケットに接続されたデバイスに何らかのアクティブ方式で反応するものがあります。USBソケットに接続されたデバイスは、プロファイルによって大電流チャージャを認識し、標準のUSB 2.0ソケットで通常許される0.5Aより多くの電流がV_{BUS}から供給されます。

SEL1～3ピンは、ホスト・マイクロコントローラがLT8698Sの動作を制御するためのトライステート入力です。高インピーダンス入力が印加されると、内部抵抗分圧器はこれらのピンを1Vにバイアスします。SEL1～3ピンは、LT8698Sにステートの変更を許可する前に1.5msの間デバウンスされます。

STATUSピンは、SEL1～3ピンで選択されるステートによって機能が決定されるオープンドレイン出力です。このピンは、ハイまたはローを出力するか、9ms周期で発振します。

アプリケーション情報

ケーブル電圧降下補償

LT8698Sは、ケーブル電圧降下補償に必要な回路を内蔵しています。ケーブル電圧降下補償により、このレギュレータは、ケーブル抵抗が大きい場合でも、USBのV_{BUS}レール上で5Vのレギュレーションを維持できます。LT8698Sは、負荷の増加に応じて、レギュレータ側の出力電圧(V_{BUS/ISN})を5Vを超えて上昇させることにより、V_{BUS}の5Vへの安定化を維持します。この補償方式では、レギュレータと負荷の間に追加のケルビン検出線対は必要ありませんが、LT8698Sはケーブル抵抗R_{CABLE}の値を検出しないため、システム設計者がケーブル抵抗の値を知っている必要があります。

式1の比を使用して、ケーブル電圧降下補償を設定します。

$$R_{CBL} = 46 \cdot \left(\frac{R_{SEN} \cdot R_{CDC}}{R_{CABLE}} \right) \quad (1)$$

ここで、R_{CDC}はレギュレータの出力とUSB5Vピンの間に接続される抵抗、R_{CBL}はR_{CBL}ピンとGNDの間に接続される抵抗、R_{SEN}はレギュレータ出力と負荷の間で直列に、OUT/ISPピンとBUS/ISNピンの間に接続される検出抵抗、R_{CABLE}はケーブルの抵抗です。LT8698Sが正常に動作するには、R_{SEN}の値を、2.4Aアプリケーションでは10mΩ、3Aアプリケーションでは8mΩにする必要があります。

R_{CDC}を通してUSB5Vピンに流れ込む電流は、R_{CBL}を流れる電流と同じです。これらの2つの抵抗の比は、上記の式に従って選択する必要があります。これらの抵抗の絶対値は、最大負荷電流でこの電流が30μA～1200μAの範囲に保たれるように選択してください。この制約により、R_{CBL}とR_{CDC}の値は1k～40.2kの範囲内になります。I_{USB5V}が小さすぎる場合、R_{CBL}ピンに容量性負荷が加わると、レギュレータの負荷ステップ・トランジェント性能が低下します。I_{USB5V}が大きすぎる場合、R_{CBL}ピンが電流制限に達し、ケーブル電圧降下補償は機能しなくなります。

R_{SEN}の下流にあるリモート負荷からグラウンドまでの容量によって、ケーブル電圧降下補償に起因する、LT8698Sデバイスにおける帰還ループ系の4象限平面の左側にゼロが現れます。このゼロは、通常はC_{BUS}と、USBソケットに接続されたポータブル・デバイスの入力容量によって形成されます。C_{CDC}は、高周波数でのケーブル電圧降下補償ゲインを減らします。LT8698Sの出力の安定性を維持するには、4.7nFのC_{CDC}コンデンサを2kのR_{CDC}の両端に接続する必要があります。R_{CDC}を変更する場合は、C_{CDC}も変更して、RC時定数をほぼ同じ10μsに保つ必要があります。LT8698Sの出力コンデンサC_{OUT}およびC_{BUS}の容量と比較してリモート負荷の容量の方が大きい場合は、安定性を維持するために、ケーブル電圧降下補償の大きさに応じてR_{CDC}・C_{CDC}の時定数を大きくしなければなりません場合があります。出力の安定性は、必ず最終アプリケーション回路で検証してください。

アプリケーション情報

ケーブル電圧降下補償を使用しない場合は、USB5VをVBUS出力に短絡させます。

LT8698Sは、BUS/ISNピンの電圧を最大6.05Vまでに制限することにより、V_{BUS}の最大電圧を制限します。I_{BUS}が最大ときにケーブル電圧降下を1.05Vより大きく補償するようにケーブル電圧降下補償量を設定すると、この制限により、V_{BUS/ISN}が6.05Vより高い値に上昇するのを防ぐことができ、負荷直近のV_{BUS}は5V以下に低下します。式2に、LT8698Sの出力電圧の計算方法を示します。

$$V_{OUT} = 5V + \frac{46 \cdot I_{BUS} \cdot R_{SEN} \cdot R_{CDC}}{R_{CBL}} \quad (2)$$

ケーブル電圧降下補償がどのように作用するかについては、図1のV_{BUS/ISN}とV_{BUS}の負荷曲線を参照してください。

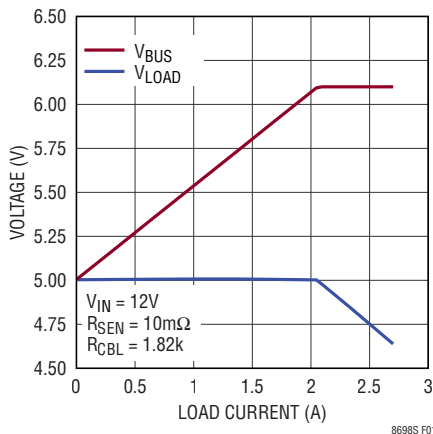
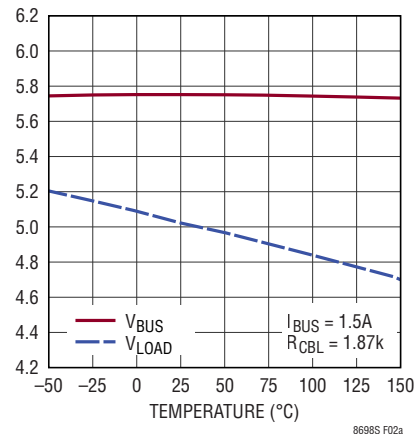


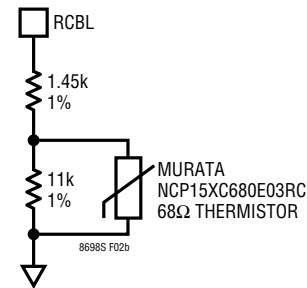
図1. ケーブル電圧降下補償の負荷曲線の例

広い温度範囲にわたるケーブル電圧降下補償

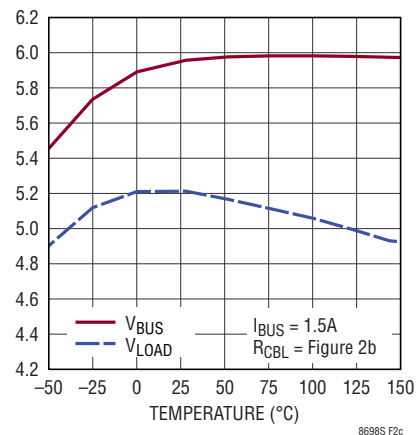
多くのアプリケーションでは、温度変動のないケーブル電圧降下補償を使用できます(図2a、b、cを参照)。ただし、ケーブル電圧降下補償の温度変動をケーブル抵抗の温度変動と一致させると、広い動作温度範囲で全体的な出力電圧精度の向上につながります。例えば、配線抵抗が0.49Ωで最大出力電流が1.5Aのアプリケーションでは、配線抵抗を完全に補償するために、ケーブル電圧降下補償によって最大負荷時には出力に25°Cで0.735Vが加わります。この例の線材



(a) 3mのAWG 24ツイスト・ペア・ケーブル(490mΩ)のケーブル電圧降下補償(温度補償なし)



(b) 銅線の温度係数とのマッチング用のRCBL抵抗回路網



(c) 3mのAWG 24ツイスト・ペア・ケーブル(490Ω)のケーブル電圧降下補償(NTC RCBLを使用した温度補償あり)

図2. ケーブル電圧降下補償のアプリケーション

アプリケーション情報

が銅の場合、銅抵抗の温度係数は約4000ppm/°Cであるため、出力電圧誤差は125°Cで294mV、-40°Cで191mVになります。この挙動を図2aに示します。

ゲージごとの銅線抵抗については、表1を参照してください。

表1. 銅線抵抗とワイヤ・ゲージ

AWG	RESISTANCE OF CU WIRE AT 20°C (mΩ/m)
15	10.4
16	13.2
17	16.6
18	21.0
19	26.4
20	33.3
21	42.0
22	53.0
23	66.8
24	84.2
25	106
26	134
27	169
28	213
29	268
30	339
31	427
32	538
33	679
34	856
35	1080
36	1360
37	1720
38	2160
39	2730
40	3440

ケーブル電圧降下補償は、R_{CBL}抵抗の一部として負の温度係数(NTC)抵抗を追加することにより、温度に対して正に変化するように設定できます。この回路の考え方は、NTC抵抗がケーブルと同じ温度であることを前提としています。-40°C～150°Cの広い温度範囲で銅線抵抗の変化に一致するR_{CBL}の抵抗回路網の例を図2bに示します。負の温度変化を示す抵抗をR_{CBL}に使用して、数種類の温度で得られたケーブル電圧降下補償出力を図2cに示します。

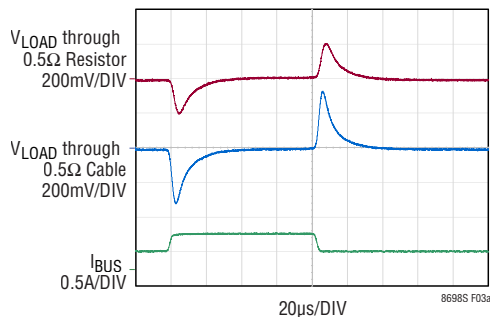
NTC抵抗は、温度に対して完全に線形の伝達関数特性を示しません。ここで、部品の値が標準的な場合、最も厳しい場合の誤差はケーブル電圧降下補償出力の20%未満、つまり全出力電圧精度の4%未満です。R_{CBL}抵抗の値を、より狭い温度範囲用に最適化すれば、温度に対する出力電圧の精度を向上させることができます。

負荷ステップ過渡応答に対するケーブル・インダクタンスの影響

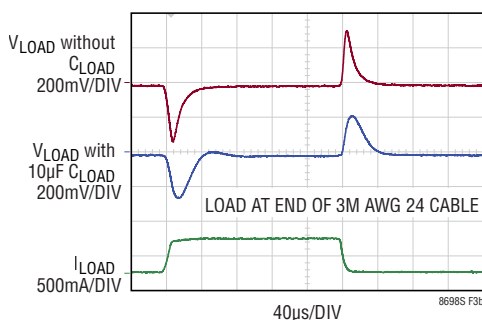
ケーブル配線が長い場合、ケーブルのインダクタンスにより、高速負荷ステップに対する2線式検出レギュレータのピークtoピーク過渡応答性能が制限されます(図3を参照)。LT8698Sなどの2線式検出レギュレータは、負荷直近ではなくレギュレータのローカル出力で出力電圧を検出するため、ケーブルの抵抗を補償した場合でも、ケーブルのインダクタンスによる負荷ステップ応答の性能低下が生じます。ローカル・レギュレータの出力コンデンサとリモート負荷の入力コンデンサは、コンデンサ間の誘導性ケーブル配線によってLCタンク回路を形成します。高速負荷ステップが長いケーブル配線を通過すると、大きなピークtoピーク過渡応答を示し、LCタンク回路の共振周波数でリングングを示します。このリングングはLCタンク回路の特性であり、レギュレータの不安定性を示すものではありません。

125mA/μs、0.5Aの負荷ステップに対するLT8698Sの負荷ステップ過渡応答を図3aに示します。抵抗性インピーダンスのみの場合と、抵抗性 + 誘導性インピーダンスの場合の2種類のケーブル・インピーダンスを比較します。まず、0.5Ωの表面実装抵抗をLT8698Sの出力と負荷ステップ発生器の間に接続します。この抵抗は純粋な抵抗性「ケーブル」の代わりになります。次に、長さが3メートル、全抵抗値が0.5Ω、インダクタンスが約0.8μHのAWG 24ツイスト・ペア・ケーブルをLT8698Sの出力と負荷ステップ発生器の間に接続します。これら2つの回路の抵抗が同じ場合でも、インダクタンスがあるため、ケーブルでのトランジェント負荷ステップ応答の方が劣ります。ケーブルのインダクタンスによってLT8698Sの負荷過渡応答性能がどの程度低下するかは、ケーブルのインダクタンスと負荷ステップの速度によって異なります。長いケーブルは短いケーブルよりインダクタンスが大きくなります。電源導線と戻り導線の間隔が狭いケーブルは、間隔が広い導線と比較して、単位長さあたりのインダクタンスが小さくなります。負荷ステップの速度が速いと、負荷ステップ応答に対するインダクタンスの影響は大きくなります。

アプリケーション情報



(a)



(b)

図3. 負荷ステップ過渡応答に対するケーブル・インダクタンスの影響

ケーブルの負荷側のリモート容量がLT8698Sの過渡応答に与える影響を図3bに示します。負荷ステップは60mA/μsで、長さが3メートルの0.5Ωケーブルでは0.5Aの負荷ステップになります。負荷ステップの位置にリモート容量 C_{LOAD} がない場合は、LCタンクが存在しないため、リングングは観察されません。この場合、ケーブル抵抗 R およびインダクタンス L の両端に負荷ステップの dI/dt の100%が発生し、ピークtoピークの V_{LOAD} の偏差は±300mVになります。負荷ステップの位置に10μFのリモート C_{LOAD} を追加すると、ケーブルの L と負荷容量がタンク回路を形成するため、小さなリングングが発生します。この場合、ケーブルの R および L 両端の実効 dI/dt が低減され、ピークtoピークの V_{LOAD} の偏差は±250mV未満になります。

リモート出力の適切なプロービング

LT8698Sのリモート出力にプローブを当てるときは、正しい結果が得られるように注意してください。ケーブル電圧降下補償を使用する場合、ケーブルの抵抗と大きな負荷電流が原因で、ローカル・レギュレータの出力電圧とケーブルの端のリモート出力電圧は一致しません。抵抗があつて出力と同

じ電流が流れるグラウンド戻り線についても同じことが言えます。LT8698Sのローカル・グラウンドと負荷直近のリモート・グラウンドは通電ケーブルによって分離されているため、これらの2つの場所ではグラウンド基準ポイントが異なります。

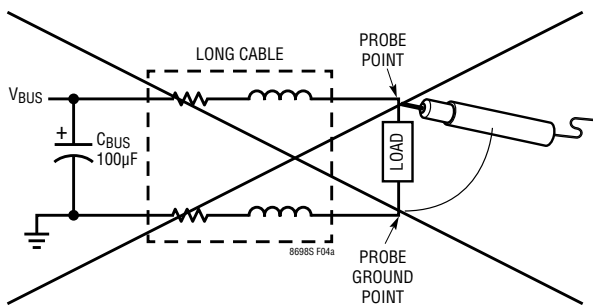
図4bに示すように、ケーブルの端の位置でリモート出力の両端に差動プローブを当てて、そのポイントで出力電圧を測定します。図4aに示すように、LT8698Sのローカル・グラウンドと負荷直近のリモート・グラウンドの両方に、オシロスコープのプローブのグラウンド・リード線を同時につながないでください。これを行うと、プローブのグラウンド線に大きな電流が流れ、異常で不正確な測定結果が得られます。この異常な挙動を図4cに示します。3メートルのAWG 24ツイスト・ペア・ケーブルを通して、1.3Aの負荷ステップをLT8698Sの出力に加えています。1本の曲線では、差動プローブを負荷直近の両端に当てることにより、出力電圧の結果が正しく測定されています。もう1本の曲線では、オシロスコープのグラウンド・リード線がリモート・グラウンドにつながれています。この誤った方法でのプロービングは、グラウンドの戻り抵抗が低いことによるDC誤差と、オーバーシュートの増大を示すAC誤差の両方の原因になります。LT8698Sのリモート出力の測定には、オシロスコープ、実験台、入力電源のグラウンド線を追加しないでください。

出力オーバーシュートの低減

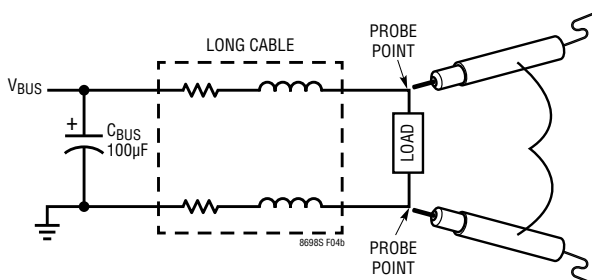
ケーブル電圧降下補償を使用すると、その結果として、LT8698SのBUS/ISNピンのローカル出力電圧は、負荷直近のリモート出力より高い電圧に調整されます。これら2つの出力は数百mΩのケーブル抵抗によって分離されることがあります。このため、負荷電流が2Aの場合、 $V_{BUS/ISN}$ は負荷直近の公称5Vの出力より最大1.05V高くなる可能性があります。LT8698Sの出力に接続されるすべての部品が、この電圧上昇に耐えられることを確認してください。

LT8698Sは、ケーブル電圧降下補償機能による出力電圧上昇の影響を軽減する目的で設計された各種の機能を備えています。まず、LT8698Sのエラーアンプは、USB5Vピンの電圧を一次出力の5Vに安定化するのに加えて、BUS/ISNピンの電圧を6.05Vより低い電圧に安定化します。BUS/ISBの最大電圧が6.05Vに制限されることで、LT8698Sの出力に接続されるポータブル・デバイスなどの部品は過電圧状態から保護されますが、ケーブル電圧降下補償の大きさは1.05Vまでに制限されます。

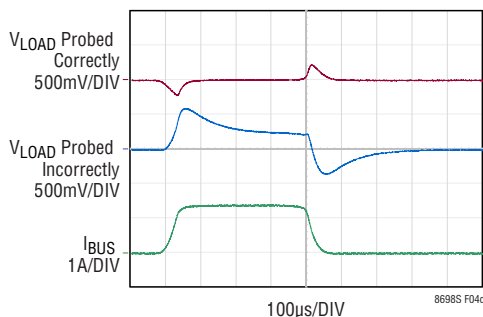
アプリケーション情報



(a) リモート出力の誤ったプロービング



(b) リモート出力の適切なプロービング



(c) リモート出力の誤ったプロービングの影響

図4. リモート出力の適切なプロービング

更に、LT8698Sは、強制連続モード(FCM)時に出力から電流をシンクできます。この機能により、重負荷から軽負荷への負荷ステップに対するステップ応答が改善されます。ケーブル電圧降下補償機能は、重負荷時にケーブル抵抗の両端に生じる電圧降下を補償するために、出力に電圧を追加します。ほとんどのDC/DCコンバータは電流をソースすることしかできないため、電流が大きな値からゼロ付近まで減少する負荷ステップでは、出力電圧は高いままになり、レギュレーションされません。LT8698Sは、USB5Vの電圧が

高すぎる場合、レギュレータが強制連続モードで出力から電流をシンクできるようにすることにより、この問題を解決します。最初のページのアプリケーション回路で3mのケーブルを介して1.3Aの高速負荷ステップに応答する場合の強制連続モードとパルス・スキップ・モードの出力電圧を図5に示します。パルス・スキップ・モードでは、電流が高い値から0に低下したときの負荷ステップ応答は極めて低速になり、OUT/ISP、BUS/ISN、およびUSB5Vピンのバイアス電流によって制限されます。しかし、強制連続モードをイネーブルにすると、出力は迅速にレギュレーション状態に戻ります。

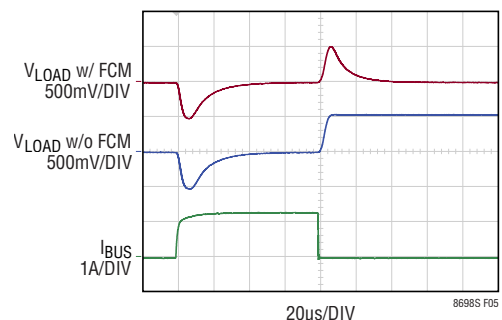


図5. 強制連続モードを使用した場合と使用しない場合の負荷ステップ応答

最後に、LT8698Sの正のスイッチ・ピーク電流と負のバレー電流の制限値は、2.65Aの正の出力電流の制限値を超えています。このように電流範囲が広いと、LT8698Sは、過渡負荷ステップ中のケーブル電圧降下補償のために出力コンデンサを迅速に充電できます。

出力電流制限

LT8698Sは、出力電圧のレギュレーションに加えて、電流レギュレーション・ループによって平均出力電流を制限します。出力電流レギュレーションは、USBケーブルの障害やUSBソケットに接続されたデバイスの障害が発生した場合に、消費電力を制限します。LT8698Sは、OUT/ISPピンとBUS/ISNピンを使用して、外付け検出抵抗 R_{SEN} の両端の電圧降下を測定します。この抵抗は、出力コンデンサ C_{OUT} の負荷側に、負荷に対して直列に接続する必要があります。LT8698Sの制御ループは、OUT/ISPピンとBUS/ISNピン間の平均電圧がレギュレーション点を超えないように、スイッチの電流制限値をサイクルごとに調整します。電流レギュレーションがアクティブのときに負荷電流が出力電流制限値を超えると、出力電圧はレギュレーション点より低い電圧に低下します。

LT8698Sは、出力電流レギュレーション・ループのラッチオフおよび自動再試行機能を備えています。出力電圧が少なくなると

アプリケーション情報

も4.2msにわたってレギュレーション点より7%低くなると、LT8698Sは59msの間スイッチングを停止します。59msの経過後、LT8698Sはスイッチングを開始します。スイッチングの開始後4.2ms以内に出力が公称レギュレーション点に戻れば、通常動作を再開します。出力が4.2ms以内に公称レギュレーション点まで戻らず、レギュレーション点より7%以上低いままの場合、LT8698Sは再び59msの間スイッチングを停止し、このシーケンスが繰り返されます。このラッチオフおよび自動再試行機能により、障害状態での消費電力は、この機能を使用しない場合のデューティ・サイクルの約7%に低減されます。

出力電流モニタとしてのRCBLの使用

RCBLピンの主要な機能は、**ケーブル電圧降下補償**のセクションで説明したように、ケーブル電圧降下補償機能を設定することです。RCBLピンの第2の機能は、出力負荷電流に比例した出力電圧を発生することです。このため、RCBLピンは出力負荷モニタとして使用できます。RCBLピンの電圧とUSBの負荷電流の関係は、**式3**に従います。

$$V_{RCBL} = I_{LOAD} \cdot R_{SEN} \cdot 46 \quad (3)$$

この式は、LT8698Sがイネーブルのときに有効です。

RCBLピンの電流はケーブル電圧降下補償制御ループの一部であるため、RCBLピンに過剰な容量性負荷が加わると、負荷ステップが生じたときにUSB出力電圧にオーバーシュートが発生する原因になります。RCBLピンの容量性負荷を100pFより小さい値に抑えるか、または**図6**に示すように、RCBLピンとその駆動先の入力間に100kΩを直列に接続して負荷の容量を分離してください。

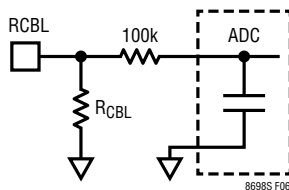


図6. 出力電流モニタとしてのRCBLピンの使用

スイッチング周波数の設定

LT8698Sは固定周波数のPWMアーキテクチャを採用しており、RTピンとグラウンドの間に接続した1個の抵抗を使用して、300kHz～3MHzの範囲でスイッチングするように設定で

きます。目的のスイッチング周波数を得るのに最適な R_T の値を**表2**に示します。

表2. スwitchング周波数と R_T の値

Switching Frequency (MHz)	R_T (kΩ)
3	5.76
2.8	6.19
2.6	6.81
2.4	7.5
2.2	8.25
2	9.09
1.8	10.2
1.6	11.5
1.5	12.4
1.4	13.3
1.3	14.7
1.2	15.8
1.1	17.4
1	19.1
0.9	21.5
0.8	24.3
0.7	28
0.6	32.4
0.5	39.2
0.4	49.9
0.3	66.5

目的のスイッチング周波数を得るのに必要な R_T の値は、**式4**を使用して計算することもできます。ここで、 f の単位はMHzです。

$$R_T = \frac{20.25}{f} - 1.013k \quad (4)$$

動作周波数の選択と交換条件

動作周波数の選択は、効率、部品サイズ、入力電圧範囲の間の兼ね合いによって決まります。高周波数動作の利点は、小さな値のインダクタとコンデンサを使用できることです。欠点は、効率が低くなることと入力電圧範囲が狭くなることです。

与えられたアプリケーションでの、最小オン・タイムによる制限が掛かる直前までの最大スイッチング周波数($f_{SW(MAX)}$)は、**式5**を用いて計算できます。

$$f_{SW(MAX)} = \frac{V_{OUT/ISP}}{t_{ON(MIN)} \cdot V_{IN(MAX)}} \cdot 1000 \quad (5)$$

アプリケーション情報

ここで、 $V_{IN(MAX)}$ はサイクルをスキップしない場合の最大入力電圧、 $V_{OUT/ISP}$ は OUT/ISP の出力電圧、 $t_{ON(MIN)}$ は上側スイッチの最小オン時間 (約 30ns) です。この式は、高い $V_{IN}/V_{OUT/ISP}$ 比に対応するには、スイッチング周波数を下げる必要があることを示しています。

トランジェント動作では、 R_T の値に関係なく、 V_{IN} が 42V の絶対最大定格まで上昇する可能性があります。LT8698S は、必要に応じてスイッチング周波数を下げることにより、インダクタ電流の制御を維持して安全な動作を確保します。

LT8698S は 99% を超える最大デューティ・サイクルでの動作が可能です。 V_{IN} と $V_{BUS/ISN}$ 間のドロップアウト電圧は、上側スイッチの $R_{DS(ON)}$ によって制限されます。この領域で動作すると、スイッチング周波数が低下します。

与えられたアプリケーションの制限付き最小オフ時間の前の最大スイッチング周波数 ($f_{SW(MAX)}$) は、式 6 を使用して計算できます。

$$f_{SW(MAX)} = \left(\frac{1}{t_{OFF(MIN)}} - \frac{V_{OUT/ISP}}{t_{OFF(MIN)} \cdot V_{IN(MIN)}} \right) \cdot 1000 \quad (6)$$

ここで、 $V_{IN(MIN)}$ はサイクルをスキップしない場合の最小入力電圧、 $V_{OUT/ISP}$ は OUT/ISP の出力電圧、 $t_{OFF(MIN)}$ は 40ns の最小スイッチ・オフ時間です。スイッチング周波数を高くするほど、最大周波数動作での最小入力電圧が高くなることに注意してください。

インダクタの選択と最大出力電流

LT8698S は、アプリケーションの出力負荷条件に基づいてインダクタを選択できるため、ソリューションのサイズを最小限に抑えることができます。LT8698S は、高速ピーク電流モード・アーキテクチャを採用しているため、過負荷状態または短絡状態の間、インダクタが飽和した状態での動作に支障なく耐えられます。

LT8698S のインダクタは、目的のスイッチング周波数に基づいて、表 3 に従って選択してください。

表 3 にインダクタの公称値を示します。インダクタは、通常は電流と温度に対してデレーティングされ、許容誤差の仕様があります。この表では、最も厳しい条件と許容誤差の場合でも、アプリケーションのインダクタンスが公称値の 60% 未満にならないことを前提としています。

安定した動作のために、表 3 に示した値以上のインダクタを使用してください。

表 3. インダクタの値とスイッチング周波数

SWITCHING FREQUENCY (MHz)	MINIMUM NOMINAL INDUCTOR VALUE (μH)
2.4 – 3.0	1.5
1.9 – 2.4	2.2
1.3 – 1.9	3.3
0.89 – 1.3	4.7
0.61 – 0.89	6.8
0.51 – 0.61	8.2
0.30 – 0.51	10

表 4 に、LT8698S 用に推奨するインダクタ・メーカーと関連するインダクタ製品シリーズ名を示します。

表 4. インダクタのメーカー

VENDOR	SERIES	WEBSITE
TDK	SLF, VLC, VLF	www.tdk.com
Sumida	CRH, CDR, CDMC	www.sumida.com
Coilcraft	XAL, XFL, MSS	www.coilcraft.com
NIC	NPIM, NPIS	www.niccomp.com
Würth	TPC, SPC, PD, PDF, PD3	www.we-online.com

入力コンデンサ

適切な温度定格および電圧定格のセラミック・コンデンサを V_{IN} および PGND ピンのできるだけ近くに配置して、LT8698S 回路の入力をバイパスします。Y5V 型は、温度や印加される電圧が変化すると性能が低下するので使用しないでください。LT8698S をバイパスするには 2.2μF ~ 4.7μF のセラミック・コンデンサが適しており、リップル電流を容易に処理できます。低いスイッチング周波数を使用すると、大きな入力容量が必要になることに注意してください。入力ソース・インピーダンスが高かったり、長い配線やケーブルによる大きなインダクタンスが存在する場合、追加のバルク容量が必要になることがあります。これには性能の低い電解コンデンサを使用することができます。

降圧レギュレータには、立上がりりと立下がりりが非常に高速なパルス電流が入力電源から流れます。その結果として生じる LT8698S での電圧リップルを減らし、周波数が非常に高いこのスイッチング電流を狭い範囲のループに押し込め

アプリケーション情報

てEMIを最小限に抑えるためには、入力コンデンサが必要です。セラミック入力コンデンサに関する2つ目の注意点は、LT8698Sの最大入力電圧定格に関することです。セラミック入力コンデンサは、パターンやケーブルのインダクタンスと結合して、質の良い(減衰の小さな)タンク回路を形成します。LT8698Sの回路を通電中の電源に差し込むと、入力電圧に公称値の2倍のリングングが生じて、LT8698Sの電圧定格を超える恐れがあります。この状況は簡単に回避できます(アナログ・デバイセズのアプリケーション・ノート88を参照)。

出力コンデンサと出力リップル

OUT/ISPピンとグラウンドの間に接続される出力コンデンサC_{OUT}には、2つの基本的な機能があります。出力コンデンサは、インダクタと共に、LT8698Sが発生する方形波をフィルタに通してDC出力を生成します。この機能では出力コンデンサが出力リップルを決定するので、スイッチング周波数でのインピーダンスが低いことが重要です。2番目の機能は、トランジェント負荷を満たしてLT8698Sの制御ループを安定化するためにエネルギーを蓄えることです。セラミック・コンデンサは、等価直列抵抗(ESR)が非常に小さいので最良のリップル性能が得られます。初期値に適した値については、[標準的応用例](#)のセクションを参照してください。

固定出力電圧のスイッチング・レギュレータでは、大きい値の出力コンデンサを使用すると、通常はトランジェント性能が向上します。ただし、LT8698Sのケーブル電圧降下補償機能により、レギュレータ側の出力電圧は負荷ステップにตอบสนองして変化します。トランジェント負荷ステップが生じると、LT8698SはC_{OUT}を充電しなければならないため、C_{OUT}が大きいと、過渡応答が低下することがあります。トランジェント応答を改善できるのは、USBソケットの近くでケーブルの端に接続されるリモート容量だけです。LT8698Sのループの安定性と出力電圧リップルの条件を満たすのに必要な最小ローカル出力容量が、C_{OUT}の最善の選択肢になります。コンデンサの推奨値については、このデータシートの[標準的応用例](#)のセクションを参照してください。

USB 2.0仕様は、ハブのV_{BUS}とグラウンドの間に最小120μFの低ESRコンデンサを接続することを要求しています。ダウンストリーム・デバイスの固定V_{BUS}容量は最大10μFに制限されるため、この最小120μFのV_{BUS}容量により、1つのダウンストリーム・デバイスの活線挿入によってV_{BUS}のグリッチが発生し、もう1つの接続デバイスの動作を中断するのを防ぐことができます。LT8698SがハブのV_{BUS}に電力供給している場合、OUT/ISPとグラウンドの間に追加のC_{OUT}を接続す

ることにより、この条件を満たすことができます。OUT/ISPとグラウンドの間には、常に最小22μFの容量が接続されている必要があります。

BUS/ISNノードに接続される容量は、OUT/ISPノードに接続される容量より小さくするようにします。グラウンドに対するBUS/ISNノードの容量が大きいと、レギュレータのループ位相余裕が低下し、ケーブル電圧低下補償の過渡応答が低速になります。22μFよりはるかに大きな出力容量が必要な場合は、BUS/ISNノードではなく、OUT/ISPノードにコンデンサを接続してください。

コンデンサを選択する際は、電圧バイアスと温度の該当する動作条件での実効容量に特に注意してください。物理的に大きなコンデンサ、または電圧定格が大きいコンデンサが必要になる場合があります。

セラミック・コンデンサ

セラミック・コンデンサは小さく堅牢で、ESRが非常に小さいコンデンサです。ただし、セラミック・コンデンサには圧電特性があるため、LT8698Sに使用すると問題を生じることがあります。パルス・スキップ・モードの動作では、LT8698Sのスイッチング周波数は負荷電流に依存します。非常に軽い負荷では、LT8698Sはセラミック・コンデンサを可聴周波数で励起し、可聴ノイズを発生することがあります。LT8698Sはパルス・スキップ動作では低い電流制限値で動作するので、通常は非常に静かでノイズが気になることはありません。これが許容できない場合は、高性能のタンタル・コンデンサまたは電解コンデンサを出力に使用してください。低ノイズのセラミック・コンデンサも使用できます。

表5. セラミック・コンデンサのメーカー

VENDOR	WEBSITE
Taiyo Yuden	www.ty-top.com
AVX	www.avxcorp.com
Murata	www.murata.com
TDK	www.tdk.com

EN/UVピン

LT8698Sは、EN/UVピンの電圧が0.25V未満のときシャットダウン状態になり、EN/UVピンがハイのときアクティブになります。EN/UVコンパレータの下降時閾値は1.31Vで、150mVのヒステリシスがあります。シャットダウン機能を使用しない場合は、EN/UVピンをV_{IN}に接続できます。シャットダウン制御が必要な場合は、ピンを目的のロジック・レベル

アプリケーション情報

に駆動できます。LT8698SのEN/UVピンには、約1MΩの抵抗に対して直列に配置される内部5.5V クランプがあります。

V_{IN}とEN/UVピンの間に抵抗分圧器を追加すると、LT8698Sは、V_{IN}が目的の電圧より高くなった場合のみ動作するように設定されます。通常、この閾値(V_{IN(EN)})は、入力電源が電流制限されているか、または入力電源のソース抵抗が比較的高い状況で使用されます。この閾値は、式7を満たすようにR_{EN1}とR_{EN2}の値を設定することにより調整できます。

$$V_{IN(EN)} = \left(\frac{R_{EN1}}{R_{EN2}} - 1 \right) \cdot 1.46V \quad (7)$$

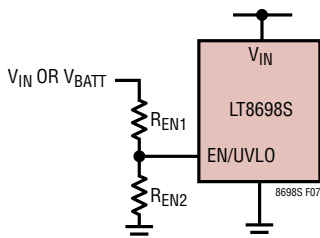


図7. UVLO分圧器

この場合は、V_{IN}がV_{IN(EN)}を超えるまでLT8698Sはオフのままになります。コンパレータのヒステリシスのため、入力がV_{IN(EN)}よりわずかに低くなるまでスイッチングは停止しません。

INTV_{CC}レギュレータ

内部低ドロップアウト(LDO)レギュレータは、V_{IN}を基にして、ドライバと内部バイアス回路に電力を供給する4V電源を生成します。INTV_{CC}のLDOは、LT8698Sの回路に十分な電流を供給できます。このLDOは、1.0μFのセラミック・コンデンサを使用してグラウンドにバイパスする必要があります。パワー・MOSFETのゲート・ドライバが必要とする大量の過渡電流を供給するには、十分なバイパスが必要です。

入力電圧が高く、スイッチング周波数が高いアプリケーションでは、LDOの消費電力が大きいため、ダイ温度が上昇します。INTV_{CC}には、STATUSおよびFLTオープンドレイン出力ピンに抵抗プルアップを提供するなどの目的で、最大1mAの負荷をかけることができます。

信頼性の高い動作を確保するには、1mAを超える電流でINTV_{CC} LDOに負荷をかけないでください。

ソフトスタート

LT8698Sは内部ソフトスタート機能を内蔵しています。出力電圧が上昇するには1.1msかかります。ソフトスタート機能の目的は、起動中に出力コンデンサを充電するときのレギュレータへの突入電流を制限することです。V_{IN}の低電圧ロックアウト、INTV_{CC}の低電圧および過電圧ロックアウト、EN/UVのロー状態、サーマル・シャットダウン、出力電流制限のラッチオフが発生するか、スイッチャをオフにしてSEL1〜3ピンでステートを選択すると、ソフトスタート・ランプはリセットされます。

FLTピン

LT8698Sの出力電圧がレギュレーション点の±7%の範囲内(つまり、USB5Vピンの電圧が4.64V〜5.34V(標準)の範囲内)にある場合、出力電圧は障害状態ではないとみなされ、オープンドレインのFLTピンは高インピーダンスになり、通常は外付け抵抗によってハイになります。電圧がこの範囲を外れた場合、内部のプルダウン・デバイスにより、FLTピンはローになります。グリッチの発生を防ぐため、上側と下側の閾値の両方に3%のヒステリシスが含まれています。また、出力は4.2msの間デバウンスされます。

FLTピンは、いくつかの障害状態(V_{IN}の低電圧ロックアウト、INTV_{CC}の低電圧および過電圧ロックアウト、EN/UVのロー状態、およびサーマル・シャットダウン)の間も自動的にローになります。また、ステート・マシンのバス・リセット・シーケンスの終わりにV_{BUS}が0.5Vより高い電圧に保たれている場合、FLTピンは4.2msの間ローになります。

同期

パルス・スキップ・モードの動作を選択するには、SYNC/MODEピンを0.3Vより低い電圧に接続します。強制連続モード(FCM)を選択するには、SYNC/MODEピンをフロート状態にします。FCMとスペクトラム拡散変調(SSM)の組み合わせを選択するには、SYNC/MODEピンを3.7Vより高い電圧に接続します(SYNC/MODEはINTV_{CC}に接続できます)。LT8698Sの発振器を外部周波数に同期させるには、デューティ・サイクルが20%〜80%の方形波をSYNC/MODEピンに接続します。方形波の振幅には、0.4Vより低い谷と1.5Vより高い山が必要です。外部クロックと同期する場合、LT8698Sは強制連続モードを使用します。

LT8698Sは300kHz〜3MHzの範囲にわたって同期することができます。R_T抵抗は、LT8698Sのスイッチング周波数を最

アプリケーション情報

低同期入力以下に設定するように選択します。例えば、同期信号が500kHz以上になる場合は、スイッチング周波数が公称500kHzになるように R_T を選択します。

同期信号にスペクトラム拡散を組み込むと、EMIが減少することがあります。

強制連続モード

強制連続モード(FCM)を作動させるには、SYNC/MODEピンをフロート状態にするか、1.1Vより高いDC電圧をSYNC/MODEピンに印加するか、外部クロックをSYNC/MODEピンに入力します。

強制連続モードの間、不連続モードの動作はディスエーブルされ、インダクタ電流を負の方向に流すことができるため、レギュレータは負の出力電流が2.3Aになるまで設定周波数でスイッチングできます。このモードには、負荷の全範囲にわたって設定スイッチング周波数を維持できる利点があるため、スイッチの高調波とEMIが安定して予測可能になります。また、このデバイスは出力から電流をシンクできるため、ケーブル電圧降下補償の使用時に負荷解放の過渡応答が改善されます。強制連続モードの欠点は、パルス・スキップ・モードの動作と比較して軽負荷時の効率が低くなることです。

強制連続モードを選択した場合、LT8698Sが最大スイッチング周波数を維持できなくなる動作条件がいくつかあります。例えば、非常に低い入力電圧で発生するドロップアウト状態では、強制連続モードはディスエーブルになります。ドロップアウト状態で動作する場合、LT8698Sは時間をスキップしてスイッチング周波数を低減し、レギュレーション性能を向上させます。

スペクトラム拡散変調

スペクトラム拡散変調(SSM)を作動させるには、3.7Vより高いDC電圧をSYNCピンに印加します。そのためには、SYNC/MODEピンをINTV_{CC}ピンに接続します。スペクトラム拡散変調は、RTで設定された値と、その値より約20%高い値との間でスイッチング周波数を変調することにより、EMI放射を低減します。例えば、LT8698Sを2MHzに設定してスペクトラム拡散変調機能を有効にした場合、スイッチング周波数は2MHz～2.4MHzの範囲で変化します。

出力短絡保護と逆入力保護

LT8698Sは、出力短絡状態に対する耐性を備えています。出力がグラウンドに短絡した状態で動作しているときは、下側スイッチの電流がモニタされ、インダクタ電流が安全なレベルを超えた場合はインダクタ電流が安全なレベルに減少する時点まで上側スイッチのスイッチングを遅らせます。

自動車のバッテリーなど、出力が高電圧に短絡した状態で動作している場合、システムを流れる電流は、LT8698Sの入力電源の V_{IN} の状態に依存します。イグニッション・スイッチがオフの場合など、 V_{IN} が遮断されている場合、LT8698Sには、EN/UVがハイの場合は出力から約2.5mAの静止電流が流れ、EN/UVがローの場合は電流は流れません。 V_{IN} が接地されるか、逆向きに接続された場合、内部上側パワーFETのボディ・ダイオードは、電流が出力(SW)から入力(V_{IN})へ制御されずに流れることを許可します。このため、LT8698Sに損傷を与える可能性があります。制御されない逆電流の発生を防ぐ方法については、図8を参照してください。

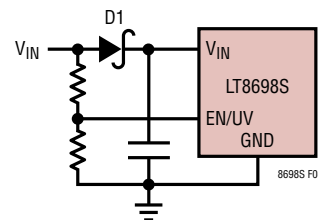


図8. 逆入力電圧保護

出力ケーブル障害

LT8698Sは、 V_{BUS} 出力上のGNDまたは最大20Vまでのケーブル障害に耐えられます。この出力がハイに保たれる場合、上記の逆向き入力保護回路により、SWから V_{IN} への大きすぎる電流が上側スイッチのボディ・ダイオードに流れるのを防ぐ必要があります。20Vの V_{BUS} は障害状態であり、LT8698Sによって電力供給されるUSBソケットに接続されたポータブル・デバイスを損傷する可能性があります。LT8698Sはこの状態に耐えられますが、ポータブル・デバイスの損傷を防ぐことはできません。

20Vへの高速ステップを伴う出力ケーブル障害は、ケーブルのインダクタンスとスイッチング・レギュレータのインダクタに蓄積されるエネルギーが原因で、 V_{IN} に最大40Vのリングングを引き起こすことがあります。 V_{IN} の絶対最大定格42Vはこのリングングに耐えますが、20Vを超えるケーブル障害は、

アプリケーション情報

誘導性リングングによって V_{IN} の絶対最大仕様に違反し、ICに損傷を与える可能性があります。 V_{BUS} の出力ピンOUT/ISP、BUS/ISN、およびUSB5Vの絶対最大定格は42Vであるにもかかわらず、このような V_{IN} の損傷が発生することがあります。20Vの高速出力を活線挿入した場合の応答を図9に示します。

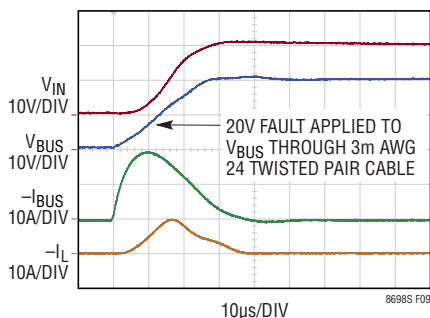


図9. V_{BUS} 上の20V障害

選択ピンSEL1、SEL2、SEL3

選択ピンSEL1～3は、USBホスト・マイクロコントローラとのインターフェースを目的とするトライステート入力ピンです。これらのピンは、USBデータライン D^+ および D^- に接続されるLT8698Sの HD^+ および HD^- ピンの動作ステートを選択します。ステートを動的に変更したくない場合は、選択ピンを個別にローまたはハイに接続するか、オープンのままにして、単一のLT8698Sステートを選択できます。選択ピンは、USB On-The-Go (OTG) 機能用のスイッチング・レギュレータをデイスエーブルにして、USB V_{BUS} レールの9mA アクティブ放電を開始することもできます。

各選択ピンにはINTV_{CC}とGNDの間に接続される抵抗分圧器があり、ピンをフロート状態のままにした場合はそのピンを1Vにバイアスします。0.48Vより低い電圧に接続すると、入力ローになります。1.51Vより高い電圧またはINTV_{CC}に接続すると、入力ハイになります。1µA未満のもれ電流でフロート状態にすると、高インピーダンスのトライステート入力になります。選択ピンの入力は、ピンの入力ステートを内部ステート・マシンに渡す前に1.5msの間デバウンスされます。

STATUS出力ピンの機能は、SEL1～3ピンで選択したステートによって決まります。FLTピンの機能も、SEL1～3ピンで選択したステートによって決まります。 V_{BUS} が電力供給されていない状態で選択ステート5、11、14、および20によってバス・リセット機能にアクセスした場合、通常のFLTピンの機能に加えて、 V_{BUS} が高すぎることからFLTをローにすることができます。

SEL1～3ピンのステートと選択されるLT8698Sのステートの対応表については、表6を参照してください。

データライン・スイッチ

LT8698Sは、High Speed USB 2.0 準拠のアナログ・スイッチを2個内蔵しています。これらのスイッチは、USBソケットとホスト・マイクロコントローラ間のUSB D^+ および D^- データラインに対して直列に配置されます。データライン・スイッチは、LT8698Sの HD^+ ピンと LD^+ ピンを接続し、 HD^- ピンと LD^- ピンを接続します。データライン上に最大20Vの障害またはESDストライクが発生すると、これらのスイッチは遮断されてホストを保護します。これらのスイッチは、各種のチャージャ・エミュレーション・プロファイルのうち1つに多重化する場合など、SEL1～3ピン入力によって遮断するように命令された場合にも遮断されます。

USB 2.0仕様は、 D^+ および D^- データラインについて、480Mb/sの高速通信に対応するPCBパターン内での特性インピーダンスの維持とデータラインの終端を要求しています。具体的には、 D^+ および D^- データラインのPCBグラウンドに対するシングルエンド・インピーダンスは45Ωで、 D^+ と D^- 間の差動インピーダンスは90Ωです。LT8698Sのデータライン・スイッチとパッケージには3Ωの標準直列抵抗があり、高周波数では各データラインとグラウンドの間に約6pFの並列容量が生じます。45Ωの終端抵抗と比較して、スイッチの $R_{DS(ON)}$ からの実際の抵抗は3Ωと十分に小さいため、アイ・ダイアグラム上の信号の完全性の問題は発生しません。データライン・スイッチによって発生する6pFの容量性の不連続からデータライン上の信号反射を除去するには、 HD^+ 、 HD^- 、 LD^- 、および LD^+ と各ピンに対応するデータラインのPCBパターンの間に、4個の小さいインダクタを追加します。これらのインダクタは、LT8698Sのできるだけ近くに配置してください。良好なインピーダンス整合を得るには、各データラインの合計直列インダクタンスを約20nHにする必要があります。したがって、各データライン・ピン HD^+ 、 HD^- 、 LD^+ 、および LD^- に10nHを推奨します。 HD^+ および HD^- ピンへのIEC61000-4-2 ESDストライクに対する堅牢性を確保するには、最小10nHのインダクタを HD^+ 、 HD^- 、 LD^+ 、および LD^- に対して直列に接続する必要があります。

High Speed USB 2.0信号の完全性を更に確実にするため、データラインの帯域幅は製造時に全数検査されています。

アプリケーション情報

表 6. 選択ピンの対応表

SELECT PIN INPUT			SELECT STATE	STATE NAME	V _{BUS} STATE	HD ⁺ STATE	HD ⁻ STATE	STATUS FUNCTION
SEL1	SEL2	SEL3						
LOW	LOW	LOW	0	USB CDP 1	5V	CDP Sequence, Short to LD ⁺	CDP Sequence, Short to LD ⁻	Indicates CDP State
TRI	LOW	LOW	1	USB CDP 2	5V	CDP Sequence with 20k to GND, Then Short to LD ⁺	CDP Sequence with 20k to GND, Then Short to LD ⁻	Indicates CDP State
HIGH	LOW	LOW	2	USB CDP 3	5V	Short to LD ⁺	Short to LD ⁻	Indicates Successful CDP Negotiation
LOW	TRI	LOW	3	USB SDP 1	0V	Short to LD ⁺ , 20k to GND	Short to LD ⁻ , 20k to GND	Indicates V _{BUS} Voltage
TRI	TRI	LOW	4	USB SDP 2	5V	Short to LD ⁺ , 20k to GND	Short to LD ⁻ , 20k to GND	Indicates I _{BUS} Current
HIGH	TRI	LOW	5	USB SDP 3	Discharge	Short to LD ⁺ , 20k to GND	Short to LD ⁻ , 20k to GND	Indicates V _{BUS} Discharge State
LOW	HIGH	LOW	6	Null	5V	Open	Open	Oscillates
TRI	HIGH	LOW	7	Null	5V	Open	Open	Oscillates
HIGH	HIGH	LOW	8	Null	5V	Open	Open	Oscillates
LOW	LOW	TRI	9	V _{BUS} Off with Data Pass Through	0V	Short to LD ⁺	Short to LD ⁻	Indicates V _{BUS} Voltage
TRI	LOW	TRI	10	V _{BUS} On with Data Pass Through	5V	Short to LD ⁺	Short to LD ⁻	Indicates I _{BUS} Current
HIGH	LOW	TRI	11	V _{BUS} Off and Discharged with Data Pass Through	Discharge	Short to LD ⁺	Short to LD ⁻	Indicates V _{BUS} Discharge State
LOW	TRI	TRI	12	V _{BUS} Off	0V	Open	Open	Indicates V _{BUS} Voltage
TRI	TRI	TRI	13	V _{BUS} On without Data Pass Through	5V	Open	Open	Reset State, STATUS Pin Indicates I _{BUS}
HIGH	TRI	TRI	14	V _{BUS} Off and Discharged without Data Pass Through	Discharge	Open	Open	Indicates V _{BUS} Discharge State
LOW	HIGH	TRI	15	Null	5V	Open	Open	Oscillates
TRI	HIGH	TRI	16	Null	5V	Open	Open	Oscillates
HIGH	HIGH	TRI	17	Null	5V	Open	Open	Oscillates
LOW	LOW	HIGH	18	USB SDP 4	0V	20k to GND	20k to GND	Indicates V _{BUS} Voltage
TRI	LOW	HIGH	19	USB SDP 5	5V	20k to GND	20k to GND	Indicates I _{BUS} Current
HIGH	LOW	HIGH	20	USB SDP 6	Discharge	20k to GND	20k to GND	Indicates V _{BUS} Discharge State
LOW	TRI	HIGH	21	USB DCP	5V	Short to HD ⁻ , 500k to GND	Short to HD ⁺	Indicates I _{BUS} Current
TRI	TRI	HIGH	22	2.0A Charger	5V	Short to HD ⁻ , 1.25V V _{BUS} Divider	Short to HD ⁺	Indicates I _{BUS} Current
HIGH	TRI	HIGH	23	Null	5V	Open	Open	Oscillates
LOW	HIGH	HIGH	24	2.4A Charger	5V	2.7V V _{BUS} Divider	2.7V V _{BUS} Divider	Indicates I _{BUS} Current
TRI	HIGH	HIGH	25	2.1A Charger	5V	2.7V V _{BUS} Divider	2.0V V _{BUS} Divider	Indicates I _{BUS} Current
HIGH	HIGH	HIGH	26	1.0 Charger	5V	2.0V V _{BUS} Divider	2.7V V _{BUS} Divider	Indicates I _{BUS} Current

アプリケーション情報

図10に示すように、HD⁺およびHD⁻の各ピンとCLAMPの間およびグラウンドの間には内部ダイオードが接続されています。同様に、LD⁺およびLD⁻の各ピンとINTV_{CC}の間およびグラウンドの間にも内部ダイオードが接続されています。これらのダイオードは、ESD イベントの間、ホスト側のデータライン・ピンを保護します。データラインの電圧が高くなりすぎると、HD⁺およびHD⁻ピン的高速コンパレータがデータライン・スイッチを遮断します。ダイオードの電圧が4.3Vより高くなると、遮断の閾値を超えたとみなされます。

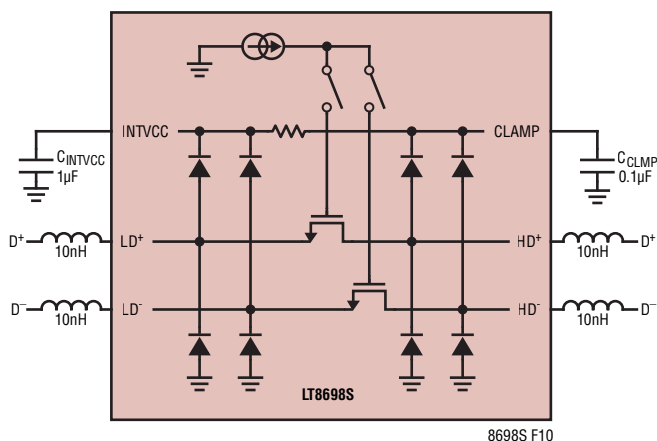


図10. データライン・スイッチ

内蔵されたチャージ・ポンプが、データライン・スイッチのNMOSゲートをバイアスするのに必要な電圧を供給します。SEL1～3ピンのステートがデータライン・スイッチをオンにするように命令してから、このチャージ・ポンプがデータライン・スイッチを完全にオンにするまでに、約1msかかります。

クランプ・ピン

CLAMPピンは、HD⁺とHD⁻に接続される2つの大きなダイオードのカソードに接続されます。データラインに正のESDストライクが発生した場合、大きなESD電流は、データラインからダイオードを通してCLAMPピンにシャントされます。クランプ・ピンのコンデンサがこのエネルギーを吸収し、CLAMPピンの抵抗分圧器がこのエネルギーを約10msにわたって消費します。HD⁺またはHD⁻に対して8kVの接触放電のIEC61000-4-2 ESDストライクが発生した場合、CLAMPピンの電圧は瞬間的に4Vから約18Vへ上昇し、その後4Vまで低下します。このESDイベントのオシロスコープ画面を図11に示します。CLAMPピンの電圧が4.3Vより高くなると、CLAMPピンのウィンドウ・コンパレータがデータライン・スイッチを遮断します。

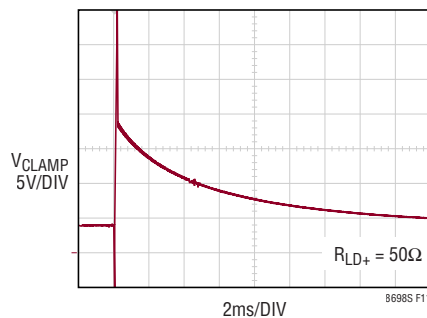


図11. IEC61000-4-2 ESDストライク、15kVの空気放電

堅牢なESDおよびDC障害保護性能を確保するには、CLAMPピンとGNDの間に定格電圧25V以上の0.1μFセラミック・コンデンサを接続します。

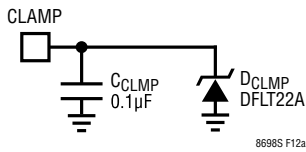
高速ケーブル障害があると、ケーブルのインダクタンスが原因で、HD⁺、HD⁻、およびCLAMPピンに障害電圧を超えるオーバーシュートが発生することがあります。CLAMPとグラウンドの間に、0.1μFのコンデンサに対して並列にツェナー・ダイオードを追加して、高速ステップのDC障害による過度の電圧オーバーシュートを制限できます。安定した動作のために、いかなる動作条件でも、ツェナーのブレイクダウン電圧がHD⁺およびHD⁻ピンの最大DC障害電圧を超えるようにしてください。Diodes IncのDFLT22Aまたは同等品を推奨します。HD⁺およびHD⁻への高速20Vケーブル障害に対する堅牢な耐性を備えるCLAMP回路の例を図12aに示します。図12aのCLAMP回路で3mのAWG 24ツイスト・ペア・ケーブルを介してHD⁺に印加された高速20V障害を示すオシロスコープ画面を図12bに示します。

CDPモードの動作

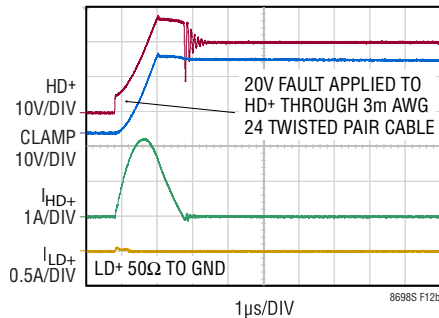
LT8698Sは、USB BC 1.2チャージング・ダウンストリーム・ポート(CDP)チャージャ・プロファイルのサポートに必要なハードウェアを内蔵しています。この動作モードでは、CDP規格に準拠したデバイスは、V_{BUS}から最大1.5Aの大電流を供給されながら、同時にホストとの高速通信を実行できます。CDPは、ホストとポータブル・デバイスの間の通常のUSB接続シーケンスに簡単なハンドシェイク・シーケンスを挿入することによって動作します。

CDPは、表6の選択ステート0、1、および2で動作します。選択ステート0は、データライン・スイッチを閉じた状態で、終端なしでCDPシーケンスを実行します。選択ステート0は、ホスト・マイクロコントローラがUSB接続用のデータラインを適切に終端しており、LT8698SのCDPシーケンスを妨害しな

アプリケーション情報



(a) オーバーシュートを低減するCLAMP回路



(b) HD⁺ 上の20V障害

図12. ケーブル障害

いことを前提にしています。選択ステート0は、データライン・スイッチを閉じた状態に保ちます。選択ステート1は、データライン・スイッチを開いた状態で、HD⁺およびHD⁻とGNDの間に20kの終端抵抗を接続して、CDPシーケンスを実行します。選択ステート1では、LT8698Sはホスト・マイクロコントローラから独立してCDPシーケンスを処理することができ、CDPシーケンスが完了するか、ポータブル・デバイスがCDPなしで接続を試みた後でのみ、データライン・スイッチを接続します。選択ステート1では、CDPシーケンスの完了後、内部20k終端抵抗はデータラインから除去され、データライン・スイッチは閉じられます。

CDPが選択ステート0または選択ステート1で選択された場合、LT8698Sは、100µA電流源をD⁺に接続し、STATUSローをアサートして、デバイスがUSBソケットに接続されるのを待機します。デバイスが接続されると、CDP準拠デバイスは、40msの間、0.6Vの電圧源をD⁺上に配置し、100µAの電流源をD⁻上に配置します。LT8698Sは、D⁺上で0.6Vを認識すると、20ms以内に0.6V電圧源をD⁻に印加します。これはCDPの1次検出であり、ホスト・ポートがCDP対応または専用チャージャ・ポート(DCP)対応であることを示します。LT8698Sは、9ms周期でSTATUSピンの発振も開始し、CDP

接続が進行中であることを示します。STATUSピンが発振している間、選択ピンはロックアウトされ、LT8698Sのステートを変更できなくなります。

次にデバイスは、電圧源をD⁺から除去し、電流源をD⁻から除去し、40msの間、100µA電流源をD⁺上に配置し、0.6V電圧源をD⁻上に配置します。LT8698Sは、0.6V電圧源をD⁻から除去することによって応答します。LT8698SはD⁻をモニタして、0.6V電圧源が40msの間存在するかどうかを確認します。これは2次検出であり、ホスト・ポートがCDP対応であることを示します。STATUSピンは発振を継続し、選択ピンのロックアウト状態が続きます。

これでデバイスはV_{BUS}から最大1.5Aで充電できるようになり、エニューメレーションに進んで、D⁺またはD⁻をロジック・ハイより高い電圧に引き上げてUSB接続を開始し、接続の速度を指示します。D⁺またはD⁻のいずれかがロジック・ハイより高くなると、LT8698Sは100µA電流源をD⁺から除去し、STATUSピンは発振を停止してハイのままになり、CDPシーケンスが完了したことを示します。STATUSが発振していないときは、選択ピンのロックアウトは解除されています。

このエニューメレーションは、最初の接続時にD⁺が0.6Vに引き上げられてから1秒以内に実行する必要があります。1秒以内に実行されない場合、LT8698SはCDPハンドシェイクを停止して初期CDPステートに戻り、接続を待機します。CDPシーケンスの途中で、シーケンスが完了する前にデバイスがD⁺またはD⁻をロジック・ハイより高く引き上げた場合、LT8698SはそのデバイスがCDPに対応していないと解釈し、CDPシーケンスを停止して、CDPハンドシェイクの失敗を通知します。

D⁺またはD⁻がロジック・ハイより高く引き上げられると、CDPハンドシェイク・シーケンスは終了します。CDPを再開するには、選択ピンに選択ステート0、1、または2以外の任意のステートを入力した後、目的のCDP入力ステートに戻す必要があります。

選択ステート2では、CDPハンドシェイク・シーケンスが成功したかどうかを問い合わせることができます。このステートは、選択ステート0または1の状態でポータブル・デバイスが接続された後に使用することを意図しています。このステートはデータラインに影響を与えませんが、接続後、STATUSピンはCDPシーケンスが正常に終了したかどうかを示します。選択ステート2が選択されている間は、STATUSハイはCDP接続の成功、STATUSローはCDP接続の失敗を示します。選択ステート0も1も選択せず、USB接続も行われてい

アプリケーション情報

ない状態で選択ステート2を選択した場合、選択ステート2は有効な応答を返しません。この場合、選択ステート2は、STATUSピンを9msの間発振させて、無効な応答を示します。選択ステート0、1、または2以外の任意のステートを選択すると、CDP接続情報が内部レジスタからクリアされます。

成功したCDPハンドシェイク・シーケンスのタイミング図については、[図13](#)と[図14](#)を参照してください。ポータブル・デバイスがエニュメレーションと接続に1秒より長くかかった場合、LT8698SはCDPセッションの失敗を通知します。選択ステート2の精度は、ポータブル・デバイスのUSB仕様への準拠と、ステート、および構成に依存します。

SDPモードの動作

LT8698Sは、USB BC 1.2仕様の標準ダウストリーム・ポート(SDP)をサポートします。これは最も一般的なUSBホスト構成で、デバイスには最大500mAの充電電流が流れます。選択ステート3、4、5、18、19、および20は、LT8698SのSDPモードの様々なバージョンをアクティブにします。これらのステートの共通点は、LT8698SがD⁺およびD⁻とグラウンドの間に終端プルダウン抵抗を配置することです。これらのSDPモードの相違点は、データラインを開くか閉じることができるか、V_{BUS}への給電、V_{BUS}への給電停止、またはV_{BUS}の放電ができるかということです。[表6](#)を参照してください。

SDPモードの動作でV_{BUS}がレギュレーション状態になっている場合(選択ステート4および19)、STATUSハイはI_{BUS}の負荷が120mAより大きいことを示し、STATUSローはI_{BUS}の負荷が100mAより小さいことを示します。SDPモードの動作でV_{BUS}がディスエーブルの場合(選択ステート3および18)、STATUSハイはV_{BUS}が0.85Vより低いことを示し、STATUSローはV_{BUS}が0.85Vより高いことを示します。SDPモードの動作でV_{BUS}が放電中の場合(選択ステート5および20)、STATUSピンは放電状態を示します。詳細については、[バス・リセット・モードの動作](#)のセクションを参照してください。

データ・パススルー・モードの動作

LT8698Sは、データライン・スイッチを閉じてデータがLT8698Sを通過できるようにするが、データラインに抵抗終端を接続しない、様々な動作モードをサポートします。選択ステート9、10、および11は、データ・パススルー・モードの様々なバージョンをアクティブにします。これらのステートの共通点は、データライン・スイッチが閉じられることです。こ

れらのデータ・パススルー・モードの相違点は、V_{BUS}への給電、V_{BUS}への給電停止、またはV_{BUS}の放電ができるかということです。[表6](#)を参照してください。

データ・パススルー・モードの動作でV_{BUS}がレギュレーション状態になっている場合(選択ステート10)、STATUSハイはI_{BUS}の負荷が120mAより大きいことを示し、STATUSローはI_{BUS}の負荷が100mAより小さいことを示します。データ・パススルー・モードの動作でV_{BUS}がディスエーブルの場合(選択ステート9)、STATUSハイはV_{BUS}が0.5Vより低いことを示し、STATUSローはV_{BUS}が0.85Vより高いことを示します。データ・パススルー・モードの動作でV_{BUS}が放電中の場合(選択ステート11)、STATUSピンは放電状態を示します。詳細については、[バス・リセット・モードの動作](#)のセクションを参照してください。

チャージャ・モードの動作

LT8698Sは、各種の一般的なUSBチャージャ・プロファイルをサポートします。これらのチャージャ・プロファイルでは、データライン・スイッチは開かれ、データ通信は許可されません。これらのチャージャ・プロファイルでは、互換デバイスに、標準のUSBソケットに許される0.5Aを超えるI_{BUS}電流が流れます。LT8698Sは、USB BC 1.2専用チャージャ・ポート(DCP)プロファイルとベンダ独自の2.0A、2.4A、2.1A、および1.0Aプロファイルをサポートします。これらのプロファイルは、V_{BUS}とデータラインの間に抵抗分圧器の様々な組み合わせを接続するか、またはデータラインを互いに短絡させます。[表6](#)を参照してください。

選択ステート21は、USB BC 1.2 DCPプロファイルにアクセスします。この動作モードでは、D⁺とD⁻の間に100Ωの短絡回路を接続し、D⁺およびD⁻とグラウンドの間に500kΩの抵抗を接続します。このステートでは、互換デバイスに1.5Aの充電電流が流れます。

選択ステート22は、2.0Aのベンダ・チャージャ・プロファイルにアクセスします。この動作モードでは、D⁺とD⁻の間に100Ωの短絡回路を接続し、V_{BUS}とD⁺およびD⁻の間に1.25Vの抵抗分圧器を接続します。このステートでは、互換デバイスに2.0Aの充電電流が流れます。

選択ステート24は、2.4Aのベンダ・チャージャ・プロファイルにアクセスします。この動作モードでは、V_{BUS}とD⁺およびD⁻の間に、互いに独立した2個の2.7V抵抗分圧器を接続します。このステートでは、互換デバイスに2.4Aの充電電流が流れます。

選択ステート25は、2.1Aのベンダ・チャージャ・プロファイルにアクセスします。この動作モードでは、V_{BUS}とD⁺の間に2.7Vの抵抗分圧器を接続し、V_{BUS}とD⁻の間に2.0Vの抵

アプリケーション情報

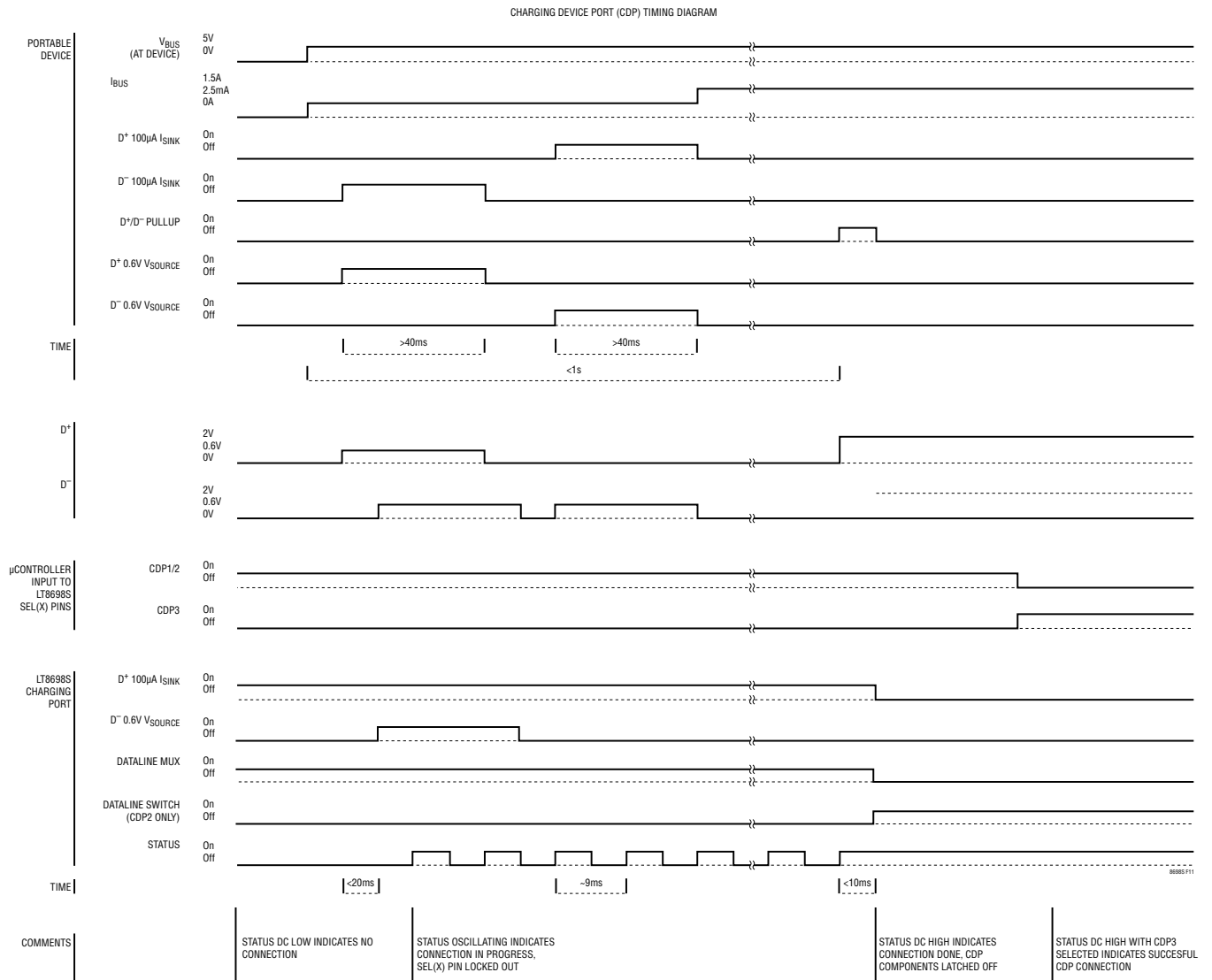


図 13. CDP のタイミング図

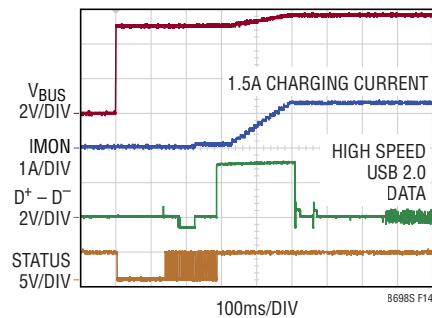


図 14. CDP シーケンス

アプリケーション情報

抗分圧器を接続します。このステートでは、互換デバイスに2.1Aの充電電流が流れます。

選択ステート26は、1.0Aのベンダ・チャージャ・プロファイルにアクセスします。この動作モードでは、 V_{BUS} と D^+ の間に2.0Vの抵抗分圧器を接続し、 V_{BUS} と D^- の間に2.7Vの抵抗分圧器を接続します。このステートでは、互換デバイスに1.0Aの充電電流が流れます。

チャージャ・モードの動作(選択ステート21、22、24、25、および26)では、STATUSハイは I_{BUS} の負荷が120mAより大きいことを示し、STATUSローは I_{BUS} の負荷が100mAより小さいことを示します。

V_{BUS} 専用モードの動作

LT8698Sは、 V_{BUS} を操作するが、データライン・スイッチを開いたままにして、データラインに抵抗終端を接続しない、様々な動作モードをサポートします。選択ステート12、13、および14は、 V_{BUS} 専用モードの様々なバージョンをアクティブにします。これらのステートの共通点は、データライン・スイッチが開かれることです。これらの V_{BUS} 専用モードの相違点は、 V_{BUS} への給電、 V_{BUS} への給電停止、または V_{BUS} の放電ができるかということです。表6を参照してください。

V_{BUS} 専用モードの動作で V_{BUS} がレギュレーション状態になっている場合(選択ステート13)、STATUSハイは I_{BUS} の負荷が120mAより大きいことを示し、STATUSローは I_{BUS} の負荷が100mAより小さいことを示します。 V_{BUS} 専用モードの動作で V_{BUS} がディスエーブルの場合(選択ステート12)、STATUSハイは V_{BUS} が0.5Vより低いことを示し、STATUSローは V_{BUS} が0.85Vより高いことを示します。 V_{BUS} 専用モードの動作で V_{BUS} が放電中の場合(選択ステート14)、STATUSピンは放電状態を示します。詳細については、[バス・リセット・モードの動作](#)のセクションを参照してください。

バス・リセット・モードの動作

LT8698Sは、 V_{BUS} を放電する様々な動作モードをサポートします。選択ステート5、11、14、および20は、 V_{BUS} リセット・モードの様々なバージョンをアクティブにします。これらのステートの共通点は、スイッチャが V_{BUS} 出力への電力供給を停止し、9mAの電流シンクがBUS/ISNとGNDの間に400msの間接続され、FLTピンが放電サイクルの終わりに放電の失敗を4.2msの間通知することです。これらの V_{BUS} リセット・モードの相違点は、各種の抵抗終端をデータラインに接続することと、データライン・スイッチを開くか閉じるかということです。表6を参照してください。

LT8698Sのバス・リセット・シーケンスを開始するには、通常は V_{BUS} がパワーアップ状態になっている必要があります。次に、選択ピンの入力ステートが目的のBUSリセット・モードに変更されます。1.5ms以内にスイッチングは停止し、LT8698Sは V_{BUS} 出力への電力供給を停止します。また、9mAの電流シンクがBUS/ISNとGNDの間に接続されます。LT8698Sは、STATUSピンの9ms周期の発振を開始し、バス・リセット・シーケンスが進行中であることを示します。STATUSピンが発振している間、選択ピンはロックアウトされ、LT8698Sのステートを変更できなくなります。

LT8698Sは、9mAの電流シンクを使用して400msの間 V_{BUS} を放電します。400msの経過後、LT8698Sは電流シンクをオフにして、放電後の V_{BUS} 電圧を120msの間測定します。 V_{BUS} が120msの間0.5Vより低くなっていれば、放電シーケンスは正常に終了しています。 V_{BUS} が120ms期間のどこかの時点で0.85Vより高くなった場合は、放電シーケンスは正常終了していません。

放電シーケンスが完了すると、STATUSピンは発振を停止してハイになり、バス・リセットが完了して選択ピンがロックアウト解除されたことを示します。バス・リセットが正常終了した場合、FLTピンのステートは変化しません。バス・リセットが正常終了しなかった場合、FLTピンは4.2msの間ローになります。

BUSリセット・シーケンスが成功した場合と失敗した場合のタイミング図については、[図15](#)と[図16](#)を参照してください。

V_{BUS} オフ・モードの動作

LT8698Sは、USB On-The-Go(OTG)およびEmbedded Host 2.0仕様に対応しています。この仕様により、ホストとペリフェラルは役割を交換できます。この役割の交換は、USB接続のB側のペリフェラルが V_{BUS} を駆動できるという意味です。LT8698Sは、 V_{BUS} 上に高い入力抵抗を配置してポータブル・デバイスが V_{BUS} を駆動できるようにする、 V_{BUS} オフ・モードの動作をサポートします。LT8698SはA側の接続検出プロトコル(ADP)をサポートしませんが、A側デバイスの1つとして、LT8698SはB側のADPと互換性があります。

選択ステート3、9、12、および18は、LT8698Sの V_{BUS} オフ・モードの様々なバージョンをアクティブにします。これらのステートの共通点は、スイッチがディスエーブルになり、 V_{BUS} の入力抵抗が10k Ω より大きくなることです。 V_{BUS} オフ・モー

アプリケーション情報

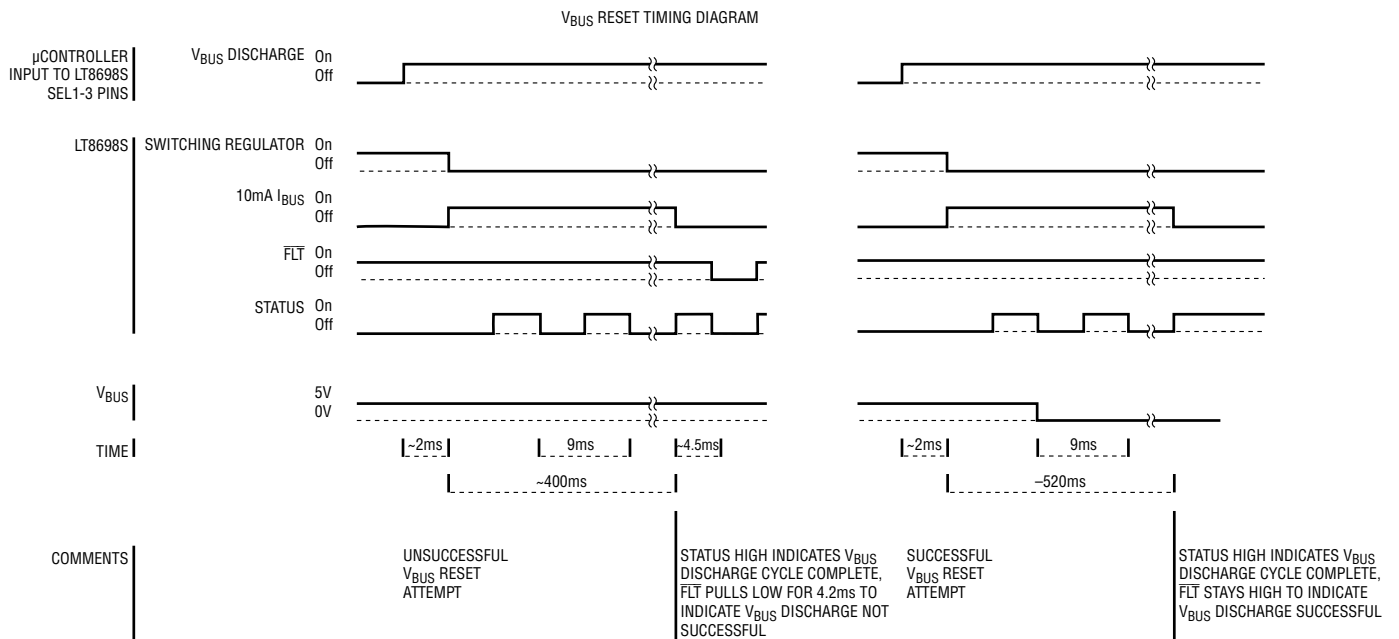


図 15. V_{BUS}のリセット図

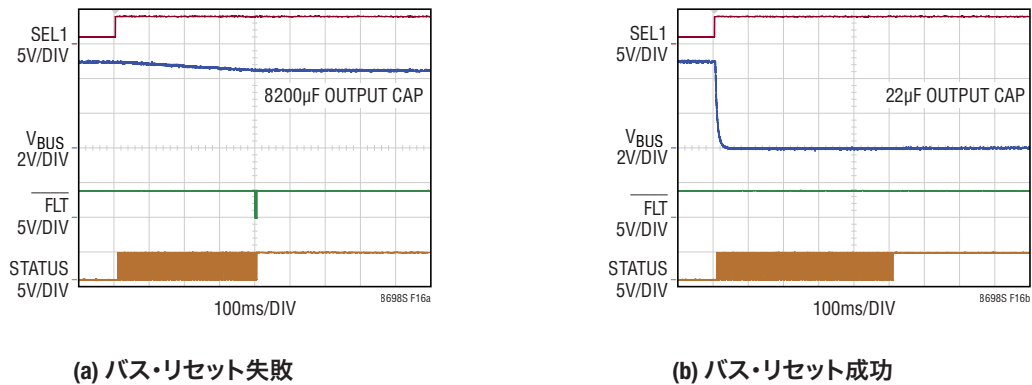


図 16. V_{BUS}のリセット・シーケンス

アプリケーション情報

ドの相違点は、20k 抵抗によるデータラインの終端と、データライン・スイッチを自由に組み合わせて開けるか閉じることができるかということです。表6を参照してください。

V_{BUS} オフ・モードの動作では、STATUS ハイは V_{BUS} が 0.5V より低いことを示し、STATUS ローは V_{BUS} が 0.85V より高いことを示します。

マルチモードの動作

LT8698S は、選択ピン・トライステート入力の 27 種類の可能な組み合わせをすべて使用するわけではありません。使用しない選択ステートは、ステート 6、7、8、15、16、17、および 23 です。これらの使用しないステートは、表6でマルチステートと呼ばれます。これらのマルチステートの動作はすべて同じです。スイッチング・レギュレータが作動して V_{BUS} に電力を供給し、データライン・スイッチは開かれ、抵抗終端はデータラインに接続されず、STATUS ピンは 9ms 周期で発振して無効な選択ステートを示します。

PCB レイアウト

適切に動作させ、EMI を最小にするには、プリント回路基板のレイアウト時に注意が必要です。図17に、推奨部品配置と、パターン、グラウンド・プレーン、およびビアの位置を示します。LT8698S の V_{IN} ピン、PGND ピン、および入力コンデンサ

には大きなスイッチング電流が流れることに注意してください。入力コンデンサによって形成されるループは、入力コンデンサを V_{IN} ピンおよび PGND ピンの近くに配置することにより、できるだけ小さくしてください。物理的に大きな入力コンデンサを使用すると、形成されるループが大きくなりすぎる可能性があります。この場合には、筐体／値の小さいコンデンサを V_{IN} ピンおよび PGND ピンの近くに配置して、大型のコンデンサを遠くに配置することを推奨します。これらの部品とインダクタおよび出力コンデンサは回路基板の同じ側に配置し、その層で接続するようにします。切れ目のないローカル・グラウンド・プレーンを、アプリケーション回路の下、表面層に最も近い層に配置します。SW ノードと BST ノードはできるだけ小さくしてください。最後に、USB5V ノードと RT ノードは短く保ち、必要に応じてグラウンド・パターンを使用して SW ノードと BST ノードから USB5V ノードと RT ノードをシールドします。

PCB のレイアウトに注意を払い、LT8698S が十分放熱できるようにします。パッケージ底面の露出パッドをグラウンド・プレーンにハンダ処理する必要があります。このグラウンドは、サーマル・ビアを使用して、下にある広い銅層に接続してください。これらの層は、LT8698S が発生する熱を放散します。ビアを追加すると、熱抵抗を更に減らすことができます。

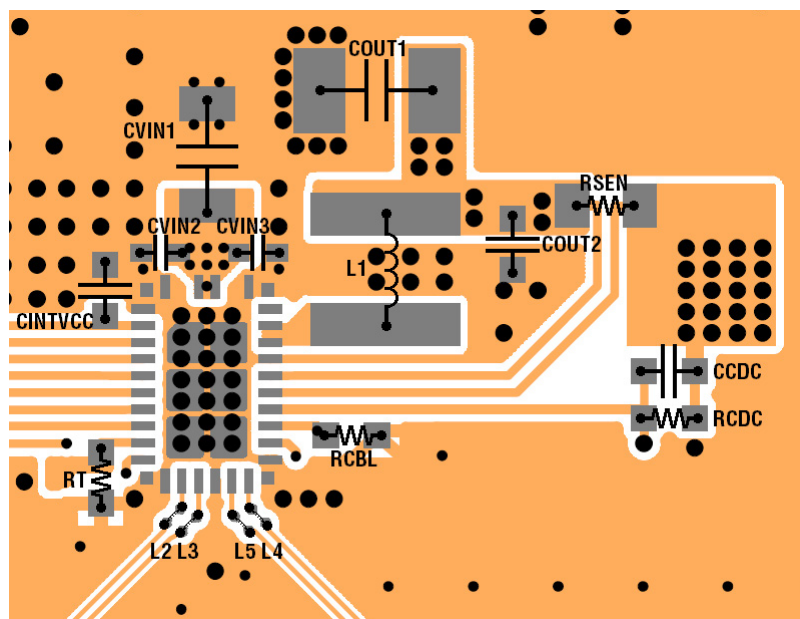


図17. 推奨のPCBレイアウト

アプリケーション情報

R_{SEN} 抵抗と関連する OUT/ISP および BUS/ISN ピンへの接続には、質の高い 4 点ケルビン PCB レイアウトを使用します。この抵抗はわずか $8 \sim 10\text{m}\Omega$ しかないため、浮遊 PCB 抵抗により、温度に依存する誤差が OUT/ISP および BUS/ISN の抵抗に容易に追加され、ケーブル電圧降下補償と出力電流制限の精度が低下することがあります。大電流の経路は、インダクタと R_{SEN} 抵抗の間、および R_{SEN} 抵抗と V_{BUS} パワー出力の間に配線し、OUT/ISP および BUS/ISN ピンの接続から分離します。大電流は、OUT/ISP および BUS/ISN ピンへのパターンと距離を保つようにします。

露出パッドはヒートシンクとして機能し、グラウンドに電氣的に接続されます。熱抵抗を低く保つには、グラウンド・プレーンをできるだけ広げ、LT8698S の下や近くから回路基板内および底面の追加グラウンド・プレーンまでサーマル・ビアを追加します。PCB のレイアウト例については、[図17](#)を参照してください。

高温に関する検討事項

周囲温度が最大ジャンクション温度の定格に近づくにつれて、LT8698S の最大負荷電流をディレーティングする必要があります。LT8698S 内部の消費電力は、効率の測定結果から全消費電力を計算し、それからインダクタの損失を減じることによって推定することができます。ダイの温度は、LT8698S の消費電力に、接合部から周囲までの熱抵抗を掛けて計算します。

LT8698S は、内部サーマル・シャットダウン温度を超えると、スイッチングを停止して障害状態を示します。サーマル・シャットダウン温度は最大動作温度より高く、過負荷状態での LT8698S の保護のみを意図しています。

LT8698S の温度は、負荷が重く、 V_{IN} が高く、スイッチング周波数が高いときに最も高く上昇します。与えられたアプリケーションでのケース温度が高すぎる場合は、 V_{IN} 、スイッチング周波数、負荷電流のいずれかを減らして許容可能なレベルまで温度を下げるすることができます。[図18](#)に、デモ・ボード DC2688A を使用して標準的なデバイスで測定した、一般的な動作条件下での LT8698S のジャンクション温度を示します。

LT8698S の温度上昇は、これらの動作条件と、PCB のレイアウト、IC 上の空気流、および PCB 上で近くに存在する可能性のある他の熱源によって決まるため、LT8698S が最大ジャンクション温度の定格を超えないように、与えられたアプリケーションを慎重に評価する必要があります。

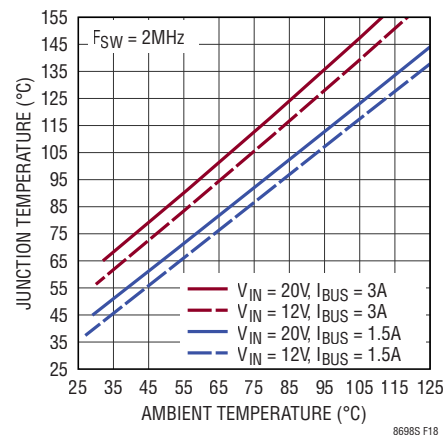
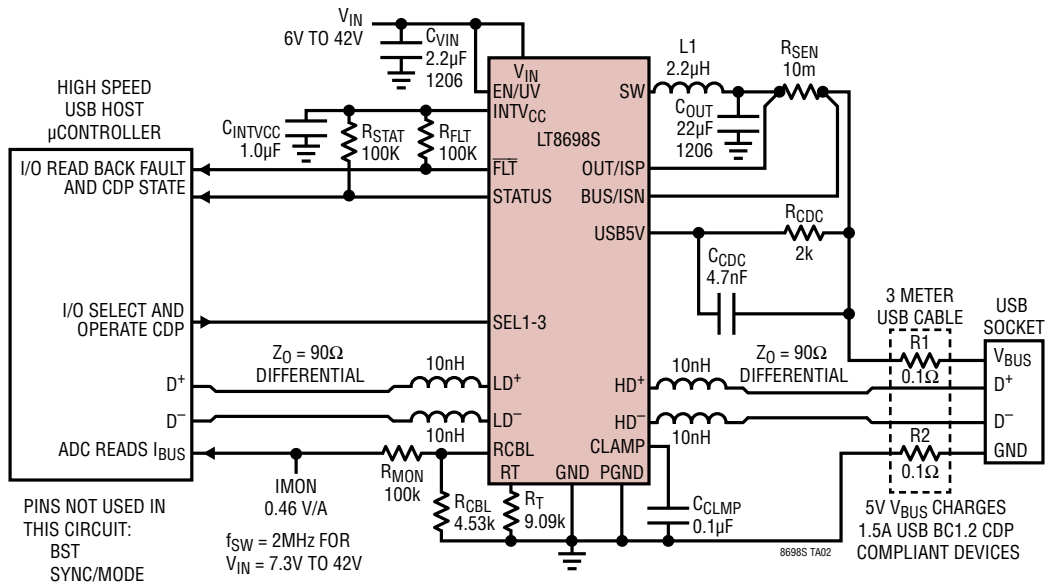


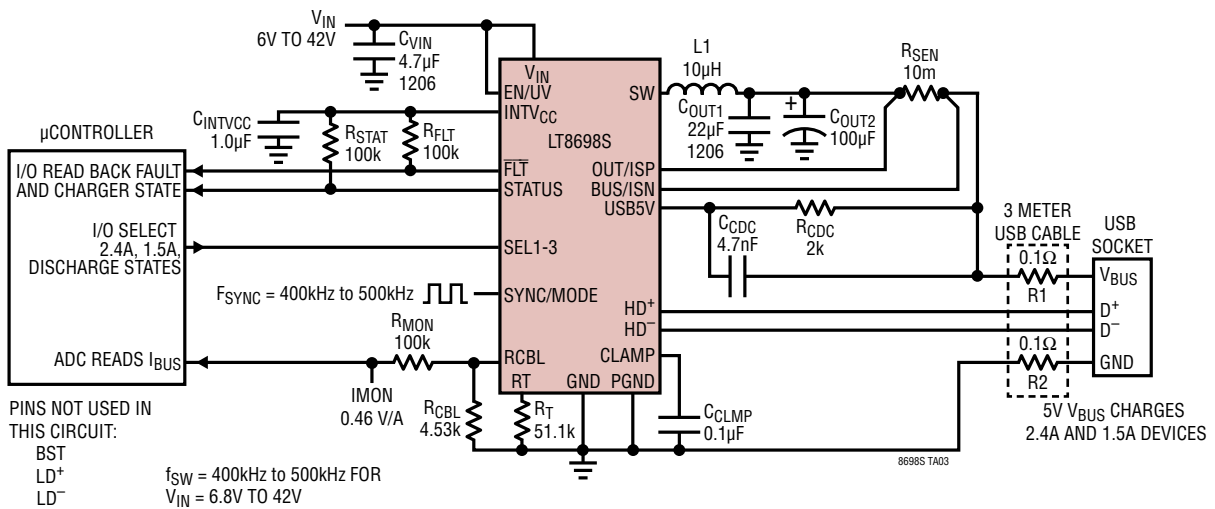
図18. ジャンクション温度の上昇 (DC2688A デモボード、 $R_{SEN} = 8\text{m}\Omega$)

標準的応用例

高速データライン保護およびケーブル電圧降下補償機能付きのUSB BC1.2 CDP オートモーティブ・チャージャ

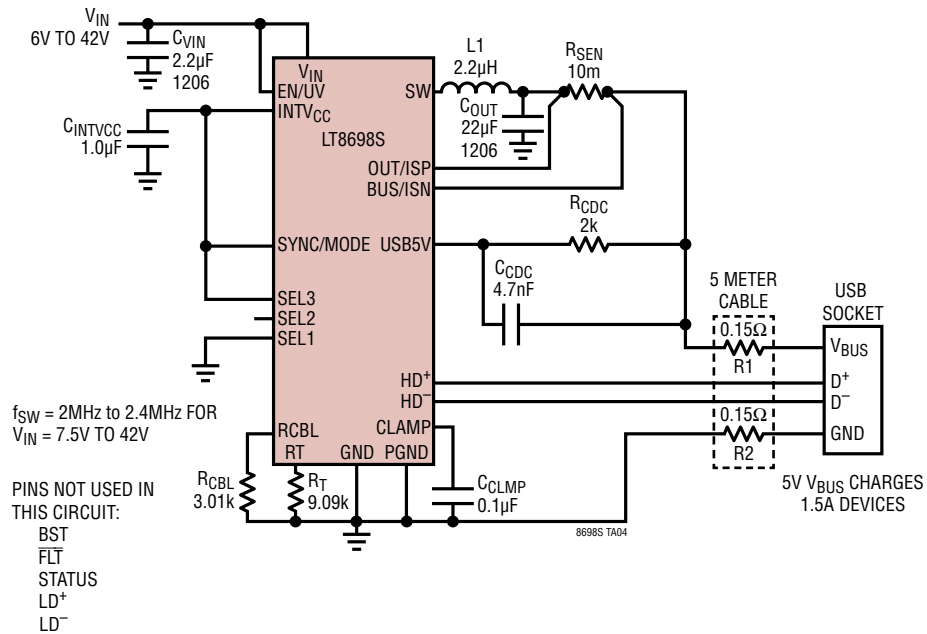


電流モニタ付きの2.4A/1.5A自動プロファイル検出チャージャ



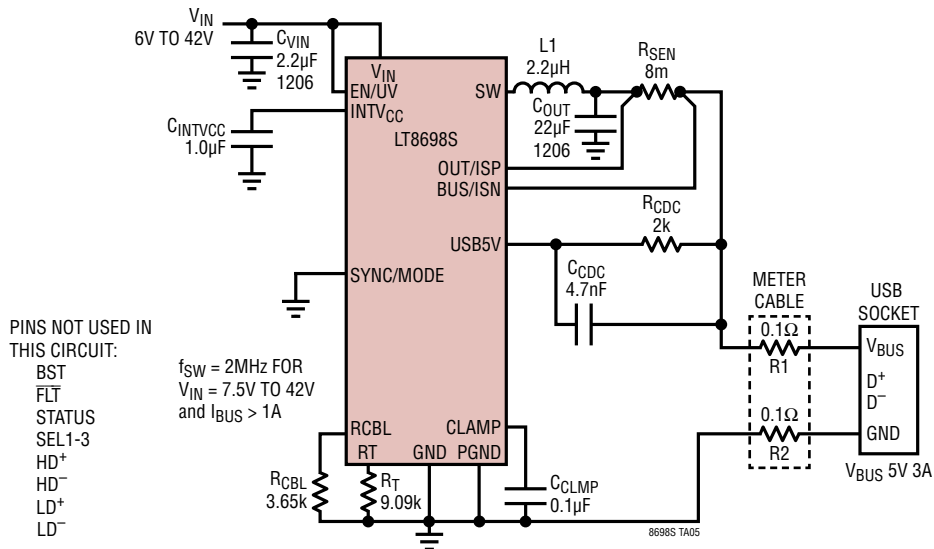
標準的応用例

低EMI/EMC用スペクトラム拡散周波数変調機能付きのUSB専用チャージ・ポート(DCP) V_{BUS} レギュレータ



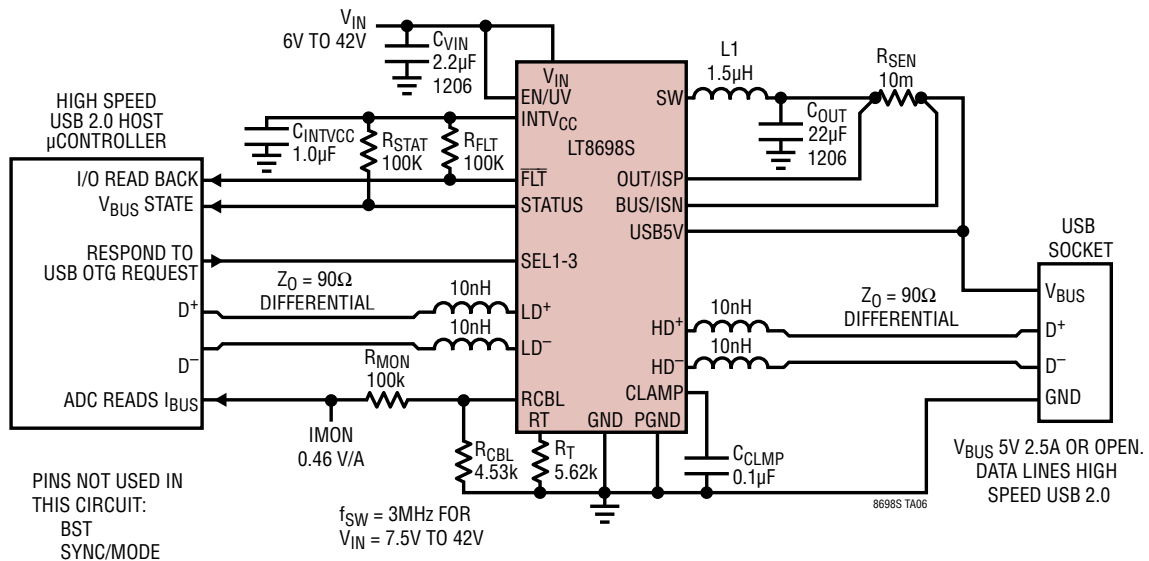
標準的応用例

ケーブル電圧降下補償機能と低静止電流を特長とする USB 5V、3A V_{BUS} レギュレータ



標準的応用例

USB On-The-Go 機能と High Speed USB 2.0 データライン保護機能を備える V_{BUS} レギュレータ



関連製品

製品番号	説明	注釈
LT8697	ケーブル電圧降下補償機能付きで効率が95%の5V USB、42V 入力、2.5A、2.2MHz 同期整流式降圧 DC/DC コンバータ	$V_{IN(MIN)} = 5\text{V}$ 、 $V_{IN(MAX)} = 42\text{V}$ 、 $V_{OUT(MIN)} = 5.0\text{V} \sim 5.25\text{V}$ 、 $I_{SD} < 1\mu\text{A}$ 、3mm × 5mm QFN-24 パッケージ
LT3697	ケーブル電圧降下補償機能付きの5V USB、35V 入力、最大過渡電圧 60V、2.5A、2.2MHz 降圧 DC/DC コンバータ	$V_{IN(MIN)} = 5\text{V}$ 、 $V_{IN(MAX)} = 35\text{V}$ (最大過渡電圧 60V)、 $V_{OUT(MIN)} = 5.0\text{V} \sim 5.25\text{V}$ 、 $I_{SD} < 1\mu\text{A}$ 、MSOP-16E パッケージ
LT8650S	効率が95%の42V、デュアル4A、2.2MHz 同期整流式 Silent Switcher 2 降圧 DC/DC コンバータ ($I_Q = 6.2\mu\text{A}$)	$V_{IN} = 3\text{V} \sim 42\text{V}$ 、 $V_{OUT(MIN)} = 0.8\text{V}$ 、 $I_Q = 6.2\mu\text{A}$ 、 $I_{SD} < 2\mu\text{A}$ 、4mm × 6mm LQFN-32 パッケージ
LT8652S	効率が94%の18V、デュアル8.5A、2.2MHz 同期整流式 Silent Switcher 2 降圧 DC/DC コンバータ ($I_Q = 16\mu\text{A}$)	$V_{IN} = 3\text{V} \sim 18\text{V}$ 、 $V_{OUT(MIN)} = 0.6\text{V}$ 、 $I_Q = 16\mu\text{A}$ 、 $I_{SD} < 6\mu\text{A}$ 、4mm × 7mm LQFN-36 パッケージ
LT8653S	効率が94%の42V、デュアル2A、2.2MHz 同期整流式 Silent Switcher 2 降圧 DC/DC コンバータ ($I_Q = 6.2\mu\text{A}$)	$V_{IN} = 3\text{V} \sim 42\text{V}$ 、 $V_{OUT(MIN)} = 0.8\text{V}$ 、 $I_Q = 6.2\mu\text{A}$ 、 $I_{SD} < 2\mu\text{A}$ 、4mm × 3mm LQFN-20 パッケージ
LT8636	効率が95%の42V、5A、2MHz 同期整流式 Silent Switcher 降圧 DC/DC コンバータ ($I_Q = 2.5\mu\text{A}$)	$V_{IN} = 3.4\text{V} \sim 42\text{V}$ 、 $V_{OUT(MIN)} = 0.97\text{V}$ 、 $I_Q = 2.5\mu\text{A}$ 、 $I_{SD} < 1\mu\text{A}$ 、4mm × 3mm LQFN-20 パッケージ
LT8648S	効率が95%の42V、15A、2MHz 同期整流式 Silent Switcher 2 降圧 DC/DC コンバータ ($I_Q = 6.2\mu\text{A}$)	$V_{IN} = 3\text{V} \sim 42\text{V}$ 、 $V_{OUT(MIN)} = 0.6\text{V}$ 、 $I_Q = 100\mu\text{A}$ (Burst Mode 動作)、7mm × 4mm LQFN-36 パッケージ
LT8611	効率が946%の42V、2.5A、2.2MHz 同期整流式マイクロパワー降圧 DC/DC コンバータ ($I_Q = 2.5\mu\text{A}$ 、入出力電流制限/モニタ機能内蔵)	$V_{IN(MIN)} = 3.4\text{V}$ 、 $V_{IN(MAX)} = 42\text{V}$ 、 $V_{OUT(MIN)} = 0.985\text{V}$ 、 $I_Q = 2.5\mu\text{A}$ 、 $I_{SD} < 1\mu\text{A}$ 、3mm × 5mm QFN-24 パッケージ
LT6110	ケーブル/ワイヤ電圧降下補償器	$V_{IN(MIN)} = 2\text{V}$ 、 $V_{IN(MAX)} = 50\text{V}$ 、 $V_{OUT(MIN)} = 0.4\text{V}$ 、 $I_Q = 16\mu\text{A}$ 、SOT-8、2mm × 2mm DFN-8 パッケージ
LT4180	仮想リモート・センス・コントローラ	$V_{IN(MIN)} = 3.1\text{V}$ 、 $V_{IN(MAX)} = 50\text{V}$ 、最大過渡電圧 80V、 $I_Q = 1\text{mA}$ 、SSOP-24 パッケージ