

内蔵スマート・ブートストラップ・スイッチ搭載の 100V ハーフ・ブリッジ GaN ドライバ

特長

- ▶ GaN FET 用ハーフ・ブリッジ・ゲート・ドライバ
- ▶ 上側ゲート・ドライバでのプルアップ抵抗：0.6Ω
- ▶ 下側ゲート・ドライバでのプルダウン抵抗：0.2Ω
- ▶ 電流能力：4A（ピーク・ソース）、8A（ピーク・シンク）
- ▶ 内蔵スマート・ブートストラップ・スイッチ
- ▶ スプリットゲートドライバでターンオン/ターンオフ強度を調整
- ▶ 全てのドライバ入出力がデフォルトでロー状態
- ▶ INT 入力と INB 入力における最大定格電圧：15V
- ▶ INT 入力と INB 入力が独立し、TTL ロジックに対応
- ▶ 高速な伝搬遅延：10ns（代表値）
- ▶ 伝搬遅延のマッチング：1.5ns（代表値）
- ▶ バランスの取れたドライバ供給電圧：
 $V_{BST} \approx V_{CC} = 3.85V - 5.5V$
- ▶ 低電圧/過電圧ロックアウト保護機能
- ▶ 小型 12 ボール WLCSP パッケージ

アプリケーション

- ▶ 高周波 DC/DC スイッチング電源コンバータ
- ▶ ハーフ・ブリッジ・コンバータ、フルブリッジ・コンバータ、プッシュプル・コンバータ
- ▶ データ・センターの電源
- ▶ モータ・ドライバ、クラス D オーディオ・アンプ
- ▶ 民生、産業、および車載用

概要

LT8418 は 100V ハーフ・ブリッジ GaN ドライバであり、上側と下側のドライバ段、ドライバ・ロジック制御、保護機能が内蔵されています。構成可能なトポロジとしては、同期ハーフ・ブリッジ、フルブリッジ、または降圧、昇圧、昇降圧があります。LT8418 は高い電流ソース/シンク能力を備えており、0.6Ω のプルアップ抵抗と 0.2Ω のプルダウン抵抗を使用しています。内蔵スマート・ブートストラップ・スイッチも組み込まれており、V_{CC} からバランスの取れたブートストラップ電圧を最小限のドロップアウト電圧で生成します。

LT8418 はスプリット・ゲート・ドライバを搭載しており、GaN FET のターンオンとターンオフのスルー・レートを調整することでリングングを抑制し、EMI 性能を最適化します。ドライバの全ての入出力は、GaN FET の誤ったターンオンを防止するためにデフォルトでロー状態になっています。LT8418 の入力である INT と INB はそれぞれ独立しており、TTL ロジックに対応しています。その一方で、LT8418 は、10ns という高速の伝搬遅延で動作し、上側チャンネルと下側チャンネルとの間で 1.5ns という優れた遅延マッチングを維持しているため、高周波の DC/DC コンバータ、モータ・ドライバ、クラス D オーディオ・アンプに適しています。更に、WLCSP パッケージを採用して寄生インダクタンスを最小限に抑えているため、高性能で高電力密度のアプリケーションにおいて幅広く使用することができます。

標準的応用例

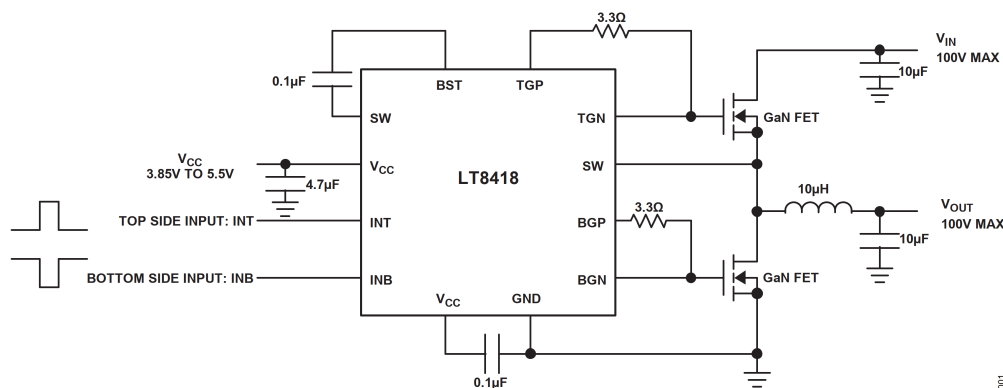


図 1. GaN ベースの高効率スイッチング DC/DC コンバータ

目次

特長.....	1
アプリケーション.....	1
概要.....	1
標準的応用例.....	1
改訂履歴.....	2
仕様.....	3
タイミング図.....	5
絶対最大定格.....	5
熱抵抗.....	6
ピン配置およびピン機能の説明.....	7
端子説明.....	7
ブロック図.....	8
代表的な性能特性.....	9
動作原理.....	12

1.1. チップ・スタートアップ、V _{CC} UVLO/OVLO 保護機能..	12
1.2. 入力インターフェイス INT、INB.....	12
1.3. スマート・ブートストラップ (BST) スイッチと BST の UVLO.....	12
1.4. スプリット・ゲート・ドライバ.....	12
アプリケーション情報.....	13
1.1. V _{CC} と BST コンデンサの選択.....	13
1.2. ゲート抵抗の選択.....	13
1.3. 消費電力.....	13
1.4. PCB におけるバイパスとグラウンディングの ガイドライン.....	14
1.5. 半田処理のガイドライン.....	14
外形寸法.....	15
標準的応用例.....	16
オーダー・ガイド.....	18
関連製品.....	18

改訂履歴

10/2023 – Rev. 0

仕様

表 1. 電気的特性

(T_A = 25°C¹、V_{CC} = V_{BST} = 5V、V_{GND} = V_{SW} = 0V、TGP と TGN を接続、BGP と BGN を接続)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Supply Voltage and Current						
V _{CC} Operating Voltage Range	V _{CC}		3.85		5.5	V
V _{CC} Quiescent Current	I _{Q_VCC}	INT = INB = 0V		250		μA
V _{CC} Operating Current	I _{VCC}	F _{SW} = 400kHz		2.4		mA
BST Quiescent Current	I _{Q_BST}	INT = INB = 0V		80		μA
BST Operating Current	I _{BST}	F _{SW} = 400kHz		1.0		mA
Undervoltage, Overvoltage Protections						
V _{CC} UVLO Threshold	V _{UVLO_VCC}	Falling	3.14	3.35	3.67	V
V _{CC} UVLO Hysteresis	V _{UVLO_HYST_VCC}			0.2		V
V _{CC} OVLO Threshold	V _{OVLO_VCC}	Rising	5.58	6.0	6.53	V
V _{CC} OVLO Hysteresis	V _{OVLO_HYST_VCC}			0.2		V
BST UVLO Threshold	V _{UVLO_BST}	Falling	2.9	3.1	3.35	V
BST UVLO Hysteresis	V _{UVLO_HYST_BST}			0.25		V
Input Pins						
INT, INB Input Turn-On Threshold	V _{ON_INT} V _{ON_INB}	Rising	1.4	1.9	2.4	V
INT, INB Input Hysteresis	V _{HYST_INT} V _{HYST_INB}			0.4		V
INT, INB Input Resistance to Ground	R _{INT} R _{INB}			200		kΩ
Bootstrap Switch						
BST Switch Forward Drop at Low Refresh Current	V _{F_BST}	I _{VCC-BST} = 100 μA		1	10	mV
BST Switch Forward Drop at High Refresh Current	V _{F_BST}	I _{VCC-BST} = 100 mA		0.6	1	V
BST Switch Dynamic On-Resistance	R _{BST}	I _{VCC-BST} = 100 mA		6		Ω
Gate Drivers						
TG Driver R _{ON} Gate Pull-Up	R _{TG_UP}	V _(BST-SW) = 5V		0.6		Ω
Gate Pull-Down	R _{TG_DW}			0.2		Ω
BG Driver R _{ON} Gate Pull-Up	R _{BG_UP}	V _{CC} = 5V		0.6		Ω
Gate Pull-Down	R _{BG_DW}			0.2		Ω

($T_A = 25^\circ\text{C}$ ¹、 $V_{CC} = V_{BST} = 5\text{V}$ 、 $V_{GND} = V_{SW} = 0\text{V}$ 、TGP と TGN を接続、BGP と BGN を接続)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
TG Rise Time	t_{TGR}	CL = 1nF, 10% to 90%		2.5		ns
TG Fall Time	t_{TGF}	CL = 1nF, 90% to 10%		2.5		ns
BG Rise Time	t_{BGR}	CL = 1nF, 10% to 90%		2.5		ns
BG Fall Time	t_{BGF}	CL = 1nF, 90% to 10%		2.5		ns
Propagation Delay, Delay Matching, and Minimum Input Pulse²						
TG Turn-On Propagation Delay	t_{RPD_TG}	INT Rising to TG Rising (TGP = TGN = TG)		10	16	ns
TG Turn-Off Propagation Delay	t_{FPD_TG}	INT Falling to TG Falling		10	15	ns
BG Turn-On Propagation Delay	t_{RPD_BG}	INB Rising to BG Rising (BGP = BGN = BG)		10	16	ns
BG Turn-Off Propagation Delay	t_{FPD_BG}	INB Falling to BG Falling		10	15	ns
TG Turn-Off and BG Turn-On Delay Mismatch	t_{DMF}			0.5	5	ns
BG Turn-Off and TG Turn-On Delay Mismatch	t_{DMR}			0.5	6.5	ns
TG, BG Minimum Input Pulse Width	t_{TGW}, t_{BGW}			11		ns

¹ LT8418 は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LT8418A は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ のジャンクション温度で仕様を満たすよう設計されています。ジャンクション温度が高いと動作寿命が低下します。125°C を超えるジャンクション温度では、動作寿命を減定格します。これらの仕様に合致する最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因と共に、特定の動作条件によって決まります。ジャンクション温度 (T_J (°C)) は、次式を使って周囲温度 (T_A (°C)) と消費電力 (P_D (W)) から計算します。 $T_J = T_A + (P_D \times \theta_{JA})$ 。ここで、 θ_{JA} (°C/W) はパッケージの熱抵抗です。

² 上側または下側のゲート・ドライバの伝搬遅延、および遅延マッチングの定義を以下のタイミング図に示します。

タイミング図

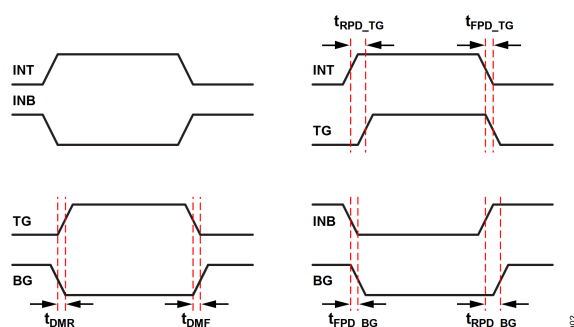


図 2. 伝搬遅延および遅延マッチングのタイミング定義

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}^1$ 。

表 2. 絶対最大定格

PARAMETER	RATING
INB, INT	-0.3V to 15V
V_{CC} , (BST – SW)	-0.3V to 6V
BGP, BGN	-0.3V to $V_{CC} + 0.3\text{V}$
TGP, TGN	SW – 0.3V to BST + 0.3V
BST	-0.3V to 106V
BST (at 100ms Transient)	-0.3V to 116V
SW	-5V to 100V
SW (at 100ms Transient)	-5V to 110V
Operating Junction Temperature Range ^{2,3} LT8418A	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C

¹ 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。絶対最大定格の状態が長時間に及ぶと、デバイスの信頼性と寿命に影響を与えることがあります。

² LT8418 は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LT8418A は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ のジャンクション温度で仕様を満たすよう設計されています。ジャンクション温度が高いと動作寿命が低下します。125°C を超えるジャンクション温度では、動作寿命を減定格します。これらの仕様に合致する最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因と共に、特定の動作条件によって決まります。ジャンクション温度 (T_J (°C)) は、次式を使って周囲温度 (T_A (°C)) と消費電力 (P_D (W)) から計算します。 $T_J = T_A + (P_D \cdot \theta_{JA})$ 。ここで、 θ_{JA} (°C/W) はパッケージの熱抵抗です。

³ LT8418 は、一時的な過負荷状態になったときにデバイスを保護するための過熱保護機能を内蔵しています。この保護機能が動作するときは、ジャンクション温度が最大定格値を超えています。仕様に規定された絶対最大動作ジャンクション温度を超える温度での連続動作は、デバイスの信頼性を損なったり、デバイスに恒久的な損傷を生じさせたりする可能性があります。

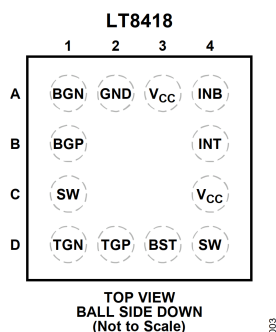
熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

表 3. 12 ボール WLCSP パッケージの熱抵抗

Thermal Resistance	
Junction-to-Ambient Θ_{JA}	73 °C/W
Junction-to-Case $\Theta_{JC (TOP)}$	0.6 °C/W
Junction-to-Board $\Theta_{JB (BOTTOM)}$	12 °C/W

ピン配置およびピン機能の説明



12-Ball WLCSP Package

Package Size: 1.67mm x 1.67mm, Ball Diameter: 0.26mm, Ball Pitch Size: 0.4mm

図 3. ピン配置図

端子説明

表 4. 端子説明

ピン	名称	説明
A1	BGN	下側スプリット・ゲート・ドライバの出力におけるプルダウン・ブランチ。BGN から GaN FET のゲートに抵抗を追加することで、下側 GaN FET のターンオフ強度をプログラム可能です。
A2	GND	グラウンド。このピンを下側 GaN FET のソースに低インダクタンスかつ低抵抗で接続します。
A3, C4 ¹	V _{CC}	内蔵された制御回路およびゲート・ドライバ用の電源。このピンは、4.7μF 以上のセラミック・コンデンサを使用してグラウンドにローカルにバイパスします。
A4	INB	下側ゲート・ドライバを制御するための PWM 入力 INB は TTL の入力ロジックに対応しており、デフォルトで 200kΩ のプルダウン抵抗を内蔵しています。使用しない場合は、オープンのままにするかグラウンドに接続します。
B1	BGP	下側スプリット・ゲート・ドライバの出力におけるプルアップ・ブランチ。BGP から GaN FET のゲートに抵抗を追加することで、下側 GaN FET のターンオン強度をプログラムできます。
B4	INT	上側ゲート・ドライバを制御するための PWM 入力 INT は TTL の入力ロジックに対応しており、デフォルトで 200kΩ のプルダウン抵抗を内蔵しています。使用しない場合は、オープンのままにするかグラウンドに接続します。INT の入力パルス幅は最小で 11ns です。
C1, D4 ¹	SW	スイッチ・ノード。SW を上側の同期 GaN FET のソースとブートストラップ・コンデンサの下側端子に低インダクタンスかつ低抵抗で接続します。
D1	TGN	上側スプリット・ゲート・ドライバの出力におけるプルダウン・ブランチ。TGN から GaN FET のゲートに抵抗を追加することで、上側 GaN FET のターンオフ強度をプログラム可能です。
D2	TGP	上側スプリット・ゲート・ドライバの出力におけるプルアップ・ブランチ。TGP から GaN FET のゲートに抵抗を追加することで、上側 GaN FET のターンオン強度をプログラム可能です。
D3	BST	ブートストラップ・フローティング・ドライバ電源。BST ピンには V _{CC} からのオンダイ・ブートストラップ・スイッチがあり、この SW への外付けブートストラップ・コンデンサを使って、上側ゲート・ドライバ用のバランスの良い安定したブートストラップ電圧を供給できます。このピンは、100nF 以上のセラミック・コンデンサを使用して SW にローカルにバイパスします。

¹ A3 と C4 は内部で接続されています。C1 と D4 は内部で接続されています。

ブロック図

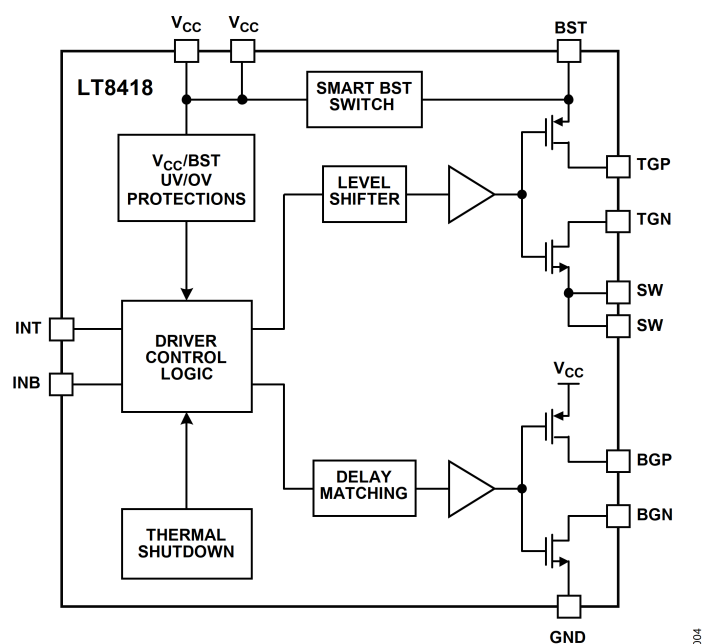


図 4. ブロック図

代表的な性能特性

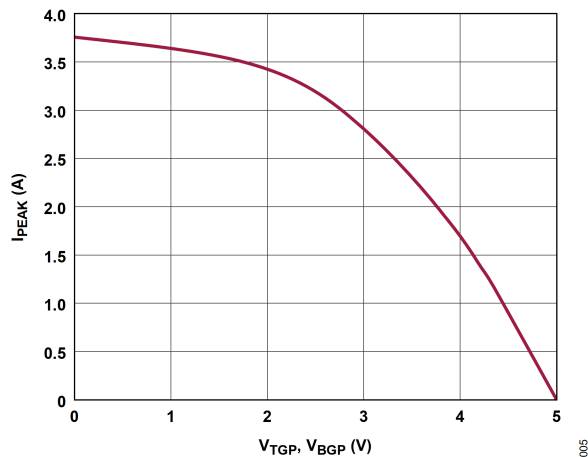


図 5. ピーク・ソース電流とドライバ出力電圧の関係

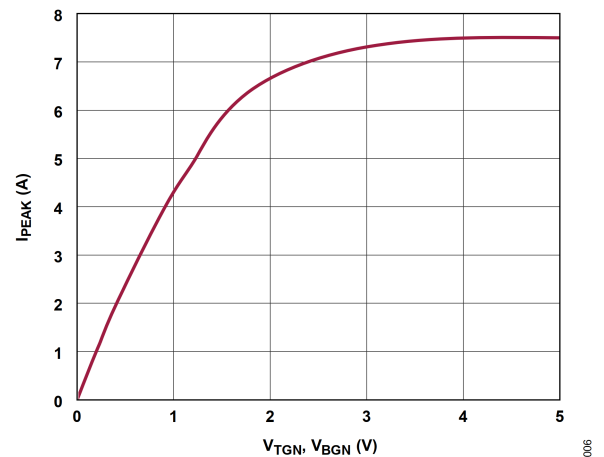


図 6. ピーク・シンク電流とドライバ出力電圧の関係

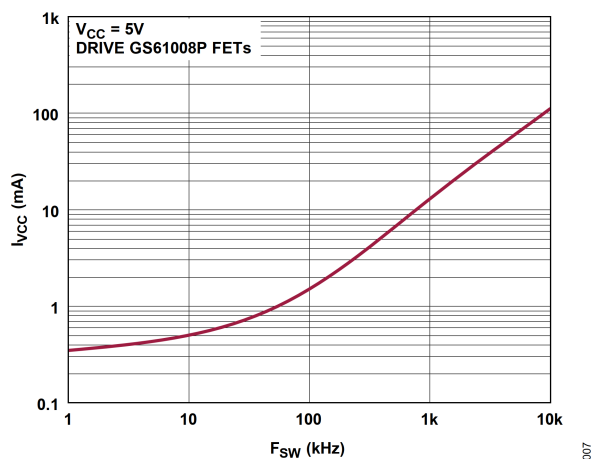


図 7. V_{CC} 動作電流とスイッチング周波数の関係

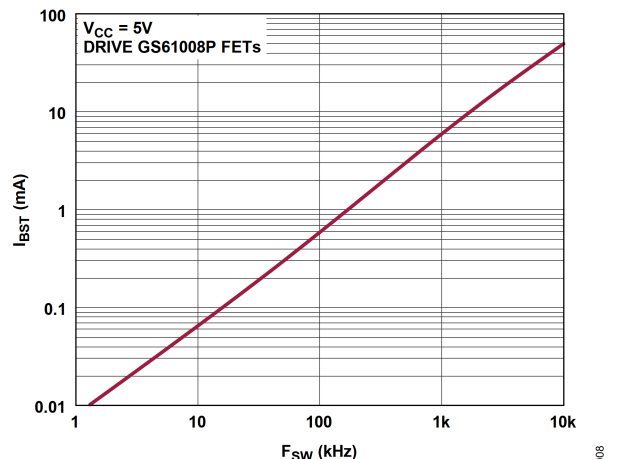


図 8. BST 動作電流とスイッチング周波数の関係

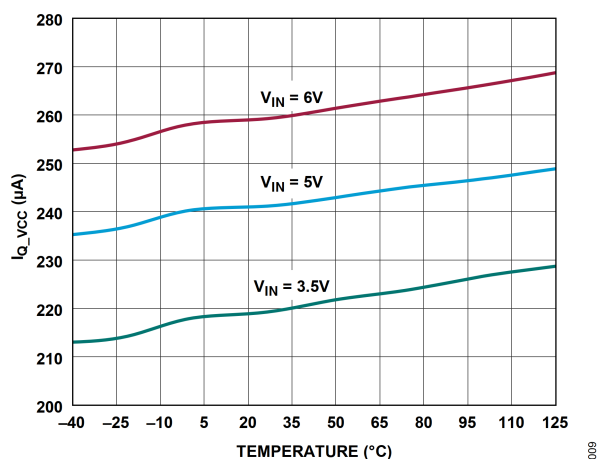


図 9. V_{CC} 静止電流と温度の関係

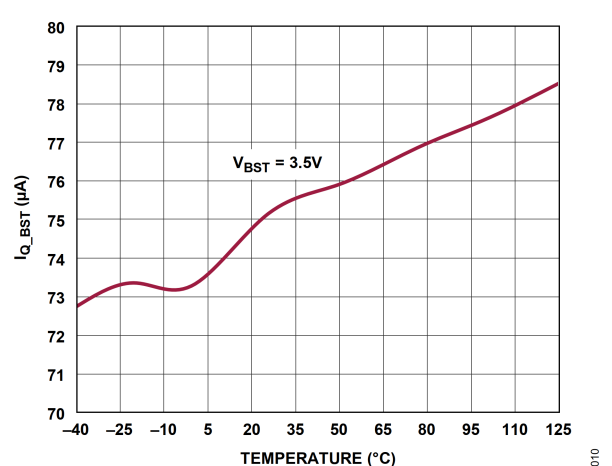


図 10. BST 静止電流と温度の関係

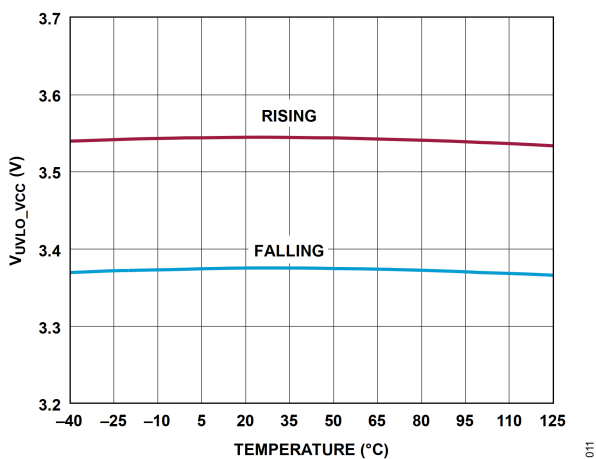


図 11. V_{CC} UVLO スレッシュホールドと温度の関係

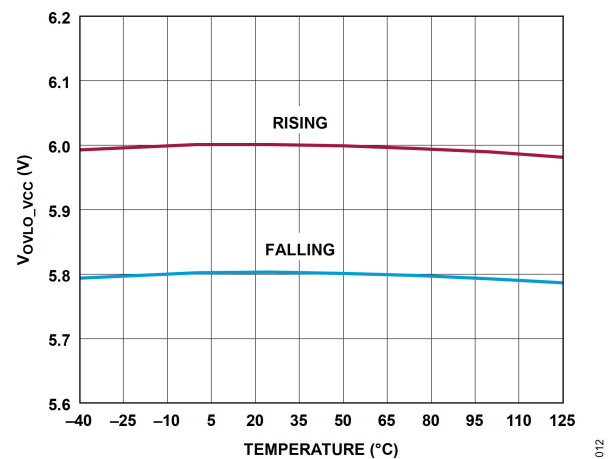


図 12. V_{CC} OVLO スレッシュホールドと温度の関係

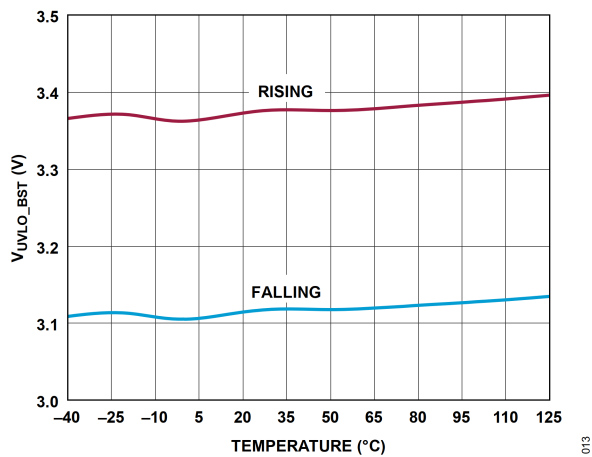


図 13. BST の UVLO スレッシュホールドと温度の関係

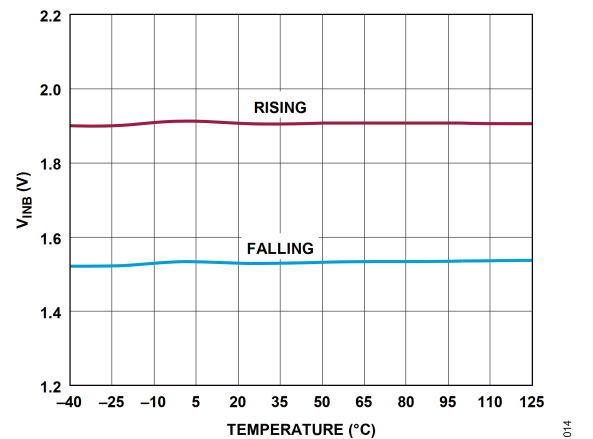


図 14. INB スレッシュホールドと温度の関係

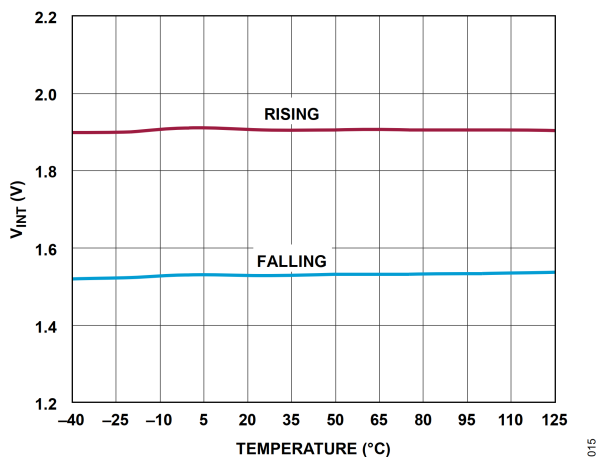


図 15. INT スレッシュホールドと温度の関係

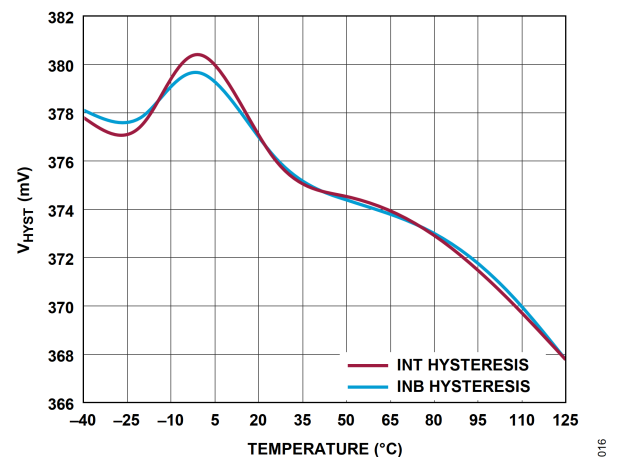


図 16. 入力スレッシュホールド・ヒステリシスと温度の関係

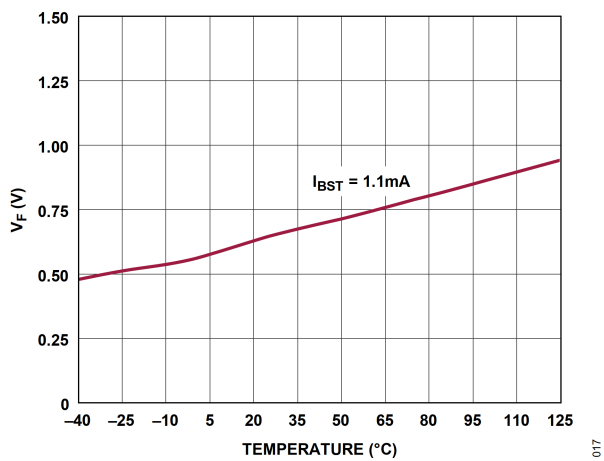


図 17. ブートストラップ・スイッチ電圧と温度の関係

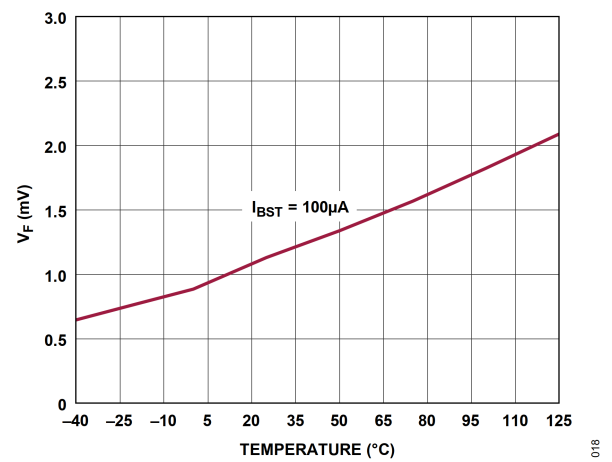


図 18. ブートストラップ・スイッチ電圧と温度の関係

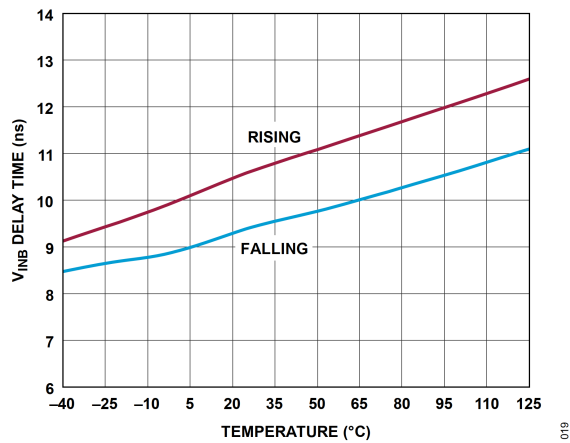


図 19. INB 伝搬遅延と温度の関係

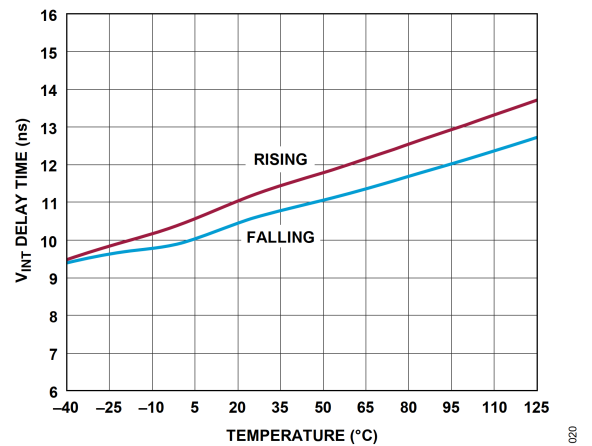


図 20. INT 伝搬遅延と温度の関係

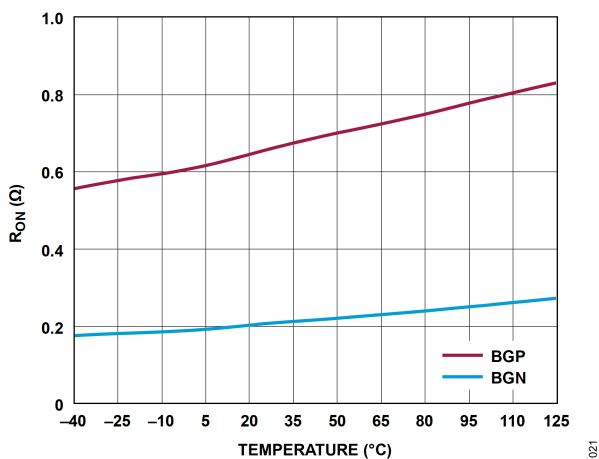


図 21. BG のオン抵抗と温度の関係

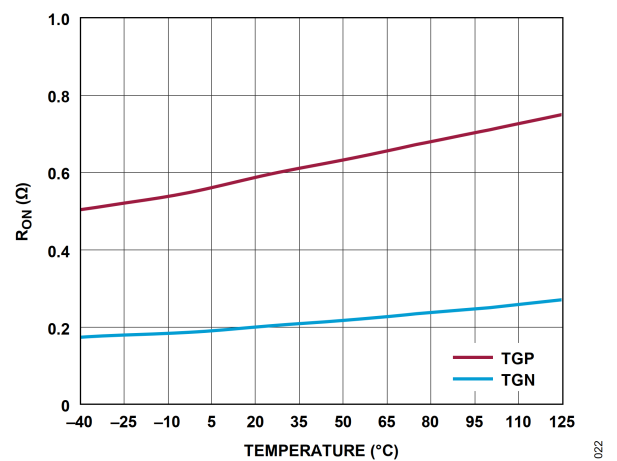


図 22. TG のオン抵抗と温度の関係

動作原理

LT8418 は 100V ハーフ・ブリッジ GaN ドライバであり、上側と下側の各ゲート・ドライバ、 V_{CC} 、BST、UV と OV の各保護制御ロジックが組み込まれています。ハーフ・ブリッジとフル・ブリッジに使用可能です。適応性が非常に高く、降圧、昇圧、昇降圧といった複数のトポロジや、データ・センターの電源、クラス D オーディオ・アンプ、モータ・ドライバなどの様々な用途に対応しています。更に、LT8418 は実装面積が小さい WLCSP パッケージを採用しているため、高電力密度、高周波動作、小フォーム・ファクタ、低コストを必要とする様々な用途で使用可能です。

1.1. チップ・スタートアップ、 V_{CC} UVLO/OVLO 保護機能

LT8418 は、 V_{CC} 駆動の電源レールに低電圧ロックアウト (UVLO) 機能を備えています。 V_{CC} 電圧が 3.35V のスレッショルド電圧より低くなると、TG ピンと BG ピンの両方がオフになり、GaN FET が誤ってオンになるのを防止します。 V_{CC} 電圧が 3.55V (200mV のヒステリシス電圧) の UVLO スレッショルドより高くなると、LT8418 は 100 μ s のウェイクアップ時間後にアクティブ状態になります。その後、LT8418 は INT と INB の信号を検出し、TG と BG の出力を制御します。BST レールを充電する時間があるため、TG は BST の UV スレッショルドである 3.35V に達するまでオンになることはありません。その一方で、GaN FET をオーバードライブ電圧やゲートの損傷から保護するために、LT8418 には V_{CC} OVLO (過電圧ロックアウト) 機能が内蔵されています。 V_{CC} 電圧が 6.0V より高くなると、 V_{CC} OV がトリガされて TG と BG の両方がオフになります。 V_{CC} 電圧が 5.8V より低くなるまでに V_{CC} OV が回復し、TG/BG は INT と INB の制御信号に従って再びスイッチングを開始します。

1.2. 入力インターフェイス INT、INB

LT8418 の入力ピンは、TTL 入力スレッショルドで独立して制御されており、最大 15V の電圧に耐えられます。これにより、最大 15V の電源を使用して入力をアナログ PWM コントローラの出力に直接接続することができるので、バッファ段の必要がなくなります。LT8418 の入力ピンである INT と INB はそれぞれ独立しており、TTL ロジックに対応しています。LT8418 は、10ns という高速の伝搬遅延を実現し、上側チャンネルと下側チャンネルとの間で 2.5ns という優れた遅延マッチングを維持できるため、高周波のスイッチング動作に適しています。ドライバの入力ピンである INT と INB には両方とも、GaN FET の誤ったターンオンを防止するために、デフォルトで 200k Ω のプルダウン抵抗が付いています。LT8418 にはオーバーラップ保護機能が実装されていません。INT と INB の両方がアサートされた場合、ハイサイドとローサイドの GaN FET が両方ともオンになります。可能性のあるシュートスルー状態を回避するために、入力インターフェイスは慎重に検討する必要があります。

1.3. スマート・ブートストラップ (BST) スイッチと BST の UVLO

TG のターンオフから BG のターンオンの間、または BG のターンオフから TG のターンオンの間のデッド・タイム期間に、GaN 電源スイッチはソースとドレインの間に 2V~3V という高い逆導通電圧 (導通電流が高いと更に高くなる) を示します。これにより SW ノードが -2V~-3V に低下するため、BST レールの過充電や GaN 電源スイッチの恒久的なゲート損傷を引き起こす可能性があります。LT8418 の場合、スマート BST スイッチは BST の充電またはブロッキングを十分に制御できる電源スイッチで構成されています。下側スイッチがオンになり、スイッチング・ノードの電圧がグラウンド・レベルに近づく、BST スイッチはオンになり、BST コンデンサの充電を開始します。このように、LT8418 は最小のドロップアウト電圧で V_{CC} からバランスの良いブートストラップ電圧を生成できます。これにより、GaN FET の過充電やゲートの損傷を防止し、上側と下側のドライバ間で伝搬遅延の整合を実現してバランスの取れたゲート駆動強度を維持します。LT8418 は、不十分なゲート駆動電圧での GaN FET のターンオンを防止するために、ブートストラップ UVLO 保護機能を備えています。BST-SW レールが 3.1V より低くなると、TG はターンオンを停止し、BST コンデンサが再び充電されて BST レールが 3.35V (250mV のヒステリシス) より高くなった後に、TG は再びスイッチングを開始します。

1.4. スプリット・ゲート・ドライバ

LT8418 は、上側と下側の両方の電源スイッチ用にスプリット・ゲート・ドライバも備えています。したがって、上側と下側のゲート・ドライバのターンオンとターンオフのスルー・レートは、TGP、TGN、BGP、BGN のピンに異なる値のゲート抵抗を接続することで独立して調整可能です。更に、LT8418 には 0.6 Ω のプルアップ抵抗、0.2 Ω のプルダウン抵抗、4A の高い電流ソース能力、8A の電流シンク能力を備えた強力なゲート・ドライバが内蔵されており、これは Q_G 値または $R_{DS(ON)}$ 値が異なる様々な GaN FET の駆動に使用するのに適しています。全てのドライバ出力、TGP、TGN には SW ノードへのプルダウン抵抗 (デフォルトで 500k Ω) があり、BGP と BGN には上側と下側の GaN FET の誤ったターンオンを防止するためにグラウンドへのプルダウン抵抗 (デフォルトで 500k Ω) があります。

アプリケーション情報

LT8418 の代表的なアプリケーション回路図を最初のページに示します。このセクションは、代表的アプリケーション用に外付け部品を選択する際のガイドラインとしての役割を果たします。

1.1. V_{CC} と BST コンデンサの選択

LT8418 は広範なスイッチング周波数に対応可能です。そのため、V_{CC} と BST コンデンサは、システムのスイッチング周波数、GaN FET の Q_G に基づいて適切に選択する必要があります。

バイパス・コンデンサ C_{VCC} は、上側と下側の GaN FET にゲート電荷を供給します。外付け GaN FET をオンにするための電荷は、ゲート電荷 Q_G と呼ばれ、通常は外付け GaN FET のデータシートに規定されています。ゲート電荷はゲート駆動レベルと外付け GaN FET で決まり、その範囲は 1nC ~ 数十 nC です。必要なバイパス容量は次のように近似できます。

$$C_{VCC} > \frac{Q_{GT} + Q_{GB}}{\Delta V} \quad (1)$$

ここで、

Q_{GT} と Q_{GB} はそれぞれ、上側と下側の GaN FET のゲート電荷です。

ΔV は、C_{VCC} における最大許容電圧降下です。

BST と SW の間に接続された外付け昇圧コンデンサ C_{BST} は、それぞれの GaN FET ドライバにゲート・ドライバ電圧を供給します。外付け GaN FET をオンにするために、ドライバは GaN FET のゲートとソースの間に CBST 電圧をかけます。C_{BST} 容量は、外付け GaN FET を完全にオンにするために、ゲート容量の少なくとも 10 倍にする必要があります。ほとんどのアプリケーションでは、C_{BST} のコンデンサ値を 0.1μF にすれば十分です。しかし、複数の GaN FET を並列接続して LT8418 で駆動する場合、それに応じて C_{BST} 容量を増やす必要があり、次の関係が維持されなければなりません。

$$C_{BST} > \frac{10Q_{GT,TOTAL}}{1V} \quad (2)$$

LT8418 には C_{BST} を充電し続けるために BST スイッチが内蔵されているため、V_{CC}-BST 間に外付けショットキー・ダイオードを付ける必要性がなくなります。V_{CC} と BST の間にダイオードを追加すると、BST レールの過充電やハイ・サイド GaN FET のゲート損傷を引き起こす可能性があります。BG/TG がローの場合、V_{CC} から流れる全電流は通常 250μA であり、BG/TG がドライバ出力に 1nF の容量負荷を付けて 400kHz でスイッチングしている場合、V_{CC} から流れる全電流は通常 2.4mA です。

1.2. ゲート抵抗の選択

LT8418 は、上側と下側の GaN 電源スイッチ用にスプリット・ゲート・ドライバを備えています。最大 5.6Ω の通常のゲート抵抗を TGP/TGN と BGP/BGN のピンに追加して、2 つの GaN FET のターンオン/ターンオフ・レートを調整すると、電磁干渉 (EMI) と効率の最適化が可能になります。

1.3. 消費電力

LT8418 の主な消費電力は、ゲート・ドライバと BST スイッチにおける電力損失の合計になります。ゲート・ドライバ損失は、GaN FET のゲート容量を充放電することで引き起こされます。ゲート損失は、1 サイクルに 1 回発生するため、スイッチング周波数に比例します。純粋な容量性負荷とは異なり、ドライバ出力から見たパワー GaN FET のゲート容量は、スイッチング時の V_{GS} 電圧レベル（この場合は V_{CC}）によって変化します。簡単のため、ゲートの消費電力はそのゲート電荷 Q_G を用いて計算できます。BG と TG の GaN FET が同一の場合、ゲート損失は次のようになります。

$$P_{gate} = 2Q_G \cdot V_{CC} \cdot f_{sw} \quad (3)$$

従来のブートストラップ・ダイオードにおける逆回復損失と順バイアス電力損失は、内蔵された BST スイッチを使用することで回避されます。BST スイッチの損失は、コンデンサを充電している間の、 $R_{DS(ON)}$ の伝導損失が支配的になります。GaN FET のゲート容量が大きくなると、より大量の電流が BST コンデンサの充電に必要となるため、より多くの損失が発生します。

$$P_{BST} = D \cdot I_{BST}^2 \cdot R_{DS(ON),BST} \quad (4)$$

ここで、

I_{BST} は、上側ゲート容量を充電する BST 動作電流です。

$R_{DS(ON),BST}$ は BST スイッチのオン抵抗です。

1.4. PCB におけるバイパスとグラウンディングのガイドライン

LT8418 では、高速スイッチング（ナノ秒の単位）と大 AC 電流のため、 V_{CC} 、BST-SW 電源に対して適切なバイパス処理が必要になります。部品配置や PCB 配線の引き回しを不用意に行うと、過度なリンギングやアンダーシュート／オーバーシュートを引き起こすおそれがあります。

LT8418 から最適な性能を引き出すには、次のようにします。

- ▶ コンデンサは、 V_{CC} ピンと GND ピンの間、および BST ピンと SW ピンの間に、できるだけ近づけて取り付けます。配線パターンはできるだけ短くして、リード線のインダクタンスを低減します。
- ▶ 低インダクタンス、低インピーダンスのグラウンド・プレーンを使用して、グラウンドの電圧降下や浮遊容量を低減します。LT8418 は最大 8A のピーク電流をシンクできること、グラウンドの電圧降下が大きいと信号の完全性が損なわれることを覚えておきましょう。
- ▶ 電源／グラウンド配線の引き回しは慎重に設計します。大量の負荷スイッチング電流がどこからどこへ流れるかを把握します。入力ピンと出力パワー段のグラウンド・リターン・パスは別々にします。
- ▶ TG ピンを上側 GaN FET のゲートに、SW ピンを上側 GaN FET のソースに、それぞれケルビン接続します。BG ピンを下側 GaN FET のゲートに、ドライバ・グラウンドを下側 GaN FET のソースに、それぞれケルビン接続します。ドライバ出力ピンと負荷の間の銅配線パターンは短く広いものにします。

1.5. 半田処理のガイドライン

半田フローを改善するためにフラックスを使用して半田パッドを前処理します。半田ボールが小さいため、タイプ 4 の半田ペースト（20～38 ミクロンの粒径）またはより細かい半田ペーストをパッドに塗ることを推奨します。IC をマニュアルで配置した後は、顕微鏡を使用して位置ずれがないことを確認する必要があります。精度を改善するには、ビジョン・アライメントを備えたファインピッチ用の自動配置マシンの使用を推奨します。半田ペーストを溶かす際は、ヒート・ガンの代わりにホット・プレートを使用して、IC を吹き飛ばさないようにします。うまく接続できたことを確認するためには、ビジョン検査や X 線検査の実施を推奨します。ボールと銅基板の間に電氣的または熱的な接続がうまく形成されないと、ドライバまたはシステムが機能不良を起こす、または熱抵抗が高くなる原因になります。

外形寸法

12-Ball Wafer Level Chip Scale Package (WLCSP)
(CB-12-17, Unit: millimeter)

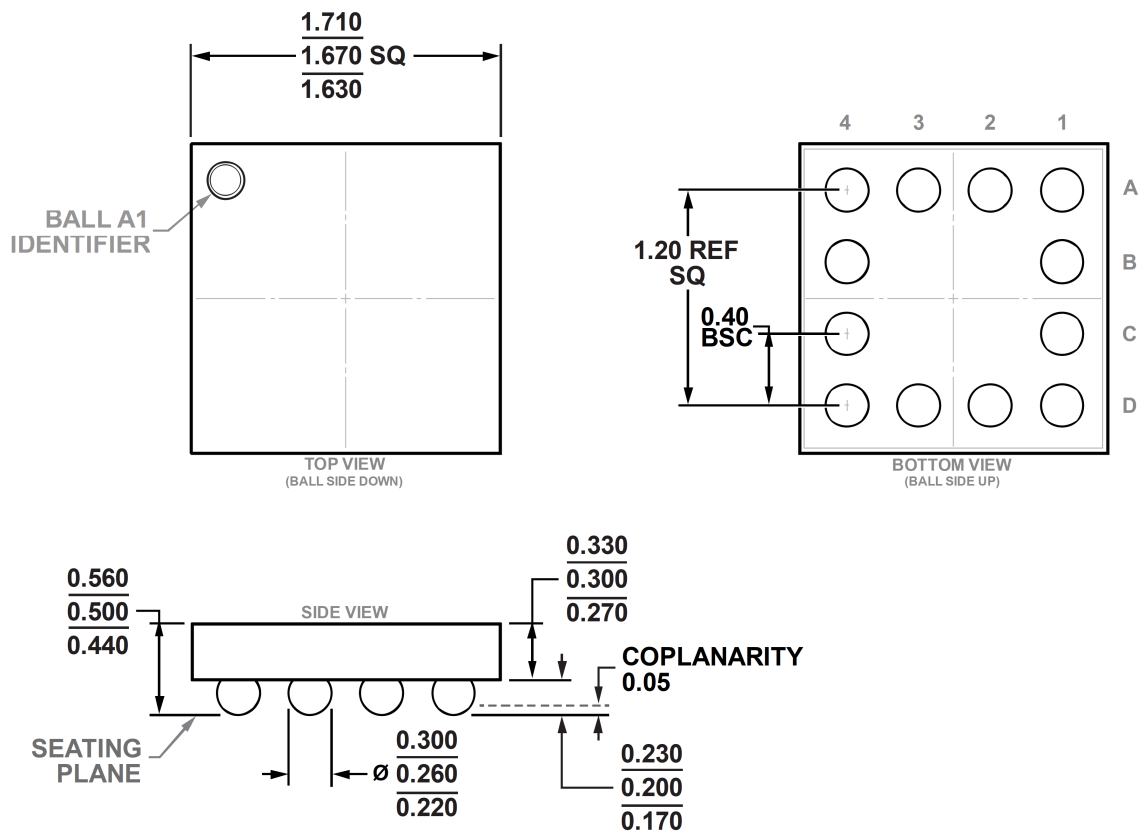


図 23. パッケージ図

標準的応用例

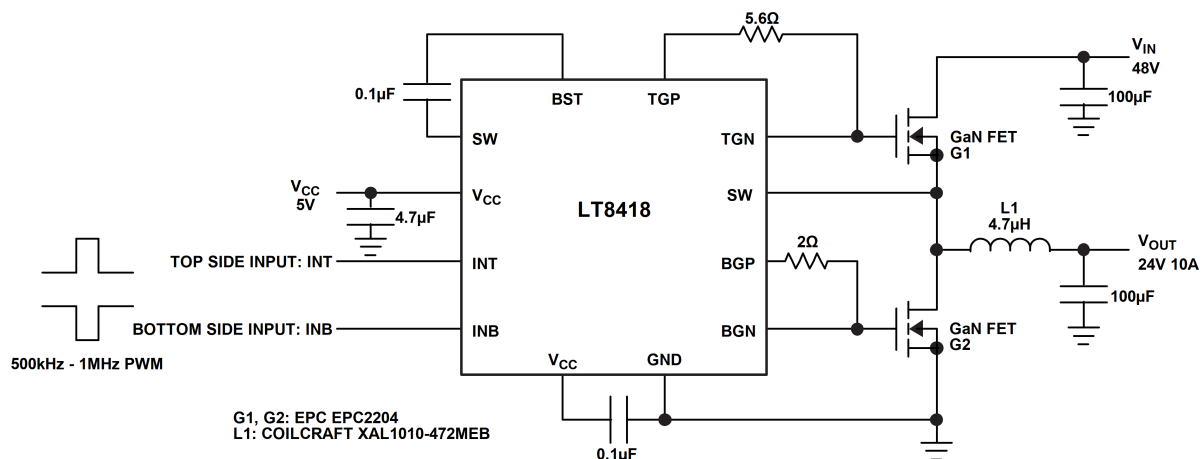


図 24. 48V 入力、24V/10A 出力、500kHz~1MHz の降圧コンバータ

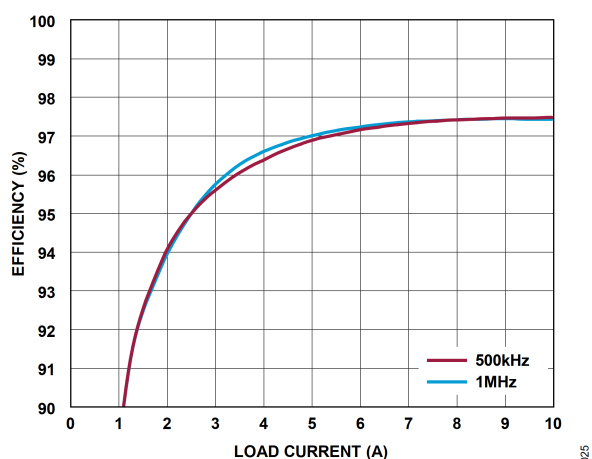


図 25. 効率と負荷電流の関係（強制空気流有り）

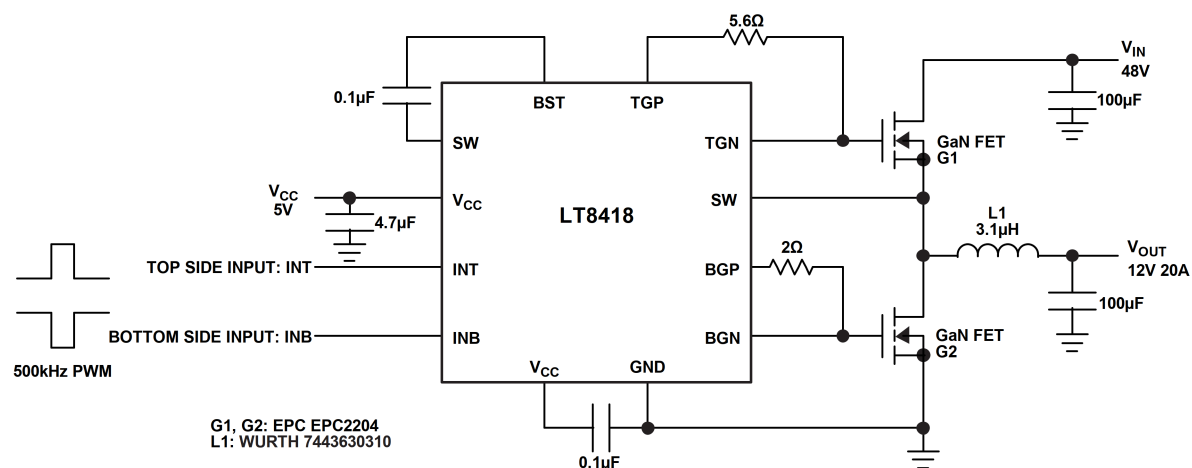


図 26. 48V 入力、12V/20A 出力、500kHz の降圧コンバータ

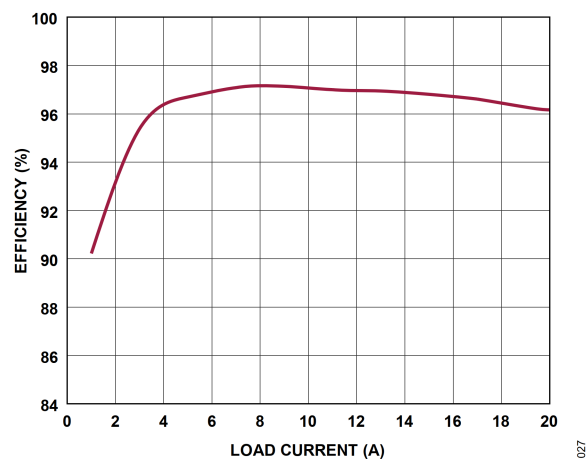


図 27. 効率と負荷電流の関係（ヒート・シンク有り）

オーダー・ガイド

表 5. オーダー・ガイド

TAPE AND REEL	PART MARKING	PACKAGE DESCRIPTION	TEMPERATURE RANGE
LT8418ACBZ-R7	8418	12-Ball WLCSP	-40°C to 125°C

関連製品

製品番号	説明	注釈
LTC7060	フローティング・グラウンドを備えた調整可能な 100V ハーフ・ブリッジ・ドライバ	最大 100V の電源レール、 $6V \leq V_{CC} \leq 14V$ 、プログラマブル・デッド・タイム制御、イネーブル・ピンによるスリーステート PWM 入力。
LTC4449	高速同期 N チャンネル MOSFET ドライバ	最大 38V の電源電圧、 $4V \leq V_{CC} \leq 6.5V$ 、3.2A ピークのプルアップ／4.5A ピークのプルダウン。
LTC4446	シュートスルー保護機能のない高電圧同期 N チャンネル MOSFET ドライバ	最大 100V の電源電圧、 $7.2V \leq V_{CC} \leq 13.5V$ 、2.5A/3A ピークのプルアップ、1.2Ω/0.55Ω ピークのプルダウン。
LTC4444	シュートスルー保護機能を備えた高電圧同期 N チャンネル MOSFET ドライバ	最大 100V の電源電圧、 $7.2V \leq V_{CC} \leq 13.5V$ 、2.5A/3A ピークのプルアップ、1.2Ω/0.55Ω ピークのプルダウン。

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。

