正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022 年 2 月 21 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2022 年 2 月 21 日
製品名：　LT7200S
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：27 ページ

【誤】下から 3 行目、合計出力電流の計算
I_{RMS_Total} = 36A × 4 = 5.4A（4 チャンネルの出力を互いに結合した場合

【正】
I_{RMS_Total} = 1.35A × 4 = 5.4A（4 チャンネルの出力を互いに結合した場合

アナログ・デバイセズ株式会社
本　　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

日本語参考資料
最新版英語データシートはこちら

データシート
LT7200S

クワッド 18V、±5A 同期整流式モノリシック降圧レギュレータ

特長

- Silent Switcher 2 アーキテクチャ：
  - 超低 EMI
  - PCB レイアウト感度の影響を排除
  - 内蔵バイパス・コンデンサが放射 EMI を低減
- 広い SV_{IN} 範囲：2.9V～18V、PV_{IN}：1.5V～18V
- 広い V_{OUT} 範囲：0.5V～$0.9V_{IN}$
- 出力電流：チャンネルあたり±5A、最大±20A
- 正確なリファレンス：全温度範囲で 0.5V ± 0.8%
- 高効率：最大 96%
- 12ns の最小オン時間：2MHz で真の 12V 入力～1V 出力
- プログラマブルな多相の同期可能周波数：400kHz～3MHz
- 電流モード：優れたライン／負荷過渡応答特性
- Discontinuous Mode®（DCM）または強制連続モード（FCM）動作を選択可能
- 使いやすくするための個別の柔軟な内部補償、高速トランジェントのための外部補償
- 個別の正確な 1.2V EN/RUN ピン閾値
- 個別の出力トラッキングとソフトスタート
- 個別のパワー・グッド・ステータス出力
- 薄型の 5mm × 6mm 48 ピン LQFN パッケージ

アプリケーション

- 分散型電源システム、サーバー電源
- ASIC や FPGA などに対応したポイント・オブ・ロード（POL）電源

概要

LT®7200S は、クワッドチャンネルの高効率モノリシック同期整流式降圧レギュレータで、チャンネルごとに負荷との間で 5A の電流をソース／シンクできます。このマルチチャンネルの柔軟性は、複雑なシステムへの給電をコンパクトなレイアウトで実行するのに最適です。動作電源電圧範囲は 2.9V～18V で、3.3V や 5V 電源から 12V 電源まで、様々な電源アプリケーションに適しています。

動作周波数は、400kHz～3MHz の範囲で外部抵抗を用いて設定可能です。あるいは、スイッチング・ノイズの影響を受けやすいアプリケーションには外部同期により設定できます。このユニークな「フェーズ・ロック可能なオン時間制御固定周波数電流モード」アーキテクチャは、高速過渡応答を必要とする高周波数高降圧アプリケーションに最適です。また、高周波機能により、表面実装のインダクタおよびコンデンサを小型化できます。MODE/SYNC ピンを使用して、低ノイズの強制連続モード（FCM）または高効率の不連続モード（DCM）を選択できます。PHMODE ピンを使用すると、4 チャンネル間のアウトオブフェーズ動作が可能となり、必要な入出力コンデンサを減らすことができます。LT7200S は、バイパス・コンデンサを集積した第 2 世代の Silent Switcher 技術を採用しており、高周波数で高効率の、優れた EMI 性能を持つソリューションを提供します。

標準的応用例

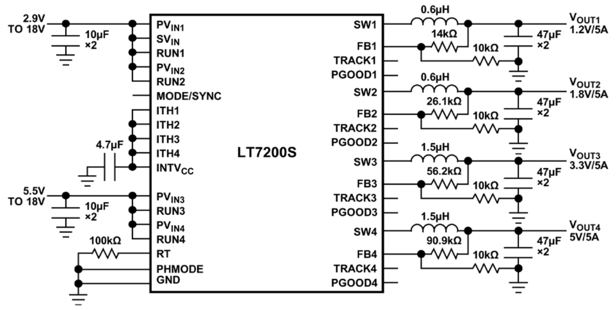


図 1. 1.2V/5A、1.8V/5A、3.3V/5A、5V/5A（1MHz）降圧レギュレータ

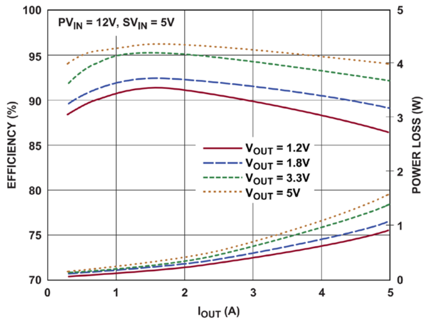


図 2. 効率および電力損失（1MHz）

Rev. 0

DOCUMENT FEEDBACK
TECHNICAL SUPPORT

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長 ... 1
アプリケーション ... 1
概要 ... 1
標準的応用例 ... 1
改訂履歴 ... 2
仕様 ... 3
絶対最大定格 ... 5
ピン配置およびピン機能の説明 ... 6
代表的な性能特性 ... 9
ブロック図 ... 14
動作原理 ... 15
メイン制御ループ ... 15
「パワー・グッド」ステータスの出力 ... 15
V_{IN} 過電圧保護 ... 15
過電流および短絡保護 ... 15
MODE/SYNC 動作 ... 16
多相動作 ... 16
アプリケーション情報 ... 17
スイッチング周波数の設定 ... 17
インダクタの選択 ... 17
入力コンデンサ（C_{IN}）の選択 ... 18
出力コンデンサ（C_{OUT}）の選択 ... 19
入出力セラミック・コンデンサの使用 ... 19
$INTV_{CC}$ レギュレータ・バイパス・コンデンサ ... 20
出力電圧の設定 ... 20
ソフトスタートおよび出力電圧 TRACK ... 20
最小オフ時間と最小オン時間に関する考慮事項 ... 22
内部／外部 ITH 補償 ... 22
過渡応答のチェック ... 23
効率に関する考慮事項 ... 24
熱的条件 ... 25
Silent Switcher アーキテクチャ ... 25
ボード・レイアウト時の考慮事項 ... 25
設計例 ... 26
標準的応用例 ... 28
外形寸法 ... 33
オーダー・ガイド ... 34

改訂履歴

Nature of Change	Page Number
10/2022 – REV 0	—

仕様

表 1. 電気的特性

（T_A = 25ºC における仕様。特に指定のない限り、V_{IN} = 12V）

パラメータ	記号	条件／コメント	最小値	代表値	最大値	単位
SV_{IN} Operating Voltage	SV_{IN}	−40°C ≤ T_J ≤ 150°C	2.9		18	V
PV_{IN} Operating Voltage	PV_{IN}		1.5		18	V
V_{OUT} Operating Voltage	V_{OUT}	R_{RT} = 100kΩ	0.5		$0.9V_{IN}$	V
Internal V_{CC} Voltage	V_{INTVCC}	SV_{IN} > 5.5V	4.85	4.93	5.02	V
V_{IN} Quiescent Current (2) Active, Single Channel	$I_{Q(ACT, 1CH)}$	R_{RT} = 100kΩ、MODE/SYNC = 0V、 V_{RUN1} = 2V、$V_{RUN2,3,4}$ = 0V		2	3	mA
V_{IN} Quiescent Current (2) Active, All Channels	$I_{Q(ACT, 4CH)}$	R_{RT} = 100kΩ、MODE/SYNC = 0V、 $V_{RUN1,2,3,4}$ = 2V		6	7	mA
V_{IN} Quiescent Current (2) Shutdown Mode	$I_{Q(SHDN)}$	R_{RT} = 100kΩ $V_{RUN1,2,3,4}$ = 0V		30	38	µA
Feedback Reference Voltage (3)	V_{FB}	ITH = 1V −40°C ≤ T_J ≤ 150°C	0.496	0.5	0.504	V
Feedback Voltage Line and Load Regulation (3)	$\Delta V_{FB(LINE+LOAD)}$	−40°C ≤ T_J ≤ 150°C	−0.1	0.07	0.2	%
Feedback Pin Input Current	I_{FB}				±50	nA
Error Amplifier Transconductance	$Gm_{(EA)}$	ITH = 1V	0.9	1.05	1.2	ms
ITH Internal Compensation Threshold	$V_{ITH\text{-}INT}$		V_{INTVCC} − 0.3			V
Minimum On-Time	$t_{ON(MIN)}$	−40°C ≤ T_J ≤ 150°C		12	20	ns
Minimum Off-Time	$t_{OFF(MIN)}$			25		ns
Positive Inductor Valley Current Limit	$I_{LIM\text{-}POS}$	FB = 0.58V −40°C ≤ T_J ≤ 150°C	5	6	7	A
Negative Inductor Valley Current Limit	$I_{LIM\text{-}NEG}$	FB = 0.42V -40°C ≤ T_J ≤ 150°C	7.9	−6.8	−5.8	A
Current Limit at Different ITH Voltage	$I_{LIM\text{-}ITH}$	ITH = 1.3V	2.5	3	3.5	A
		ITH = 1V	−0.5	0	0.5	
		ITH = 0.7V	−3.5	−3	−2.5	
Top Power NMOS On-Resistance	R_{TOP}	$INTV_{CC}$ = 5V		37		mΩ
Bottom Power NMOS On-Resistance	R_{BOT}	$INTV_{CC}$ = 5V		12		mΩ
Top Switch Leakage	$I_{SW(TOP)}$	V_{IN} = 18V、V_{SW} = 0V		0.05	0.5	µA
Bottom Switch Leakage	$I_{SW(BOTTOM)}$	V_{IN} = 18V、V_{SW} = 18V		0.1	1.5	µA

（T_A = 25ºC における仕様。特に指定のない限り、V_{IN} = 12V）

パラメータ	記号	条件／コメント	最小値	代表値	最大値	単位
$INTV_{CC}$ Undervoltage Lockout Threshold	V_{UVLO}	$INTV_{CC}$ の立下がり	2.2	2.4	2.6	V
		$INTV_{CC}$ のヒステリシス（立上がり）		0.21		
RUN Threshold	V_{RUN}	RUN の立上がり	1.16	1.2	1.24	V
		RUN のヒステリシス（立下がり）		100		mV
PGOOD Pull-Down Resistance	R_{PGOOD}	1mA 負荷		5	10	Ω
Output Overvoltage PGOOD Upper Threshold	OV	V_{FB} の立上がり	4.5	6.5	8.5	%
		V_{FB} のヒステリシス		2		
Output Undervoltage PGOOD Lower Threshold	UV	V_{FB} の立下がり	−9	−7	−5	%
		V_{FB} のヒステリシス		2		
PGOOD Leakage	I_{PGOOD}	V_{FB} = 0.5V			2	µA
TRACK Pull-Up Current	I_{TRACK}	V_{TRACK} = 0V		5	10	µA
Internal Soft-Start Time	t_{ss}	0%から 90%までの出力立上がり時間		115		µs
Oscillator Frequency	f_{osc}	R_{RT} = 100kΩ −40°C ≤ T_J ≤ 150°C	0.9	1	1.1	MHz
Oscillator Frequency Range	f_{osc_range}	R_{RT} = 249kΩ～33.2kΩ	0.4		3	MHz
SYNC Capture Range	f_{SYNC}	プログラムされた周波数の%		±30		%
MODE/SYNC Threshold	$V_{IH(MODE/SYNC)}$	MODE/SYNC ハイ	1			V
	$V_{IL(MODE/SYNC)}$	MODE/SYNC ロー			0.3	
MODE/SYNC Current	$I_{MODESYNC}$	MODE/SYNC = 0V		5	10	µA
PHMODE Threshold	$V_{PHASEMODE}$	90°（4 相）			0.3	V
		120°（3 相）	1			

[1] LT7200S は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。−40ºC～125ºC の動作ジャンクション温度範囲における仕様は、設計、特性評価、および統計的プロセス制御との相関付けによって確認されています。LT7200S は−40ºC～125ºC の全動作ジャンクション温度範囲での動作が確保されています。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件との組み合わせによって決まります。ジャンクション温度（T_J、°C）は、次式を使って周囲温度（T_A、°C）と消費電力（P_D、ワット）から計算します。

$T_J = T_A + (P_D \bullet \theta_{JA})$。ここで、$\theta_{JA}$（°C/W）はパッケージの熱抵抗です。

[2] 不連続モード時の静止電流には、パワーFET のスイッチング損失は含まれていません。

[3] V_{FB} は、仕様規定されている電圧に V_{ITH} をサーボ制御する帰還ループ内で測定されます。

[4] 接地された内部抵抗により追加されるスイッチ電流があります。

絶対最大定格

表 2. 絶対最大定格

PARAMETER	RATING
PV_{INx}, SV_{IN}, RUNx, SWx Voltage	−0.3V to 18V
FBx, TRACKx, PGOODx Voltage	−0.3V to 6V
MODE/SYNC, PHMODE Voltage	−0.3V to $INTV_{CC}$
RT, ITHx Voltage	−0.3V to $INTV_{CC}$
Operating Junction Temperature Range	−40°C to 125°C
Storage Temperature Range	−65°C to 150°C
Maximum Internal Temperature	125°C
Peak Reflow Solder Body Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ピン配置およびピン機能の説明

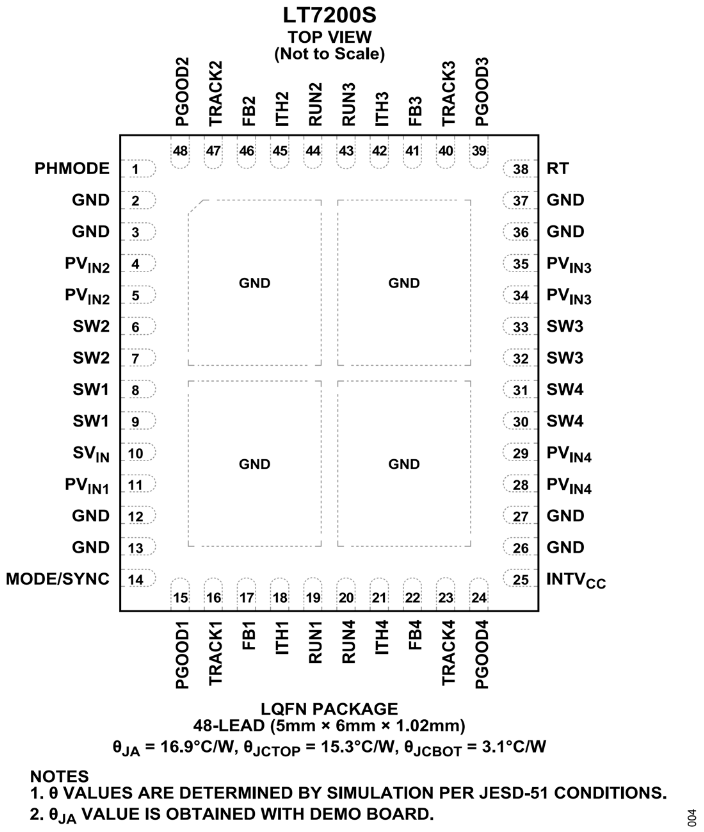


図 3. ピン配置

表 3. ピンの説明

ピン番号	ピン名	説明
1	PHMODE	位相セレクタへの制御入力。4 チャンネルの位相関係を定めます。4 相動作の場合はこれを GND に接続します。3 相動作の場合は、$INTV_{CC}$ に接続します。
2, 3,12, 13, 26, 27, 36, 37	GND	電源グラウンドと信号グラウンド用のグラウンド。
11	PV_{IN1}	チャンネル 1 の電源 V_{IN}。内蔵パワーMOSFET への入力電圧。
4, 5	PV_{IN2}	チャンネル 2 の電源 V_{IN}。内蔵パワーMOSFET への入力電圧。
34, 35	PV_{IN3}	チャンネル 3 の電源 V_{IN}。内蔵パワーMOSFET への入力電圧。
28, 29	PV_{IN4}	チャンネル 4 の電源 V_{IN}。内蔵パワーMOSFET への入力電圧。
8, 9	SW1	外部インダクタのチャンネル 1 スイッチ・ノード接続。SW1 の電圧振幅は、グラウンドを下回るダイオード電圧から PV_{IN1} を上回るダイオード電圧までです。
6, 7	SW2	外部インダクタのチャンネル 2 スイッチ・ノード接続。SW2 の電圧振幅は、グラウンドを下回るダイオード電圧から PV_{IN2} を上回るダイオード電圧までです。

32, 33	SW3	外部インダクタのチャンネル 3 スイッチ・ノード接続。SW3 の電圧振幅は、グラウンドを下回るダイオード電圧から PV_{IN3} を上回るダイオード電圧までです。
30, 31	SW4	外部インダクタのチャンネル 4 スイッチ・ノード接続。SW4 の電圧振幅は、グラウンドを下回るダイオード電圧から PV_{IN4} を上回るダイオード電圧までです。
10	SV_{IN}	信号 V_{IN}。5V 内蔵レギュレータへのフィルタ処理された入力電圧。1µF のセラミック・コンデンサを用いて SV_{IN} ピンへの信号をバイパスします。
14	MODE/SYNC	モード選択および発振器同期ピン。不連続モード（DCM）の場合は、MODE/SYNC を GND に接続します。MODE/SYNC をフロート状態にするか 1V を超える電圧に接続すると、強制連続モード（FCM）が選択されます。また、MODE/SYNC を外部クロックに接続すると、システム・クロックが外部クロックに同期し、デバイスは強制連続モード（FCM）になります。同期は、外部抵抗 R_{RT} を RT ピンに接続することで設定された周波数の+/− 30%です。
16	TRACK1	チャンネル 1 の出力トラッキングおよびソフトスタート・ピン。出力電圧の立上がり時間を制御できます。このピンに GND を基準とする 0V～0.5V の電圧を接続すると、エラー・アンプの内部リファレンス入力がバイパスされます。その代わり、FB ピンがその電圧にサーボ制御されます。このピンには、$INTV_{CC}$ ピンから 5µA の内部プルアップ電流が流れるため、このピンと GND の間にコンデンサを接続することでソフトスタート機能を実現できます。
47	TRACK2	チャンネル 2 の出力トラッキングおよびソフトスタート・ピン。出力電圧の立上がり時間を制御できます。このピンに GND を基準とする 0V～0.5V の電圧を接続すると、エラー・アンプの内部リファレンス入力がバイパスされます。その代わり、FB ピンがその電圧にサーボ制御されます。このピンには、$INTV_{CC}$ ピンから 5µA の内部プルアップ電流が流れるため、このピンと GND の間にコンデンサを接続することでソフトスタート機能を実現できます。
40	TRACK3	チャンネル 3 の出力トラッキングおよびソフトスタート・ピン。出力電圧の立上がり時間を制御できます。このピンに GND を基準とする 0V～0.5V の電圧を接続すると、エラー・アンプの内部リファレンス入力がバイパスされます。その代わり、FB ピンがその電圧にサーボ制御されます。このピンには、$INTV_{CC}$ ピンから 5µA の内部プルアップ電流が流れるため、このピンと GND の間にコンデンサを接続することでソフトスタート機能を実現できます。
23	TRACK4	チャンネル 4 の出力トラッキングおよびソフトスタート・ピン。出力電圧の立上がり時間を制御できます。このピンに GND を基準とする 0V～0.5V の電圧を接続すると、エラー・アンプの内部リファレンス入力がバイパスされます。その代わり、FB ピンがその電圧にサーボ制御されます。このピンには、$INTV_{CC}$ ピンから 5µA の内部プルアップ電流が流れるため、このピンと GND の間にコンデンサを接続することでソフトスタート機能を実現できます。
17	FB1	降圧レギュレータのエラー・アンプへのチャンネル 1 帰還入力。LT7200S は、このピンを 0.5V の正確な内部リファレンス電圧にレギュレーションします。抵抗分圧器のタップをこのピンに接続します。出力電圧 V_{OUT} は、次式によって 0.5V～0.9 × V_{IN} に調整できます：$V_{OUT} = 0.5V \times [1+(R2/R1)]$。
47	FB2	降圧レギュレータのエラー・アンプへのチャンネル 2 帰還入力。LT7200S は、このピンを 0.5V の正確な内部リファレンス電圧にレギュレーションします。抵抗分圧器のタップをこのピンに接続します。出力電圧 V_{OUT} は、次式によって 0.5V～0.9 × V_{IN} に調整できます：$V_{OUT} = 0.5V \times [1+(R2/R1)]$。
41	FB3	降圧レギュレータのエラー・アンプへのチャンネル 3 帰還入力。LT7200S は、このピンを 0.5V の正確な内部リファレンス電圧にレギュレーションします。抵抗分圧器のタップをこのピンに接続します。出力電圧 V_{OUT} は、次式によって 0.5V～0.9 × V_{IN} に調整できます：$V_{OUT} = 0.5V \times [1+(R2/R1)]$。

22	FB4	降圧レギュレータのエラー・アンプへのチャンネル 4 帰還入力。LT7200S は、このピンを 0.5V の正確な内部リファレンス電圧にレギュレーションします。抵抗分圧器のタップをこのピンに接続します。出力電圧 V_{OUT} は、次式によって 0.5V～$0.9 \times V_{IN}$ に調整できます：$V_{OUT} = 0.5V \times [1+(R2/R1)]$。
18	ITH1	チャンネル 1 のエラー・アンプの出力とスイッチング・レギュレータの補償ポイント。電流コンパレータのトリップ閾値は、この電圧に線形比例します。公称範囲は 0.3V～1.6V です。
45	ITH2	チャンネル 2 のエラー・アンプの出力とスイッチング・レギュレータの補償ポイント。電流コンパレータのトリップ閾値は、この電圧に線形比例します。公称範囲は 0.3V～1.6V です。
42	ITH3	チャンネル 3 のエラー・アンプの出力とスイッチング・レギュレータの補償ポイント。電流コンパレータのトリップ閾値は、この電圧に線形比例します。公称範囲は 0.3V～1.6V です。
21	ITH4	チャンネル 4 のエラー・アンプの出力とスイッチング・レギュレータの補償ポイント。電流コンパレータのトリップ閾値は、この電圧に線形比例します。公称範囲は 0.3V～1.6V です。
19	RUN1	チャンネル 1 のロジック制御された RUN 入力。このピンはフロート状態のままにしないでください。ロジック・ハイで降圧レギュレータが起動します。
44	RUN2	チャンネル 2 のロジック制御された RUN 入力。このピンはフロート状態のままにしないでください。ロジック・ハイで降圧レギュレータが起動します。
43	RUN3	チャンネル 3 のロジック制御された RUN 入力。このピンはフロート状態のままにしないでください。ロジック・ハイで降圧レギュレータが起動します。
20	RUN4	チャンネル 4 のロジック制御された RUN 入力。このピンはフロート状態のままにしないでください。ロジック・ハイで降圧レギュレータが起動します。
25	$INTV_{CC}$	5V 内部レギュレータの出力。内部パワー・ドライバおよび制御回路への電力は、この電圧から供給されます。このピンは、4.7µF 以上の低 ESR セラミック・コンデンサで電源グラウンドとデカップリングします。
38	RT	スイッチング周波数設定ピン。外部抵抗 R_{RT}（249kΩ～33.2kΩ）をこのピンと GND の間に接続すると、周波数を 400kHz～3MHz に設定できます。

代表的な性能特性

特に指定のない限り、T_A = 25ºC、V_{IN} = 12V、V_{OUT} = 1.2V。

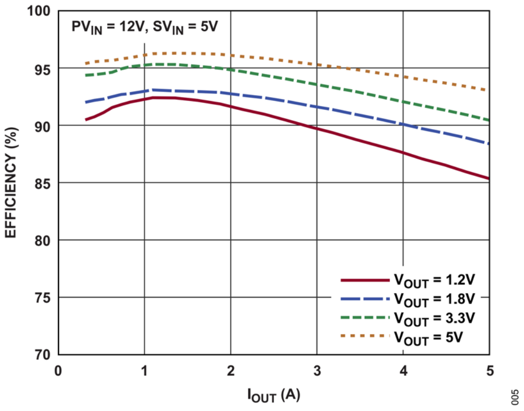


図 4. 効率と負荷電流の関係（500kHz）

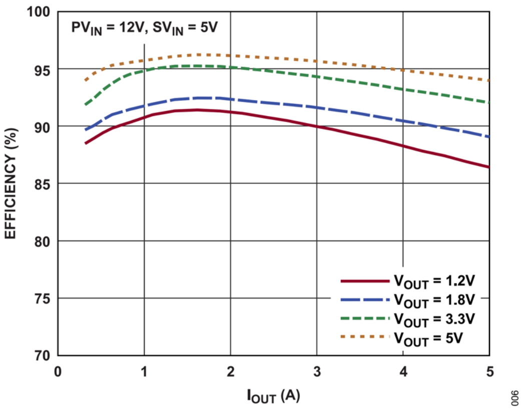


図 5. 効率と負荷電流の関係（1MHz）

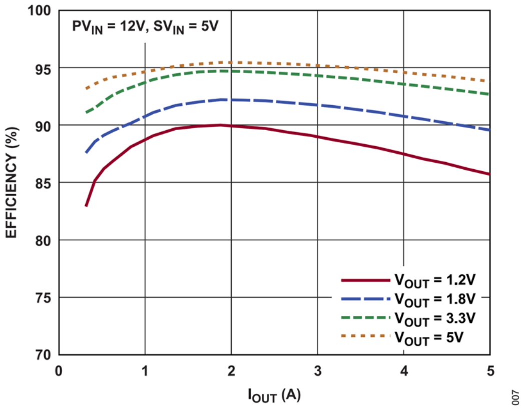


図 6. 効率と負荷電流の関係（2MHz）

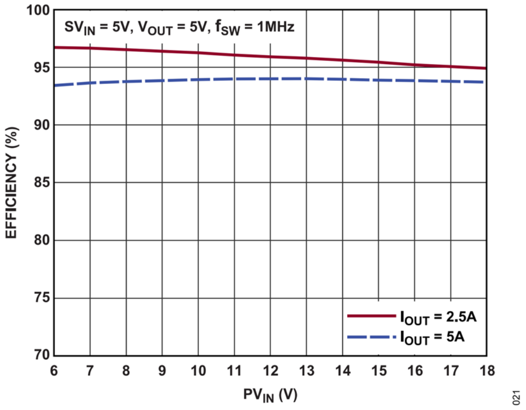


図 7. 効率と PV_{IN} の関係

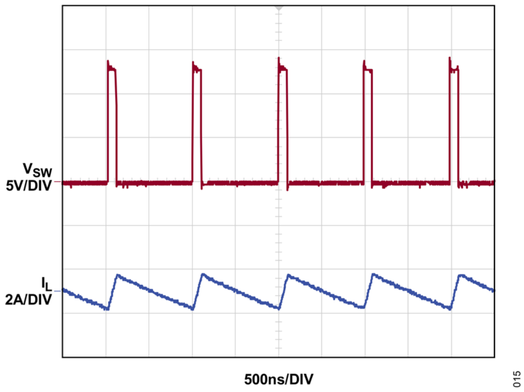


図 8. 強制連続モード（FCM）

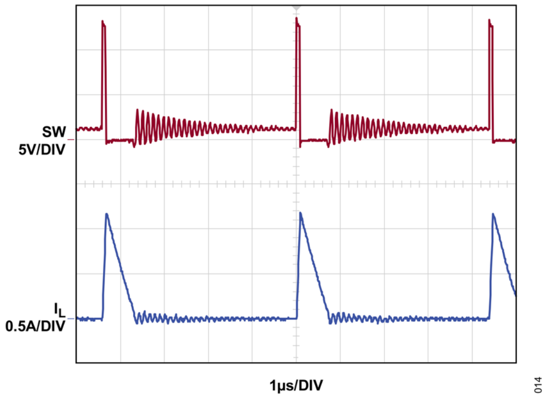
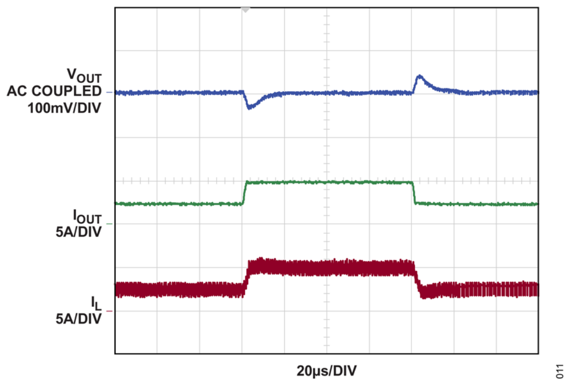
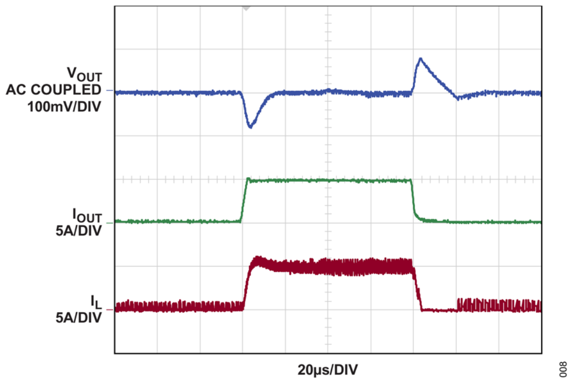


図 9. 不連続モード（DCM）



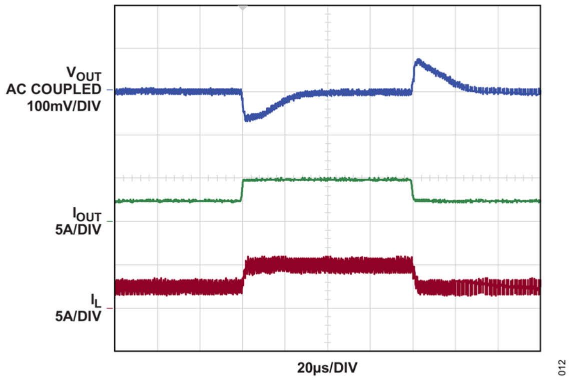
V_{IN} = 12V, V_{OUT} = 1.2V, I_{OUT} = 2.5A to 5A, f_{SW} = 1MHz
R_{ITH} = 10KΩ, C_{ITH} = 470pF, C_{ITHP} = 4.7pF
R_{FB1} = 10kΩ, R_{FB2} = 14 kΩ, C_{OUT} = 2 x 47µF, L = 0.6µH

図 10. 過渡応答（FCM）



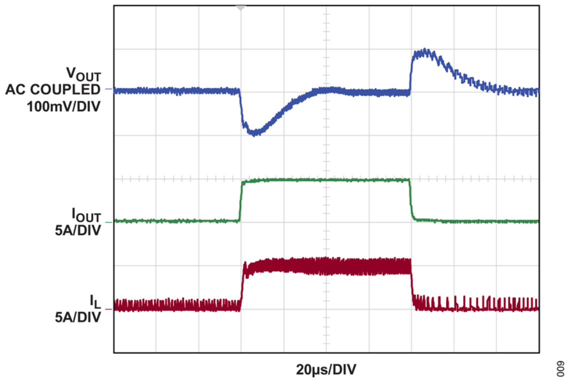
V_{IN} = 12V, V_{OUT} = 1.2V, I_{OUT} = 0.3A to 5A, f_{SW} = 1MHz
R_{ITH} = 10KΩ, C_{ITH} = 470pF, C_{ITHP} = 4.7pF
R_{FB1} = 10kΩ, R_{FB2} = 14 kΩ, C_{OUT} = 2 x 47µF, L = 0.6µH

図 11. 過渡応答（DCM）



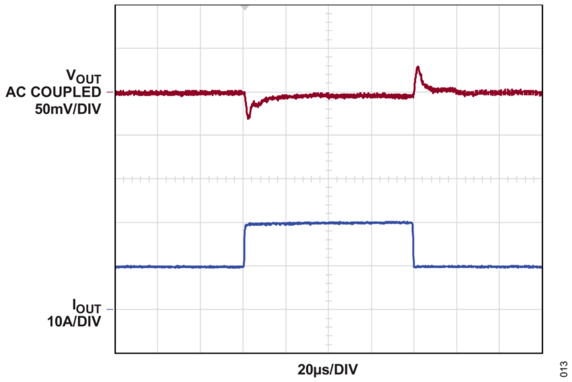
V_{IN} = 12V, V_{OUT} = 5V, I_{OUT} = 2.5A to 5A, f_{SW} = 1MHz
R_{ITH} = 4.99KΩ, C_{ITH} = 470pF, C_{ITHP} = 4.7pF
R_{FB1} = 10kΩ, R_{FB2} = 90.9 kΩ, C_{OUT} = 2 x 47µF, L = 1.5µH

図 12. 過渡応答（FCM）



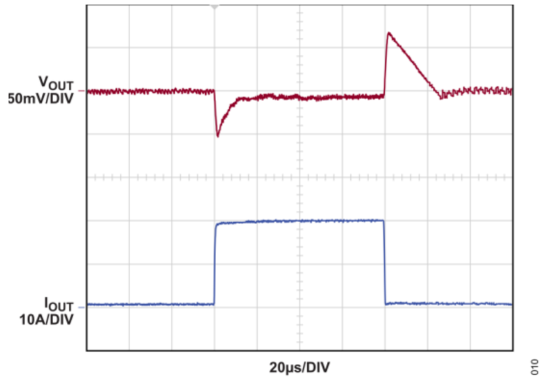
V_{IN} = 12V, V_{OUT} = 5V, I_{OUT} = 0.3A to 5A, f_{SW} = 1MHz
R_{ITH} = 13KΩ, C_{ITH} = 470pF, C_{ITHP} = 4.7pF
R_{FB1} = 10kΩ, R_{FB2} = 90.9 kΩ, C_{OUT} = 2 x 47µF, L = 1.5µH

図 13. 過渡応答（DCM）



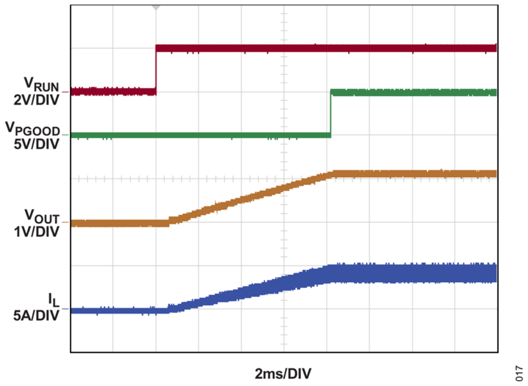
V_{IN} = 12V, V_{OUT} = 1.2V, I_{OUT} = 1A to 20A, f_{SW} = 1MHz
R_{ITH} = 4.99KΩ, C_{ITH} = 1nFpF, C_{ITHP} = 10pF
R_{FB1} = 10kΩ, R_{FB2} = 14 kΩ, C_{OUT} = 9 x 47µF, $L_{1,2,3,4}$ = 0.6µH

図 14. 過渡応答（FCM）



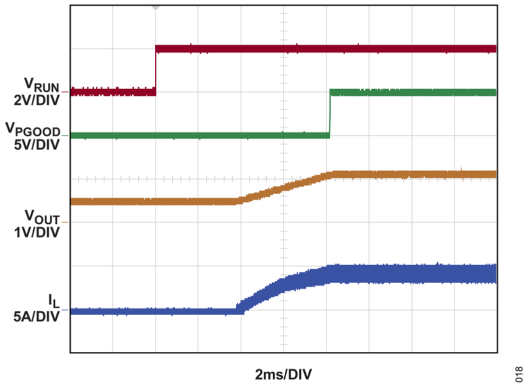
V_{IN} = 12V, V_{OUT} = 1.2V, I_{OUT} = 1A to 20A, f_{SW} = 1MHz
R_{ITH} = 4.99KΩ, C_{ITH} = 1nFpF, C_{ITHP} = 10pF
R_{FB1} = 10kΩ, R_{FB2} = 14 kΩ, C_{OUT} = 9 x 47µF, $L_{1,2,3,4}$ = 0.6µH

図 15. 過渡応答（DCM）



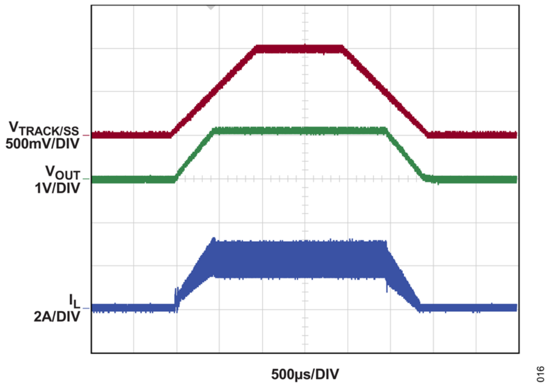
V_{IN} = 12V, V_{OUT} = 1.2V, I_{OUT} = 2.5A
R_{FB1} = 10KΩ, R_{FB2} = 14KΩ, COUT = 2 x 47µF
$V_{TRACK/SS}$ = 0.1µF

図 16. 起動時の波形



V_{IN} = 12V, V_{OUT} = 1.2V, I_{OUT} = 2.5A
R_{FB1} = 10KΩ, R_{FB2} = 14KΩ, COUT = 2 x 47µF
$V_{TRACK/SS}$ = 0.1µF

図 17. 起動時の波形（出力をプリバイアス）



V_{IN} = 12V, V_{OUT} = 1.2V, I_{OUT} = 2.5A
R_{FB1} = 10KΩ, R_{FB2} = 14KΩ, COUT = 2 x 47µF
$V_{TRACK/SS}$ = 0.1µF

図 18. 出力トラッキング

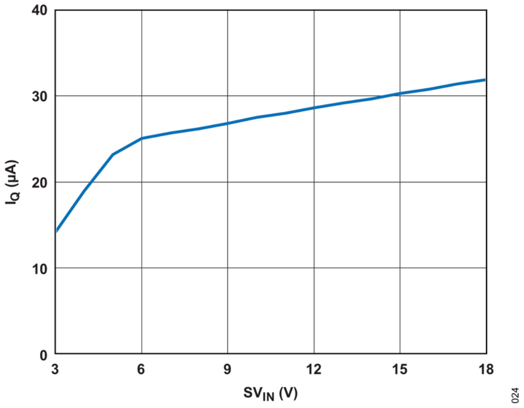


図 19. シャットダウン電流と SV_{IN} の関係

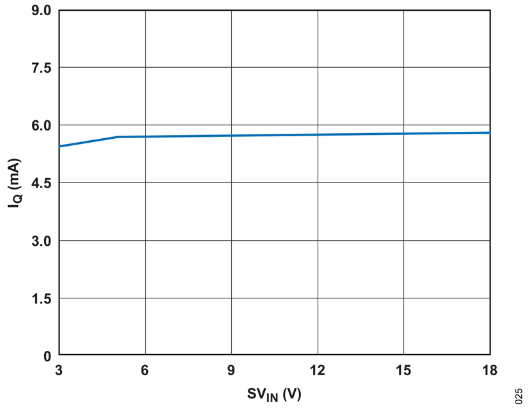


図 20. アクティブ電流と SV_{IN} の関係
DCM、無負荷（CH1～4 オン）

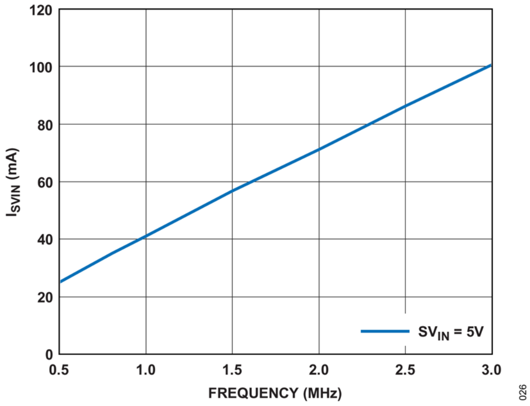


図 21. SV_{IN} 電流とスイッチング周波数の関係
DCM、無負荷（CH1～4 オン）

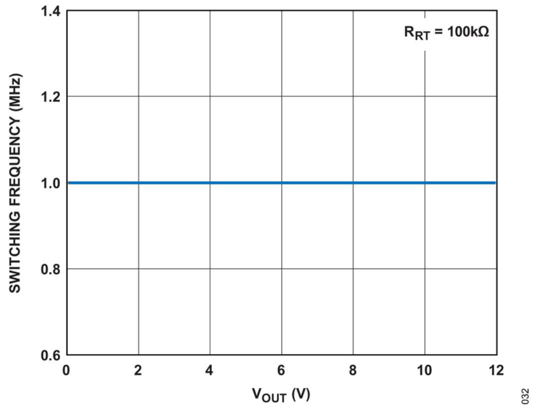


図 22. スイッチング周波数と V_{OUT} の関係

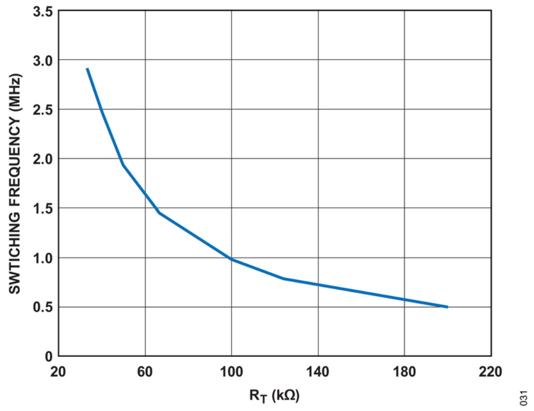


図 23. スイッチング周波数と R_T の関係

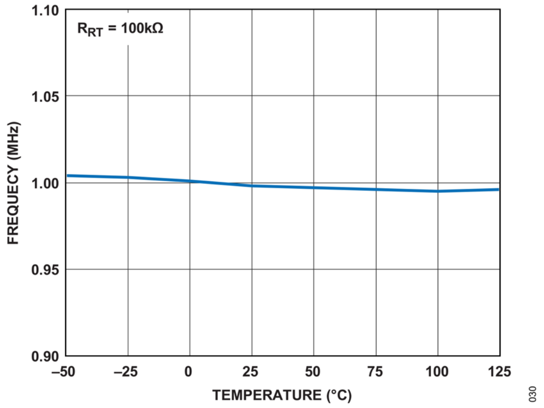


図 24. スイッチング周波数と温度の関係

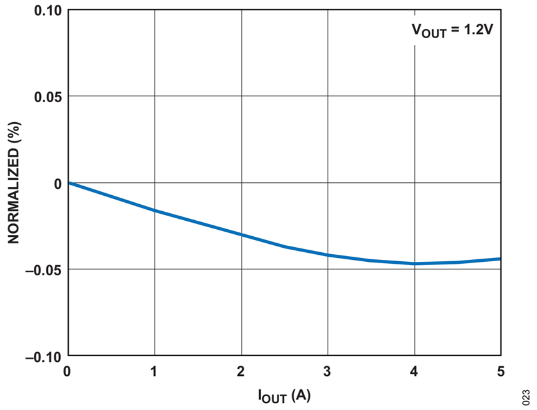


図 25. 負荷レギュレーションと負荷電流の関係

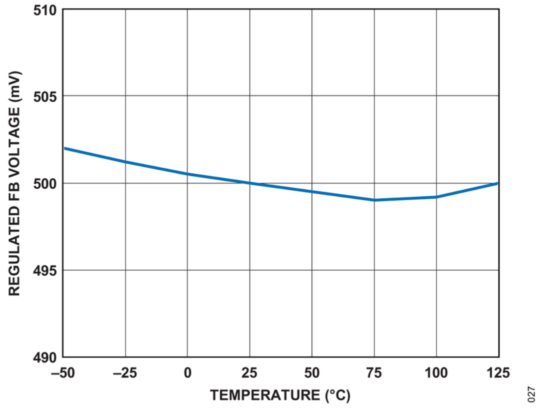


図 26. レギュレーションされた FB 電圧と温度の関係

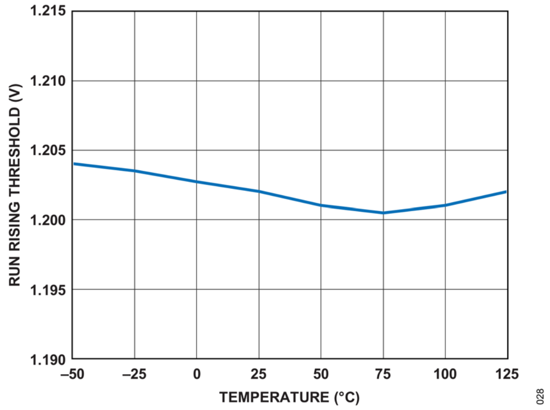


図 27. RUN の立上がり閾値と温度の関係

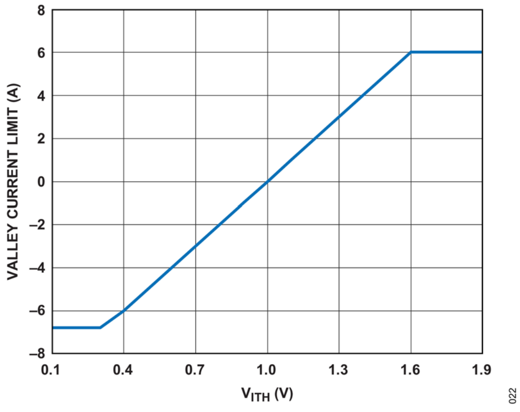


図 28. バレー電流制限値と V_{ITH} の関係

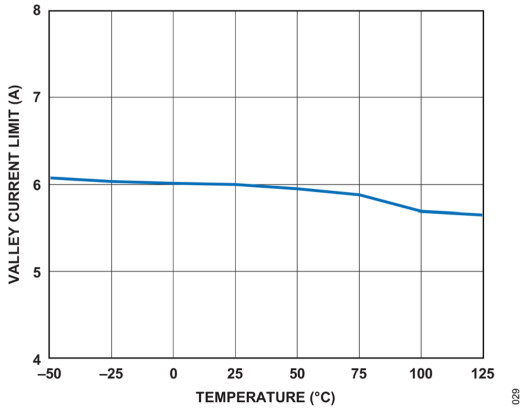
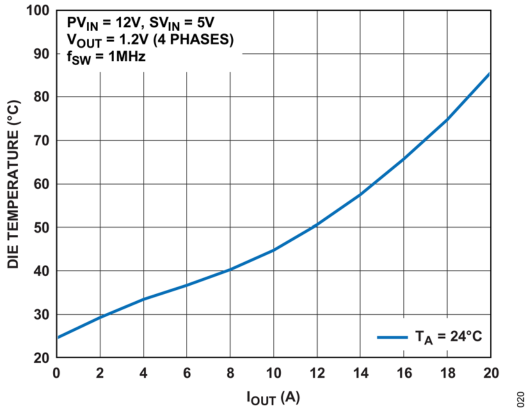


図 29. バレー電流制限値と温度の関係



P_{VIN} = 12V, SV_{IN} = 5V V_{OUT} = 1.2V (4 PhaseS), f_{sw} = 1MHz

図 30. ダイ温度と負荷の関係

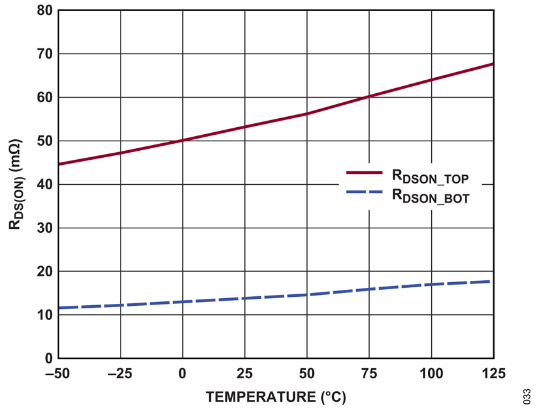


図 31. $R_{DS(ON)}$と温度の関係

ブロック図

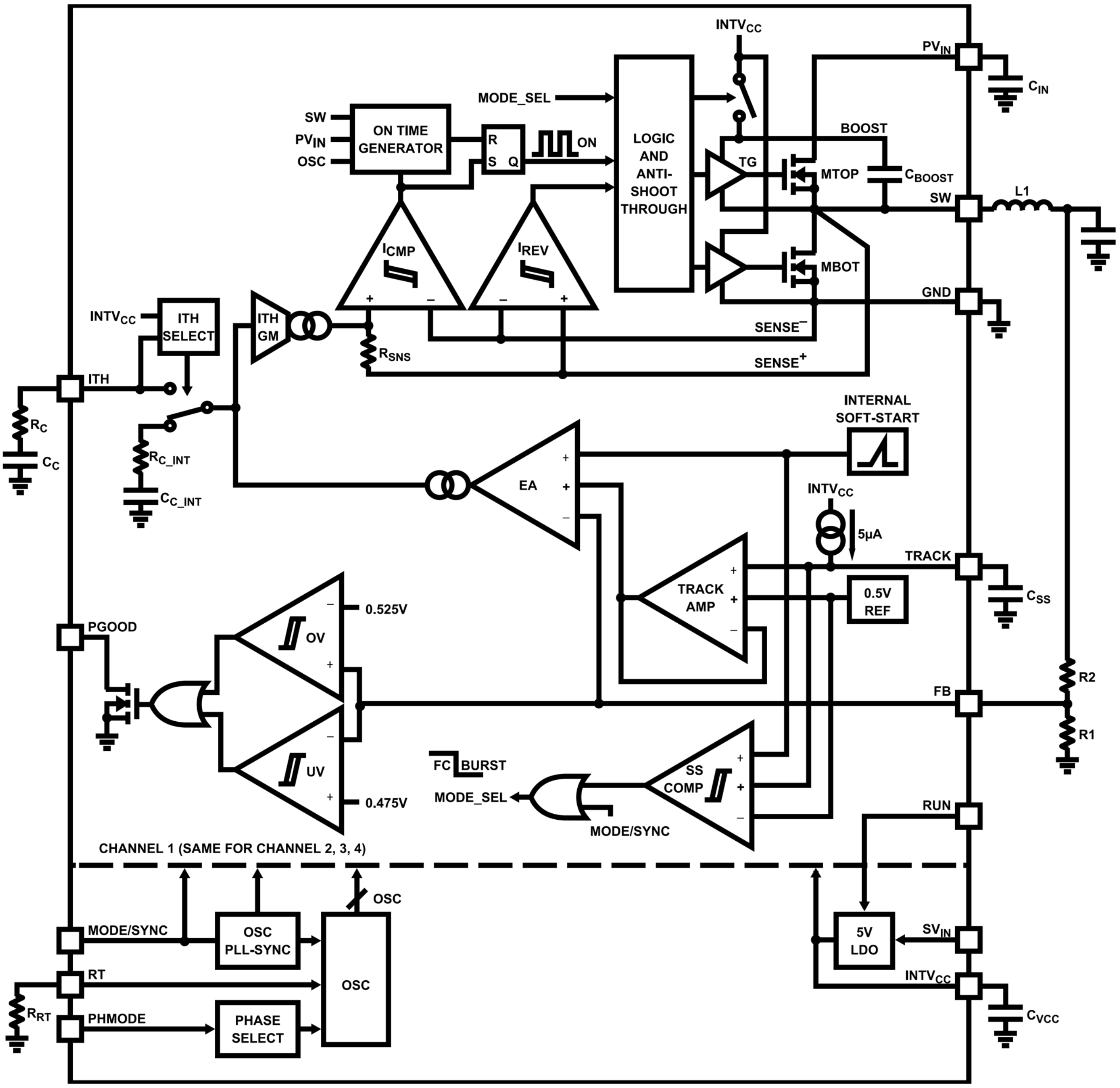


図 32. ブロック図

動作原理

メイン制御ループ

LT7200S は、クワッドチャンネルの電流モードモノリシック降圧レギュレータで、チャンネルごとに±5A の出力電流を供給可能です。通常動作では内蔵の上側パワーMOSFET はワンショット・タイマーによって定められた時間だけオンになります（ブロック図の「ON」信号）。上側パワーMOSFET がオフになると、電流コンパレータ I_{CMP} がトリップし、ワンショット・タイマーを再開して次のサイクルを開始するまで、下側パワーMOSFET がオンになります。インダクタ電流は、下側パワーMOSFET がオンになっているときの MOSFET の SW ノードと GND ノードの電圧降下を検出することによって決定されます。ITH ピンの電圧は、インダクタの谷電流に対応するコンパレータ閾値を設定します。エラー・アンプ EA は、帰還信号 V_{FB} と 0.5V 内部リファレンスを比較することによって、この ITH 電圧を調整します。負荷電流が増加すると、内部リファレンスに対する帰還電圧が低下し、それに伴って平均インダクタ電流が平均負荷電流と一致するまで ITH 電圧が増加します。

負荷電流が小さい場合、インダクタ電流がゼロや負になる場合があります。これは、不連続モード（DCM）動作時には、電流反転コンパレータ（I_{REV}）によって検出され、それにより下側パワーMOSFET をシャットオフします。両方のパワーMOSFET はオフのままになり、ITH 電圧がゼロ電流レベル値を超えて次のサイクルが開始されるまで、出力コンデンサが負荷電流を供給します。連続動作モードが必要な場合は、MODE/SYNC ピンをフロート状態にするか、$INTV_{CC}$ に接続するだけで可能です。

動作周波数は、内部発振器の電流を設定する R_{RT} の値によって決定されます。内部フェーズロック・ループにより、スイッチング・レギュレータのオン時間を内部発振器に追従するようにサーボ制御して、スイッチング周波数を一定に保ちます。クロック信号を MODE/SYNC ピンに印加すると、スイッチング周波数を外部クロックに同期させることができます。クロック信号がある場合、レギュレータのデフォルト動作は強制連続動作です。

LTC7200S の「S」は、第 2 世代 Silent Switcher 技術が使われていることを表しています。この IC には、V_{IN}、$INTV_{CC}$、BOOST 用にセラミック・コンデンサが集積されており、全ての高速 AC 電流ループが小型に維持されるため、EMI 性能が向上します。更に、スイッチング・エッジの速度を増加できるため、高スイッチング周波数での効率が大きく改善します。

「パワー・グッド」ステータスの出力

過電圧（OV）または低電圧（UV）コンパレータがトリップされているとき、レギュレータの出力帰還電圧 V_{FB} がレギュレーション・ポイントを中心に±7.5%の範囲を外れている場合、PGOOD オープンドレイン出力がローに引き下げられます。この状態は、レギュレーションが±5.5%の範囲に復帰すると解除されます。

TRACK ピンが 0.5V に向けて増加しているスタートアップ時を除き、OV および UV 状態では連続動作が強制されます。

V_{IN} 過電圧保護

内蔵のパワーMOSFET をトランジェント電圧スパイクから保護するために、LT7200S は、PV_{IN} ピンを継続的にモニタし、過電圧状態に備えています。PV_{IN} が 20V を上回ると、レギュレータは両方のパワーMOSFET をオフすることで動作を一時停止します。PV_{IN} が 18V 未満になると、レギュレータは直ちに通常動作を再開します。過電圧イベント時、内蔵ソフトスタート電圧は帰還電圧よりわずかに高い電圧にクランプされます。したがって、過電圧状態の終了時には、ソフトスタート機能が存在します。

過電流および短絡保護

LT7200S は、インダクタの谷電流を測定することで、出力過電流および短絡からの保護を行っています。電流制限値に達すると、出力が低下し始め、上側パワーMOSFET のオン時間が減少します。短絡状態が続きオン時間がその最小値に達すると、オフ時間が長くなり、スイッチング周波数が低下して V_{IN} から過剰な電流が引き出されるのを防止します。過電流または短絡状態が解消すると、レギュレータは、出力電圧がオーバーシュートしないよう、ソフトスタート機能を実行します。

MODE/SYNC 動作

MODE/SYNC ピンは多目的ピンで、モード選択と動作周波数同期の両方が可能です。これをグラウンドに接続すると、Burst Mode 動作が可能となり、低負荷電流時に優れた効率を実現できますが、出力電圧リップルはわずかに増加します。MODE/SYNC ピンを $INTV_{CC}$ に接続するかフロート状態にすると、強制連続モードが選択され、出力リップルは一定の最小限の値になりますが、軽負荷時の効率は低下します。LT7200S は、外部クロックが MODE/SYNC ピンに入力されるとこれを検出し、内部発振器を、入力されたクロックの位相と周波数に同期させます。外部クロックが存在すると、全てのレギュレータは強制連続動作モードに入ります。

多相動作

出力負荷が 5A を超える電流を必要とする場合、LT7200S 出力の別々のチャンネルを互いに接続し位相をずらして動作させることで、出力電流を増加できます。4 相動作の場合は PHMODE ピンを GND に接続します。3 相動作の場合はこれを $INTV_{CC}$ に接続します。

表 4. PHMODE の設定表

PHASE	PHMODE = GND	PHMODE = INTVCC
Channel 1	0°	0°
Channel 2	180°	120°
Channel 3	90°	240°
Channel 4	270°	0°

アプリケーション情報

データシートの最初のページに、LT7200S の一般的なアプリケーション回路を示します。外付け部品の選択は、目標とする電流リップル、負荷条件、スイッチング周波数によって大きく異なります。部品の選択は、通常、インダクタ L と抵抗 R_{RT} の選択から始まります。インダクタを選択した後は、入力コンデンサ C_{IN} および出力コンデンサ C_{OUT} を選択します。次に、目的の出力電圧を設定する帰還抵抗を選択します。最後に、外部ループ補償、トラッキング／ソフトスタート、入力 UVLO、PGOOD 等の機能のため、その他の外付け部品をオプションで選択します。

スイッチング周波数の設定

スイッチング周波数の選択は、効率と部品サイズのトレードオフです。動作周波数が高いと、小型のインダクタと値の小さいコンデンサを使用することができます。低周波数での動作は、内部ゲート電荷損失が減少するので効率が改善されますが、出力リップル電圧を低く維持するには、インダクタンスの値や出力容量を大きくする必要があります。

抵抗 R_{RT} を RT ピンと SGND の間に接続すると、次式に従ってスイッチング周波数を 400kHz～3MHz の範囲で設定できます。

$$f(Hz) = \frac{1e^{11}}{R_{RT}(\Omega)}$$

内部 PLL の同期範囲は設定された周波数を中心に±30%です。したがって、外部クロック同期時には、外部クロック周波数がこの R_{RT} で設定した周波数の±30%の範囲内にあることを確認してください。

インダクタの選択

与えられた入力電圧 V_{IN} に対し、出力電圧 V_{OUT}、インダクタ値 L、動作周波数 f によって、次式のようにリップル電流が決まります。

$$\Delta I_L = \frac{V_{OUT}}{f \times L} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right)$$

インダクタのリップル電流は、インダクタ値が高いほど、また、動作周波数が高いほど、小さくなります。リップル電流が小さくなると、インダクタのコア損失、出力コンデンサの ESR 損失、および出力電圧リップルが減少します。最大効率の動作は、低周波数でリップル電流が小さいときに得られます。しかし、これを実現するには大きいインダクタが必要です。部品サイズ、効率、動作周波数は互いにトレードオフの関係にあります。

妥当な出発点は、リップル電流の選択を、チャンネルあたり約 5A である $I_{OUT(MAX)}$の約 40%にすることです。$I_{OUT(MAX)}$の 60%を超えることは推奨できません。最大電圧リップルは、V_{IN} が最大のときに発生することに注意してください。リップル電流が仕様規定された最大値を超えないようにするには、次式に従ってインダクタンスを選択する必要があります。

$$L = \frac{V_{OUT}}{f \times \Delta I_{L(MAX)}} \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right)$$

L の値が定まったら、インダクタの種類を選択します。インダクタ値が固定の場合、実際のコア損失はコア・サイズには無関係ですが、選択したインダクタンスには大きく依存します。インダクタンスまたは周波数が増加すると、コア損失は減少します。しかし、インダクタンスを大きくするには、より多くの巻数を必要とするため、DCR と銅損が大きくなってしまいます。

フェライトを使用した設計ではコア損失は非常に小さく、高いスイッチング周波数に適しています。そのため、設計目標を銅損と飽和の防止に集中させることができます。フェライト・コアの材質は「急激に」飽和します。つまり、設計ピーク電流を超えると、インダクタンスは突然低下します。その結果、インダクタのリップル電流が急激に増加し、それに伴い出力電圧リップルも増加します。コアを飽和させないようにしてください。

過熱と効率の低下を回避するには、アプリケーションで予想される最大出力負荷よりも大きいRMS電流定格のインダクタを選択します。更に、インダクタの飽和電流定格値（通常は I_{SAT} で表します）は、負荷電流にインダクタ・リップル電流の 1/2 を加えた値（次式）より大きくなければなりません。

$$I_{L(PEAK)} = I_{OUT(MAX)} + \frac{\Delta I_L}{2}$$

コアの材料や形状を変えると、インダクタのサイズ／電流および価格／電流の関係も変わります。フェライトやパーマロイを使用したトロイド・コアやシールド・ポット・コアは小型で、それほど多くのエネルギーを放出することはありませんが、一般的には、同様の特性を持つ鉄粉コアのインダクタよりも高コストです。どのタイプのインダクタを使用するかの選択は、価格とサイズの条件や放射フィールド／EMI 条件によって異なります。新設計の表面実装型インダクタは、Coilcraft、Toko、Vishay、NEC/Tokin、Cooper、TDK、Wurth Electronik から入手できます。詳細は、表 5 を参照してください。

表 5. インダクタの選択表

INDUCTANCE (μH)	DCR (mΩ)	MAX CURRENT (A)	DIMENSIONS (mm)	HEIGHT (mm)
Coilcraft XEL5030 Series				
0.42	3	23.5	5.28 × 5.48	3.2
0.6	4.44	22	5.28 × 5.48	3.2
1	7	16.9	5.28 × 5.48	3.1
1.2	8.8	15.3	5.28 × 5.48	3.1
1.5	9.9	15	5.28 × 5.48	3.1

入力コンデンサ（C_{IN}）の選択

入力容量 C_{IN} は、上側パワーMOSFET のドレインに流れる矩形波電流をフィルタ処理するために必要です。大きな電圧トランジェントが生じるのを防ぐために、最大実効値電流に見合ったサイズで低 ESR の入力コンデンサを使用してください。最大実効値電流は次式で与えられます。

$$I_{RMS} \cong I_{OUT(MAX)} \frac{V_{OUT}}{V_{IN}} \sqrt{\frac{V_{IN}}{V_{OUT}} - 1}$$

この式は $V_{IN} = 2V_{OUT}$ で最大値を取ります。ここで、

$$I_{RMS} \cong \frac{I_{OUT}}{2}$$

設計ではこの単純で最も厳しい条件がよく使用されます。条件を大きく変化させても状況はそれほど改善されないからです。なお、コンデンサ・メーカーのリップル電流定格は、多くの場合わずか 2000 時間程度の寿命を基本としています。そのため、コンデンサを更にディレーティングするか、必要とするよりも高い温度で規定された定格のコンデンサを選択することを推奨します。設計におけるサイズや高さの条件を満たすために、数個のコンデンサを並列に接続することもできます。低入力電圧のアプリケーションでは、出力負荷が変化した際のトランジェント効果を打ち消すために、十分なバルク入力容量が必要です。

出力コンデンサ（C_{OUT}）の選択

C_{OUT} の選択は、電圧リップルや負荷ステップのトランジェントを最小限に抑えるために必要な等価直列抵抗（ESR）と、制御ループの安定性を確保するために必要なバルク容量によって決定されます。ループの安定性は負荷の過渡応答を見ることで確認できます。出力リップル（ΔV_{OUT}）は次式で求めます。

$$\Delta V_{OUT} < \Delta I_L\left(\frac{1}{8 \times f \times C_{OUT}} + ESR\right)$$

ΔI_L は入力電圧に応じて増加するので、出力リップルは入力電圧が最大のとき最大になります。ESR と実効値電流の処理条件を満たすために、複数のコンデンサを並列に配置しなければならない場合があります。

乾式タンタル、特殊ポリマー、アルミ電解、セラミックの各コンデンサは、いずれも表面実装パッケージで入手できます。特殊な高分子コンデンサの ESR は非常に低いものになっていますが、他のタイプより容量密度は小さめです。

タンタル・コンデンサは静電容量密度が最も高いものになっていますが、スイッチング電源用としてサージ・テストされたもののみを使用することが重要です。アルミ電解コンデンサは ESR がかなり高いものになっていますが、リップル電流定格と長期信頼性を考慮すれば、コスト重視のアプリケーションに使用できます。セラミック・コンデンサは、低 ESR 特性に優れ、実装面積も小さくできます。

セラミック・コンデンサの ESR は非常に低いため、電荷蓄積の条件を満たす出力コンデンサ値を選択する方がより有用です。負荷ステップ発生時には、帰還ループがスイッチ電流を十分に増加させて負荷に対応できるようになるまで、出力コンデンサが即座に電流を供給する必要があります。帰還ループの応答に要する時間は、補償および出力のコンデンサのサイズに依存します。負荷ステップへの応答には通常 5 サイクルを要しますが、出力電圧が直線的に低下するのは最初のサイクルのみです。出力のドループ V_{DROOP} は通常、最初のサイクルの直線的な電圧低下量の 3 倍程度になります。したがって、次式で得られる出力コンデンサの値が、おおよその出発点として適した値です。

$$C_{OUT} = 3\frac{\Delta I_{OUT}}{f_0 \times V_{DROOP}}$$

入出力セラミック・コンデンサの使用

セラミック・コンデンサは、より大容量で安価なものが小型ケースで入手できるようになりました。高リップル電流、高電圧定格、低 ESR という特長は、スイッチング・レギュレータ用途に最適です。ただし、セラミック・コンデンサの種類によっては自己共振や高 Q 特性があるため、これらのコンデンサを入出力に使用する場合は注意が必要です。入力にセラミック・コンデンサを使用し、壁コンセントから長い電線を介して電源を供給する場合、出力の負荷ステップによって V_{IN} 入力にリンギングが誘起することがあります。最善の場合でも、このリンギングが出力に結合して、ループが不安定になったと誤解されることがあります。最もひどい場合、長い配線を介した電流突入により、部品を損傷するのに十分な大きさの電圧スパイクを V_{IN} に生じさせる可能性があります。詳細な説明は、アプリケーション・ノート 88 を参照してください。

入出力のセラミック・コンデンサには、誘電体が X5R や X7R のものを選択します。これらの誘電体は、与えられた値とサイズに対して、全てのセラミックの中で最も優れた温度および電圧特性を示します。150ºC のアプリケーションには X8R を選択します。

デューティ・サイクルや負荷ステップの条件によっては、より多くの容量が必要になる場合があります。ほとんどのアプリケーションでは、電源に対するインピーダンスが非常に低いため、入力コンデンサは単に高周波のバイパス用としてのみ必要とされます。このような条件下では、通常 47µF のセラミック・コンデンサで十分です。この入力コンデンサは PV_{IN} ピンおよび GND ピンのできるだけ近くに配置します。

$INTV_{CC}$ レギュレータ・バイパス・コンデンサ

内蔵の低ドロップアウト（LDO）レギュレータは、5V の電源を生成し、ドライバと内部バイアス回路に電力を供給します。INTVCC は、4.7μF 以上のセラミック・コンデンサを使ってグラウンドにバイパスする必要があります。LT7200S に必要なトランジェント電流を供給するために、デカップリング・コンデンサは、$INTV_{CC}$ ピンおよび GND ピンへ低インピーダンスの電気的な接続を行う必要があります。パワーMOSFET ゲート・ドライバに必要な高過渡電流を供給するには、良好なバイパスが必要です。入力電圧とスイッチング周波数が高いアプリケーションでは、LDO で消費される電力が大きくなるため、ダイ温度が上昇します。そのような場合、別の 5V 電源を使用できるならば、それを用いて SV_{IN} ピンを駆動し、内蔵 LDO の消費電力を下げることを検討してください。

出力電圧の設定

レギュレータの出力電圧は、次式に従い外付け抵抗分圧器を使って設定されます。

$$V_{OUT} = 0.5V \times (1 + \frac{R2}{R1})$$

必要な出力電圧は、抵抗 R1 および R2 を適切に選択することで設定され、これらの抵抗によって、図 33 に示すように、V_{FB} ピンで出力電圧の一部を読み取ることができます。R1 および R2 に大きな値を選択すると、ゼロ負荷時や軽負荷時の効率が向上しますが、V_{FB} ノードの寄生容量により、不要なノイズ・カップリングや位相マージンの減少が生じる可能性があります。V_{FB} のパターンは、SW パターンなどのノイズ源から離すよう注意してください。フィードフォワード補償コンデンサ C_{FF} を V_{OUT} と FB の間に配置して、トランジェント性能を向上することもできます。

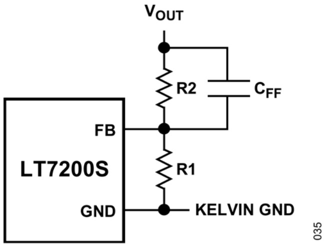


図 33. 出力電圧の設定

出力電圧が V_{ON} の検出範囲（0.5V～4V）から外れている場合、出力電圧はレギュレーション状態にあるものの、スイッチング周波数は設定周波数とは異なる可能性があります。

ソフトスタートおよび出力電圧 TRACK

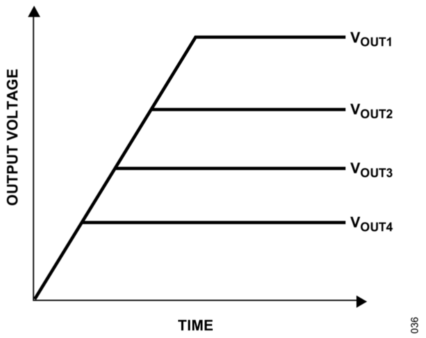
TRACK ピンは 5μA の内部電流によって $INTV_{CC}$ にプルアップされます。TRACK ピンとグラウンドの間にコンデンサ C_{SS} を外付けすると、出力をソフトスタートして入力電源の電流サージを防ぐことができます。出力立上がり時間 T_{SS} とソフトスタート容量 C_{SS} の間には次式の関係があります。

$$T_{SS} = 1e^5 \times C_{SS}$$

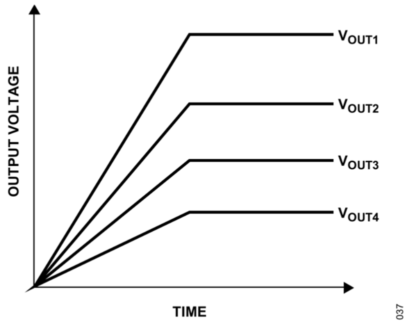
起動時、LT7200S は、トラック電圧が 0.5V を超えるまで不連続モードで動作します。その後、出力が UV 閾値を超える（V_{FB} > 0.4625V）まで、レギュレータは強制連続モードで動作します。出力がこの電圧に達すると、レギュレータの動作モードは上述のように MODE/SYNC ピンで選択したモードに切り替わります。

LT7200S では、TRACK ピンによって出力電圧の上昇率を設定できます。0V から 0.5V までは、TRACK 電圧がエラー・アンプへの 0.5V の内部リファレンス入力より優先されるので、フィードバック電圧は TRACK ピンの電圧にレギュレーションされます。TRACK が 0.5V を超えると、トラッキングはディスエーブルされ、帰還電圧は内部リファレンス電圧にレギュレーションされます。

出力トラッキング・アプリケーションでは、TRACK ピンを別の電圧源から駆動する場合、図 34 に示すように、別の電源の出力に対し同時トラッキング、または比例トラッキングを行うよう、各チャンネルの出力を設定します。以下の説明では、V_{OUT1} はマスタ・チャンネルとしてのチャンネル 1 の出力、V_{OUT2}、V_{OUT3}、V_{OUT4} はそれぞれチャンネル 2、3、4 の出力を指します。実際には、どのチャンネルもマスタとして使用できます。



(a) Coincident Tracking

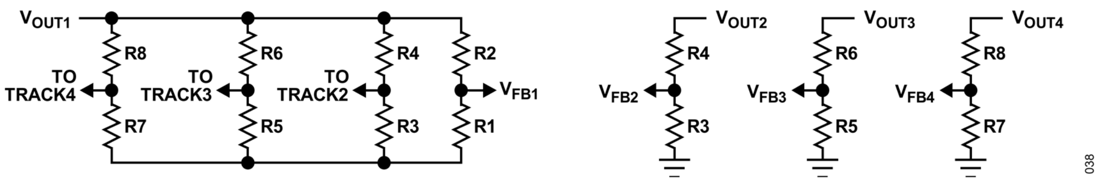


(b) Ratiometric Tracking

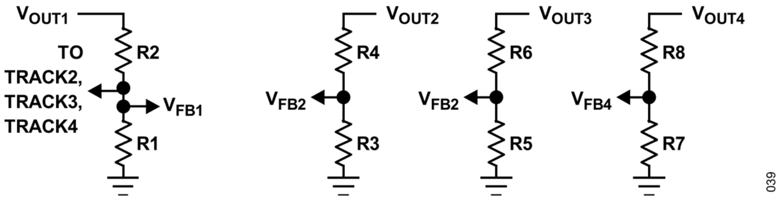
図 34. 出力トラッキング・アプリケーション

図 34（a）の同時トラッキングを実行するには、追加の抵抗分圧器を V_{OUT1} に接続し、その中点をスレーブ・チャンネルの TRACK ピンに接続します。これらの分圧器の比率は、図 35（a）に示すように、スレーブ・チャンネルの帰還分圧器の比率と同じにする必要があります。このトラッキング・モードでは、V_{OUT1} を V_{OUT2}、V_{OUT3}、V_{OUT4} より高い値に設定する必要があります。

比例トラッキングを実行するには、図 35（b）に示すように、マスタ・チャンネルの帰還ピンをスレーブ・チャンネルの TRACK ピンに接続する必要があります。



(a) Coincident Tracking



(b) Ratiometric Tracking

図 35. 出力トラッキングの構成

最小オフ時間と最小オン時間に関する考慮事項

最小オフ時間 $t_{OFF(MIN)}$は、LT7200S が下側パワーMOSFET をターンオンして電流コンパレータをトリップさせてから、下側パワーMOSFET を再びオフに戻すことができるまでの最小時間です。この時間は一般的に約 40ns です。最小オフ時間の制限によって、最大デューティ・サイクルは $t_{ON}/(t_{ON} + t_{OFF(MIN)})$となります。入力電圧の低下などにより最大デューティ・サイクルに達した場合、出力はレギュレーション範囲を外れます。ドロップアウトを回避するための最小入力電圧は次式のとおりです。

$$V_{IN(MIN)} = V_{OUT} \text{ x } \frac{t_{ON} + t_{OFF(MIN)}}{t_{ON}}$$

これに対して、最小オン時間とは、上側パワーMOSFET をオン状態にできる最小の時間です。この時間は 12ns（代表値）です。連続モード動作の場合、最小オン時間の制限により、最小デューティ・サイクルは次式で与えられます。

$$DC_{MIN} = f \text{ x } t_{ON(MIN)}$$

ここで、$t_{ON\ (MIN)}$ は最小オン時間です。動作周波数を下げると、最小デューティ・サイクルの制約を緩和できます。

デューティ・サイクルの最小値を超えるまれなケースでは、出力電圧はレギュレーション状態を維持し、スイッチング周波数は設定値より低くなります。これは多くのアプリケーションで許容可能な結果です。そのため、この制約はほとんどの場合、極めて重要というわけではありません。高いスイッチング周波数は、出力過電圧を招くおそれがなく、設計に使用できます。インダクタとコンデンサの選択のセクションで示したように、スイッチング周波数が高いほど小さな基板部品を使用できるため、アプリケーション回路のサイズを小さくできます。

内部／外部 ITH 補償

LT7200S は内部ループ補償と外部ループ補償のいずれかを選択するオプションがあります。ITH ピンを $INTV_{CC}$に接続すると、固定的な内部ループ補償ネットワークが選択され、必要な外部部品数および設計時間を削減できます。安定性を確保するため、内部補償を使用するのは、f_{SW} > 1MHz のアプリケーションに限定することを推奨します。

または、外部部品を ITH ピンに接続することで、外部ループ補償を選択し、目的の過渡応答を最適化できます。多相の単一出力アプリケーションの場合、外部補償を用いて対応する ITH ピンを互いに接続すると、出力電流を正確に分担できます。

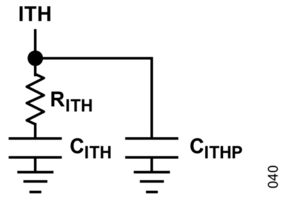


図 36. 外部補償ネットワーク

適切な ITH 部品を選択すると、OPTI-LOOP®の最適化ができます。補償ネットワークを図 36 に示します。RC フィルタにより、支配的なポールゼロ・ループ補償が設定されます。ループのゲインは R_{ITH} と共に増加し、ループの帯域幅は C_{ITH} の減少と共に増加します。C_{ITH} が減少するのと同じ比率で R_{ITH} が増加しても、ゼロ周波数は同じに保たれるため、位相も、帰還ループの最も重要な周波数範囲で同じに保たれます。

1MHz のアプリケーションでは、470pF と 10kΩ の R-C ネットワークが良い出発点となります。基板の浮遊容量による高周波結合をフィルタリングするために、ITH ピンに 4.7pF のバイパス・コンデンサ C_{ITHP} を使用することを推奨します。表 6 に、与えられたデバイス周波数に対して使用する補償値の基本的なガイドラインを示します。アプリケーションの必要な出力容量によっては、これらの値の微調整が必要になることもあります。

表 6. 補償値

Frequency	RITH	CITH	CITHP
500kHz	15k	470pF	4.7pF
700kHz	10k	470pF	4.7pF
1MHz	10k	470pF	4.7pF
1.5MHz	10k	470pF	4.7pF
2MHz	10k	220pF	4.7pF

過渡応答のチェック

OPTI-LOOP 補償が備わっているため、幅広い範囲の負荷および出力キャパシタ値にわたって過渡応答を最適化できます。ITH ピンを使用すれば、この制御ループの動作を最適化できるだけでなく、DC 結合された AC フィルタ付きクローズドループ応答のテスト・ポイントとして利用することもできます。このテスト・ポイントでの DC ステップ、立上がり時間、およびセトリングは、クローズドループ応答を正確に反映します。2 次特性が支配的なシステムの場合は、このピンに現れるオーバーシュートのパーセンテージを使って位相マージンや減衰係数を予想できます。

表 6 の回路に示す ITH ピンの外付け部品は、ほとんどのアプリケーションにおいて妥当な出発点となります。RC フィルタにより、支配的なポールゼロ・ループ補償が設定されます。これらの値は、最終的なプリント回路基板のレイアウトを完了し、出力コンデンサの種類と容量値を決定したら、過渡応答を最適化するために多少（推奨値の 0.5～2 倍）変更することができます。出力コンデンサの種類と値によって、ループの帰還係数、ゲイン、位相が決まるため、出力コンデンサを選択する必要があります。また、高周波応答を改善するために、図 33 に示すように、フィードフォワード・コンデンサ C_{FF} を追加することも可能です。コンデンサ C_{FF} は、R2 で高周波のゼロを生成することで位相進みをもたらし、位相マージンを改善します。

立上がり時間を約 1µs とした、全負荷電流の 20%～100%の出力電流パルスを流すと、帰還ループを壊すことなくループ全体の安定感を提供する出力電圧と ITH ピンの波形が得られます。スイッチング・レギュレータは、負荷電流のステップに応答するために数サイクルを要する場合があります。負荷ステップが発生すると、V_{OUT} は $\Delta I_{LOAD} \times ESR$ に等しい大きさだけ直ちにシフトします。ここで、ESR は C_{OUT} の等価直列抵抗です。更に、ΔI_{LOAD} により C_{OUT} の充放電も開始されて帰還誤差信号が発生し、レギュレータはこれを用いて V_{OUT} を定常値に回復させます。この回復期間に、V_{OUT} をモニタして、安定性に問題があることを示す過度のオーバーシュートやリンギングが発生していないかをチェックできます。

最初の出力電圧ステップはフィードバック・ループの帯域幅内にない可能性があるため、標準の 2 次オーバーシュート／DC 比を用いて位相マージンを決定することはできません。出力電圧のセトリングの挙動はクローズドループ・システムの安定性に関係しており、実際の全体的電源性能を表します。制御ループ理論のレビューなど、補償コンポーネントの最適化に関する詳細な説明については、アナログ・デバイセズのアプリケーション・ノート 76 を参照してください。

アプリケーションによっては、大容量（>47µF）の入力コンデンサを接続している場合、より深刻なトランジェント現象が負荷のスイッチングによって発生することがあります。放電する入力コンデンサは実質的に C_{OUT} と並列になり、V_{OUT} の急降下を引き起こします。負荷に接続されたスイッチが低抵抗で高速駆動される場合、どのレギュレータもこの問題を防ぐのに十分な電流を供給することができません。その解決策として、負荷スイッチ・ドライバのターンオン速度を制限することが挙げられます。ホット・スワップ・コントローラは、この目的に特化して設計されたもので、通常は電流制限、短絡保護、およびソフトスタートが組み込まれています。

効率に関する考慮事項

スイッチング・レギュレータの効率（パーセント）は、出力電力を入力電力で割った値に 100%を掛けたものです。効率を制限しているのは何か、何を変更すれば最も効率が向上するかを判定するには、多くの場合、個々の損失を分析することが有益です。パーセント表示の効率は次式で表せます。

$$\%\ \text{Efficiency} = 100\% - (L1 + L2 + L3 + \ldots)$$

ここで、L1、L2、などは、個々の損失を入力電力に対するパーセンテージで表したものです。

回路内の電力を消費する全ての要素で損失が生じますが、LT7200S の回路の損失の大部分は、次の主な 3 つの損失要因によって生じます：1）I^2R 損失、2）スイッチングおよびバイアス損失、3）その他の損失。

- I^2R 損失は、内部スイッチの DC 抵抗値 R_{SW} と外付けインダクタの DC 抵抗値 R_L から計算できます。連続モードでは、平均出力電流はインダクタ L を流れますが、この電流は内蔵の上側パワーMOSFET と下側パワーMOSFET の間で「細切れ」にされます。したがって、SW ピンへの直列抵抗は、次式のように、上側および下側 MOSFET 両方の $R_{DS(ON)}$ とデューティ・サイクル（DC）の関数となります。

$$R_{SW} = (R_{DS(ON)TOP})\,(DC) + (R_{DS(ON)BOT})\,(1 - DC)$$

  上側および下側の MOSFET のどちらの $R_{DS(ON)}$ も、代表的な性能特性のグラフから求めることができます。したがって、次式から I^2R 損失を求めることができます。

$$I^2R\ \text{losses} = I_{OUT}^2\,(R_{SW} + R_L)$$

- スイッチング電流は、MOSFET のドライバ電流と制御電流の和です。パワーMOSFET のドライバ電流は、パワーMOSFET のゲート容量が切り替わることにより発生します。パワーMOSFET のゲートがローからハイ、そして再度ローに切り替わるたびに、ある量の電荷 dQ が PV_{IN} からグラウンドに移動します。その結果生じる dQ/dt が IN から流出する電流であり、通常、DC 制御バイアス電流よりはるかに大きくなります。連続モードでは、$I_{GATECHG} = f(Q_T + Q_B)$ となります。ここで、Q_T と Q_B は上側および下側の内部パワーMOSFET のゲート電荷、f はスイッチング周波数です。したがって、電力損失は次式のようになります。

$$\text{Switching Loss} = I_{GATECHG} \times PV_{IN}$$

  ゲート電荷の消失は、周波数と同様 $INTV_{CC}$ ピンの電流として現れます。したがって、これらの影響は、入力電圧と周波数が高いアプリケーションにおいてより顕著なものとなります。

- 遷移損失や銅パターンの抵抗および内部負荷抵抗などの「隠れた」損失が、電源システム全体の効率を更に低下させる原因となることがあります。これらの「システム」レベルの損失をシステム設計段階で盛り込むことが非常に重要です。遷移損失は、スイッチ・ノードの遷移中に上側パワーMOSFET が飽和領域で費やすわずかな時間によって生じます。LT7200S の内蔵パワー・デバイスは十分速く切り替わるため、これらの損失は他の損失に比べてそれほど大きくはありません。デッド・タイム時のダイオード伝導損失やインダクタのコア損失など、その他の損失は一般的に総損失の 2%未満です。

熱的条件

高周囲温度、高スイッチング周波数、高 V_{IN}、高出力負荷が組み合わさった状態で LT7200S が動作するようなアプリケーションでは、必要な消費電力により、デバイスが最大ジャンクション温度を越えてしまう場合があります。

LT7200S が最大ジャンクション温度を超えることのないよう、動作条件に応じて、最大電流定格はディレーティングされます。デバイスの温度上昇は、PCB 基板の銅の厚さ、基板の層数、銅パターンの形状によって異なります。一般的に、SW ピンおよび GND ピンには PCB の最上層で厚い切れ目のない銅を用いると、デバイスの熱性能を大きく向上できます。

図 37 に、1 層あたり 2 オンスの銅を用いた標準的な 6 層 PCB 基板（LT7200S の標準的なデモ・ボード）上に LT7200S を配置した場合の、ケース温度の上昇曲線を示します。全曲線で、V_{OUT} は 1.2V に設定されています。

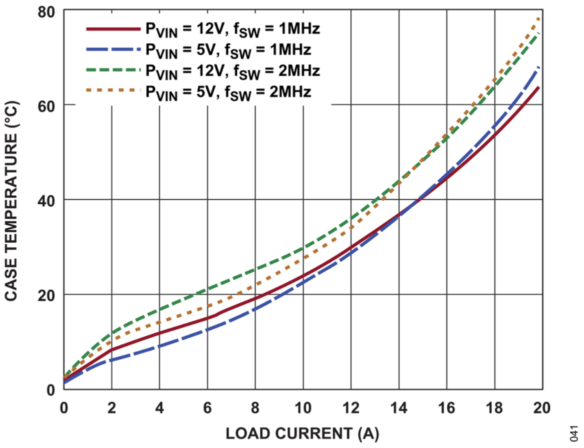


図 37. ケース温度の上昇

Silent Switcher アーキテクチャ

LT7200S はコンデンサを内蔵しているため、高いスイッチング周波数において効率的に動作できます。内蔵の V_{IN} バイパス・コンデンサにより、SW エッジを極めて高速で切り替えることができ、遷移損失を効果的に低減できます。また、このコンデンサは、上側 FET がオンになるときの SW オーバーシュートを大幅に抑制するため、時間変化に伴うデバイスの堅牢性を向上できます。

ボード・レイアウト時の考慮事項

プリント回路基板のレイアウト時には、次のチェックリストを使用して、LT7200S が正しく動作するようにしてください（図 38 を参照）。レイアウト時のチェック項目は次のとおりです。

1. コンデンサ C_{IN} は PV_{IN} と GND のできるだけ近くに接続されていますか？これらのコンデンサは、内蔵のパワーMOSFET およびそのドライバに AC 電流を供給します。

2. C_{OUT} と L は近づけて接続されていますか？C_{OUT} の（–）プレートは、電流を GND と C_{IN} の（–）プレートに戻します。
3. FB 分圧器はデバイスの近くに配置し、ポイント・オブ・ロードで V_{OUT} と GND にケルビン接続します。
4. ノイズの影響を受けやすい部品は SW ピンから離して配置します。FB 抵抗、RT 抵抗、補償部品、$INTV_{CC}$ バイパス・コンデンサは、SW パターンおよびインダクタからは離して配線します。
5. グランド・プレーンの使用が望まれます。
6. 使用しない領域は全て銅で覆ってください。これにより電力部品の温度上昇が抑制されます。これらの銅領域は GND に接続します。

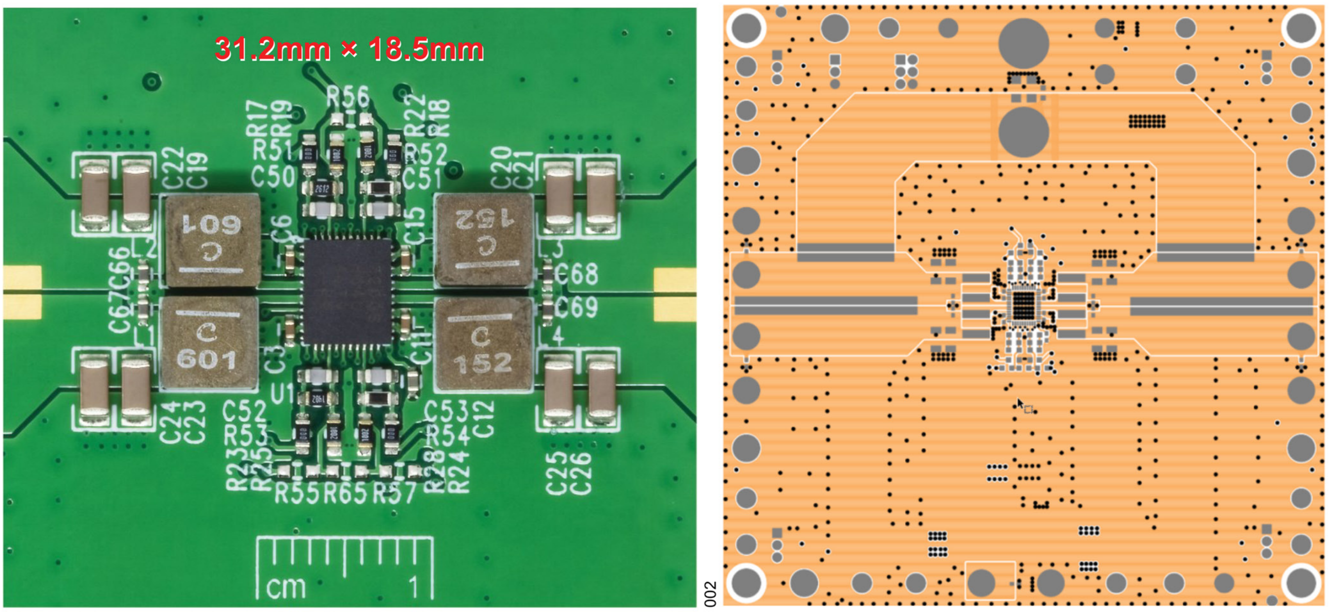


図 38. 最上層の PCB 設計の例

設計例

設計例として、次の仕様のアプリケーションで LT7200S を使用する場合を考えてみます。

$$V_{IN} = 12V$$

$$V_{OUT} = 1.2V$$

$$I_{OUT(MAX)} = 5A$$

$$f_{SW} = 1MHz$$

まず、出力を 1.2V に設定するために、R_{FB1} を 10kΩ、R_{FB2} を 14kΩ に設定します。両方の抵抗に対してここで用いることのできる代表的な値は 10kΩ です。最高の精度を実現するため、0.1%の抵抗を用います。

2ms（最終的な V_{OUT} 値の 0%から 100%まで）の標準的なソフトスタート時間とするために、C_{TRACK} は次式を満たす必要があります。

$$5\mu A = C_{SS} \times \frac{0.5V}{2ms}$$

$$C_{SS} = 20nF$$

C_{SS}には標準的な 22nF のコンデンサを用います。

負荷電流が大きい場合も小さい場合も効率は重要なので、不連続モード動作を採用します。1MHz のスイッチング周波数に適した R_T 抵抗を特性曲線から選択します。これに基づき、R_{RT}を 100kΩ とします。次に、電流リップルが最大 V_{IN} での最大ピーク電流制限値（5A）の約 40%となるようにするインダクタ値を計算します。

$$L = \frac{V_{OUT}}{f \times \Delta I_L} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right)$$

$$L = \frac{1.2V}{1MHz \times 2A} \times \left(1 - \frac{1.2V}{15V}\right) = 0.55\mu H$$

これより大きい標準値のうち最も近いのは 0.6µH です。

C_{OUT}は、出力のリップル条件を満たすために必要な ESR とループ安定性を確保するために必要なバルク容量に基づいて選択します。この設計では、47µF の 2 個のセラミック・コンデンサを使用します。

C_{IN}の大きさは、以下の最大電流定格に見合うものとなるようにします。

$$I_{RMS_Channel} = 5A \times \left(\frac{1.2V}{15V}\right)\sqrt{\left(\frac{15V}{1.2V} - 1\right)} = 1.36A$$

I_{RMS_Total} = 36A × 4 = 5.4A（4 チャンネルの出力を互いに結合した場合）

ほとんどのアプリケーションでは、図 38 に示すように、22µF の 2 個のセラミック・コンデンサを用いて V_{IN}をデカップリングするのが適当です。

標準的応用例

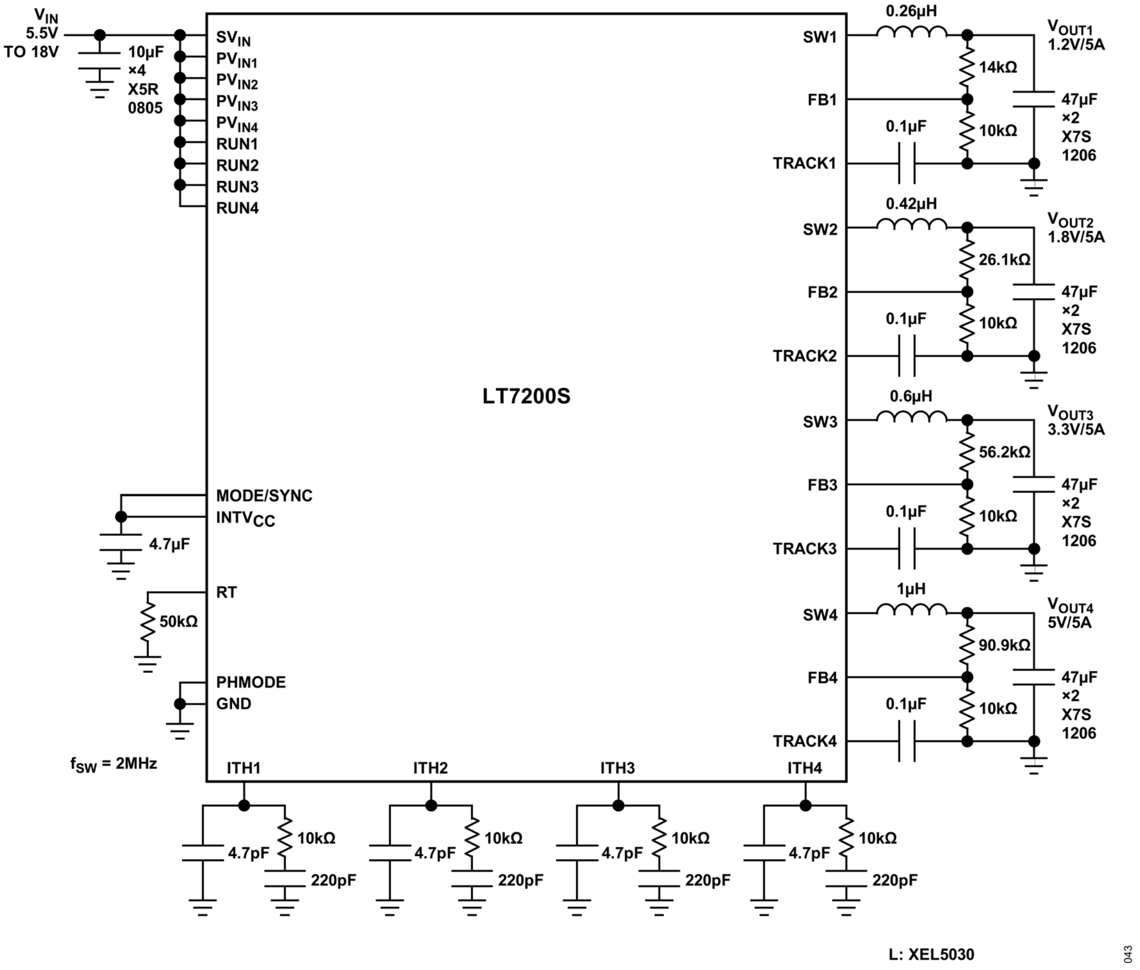


図 39. 1.2V/5A、1.8V/5A、3.3V/5A、5V/5A クワッド 2MHz 降圧レギュレータ

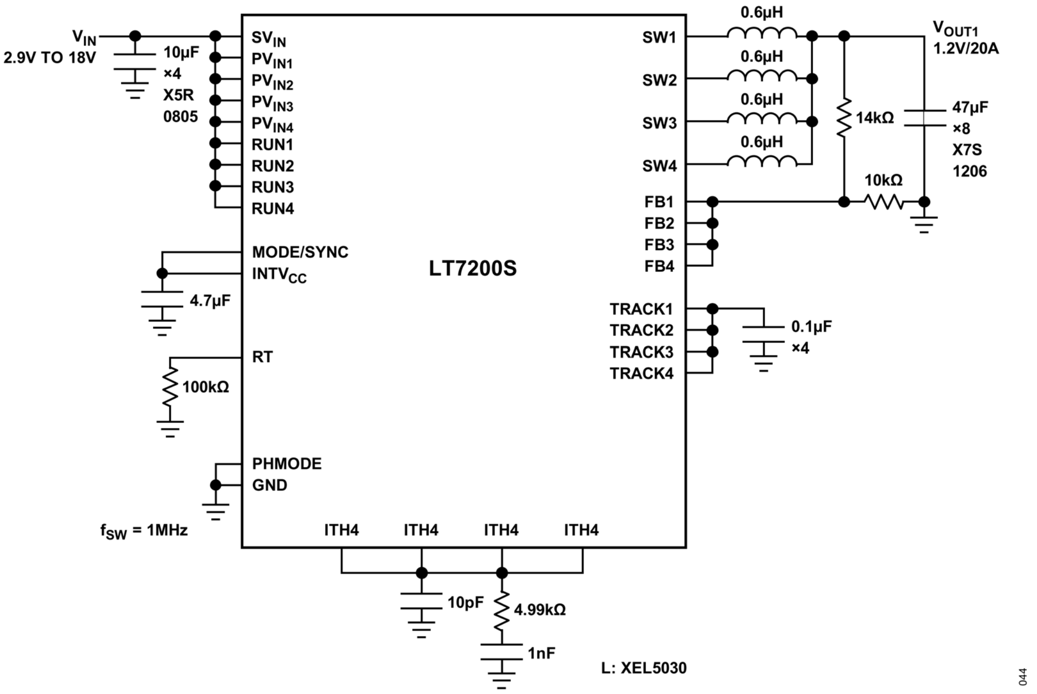


図 40. 1.2V/20A シングル出力降圧レギュレータ

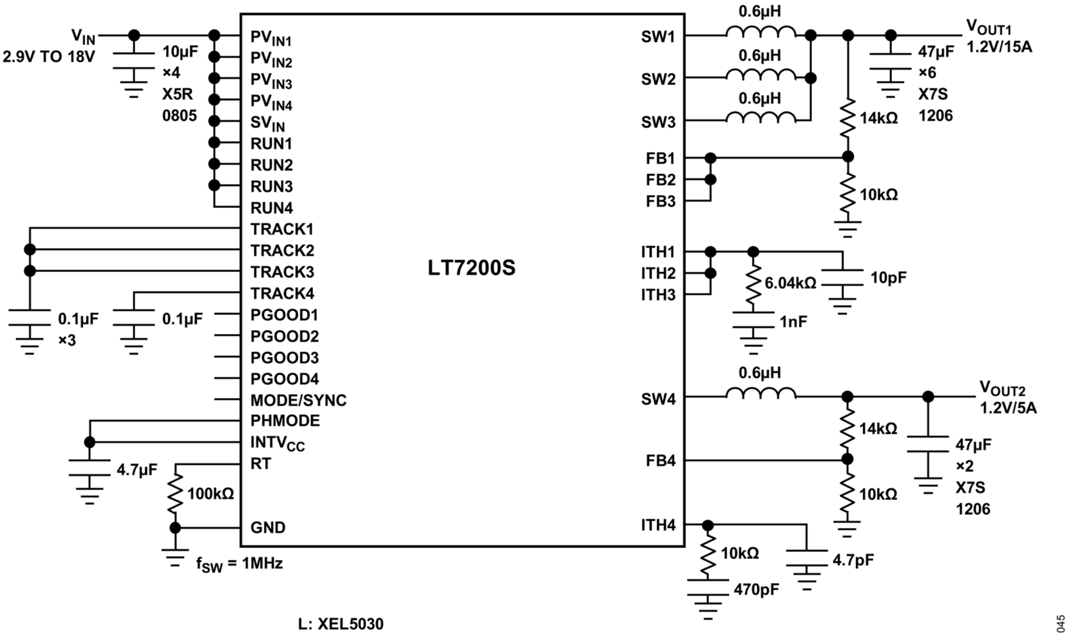


図 41. 1.2V、15A/5A デュアル降圧レギュレータ

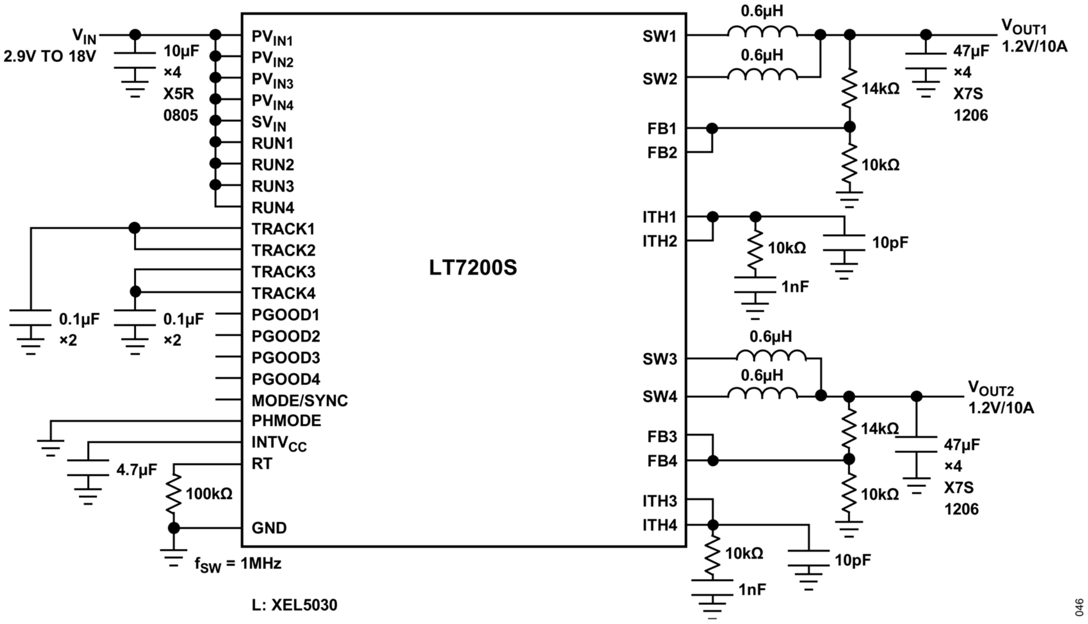


図 42. 1.2V、10A/10A デュアル降圧レギュレータ

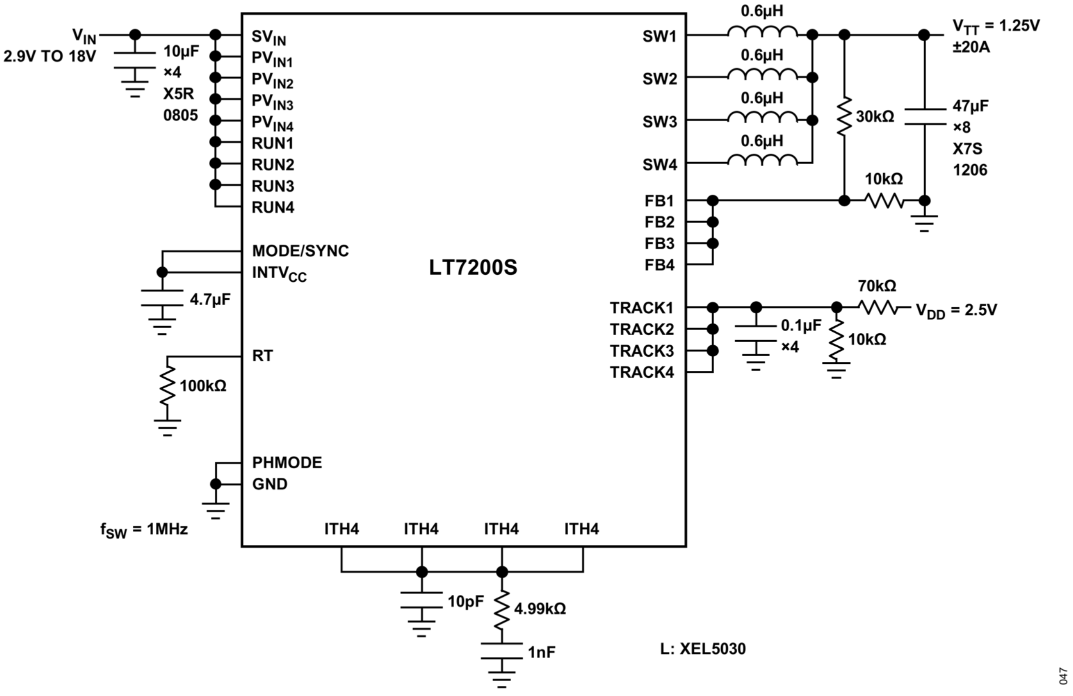


図 43. 4 相±20A シングル VTT DDR 電源

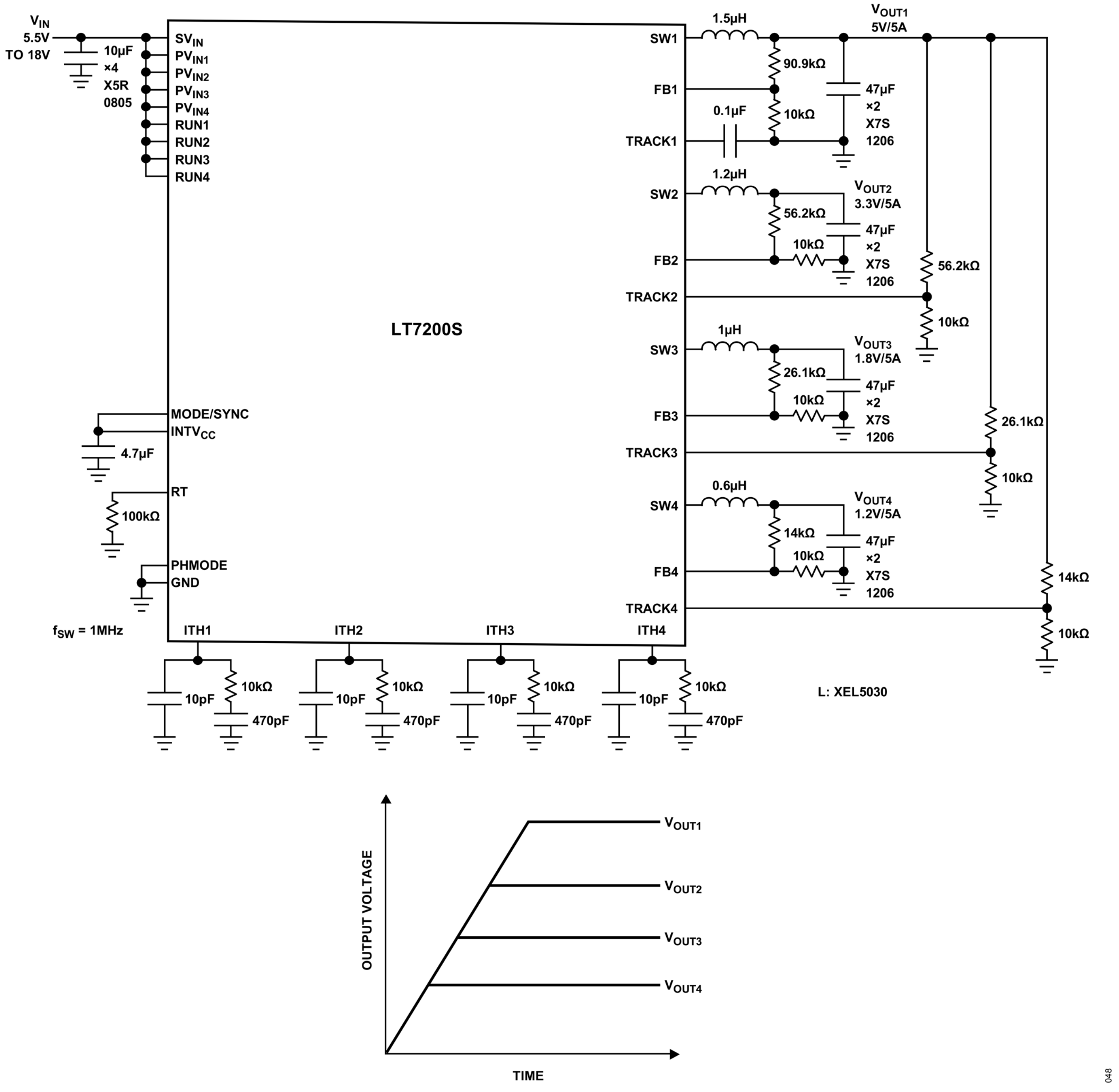


図 44. 同時トラッキング機能を備えた 1.2V/5A、1.8V/5A、3.3V/5A、5V/5A クワッド降圧レギュレータ

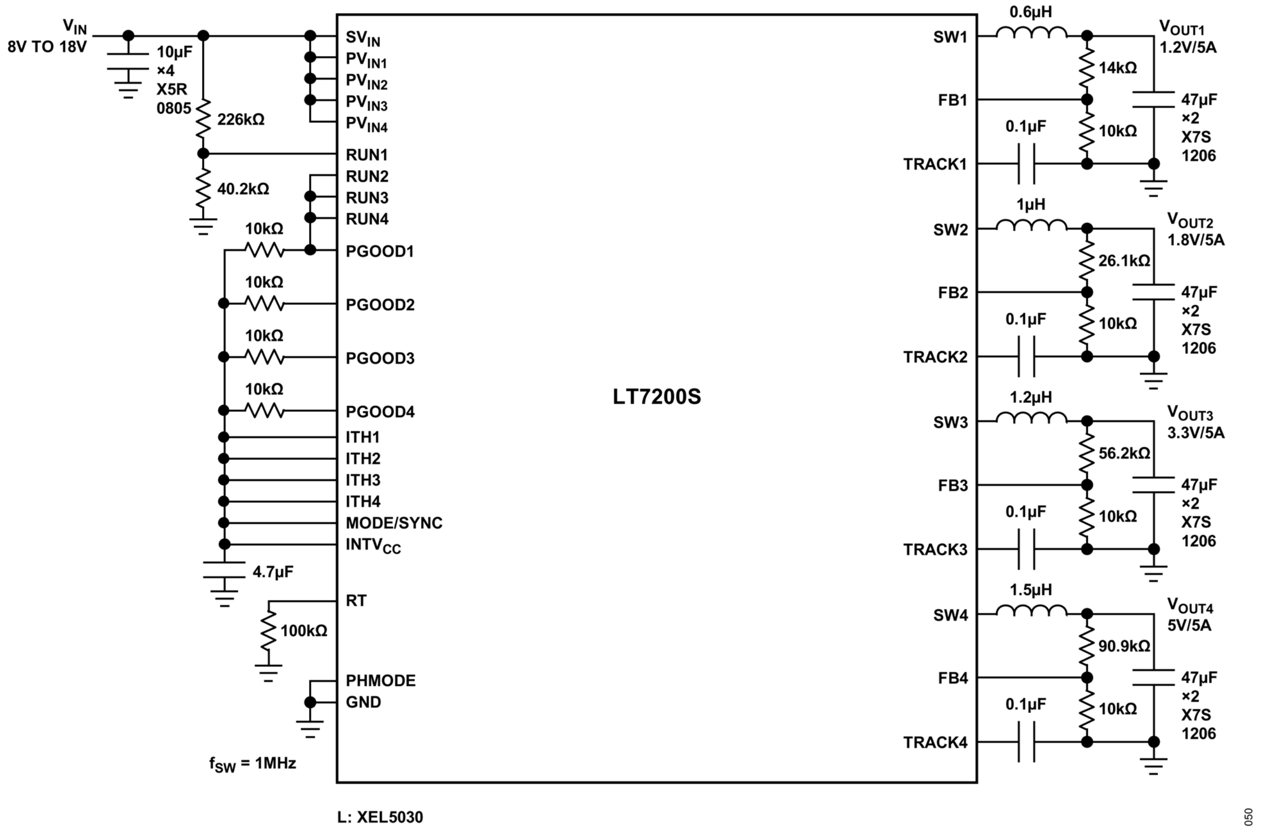
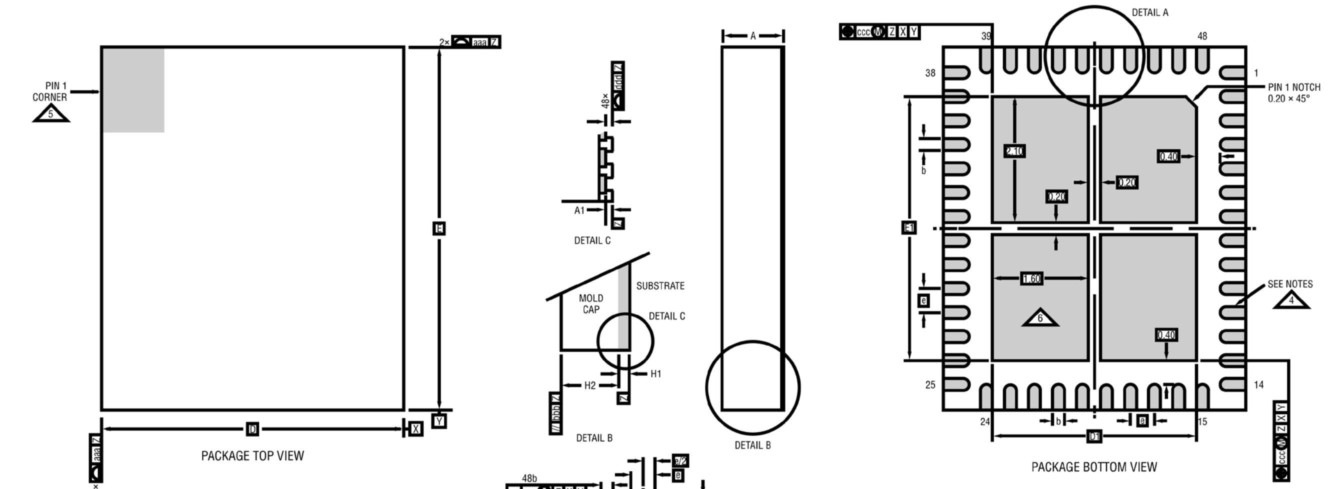
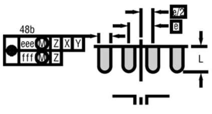


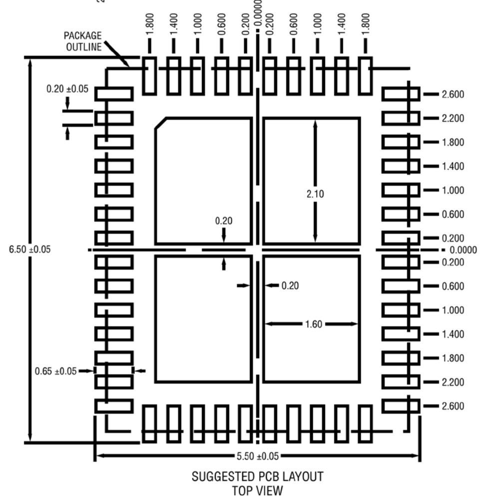
図 45. 8V の入力 UVLO 機能を備えた 1.2V/5A、1.8V/5A、3.3V/5A、5V/5A クワッド・シーケンシャル制御降圧レギュレータ（PGOOD1/2/3 で VOUT2/3/4 がイネーブル）

外形寸法

LQFN Package
48-Lead (5mm × 6mm × 1.02mm)
(Reference LTC DWG # 05-08-1606 Rev B)

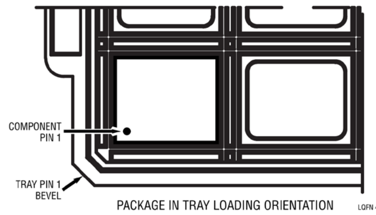






SYMBOL	MIN	NOM	MAX	NOTES
		DIMENSIONS		
A	0.93	1.02	1.11	
A1	0.01	0.02	0.03	
L	0.30	0.40	0.50	
b	0.17	0.20	0.23	
D		5.00		
E		6.00		
D1		3.40		
E1		4.40		
e		0.40		
H1		0.32 REF		SUBSTRATE THK
H2		0.70 REF		MOLD CAP HT
aaa			0.10	
bbb			0.10	
ccc			0.10	
ddd			0.10	
eee			0.15	
fff			0.08	

NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
2. ALL DIMENSIONS ARE IN MILLIMETERS
3. PRIMARY DATUM -Z- IS SEATING PLANE
4. METAL FEATURES UNDER THE SOLDER MASK OPENING NOT SHOWN SO AS NOT TO OBSCURE THESE TERMINALS AND HEAT FEATURES
5. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
6. THE EXPOSED HEAT FEATURE IS SEGMENTED AND ARRANGED IN A MATRIX FORMAT. IT MAY HAVE OPTIONAL CORNER RADII ON EACH SEGMENT



PACKAGE IN TRAY LOADING ORIENTATION

LQFN 48 0120 REV B

オーダー・ガイド

製品番号	製品マーキング	仕上げコード	パッド仕上げ	パッケージ・タイプ	MSL レーティング	温度範囲
LT7200SAV#PBF	7200S	e4	Au(RoHS)	LQFN（QFN フットプリントの積層パッケージ）	3	−40°C～125°C
LT7200SAV#TRPBF						

▶ 更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。
*パッドまたはボールの仕上げコードは IPC/JEDEC J-STD-609 に準拠しています。

▶ 推奨される LGA および BGA PCB のアセンブリおよび製造手順

▶ LGA および BGA のパッケージ図面とトレイ図面

関連製品

製品番号	説明	コメント
LTC3605/ LTC3605A	20V、5A 同期整流式降圧レギュレータ	4V < V_{IN} < 20V、0.6V < V_{OUT} < 20V、最大効率：96%、4mm × 4mm QFN-24 パッケージ
LTC3613	差動出力検出機能を備えた 24V、15A モノリシック降圧レギュレータ	4.5V < V_{IN} < 24V、0.6V < V_{OUT} < 5.5V、出力電圧精度：0.67%、谷電流モード、200kHz～1MHz でプログラマブル、電流検出、7mm × 9mm QFN-56 パッケージ
LTC3622	超低静止電流の 17V、デュアル 1A 同期整流式降圧レギュレータ	2.7V < V_{IN} < 17V、0.6V < V_{OUT} < V_{IN}、最大効率：95%、3mm × 4mm DFN-14 および MSOP-16 パッケージ
LTC3623	15V、±5A レール to レールの同期整流式降圧レギュレータ	4V ≤ V_{IN} ≤ 15V、0V < V_{OUT} < V_{IN} – 0.5V、プログラマブルなワイヤ電圧降下補償、電流検出、最大効率：96%、3mm × 5mm QFN-24 パッケージ
LTC3624	静止電流が 3.5µA の 17V、2A 同期整流式降圧レギュレータ	2.7V < V_{IN} < 17V、0.6V < V_{OUT} < V_{IN}、最大効率：95%、3.5µA の IQ、ゼロ電流シャットダウン、3mm × 3mm DFN-8 パッケージ
LTC3633A/ LTC3633A-1	デュアル・チャンネルの 3A 20V モノリシック同期整流式降圧レギュレータ	3.6V < V_{IN} < 20V、0.6V < V_{OUT} < V_{IN}、最大効率：95%、4mm × 5mm QFN-28 および TSSOP-28 パッケージ
LTM4639	低 V_{IN} 20A DC/DC µModule®降圧レギュレータ	完全な 20A スイッチ・モード電源、2.375V < V_{IN} < 7V、0.6V < V_{OUT} < 5.5V、最大合計 DC 出力電圧誤差：1.5%、差動リモート・センス・アンプ、15mm × 15mm BGA パッケージ
LTM4637	20A DC/DC µModule 降圧レギュレータ	完全な 20A スイッチ・モード電源、4.5V < V_{IN} < 20V、0.6V < V_{OUT} < 5.5V、最大合計 DC 出力電圧誤差：1.5%、差動リモート・センス・アンプ、15mm × 15mm BGA または LGA パッケージ
LTC7130	超低 DCR 検出機能を備えた 20V、20A モノリシック降圧コンバータ	4.5V < V_{IN} < 20V、最大効率：95%、低デューティ・サイクル・アプリケーション向けに最適化、6.25mm × 7.5mm BGA パッケージ

ANALOG DEVICES
©2022 Analog Devices, Inc. All rights reserved.

本　　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300