電流モニタ出力を備えた大電流ホット・スワップ・コントローラ

特長

- **通電状態のバックプレーンへ安全に基板を挿入可能**
- **広い動作電圧範囲：4V～20V**
- **大電流アプリケーション対応デュアル・ゲート・ドライバ**
- **保護用TVSを不要とするサージ電圧耐性**
- **V_{GS}とV_{DS}をモニタし、MOSFETの健全性を確保**
- **高精度の回路ブレーカ閾値：10mV±5%**
- 負荷サージに対応した昇圧モード
- 電流モニタ出力
- 12Vゲート駆動電圧で低$R_{DS(ON)}$のMOSFETに対応
- 調整可能な起動遅延と過電流フォールト遅延
- 入力過電圧保護
- フォールトおよびパワー・グッド出力
- 16ピン4mm × 3mm DFNパッケージ

アプリケーション

- 電子回路ブレーカ
- エンタープライズ・サーバおよびデータ・ストレージ・システム
- ネットワーク・ルータおよびスイッチ

概要

LT®4239ホット・スワップ・コントローラにより、通電状態のバックプレーンに対して基板を安全に抜き差しすることができます。外付けNチャンネル・パス・トランジスタを用いて、基板の電源電圧と突入電流を制御された速度で上昇させることができます。デュアル12Vゲート駆動は、最初に負荷容量を充電してから、負荷への低オン抵抗パスをイネーブルにする2段階の起動方式を実現することで、大電流の負荷をサポートしています。電源出力は、高速動作の電子回路ブレーカによって短絡フォールトから保護されます。

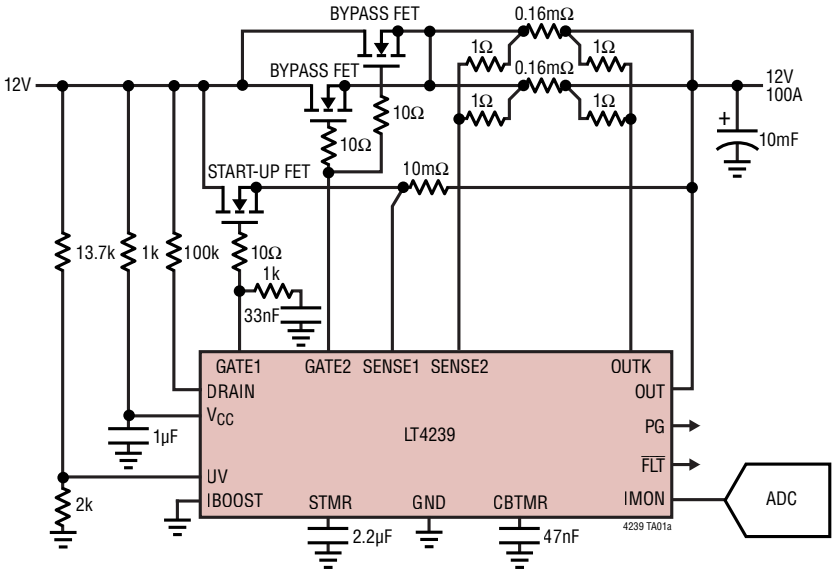
出力側に検出抵抗を、デバイスの電源ピンにRCフィルタを配置することで、基板電源入力にTVSを追加しなくても、MOSFETのアバランシェ降伏により急峻なオフ時のサージ電圧を抑制できます。

LT4239は、外付け検出抵抗端子間の電圧を増幅する電流モニタを備えています。また、低電圧保護も内蔵していて、電源のフォールト状態とパワー・グッド状態を通知します。昇圧モードでは、回路ブレーカの閾値と電流制限の閾値を大きくすることで、フォールトを発生させずに負荷サージをライド・スルーできます。

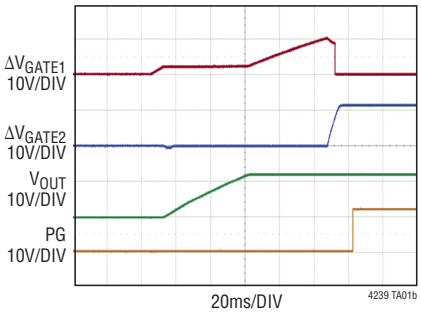
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

12V、100Aのアプリケーション



起動時の波形



絶対最大定格

(Note 1)

電源電圧

V_{CC} ..... –0.3V ～ 25V

入力電圧

DRAIN、IBOOST、UV ..... –0.3V～25V

OUT、OUTK、SENSE1、SENSE2 ..... –0.3V～30V

CBTMR、STMR ..... –0.3V～5V

V_{CC} – DRAIN ..... –5V～5V

V_{CC} – SENSE1、V_{CC} – SENSE2 ..... –10V～25V

V_{CC} – OUT、V_{CC} – OUTK ..... –10V～25V

V_{CC} – GATE1、V_{CC} – GATE2 ..... –10V～25V

SENSE2 – OUTK ..... –5V～5V

GATE1 – OUT、GATE2 – OUT (Note 3) ..... –0.3V～10V

I_{DRAIN} 2mA

出力電圧

IMON ..... –0.3V～6V

FLT、PG ..... –0.3V～25V

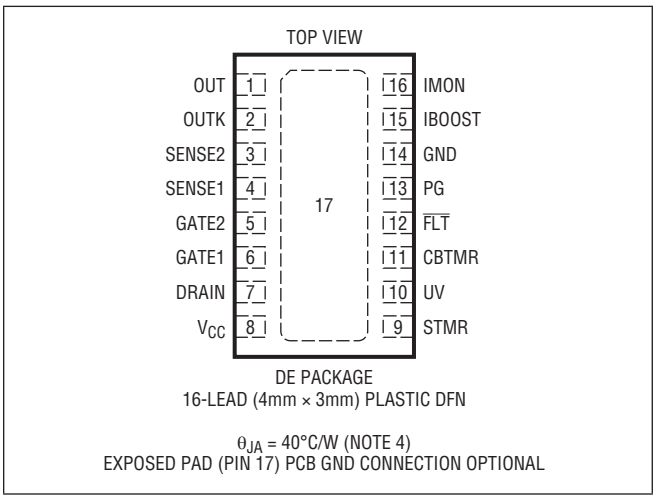
GATE1、GATE2 (Note 3) ..... –0.3V～40V

動作ジャンクション温度範囲

LT4239A ..... –40°C～125°C

保存温度範囲 ..... –65°C～150°C

ピン配置



DE PACKAGE
16-LEAD (4mm × 3mm) PLASTIC DFN

θ_{JA} = 40°C/W (NOTE 4)
EXPOSED PAD (PIN 17) PCB GND CONNECTION OPTIONAL

発注情報

鉛フリー仕上げ	製品マーキング	パッケージの説明	温度範囲
LT4239ADE#PBF	4239	16ピン(4mm × 3mm)プラスチックDFN	–40°C～125°C

更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。

電気的特性

● は、全動作温度範囲に適用される仕様を示しています。それ以外は、T_A = 25°C での仕様です。また、特に指定のない限り、V_{CC} = 12V、I_{BOOST} = 0V、R_{DRAIN} = 100kΩ です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Supplies							
V_{CC}	Input Supply Range		●	4		20	V
I_{CC}	Input Supply Current	V_{CC} = 4V to 13.2V	●		0.6	1	mA
$V_{CC(UVL)}$	V_{CC} Undervoltage Lockout	V_{CC} Rising	●	3.3	3.6	3.8	V
$\Delta V_{CC(HYST)}$	V_{CC} Undervoltage Lockout Hysteresis				100		mV
Circuit Breaker and Current Limit							
$\Delta V_{SENSE2(CB)}$	Circuit Breaker Trip Threshold ($V_{SENSE2} – V_{OUTK}$)	IBOOST = 0V, OUT = V_{CC} IBOOST = 3V, OUT = V_{CC}	● ●	9.5 19	10 20	10.5 21	mV mV
$\Delta V_{SENSE2(ACL)}$	Analog Current Limit Threshold ($V_{SENSE2} – V_{OUTK}$)	IBOOST = 0V IBOOST = 3V	● ●	13 26	15 30	17 34	mV mV
$\Delta V_{SENSE2(FAST)}$	Fast Comparator Trip Threshold ($V_{SENSE2} – V_{OUTK}$)	IBOOST = 0V IBOOST = 3V	● ●	30 60	40 80	50 100	mV mV
$\Delta V_{SENSE1(ACL)}$	Analog Current Limit Threshold ($V_{SENSE1} – V_{OUTK}$)		●	45	50	55	mV
I_{SENSE1}	SENSE1 Current	SENSE1 = SENSE2 = OUTK = 12V	●	20	50	100	µA
I_{SENSE2}	SENSE2 Current	SENSE1 = SENSE2 = OUTK = 12V	●	20	70	140	µA
I_{OUTK}	OUTK Current	SENSE1 = SENSE2 = OUTK = 12V	●	40	100	200	µA
I_{OUT}	OUT Current	OUT = 12V	●	0.1	0.45	1	mA
Gate Drive							
ΔV_{GATE}	Gate Drive	I_{GATE1} = 0, –1µA	●	10	12	14	V
		I_{GATE2} = 0, –5µA	●	10	12	14	V
$\Delta V_{GATE(TH)}$	Gate Threshold for Start-Up and Power Good		●	10			V
$I_{GATE1(UP)}$	Gate Pull-Up Current	Gate Drive On, ΔV_{GATE1} = 0V	●	–7	–10	–13	µA
$I_{GATE2(UP)}$	Gate Pull-Up Current	Gate Drive On, ΔV_{GATE2} = 0V	●	–35	–50	–65	µA
$I_{GATE1(DN)}$	Gate Off Pull-Down Current	Gate Drive Off, OUT=12V, ΔV_{GATE1} = 10V	●	5	10	25	mA
$I_{GATE2(DN)}$	Gate Off Pull-Down Current (UV Turn-Off) (Overcurrent Fault)	Gate Drive Off, OUT=12V, ΔV_{GATE2} = 10V Gate Drive Off, OUT=12V, ΔV_{GATE2} = 10V	● ●	5 30	10 50	25 70	mA mA
$I_{GATE1(FPD)}$	Gate Fast Pull-Down Current	Fast Turn-Off, OUT=12V, ΔV_{GATE1} = 10V	●	50	130	300	mA
$I_{GATE2(FPD)}$	Gate Fast Pull-Down Current	Fast Turn-Off, OUT=12V, ΔV_{GATE2} = 10V	●	0.3	0.6	1.5	A
Comparator Inputs							
ΔV_{DS1}	Voltage to Enable GATE2 Start-Up ($V_{CC} – V_{OUTK}$)	Falling	●	0.8	1	1.3	V
ΔV_{DS2}	Voltage to Start Power Good Delay ($V_{CC} – V_{OUTK}$)	Falling	●	80	100	130	mV
$\Delta V_{DS(FET-BAD)}$	FET-Bad Fault Threshold After Power Good ($V_{CC} – V_{OUTK}$)	IBOOST = 0V IBOOST = 3V	● ●	80 160	100 200	120 240	mV mV
$\Delta V_{DS(FETSHORT)}$	FETShort Fault Threshold During Debounce ($V_{CC} – V_{OUTK}$)		●	1.1	1.3	1.5	V
$V_{UV(TH)}$	UV Threshold Voltage	UV Rising	●	1.207	1.232	1.257	V
$\Delta V_{UV(HYST)}$	UV Hysteresis				50		mV
$V_{UV(RESET)}$	UV Fault Reset Threshold Voltage	UV Falling	●	0.45	0.6	0.65	V
$V_{IBOOST(TH)}$	IBOOST High Threshold Voltage		●	1.6			V
	IBOOST Low Threshold Voltage		●			0.8	V

電気的特性

● は、全動作温度範囲に適用される仕様を示しています。それ以外は、T_A = 25°C での仕様です。また、特に指定のない限り、V_{CC} = 12V、I_{BOOST} = 0V、R_{DRAIN} = 100kΩ です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$I_{(LEAK)}$	UV, IBOOST Input Leakage Current	V = 5V	●		0	±1	µA
$V_{OUT(G2OFF)}$	OUT Voltage to Turn Off GATE2 After Power Good	OUT Falling	●	3.5	3.7	3.9	V
Timer							
$V_{TMR(H)}$	STMR, CBTMR High Threshold Voltage	Rising	●	1.207	1.232	1.257	V
$V_{TMR(L)}$	STMR, CBTMR Low Threshold Voltage	Falling	●	0.15	0.2	0.25	V
$I_{STMR(UP)}$	STMR Pull-Up Current	STMR = 1V, GATE1 Start-Up	●	-8	-10	-12	µA
$I_{STMR(DN)}$	STMR Pull-Down Current	STMR = 1V	●	80	125	170	µA
$I_{CBTMR(UP)}$	CBTMR Pull-Up Current	CBTMR = 1V, In Overcurrent Fault	●	-8	-10	-12	µA
$I_{CBTMR(DN)}$	CBTMR Pull-Down Current	CBTMR = 2V, No Faults CBTMR = 2V, In Cool-Off Cycle	● ●	8 3	10 4	12 5	µA µA
D_{RETRY}	Retry Duty Cycle During Overcurrent Fault		●	0.03	0.06	0.1	%
Current Monitor							
$\Delta V_{SENSE2(FS)}$	Input Sense Voltage Full-Scale ($V_{SENSE2} – V_{OUTK}$)	IBOOST = 0V, OUT = 12V IBOOST = 3V, OUT = 12V	● ●	15 30			mV mV
$V_{IMON(OS)}$	IMON Input Offset Voltage	ΔV_{SENSE2} = 0V, OUT = 12V	●			±800	µV
A_{IMON}	IMON Voltage Gain	ΔV_{SENSE2} = 1mV to 15mV, OUT = 12V	●	97	100	103	V/V
$V_{IMON(MAX)}$	IMON Maximum Output Voltage	ΔV_{SENSE2} = 50mV, OUT = 12V	●	4.5	4.9	5.5	V
$R_{IMON(OUT)}$	IMON Internal Resistance	ΔV_{SENSE2} = 0V, OUT = 12V	●	15	20	25	kΩ
BW_{IMON}	IMON Bandwidth				200		kHz
Outputs							
V_{OL}	$\overline{FLT}$, PG Output Low Voltage	I = 5mA	●		0.2	0.4	V
I_{OH}	$\overline{FLT}$, PG Input Leakage Current	V = 5V	●		0	±1	µA
Timing Delays							
$t_{PHL(SENSE1)}$	ΔV_{SENSE1} Voltage High to GATE1 Low	ΔV_{SENSE1} = 0V Step to 300mV	●		0.5	1	µs
$t_{PHL(SENSE2)}$	ΔV_{SENSE2} Voltage High to GATE2 Low	ΔV_{SENSE2} = 0V Step to 80mV	●		0.5	1	µs
$t_{TMR(ACL)}$	Overcurrent Fault Timer Delay	ΔV_{SENSE1} = 0V Step to 100mV ΔV_{SENSE2} = 0V Step to 25mV	● ●	80 90	100 100	115 110	µs µs
$t_{TMR(FET-BAD)}$	FET-Bad Fault Timer Delay		●	17	20	23	ms
$t_{D(PG)}$	Power Good Delay		●	8	10	12	ms
$t_{D(GATE1)}$	Debounced Turn-On Delay	UV = 0V Step to 2V	●	20	25	30	ms
$t_{OFF(GATE)}$	GATE Turn-Off Propagation Delay	UV = 2V Step to 0.8V	●	170	220	270	µs
$t_{OFF(GATE2)}$	GATE2 Turn-Off Delay After Power Good	OUT = 12V Step to 0V	●		1	2	µs
$t_{RST(UV)}$	UV Low to FLT High	UV = 2V Step to 0V	●		20	40	µs

Note 1 : 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2 : デバイス・ピンに流れる電流は全て正です。デバイス・ピンから出る電流はすべて負です。特に指定のない限り、すべての電圧は GND を基準としています。

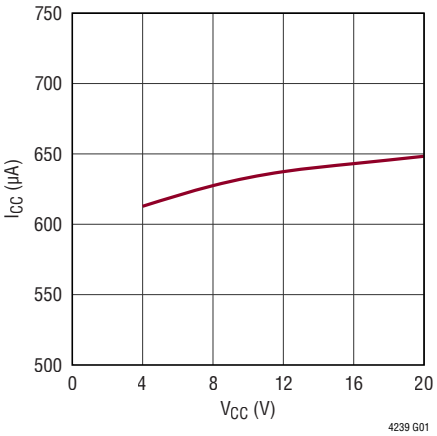
Note 3 : 最大定格の制限値は、最初に制限が課される値です。内部クランプにより、GATE ピンは OUT の電圧より最小 10V 高い電圧を上限とし、OUT の電圧よりダイオード 1 個分低い電圧を下限として制限されます。GATE ピンをクランプを超える電圧で駆動すると、デバイスが破損するおそれがあります。

Note 4 : 熱抵抗は、露出パッドを 3 インチ × 5 インチの 4 層 FR4 基板にハンダ付けした場合の仕様です。

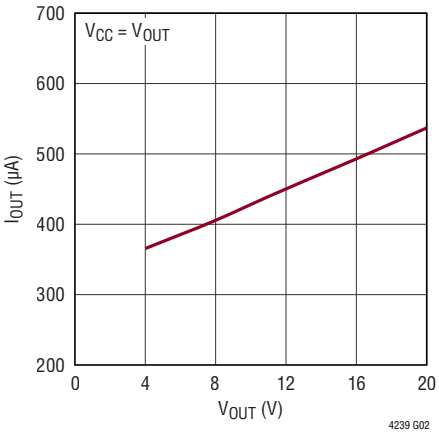
代表的な性能特性

特に指定のない限り、T_A = 25°C、V_{CC} = 12V、I_{BOOST} = 0V、R_{DRAIN} = 100kΩ。

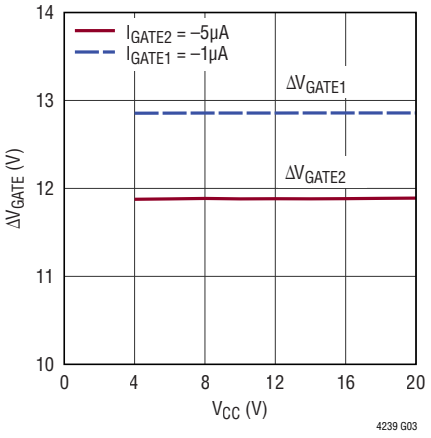
V_{CC} 電源電流と電圧の関係



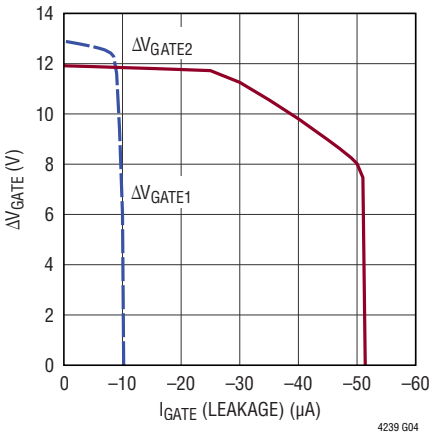
OUT の電流と電圧の関係



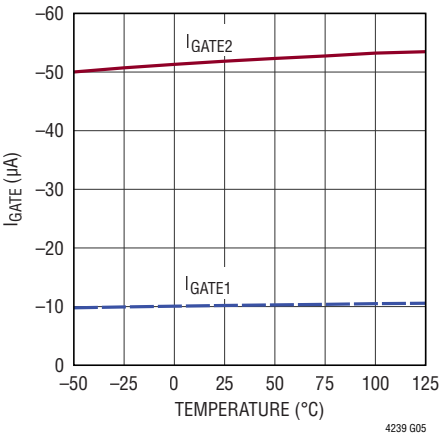
MOSFET ゲート駆動と V_{CC} 電圧の関係



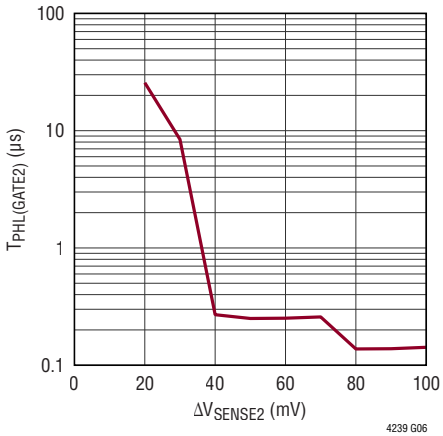
MOSFET ゲート駆動とゲート・リーク電流の関係



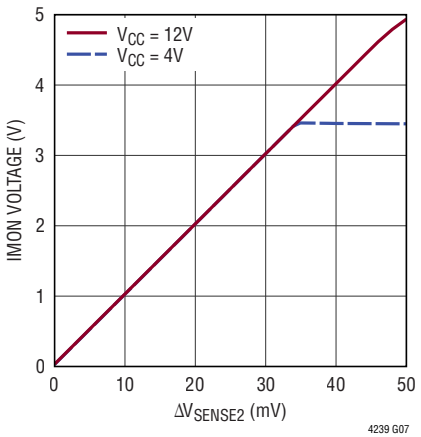
MOSFET ゲート駆動プルアップ電流の温度特性



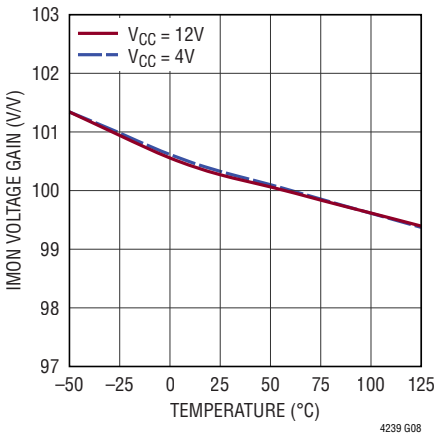
電流制限伝搬遅延と検出電圧の関係



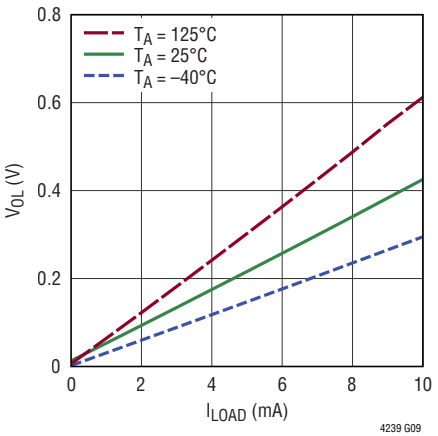
IMON 電圧と検出電圧の関係



IMON 電圧ゲインの温度特性



FLT および PG の出力ロー電圧と負荷電流の関係



ピン機能

OUT（ピン1）：MOSFETゲート駆動のリターン。このピンは、電流検出抵抗の出力側に接続します。ゲートが放電される際、このピンを介して高速のゲート・プルダウン電流がリターンします。パワー・グッド後にOUTの電圧が3.7Vを下回ると、GATE2が直ちにローになります。

OUTK（ピン2）：電流検出の負入力。電流検出抵抗の出力端子に接続します。

SENSE1、SENSE2（ピン4、3）：電流検出の正入力。電流検出抵抗の入力側に接続します。電流制限回路は、起動時にSENSE1とOUTKの間の電圧を100µsの間50mVに制限するようGATE1を制御してから、フォールトをラッチオフします。GATE2がオンになった後、SENSE2とOUTKの間の電圧が10mVを超えて、過電流フォールトのタイマー時間を経過すると、回路ブレーカがトリップします。過負荷状態では、SENSE2とOUTKの間の電圧降下を100µsの間15mVに維持するようにGATE2を調整してから、フォールトをラッチオフします。

GATE2（ピン5）：外付けNチャンネルMOSFETのゲート駆動。ΔV_{GATE1}が10Vを超え、$V_{IN} – V_{OUT} < 1V$になると、内部の50µA電流源によりバイパスMOSFETゲートの充電が開始されます。GATE2は、内部クランプによりOUTの電圧より12V高い値に制限されます。デバイスが低電圧状態の時、10mAの電流源によりMOSFETはオフに維持されます。短絡状態が検出されると、GATE2は50mAの電流源によってOUTの電圧にプルダウンされます。この電流は、深刻な出力短絡を検出した場合、600mAに増加します。

GATE1（ピン6）：外付けNチャンネルMOSFETのゲート駆動。内部の10µA電流源で起動用MOSFETのゲートが充電されます。GATE1とGNDの間にRCネットワークを追加してスルー・レートを制御することで、突入電流を制限できます。GATE1は、内部クランプによりOUTの電圧より12V高い値に制限されます。GATE1は、パワー・グッド条件である、$\Delta V_{GATE2} \geq 10V$および$V_{IN} – V_{OUT} < 100mV$が満たされるとオフになります。デバイスが低電圧状態の時、10mAの電流源によりMOSFETはオフに維持されます。短絡状態が検出されると、GATE1は10mAの電流源によってOUTの電圧にプルダウンされます。この電流は、深刻な出力短絡を検出した場合、130mAに増加します。

DRAIN（ピン7）：外付けMOSFETのドレイン検出入力。このピンと外付けNチャンネルMOSFETのドレインの間に100kΩの抵抗を接続して、MOSFETのドレイン電圧とOUTKの電圧の差をモニタします。GATE1が完全にエンハンスされた後、このピンで検知した電圧により、GATE2の起動とパワー・グッドの遅延がイネーブルになります。パワー・グッド後にMOSFETのドレインとOUTKの間の電圧が100mVを超えて上昇した場合、20msのFET異常フォールト・タイマーが作動します。

V_{CC}（ピン8）：正電源入力。電源電圧のスパイクが25Vを超える可能性がある場合、このピンにRCフィルタを接続します。このピンは、全てのMOSFETをオフにする、3.6Vの低電圧ロックアウト閾値を備えていています。

STMR（ピン9）：起動タイマー。このピンとグラウンドの間にコンデンサを接続すると、起動時間が123ms/µFに設定されます。起動タイマーの上昇終了時に、GATE1のMOSFETゲート駆動電圧が10Vを下回っているか、MOSFETのドレインとOUTKの間の電圧が100mVを上回っている場合、起動は中断されます。GATE1がローになるとMOSFETがオフになり、FLTがローになって起動フォールトが発生したことを示します。

UV（ピン10）：低電圧コンパレータ入力。入力電源から外付け抵抗分圧器を介して接続し、電源電圧をモニタします。このピンは、GATE1の起動前の立上がりエッジに25msのバウンス防止時間が設定されています。このピンの電圧が1.182Vを下回ると低電圧フォールトが検出され、全てのMOSFETがオフにされます。UVピンが0.6V未満になると、起動エラー、過電流、またはFET短絡によるフォールト後に、フォールト・ラッチがリセットされます。使用しない場合は、V_{CC}に接続します。

CBTMR（ピン11）：過電流フォールト・タイマー。このピンとグラウンドの間にコンデンサを接続して、回路ブレーカのタイムアウト時間を123ms/µFに設定します。その後、過電流フォールトが発生すると、GATE2がローになります。デバイスが自動再試行するように設定されている場合、クールダウン時間の長さが185s/µFとなり、デューティ・サイクルが0.06%になります。

ピン機能

FLT（ピン12）：オープンドレインのフォールト出力。フォールト発生時にローになる出力です。起動フォールト、またはFET異常や過電流フォールトによるフォールト・タイマーのタイムアウトなどで発生します。それ以外の場合は高インピーダンスになるため、外付けプルアップ抵抗を介して正電源へ接続する必要があります。使用しない場合は、未接続のままにします。

PG（ピン13）：オープンドレインのパワー・グッド・ステータス出力。このピンは、パワー・グッド状態が有効になるまでの10ms間、ローに維持されます。10msのパワー・グッド・タイマーが開始するには、ΔV_{GATE2}が10Vを上回り、バイパスMOSFETの端子間電圧差が100mV未満でなければなりません。このピンから正電源電圧に抵抗を接続します。使用しない場合は、未接続のままにします。

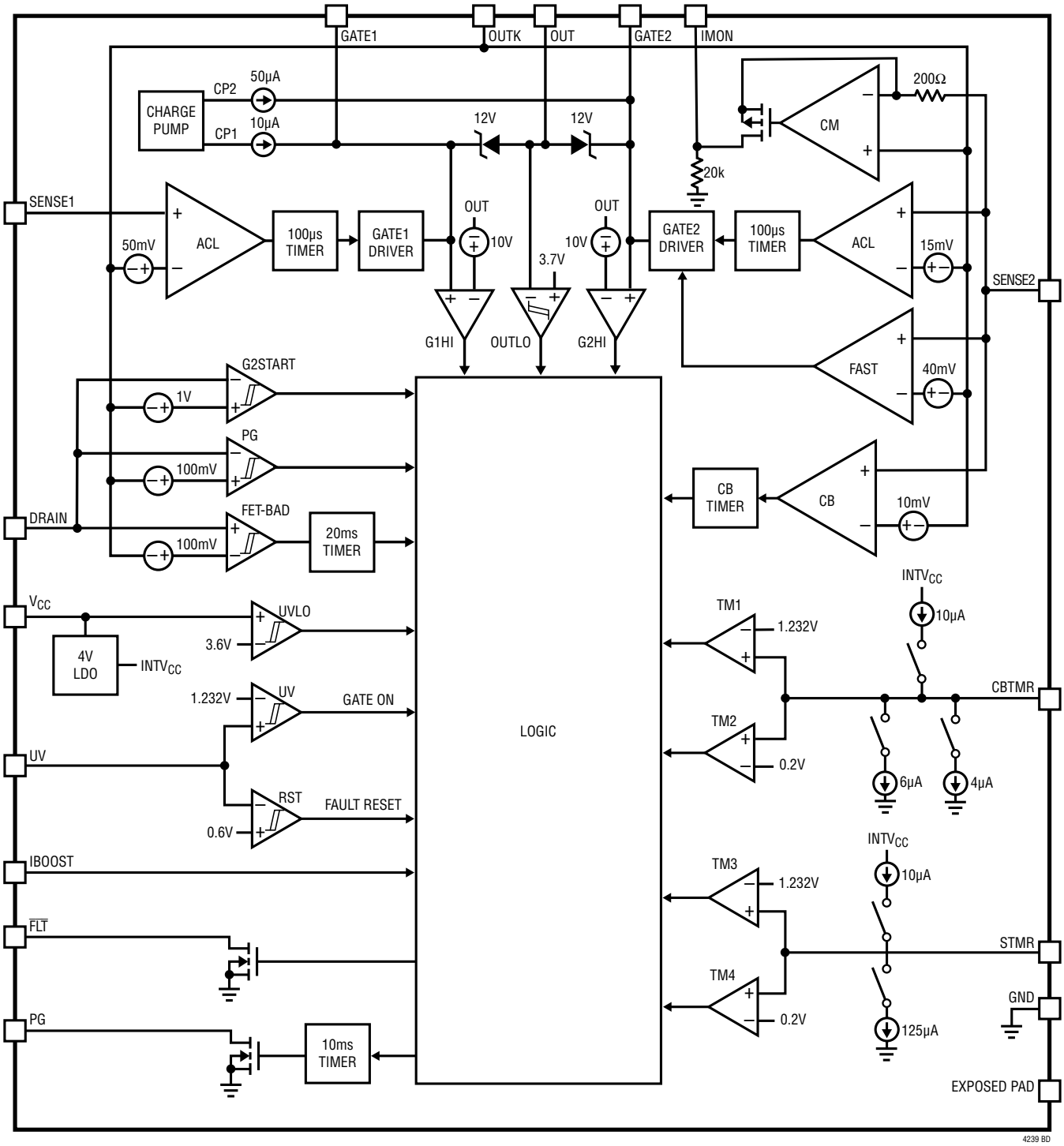
GND（ピン14）：デバイス・グラウンド。

IBOOST（ピン15）：追加負荷要求入力。このピンをハイにすると、回路ブレーカとアクティブ電流制限の閾値が共に2倍になります。これにより、回路ブレーカまたは電流制限タイマーを作動させることなく、バイパスMOSFETは大電流を供給できます。GNDに接続すると、この機能は無効になります。

IMON（ピン16）：電流検出モニタ出力。このピンの電圧は、SENSE2ピンとOUTKピンの間でモニタされる検出電圧に比例し、その比例係数は100です。20kΩの内部抵抗がこのピンからグラウンドに接続されています。OUTが3.7Vを超え、PGがハイになっている場合にのみ測定が有効で、それ以外の場合はグラウンドにプルダウンされてローになります。使用しない場合は、未接続のままにします。

露出パッド（ピン17）：オープンのままにするか、デバイスのグラウンドに接続します。

ブロック図


GATE1
OUTK
OUT
GATE2
IMON
CHARGE PUMP
CP2
CP1
50µA
10µA
12V
12V
200Ω
CM
20k
SENSE1
50mV
ACL
100µs TIMER
GATE1 DRIVER
OUT
10V
OUT
10V
3.7V
GATE2 DRIVER
100µs TIMER
ACL
15mV
SENSE2
G1HI
OUTLO
G2HI
FAST
40mV
G2START
1V
PG
100mV
DRAIN
FET-BAD
100mV
20ms TIMER
CB TIMER
CB
10mV
VCC
UVLO
3.6V
4V LDO
INTVCC
1.232V
UV
GATE ON
LOGIC
UV
RST
FAULT RESET
0.6V
IBOOST
FLT
PG
10ms TIMER
TM1
1.232V
INTVCC
10µA
CBTMR
TM2
0.2V
6µA
4µA
TM3
1.232V
INTVCC
10µA
STMR
TM4
0.2V
125µA
GND
EXPOSED PAD
4239 BD

動作

LT4239は、基板の電源電圧を制御された形でオン／オフできるように設計されているので、通電状態のバックプレーンに対して基板を安全に抜き差しできます。このアーキテクチャでは、電圧トランジェント圧縮（TVS）のような入力保護デバイスは不要です。MOSFETのアバランシェ降伏により入力の電圧スパイクが制限されると共に、V_{CC}ピンに接続されたRCフィルタによってこのトランジェント電圧から保護されます。

LT4239は、2つのゲート駆動を用いた低ストレス・ステージド・スタート（Low Stress Staged Start）技術を採用しており、複数の外付けMOSFETのターンオンをシーケンシャルに実行します。初期起動時、UVの電圧がターンオン閾値を超えると、25msのバウンス防止サイクルが開始して、入力電源が確実に接続されるようにします。バウンス防止後、GATE1は10µAの電流源で充電されます。MOSFET M1がオンになり、GATE1のスルー・レートと出力容量で設定された電流レベルで出力コンデンサが充電されます。突入電流レベルは一般に最大負荷電流よりはるかに小さいので、M1には小型のMOSFETを選択できます。M1に流れる電流は、検出抵抗R_{S1}の電圧降下により常時モニタされます。過電流状態では、この電圧は100µsの間50mVにレギュレーションされてから、デバイスがオフになり、$\overline{FLT}$がローになります。

出力電圧が入力電圧の1V以内まで上昇し、ΔV_{GATE1}が10Vを超えると、M2が50µAの大きなゲート・プルアップ電流でオンになります。MOSFETのコストを抑えるためには、SOA定格が低く、$R_{DS(ON)}$の小さいMOSFETが使用できます。大電流アプリケーションでは、複数のMOSFETを並列に接続することで、電圧降下と消費電力を低減できます。出力電圧が入力電源から100mV以内になり、ΔV_{GATE2}が10Vを超えると、GATE1がオフになります。

10msのパワー・グッド・タイマーが終了すると、PGが高インピーダンスになって、M2が完全にエンハンスされ負荷に供給できる状態になったことをシステムに示します。バウンス防止時間終了からパワー・グッド・タイマー開始までの時間は、STMRピンからグラウンドに接続するコンデンサで設定します。出力のソフト短絡、MOSFETの接続不良、または設計ミスなど何らかの理由で起動タイマーが終了するまでにPGタイマーがスタートしない場合、LT4239はラッチオフして$\overline{FLT}$をローにします。UVピンが0.6Vのリセット閾値未満になると、デバイスは再起動します。

M2に流れる電流によって検出抵抗R_{S2}で10mVを超える電圧降下が生じると、CBTMRピンのコンデンサで設定された時間、回路ブレーカ・タイマーがスタートします。回路ブレーカ・タイマーが終了すると、M2がオフになり、$\overline{FLT}$がローになります。出力短絡時などM2を流れる電流が大きくなった場合、R_{S2}での電圧降下は100µsの間15mVに調整されます。$\overline{FLT}$ピンをUVピンに接続すると、長時間のクールダウン後に自動再試行が可能になります。

LT4239は、PGが高インピーダンスになった後も、MOSFETの状態を常時モニタしています。動作中に入力から出力への電圧降下が100mVを超えるか、ΔV_{GATE2}が10V未満になると、20msのFET異常タイマーがスタートします。タイマーが終了するとGATE2がラッチオフされ、$\overline{FLT}$がローになります。UVではこのようなフォールトをリセットできないので、V_{CC}ピンを低電圧誤動作防止電圧である3.6V未満に一時的に低下させて、デバイスを再起動します。

また、LT4239には、フォールト・タイマーを作動させずにパス・トランジスタに電流を流すことができる昇圧モードが搭載されています。IBOOSTピンが1.6Vを超えると、回路ブレーカと電流制限の両方の閾値が2倍になります。また、FET異常フォールトの閾値も2倍になり、一時的に負荷の急増を許容します。

電流検出アンプ（CM）は通常動作時にアクティブとなり、電流検出抵抗R_{S2}を流れる電流を正確にモニタします。検出電圧は100倍に増幅され、グラウンドを基準としてレベル・シフトされて、IMONピンから出力されます。このアナログ出力電圧は、外付けADCでデジタル化できます。

アプリケーション情報

多くの大電流ホット・スワップ・アプリケーションでは、電圧降下、電力損失およびそれに伴うパス・トランジスタの温度上昇を最小限に抑えるため、複数のMOSFETが並列使用されています。ゲート閾値のばらつきにより、1つのゲート・ドライバで駆動される並列MOSFETでは、初期ターンオン時や電流制限時に電流が1つのMOSFETに集中する傾向があります。そのため、こうしたイベントに耐えうる十分なSOAを有する高価なMOSFETが必要になります。LT4239は、2つのゲート・ドライバを搭載し、初期ターンオンと電力配分を個別に制御することで、低コストなソリューションを提供します。初期ターンオンには起動用MOSFETのみが必要で、電力配分用の1つ以上の低$R_{DS(ON)}$並列MOSFETは起動をバイパスします。以下のセクションでは、ターンオン、ターンオフ、およびLT4239が検知して対処する様々なフォールトについて説明します。外付け部品の選択については、設計例のセクションで詳しく説明します。

高可用性システムで12V電源により100A負荷で動作する代表的なLT4239のアプリケーション回路を図1に示します。OUTピンの基板電源は、電源経路に配置された外付けのNチャンネルMOSFET(M1、M2)で制御されます。M1は起動用のトリクルMOSFETで、M2は電力を通過させるための並列MOSFET群で構成されます。MOSFETに流れる電流は、MOSFETのソース側に接続された検出抵抗(R_{S1}、R_{S2})でモニタされます。抵抗R10～R13は検出抵抗の平均化ネットワークを構成します。UVピンの抵抗R1とR2は、MOSFETをオンにするための入力電源の低電圧レベルを定義します。R_{VCC}とC1は、入力電源のトランジェント・スパイクからV_{CC}ピンを保護し、出力短絡時に入力電源が急減した場合にV_{CC}電圧を保持します。MOSFETのドレイン電圧は、DRAINピンのR_{DRAIN}でモニタされます。R3、R4はそれぞれ、M1、M2の高周波自己発振を防止します。また、GATE1ピンのRCネットワーク、R_{G1}とC_{G1}は、起動時の負荷容量への突入電流を制限します。

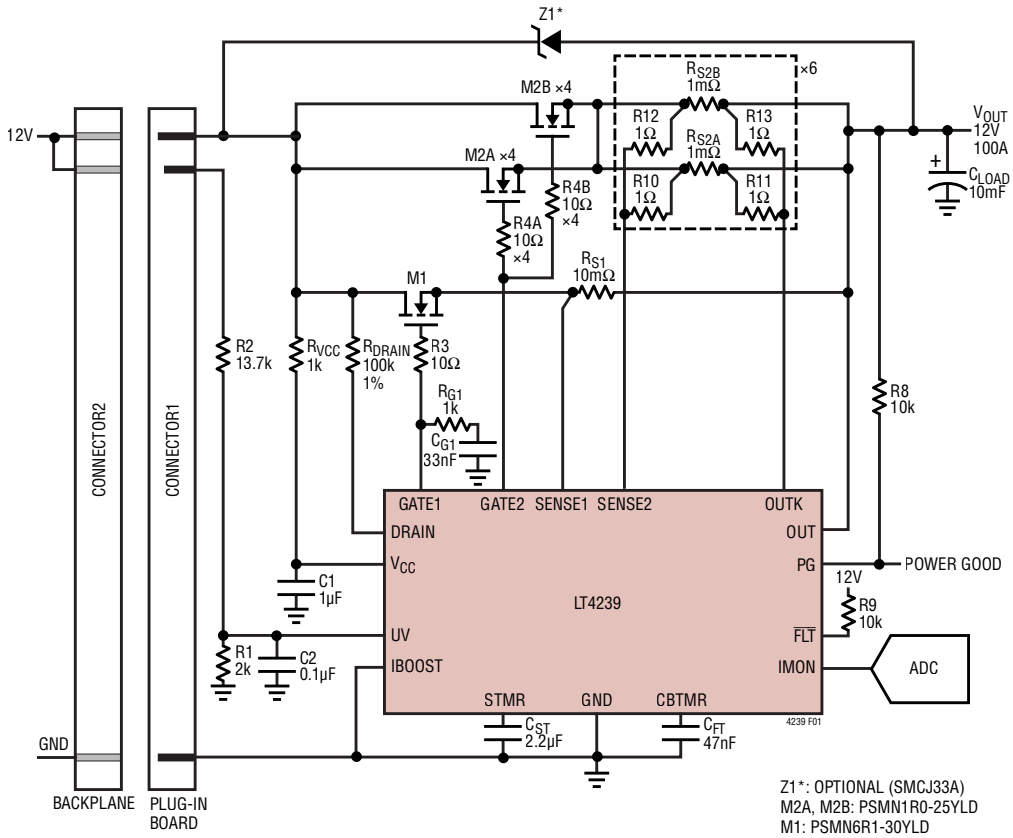


図1. 代表的なアプリケーション

アプリケーション情報

ターンオン・シーケンス

MOSFETがオンになる前に、V_{CC}電源が3.6Vの低電圧ロックアウト・レベルを超えている必要があります。その後、Nチャンネル MOSFETはデュアル・ゲート駆動で2段階でオンにされ、負荷電流を流します。入力電源がR1/R2分圧器で設定されたUV低電圧閾値を超えると、25msの内部バウンス防止遅延が開始します。バウンス防止サイクル中、外付けMOSFETのドレインとOUTKピンの間で外付けMOSFETの健全性がモニタされます。電圧差が1.3V未満となって、MOSFETのドレイン／ソースが短絡していることを示している場合、バウンス防止サイクルの終了時にFLTがローになります。それ以外の場合、最初にチャージ・ポンプから10µAの電流源でGATE1が充電されてMOSFET M1がオンになります。同時に、STMRピンの電圧が10µAの電流源で上昇し始めます。STMRからGNDにコンデンサを接続し、トータルの起動許容時間を設定します。GATE1ピンの電圧は、10µA/C_{G1}に等しい勾配で上昇し、負荷コンデンサC_{LOAD}に流れる突入電流は、(10µA/C_{G1}) • C_{LOAD}に制限されます。

OUTの電圧は、M1がスレッショールド電圧に達した後、GATE1に追従します。C_{G1}が小さすぎると、R_{S1}に流れる電流が大きくなりすぎて電流制限値に達してしまい、内部で設定された100µsのタイマーが作動します。タイマーが終了すると、FLTピンがローになり、フォールト状態を示します。C_{G1}を適切に選択することで、電流を電流制限値以下に保つことができ、GATE1を充電してM1をオンにすることができます。M1のゲート駆動が10Vを超え、MOSFETのドレインとOUTKピンの間の電圧差が1Vを下回ると、GATE2が50µAの電流源で充電されます。

GATE2の上昇に伴い、M2はそのスレッショールド電圧を超えた時にオンになります。GATE2が完全にオンになり、MOSFETのドレインとOUTKピンの間の電圧が100mVを下回ると、GATE1がOUTにプルダウンされてM1がオフになります。STMRピンは、125µAの電流によってグラウンドにリセットされます。10msのパワー・グッド・タイマーが開始し、GATE2は、GATE2とOUTの間の内部12Vクランプによって制限されるまで充電を継続します。タイマーが終了すると、PGが解除されてハイになり、電源が正常であることを示し、負荷を作動させることができます。STMRピンの容量値は、STMRがフォールトの閾値に達することなく、GATE2が正常に起動するのに十分な上昇期間の長さになるように選択する必要があります。

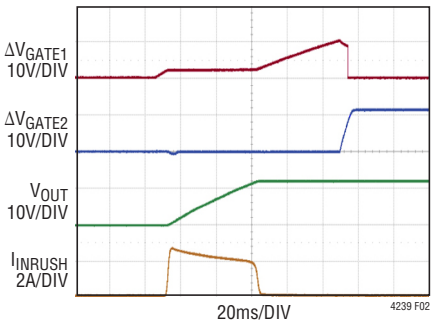


図2. 正常な起動波形

ターンオフ・シーケンス

UVピンが1.182Vの閾値(50mVのヒステリシス)未満になると、通常のターンオフが開始します。MOSFETは10mAの電流でターンオフし、GATEピンがOUTにプルダウンされます。また、いくつかのフォールト状態では、GATEピンがターンオフされることがあります。例えば、FET短絡やFET異常の検出、起動時やパワー・グッド後の過電流状態などです。出力過電流フォールト時には、GATE2が50mAでOUTにプルダウンされます。また、突入時や通常動作時に深刻な出力短絡を検出した場合、GATE1またはGATE2がそれぞれ130mAまたは600mAの電流源でOUTにプルダウンされます。また、V_{CC}ピンが3.6Vの低電圧ロックアウト閾値を下回った場合も、GATE1、GATE2ピンはそれぞれ130mA、600mAでOUTピンにプルダウンされます。

GATEのRCネットワークによる定電流起動

トリクルMOSFET M1では、起動用にRCネットワークを使用する必要があります。抵抗とコンデンサを直列接続したネットワーク(図1のR_{G1}とC_{G1})をGATE1からグラウンドまで接続することにより、GATE1のスルー・レートと突入電流が電流制限値未満に制限されます。起動時に電流制限がかからず、内蔵の100µsフォールト・タイマーが作動しないため、M1には安全動作領域が小さいMOSFETを使用できます。R_{G1}の選択は、$I_{GATE1(UP)}$ • R_{G1}をMOSFETのスレッショールド電圧より小さくして、起動初期に電流が急増しないようにする必要があります。R_{G1}の値が小さすぎると、電流制限回路の安定性が低下することがあります。正常動作のために、R_{G1}は470Ω以上、C_{G1}は100nF以下としてください。

アプリケーション情報

MOSFETの寄生発振

回路発振の全てが電流制限ループに起因するわけではありません。MOSFETそれ自身が高周波発振の原因となる場合があります。(珍問／難問集—Issue 151、ハイサイドの電流検出を参照)。寄生発振のメカニズムには2つの可能性があります。1つは、一般に1MHz以上の高周波数で発生するタイプです。この高周波発振は、図1に示すようにゲート抵抗R3、R4で容易に減衰させることができます。また、アプリケーションによっては、これらの抵抗が短絡トランジェント現象からのリカバリに役立つこともあります。しかし、抵抗が大きすぎるとターンオフ時間が遅くなります。R3、R4は、5Ω～500Ωの範囲を推奨します。10Ωにするとターンオフ時間に影響を与えることなく安定した動作が得られます。これらの抵抗は、MOSFETのゲート・ピンに隣接させ、その間に他の接続を設けないようにする必要があります。複数のMOSFETを並列に接続する場合は、全てのMOSFETにそれぞれのゲート抵抗を接続します。

2つ目のタイプの寄生発振は、MOSFETソースの負荷が10µF未満で、ドレインに配線インダクタンスなどの誘導性インピーダンスが付加された場合に、200kHz～800kHzの周波数で発生するものです。この2番目の発振を防ぐためには、ソースへの負荷を10µFより大きくして、入力電源を10Ω、100nFのスナバでグラウンドに直列にバイパスします。

GATE1起動時の過電流フォールト

LT4239は、MOSFET M1を起動時の短絡や過電流から保護するためにアクティブ電流制限機能を備えています。レールtoレールのアクティブ電流制限(ACL)アンプで、MOSFET M1のソース側にある検出抵抗R_{S1}の端子間電圧を監視しています。過電流が発生すると、ACLアンプがMOSFETのゲートを制御して、検出抵抗の端子間電圧を50mVに維持します。この時点で、内部フォールト・タイマーがタイムアウトするまで100µs作動します。MOSFETはGATE1が10mAでOUTにプルダウンされてオフになり、フォールトがラッチオフされ、FLTピンがローになります。

起動時に深刻な短絡フォールトが発生した場合、出力電流は瞬間的に数十アンペアにまで急増します。LT4239は1µs以内に応答し、GATE1をOUTにプルダウンすることで電流を制御します。MOSFET M1のゲートは、R_{G1}とC_{G1}のネットワークにより、ほぼ瞬時に回復し、100µsのフォールト・タイマーが終了するまで電流は能動的に制限されます。

パワー・グッド後の過電流フォールト

GATE1の起動後、MOSFET M1を介して負荷コンデンサが完全に充電されると、MOSFET M2がオンになって電源経路で負荷電流が流れるようになります。パワー・グッド後に過電流が発生した場合、MOSFET M2を破損から保護するためのメカニズムが3つあります。1つ目は、調整可能なタイマーを備えた電子回路ブレーカ(ECB)です。2つ目はアクティブ電流制限(ACL)で、最後の1つはコンパレータで出力が3.7V未満になったことを検出する方法です。

MOSFET M2のソース側にある検出抵抗R_{S2}の電圧が、電子回路ブレーカ(ECB)とアクティブ電流制限(ACL)アンプでモニタされています。検出抵抗の端子間電圧がECB閾値$\Delta V_{SENSE2(CB)}$(10mV)を超え、その状態がCBTMRピンで設定されたフォールト・フィルタ遅延時間より長く継続した場合、電子回路ブレーカはMOSFETをオフにします。フォールト・フィルタは、10µAの電流でCBTMRピンのコンデンサを充電してタイマーを開始します。それ以外の場合、検出電圧がECB閾値を下回ると、10µAで放電されます。CBTMRピン電圧が1.232Vの閾値を超えた場合、GATE2が50mAでOUTにプルダウンされてMOSFETがオフになり、フォールトがラッチオフされてFLTピンがローになります。与えられた回路ブレーカの遅延時間t_{CB}に対する外付けコンデンサC_{FT}の設定値は、式1で与えられます。

$$C_{FT} = t_{CB} \bullet 0.008[\mu F/ms] \quad (1)$$

MOSFETがオフになった後、CBTMRピンのコンデンサが、4µAのプルダウン電流で閾値が0.2Vになるまで放電されます。その後、CBTMRピンで10µAと4µAの充電が512回繰り返され、MOSFETを冷却するためのクールオフ・サイクルが実行されます。図8に示す自動再試行回路を構成した場合、過電流デューティ・サイクルは1:1280となります。クールオフ期間中、FLTピンはローのままで、UVピンを0.6V未満にしても出力は再スタートできません。

ECB閾値$\Delta V_{SENSE2(CB)}$の1.5倍である検出電圧がACL閾値$\Delta V_{SENSE2(ACL)}$(15mV)を超えると、アクティブ電流制限が開始します。ACLアンプはMOSFETのゲートを制御して、検出抵抗端子間のACLスレッショールドを維持します。こ

アプリケーション情報

の時点で、内部フォールト・タイマーがタイムアウトするまで100µs作動します。GATE2が50mAでOUTにプルダウンされてMOSFETがオフになり、FLTピンもローになります。

パワー・グッド後に12V出力に深刻な短絡フォールトが発生した場合、出力電流が急増することがあります。高速コンパレータの閾値$\Delta V_{SENSE2(FAST)}$（40mV）を超えると、LT4239は1µs以内に応答し、フォールトをラッチオフせずにGATE2をOUTにプルダウンして電流を制御します。OUT電圧が3.7Vを下回ると、GATE2も素早くOUTにプルダウンしてMOSFETがオフになり、FLTピンがローになってフォールトがラッチオフされます。全ての過電流フォールトで、MOSFETを冷却するためのクールオフ・サイクルが起動した後に出力が再スタートできます。

図3に示す波形は、パワー・グッド後の過電流フォールトに続けて出力がオフになる様子を示しています。

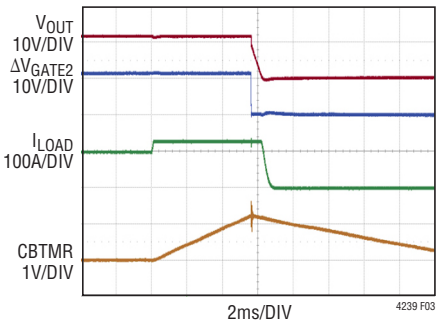


図3. パワー・グッド後の過電流フォールト

低電圧フォールト

UVピンは、ターンオン制御および入力電源モニタとして機能します。電源入力とGNDの間に接続されたUVピンの抵抗分圧器により、電源の低電圧状態をモニタします。低電圧の閾値は、UVの立上がりスレッショールド電圧（1.232V）に合わせて抵抗を適切に選択することで設定します。図1では、R1 = 2k、R2 = 13.7kの場合、入力電源の低電圧閾値は9.7Vに設定されます。

入力電源が低電圧閾値を下回ると、低電圧フォールトが発生します。UVピン電圧が270µs以上1.182Vを下回りながらも0.6Vを上回る状態が続くと、GATE1とGATE2の両方からOUTに10mAのプルダウン電流が流れてMOSFETはオフになります。しかし、UVピンの電圧が0.6Vを下回ると、MOSFETがオフになり、フォールト・ラッチが解除されます。GATE1は、バウンス防止遅延時間を経て、入力電源が低電圧閾値以上に回復した後でのみ、再起動できます。

低電圧フォールト状態では、FLTはローになりませんが、GATEピンが両方ともローにプルダウンされているため、PGはローになります。

FET異常フォールト

ホット・スワップ・アプリケーションにおいて、いくつかのフォールトではMOSFETがオンにならず、ロー・インピーダンス状態にならないことがあります。損傷したMOSFETは、ゲートからドレインへリークが生じたり、$R_{DS(ON)}$が劣化したりしている可能性があります。また、基板上のゴミによって、MOSFETのゲートからソース、ドレイン、またはグラウンドへリークや短絡が発生することもあります。

このような条件下では、LT4239はMOSFETを完全にエンハンスするほど十分にはGATEピンをハイにできません。STMR電圧が1.232Vの閾値に達した時に、GATE1またはGATE2電圧がOUTの電圧より10V高い閾値に到達しなかった場合、起動フォールトが発生します。FLTピンはローになり、GATEピンは10mAの電流源でOUTにプルダウンされます。起動フォールトでは、MOSFETを冷却するための512のタイミング・サイクルがCBTMRピンでアクティブになりません。

負荷がオンになった後にFET異常状態が発生した場合、GATE2のドライブが完全にエンハンスされた時にMOSFET M2が所定の$R_{DS(ON)}$に達しないことがあります。このため、電流が制限電流未満であるにもかかわらず、MOSFETの電力がその連続電力能力より高い状態になってしまうことがあります。LT4239は、2つの方法でMOSFET M2の完全性をモニタし、どちらに対しても同様に対処します。

1つ目の方法では、LT4239は、検出抵抗の電圧降下を含む、MOSFETのドレインとOUTKピンの間の電圧をモニタします。M2 MOSFETのドレイン・ソース間電圧が、100mVのFET異常フォールト閾値より大きい場合、異常が検出されます。

2つ目の方法では、LT4239はGATE2電圧をモニタします。MOSFETが破損すると、ゲートからソース端子またはドレイン端子への抵抗性短絡により、GATE2電圧が低下すること

アプリケーション情報

があります。GATE2電圧が10V閾値を下回ると、FET異常状態が検出されます。

いずれかのFET異常状態が発生すると、20msの内部FET異常フォールト・タイマーが作動します。このタイマーは、FET異常状態が解消するたびにリセットされます。タイマーが終了すると、FLTピンはローに、GATE2はOUTに10mAの電流でプルダウンされます。FET異常フォールト検出のクリアは、V_{CC}を3.6Vの低電圧ロックアウト閾値未満まで低下させることでのみ可能です。

FET短絡フォールト

LT4239は、バウンス防止サイクル時にMOSFETの完全性をモニタします。25msのバウンス防止サイクル終了時に、MOSFETのドレインとOUTKピンの間の電圧が1.3V未満のままである場合、FET短絡フォールトが検出されます。バウンス防止サイクル終了後、FLTピンがローになります。LT4239は、フォールトが解消され、デバイスが再起動できるようになるまでに、512タイミング・サイクルのクールオフ期間に入ります。

フォールトのリセット

起動時やパワー・グッド後に発生したフォールトにより、LT4239はラッチオフし、FLTピンはローになります。UVピンが0.6V未満になると、ラッチされたフォールトはリセットされます。クールオフ期間中にUVがローにプルダウンされた場合、フォールトはリセットされません。しかし、クールオフ期間が終了するまでUVがローのままであれば、クールオフ期間終了時にフォールトはリセットされます。クールオフ期間後にUVがローになった場合、フォールトは即座にリセットされます。フォールト・ラッチがクリアされた後にUVが再びハイになると、バウンス防止のタイミング・サイクルが開始してからGATE1が起動します。

図8に示す回路で、FLTをUVに接続することにより、自動再試行を設定できます。フォールトによりFLTピンがローになると、UVピンも0.6V未満になって、フォールト・ラッチがリセットされます。クールオフ期間が後に続くフォールトの場合、出力が再開するのは、フォールトがリセットされるクールオフ期間が終了した時に限ります。しかし、クールオフ・サイクルが起動されないフォールトの場合、フォールトは即座にリセットされるため、バウンス防止のタイミング・サイクルが再開できます。ただし、パワー・グッド後にFET異常が検出された場合は例外で、FLTピンはローのままとなり、バウンス防止のタイミング・サイクルは開始されません。

V_{CC}が低電圧ロックアウト電圧(3.6V)を下回るまで入力電源電圧が低下すると、全てのMOSFETがシャットオフされ、フォールト・ラッチがリセットされます。デバイスがクールオフ・サイクルにある間にフォールトがリセットされた場合も同様です。

IBOOSTによる回路ブレーカと電流制限の閾値の2倍化

IBOOSTピンを使用すると、回路ブレーカ、電流制限値、およびFET異常フォールトの閾値を2倍にして、パワー・グッド後における負荷サージのライド・スルーが可能となります。起動チャンネルの電流制限値は増加しません。IBOOSTピンを1.6V以上にプルアップすると、これらの閾値が2倍になり、フォールトを発生させずに大電流をパス・トランジスタに流すことができるようになります。ただし、電流制限値を高く設定すると、出力が短絡した場合にMOSFETの消費電力が大きくなります。IBOOSTピン機能を使用する場合、最も厳しい条件である短絡時のMOSFETの消費電力が大きくなることを考慮して、MOSFETを適切に選択する必要があります。

MOSFET電流のモニタ

検出抵抗R_{S2}に流れる電流は、LT4239の電流検出アンプにより、SENSE2ピンとOUTKピンでモニタされます。図4を参照してください。検出アンプにはOUT電圧から電源が供給され、この電圧はIMON出力が有効となるために3.7Vを超える電圧でなければなりません。アンプのマイナス入力端子とSENSE2ピンの間に200Ωの内部抵抗R_{IN}が接続されています。また、IMONピンとGNDピンの間には、20kΩの内部抵抗R_{OUT}が接続されています。IMON出力電圧は、$(R_{OUT}/R_{IN}) \bullet V_{SENSE}$に等しくなります。$R_{OUT}/R_{IN}$の抵抗比は、検出アンプの電圧ゲインを規定し、100に設定されています。検出アンプへのフルスケール入力検出電圧は30mVで、IMONピン出力の3Vに相当します。入力電源電圧が5Vを上回る場合、入力検出電圧の許容範囲を超えると、出力は4.9Vでクランプされます。OUT電圧が3.7V未満の場合、IMONピンはグラウンド電位に保持されます。

IMONピンからGNDに接続されているコンデンサは、出力のノイズを低減すると共に、ADCなどのスイッチング回路を駆動する際のピンの安定性を維持するためのチャージ・リザーバとしても有効です。

アプリケーション情報

電源トランジェント

カードに搭載されるアプリケーションでは、電源の誘導性に逆らって出力が短絡すると、入力がほぼグラウンド電位まで急減し、電源電圧が低下することがあります。LT4239のアーキテクチャでは、V_{CC}ピンにシンプルなRCフィルタを接続することで、こうした事象が発生した時に電源電圧が低電圧ロックアウト閾値を下回らないように保持できます。一方、LT4239の高速コンパレータは、検出抵抗を流れる短絡電流がトリップ閾値を上回ると、1µs未満以内にMOSFETをオフにします。すると、入力電源電圧が急速に回復し、誘導性の反発により非常に高い値までオーバーシュートします。RCフィルタを接続してトランジェント・スパイクを減衰させることで、V_{CC}ピンは損傷から保護されます。このため、電圧トランジェント圧縮(TVS)をV_{CC}からGNDに接続する必要はありません。入力では、TVSを使用しなければ、電圧スパイクがMOSFETのブレークダウンを引き起こすレベルまで上昇し、インダクタの電力量を出力に放出することがあります。仕様規定されているアバランシェ電流や電力量を超えると、MOSFETが破損するおそれがあります。保護性能を高めるために、電源入力から出力までのMOSFET端子間にTVS(Z1)を追加できます。図1を参照してください。

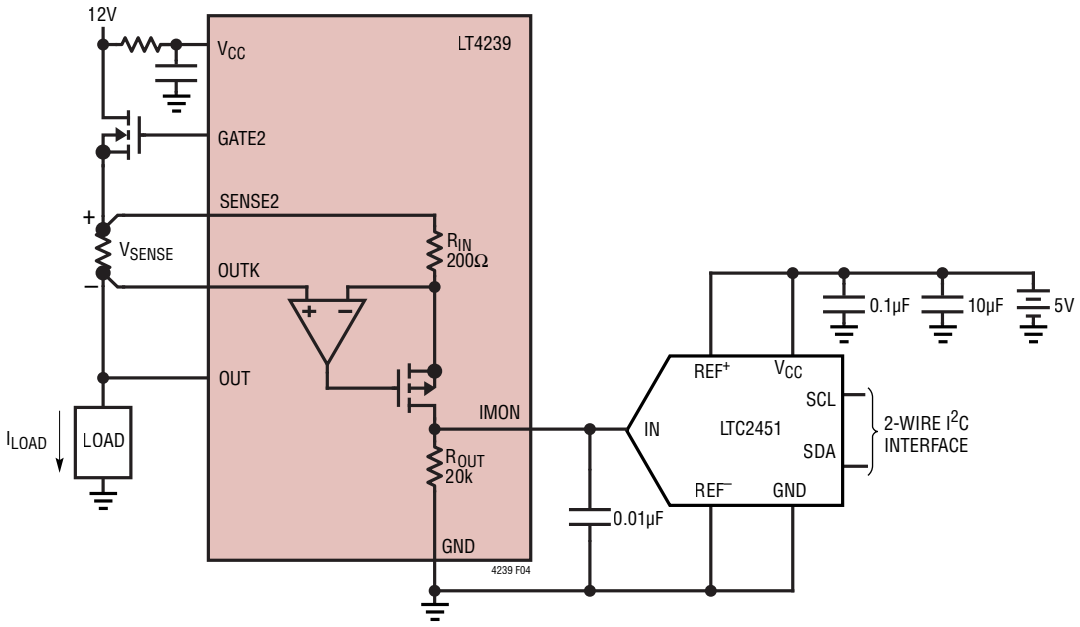


図4. LTC2451のADCによるロー・サイド電流モニタ

アプリケーション情報

設計例

設計例として、以下の仕様を考えます。V_{IN} = 12V、$I_{LOAD(MAX)}$ = 100A、C_{LOAD} = 10mF、V_{UV} = 9.7V、起動時の電流制限値を50mVに設定したトリクルMOSFET、および負荷電流導通時の電流制限値を10mVに設定した並列MOSFET群を使用した場合を考えます(図1参照)。

まず、電流検出抵抗R_{S1}とR_{S2}の値を適切に選択します。R_{S2}の値は、最大負荷電流$I_{LOAD(MAX)}$と回路ブレーカ・トリップ閾値の下限値$\Delta V_{SENSE2(CB)(MIN)}$から計算します(式2を参照)。

$$R_{S2} = \frac{\Delta V_{SENSE2(CB)(MIN)}}{I_{LOAD(MAX)}} = \frac{9.5mV}{100A} = 0.095m\Omega \quad (2)$$

検出抵抗の値が非常に小さいため、大きめの値の検出抵抗を複数並列に接続することで、センシング精度を高め消費電力を制限値内に抑えることができます。この設計では、R_{S2}には公差1%、1mΩの検出抵抗が12個並列に使用されています。

並列接続した複数の検出抵抗で特定の抵抗値を得るためには、平均化抵抗R_Aを、接続する検出抵抗と同じ比率kで選択する必要があります。図5を参照してください。これにより、電流制限回路は、この実効検出抵抗に対して正しい検出電圧を測定できます。最小の平均化抵抗は1Ωを超えてはいけません。

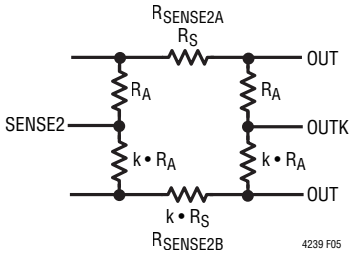


図5. 加重平均検出電圧

次に、突入電流I_{INRUSH}と電流制限閾値の下限$\Delta V_{SENSE1(ACL)(MIN)}$から$R_{S1}$値を計算します。突入電流は4Aとして、10mFの$C_{LOAD}$を30msで12Vまで満充電します。M1のゲートにコンデンサC_{G1}を付加して、突入電流を実現します(式3を参照)。

$$C_{G1} = \frac{C_{LOAD} \bullet I_{GATE1(UP)}}{I_{INRUSH}} = \frac{10mF \bullet 10\mu A}{4A} = 25nF \quad (3)$$

C_{G1}の実用的な値として、公差10%の33nFを選択します(式4を参照)。

$$R_{S1} = \frac{\Delta V_{SENSE1(ACL)(MIN)}}{I_{INRUSH}} = \frac{45mV}{4A} = 11m\Omega \quad (4)$$

R_{S1}の検出抵抗には、公差1%の10mΩを選択します。

MOSFET M1は、起動時に負荷コンデンサC_{LOAD}を充電する際の突入時の消費電力に対応できるものを選択します。消費電力の決定方法は、MOSFETで消費される電力量と負荷コンデンサに蓄えられる電力量が同じであるという原理から、式5で与えられます。

$$E_{CL} = \frac{1}{2} C_{LOAD} V_{IN}^2 = \frac{1}{2}(10mF)(12V)^2 = 0.72J \quad (5)$$

C_{LOAD}の充電にかかる時間を計算します(式6)。

$$t_{CHARGE} = \frac{C_{LOAD} \bullet V_{IN}}{I_{INRUSH}} = \frac{10mF \bullet 12V}{4A} = 30ms \quad (6)$$

式7で、MOSFET M1の平均消費電力を計算します。

$$P_{DISS} = \frac{E_{CL}}{t_{CHARGE}} = \frac{0.72J}{30ms} = 24W \quad (7)$$

選択したMOSFETのSOA(安全動作領域)曲線を評価して、パッケージの熱容量が30msで24Wを許容できることを確認する必要があります。PSMN6R1-30YLDのSOA曲線は100msで30W(10Vで3A)を示しており、この条件を満たしています。

回路が出力短絡になった場合、短絡電流はフォールトがラッチオフされるまでの100µsの間制限されます。式8で、最大アクティブ電流制限閾値$\Delta V_{SENSE1(ACL)(MAX)}$と$R_{S1}$の最小値から、最大短絡電流を計算します。

$$I_{SHORT1(MAX)} = \frac{\Delta V_{SENSE1(ACL)(MAX)}}{R_{S1(MIN)}} = \frac{55mV}{9.9m\Omega} = 5.6A \quad (8)$$

したがって、アクティブ電流制限時にMOSFET M1で消費される最大電力は、100µsで5.6A • 12V = 67.2Wとなります。

アプリケーション情報

PSMN6R1-30YLDのSOA曲線は100µsで500W (10Vで50A)を示しており、この条件を満たしています。

起動タイマー・コンデンサ(C_{ST})は、バウンス防止完了からPGタイマー開始までの正常起動に許される合計時間を決定します。STMRの立上がり時間が200msで、PGタイマーが開始するまでの時間の2倍長い場合は次のようになります(式9)。

$$C_{ST} = 200ms \bullet 0.008[\mu F/ms] \cong 1.6\mu F \quad (9)$$

MOSFET M2は、負荷コンデンサがM1を介して満充電になってからのみオンになるため、100µsのアクティブ電流制限時の消費電力に対応できるようなMOSFETを選択します。

式10により、最大アクティブ電流制限閾値$\Delta V_{SENSE2(ACL)(MAX)}$と$R_{S2}$の最小値から最大短絡電流を計算します($R_{S2}$の検出抵抗は1mΩを12本並列にしたもの)。

$$I_{SHORT2(MAX)} = \frac{\Delta V_{SENSE2(ACL)(MAX)}}{R_{S2(MIN)}/12} = \frac{17mV}{0.99m\Omega/12} = 206A \quad (10)$$

出力が短絡して3.7V未満になった場合、アクティブ電流制限を行わずにMOSFET M2が即座にオフになって、フォールトがラッチオフされます。したがって、12V出力が4Vに低下した場合、アクティブ電流制限時のMOSFETの最大消費電力は、100µsで206A • (12V – 4V) = 1648Wとなります。電流制限時は複数のMOSFETが並列動作しますが、ゲート閾値間のオフセット・ミスマッチにより、MOSFET 1つ分のSOAしか提供されません。スレッショールド電圧が最も低いMOSFETは、他のMOSFETよりも多くの電流を流す可能性があり、スレッショールド電圧の温度係数は負なので、温度が高くなるほど更に多くの電流が流れます。PSMN1R0-25YLDのSOA曲線は100µsで2500W(10Vで250A)を示しており、この条件を満たしています。

もう1つの選択基準は、MOSFETの$R_{DS(ON)}$を1mΩ以下と小さくすることで、電圧降下を最小限に抑え、最大負荷電流での消費電力を制限内に維持することです。この設計では、8つのMOSFETを並列に使用し、各MOSFETの消費電力を低減しています。また、$R_{DS(ON)}$の実効値は、FET異常フォールト閾値のトリガを回避するために十分に低く保たれています。

CBTMRピンのフォールト・タイマー・コンデンサ(C_{FT})は、過電流フォールト時にMOSFET M2の消費電力がSOA定格を超えないようにするためのものです。式11により、アクティブ電流制限が作動する前のフォールト・タイマー期間中における、最も厳しい条件である短絡時の電流を計算します。

$$I_{SHORT2(WORST)} = \frac{\Delta V_{SENSE2(ACL)(MAX)} - \Delta V_{SENSE2(CB)(MIN)}}{R_{S2(MIN)}/12}$$

$$I_{SHORT2(WORST)} = \frac{17mV - 9.5mV}{0.99m\Omega/12} = 91A \quad (11)$$

短絡電流を8つの並列MOSFETで均等に分散すると仮定すると、12V出力が4Vに急減した場合のフォールト・タイマー期間中の各MOSFETの最大消費電力は(91A/8) • (12V – 4V) = 91Wとなります。PSMN1R0-25YLDのSOA曲線は、10msで200W(10Vで20A)を示しています。

MOSFETのSOA定格条件は、5msのフォールト・タイマー期間で満たされます(式12)。

$$C_{FT} = 5ms \bullet 0.008[\mu F/ms] \cong 47nF \quad (12)$$

最後に、12V電源の低電圧閾値である9.7Vを定義するUVピンの抵抗分圧器の値を選択します。UVピンのリーク電流は±1µAと高いため、結果として生じるオフセット誤差を最小化するように、分圧器の合計抵抗値を十分低くする必要があります。リーク電流による誤差が±0.2%以下になるように、式13に基づいて下側の抵抗R1を計算します。

$$R1 = \left(\frac{V_{UV(TH)}}{I_{(LEAK)}}\right) \bullet 0.2\% = \left(\frac{1.232V}{1\mu A}\right) \bullet 0.2\% = 2.4k \quad (13)$$

誤差が±0.2%未満になるようにR1を2kΩとし、R2について式14を解くと、R2 = 13.7kΩとなります。

$$R2 = \left(\frac{V_{IN(UV)}}{V_{UV(TH)}} - 1\right) \bullet R1$$

$$R2 = \left(\frac{9.7V}{1.232V} - 1\right) \bullet 2k = 13.7k \quad (14)$$

UVピンには0.1µFのコンデンサC2を配置し、電源グリッチによるMOSFETのターンオフを防止します。

また、DRAINピンには、MOSFETのドレイン電圧を高精度に検出するために、公差1%、100kΩの抵抗R_{DRAIN}を配置しています。また、V_{CC}ピンにも1kΩの抵抗と1µFのセラミック・

アプリケーション情報

バイパス・コンデンサで構成されるRCフィルタを配置しているため、入力電源からグラウンドまでのTVSは不要です。

レイアウト時の考慮事項

高精度の電流検出を行うためには、検出抵抗をケルビン接続することが必要です。PCB上の寄生成分のバランスをとるため、ケルビン検出用パターンのレイアウトはバランスよく、対称になるようにする必要があります。PCBレイアウトが適切でも、個々の並列検出抵抗で検知した電圧を平均化するために抵抗ネットワークを使用する必要があります。図11に示す12V/100Aのアプリケーションでは、LT4239のSENSE2ピンとOUTKピンに、6つの0.5mΩ検出抵抗が1Ωの抵抗アレイで接続されています。その結果、SENSE2ピンとOUTKピンの間の電圧は、0.5mΩ検出抵抗端子間の全電圧の平均となり、6つの0.5mΩ抵抗が効果的にケルビン検出されることになります。また、同じ配置で12個の1mΩ抵抗をケルビン検出するように拡張できます。SENSE2ピンとOUTKピンの間の実効検出抵抗に影響を与えないように、10mΩのR_{S1}からのケルビン検出接続はOUTKには接続しません。図6に推奨PCBレイアウトを示します。

MOSFETを通る電源経路に関連するPCBパターンは、低抵抗でなければなりません。2オンス銅箔の推奨パターン幅は、PCBパターン抵抗、電圧降下、温度上昇を最小限に抑えるため、1アンペアあたり0.01インチ以上です。なお、2オンス銅箔のシート抵抗は約0.25mΩ/平方です。大電流アプリケーションでは、小さな抵抗でもすぐに大きな影響が生じます。

ノイズ耐性を向上させるために、UVピンへの抵抗分圧器をデバイスの近くに配置し、電源入力とGNDへのパターンを短くします。また、バイパス・コンデンサC1をV_{CC}とグラウンドの間のできるだけ近くに配置することも重要です。UVピンからグラウンドへの0.1µFのコンデンサC2も、電源ノイズを除去するのに役立ちます。また、MOSFETのドレイン電圧をモニタするための100kΩの抵抗R_{DRAIN}も、DRAINピンの近くに配置する必要があります。サージ・サプレッサZ1を使用する場合は、幅広のパターンを用いてINとOUTの間に配置します。

グランド・プレーンはパワーMOSFETの直下には配置しないようにしてください。MOSFETに異常が生じて過熱した場合、MOSFET間の絶縁が破壊すると、入力電源がグラウンドに短絡し、致命的な損傷に至る可能性があります。

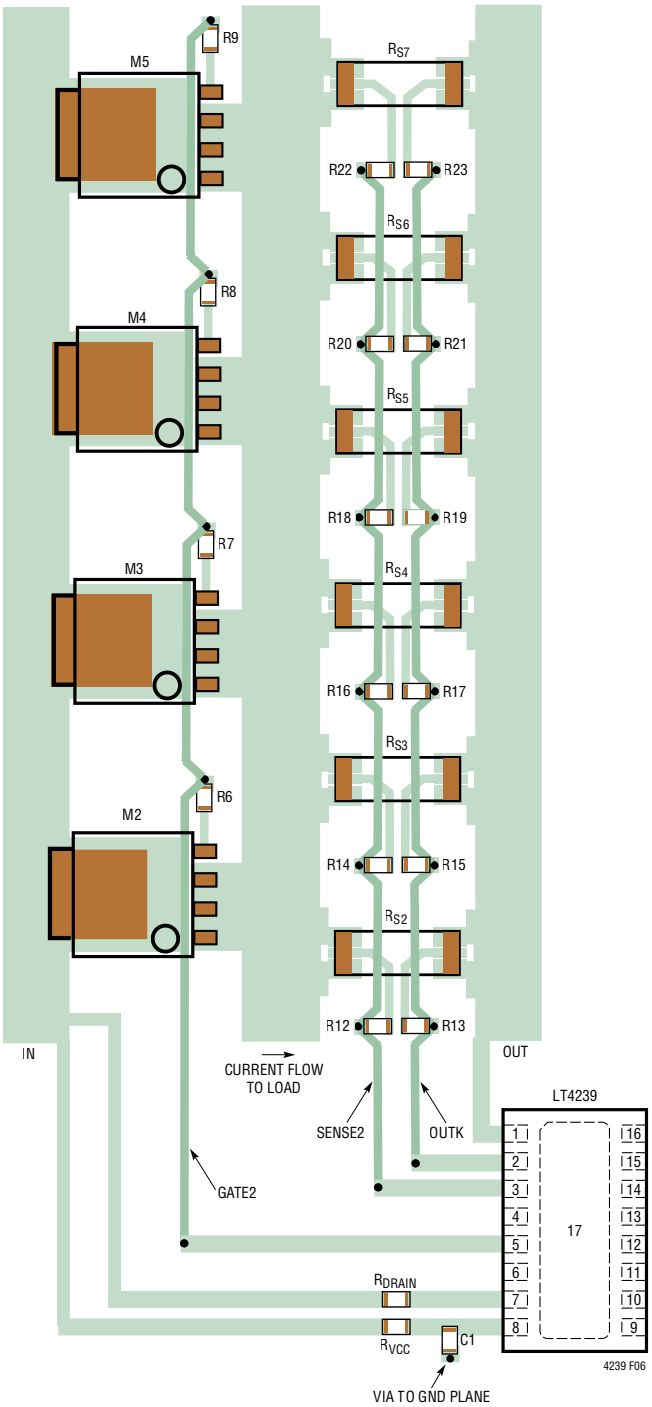


図6. 推奨レイアウト

標準的応用例

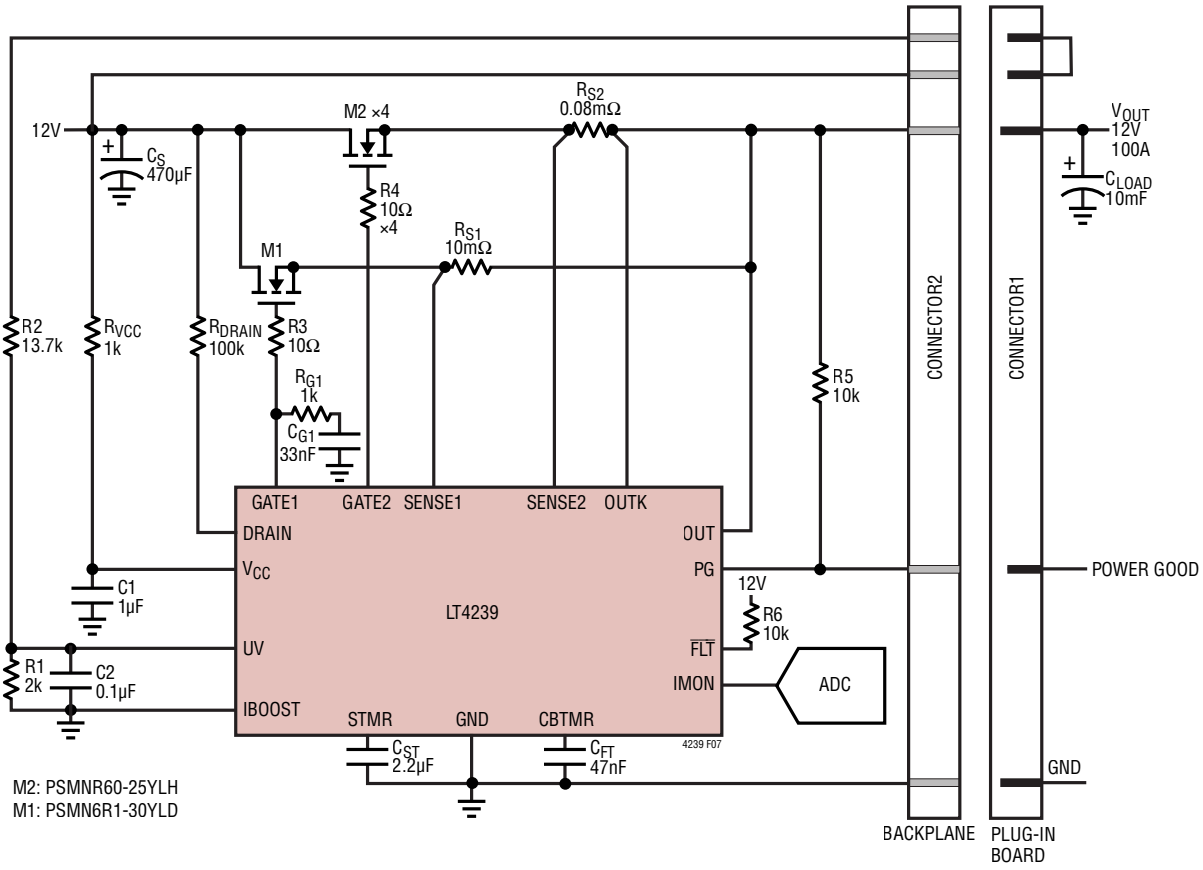


図7. バックプレーンに搭載される12V/100Aアプリケーション

標準的応用例

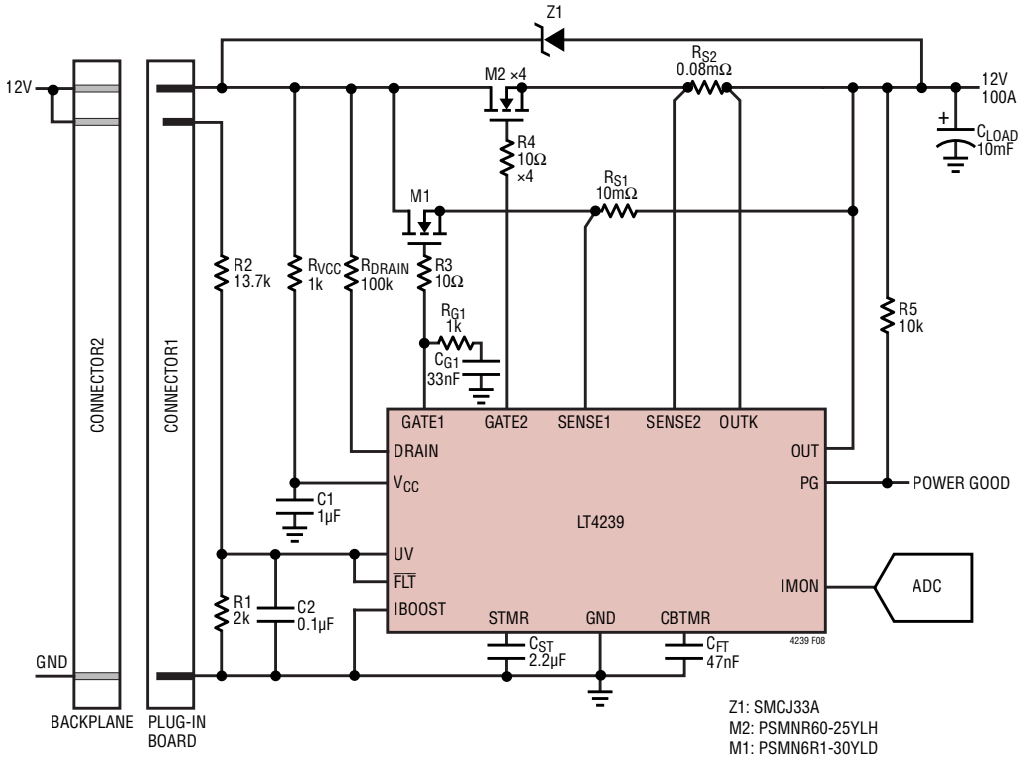


図8. フォールト後の自動再試行機能を備えた12V/100Aアプリケーション

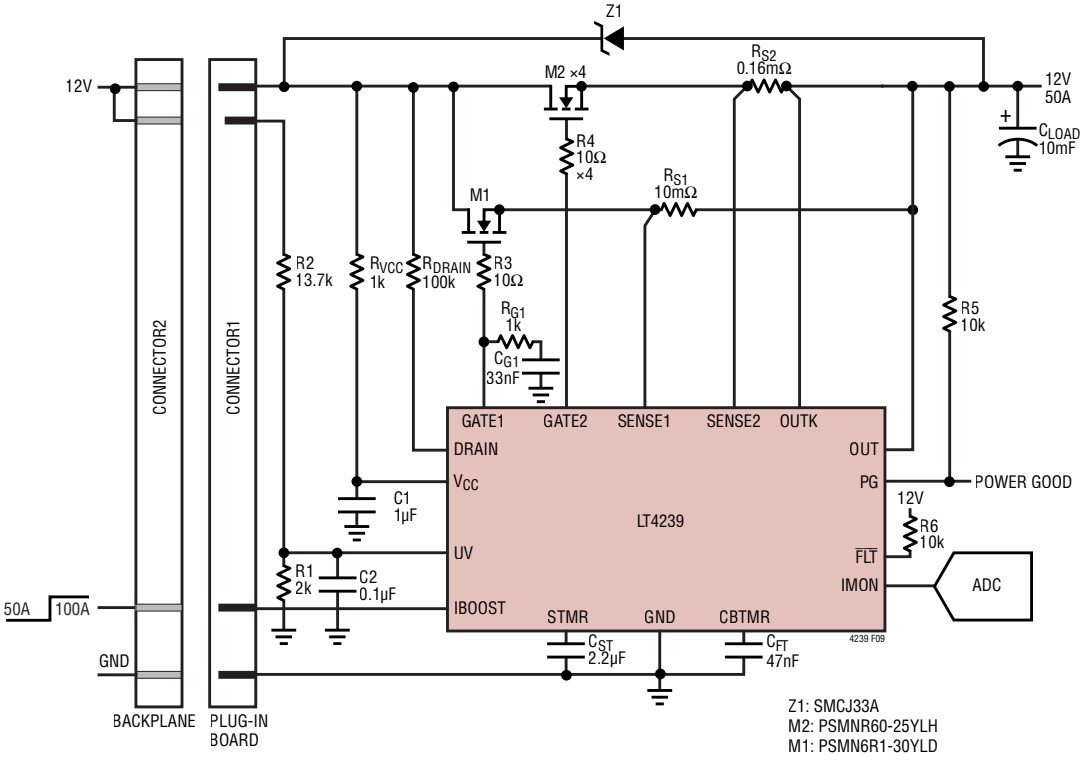


図9. IBOOSTピン制御機能を備えた12V/50Aアプリケーション

標準的応用例

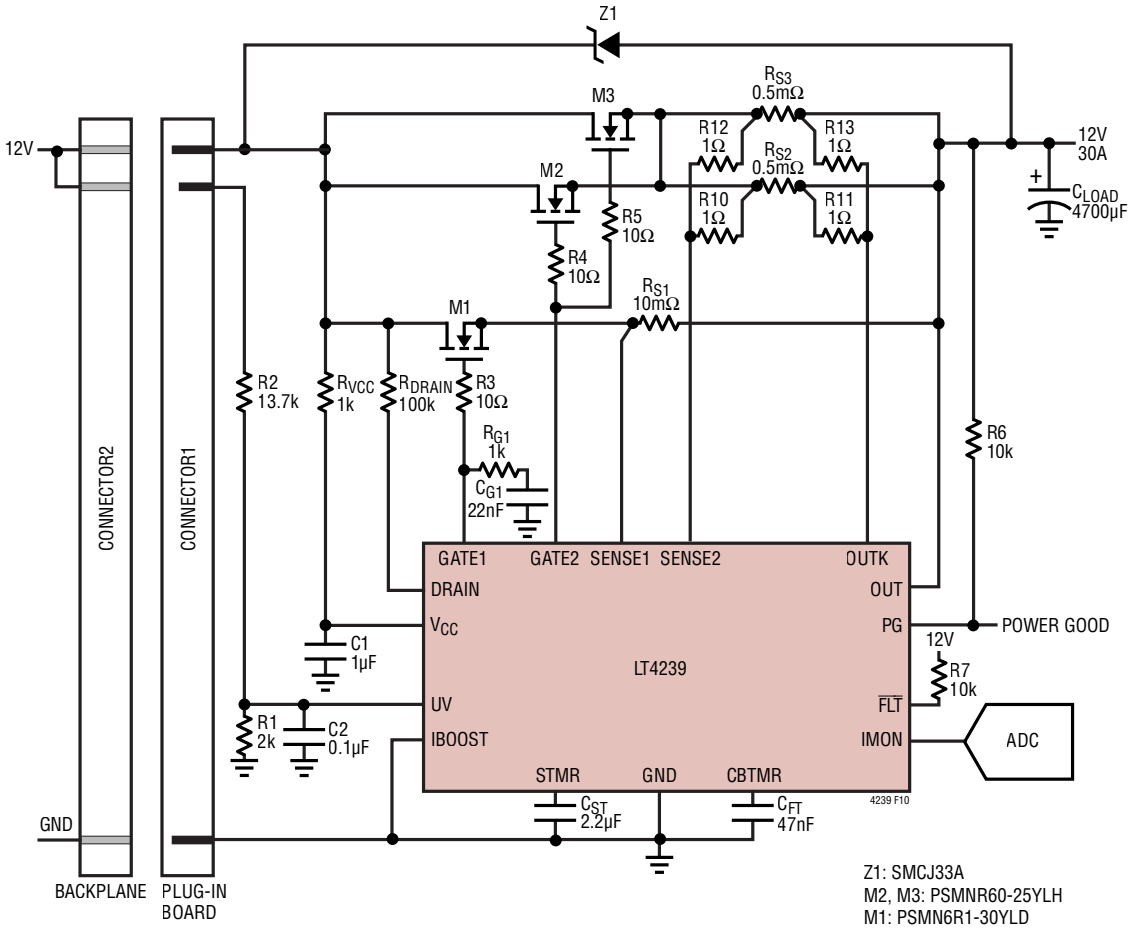


図10. カードに搭載される12V/30Aアプリケーション

標準的応用例

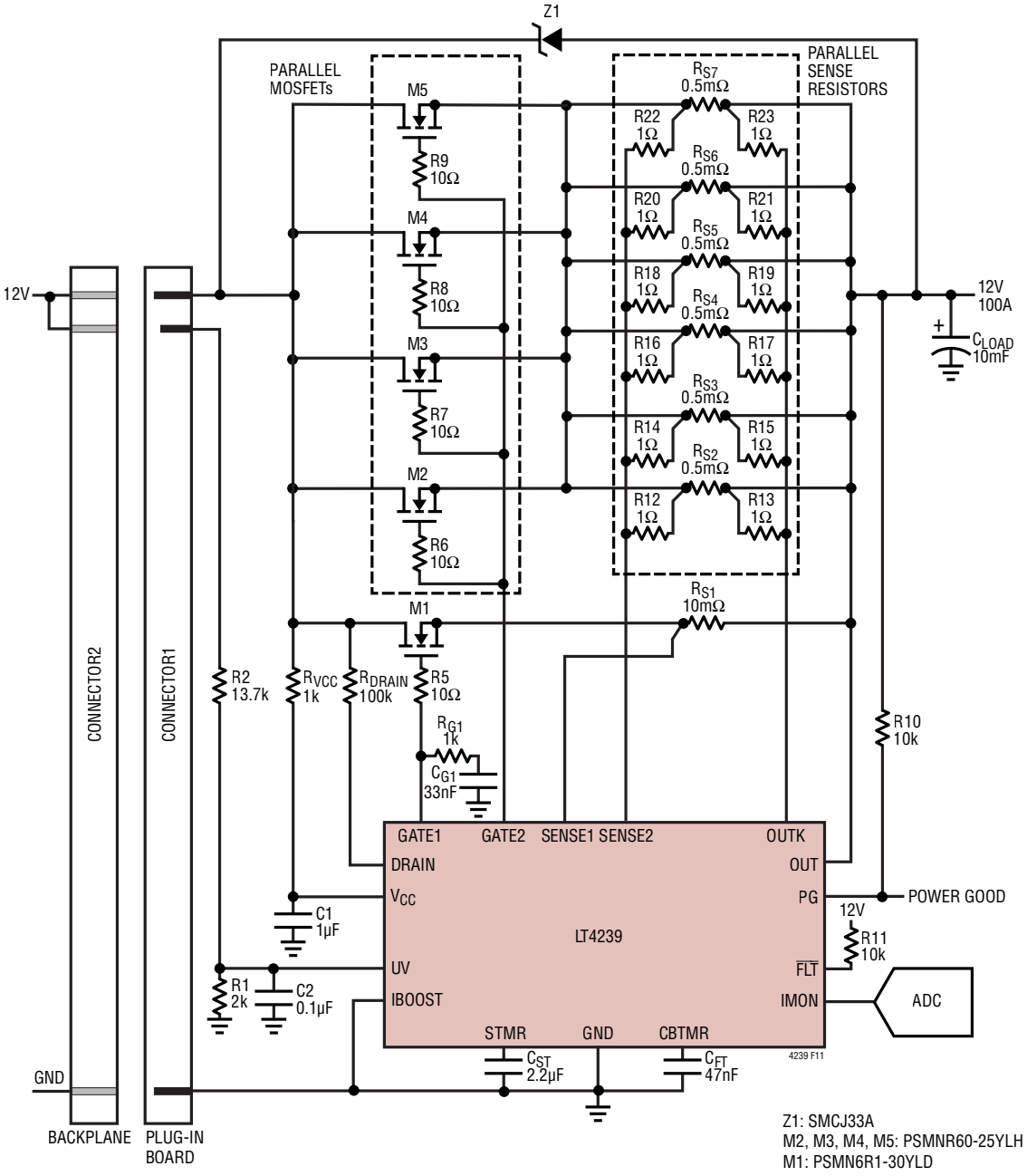
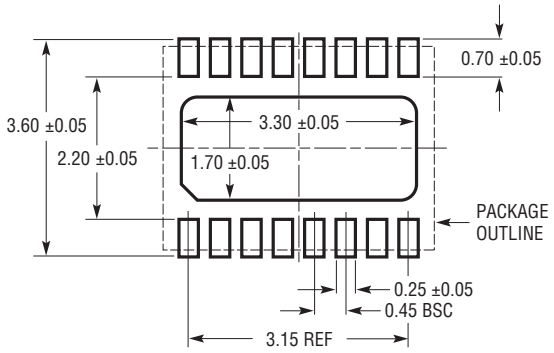


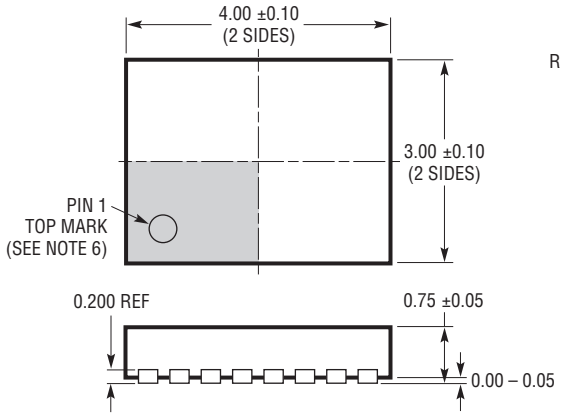
図11. 並列MOSFETおよび電流検出抵抗平均化ネットワークを備えた12V/100Aアプリケーション

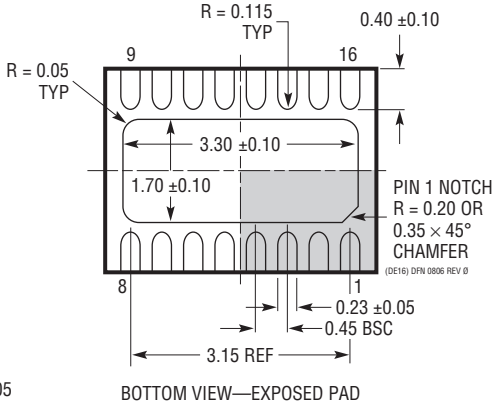
パッケージの説明

DE Package
16-Lead Plastic DFN (4mm × 3mm)
(Reference LTC DWG # 05-08-1732 Rev Ø)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED





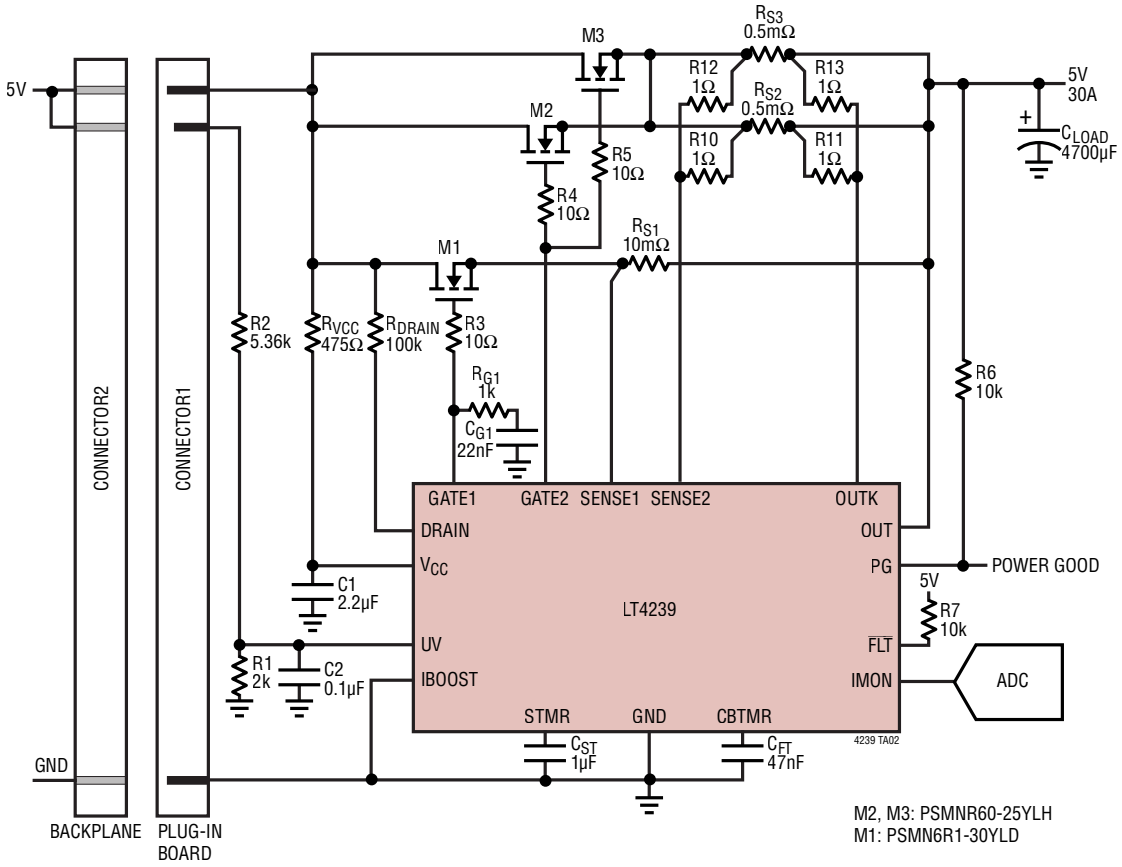
BOTTOM VIEW—EXPOSED PAD

NOTE:
1. DRAWING PROPOSED TO BE MADE VARIATION OF VERSION (WGED-3) IN JEDEC PACKAGE OUTLINE MO-229
2. DRAWING NOT TO SCALE
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
5. EXPOSED PAD SHALL BE SOLDER PLATED
6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることに万全を期していますが、その利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。

標準的応用例

5V/30A アプリケーション



関連製品

製品番号	概要	注釈
LTC4210	シングル・チャンネル・ホット・スワップ・コントローラ	2.7V～16.5Vで動作、アクティブ電流制限、TSOT23-6
LTC4211	シングル・チャンネル・ホット・スワップ・コントローラ	2.5V～16.5Vで動作、多機能電流制御、MSOP-8、SO-8またはMSOP-10
LTC4215	シングル・チャンネル・ホット・スワップ・コントローラ	2.9V～15Vで動作、I²C互換モニタリング、SSOP-16またはQFN-24
LTC4216	シングル・チャンネル・ホット・スワップ・コントローラ	0V～6Vで動作、アクティブ電流制限、MSOP-10またはDFN-12
LTC4218	シングル・チャンネル・ホット・スワップ・コントローラ	2.9V～26.5Vで動作、アクティブ電流制限、SSOP-16またはDFN-16
LTC4221	デュアル・チャンネル・ホット・スワップ・コントローラ	1V～13.5Vで動作、多機能電流制御、SSOP-16
LTC4222	デュアル・チャンネル・ホット・スワップ・コントローラ	2.9V～29Vで動作、I²C互換モニタリング、SSOP-36またはQFN-32
LTC4223	デュアル電源ホット・スワップ・コントローラ	12Vと3.3Vを制御、アクティブ電流制限、SSOP-16またはDFN-16
LTC4224	デュアル・チャンネル・ホット・スワップ・コントローラ	1V～6Vで動作、アクティブ電流制限、MSOP-10またはDFN-10
LTC4281	I²C互換モニタリングを備えた正電圧ホット・スワップ・コントローラ	2.9V～33Vで動作、12/16ビットADCによる電流、電圧、電力、電力量のモニタ、内部EEPROM、QFN-28
LTC4282	I²C互換モニタリングを備えた大電流正電圧ホット・スワップ・コントローラ	2.9V～33Vで動作、デュアル・ゲート・ドライブ、12/16ビットADCによる電流、電圧、電力、電力量のモニタ、内部EEPROM、QFN-32

©ANALOG DEVICES, INC. 2022