

3A、超低ノイズ、高 PSRR、 ドロップアウト電圧 45mV の 超高速リニア電圧レギュレータ

特長

- ▶ 超低 RMS ノイズ : $1.2\mu\text{V}_{\text{RMS}}$ (10Hz~100kHz)
- ▶ 超低スポット・ノイズ : $3\text{nV}/\sqrt{\text{Hz}}$ (10kHz 時)
- ▶ 超低 1/F ノイズ : $7\mu\text{V}_{\text{p-p}}$ (0.1Hz~10Hz)
- ▶ 高周波 PSRR : 52dB (1MHz 時)
- ▶ 超高速過渡応答
- ▶ ドロップアウト電圧 : 45mV (代表値)
- ▶ デジタル的にプログラマブルな V_{OUT} : 0.5V~4.2V
- ▶ 出力許容誤差 : ライン、負荷、温度に対して $\pm 1.5\%$
- ▶ 高精度電流モニタ : 精度 $\pm 3\%$ (3A 時)
- ▶ プログラマブルな電流制限値 : $\pm 3\%$ (3A 時)
- ▶ 入力範囲 : 0.6V~5.5V
- ▶ デジタル出力マーキング : $\pm 2.5\%$
- ▶ セラミック出力コンデンサ (最小 10 μF) を用いて安定
- ▶ より高い電流を得るために複数デバイスの並列化が可能
- ▶ 上流のスイッチング・コンバータを制御する VIOC ピン
- ▶ 高精度イネーブル/低電圧ロックアウト (UVLO)
- ▶ パワー・グッド (PG) フラグ
- ▶ 温度モニタ
- ▶ 22 ピン (3mm $\times$ 4mm) LQFN パッケージ

アプリケーション

- ▶ RF 電源 : PLL、VCO、ミキサー、LNA、PA
- ▶ 高速/高精度データ・コンバータ
- ▶ 低ノイズ計測器
- ▶ スwitchング電源用ポストレギュレータ
- ▶ FPGA および DSP 用電源
- ▶ 医療用アプリケーション

簡略アプリケーション回路図

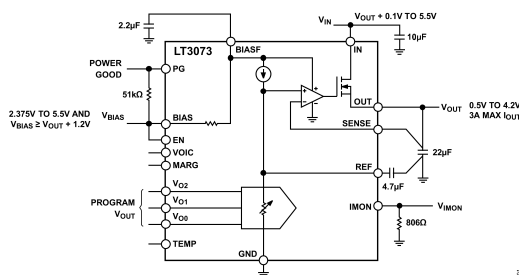


図 1. 簡略アプリケーション回路図

概要

LT[®]3073 は、低電圧、超低ノイズ、超高速過渡応答のリニア電圧レギュレータです。このデバイスは、45mV (代表値) のドロップアウト電圧で最大 3A を供給します。4.7 μF のリファレンス・バイパス・コンデンサにより、出力電圧ノイズは $1.2\mu\text{V}_{\text{RMS}}$ に低減されています。広帯域幅と高い PSRR により小型のセラミック・コンデンサが使用できるため、バルク容量とコストを節減できます。LT3073 は、高性能 FPGA、データ・コンバータ、RF、ノイズに敏感なシグナル・チェーン・アプリケーションへの給電に最適なデバイスです。

出力電圧は、0.5V~1.2V では 50mV 刻み、1.2V~1.8V では 100mV 刻み、それ以上は 2V、2.5V、3V、3.3V、4.2V の離散的なレベルでデジタル的に選択が可能です。LT3073 のユニティ・ゲイン動作は、出力電圧の設定値には依存せずに、ほぼ一定の出力ノイズ、PSRR、帯域幅、負荷レギュレーションを提供します。更に、LT3073 には独自のトラッキング機能 (VIOC) が組み込まれており、上流のスイッチング・レギュレータを制御して、LT3073 全体の電圧を一定に保ち、消費電力を最小限に抑えます。

高精度電流モニタによりシステムのエネルギー・マネージメント用の電力モニタリング機能が提供され、また、高精度電流制限機能によりユーザは入力電源のサイズとコストを最小限に抑えることができます。内蔵保護機能には、UVLO、内部電流制限、ヒステリシス付きサーマル・シャットダウンが含まれます。LT3073 は、コンパクトな 22 ピン (3mm $\times$ 4mm) LQFN パッケージ (QFN フットプリントの積層パッケージ) で提供されます。

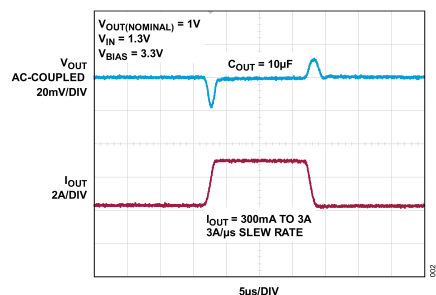


図 2. 過渡応答

目次

特長.....	1	パワー・グッド.....	26
アプリケーション.....	1	安定性と出力容量.....	27
概要.....	1	安定性と入力容量.....	28
簡略アプリケーション回路図.....	1	BIAS/BIASF ピンの条件.....	28
改訂履歴.....	2	負荷レギュレーション.....	28
仕様.....	3	PCB レイアウト時の考慮事項.....	28
絶対最大定格.....	7	保護機能.....	29
熱抵抗.....	8	電流モニタと外部から設定可能な電流制限値.....	29
静電放電 (ESD)	8	熱に関する考慮事項.....	29
ESD 定格.....	8	ジャンクション温度の計算.....	30
ESD に関する注意.....	8	より高い出力電流を得るためのデバイスの並列化.....	30
ピン配置およびピン機能の説明.....	9	出力ノイズ.....	31
代表的な性能特性.....	12	高周波スパイクのフィルタリング.....	31
機能図.....	23	高速起動.....	31
アプリケーション情報.....	24	温度モニタリング.....	31
出力電圧.....	24	代表的なアプリケーション回路.....	32
REF - 電圧リファレンス.....	25	外形寸法.....	34
出力電圧デジタル・マーギニング.....	25	オーダー・ガイド.....	34
イネーブル機能 - ON と OFF の切り替え.....	25	関連製品.....	35
BIAS 低電圧ロックアウト.....	25		
高効率リニア電圧レギュレータ - 入出力間の電圧制御.....	25		

改訂履歴

1/2023—Revision 0: Initial Release for Product Intro

仕様

表 1. 電気的特性

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C の値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{MON} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
IN Pin Voltage	V_{IN}				5.5	V
BIAS Pin Voltage ¹	V_{BIAS}		2.375		5.5	V
Regulated Output Voltage	V_{OUT}	$V_{OUT} = 0.5\text{V}$, $50\text{mA} \leq I_{OUT} \leq 3\text{A}$, $0.7\text{V} \leq V_{IN} \leq 0.9\text{V}$	0.4925	0.500	0.5075	V
		$V_{OUT} = 1.2\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $1.4\text{V} \leq V_{IN} \leq 1.6\text{V}$	1.182	1.200	1.218	
		$V_{OUT} = 3.3\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $3.5\text{V} \leq V_{IN} \leq 3.7\text{V}$	3.2505	3.300	3.3495	
		$V_{OUT} = 4.2\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $4.4\text{V} \leq V_{IN} \leq 4.6\text{V}$	4.137	4.200	4.263	
Regulated Output Voltage Margining		MARG = V_{BIAS}	2.2	2.5	2.9	%
		MARG = GND	-2.9	-2.5	-2.2	
Line Regulation to V_{IN}	$\Delta V_{OUT} = f(\Delta V_{IN})$	$V_{OUT} = 0.5\text{V}$, $\Delta V_{IN} = 0.7\text{V}$ to 5.5V , $V_{BIAS} = 2.375\text{V}$, $I_{OUT} = 50\text{mA}$			0.5	mV
		$V_{OUT} = 4.2\text{V}$, $\Delta V_{IN} = 4.4\text{V}$ to 5.5V , $V_{BIAS} = 5.5\text{V}$, $I_{OUT} = 10\text{mA}$			0.6	
Line Regulation to V_{BIAS}	$\Delta V_{OUT} = f(\Delta V_{BIAS})$	$V_{OUT} = 0.5\text{V}$, $\Delta V_{BIAS} = 2.375\text{V}$ to 5.5V , $V_{IN} = 0.7\text{V}$, $I_{OUT} = 50\text{mA}$			0.25	mV
		$V_{OUT} = 3.3\text{V}$, $\Delta V_{BIAS} = 4.5\text{V}$ to 5.5V , $V_{IN} = 3.5\text{V}$, $I_{OUT} = 10\text{mA}$			2	
Load Regulation ¹	$\Delta V_{OUT} = f(\Delta I_{OUT})$	$\Delta I_{OUT} = 50\text{mA}$ to 3A	$V_{BIAS} = 2.375\text{V}$, $V_{IN} = 0.7\text{V}$, $V_{OUT} = 0.5\text{V}$		0.6	mV
			$V_{BIAS} = 2.4\text{V}$, $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$		1.2	
		$\Delta I_{OUT} = 10\text{mA}$ to 3A	$V_{BIAS} = 4.5\text{V}$, $V_{IN} = 3.5\text{V}$, $V_{OUT} = 3.3\text{V}$		3.3	
			$V_{BIAS} = 5.4\text{V}$, $V_{IN} = 4.4\text{V}$, $V_{OUT} = 4.2\text{V}$		4.2	
Dropout Voltage ²	V_{DO}	$V_{IN} = V_{OUT(NOMINAL)}$, $V_{BIAS} \geq V_{OUT} + 1.2\text{V}$, $I_{OUT} = 1\text{A}$	$T_J = 25^\circ\text{C}$		15	mV
					33	
		$V_{IN} = V_{OUT(NOMINAL)}$, $V_{BIAS} \geq V_{OUT} + 1.2\text{V}$, $I_{OUT} = 2\text{A}$	$T_J = 25^\circ\text{C}$		30	
					66	

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C の値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{MON} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Dropout Voltage ²	V_{DO}	$V_{IN} = V_{OUT(NOMINAL)}$, $V_{BIAS} \geq V_{OUT} + 1.2\text{V}$, $I_{OUT} = 3\text{A}$	$T_J = 25^\circ\text{C}$		45 65	mV
					100	
Minimum Load Current	$I_{OUT(MIN)}$	$V_{OUT} \geq 0.8\text{V}$			10	mA
		$V_{OUT} < 0.8\text{V}$			50	
Ground Pin Current	I_{GND}	$V_{BIAS} = 5.5\text{V}$, $V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 10\text{mA}$			4.3 6.5	mA
		$V_{BIAS} = 5.5\text{V}$, $V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 3\text{A}$			5.2 7	
BIAS Pin Current	I_{BIAS}	$V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$, $V_{BIAS} = 3.3\text{V}$, $I_{OUT} = 10\text{mA}$			4.3 6.5	mA
		$V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$, $V_{BIAS} = 3.3\text{V}$, $I_{OUT} = 3\text{A}$			5.8 8	
BIAS Pin Current in Dropout ²	I_{BIAS_DO}	$V_{BIAS} = V_{OUT} + 1.2\text{V}$, $V_{IN} = V_{OUT(NOMINAL)}$, $I_{OUT} = 3\text{A}$			5.4 7.5	mA
		$V_{BIAS} = 5.5\text{V}$, $V_{IN} = V_{OUT(NOMINAL)}$, $I_{OUT} = 3\text{A}$			35 50	
BIAS Pin Nap Mode Current	I_{BIAS_NAP}	$V_{BIAS} = 5.5\text{V}$, $EN = 0\text{V}$			10	μA
IN Pin Nap Mode Current	I_{IN_NAP}	$V_{IN} = 5.5\text{V}$, $EN = 0\text{V}$			20 500	μA
IMON Output Current		$I_{OUT} = 3\text{A}$, $V_{IN} - V_{OUT} = 0.2\text{V}$	0.98	1.0	1.03	mA
		$I_{OUT} = 1\text{A}$, $V_{IN} - V_{OUT} = 0.2\text{V}$	313.3	333.3	353.3	
I_{OUT}/I_{MON} Ratio		$I_{OUT} = 3\text{A}$, $V_{IN} - V_{OUT} = 0.2\text{V}$	2912	3000	3060	
		$I_{OUT} = 1\text{A}$, $V_{IN} - V_{OUT} = 0.2\text{V}$	2820	3000	3180	
IMON Shutdown Current		$V_{BIAS} = 5.0\text{V}$, $EN = 0\text{V}$			1	μA
Programmable Current Limit ³	$I_{LIM(P)}$	$R_{MON} = 1\text{k}\Omega$	2.93	3.0	3.07	A
		$R_{MON} = 3\text{k}\Omega$	0.94	1.0	1.06	
Internal Current Limit ³	$I_{LIM(I)}$	$V_{IN} = 1.5\text{V}$, $\Delta V_{OUT} = -5\%$, $V_{BIAS} = 5.5\text{V}$			4.5 5.5	A
V_{OUT} Threshold for Power Good		Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Rising	91	93	95	%
		Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Falling	88	90	92	
PG V_{OL}		$I_{PG} = 200\mu\text{A}$ (Fault Condition)			60 100	mV
PG V_{OH} Leakage		$V_{PG} = V_{BIAS} = 5\text{V}$			1	μA
Fast Start-Up REF Pin Current					2	mA
Fast Start-Up Turn Off Threshold		Measured as percentage of final REF pin voltage	96	98.8	101.5	%
TEMP Output Scale ⁴					10	mV/°C

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C の値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{MON} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
TEMP Output Error ⁴		$T_J = 25^\circ\text{C}$, $V_{TEMP} = 250\text{mV}$	-5		5	$^\circ\text{C}$
		$0^\circ\text{C} < T_J \leq 125^\circ\text{C}$	-9		9	
Thermal Shutdown		T_J Rising		168		$^\circ\text{C}$
		Hysteresis		7		
V_{BIAS} Undervoltage Lockout		$EN = V_{BIAS}$, $V_{IN} = 0\text{V}$, $V_{OUT} = 0\text{V}$, V_{BIAS} Rising	2.16	2.2	2.24	V
		$EN = V_{BIAS}$, $V_{IN} = 0\text{V}$, $V_{OUT} = 0\text{V}$, V_{BIAS} Falling	2.03	2.07	2.11	
Input to Output Differential Voltage Control (VIOC) ⁵		VIOC Amplifier Gain		1		V/V
		VIOC Amplifier Offset		800		mV
		VIOC Amplifier Accuracy, $V_{IN} - V_{OUT} = 300\text{mV}$	-20		20	
		VIOC Pin Source Current: $V_{BIAS} > \text{VIOC} + 1\text{V}$	200			μA
V_{IL} Input Threshold (Logic-0 State) V_{O0} , V_{O1} , V_{O2} , MARG		Input Falling	0.3			V
V_{IZ} Input Range (Logic-Z State) V_{O0} , V_{O1} , V_{O2} , MARG			0.95		1.15	V
V_{IH} Input Threshold (Logic-1 State) V_{O0} , V_{O1} , V_{O2} , MARG		Input Rising			1.97	V
Input Hysteresis V_{O0} , V_{O1} , V_{O2} , MARG		Rising and Falling		80		mV
Input Pin Sink Current V_{O0} , V_{O1} , V_{O2} , MARG					50	μA
EN Pin Threshold		EN Trip Point Rising (Turn-On), $V_{BIAS} = 2.375\text{V}$	1.20	1.26	1.32	V
EN Pin Hysteresis		EN Trip Point Hysteresis, $V_{BIAS} = 2.375\text{V}$		80		mV
EN Pin Current	I_{EN}	$V_{EN} = 0\text{V}$, $V_{BIAS} = 5.5\text{V}$			± 1	μA
		$V_{EN} = 1.3\text{V}$, $V_{BIAS} = 5.5\text{V}$		0.5		
		$V_{EN} = 5.5\text{V}$, $V_{BIAS} = 0\text{V}$		10	20	
V_{BIAS} Ripple Rejection	PSRR_{BIAS}	$V_{BIAS} = 2.7\text{V(Avg)}$, $V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$	$V_{RIPPLE} = 500\text{mV}_{P-P}$, $f_{RIPPLE} = 120\text{Hz}$, $I_{OUT} = 3\text{A}$		106	dB

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C の値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{MON} = 0.8k\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
V_{BIAS} Ripple Rejection	$PSRR_{BIAS}$	$V_{BIAS} = 2.7V(Avg)$, $V_{IN} = 1.5V$, $V_{OUT} = 1.2V$	$V_{RIPPLE} = 500mV_{P-P}$, $f_{RIPPLE} = 1MHz$, $I_{OUT} = 3A$		70		dB
V_{IN} Ripple Rejection	$PSRR_{IN}$	$V_{BIAS} = 5V$, $V_{IN} = 1.5V(Avg)$, $V_{OUT} = 1.2V$	$V_{RIPPLE} = 50mV_{P-P}$, $f_{RIPPLE} = 120Hz$, $I_{OUT} = 3A$		96		dB
			$V_{RIPPLE} = 50mV_{P-P}$, $f_{RIPPLE} = 1MHz$, $I_{OUT} = 3A$		52		
Output RMS Noise ⁶	$V_{RMS(OUT)}$	$V_{OUT} = 1V$, $I_{OUT} = 3A$, $V_{IN} = 1.3V$, $V_{BIAS} = 3.3V$, $C_{OUT} = 22\mu\text{F}$	BW = 10Hz to 100kHz, $C_{REF} = 4.7\mu\text{F}$		1.2		μV_{RMS}
			BW = 10Hz to 100kHz, $C_{REF} = 0.47\mu\text{F}$		1.6		
Output Noise Spectral Density ⁶	$V_{n(OUT)}$	$V_{OUT} = 1V$, $I_{OUT} = 3A$, $V_{IN} = 1.3V$, $V_{BIAS} = 3.3V$, $C_{OUT} = 22\mu\text{F}$	Frequency = 0.1Hz, $C_{REF} = 4.7\mu\text{F}$		1.4		$\mu V/\sqrt{Hz}$
			Frequency = 10Hz, $C_{REF} = 4.7\mu\text{F}$		40		
			Frequency = 10Hz, $C_{REF} = 0.47\mu\text{F}$		650		
			Frequency = 10kHz, $C_{REF} = 4.7\mu\text{F}$		3		$nV/\sqrt{Hz}$
			Frequency = 10kHz, $C_{REF} = 0.47\mu\text{F}$		3		
			Frequency = 100kHz, $C_{REF} = 4.7\mu\text{F}$		2.8		
			Frequency = 100kHz, $C_{REF} = 0.47\mu\text{F}$		2.8		

¹ 適切な性能とレギュレーションを維持するために、BIAS 電源電圧は以下の条件を満たす必要があります。
 $2.375V \leq V_{BIAS} \leq 5.5V$ かつ $V_{BIAS} \geq (V_{OUT} + 1.2V)$

² ドロップアウト電圧 V_{DO} は、仕様規定されている出力電流における最小の入出力間電圧差です。ドロップアウトがあると、出力電圧は $V_{IN} - V_{DO}$ に等しくなります。

³ 動作条件は、最大ジャンクション温度による制限を受けます。レギュレーションされた出力電圧仕様は、考えうるすべての入力電流と出力電流の組み合わせに適用されるわけではありません。最大出力電流で動作させる場合は、入力電圧範囲を $V_{IN} \leq V_{OUT} + 600\text{mV}$ に制限します。

⁴ TEMP 出力電圧は、LT3073 の電源デバイスの平均温度を表します。消費電力、温度勾配、ダイ全体の熱時定数のため、TEMP 出力電圧の測定では、電源デバイスにおける過渡的な電力変動を正確に追跡することはできません。内部サーマル・シャットダウン・センサーは、LT3073 を安全な動作領域内に保つように設計されています。

⁵ VIOC バッファは、 $V_{IN} - V_{OUT} + 800\text{mV}$ に等しい電圧を出力します。詳細については、[アプリケーション情報](#)のセクションを参照してください。VIOC ピンのソース電流は、 $10\mu\text{A} \sim 200\mu\text{A}$ の範囲内で設定できます。BIAS から VIOC までに必要な最低電圧は 1V です。

⁶ REF ピンにコンデンサを追加すると、出力電圧ノイズが減少します。このコンデンサの追加により、REF ピンの内部抵抗の熱ノイズとリファレンス電流のノイズがバイパスされます。このとき、出力ノイズは誤差アンプのノイズと等しくなります。REF ピンのバイパス・コンデンサを使用すると、起動時間が長くなることにもつながります。

絶対最大定格

表 2. 絶対最大定格

PARAMETER	RATING
IN Pin Voltage ¹	-0.3V to 6V
OUT Pin Voltage ¹	-0.3V to 6V
SENSE Pin Voltage ¹	-0.3V to 6V
BIAS, BIASF Pin Voltage ¹	-0.3V to 6V
V_{O0} , V_{O1} , V_{O2} , MARG Pin Voltage ¹	-0.3V to 5.5V
EN Pin Voltage ¹	-0.3V to 6V
VIOC Pin Voltage ¹	-0.3V to 6V
VIOC Pin Current	-1mA to 1mA
IMON Pin Voltage ¹	-0.3V to 6V
TEMP Pin Voltage ¹	-0.3V to 6V
PG Pin Voltage ¹	-0.3V to 6V
REF Pin Voltage ¹	-0.3V to 6V
Output Short Circuit Duration	Indefinite
Operating Junction Temperature ²	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C
Maximum Reflow (Package Body) Temperature	260°C

¹ IN、OUT、SENSE、BIAS、BIASF、V₀₀、V₀₁、V₀₂、MARG、EN、VIOC、TEMP、IMON、PG、REF の各ピンと GND の間には、寄生ダイオードが内在します。フォルト状態の間は、これらのピンを GND ピンより 0.3V 以上低い電圧に駆動しないようにしてください。これらのピンは、通常動作中は GND よりも正の電圧を維持する必要があります。

² LT3073A は、T_J ≈ T_A（周囲温度）となるパルス負荷条件下でテストされ、仕様規定されています。LT3073A は T_A = 25°C でテストされています。-40°C ~ 125°C の動作温度範囲全体にわたる LT3073A の性能は、設計、特性評価、統計のプロセス制御との相関によって裏付けられています。LT3073A の動作は、-40°C ~ 125°C の動作ジャンクション温度範囲全体にわたって確保されています。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。このため、PCB の熱設計には細心の注意が必要です。

表 3. 熱抵抗

PACKAGE TYPE ¹	θ _{JA}	θ _{JC TOP}	θ _{JC BOT}	UNIT
22-LEAD 3mm X 4mm LQFN	36	27	5	°C/W

¹ θ 値は、JESD51 の条件に従って決定されます。詳細については、表 7 を参照してください。

静電放電（ESD）

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。人体モデル（HBM）は ANSI/ESDA/JEDEC JS-001 に準拠、デバイス帯電モデル（CDM）は ANSI/ESDA/JEDEC JS002 に準拠しています。

ESD 定格

表 4. LT3073、22 ピン（3mm × 4mm）LQFN

ESD Model	Withstand Threshold (V)	Class
HBM	2500	2
CDM	1250	C5

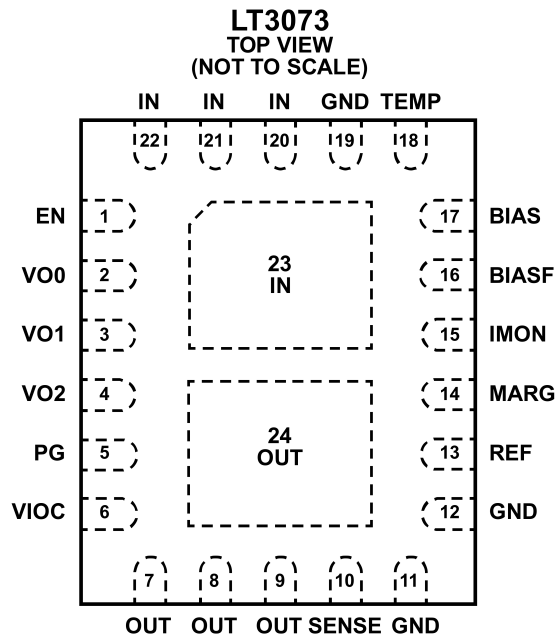
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. SOLDER PINS 23 AND 24 TO THE PCB FOR BETTER THERMAL PERFORMANCE.

LQFN PACKAGE
22-LEAD (3mm X 4mm)
 $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 36^{\circ}C/W$, $\theta_{JCBOT} = 5^{\circ}C/W$, $\theta_{JCTOP} = 27^{\circ}C/W$

図 3. ピン配置

表 5. ピンの説明

ピン番号	名称	説明
1	EN	デバイス・イネーブル。EN ピンは出力をイネーブル/ディスエーブルにします。このピンをローにすると、リファレンスがプルダウンされ、出力トランジスタがディスエーブルになり、補助機能がディスエーブルになります。デジタル・ロジック・ポート、または V_{BIAS} へのプルアップ抵抗で終端されたオープンコレクタ NPN またはオープンドレイン NMOS のいずれかで、EN ピンを駆動します。プルアップ抵抗は $200k\Omega$ 以下にして、EN ピンの V_{IH} 条件を満たす必要があります。EN ピンは、使用しない場合、BIAS に接続します。
2, 3, 4	V_{O0} , V_{O1} , V_{O2}	出力電圧の選択。これらの 3 レベル・ピンは統合されて、 $0.5V \sim 4.2V$ の公称出力電圧を選択します。入力ロジック低閾値は、GND を基準として $300mV$ より小さく、ロジック高閾値は、GND を基準として $1.97V$ より大きい値です。ロジック Hi-Z 状態は、 $0.95V \sim 1.15V$ の範囲で定義されます。 V_{O0} 、 V_{O1} 、 V_{O2} の各設定値と V_{OUT} の関係については、 アプリケーション情報のセクションの表 6 を参照してください。
5	PG	パワー・グッド。PG ピンは、オープンドレイン NMOS 出力であり、EN がローの場合、または次のいずれかのフォルト・モードが検出された場合に、アクティブにローにプルダウンします。 ▶ V_{OUT} は、V_{OUT} の立上がりエッジで $V_{OUT(NOMINAL)}$ の 93% より低い。 ▶ V_{OUT} は、V_{OUT} の立下がりエッジで $V_{OUT(NOMINAL)}$ の 90% より低い。 ▶ V_{BIAS} は、その低電圧ロックアウト閾値より低い。 ▶ OUT-over-IN 電圧検出器が作動する。
6	VIOC	In-to-Out 制御用の電圧。LT3073 には独自のトラッキング機能 (VIOC) を搭載しており、上流のスイッチング・レギュレータを制御して、LT3073 の両端を一定の電圧に保ち、消費電力を最小限に抑えます。上流のスイッチング・レギュレータの適切な制御の詳細については、 アプリケーション情報のセクション を参照してください。
7, 8, 9, Exposed Pad 24	OUT	出力。LQFN パッケージのピン 7~9 および露出パッド 24 は、OUT への電氣的接続部です。これらのピンは負荷に給電します。適切な性能のためにすべての OUT ピンを接続し、熱性能を向上させるためにピン 24 を PCB にハンダ付けします。安定性の確保には、 $10\mu F$ 以上の出力容量が必要です。アナログ・デバイセズでは、最高の性能を得るために、低 ESR、X5R または X7R の誘電体セラミック・コンデンサを推奨します。大きな負荷過渡応答アプリケーションでは、ピーク電圧トランジェントを制限するために、より大きな出力コンデンサが必要です。
10	SENSE	OUT 用のケルビン検出。SENSE ピンは、誤差アンプへの反転入力です。SENSE ピンをレギュレータの OUT ピンに接続すると、最適なレギュレーションが得られます。しかし、高い精度が要求されるアプリケーションでは、レギュレータと負荷の間の PCB パターンの抵抗がわずかな電圧降下を引き起こし、負荷点で負荷レギュレーション・エラーを発生させます。SENSE ピンを OUT に直接接続する代わりに、負荷に接続すると、この電圧エラーの発生をなくすることができます。
11, 12, 19	GND	グラウンド。適切な電氣的および熱的性能を確保するために、パッケージの GND ピンはすべて PCB グラウンドに接続します。
13	REF	リファレンス・フィルタ。このピンには、外部から負荷をかけないようにする必要があります。 $4.7\mu F$ のコンデンサを用いて REF ピンを GND にバイパスすると、出力電圧ノイズが減少し、リファレンスにソフトスタート機能が付与されます。アナログ・デバイセズでは、高品質でリーク電流の少ないコンデンサの使用を推奨します。
14	MARG	出力電圧デジタル・マーギング。このピンを GND に接続すると、出力電圧が -2.5% だけ調整されます。このピンを V_{BIAS} に接続すると、出力電圧が $+2.5\%$ だけ調整されます。

15	IMON	出力電流モニタ。IMON ピンは、 $I_{OUT}/3000$ （代表値）に等しい電流を供給します。このピンを抵抗で GND に終端すると、 I_{OUT} に比例した電圧が発生します。例えば、 $I_{OUT} = 3A$ では、IMON は 1mA（代表値）を供給します。0.8k Ω の抵抗で GND に接続すると、0.8V が発生します。IMON ピンを用いると、プログラマブル電流制限値設定することもできます。IMON ピンの電流制限閾値は 1V です。
16	BIASF	バイアス・フィルタ・ピン。LT3073 では、このピンに 2.2 μF 以上のバイパス・コンデンサを接続する必要があります。
17	BIAS	バイアス電源。このピンは内部制御回路と出力段に電流を供給し、パス・トランジスタを駆動します。このピンにはバイパス・コンデンサは不要です。適切な動作を確保するには、BIAS 電圧が次の条件を満たす必要があります。 $2.375V \leq V_{BIAS} \leq 5.5V$ かつ $V_{BIAS} \geq 1.2 + V_{OUT}$
18	TEMP	25°C で 0.25V のリファレンス・レベルまで 10mV/°C でスケールされた平均ダイ温度の出カインジケータ。TEMP 出力は、デバイスがイネーブルのときにアクティブになります。
20, 21, 22, Exposed Pad 23	IN	入力電源。LQFN パッケージのピン 20~22 および露出パッド 23 は、IN への電氣的接続部である。これらのピンは、大電流パス・トランジスタに給電します。適切な性能を得るため IN ピンをすべて接続し、熱性能を向上させるためにピン 23 を PCB にハンダ付けします。LT3073 は、周波数に対する安定性と低い入力インピーダンスを維持するために、IN にバイパス・コンデンサを接続する必要があります。大半のバッテリーおよび電源プレーンのインピーダンスには、10 μF の入力バイパス・コンデンサで十分です。入力パターンのインダクタンスを最小限に抑えると、性能が最適化されます。 $V_{IN} - V_{OUT}$ の電圧差が小さく、負荷過渡応答が大きく速いアプリケーションでは、入力電源の低下を防ぎ、レギュレータがドロップアウトに入るようにするために、はるかに大きな入力コンデンサが必要になる場合があります。

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

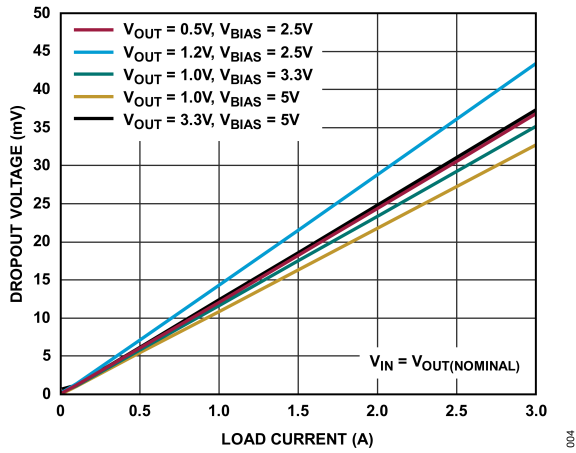


図 4. ドロップアウト電圧と負荷の関係

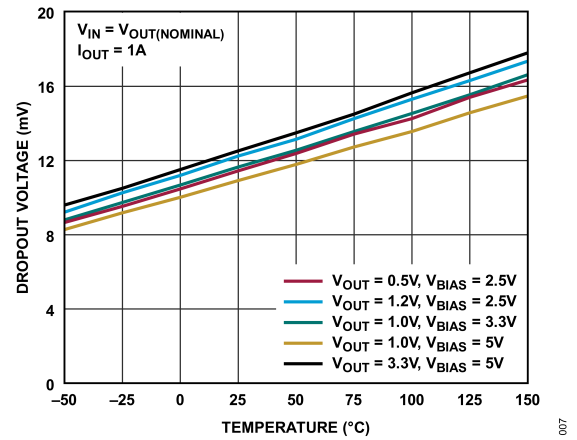


図 7. ドロップアウト電圧 (1A)

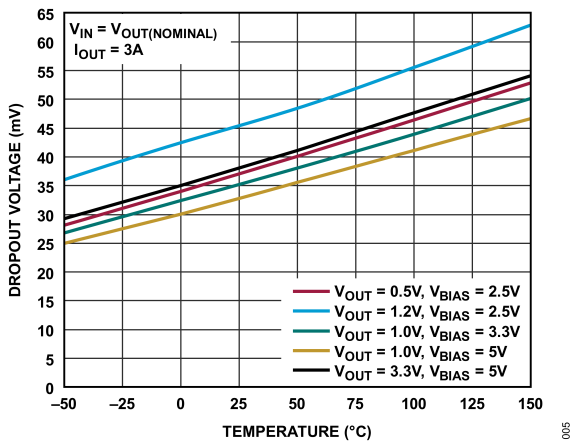


図 5. ドロップアウト電圧 (3A)

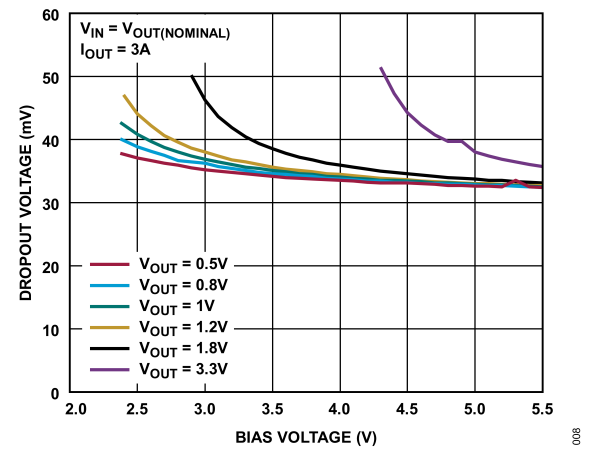


図 8. ドロップアウト電圧と V_{BIAS} の関係

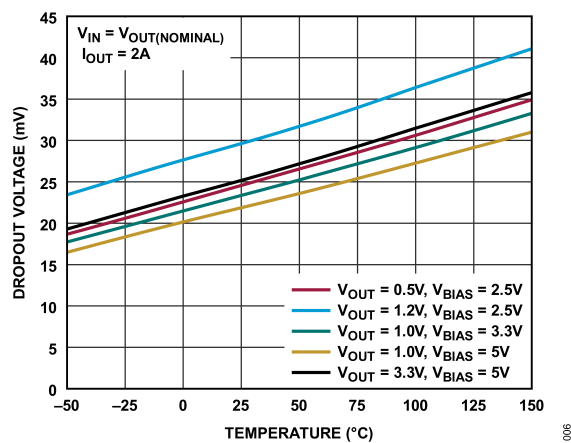


図 6. ドロップアウト電圧 (2A)

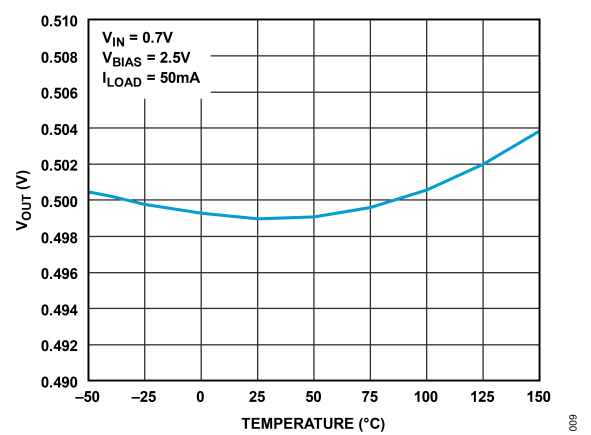


図 9. 出力電圧

代表的な性能特性

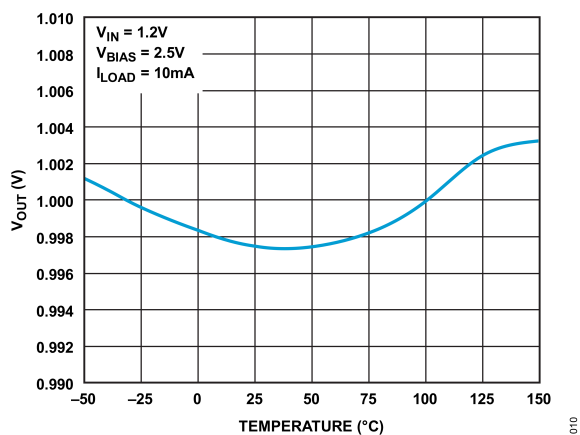
特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

図 10. 出力電圧

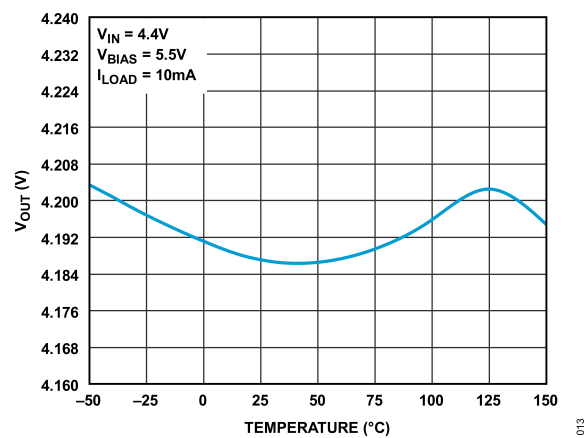


図 13. 出力電圧

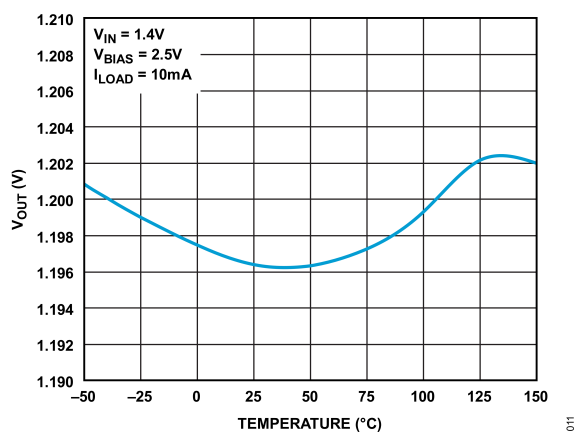


図 11. 出力電圧

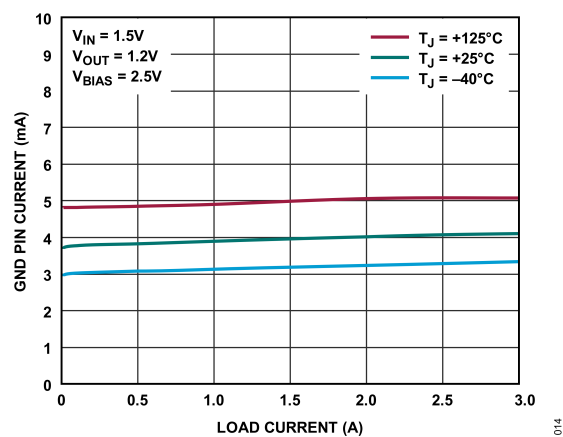


図 14. GND ピン電流

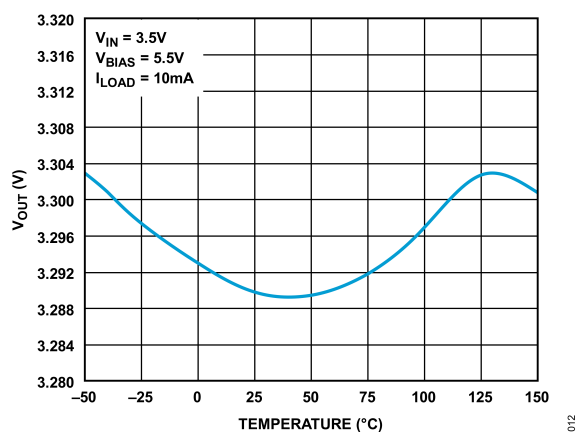


図 12. 出力電圧

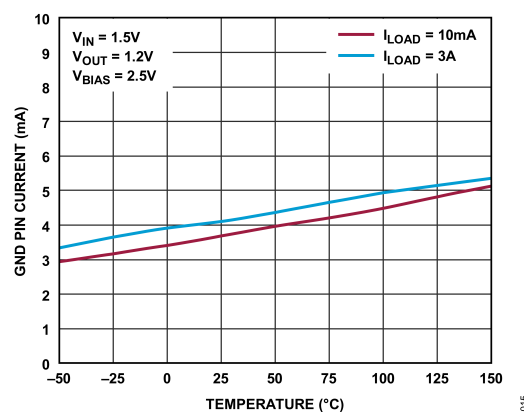


図 15. GND ピン電流

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

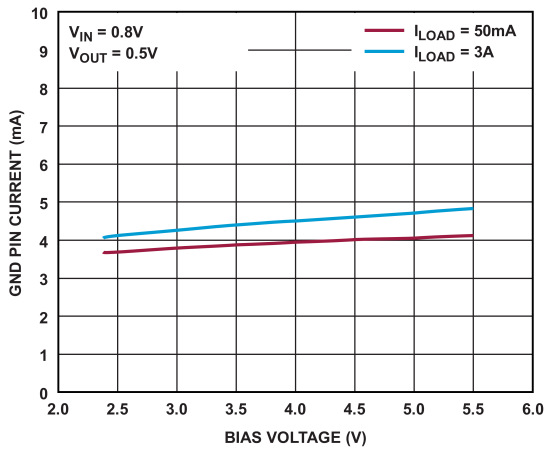


図 16. GND ピン電流

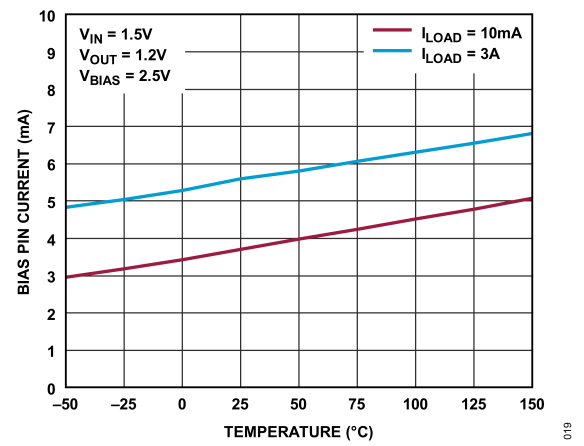


図 19. BIAS ピン電流

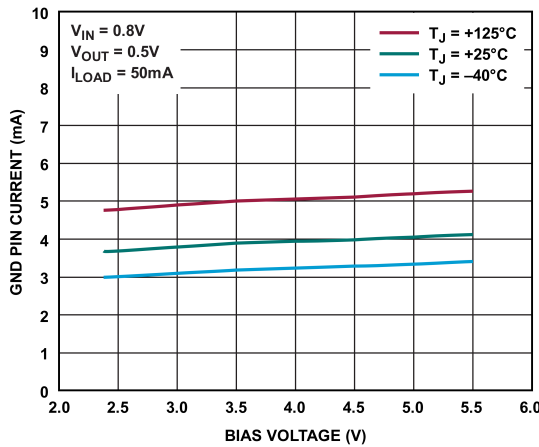


図 17. GND ピン電流

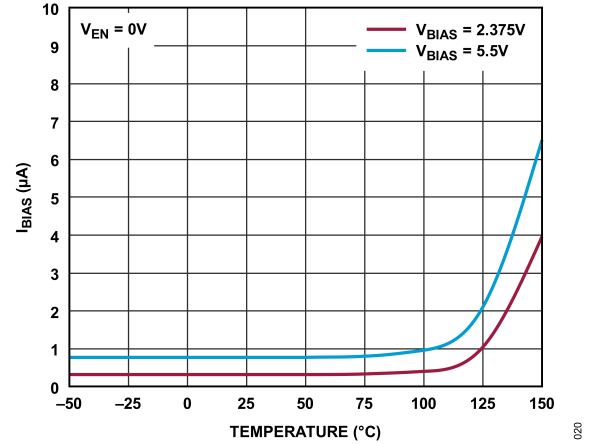


図 20. BIAS ピン電流 (ナップ・モード時)

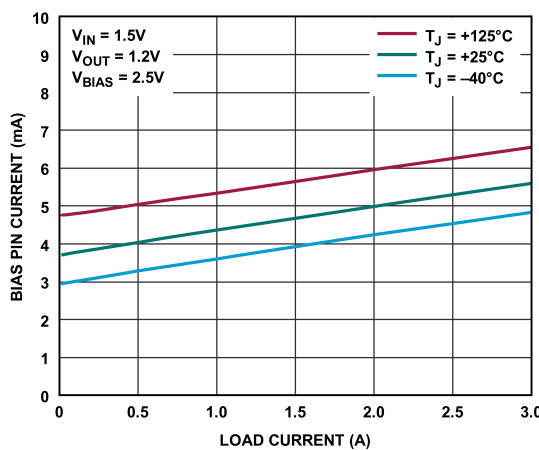


図 18. BIAS ピン電流

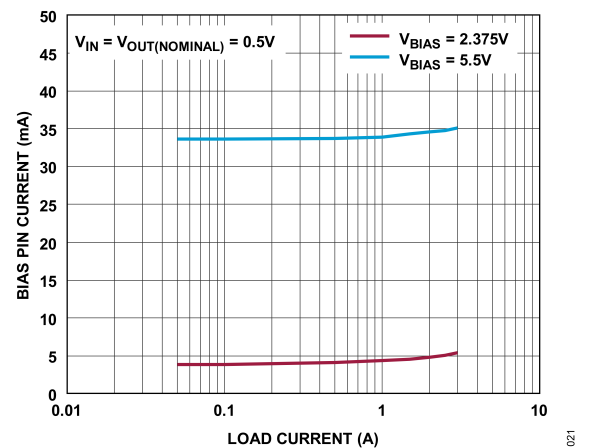


図 21. BIAS ピン電流 (ドロップアウト時)

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

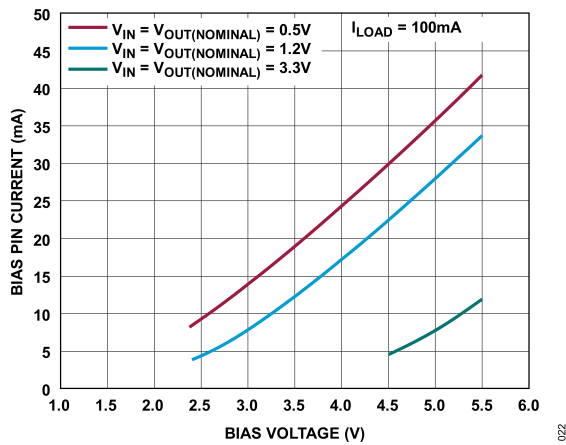


図 22. BIAS ピン電流（ドロップアウト時）

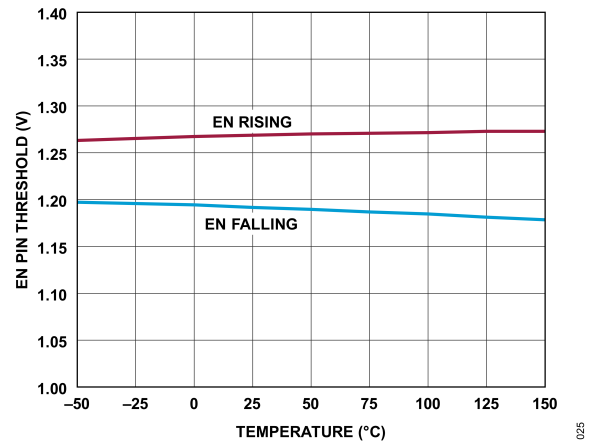


図 25. EN ピン閾値

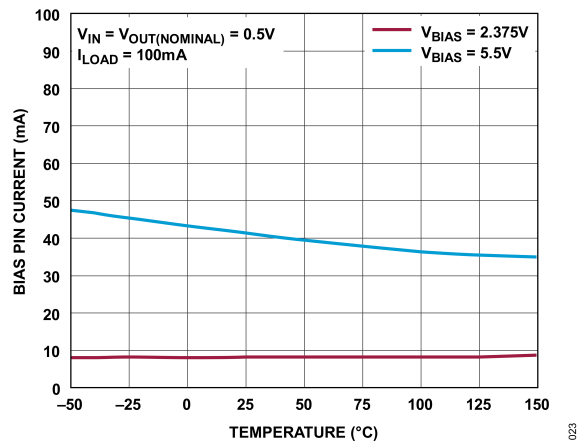


図 23. BIAS ピン電流（ドロップアウト時）

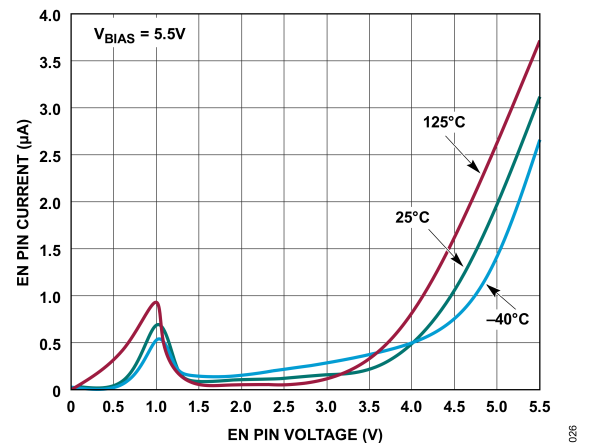


図 26. EN ピン電流

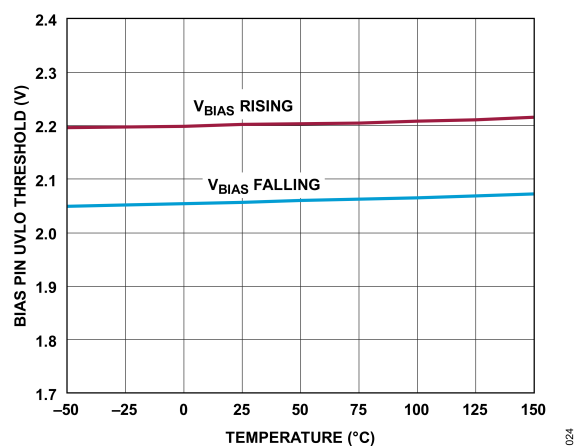


図 24. BIAS ピンの低電圧ロックアウト閾値

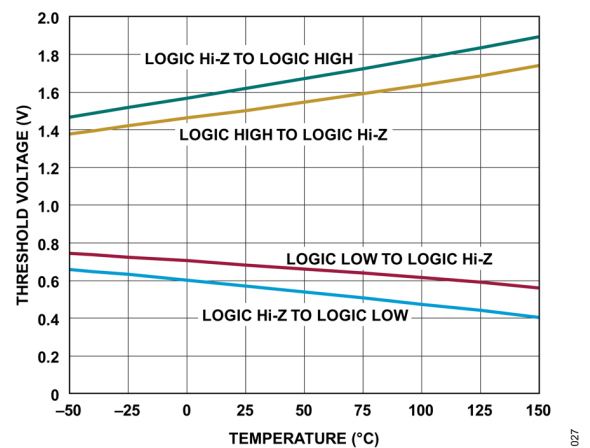


図 27. V_{O0} 、 V_{O1} 、 V_{O2} および MARG ピンの閾値

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

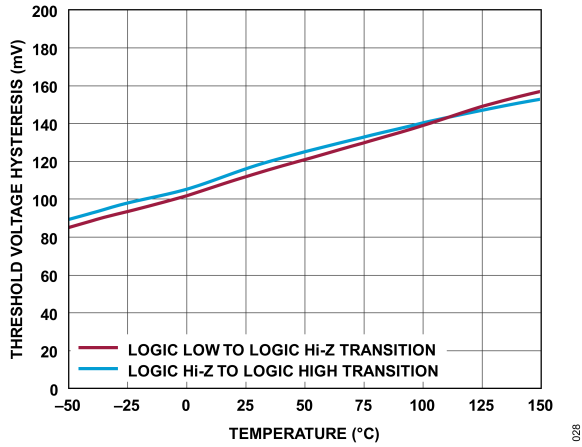


図 28. V_{O0} 、 V_{O1} 、 V_{O2} および MARG ピンのヒステリシス

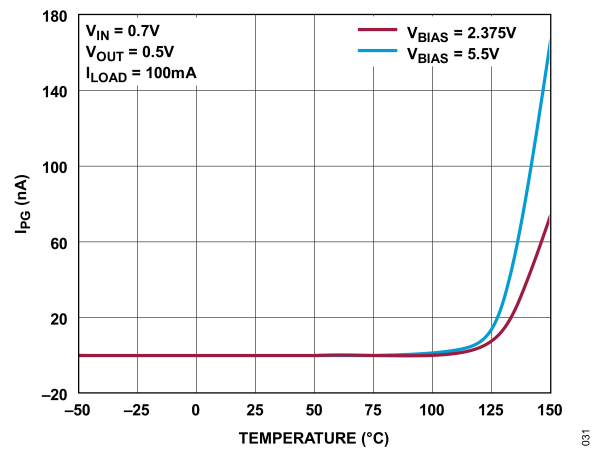


図 31. PG ピンのリーク電流

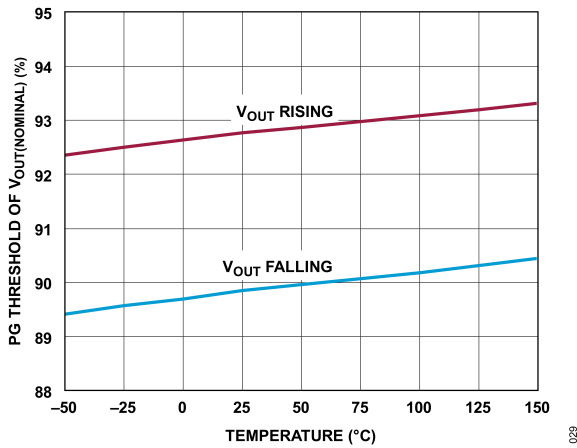


図 29. パワー・グッド閾値

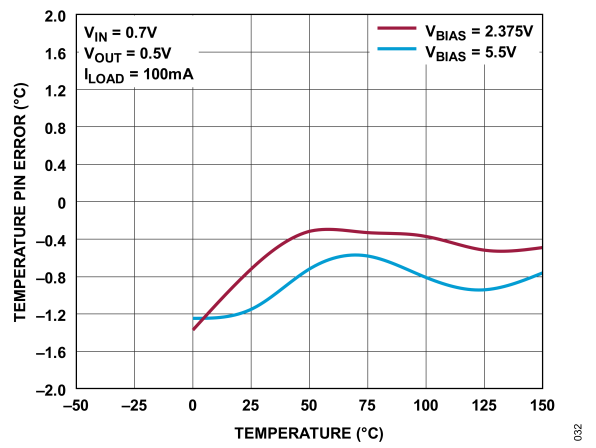


図 32. TEMP ピン・エラー

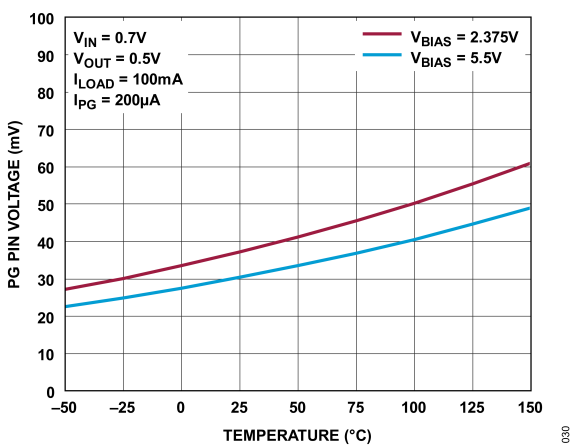


図 30. PG ピンの低電圧

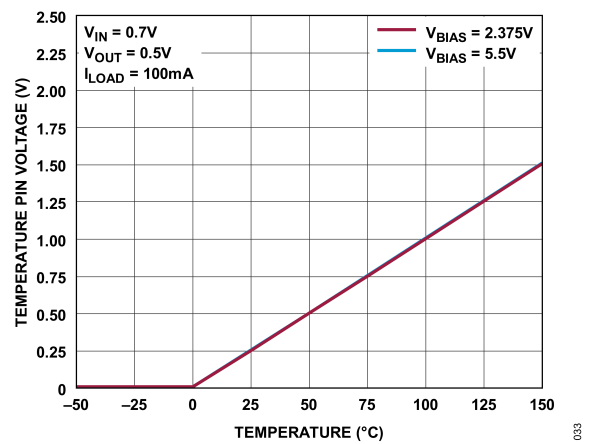


図 33. TEMP ピン電圧と温度の関係

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

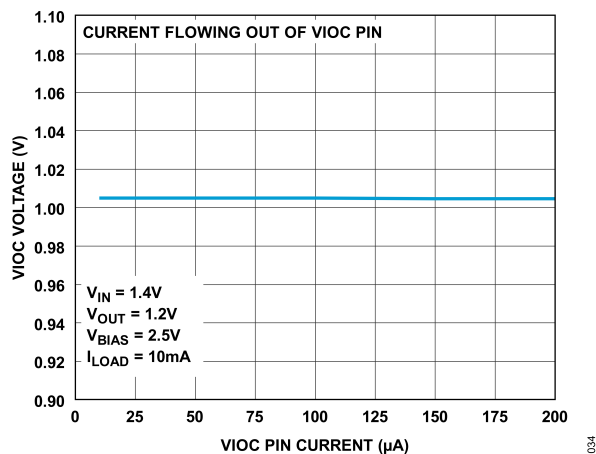


図 34. VIOC ピン電圧

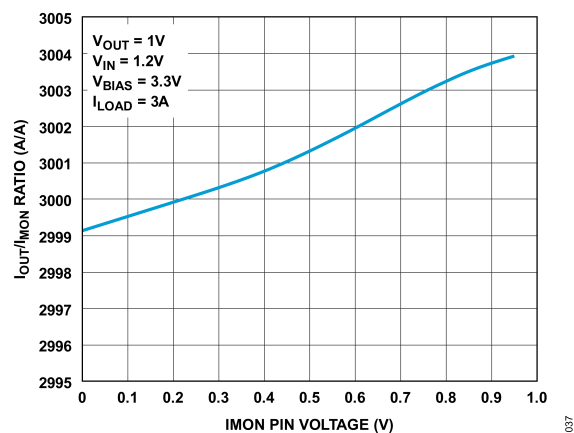


図 37. I_{OUT}/I_{MON} 比

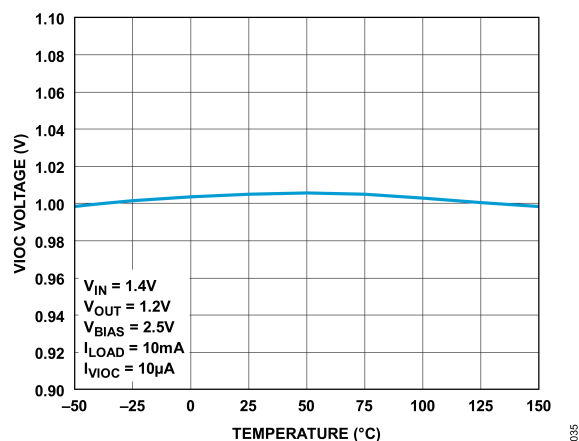


図 35. VIOC ピン電圧

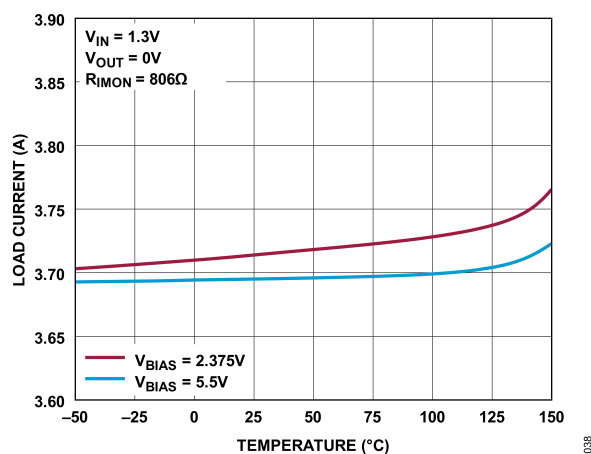


図 38. 外部電流制限値 (3.72A)

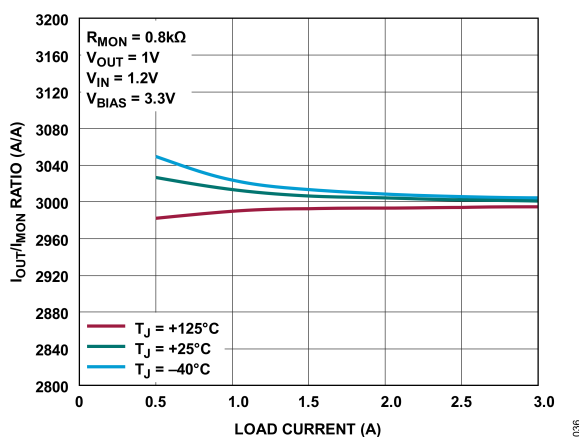


図 36. I_{OUT}/I_{MON} 比

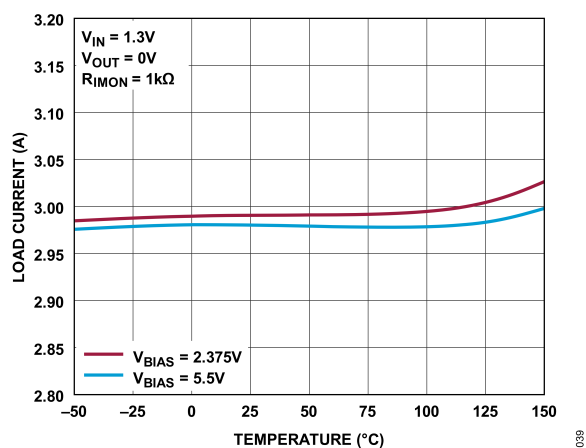


図 39. 外部電流制限値 (3A)

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

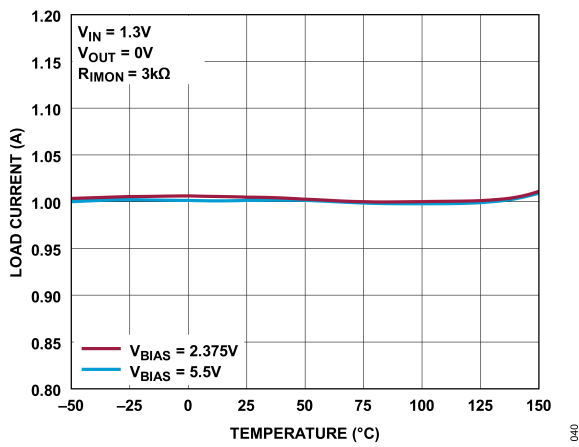


図 40. 外部電流制限値 (1A)

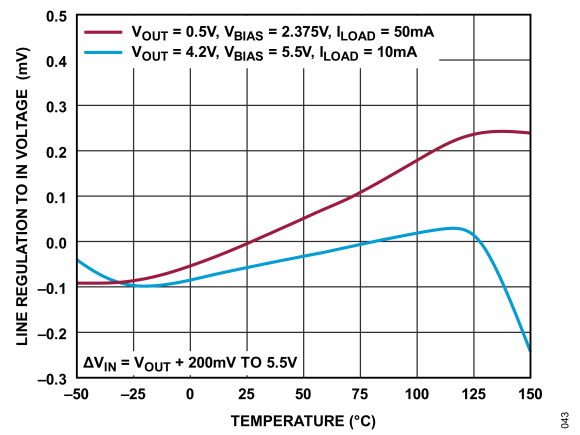


図 43. IN へのライン・レギュレーション

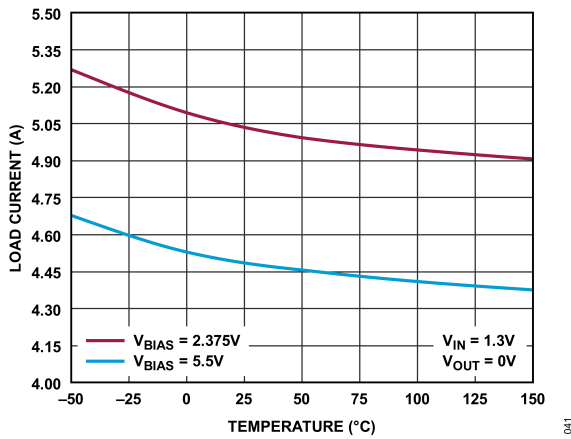


図 41. 内部電流制限値

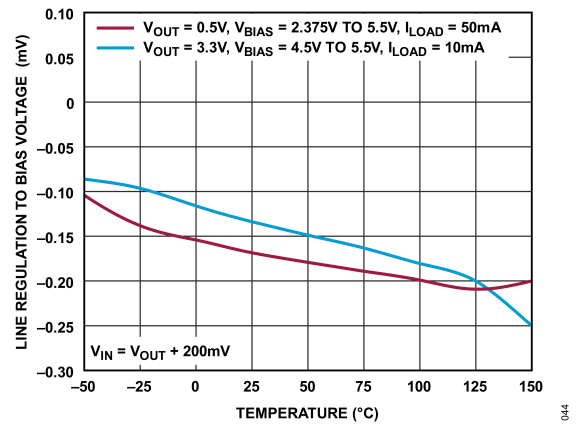


図 44. BIAS へのライン・レギュレーション

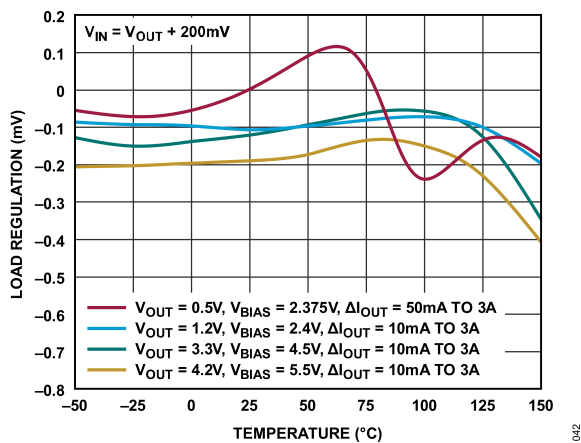


図 42. 負荷レギュレーション

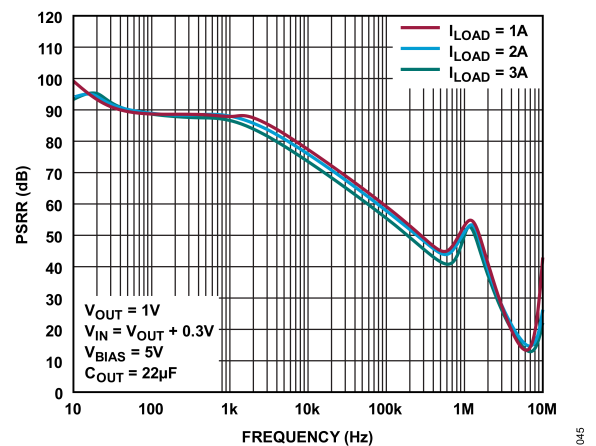


図 45. IN ピンの PSRR

代表的な性能特性

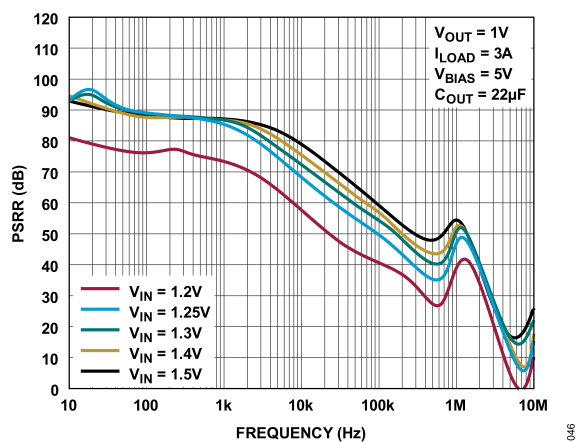
特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

図 46. IN ピンの PSRR

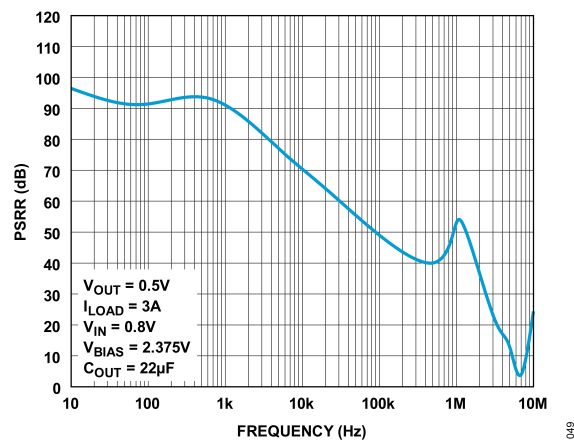


図 49. IN ピンの PSRR

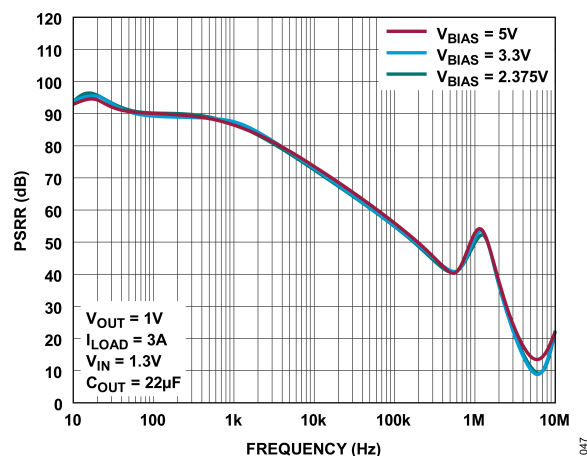


図 47. IN ピンの PSRR

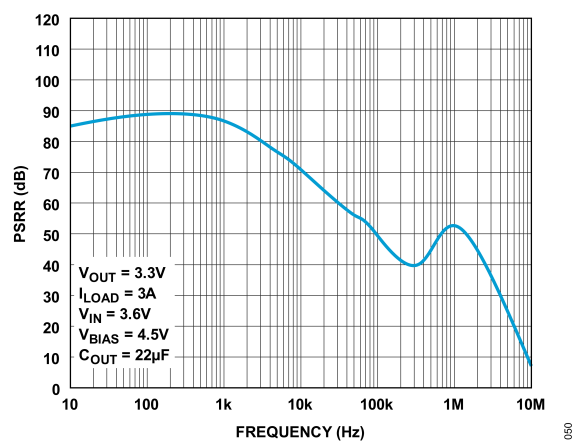


図 50. IN ピンの PSRR

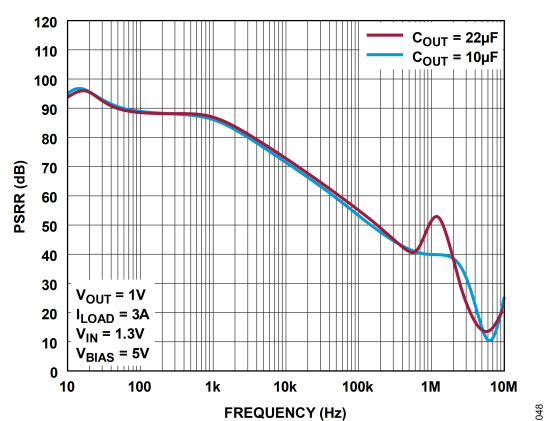


図 48. IN ピンの PSRR

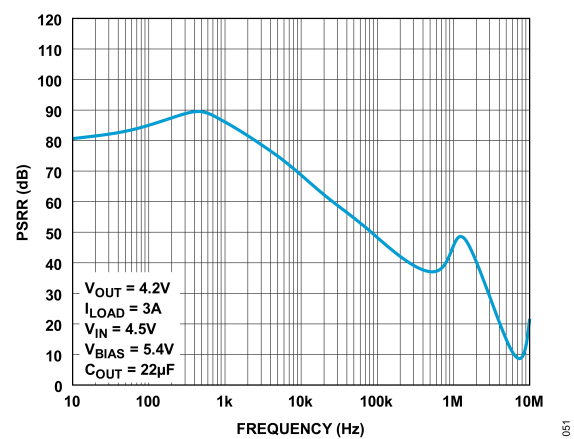


図 51. IN ピンの PSRR

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

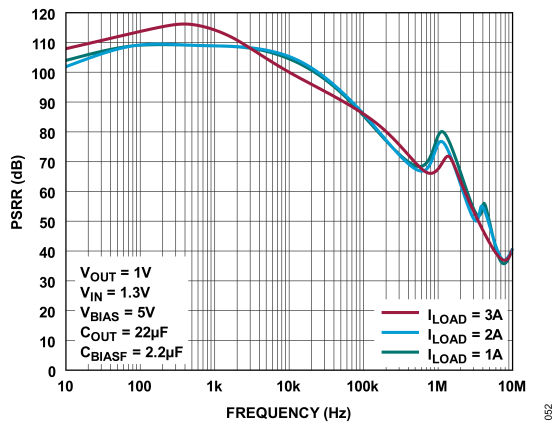


図 52. BIAS ピンの PSRR

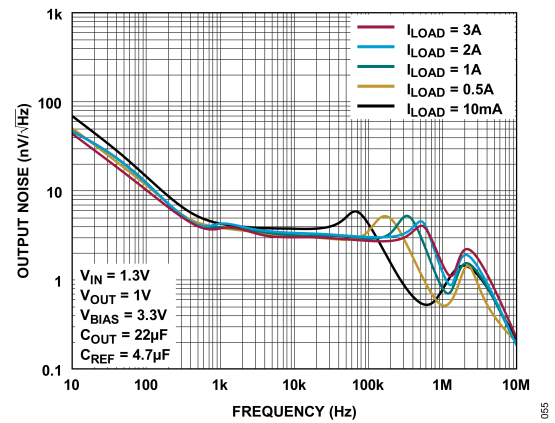


図 55. ノイズ・スペクトル密度

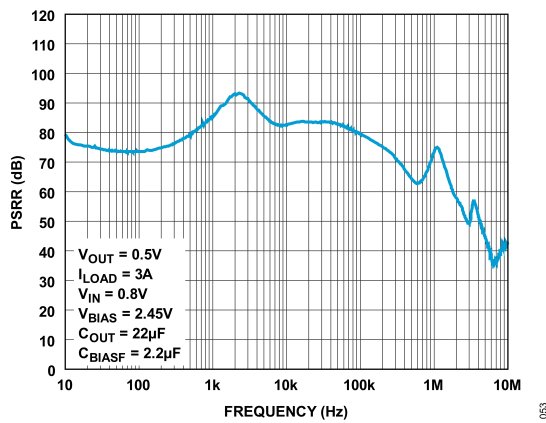


図 53. BIAS ピンの PSRR

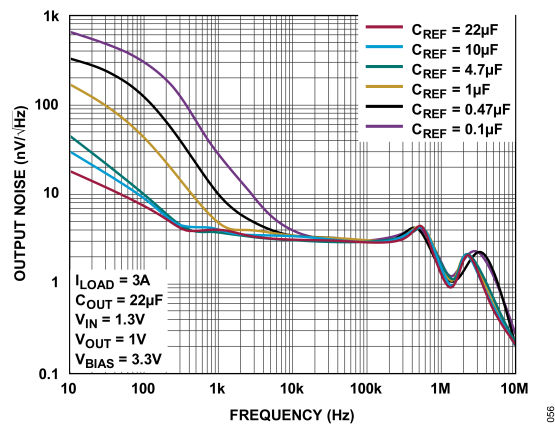


図 56. ノイズ・スペクトル密度

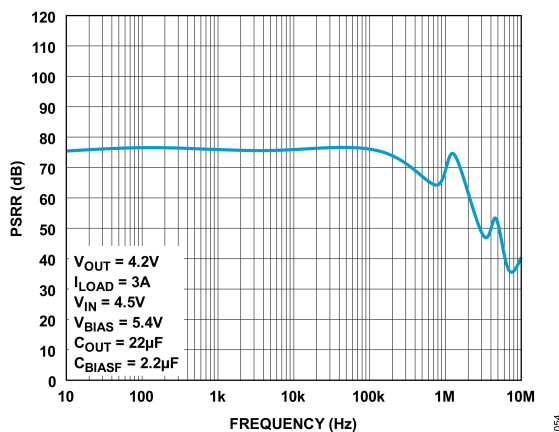


図 54. BIAS ピンの PSRR

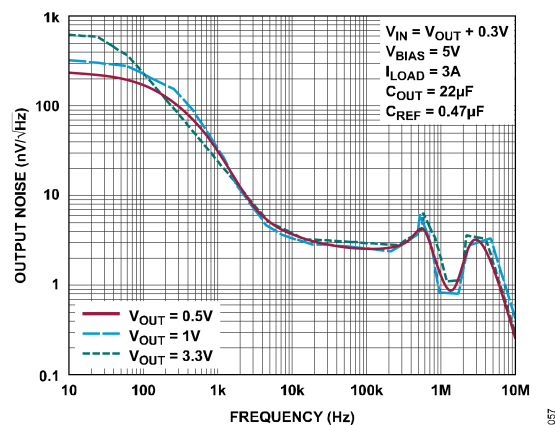


図 57. ノイズ・スペクトル密度

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

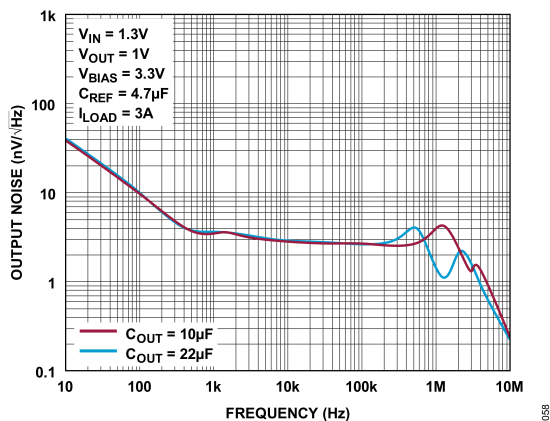


図 58. ノイズ・スペクトル密度

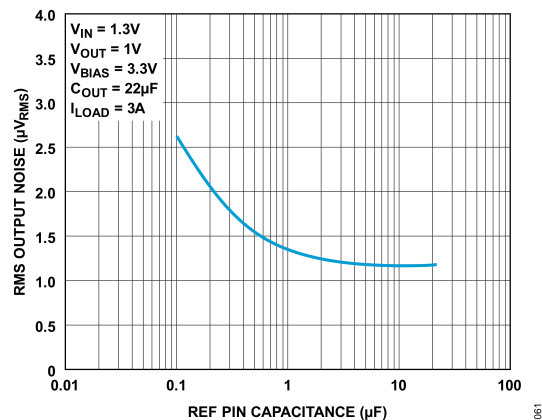


図 61. 積分 RMS 出力ノイズ (10Hz~100kHz)

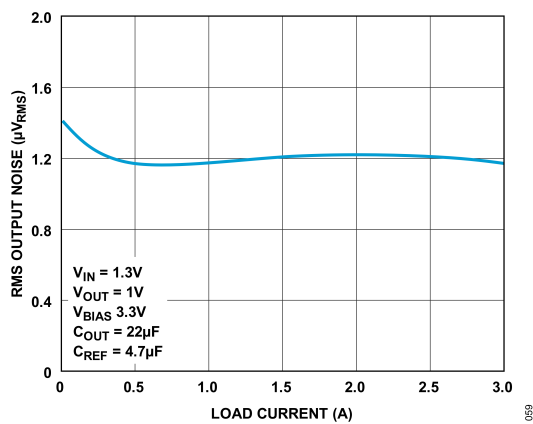


図 59. 積分 RMS 出力ノイズ (10Hz~100kHz)

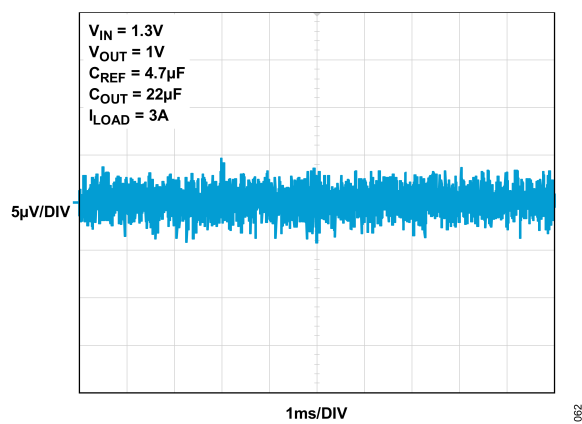


図 62. 出力ノイズ (10Hz~100kHz)

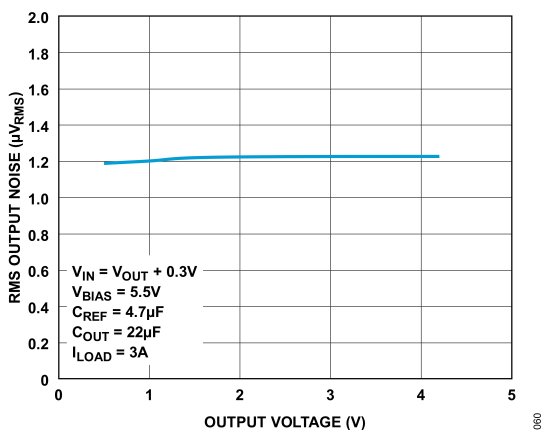


図 60. 積分 RMS 出力ノイズ (10Hz~100kHz)

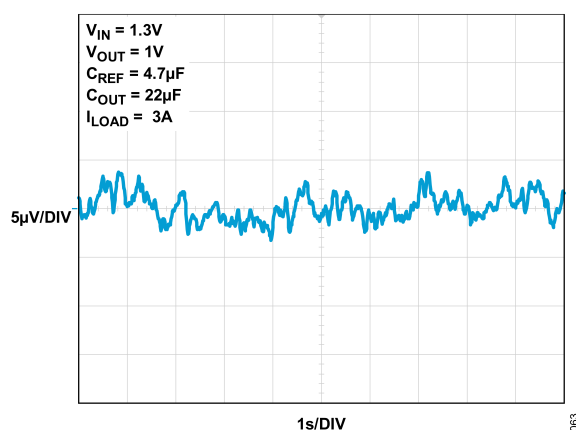


図 63. 出力ノイズ (0.1Hz~10Hz)

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

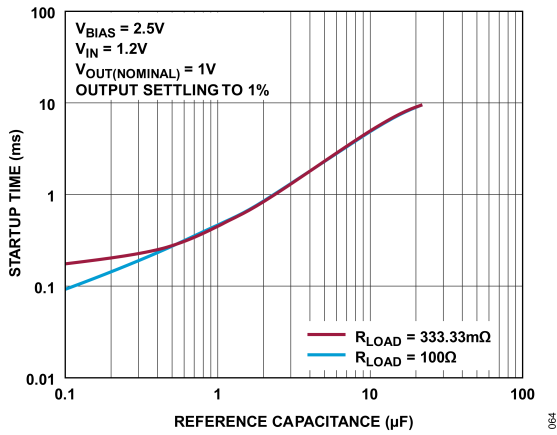


図 64. 起動時間

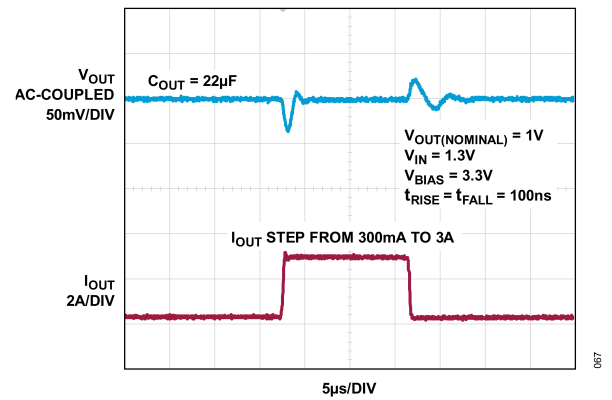


図 67. 負荷過渡応答

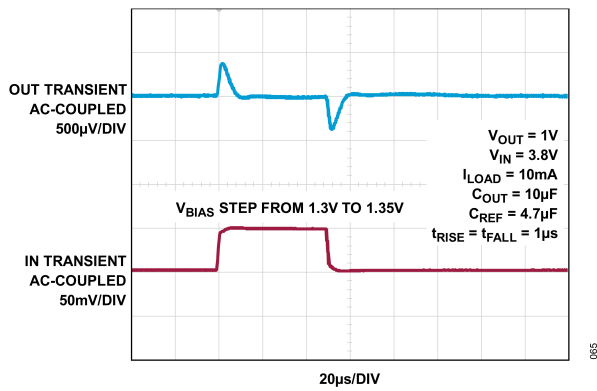


図 65. IN ピンのライン・トランジェント

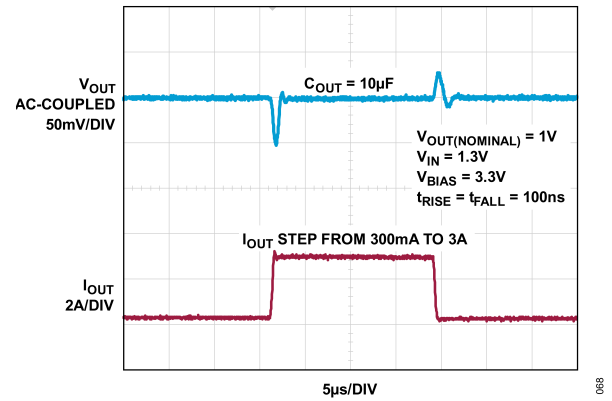


図 68. 負荷過渡応答

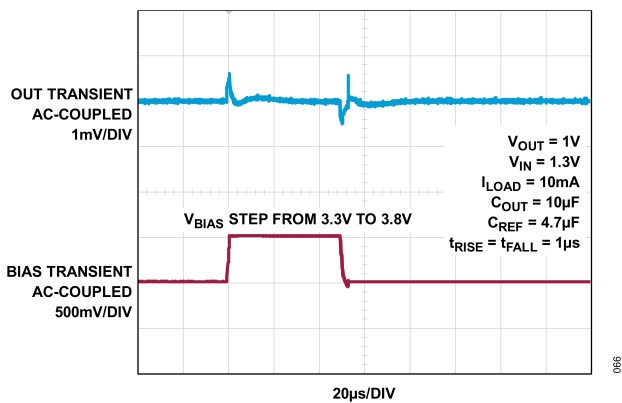


図 66. BIAS ピンのライン・トランジェント

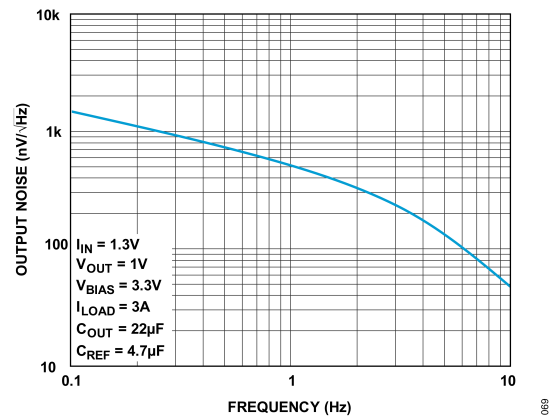
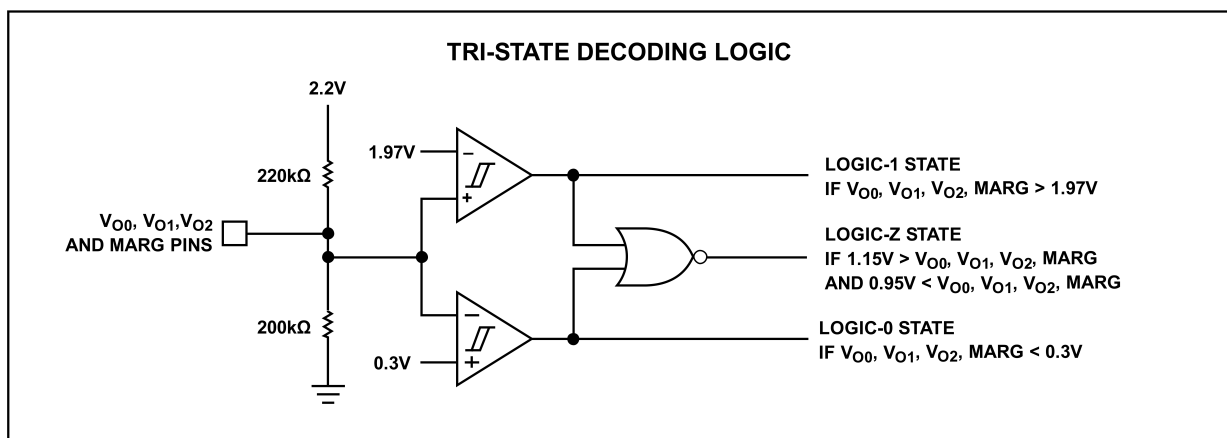
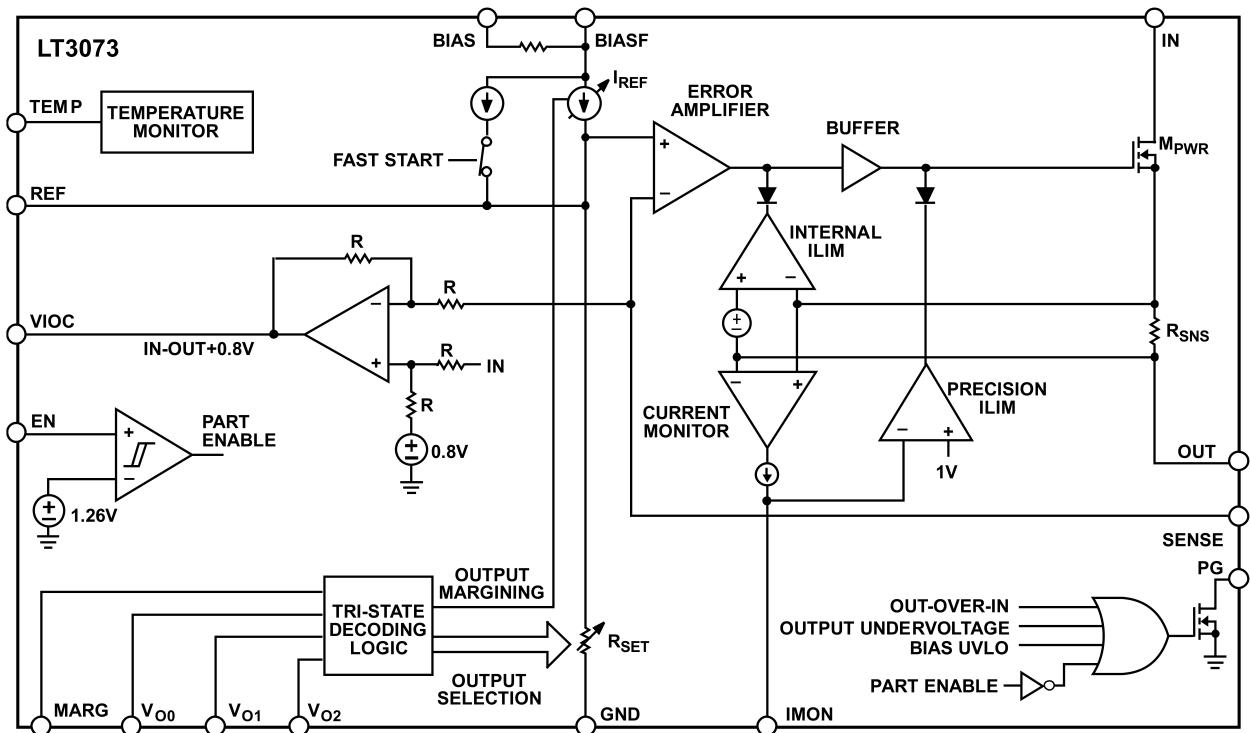


図 69. ノイズ・スペクトル密度

機能図



070

アプリケーション情報

LT3073 は、低電圧、超低ノイズ、超高速過渡応答のリニア電圧レギュレータです。このデバイスは、45mV（代表値）のドロップアウト電圧で最大 3A を供給します。4.7μF のリファレンス・バイパス・コンデンサにより、出力電圧ノイズは 1.2μV_{RMS} に低減されています。LDO の広い帯域幅と高い PSRR により、小型のセラミック・コンデンサを使用できるため、バルク容量とコストを節減できます。LT3073 は、高性能 FPGA、マイクロプロセッサ、RF 通信、ノイズに敏感な電源アプリケーションに最適なデバイスです。

出力電圧

LT3073 のユニティ・ゲイン動作は、出力電圧の設定値には依存せずに、ほぼ一定の出力ノイズ、PSRR、帯域幅、負荷レギュレーションを提供します。出力電圧は、0.5V～1.2V では 50mV 刻み、1.2V～1.8V では 100mV 刻み、それ以上は 2V、2.5V、3V、3.3V、4.2V の離散的なレベルでデジタル的に選択が可能です。

出力電圧は、V_{O0}、V_{O1}、V_{O2} の 3 つの 3 レベル入力ピンで選択します。表 6 に、これらのピンをハイまたはローに設定にした場合、あるいはフローティング状態にした場合の 3 ビット・デジタル・ワードと出力電圧の関係を示します。入力ロジック・ロー状態は、GND を基準にして 300mV 以下で確保され、ロジック・ハイ状態は 1.97V 以上で確保されます。ロジック Hi-Z（入力フローティング）状態は、950mV～1.15V の範囲で定義されます。これらのピンは、V_{BIAS} にストラップすることにより、またはデジタル・ポートで駆動することにより、ハイに接続できます。フローティング状態のピンには、フローティング状態の場合か、Hi-Z 出力機能を持つロジックを必要とする場合のいずれかがあります。これにより、必要に応じて出力電圧を動的に変化させることができます。

表 6. V_{OUT} 選択マトリクス

V _{OUT} (V)	V _{O2}	V _{O1}	V _{O0}
0.50	0	0	0
0.55	0	0	Z
0.60	0	0	1
0.65	0	Z	0
0.70	0	Z	Z
0.75	0	Z	1
0.80	0	1	0
0.85	0	1	Z
0.90	0	1	1
0.95	Z	0	0
1.00	Z	0	Z
1.05	Z	0	1
1.10	Z	Z	0
1.15	Z	Z	Z
1.20	Z	Z	1
1.30	Z	1	0
1.40	Z	1	Z
1.50	Z	1	1
1.60	1	0	0
1.70	1	0	Z
1.80	1	0	1
2.00	1	Z	0
2.50	1	Z	Z
3.00	1	Z	1
3.30	1	1	0
4.20	1	1	Z
4.20	1	1	1

0 = ロー、Z = Hi-Z（フロート）、1 = ハイ

REF - 電圧リファレンス

REF ピンは、抵抗 DAC に供給される内部電流リファレンスの電圧出力です。GND との間に 4.7μF の REF コンデンサを接続すると、リファレンス電圧ノイズが減少し、イネーブル時に OUT がソフトスタートします。ソフトスタート時間は、使用する REF コンデンサの値により決定されます。

REF ピンには、より高い出力電流を得るために他の LT3073 レギュレータを並列接続するアプリケーションを除いて、いかなる DC 負荷もかけてはなりません。詳細については、[より高い出力電流を得るためのデバイスの並列化](#)のセクションを参照してください。

出力電圧デジタル・マーキング

デジタル入力ピン MARG の役割は、内部リファレンスをオフセットし、同様に出力をオフセットすることです。MARG ピンを接地すると、出力が-2.5%だけオフセットされます。同様に、MARG ピンを BIAS ピンまでプルアップすると、出力が+2.5%だけオフセットされます。

イネーブル機能 - ON と OFF の切り替え

EN ピンは、OUT ピンと REF ピンをイネーブル/ディスエーブルにします。EN ピンをローにすると、レギュレータは「ナップ」モードになります。ナップ・モードでは、静止電流は 10μA 以下に減少します。

デジタル・ロジック・ポート、または V_{BIAS} へのプルアップ抵抗で終端されたオープンコレクタ NPN またはオープンドレイン NMOS のいずれかで、EN ピンを駆動します。プルアップ抵抗は 200kΩ 以下にして、EN ピンの V_{IH} 条件を満たす必要があります。EN ピンは、使用しない場合、BIAS に接続します。

BIAS 低電圧ロックアウト

内部低電圧ロックアウト (UVLO) コンパレータは、BIAS レールを監視します。 V_{BIAS} が UVLO 閾値を下回ると、すべての機能が停止し、パス・トランジスタはゲートオフされ、出力電流はゼロに低下します。代表的な BIAS ピンの UVLO 閾値は、 V_{BIAS} の立上がりエッジで 2.2V です。UVLO 回路には、 V_{BIAS} の立下がりエッジに約 130mV のヒステリシスが組み込まれています。

高効率リニア電圧レギュレータ - 入出力間の電圧制御

VIOC ピンは、上流のスイッチング・コンバータを制御して、LDO の出力電圧に関係なく、LT3073 の両端の電圧を一定に保ちます。これにより、PSRR の性能を維持しながら、効率が最大化されます。VIOC ピンは高速アンプの出力であり、電圧値は、 $(V_{IN} - V_{OUT}) + 800\text{mV}$ です。[図 70](#) に示すように、VIOC 機能は簡単に使用できます。 $V_{FB} \geq 1\text{V}$ の場合、VIOC ピンを上流スイッチング・コンバータのフィードバック (FB) ピンに接続します。これにより、LT3073 の入出力間電圧差が、スイッチング・コンバータのフィードバック電圧から 800mV を差し引いた値にレギュレートされます。複数の LT3073 を並列接続する場合、LT3073 の 1 つの VIOC ピンを上流スイッチング・コンバータのフィードバック・ピンに接続し、残りの VIOC ピンをフローティング状態にします。LT3073 がオフになると、 V_{INLDO} は $V_{FBSWITCHER} \times (R1 + R2)/R1$ で設定された電圧に固定されます。

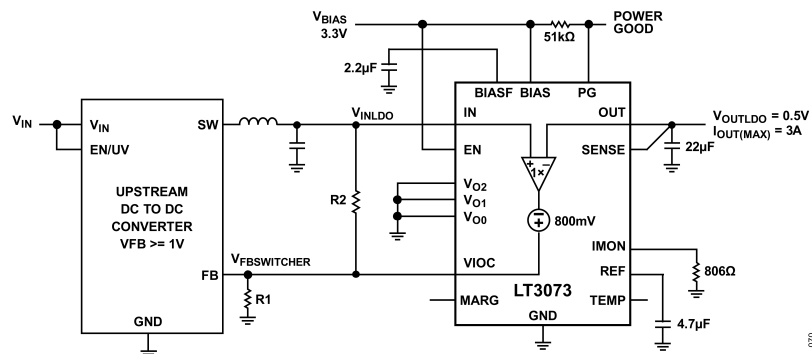


図 70. VIOC の基本動作

VIOC バッファは、スイッチング・コンバータのフィードバック・ループの内側にありますが、VIOC バッファの高帯域幅を考慮に入れると、スイッチング・コンバータの周波数補償の調整は不要です。VIOC バッファによる位相遅延は、100kHz ほどの高い周波数では通常 2° 以下です。このため、スイッチング・コンバータの（通常は 100kHz よりもはるかに小さい）帯域幅内では、VIOC バッファはトランスペアレントであり、理想的なワイヤのように動作します。

例えば、帯域幅が 100kHz 以下で位相マージンが 50° のスイッチング・コンバータの場合、VIOC バッファを使用しても、位相マージンの低下は 2° 以下です。このため、(VIOC ピンを使用する) スwitchング・コンバータの位相マージンは、48° 以上になります。VIOC バッファがスイッチング・コンバータのフィードバック・ループの内側にある場合、VIOC ピンの総静電容量は 20pF 以下でなければなりません。

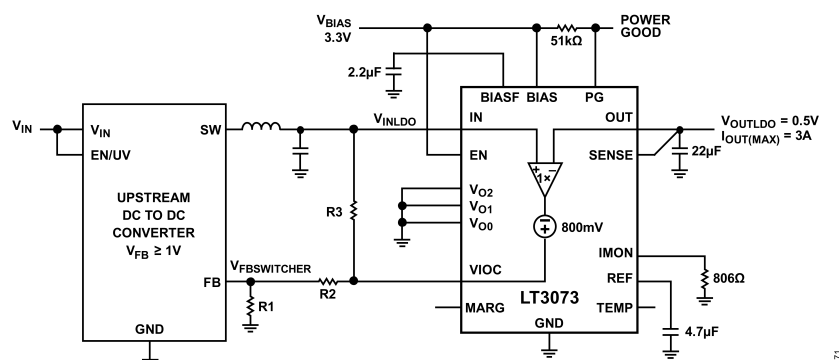


図 71. 入出力間電圧差のプログラミング

図 71 に示すように、入出力間電圧差は、次の式を用いて容易にプログラムでき、様々なアプリケーション・ニーズ（PSRR と消費電力の関係）に対応できます。

$$V_{INLDO} - V_{OUTLDO} + 800mv = V_{VIOC} = V_{FBSWITCHER} X \frac{R1+R2}{R1}$$

更に、LT3073 の EN ピンが GND に短絡すると、LT3073 の入力電圧がスイッチャの入力電圧まで上昇して、LT3073 の絶対最大定格に違反する可能性があります。これを防ぐために、レギュレータの VIOC ピンと IN ピンの間に抵抗 (R3) を接続して、LT3073 の最大入力電圧を次のように設定できます。

$$V_{(MAX)LDOIN} = V_{FBSWITCHER} X \frac{R1 + R2 + R3}{R1}$$

VIOC ピンは 200 μ A を供給できます。R1 と R3 の値は、システムの安定性を確保するために、VIOC ピンが 10 μ A 以上供給するように選択します。

図 76 に、LT8610A 降圧コンバータの出力のポストレギュレーションに使用される代表的な VIOC アプリケーションを示します。VIOC 電圧は 1.1V に設定します ($V_{INLDO} - V_{OUTLDO}$ は 300mV に設定)。LDO 最大入力電圧 $V_{INLDO(MAX)}$ は 5.08V に設定します。

パワー・グッド

PG ピンは、オープンドレイン NMOS 出力であり、EN がローの場合、または次のいずれかのフォルト・モードが検出された場合に、アクティブにローにプルダウンします。

- ▶ V_{OUT} は、 V_{OUT} の立上がりエッジで $V_{OUT(NOMINAL)}$ の93%より低い。
- ▶ V_{OUT} は、 V_{OUT} の立下がりエッジで $V_{OUT(NOMINAL)}$ の90%より低い。
- ▶ V_{BIAS} は、その低電圧ロックアウト閾値より低い。
- ▶ OUT-over-IN 電圧検出器が作動する。

安定性と出力容量

LT3073 フィードバック・ループには、安定性のために $10\mu\text{F}$ 以上の出力容量が必要です。アナログ・デバイスでは、低 ESR の X5R または X7R セラミック・コンデンサを、LT3073 の OUT ピンと GND ピンの近くにマウントすることを推奨しています。OUT と GND 用に広い配線プレーンを設け、インダクタンスを最小化します。可能であれば、レギュレータをアプリケーション負荷のすぐ近くにマウントして、分布インダクタンスを最小化し、負荷過渡応答の性能を最適化します。負荷点アプリケーションは、最適なレイアウト・シナリオを提供して、LT3073 の性能を最大限に引き出します。

負荷点で、隣接するデカップリング・コンデンサ以外にセラミック・コンデンサを追加して分散配置することは、許容可能であり、推奨します。それらのコンデンサが、分散型 PCB インダクタンスによって一次補償コンデンサから分離されるためです。

FPGA、ASIC プロセッサ、DSP 電源など、LT3073 が得意とするアプリケーションの多くには通常、給電されるデバイス用の高周波デカップリング・コンデンサ・ネットワークが必要です。このネットワークは一般に、並列接続された多数の低価格セラミック・コンデンサで構成されています。複数の低価格コンデンサは、並列接続により、好ましい周波数特性を示し、コンデンサの寄生インダクタンスを減少させます。

セラミック・コンデンサの使用を推奨します。セラミック・コンデンサは、温度と印加電圧の挙動が異なる様々な誘電体を用いて作られています。最も一般的な誘電体には、EIA 温度特性コード Z5U、Y5V、X5R、X7R が付けられています。誘電体 Z5U および Y5V は、小型パッケージで高い静電容量を確保するには適していますが、図 72 と図 73 に示すように、電圧係数と温度係数が大きくなる傾向があります。16V $10\mu\text{F}$ のコンデンサ Y5V は、5V のレギュレータと共に用いると、印加した DC バイアス電圧に対して、また動作温度範囲全体で、実効値を $1\mu\text{F}$ ~ $2\mu\text{F}$ という低い値にできます。誘電体 X5R および X7R は、特性の安定性が高く、出力コンデンサとしての使用に適しています。

誘電体 X7R は温度に対する安定性が良好であり、一方、X5R はより安価で、より高い値が得られます。ただし、コンデンサ X5R および X7R を使用する場合には注意が必要です。コード X5R および X7R は、動作温度範囲と最大静電容量の温度変化のみを規定しています。コンデンサ X5R および X7R の DC バイアスによる静電容量の変化は、コンデンサ Y5V および Z5U よりも良好ですが、コンデンサの諸元を適切なレベルより下げるにはまだ大きすぎる場合があります。コンデンサの DC バイアス特性は、部品のケース・サイズが大きくなるにつれて向上する傾向がありますが、動作電圧での静電容量の予測値を検証することが必要です。電圧係数と温度係数だけが問題の原因ではありません。セラミック・コンデンサの中には圧電応答を示すものがあります。圧電デバイスは、圧電マイクの動作と同様に、機械的応力によって端子間に電圧を発生させます。セラミック・コンデンサの場合、この応力はシステム内の振動または熱トランジェントによって引き起こされることがあります。

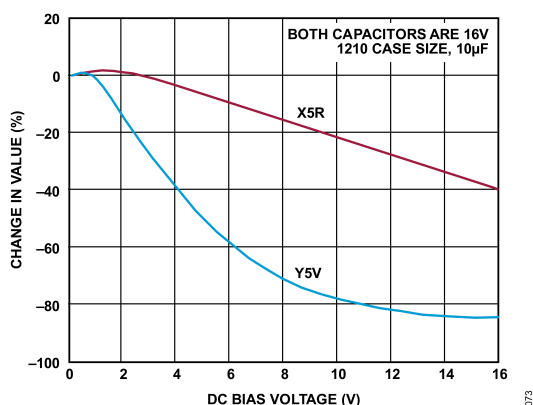


図 72. セラミック・コンデンサの DC バイアス特性

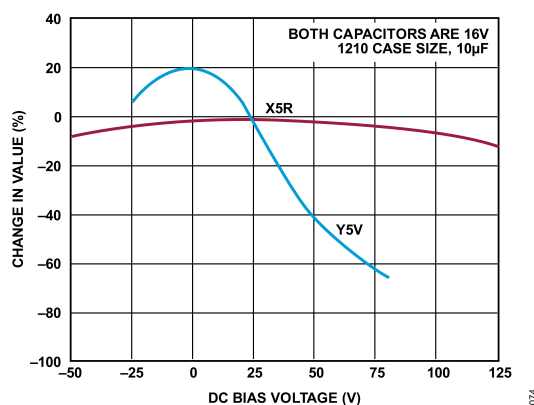


図 73. セラミック・コンデンサの温度特性

安定性と入力容量

LT3073 は、最小容量 4.7 μ F のコンデンサが IN ピンに接続された状態で安定します。低 ESR コンデンサを用いると、大負荷過渡応答状態での瞬時電圧降下を最小限に抑えることができます。大負荷過渡応答中に V_{IN} が大きく降下すると、レギュレータがドロップアウトに入り、それに対応して負荷過渡応答が劣化する可能性があります。このため、アプリケーションの条件によっては、入出力容量の値を上げる必要があります。この回路は、電力を最小化するためにドロップアウトに近い状態で意図的に動作されるため、十分な入力容量が不可欠です。理想的には、IN に給電する電源の出力インピーダンスを 20m Ω より低くして、トランジェントが大きい 3A 負荷に対応できるようにする必要があります。

ワイヤを用いて電源を LT3073 の入力（および LT3073 のグラウンドと電源のグラウンドの間）に接続する場合、大きい入力コンデンサを用いて、不安定なアプリケーションを回避する必要があります。これは、入力コンデンサと共に LC タンク回路を形成するワイヤのインダクタンスによるものであり、LT3073 が不安定になっているためではありません。ワイヤの自己インダクタンス、すなわち孤立インダクタンスは、その長さに比例します。ただし、ワイヤの直径は、その自己インダクタンスには大きな影響を及ぼしません。例えば、長さ 1 インチ、直径 0.04 インチの 18-AWG ワイヤの自己インダクタンスは 28nH です。直径 0.26 インチの 2-AWG 孤立ワイヤの自己インダクタンスは、18-AWG ワイヤのインダクタンスの約半分です。ワイヤの自己インダクタンス全体は、2 つの方法で低減できます。1 つは、LT3073 に向かって流れる電流を、2 つの並列導体間で分割する方法です。この場合、ワイヤの間隔が広いほど、インダクタンスは減少し、数インチ離すと、最大で 50%減少します。ワイヤを分割すると、2 つの等しいインダクタが並列接続されます。ただし、互いに近接して配置される場合、相互インダクタンスが、ワイヤの自己インダクタンス全体に付加されます。インダクタンス全体を減少させる最も効果的な方法は、順方向電流導体とリターン電流導体（入力用のワイヤとリターン・グラウンド用のワイヤ）を非常に近接して配置することです。この場合、0.05 インチ離れた 2 本の 18-AWG ワイヤは、自己インダクタンス全体を、1 本の孤立ワイヤの約 4 分の 1 に減少させます。LT3073 が、同じ回路基板上のグラウンド・プレーンと電源プレーンの近くにマウントしたバッテリーから給電される場合、10 μ F の入力コンデンサで十分な安定性が得られます。離れた電源から LT3073 に給電する場合は、低 ESR で、220 μ F 程度の大容量入力コンデンサを使用します。電源の出力インピーダンスが変動すると、アプリケーションの安定性に必要な最小入力容量も変動します。

BIAS/BIASF ピンの条件

BIAS ピンは、内部制御回路の大半と出力段に電流を供給し、パス・トランジスタを駆動します。LT3073 で、安定性と適切な動作を確保するには、BIASF ピンに最低 2.2 μ F のバイパス・コンデンサを接続する必要があります。BIAS ピンにはバイパス・コンデンサは不要です。適切な動作を確保するには、BIAS 電圧が次の条件を満たす必要があります。2.375V $\leq$ V_{BIAS} $\leq$ 5.5V かつ $V_{BIAS} \geq (V_{OUT} + 1.2V)V_{OUT} \leq 1.15V$ の場合、最小 BIAS 電圧は 2.375V に制限されます。

負荷レギュレーション

LT3073 は寄生パッケージを補正し、SENSE ピンが出力コンデンサにケルビン接続されている場合は、PCB の I-R 電圧降下も補正します。LT3073 は中程度のレベルの出力ライン・インピーダンスを処理しますが、 V_{OUT} と C_{OUT} の間の過大なインピーダンスはフィードバック・ループに過大な位相シフトを引き起こし、安定性に悪影響を及ぼします。

PCB レイアウト時の考慮事項

LT3073 の高い帯域幅と高い PSRR を考慮に入れると、デバイスの性能をフルに発揮させるには、PCB レイアウト綿密に行う必要があります。図 74 に、レギュレータの性能をフルに発揮するレイアウトを備えた EVAL-LT3073-AZ 評価用ボードを示します。詳細については、[EVAL-LT3073-AZ 評価用ボード](#)のユーザ・ガイドを参照してください。

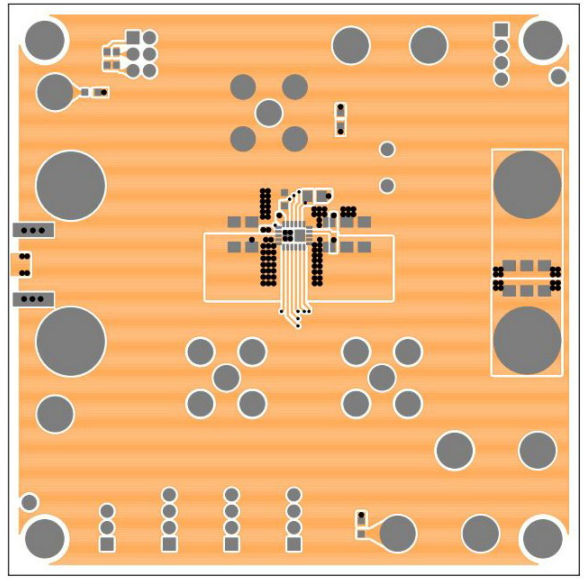


図 74. EVAL-LT3073-AZ 評価用ボード

保護機能

LT3073 には、出力電流を 4.5A に固定する内部電流制限機能があります。また、LT3073 には、 $\pm 3\%$ の精度で設定可能な精密電流制限機能があります。周囲温度が十分に高い場合、ダイ・ジャンクション温度は 125°C の最大動作温度を超えることがあります。この場合、LT3073 は内部熱安全機能に依存します。通常、LT3073 では、168°C でサーマル・シャットダウンが作動し、IC 温度がその熱ヒステリシス限界を下回るまで出力がシャットダウンされます。

電流モニタと外部から設定可能な電流制限値

IMON ピンの電流制限閾値は 1V です。IMON と GND の間に抵抗を接続すると、IMON ピンから流れ出る最大電流が設定され、LT3073 の電流制限値が設定されます。プログラミング換算係数 $3A \cdot k\Omega$ を用いると、電流制限値は次のように計算できます。

$$Current\ Limit = \frac{3A \times k\Omega}{R_{ILIM}}$$

例えば、1k Ω の抵抗では電流制限値は 3A に設定され、2k Ω の抵抗では電流制限値は 1.5A に設定されます。精度を良くするには、この抵抗を LT3073 の GND ピンにケルビン接続します。

電気的特性の表 (表 1) に示すように、IMON ピンは、出力電流に比例 (1:3000) した電流を供給します。外部電流制限値を用いない場合は、IMON を GND に接続すると、内部電流制限値が 4.5A に設定されます。

熱に関する考慮事項

周囲温度が高い場合、LT3073 の良好な放熱性を確保するには、PCB のレイアウトに注意する必要があります。パッケージ底面にある IN ピンと OUT ピンはそれぞれ、IN プレーンと OUT プレーンにハンダ付けする必要があります。更に、IN と OUT は、その下にある広い銅層にサーマル・ビアで接続する必要があります。これらの層は LT3073 が放散する熱を拡散します。ビアを追加すれば、更に熱抵抗を小さくすることができます。ダイ温度は、LT3073 の消費電力にジャンクションから周囲までの熱抵抗を乗算して計算します。

内蔵の過熱保護機能が LT3073 のジャンクション温度をモニタします。ジャンクション温度が約 168°C に達すると、温度が約 7°C 低下するまで LT3073 出力がシャットダウンされます。

表 7 に、一定のボード・サイズの熱抵抗を銅面積の関数として示します。測定はすべて、1 オンス厚の均質な内部プレーンと 2 オンス厚の上／下プレーンを持つ総厚さが 1.6mm の 4 層 FR-4 ボードを用い、静止空気中で行いました。この 4 層は、サーマル・ビアがなく、電氣的に絶縁されています。PCB 層、銅重量、ボード・レイアウト、サーマル・ビアは、熱抵抗の結果に影響を及ぼします。熱抵抗と高熱伝導率テスト・ボードの詳細については、JEDEC 規格の JESD51、特に JESD51-7 と JESD51-12 を参照してください。低い熱抵抗を達成するには、細部への注意と綿密な PCB レイアウトが必要です。

表 7. LQFN パッケージの熱抵抗の測定値

COPPER AREA		BOARD AREA	THERMAL RESISTANCE (θ_{JA})
TOP SIDE ¹	BOTTOM SIDE		
2500mm ²	2500mm ²	2500mm ²	33°C/W
1000mm ²	2500mm ²	2500mm ²	34°C/W
225mm ²	2500mm ²	2500mm ²	36°C/W
100mm ²	2500mm ²	2500mm ²	39°C/W

¹ デバイスは上面にマウントされています。

ジャンクション温度の計算

例：出力電圧が 1.2V、入力電圧が 1.5V、BIAS 電圧が 5V、出力電流の範囲が 10mA～3A、最大周囲温度が 50°C とすると、最大ジャンクション温度は何度になるでしょうか。

LT3073 の消費電力は次のとおりです。

$$I_{OUT(MAX)} \times (V_{IN} - V_{OUT}) + I_{GND} \times V_{BIAS}$$

ここで

$$I_{OUT(MAX)} = 3A$$

$$V_{BIAS} = 5V$$

$$I_{GND} \text{ (} I_{OUT} = 3A \text{ かつ } V_{BIAS} = 5V \text{)} = 5mA$$

したがって、

$$P_{DISS} = 3A \times (1.5V - 1.2V) + 5mA \times 5V = 0.925W$$

3mm × 4mm の 4L LQFN パッケージを用いた場合、熱抵抗は 33°C/W～39°C/W です。 θ_{JA} の値は、ボードの構成とレイアウトによって、33°C/W～39°C/W の範囲内で変化します。 θ_{JA} の値が 36°C/W とすると、周囲温度からのジャンクション温度の上昇温度は、次の式にほぼ等しくなります。

$$0.925W \times 36^{\circ}C/W = 33.3^{\circ}C$$

最大ジャンクション温度は、最大周囲温度に、周囲温度からのジャンクション温度の最大の上昇温度を加算したものに等しくなります。

$$T_{JMAX} = 50^{\circ}C + 33.3^{\circ}C = 83.3^{\circ}C$$

より高い出力電流を得るためのデバイスの並列化

図 75 に示すように、複数の LT3073 を並列接続すると、より高い出力電流が得られます。この並列化のコンセプトは、LT3080 製品シリーズが採用している方式を流用したものです。

この並列接続を行うには、複数のデバイスの IN ピンと OUT ピンをすべて接続します。また、複数のデバイスの REF ピンを接続します。これにより、複数のリファレンス電圧源の平均値が効果的に得られます。各 LT3073 の OUT は、PC パターンの小片を、バラスト抵抗 (≒2mΩ) として、または各レギュレータのフィードバック SENSE タップの先にある実際の検出抵抗として用いて、共通の負荷に接続します。バラスト抵抗は出力電流の分担を実現します。抵抗値を制御した状態を保つため、このバラスト抵抗となるパターン領域にはハンダを付けないようにします。

表 8 に、重量とパターン幅の関数としての PCB パターン抵抗の簡単なガイドラインを示します。

表 8. PCB のパターン抵抗

WEIGHT (oz)	10mil WIDTH	20mil WIDTH
1	54.3	27.1
2	27.1	13.6

パターン抵抗の単位は $\text{m}\Omega/\text{in}$ です。

出力ノイズ

LT3073 には、ノイズ性能に関して多くの利点があります。従来のリニア電圧レギュレータには、いくつかのノイズ源があります。従来型レギュレータの最も決定的なノイズ源としては、その電圧リファレンス、誤差アンプ、出力電圧の設定に使用される抵抗分圧器ネットワークからのノイズ、この抵抗分圧器が生成するノイズ・ゲインが挙げられます。

LT3073 のユニティ・ゲイン・フォロウのアーキテクチャでは、REF ピンから出力までゲインはありません。このため、コンデンサが REF ピンの内部抵抗 DAC をバイパスする場合、出力ノイズは出力電圧の設定値に依存しません。結果として生じる出力ノイズは、誤差アンプのノイズによってのみ設定されます。通常、 $10\text{kHz} \sim 1\text{MHz}$ で $3\text{nV}/\sqrt{\text{Hz}}$ 、 $4.7\mu\text{F}$ の REF ピン・コンデンサを用いた場合は、 $10\text{Hz} \sim 100\text{kHz}$ の帯域幅で $1.2\mu\text{V}_{\text{RMS}}$ です。複数の LT3073 を並列接続すると、N 個の並列レギュレータについて $\sqrt{N}$ だけノイズが更に低減します。

高周波スパイクのフィルタリング

LT3073 をスイッチング・コンバータのポストレギュレーションに用いるアプリケーションでは、その高い PSRR により、スイッチャ（スイッチング・コンバータ）のスイッチング周波数（通常は $100\text{kHz} \sim 4\text{MHz}$ ）に存在する「ノイズ」が効果的に抑制されます。ただし、スイッチャの電源スイッチの遷移時間に関連する高周波数（数百 MHz）の（LT3073 の帯域幅を超えた）「スパイク」は、LT3073 をほぼそのまま通過します。出力コンデンサの目的の 1 つはこれらのスパイクを吸収することですが、その ESL はこれらの周波数での能力を制限します。フェライトビーズ、またはスイッチャの出力と LT3073 の入力の間の短い（例：0.5 インチ）PCB パターンに関連するインダクタンスは、これらの非常に高い周波数のスパイクを抑制する LC フィルタの代わりに使えます。

高速起動

低 $1/f$ ノイズが（すなわち、 100Hz 未満の周波数で）要求される超低ノイズのアプリケーションでは、最大 $22\mu\text{F}$ の大容量の REF ピン・コンデンサが必要となります。これにより通常、レギュレータの起動時間が大幅に増加しますが、LT3073 には、起動中に REF ピン電流を約 2mA まで増加させる高速起動回路が組み込まれています。この回路により、 $22\mu\text{F}$ のコンデンサの場合、起動時間が 100ms から 5ms に短縮されます。

2mA の電流源は、REF が立上がりエッジでその最終値の 98.8%になるまで作動し続けます。レギュレータが電流制限値、サーマル・シャットダウン、UVLO のいずれかの状態にない限り、REF が立下がりエッジで出力設定値の 91%を下回ると、電流源は再起動します。

温度モニタリング

TEMP ピンは、平均ジャンクション温度に比例した電圧を出力します。ピン電圧は 25°C で 250mV で、傾きは $10\text{mV}/^\circ\text{C}$ です。TEMP ピンはバイパス・コンデンサなしで、または $100\text{pF} \sim 1\text{nF}$ のバイパス・コンデンサを用いて安定しています。TEMP ピンの電源電圧変動除去を改善するために、 100pF のコンデンサの使用を推奨します。それを使用しない場合、TEMP を無接続のままにします。

代表的なアプリケーション回路

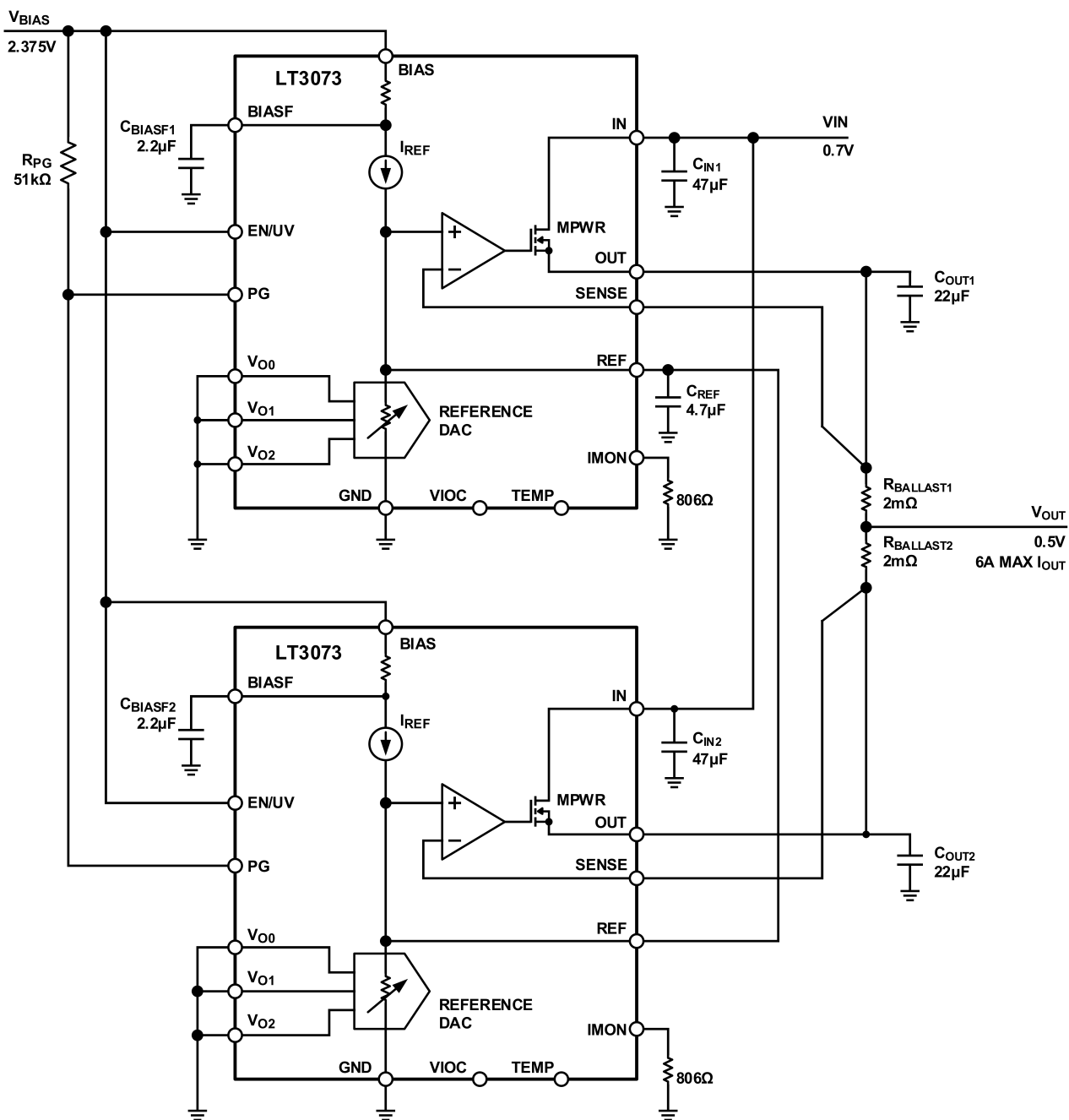


図 75. より高い出力電流を得るための複数の LT3073 の並列化

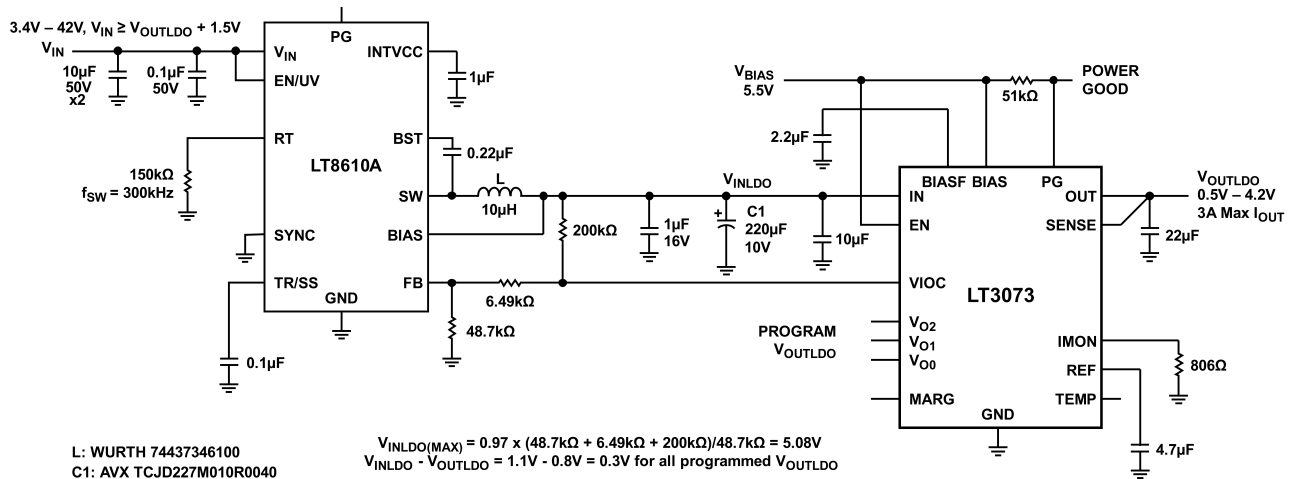
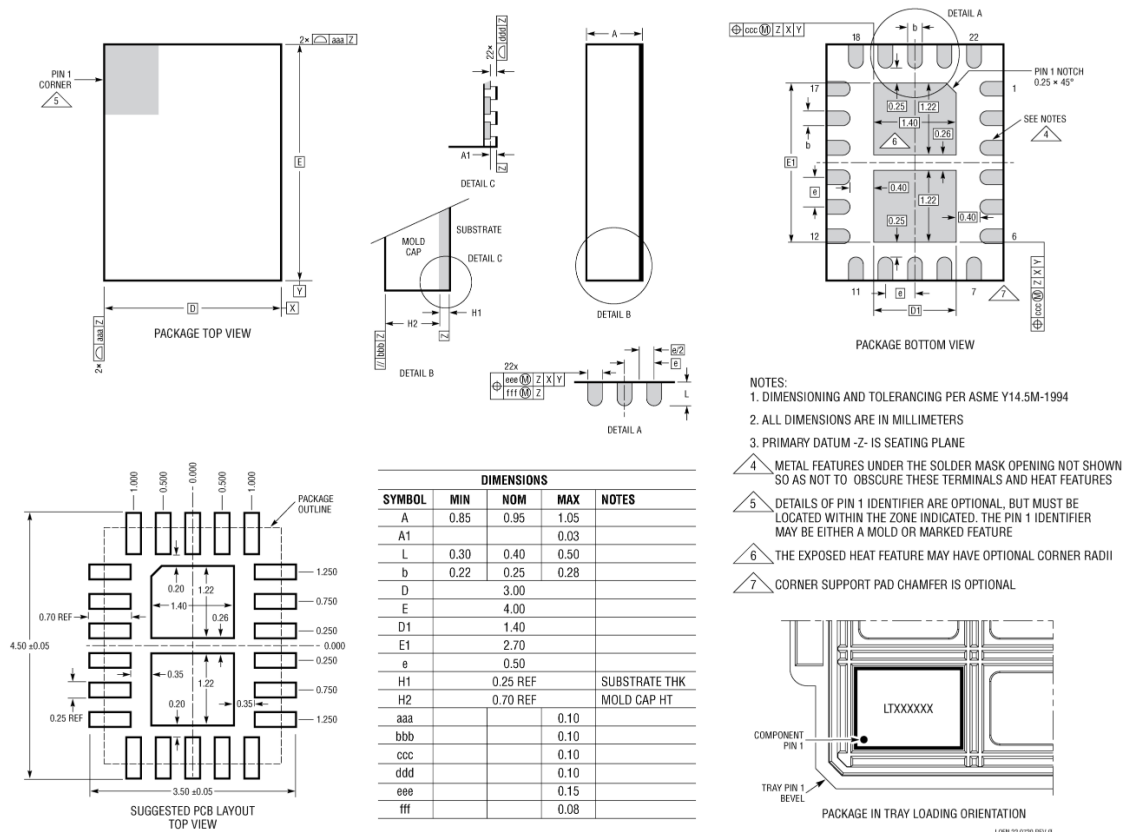


図 76. VIOC 降圧制御を備えたレギュレータ

外形寸法



LQFN Package
22-Lead (3mm × 4mm × 0.95mm)
 (Reference LTC DWG # 05-08-7054 Rev 0)



オーダー・ガイド

表 9. オーダー・ガイド

Model ¹	Temperature Range	Package Description	MSL Rating	Packing Quantity	Package Option
LT3073AV#PBF	-40°C to 125°C	22-LEAD (3mm x 4mm LQFN)	3	Tray, 490	05-08-7054
LT3073AV#TRPBF	-40°C to 125°C	22-LEAD (3mm x 4mm LQFN)	3	Reel, 2500	05-08-7054

¹ すべてのモデルは RoHS 準拠製品です。

評価用ボード

表 10. 評価用ボード

Model ¹	Description
EVAL-LT3073-AZ	Evaluation Board

¹ EVAL-LT3073-AZ は RoHS 準拠製品です。

関連製品

表 11. 関連製品

製品番号	説明	注釈
LT3070-1	5A、低ノイズ、設定可能な出力電圧、85mV ドロップアウト、デジタル・マーージニング機能付きリニア電圧レギュレータ	ドロップアウト電圧：85mV、デジタル設定可能な出力電圧：0.8V~1.8V、デジタル出力マーージニング：±1%、±3%、または±5%、低出力ノイズ：25μV _{RMS} 、直接並列接続可能、ソフト・スタート、低 ESR セラミック出力コンデンサで安定（最小 15μF）、28 ピン 4mm × 5mm QFN パッケージ。
LT3071	5A、低ノイズ、設定可能な出力電圧、85mV ドロップアウト、アナログ・マーージニング機能付きリニア電圧レギュレータ	ドロップアウト電圧：85mV、デジタル設定可能な出力電圧：0.8V~1.8V、アナログ・マーージニング：±10%、低出力ノイズ：25μV _{RMS} 、直接並列接続可能、出力電流モニタ、低 ESR セラミック出力コンデンサで安定（最小 15μF）、28 ピン 4mm × 5mm QFN パッケージ。
LT3072	デュアル、低ノイズ、2.5A、設定可能な出力電圧、80mV 低ドロップアウト・リニア電圧レギュレータ	デュアル、個別の 2.5A 出力、ドロップアウト電圧：80mV、低出力ノイズ：12μV _{RMS} （10Hz~100kHz）、デジタル設定可能な出力電圧：0.6V~2.5V、出力の許容誤差：±1.25%/負荷、入力、および温度の全範囲では±1.5%、アナログ出力のマーージン制御：±10%の範囲、36 ピン 4mm × 7mm QFN パッケージ。
ADP1763	3A、低入力電圧、低ノイズの CMOS リニア電圧レギュレータ	ドロップアウト電圧：95mV、固定出力電圧範囲：0.9V~1.5V、可変出力電圧範囲：0.5V~1.5V、 $V_{IN} = 1.1V \sim 1.98V$ 、ノイズ：2μV _{RMS} （100Hz~100kHz）、設定可能なソフト・スタート、直接並列接続可能、セラミック・コンデンサで安定（最小 10μF）、AEC-Q100 準拠、16 ピン 3mm × 3mm LFCSP パッケージ。
ADP1765	5A、低入力電圧、低ノイズの CMOS リニア電圧レギュレータ	ドロップアウト電圧：59mV、固定出力電圧範囲：0.55V~1.5V、可変出力電圧範囲：0.5V~1.5V、 $V_{IN} = 1.1V \sim 1.98V$ 、ノイズ：2μV _{RMS} （100Hz~100kHz）、設定可能なソフト・スタート、直接並列接続可能、セラミック・コンデンサで安定（最小 22μF）、16 ピン 3mm × 3mm LFCSP パッケージ。
MAX38907	4A、高性能 LDO リニア電圧レギュレータ	ドロップアウト電圧：79mV、デジタル設定可能な出力電圧：0.6V~5V、 $V_{IN} = 0.9V \sim 5.5V$ 、デジタル・マーージニング：±5%、設定可能なソフト・スタート、逆方向電流保護、アクティブ放電、20 ピン 5mm × 5mm TQFN パッケージ。
LT3041	20V、1A、超低ノイズ、超高 PSRR の VIOC 制御搭載リニア電圧レギュレータ	ノイズ：1μV _{RMS} （10Hz~100kHz）、8μV _{P-P} （0.1Hz~10Hz）、PSRR：1MHz で 80dB、 $V_{IN} = 2.2V \sim 20V$ 、 $V_{OUT} = 0.2V \sim 15V$ 、ドロップアウト電圧：310mV、直接並列接続可能、設定可能な電流制限およびパワーグッド、低 ESR セラミック・コンデンサで安定（最小 2 × 10μF）、14 ピン 4mm × 3mm DFN パッケージ。

製品番号	説明	注釈
LT3045	500mA、超低ノイズ、超高 PSRR の LDO	ノイズ : 0.8 μ V _{RMS} 、PSRR : 75dB (1MHz) 、 V _{IN} : 1.8V~20V、ドロップアウト電圧 : 260mV、 MSOP パッケージおよび 3mm × 3mm DFN パッ ケージ。
LT3042	200mA、超低ノイズ、超高 PSRR の LDO	ノイズ : 0.8 μ V _{RMS} 、PSRR : 79dB (1MHz) 、 V _{IN} : 1.8V~20V、ドロップアウト電圧 : 350mV、 プログラマブルな電流制限およびパワーグッド、 MSOP パッケージおよび 3mm × 3mm DFN パッ ケージ。
LT3083	3A、並列接続可能、低ノイズ、低ドロップアウ ト・リニア・レギュレータ	ドロップアウト電圧 : 310mV (2 電源動作) 、低ノ イズ : 40 μ V _{RMS} 、V _{IN} : 1.2V~23V、V _{OUT} : 0V~ 22.6V、電流ベースのリファレンス、抵抗 1 本で V _{OUT} を設定、直接並列接続可能 (オペアンプ不 要) 、セラミック・コンデンサで安定、TO-220、 DD-PAK、TSSOP、4mm × 4mm DFN-12 パッケー ジ。

