

### 特長

- 利得帯域幅積: 500MHz
- -3dBでの帯域幅 (A = 1): 350MHz
- 低入力バイアス電流:  
±3fA (標準、室温)  
4pA (最大、125°C)
- 電流ノイズ (100kHz): 5.5fA/√Hz
- 電圧ノイズ (1MHz): 4.3nV/√Hz
- 超低入力容量: 450fF
- レール・トゥ・レール出力
- スルーレート: 400V/μs
- 電源電圧範囲: 3.1V ~ 5.25V
- 静止電流: 16.5mA
- 高調波歪み (2V<sub>p-p</sub>):  
-100dB (1MHz)  
-80dB (10MHz)
- 動作温度範囲: -40°C ~ 125°C
- シングル: 8ピン SO-8、6ピン TSOT-23 パッケージ
- デュアル: 8ピン MS8、3mm×3mm 10ピン DFN 10パッケージ

### アプリケーション

- トランスインピーダンス・アンプ
- A/Dコンバータ・ドライバ
- CCD出力バッファ
- 光電子増倍管のポストアンプ
- 低I<sub>BIAS</sub>回路

### 概要

LTC®6268/LTC6269は、超低入力バイアス電流および低入力容量のシングル/デュアル500MHz FET入力オペアンプです。このデバイスは、入力換算電流ノイズおよび電圧ノイズが低いことも特長なので、高速トランスインピーダンス・アンプ、CCD出力バッファ、高インピーダンスのセンサ・アンプなどに最適です。LTC6268/LTC6269は歪みが少ないので、SAR A/Dコンバータの駆動に最適のアンプです。

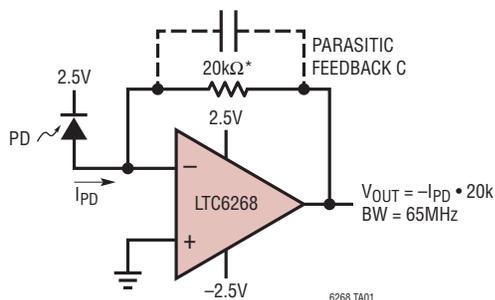
このデバイスは3.1V ~ 5.25Vの電源電圧で動作し、1つのアンプごとに16.5mAを消費します。シャットダウン機能を使用して、アンプを使用しないときの消費電力を低減できます。

LTC6268シングル・オペアンプは、8ピンSOICおよび6ピンSOT-23パッケージで供給されます。SOICパッケージには未接続ピンが2つあり、これらを使用して入力ピンのガードリングを形成し、基板の漏れ電流から保護することができます。LTC6269デュアル・オペアンプは、露出パッドを備えた8ピンMSOPおよび3mm×3mm 10ピンDFNパッケージで供給されます。これらのデバイスは-40°C ~ 85°Cおよび-40°C ~ 125°Cの全温度範囲で完全に規定されています。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

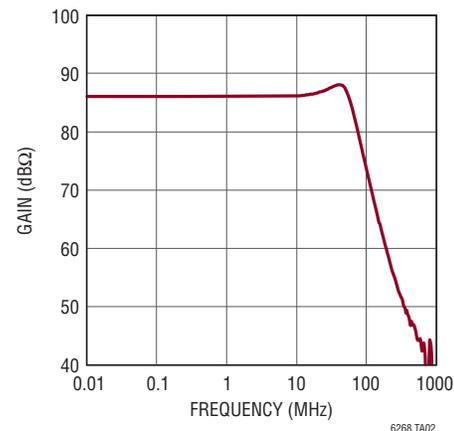
### 標準的応用例

利得20kΩの65MHzトランスインピーダンス・アンプ



PD = OSI OPTOELECTRONICS, FCI-125G-006  
\*TWO 40.2kΩ 0603 PACKAGE RESISTORS IN PARALLEL

20kΩ TIAの周波数応答



62689f

# LTC6268/LTC6269

## 絶対最大定格

### (Note 1)

電源電圧 ( $V^+ \sim V^-$ ) .....	5.5V
入力電圧 .....	$V^- - 0.2V \sim V^+ + 0.2V$
入力電流 (+IN、-IN) (Note 2) .....	$\pm 1mA$
入力電流 (SHDN) .....	$\pm 1mA$
出力電流 ( $I_{OUT}$ ) (Note 8、9) .....	135mA
出力短絡時間 (Note 3) .....	温度により制限
動作温度範囲	
LTC6268I/LTC6269I .....	$-40^\circ C \sim 85^\circ C$
LTC6268H/LTC6269H .....	$-40^\circ C \sim 125^\circ C$

### 規定温度範囲 (Note 4)

LTC6268I/LTC6269I .....	$-40^\circ C \sim 85^\circ C$
LTC6268H/LTC6269H .....	$-40^\circ C \sim 125^\circ C$
最大接合部温度 .....	$150^\circ C$
保存温度範囲 .....	$-65^\circ C \sim 150^\circ C$
リード温度 (半田付け、10秒) .....	$300^\circ C$

## ピン配置

<p style="text-align: center;">TOP VIEW</p> <p style="text-align: center;">S8 PACKAGE 8-LEAD PLASTIC SO <math>T_{JMAX} = 150^\circ C, \theta_{JA} = 120^\circ C/W</math> (NOTE 5)</p>	<p style="text-align: center;">TOP VIEW</p> <p style="text-align: center;">S6 PACKAGE 6-LEAD PLASTIC TSOT-23 <math>T_{JMAX} = 150^\circ C, \theta_{JA} = 192^\circ C/W</math> (NOTE 5)</p>
<p style="text-align: center;">TOP VIEW</p> <p style="text-align: center;">MS8E PACKAGE 8-LEAD PLASTIC MSOP <math>T_{JMAX} = 150^\circ C, \theta_{JA} = 40^\circ C/W</math> (NOTE 5) EXPOSED PAD (PIN 9) IS <math>V^-</math>, IT IS RECOMMENDED TO SOLDER TO PCB</p>	<p style="text-align: center;">TOP VIEW</p> <p style="text-align: center;">DD PACKAGE 10-LEAD (3mm x 3mm) PLASTIC DFN <math>T_{JMAX} = 150^\circ C, \theta_{JA} = 43^\circ C/W</math> (NOTE 5) EXPOSED PAD (PIN 11) IS <math>V^-</math>, IT IS RECOMMENDED TO SOLDER TO PCB</p>

## 発注情報

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	規定温度範囲
LTC6268IS6#TRMPBF	LTC6268IS6#TRPBF	LTGFS	6-Lead Plastic TSOT-23	-40°C to 85°C
LTC6268HS6#TRMPBF	LTC6268HS6#TRPBF	LTGFS	6-Lead Plastic TSOT-23	-40°C to 125°C
LTC6268IS8#PBF	LTC6268IS8#TRPBF	6268	8-Lead Plastic SOIC	-40°C to 85°C
LTC6268HS8#PBF	LTC6268HS8#TRPBF	6268	8-Lead Plastic SOIC	-40°C to 125°C
LTC6269IMS8E#PBF	LTC6269IMS8E#TRPBF	LTGFP	8-Lead Plastic MSOP	-40°C to 85°C
LTC6269HMS8E#PBF	LTC6269HMS8E#TRPBF	LTGFP	8-Lead Plastic MSOP	-40°C to 125°C
LTC6269IDD#PBF	LTC6269IDD#TRPBF	LGFN	10-Lead Plastic DD	-40°C to 85°C
LTC6269HDD#PBF	LTC6269HDD#TRPBF	LGFN	10-Lead Plastic DD	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。\* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/>をご覧ください。

## 5.0Vでの電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は  $T_A = 25^\circ\text{C}$  での値。

$V_{\text{SUPPLY}} = 5.0\text{V}$  ( $V^+ = 5\text{V}$ ,  $V^- = 0\text{V}$ ,  $V_{\text{CM}} =$  電源電圧の中間値)、 $R_L = 1\text{k}\Omega$ ,  $C_L = 10\text{pF}$ ,  $V_{\text{SHDN}}$  は未接続状態。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{\text{OS}}$	Input Offset Voltage	$V_{\text{CM}} = 2.75\text{V}$	-0.7 -2.5	0.2	0.7 2.5	mV mV
		$V_{\text{CM}} = 4.0\text{V}$	-1.0 -4.5	0.2	1.0 4.5	mV mV
$\text{TC } V_{\text{OS}}$	Input Offset Voltage Drift	$V_{\text{CM}} = 2.75\text{V}$		4		$\mu\text{V}/^\circ\text{C}$
$I_{\text{B}}$	Input Bias Current (Notes 6, 8)	$V_{\text{CM}} = 2.75\text{V}$ LTC6268I/LTC6269I LTC6268H/LTC6269H	-20 -900 -4	$\pm 3$	20 900 4	fA fA pA
		$V_{\text{CM}} = 4.0\text{V}$ LTC6268I/LTC6269I LTC6268H/LTC6269H	-20 -900 -4	$\pm 3$	20 900 4	fA fA pA
$I_{\text{OS}}$	Input Offset Current (Notes 6, 8)	$V_{\text{CM}} = 2.75\text{V}$ LTC6268I/LTC6269I LTC6268H/LTC6269H	-40 -450 -2	$\pm 6$	40 450 2	fA fA pA
$e_{\text{n}}$	Input Voltage Noise Density, $V_{\text{CM}} = 2.75\text{V}$	$f = 1\text{MHz}$		4.3		$\text{nV}/\sqrt{\text{Hz}}$
	Input Voltage Noise Density, $V_{\text{CM}} = 4.0\text{V}$	$f = 1\text{MHz}$		4.9		$\text{nV}/\sqrt{\text{Hz}}$
	Input Referred Noise Voltage	$f = 0.1\text{Hz to } 10\text{Hz}$		13		$\mu\text{V}_{\text{P-P}}$
$i_{\text{n}}$	Input Current Noise Density, $V_{\text{CM}} = 2.75\text{V}$	$f = 100\text{kHz}$		5.5		$\text{fA}/\sqrt{\text{Hz}}$
	Input Current Noise Density, $V_{\text{CM}} = 4.0\text{V}$	$f = 100\text{kHz}$		5.3		$\text{fA}/\sqrt{\text{Hz}}$
$R_{\text{IN}}$	Input Resistance	Differential		>1000		$\text{G}\Omega$
		Common Mode		>1000		$\text{G}\Omega$
$C_{\text{IN}}$	Input Capacitance	Differential (DC to 200MHz)		100		fF
		Common Mode (DC to 100MHz)		450		fF
CMRR	Common Mode Rejection Ratio	$V_{\text{CM}} = 0.5\text{V to } 3.2\text{V}$ (PNP Side)	72 70	90		dB dB
		$V_{\text{CM}} = 0\text{V to } 4.5\text{V}$	64 52	82		dB dB
IVR	Input Voltage Range	Guaranteed by CMRR	0		4.5	V

# LTC6268/LTC6269

## 5.0Vでの電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

$V_{\text{SUPPLY}} = 5.0\text{V}$  ( $V^+ = 5\text{V}$ ,  $V^- = 0\text{V}$ ,  $V_{\text{CM}} =$  電源電圧の中間値)、 $R_L = 1\text{k}\Omega$ ,  $C_L = 10\text{pF}$ ,  $V_{\text{SHDN}}$  は未接続状態。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PSRR	Power Supply Rejection Ratio	$V_{\text{CM}} = 1.0\text{V}$ , $V_{\text{SUPPLY}}$ Ranges from 3.1V to 5.25V	● 78 75	95		dB dB
	Supply Voltage Range		● 3.1		5.25	
$A_V$	Open Loop Voltage Gain	$V_{\text{OUT}} = 0.5\text{V}$ to 4.5V	● 125 40	250		V/mV V/mV
		$R_{\text{LOAD}} = 10\text{k}$				
		$R_{\text{LOAD}} = 100$	● 10 2	21		V/mV V/mV
$V_{\text{OL}}$	Output Swing Low (Input Overdrive 30mV) Measured from $V^-$	$I_{\text{SINK}} = 10\text{mA}$	● 80	140	200	mV mV
		$I_{\text{SINK}} = 25\text{mA}$	● 130	200	260	mV mV
$V_{\text{OH}}$	Output Swing High (Input Overdrive 30mV) Measured from $V^+$	$I_{\text{SOURCE}} = 10\text{mA}$	● 70	140	200	mV mV
		$I_{\text{SOURCE}} = 25\text{mA}$	● 160	270	370	mV mV
$I_{\text{SC}}$	Output Short Circuit Current	(Note 9)	● 60 40	90		mA mA
$I_{\text{S}}$	Supply Current Per Amplifier		● 15 9	16.5	18 23	mA mA
	Supply Current in Shutdown (Per Amplifier)		● 0.39	0.85	1.2	mA mA
$I_{\text{SHDN}}$	Shutdown Pin Current	$V_{\text{SHDN}} = 0.75\text{V}$	● -12	2	12	$\mu\text{A}$
		$V_{\text{SHDN}} = 1.50\text{V}$	● -12	2	12	$\mu\text{A}$
$V_{\text{IL}}$	SHDN Input Low Voltage	Disable	● 0.75			V
$V_{\text{IH}}$	SHDN Input High Voltage	Enable. If SHDN is Unconnected, Amp is Enabled	● 1.5			V
$t_{\text{ON}}$	Turn On Time, Delay from SHDN Toggle to Output Reaching 90% of Target	SHDN Toggle from 0V to 2V, $A_V = 1$		580		ns
$t_{\text{OFF}}$	Turn Off Time, Delay from SHDN Toggle to Output High Z	SHDN Toggle from 2V to 0V, $A_V = 1$		480		ns
BW	-3dB Closed Loop Bandwidth	$A_V = 1$		350		MHz
GBW	Gain-Bandwidth Product	$f = 10\text{MHz}$	400	500		MHz
$t_{\text{S}}$	Settling Time, 1V to 4V, Unity Gain	0.1%		17		ns
SR+	Slew Rate+	$A_V = 6$ ( $R_F = 499$ , $R_G = 100$ ) $V_{\text{OUT}} = 0.5\text{V}$ to 4.5V, Measured 20% to 80%, $C_{\text{LOAD}} = 10\text{pF}$	● 300 200	400		V/ $\mu\text{s}$ V/ $\mu\text{s}$
		$A_V = 6$ ( $R_F = 499$ , $R_G = 100$ ) $V_{\text{OUT}} = 4.5\text{V}$ to 0.5V, Measured 80% to 20%, $C_{\text{LOAD}} = 10\text{pF}$	● 180 130	260		V/ $\mu\text{s}$ V/ $\mu\text{s}$
FPBW	Full Power Bandwidth (Note 7)	4V <sub>P-P</sub>		21		MHz
HD	Harmonic Distortion(HD2/HD3)	$A = 1$ , 10MHz.2V <sub>P-P</sub> , $V_{\text{CM}} = 1.75\text{V}$ , $R_L = 1\text{k}$		-81/-90		dB
THD+N	Total Harmonic Distortion and Noise	$A = 1$ , 10MHz.2V <sub>P-P</sub> , $V_{\text{CM}} = 1.75\text{V}$ , $R_L = 1\text{k}$		0.01 -79.6		% dB
$I_{\text{LEAK}}$	Output Leakage Current in Shutdown	$V_{\text{SHDN}} = 0\text{V}$ , $V_{\text{OUT}} = 0\text{V}$			400	nA
		$V_{\text{SHDN}} = 0\text{V}$ , $V_{\text{OUT}} = 5\text{V}$			400	nA

## 3.3Vでの電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

$V_{\text{SUPPLY}} = 3.3\text{V}$  ( $V^+ = 3.3\text{V}$ ,  $V^- = 0\text{V}$ ,  $V_{\text{CM}} =$  電源電圧の中間値)、 $R_L = 1\text{k}\Omega$ ,  $C_L = 10\text{pF}$ ,  $V_{\text{SHDN}}$  は未接続状態。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{\text{OS}}$	Input Offset Voltage	$V_{\text{CM}} = 1.0\text{V}$	● -0.7 -2.5	0.2	0.7 2.5	mV mV	
		$V_{\text{CM}} = 2.3\text{V}$	● -1.0 -4.5	0.2	1.0 4.5	mV mV	
$\text{TC } V_{\text{OS}}$	Input Offset Voltage Drift	$V_{\text{CM}} = 1.0\text{V}$		4		$\mu\text{V}/\text{C}$	
$I_{\text{B}}$	Input Bias Current (Notes 6, 8)	$V_{\text{CM}} = 1.0\text{V}$ LTC6268I/LTC6269I LTC6268H/LTC6269H	● ● ●	$\pm 3$	20 900 4	fA fA pA	
		$V_{\text{CM}} = 2.3\text{V}$ LTC6268I/LTC6269I LTC6268H/LTC6269H	● ● ●	$\pm 3$	20 900 4	fA fA pA	
$I_{\text{OS}}$	Input Offset Current (Notes 6, 8)	$V_{\text{CM}} = 1.0\text{V}$ LTC6268I/LTC6269I LTC6268H/LTC6269H	● ● ●	$\pm 6$	40 450 2	fA fA pA	
$e_{\text{n}}$	Input Voltage Noise Density, $V_{\text{CM}} = 1.0\text{V}$	$f = 1\text{MHz}$		4.3		$\text{nV}/\sqrt{\text{Hz}}$	
	Input Voltage Noise Density, $V_{\text{CM}} = 2.3\text{V}$	$f = 1\text{MHz}$		4.9		$\text{nV}/\sqrt{\text{Hz}}$	
	Input Referred Noise Voltage	$f = 0.1\text{Hz to } 10\text{Hz}$		13		$\mu\text{V}_{\text{P-P}}$	
$i_{\text{n}}$	Input Current Noise Density, $V_{\text{CM}} = 1.0\text{V}$	$f = 100\text{kHz}$		5.6		$\text{fA}/\sqrt{\text{Hz}}$	
	Input Current Noise Density, $V_{\text{CM}} = 2.3\text{V}$	$f = 100\text{kHz}$		5.3		$\text{fA}/\sqrt{\text{Hz}}$	
$R_{\text{IN}}$	Input Resistance	Differential		>1000		$\text{G}\Omega$	
		Common Mode		>1000		$\text{G}\Omega$	
$C_{\text{IN}}$	Input Capacitance	Differential (DC to 200MHz)		100		fF	
		Common Mode (DC to 100MHz)		450		fF	
CMRR	Common Mode Rejection Ratio	$V_{\text{CM}} = 0.5\text{V to } 1.2\text{V}$ (PNP Side)	● ●	63 60	100	dB dB	
		$V_{\text{CM}} = 0\text{V to } 2.8\text{V}$ (Full Range)	● ●	60 50	77	dB dB	
IVR	Input Voltage Range	Guaranteed by CMRR	●	0	2.8	V	
$A_{\text{V}}$	Open Loop Voltage Gain	$V_{\text{OUT}} = 0.5\text{V to } 2.8\text{V}$	$R_{\text{LOAD}} = 10\text{k}$	● ●	80 40	200	V/mV V/mV
			$R_{\text{LOAD}} = 100$	● ●	10 2	18	V/mV V/mV
$V_{\text{OL}}$	Output Swing Low (Input Overdrive 30mV). Measured from $V^-$	$I_{\text{SINK}} = 10\text{mA}$	● ●	80	140 200	mV mV	
		$I_{\text{SINK}} = 25\text{mA}$	● ●	140	200 260	mV mV	
$V_{\text{OH}}$	Output Swing High (Input Overdrive 30mV). Measured from $V^+$	$I_{\text{SOURCE}} = 10\text{mA}$	● ●	80	140 200	mV mV	
		$I_{\text{SOURCE}} = 25\text{mA}$	● ●	170	270 370	mV mV	
$I_{\text{SC}}$	Output Short Circuit Current	(Note 9)	● ●	50 35	80	mA mA	
$I_{\text{S}}$	Supply Current per Amplifier		●	14.5 9	16 17.5 23	mA mA	

# LTC6268/LTC6269

## 3.3Vでの電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

$V_{\text{SUPPLY}} = 3.3\text{V}$  ( $V^+ = 3.3\text{V}$ ,  $V^- = 0\text{V}$ ,  $V_{\text{CM}} =$  電源電圧の中間値)、 $R_L = 1\text{k}\Omega$ ,  $C_L = 10\text{pF}$ ,  $V_{\text{SHDN}}$  は未接続状態。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Supply Current in Shutdown (Per Amplifier)			0.23	0.6 0.8	mA mA	
$I_{\text{SHDN}}$	Shutdown Pin Current	$V_{\text{SHDN}} = 0.75\text{V}$ $V_{\text{SHDN}} = 1.5\text{V}$	● ●	-12 -12	2 2	12 12	$\mu\text{A}$ $\mu\text{A}$
$V_{\text{IL}}$	SHDN Input Low Voltage	Disable	●		0.75	V	
$V_{\text{IH}}$	SHDN Input High Voltage	Enable. If SHDN is Unconnected, Amp Is Enabled	●	1.5		V	
$t_{\text{ON}}$	Turn On Time, Delay from SHDN Toggle to Output Reaching 90% of Target	SHDN Toggle from 0V to 2V		710		ns	
$t_{\text{OFF}}$	Turn Off Time, Delay from SHDN Toggle to Output High Z	SHDN Toggle from 2V to 0V		620		ns	
BW	-3dB Closed Loop Bandwidth	$A_V = 1$		350		MHz	
GBW	Gain-Bandwidth Product	$f = 10\text{MHz}$		370	420	MHz	
SR+	Slew Rate+	$A_V = 6$ ( $R_F = 499$ , $R_G = 100$ ), $V_{\text{OUT}} = 0.5\text{V}$ to $2.8\text{V}$ , Measured 20% to 80%, $C_{\text{LOAD}} = 10\text{pF}$	●	300 200	400	V/ $\mu\text{s}$ V/ $\mu\text{s}$	
SR-	Slew Rate-	$A_V = 6$ ( $R_F = 499$ , $R_G = 100$ ), $V_{\text{OUT}} = 2.8\text{V}$ to $0.5\text{V}$ , Measured 80% to 20%, $C_{\text{LOAD}} = 10\text{pF}$	●	180 130	260	V/ $\mu\text{s}$ V/ $\mu\text{s}$	
FPBW	Full Power Bandwidth (Note 7)	$2V_{\text{P-P}}$		40		MHz	
HD	Harmonic Distortion(HD2/HD3)	$A = 1$ , $10\text{MHz}$ , $1V_{\text{P-P}}$ , $V_{\text{CM}} = 1.65\text{V}$ , $R_L = 1\text{k}$		-81/-90		dB	
THD+N	Total Harmonic Distortion and Noise	$A = 1$ , $10\text{MHz}$ , $1V_{\text{P-P}}$ , $V_{\text{CM}} = 1.65\text{V}$ , $R_L = 1\text{k}$		0.01 -78		% dB	

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

**Note 2:** 入力、各電源に直列に接続された2つのESD保護ダイオードによって保護される。入力電流は1mA未満に制限する必要がある。入力電圧は電源電圧+200mVを超えないようにする必要がある。

**Note 3:** 出力が無期限に短絡される場合は、接合部温度を絶対最大定格より低く抑えるためにヒートシンクが必要になることがある。

**Note 4:** LTC6268/LTC6269は $-40^\circ\text{C} \sim 85^\circ\text{C}$ で性能仕様に適合することが保証されている。LTC6268H/LTC6269Hは $-40^\circ\text{C} \sim 125^\circ\text{C}$ で性能仕様に適合することが保証されている。

**Note 5:** 熱抵抗は、パッケージに接続したPC基板の金属の量によって異なる。規定値はリードに接続された短いトレースに対する値。

**Note 6:** 入力バイアス電流は正負の入力ピンに流れ込む電流の平均。標準的な測定値はS8パッケージに対する値。

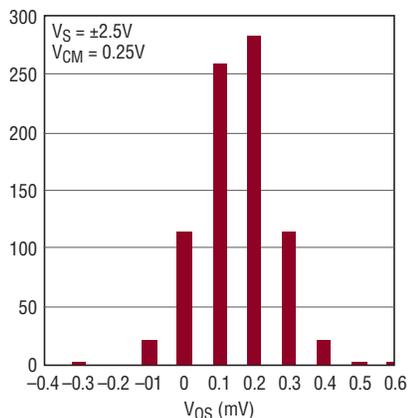
**Note 7:** フルパワー帯域幅は、スルーレートを基に次式を使用して計算される。  
 $FPBW = SR / (2\pi \cdot V_{\text{PEAK}})$

**Note 8:** このパラメータは設計または特性評価(あるいはその両方)によって規定されており、製造時にはテストされない。

**Note 9:** LTC6268/LTC6269は135mAを超えるピーク出力電流を生成できる。デバイス内部の電流密度制限により、出力によって供給される連続電流(ソース電流またはシンク電流)をデバイスの動作寿命の間135mA未満(絶対最大定格)に制限し続けることが必要。

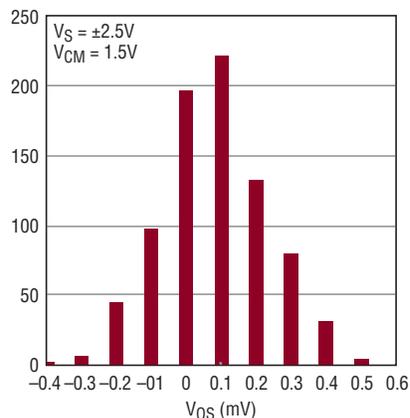
## 標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

入力オフセット電圧の分布



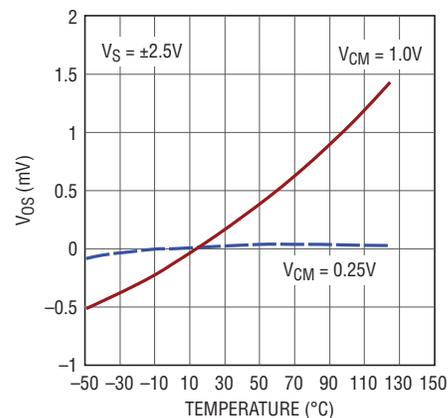
6268 G01

入力オフセット電圧の分布



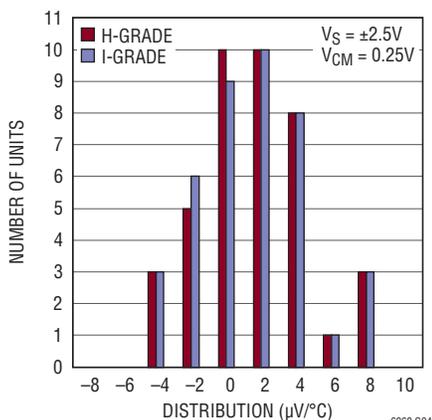
6268 G02

入力オフセット電圧と温度



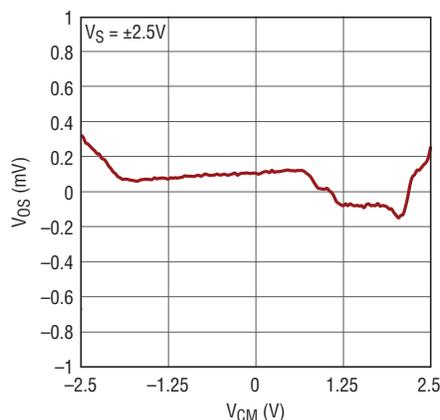
6268 G03

入力オフセット・ドリフトの分布



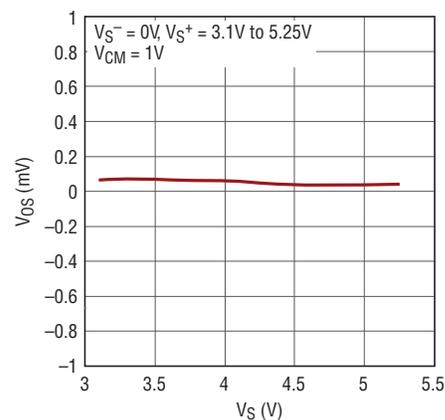
6268 G04

入力オフセット電圧と同相電圧



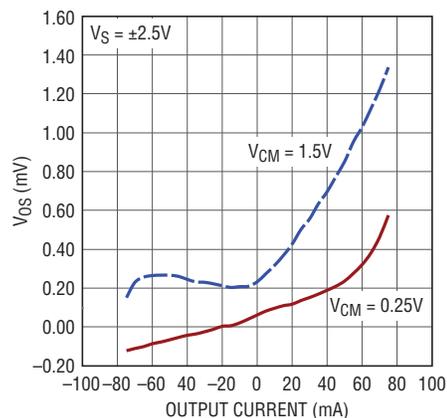
6268 G05

入力オフセット電圧と電源電圧



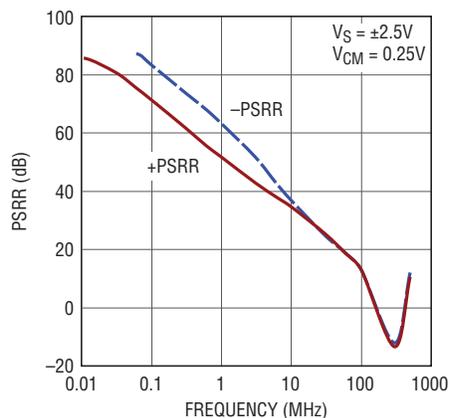
6268 G06

入力オフセット電圧と出力電流



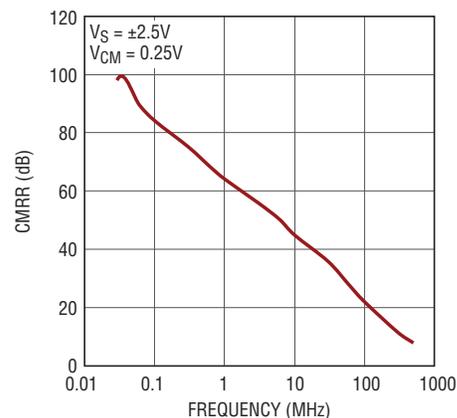
6268 G07

PSRRと周波数



6268 G08

CMRRと周波数

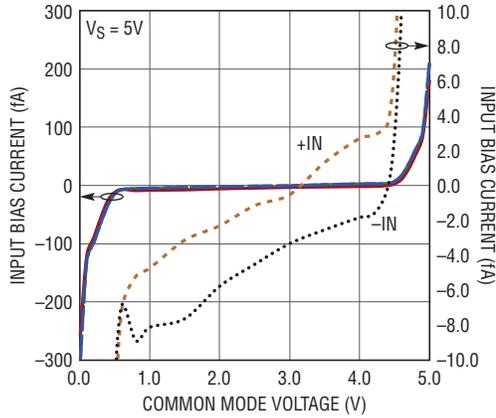


6268 G09

# LTC6268/LTC6269

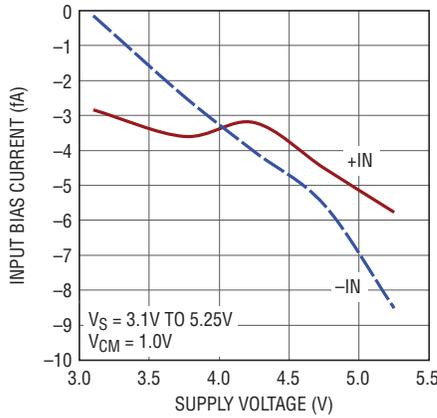
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

入力バイアス電流と同相電圧



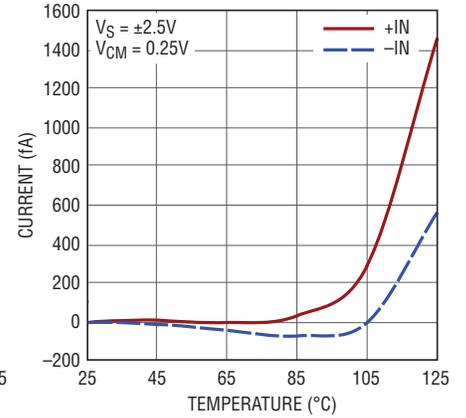
6268 G10

入力バイアス電流と電源電圧



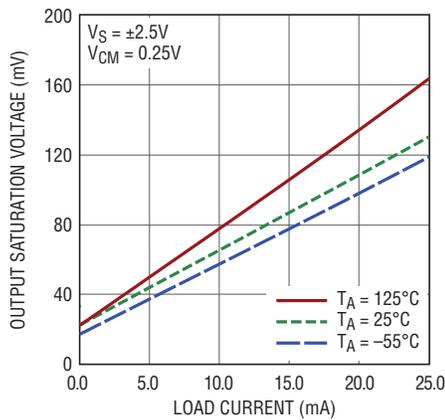
6268 G11

入力バイアス電流と温度



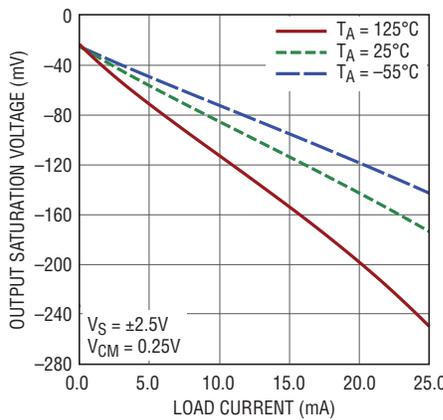
6268 G12

出力飽和電圧と負荷電流 (出力“L”)



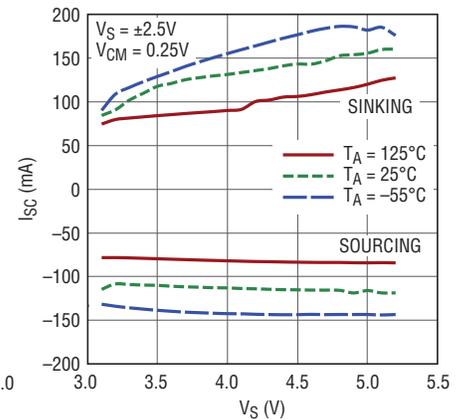
6268 G13

出力飽和電圧と負荷電流 (出力“H”)



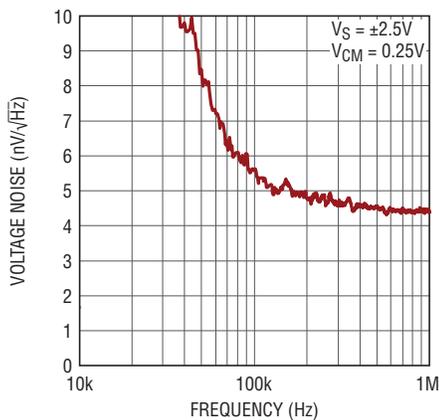
6268 G14

出力短絡電流と電源電圧



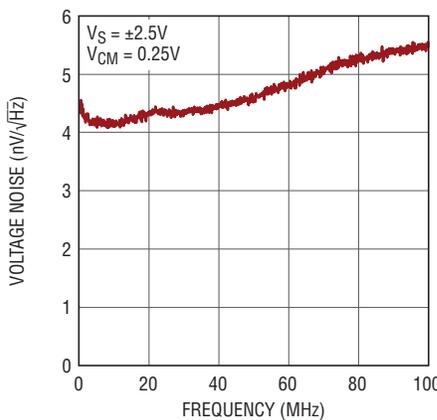
6268 G15

入力換算電圧ノイズ



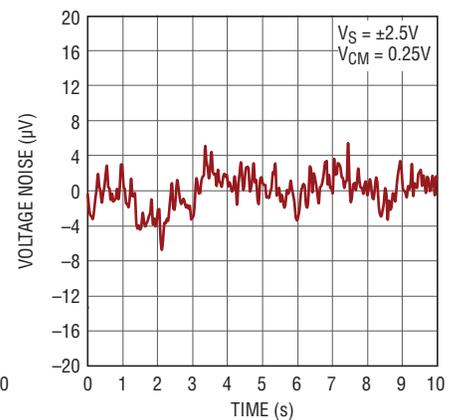
6268 G16

広帯域入力換算電圧ノイズ



6268 G17

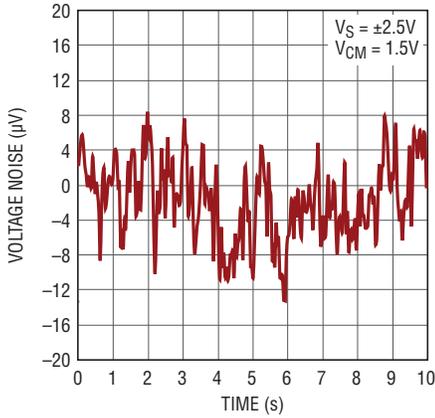
0.1Hz ~ 10Hzの出力電圧ノイズ



6268 G18

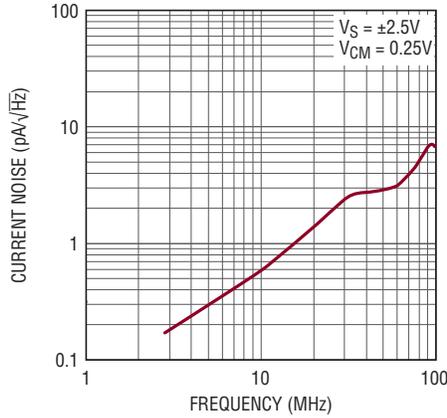
## 標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

### 0.1Hz ~ 10Hz の出力電圧ノイズ



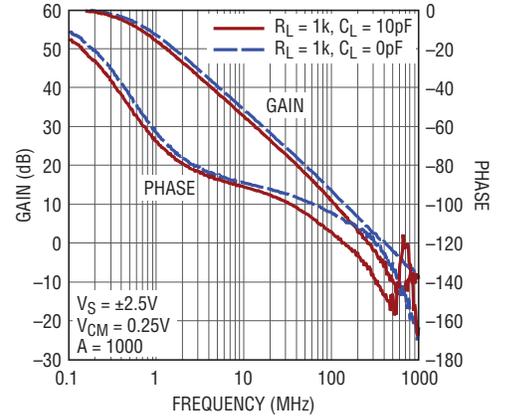
6268 G19

### 入力換算電流ノイズ



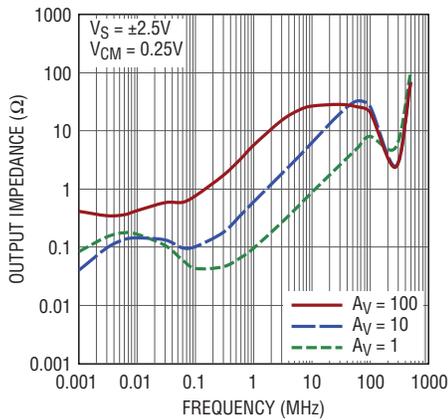
6268 G20

### 利得および位相と周波数



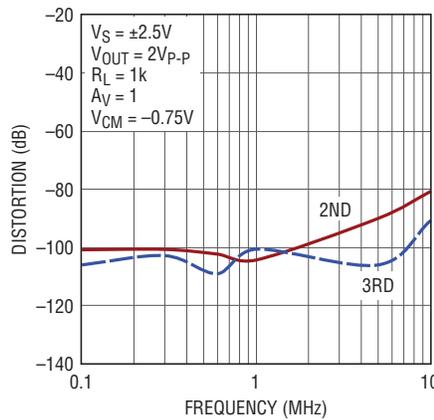
6268 G21

### 出力インピーダンスと周波数



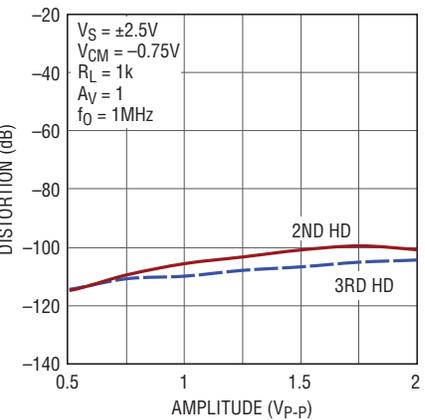
6268 G22

### 高調波歪みと周波数



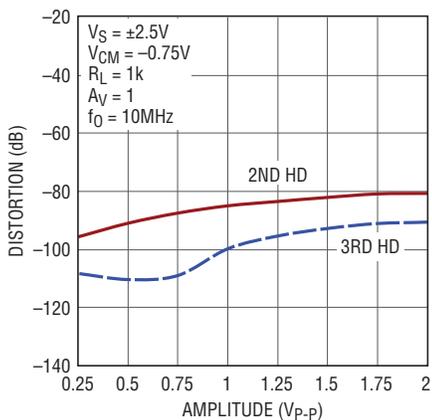
6268 G23

### 高調波歪みと振幅



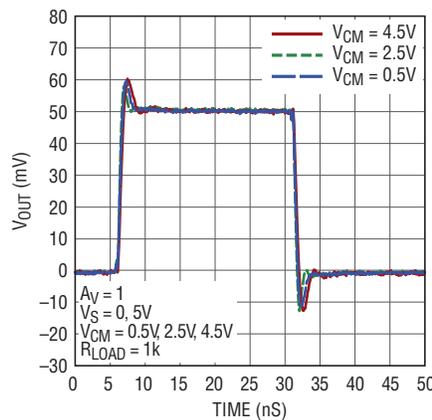
6268 G24

### 高調波歪みと振幅



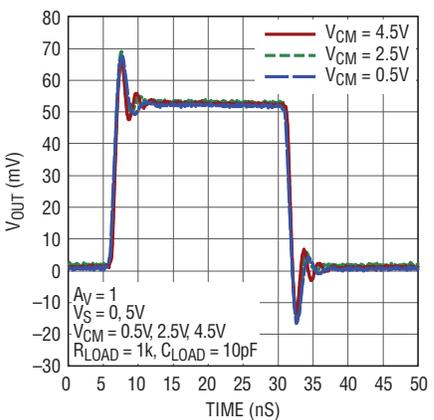
6268 G25

### 50mV ステップ応答



6268 G26

### 50mV ステップ応答

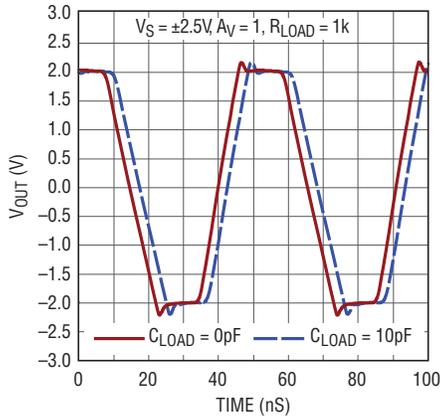


6268 G26a

# LTC6268/LTC6269

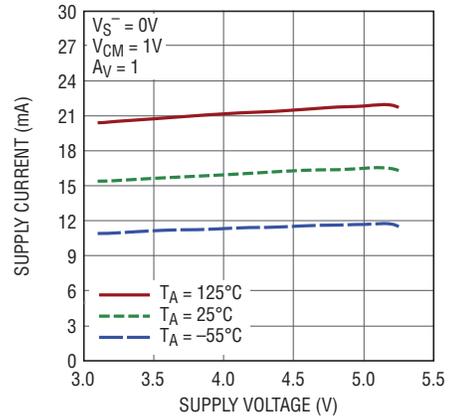
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

大信号応答



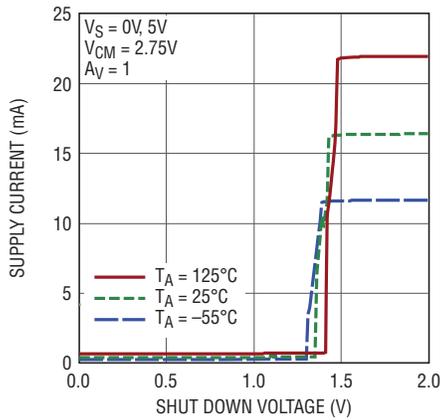
6268 G27

電源電流と電源電圧



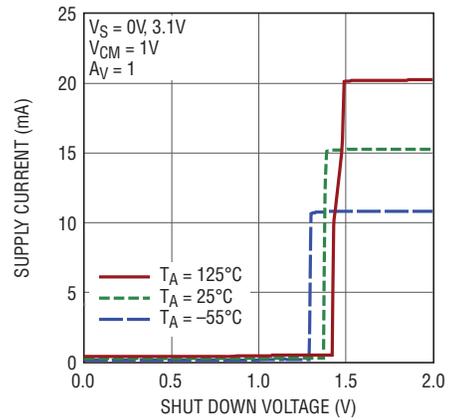
6268 G28

電源電流とシャットダウン電圧



6268 G29

電源電流とシャットダウン電圧



6268 G30

62689f

## ピン機能

**-IN**: アンプの反転入力。このピンの電圧範囲は $V^- \sim V^+ - 0.5V$ です。

**+IN**: 非反転入力。このピンの電圧範囲は $V^- \sim V^+ - 0.5V$ です。

**V<sup>+</sup>**: 正電源。全電源電圧( $V^+ - V^-$ )は3.1V～5.25Vです。V<sup>+</sup>とV<sup>-</sup>の間の全電圧が3.1V～5.25Vの範囲内である限り、両電源が可能です。0.1μFのバイパス・コンデンサをこのピンにできるだけ近づけてV<sup>+</sup>とグランドの間に接続してください。

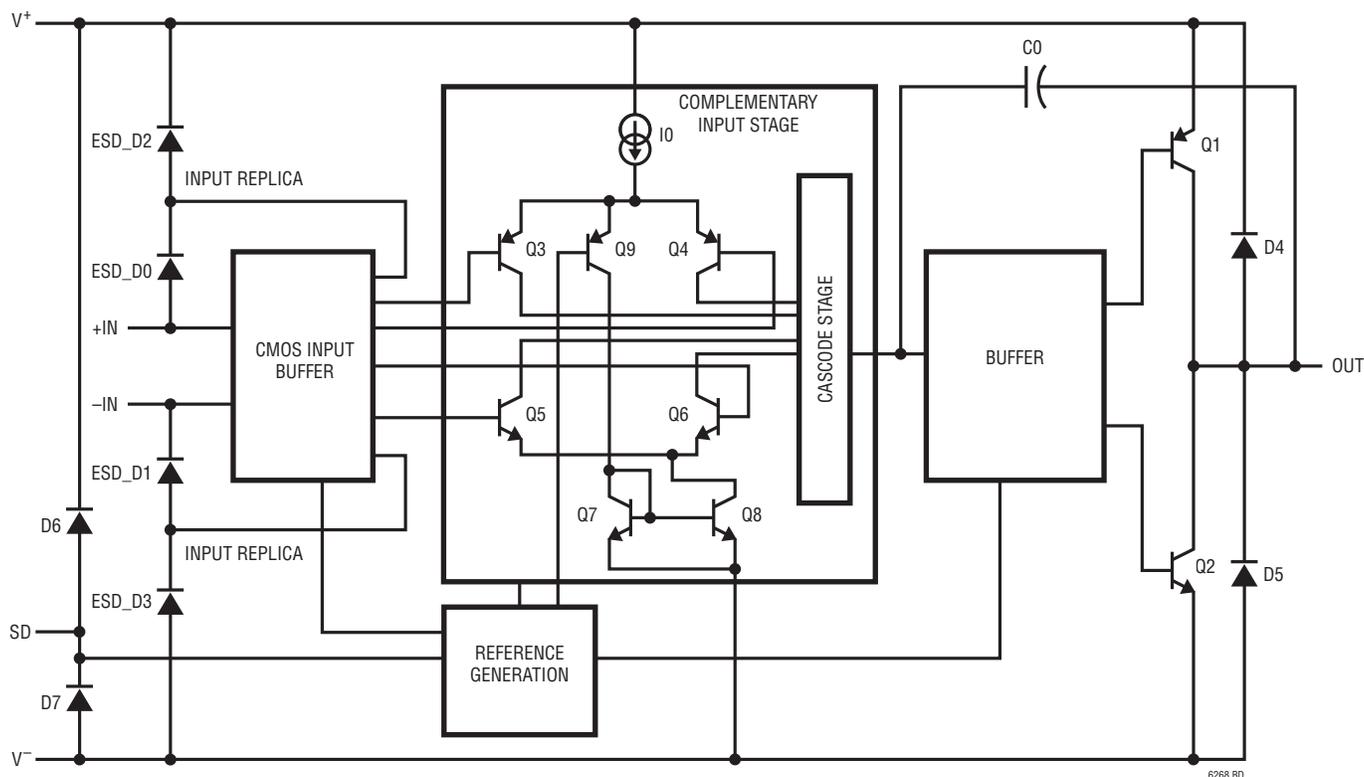
**V<sup>-</sup>**: 負電源。通常はグランドに接続しますが、V<sup>+</sup>とV<sup>-</sup>の間の全電圧が3.1V～5.25Vの範囲内である限り、グランド以外の電圧に接続することもできます。グランドに接続しない場合は、0.1μFのバイパス・コンデンサをこのピンにできるだけ近づけてグランドに接続します。

**SHDN、SDA、SDB**: アクティブ“L”のオペアンプ・シャットダウン・ピン。しきい値は負電源(V<sup>-</sup>)より0.75V高い電圧です。未接続のままにすると、アンプはイネーブルされます。

**OUT**: アンプの出力。

**NC**: 接続されていません。入力の周囲にガードリングを形成して、基板の漏れ電流から保護するために使用することができます。詳細については、「アプリケーション情報」のセクションを参照してください。

## 簡略回路図



LTC6268の簡略回路図

## 動作

LTC6268の入力信号範囲は、負の電源電圧から正の電源電圧より0.5V低い値までと規定されていますが、出力はレール・トゥ・レールの振幅が可能です。前出の回路図は、アンプの簡略回路図を表しています。

入力ピンはCMOSバッファ段を駆動します。CMOSバッファ段は、入力電圧の複製を生成して保護ダイオードを起動します。さらに、バッファ段は、異なる入力同相電圧範囲でアクティブになる、2つの差動アンプで構成される相補入力段を駆動します。メインの差動アンプがアクティブになるの

は、負電源から正電源より約1.55V低い電圧までの同相入力電圧範囲で、2番目のアンプがアクティブになるのは、残りの範囲のうち正電源レールより0.5V低い電圧までです。バッファ段と出力バイアス段には、オペアンプの安定性を確保する特別な補償技術を採用しています。出力トランジスタQ1/Q2のエミッタ接地構成により、レール・トゥ・レールの出力振幅が可能です。

## アプリケーション情報

### ノイズ

LTC6268のノイズを幅広いアプリケーションにわたって最小限に抑えるため、入力換算電圧ノイズ( $e_N$ )、入力換算電流ノイズ( $i_N$ )、および入力容量( $C_{IN}$ )について慎重な検討を重ねてきました。

図1に示すようなトランスインピーダンス・アンプ(TIA)アプリケーションの場合、これらのオペアンプの3つ全部のパラメータに加えて、帰還抵抗 $R_F$ の値がさまざまな形でノイズの挙動に寄与し、外付け部品とトレースが $C_{IN}$ に加わります。各パラメータの影響を個別に理解することが重要です。入力換算電圧ノイズ( $e_N$ )は、低周波で支配的なフリッカ・ノイズ(つまり $1/f$ ノイズ)と高周波で支配的な熱ノイズで構成されます。LTC6268では、 $1/f$ コーナー、つまり $1/f$ ノイズと熱ノイズの遷移周波数は80kHzです。負入力での入力換算電流ノイズに対する $i_N$ と $R_F$ による寄与は比較的直接的ですが、 $e_N$ の寄与分はノイズ利得で増幅されます。利得抵抗はないので、ノイズ利得は帰還抵抗( $R_F$ )と $C_{IN}$ のインピーダンスを組み合わせると $(1 + 2\pi R_F \cdot C_{IN} \cdot \text{Freq})$ として計算します。この値は周波数に伴って増加します。すべての寄与分は閉ループ帯域幅によって制限されます。等価入力電流ノイズを図2-5に示します。ここで、 $e_N$ は入力換算電圧ノイズ( $e_N$ )による寄与分、 $i_N$ は入力換算電流ノイズ( $i_N$ )による寄与分、 $R_F$ は帰還抵抗( $R_F$ )による寄与分を表します。TIAの利得( $R_F$ )および入力での容量( $C_{IN}$ )もそれぞれの図に示しています。図2および3と、図4および5を高周波領域について比較すると、前述した増幅が原因で $C_{IN}$ が大きい(5pF)ときは $e_N$ が支配的ですが、 $C_{IN}$ が小さい(1pF)ときは $i_N$ が支配的です。低周波領域の場合、10kおよび100kでは $R_F$ の寄与分が支配的です。広帯域の $e_N$ は

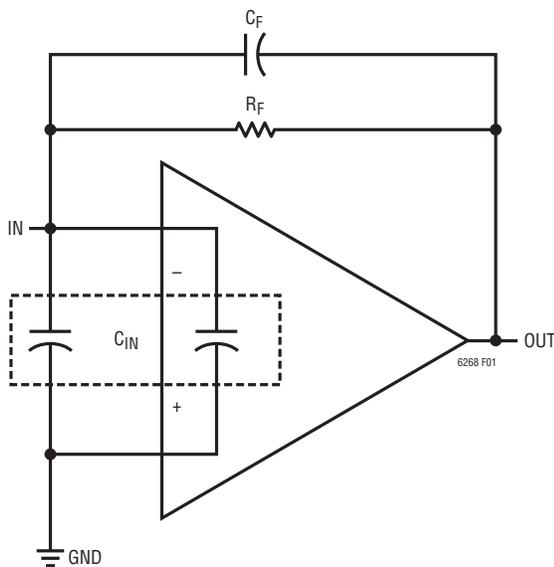


図1. TIAの簡略回路図

アプリケーション情報

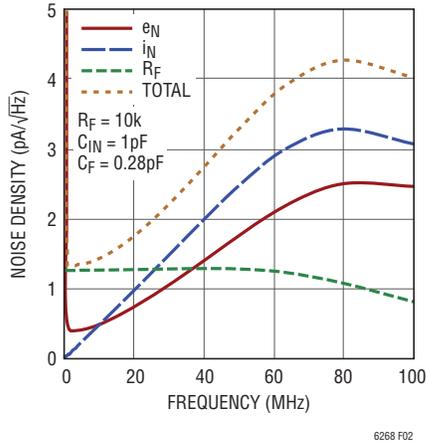


図 2

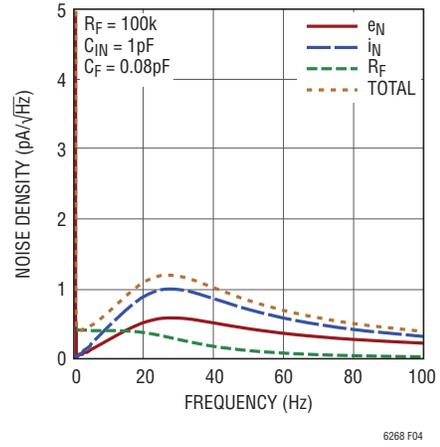


図 4

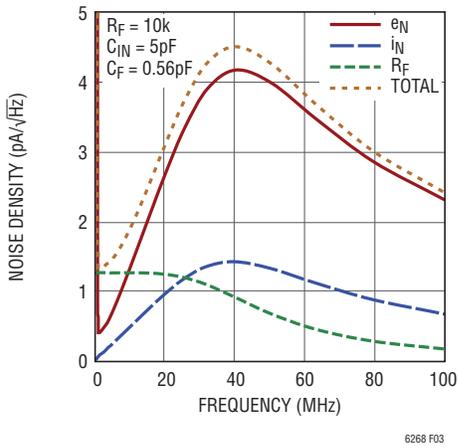


図 3

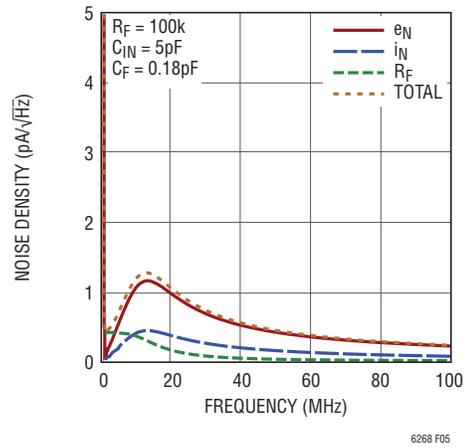


図 5

$4.3\text{nV}/\sqrt{\text{Hz}}$  (「標準的性能特性」を参照)なので、 $R_F$  が  $1.16\text{k}\Omega$  より小さい場合、次式で示すように、低周波では  $R_F$  の寄与分は影響の少ない要因になります。

$$\frac{e_N/R_F}{\sqrt{4kT/R_F}} \geq 1$$

TIAアプリケーションでの帯域幅の最適化

反転入力ノードの容量は、未確認のままにしておくこととアンプの安定性の問題を引き起こすことがあります。オペアンプの周囲の帰還が抵抗性 ( $R_F$ ) である場合、 $R_F||C_{IN}$  によりポールが形成されます。このポールによって過度の位相シフトが発生し、場合によっては発振に至る可能性があります。図1を参照すると、出力での応答は次のとおりです。

$$\frac{R_F}{1 + \frac{2\zeta s}{\omega} + \frac{s^2}{\omega^2}}$$

## アプリケーション情報

ここで、 $R_F$ はTIAのDC利得、 $\omega$ は閉ループの固有周波数であり、次のように表すことができます。

$$\omega = \sqrt{\frac{2\pi GBW}{R_F(C_{IN} + C_F)}}$$

$\zeta$ はループの減衰率で、次のように表すことができます。

$$\zeta = \frac{1}{2} \left( \sqrt{\frac{1}{2\pi GBW \cdot R_F(C_{IN} + C_F)}} + R_F \left( C_F + \frac{C_{IN} + C_F}{1 + A_0} \right) + \sqrt{\frac{2\pi GBW}{R_F(C_{IN} + C_F)}} \right)$$

ここで、 $C_{IN}$ はオペアンプの反転入力ノードの全容量であり、 $GBW$ はオペアンプの利得帯域幅積です。システムが $C_F$ に関係なく安定になる領域は2つあります。最初の領域は、 $R_F$ が $1/(4\pi \cdot C_{IN} \cdot GBW)$ より小さい場合です。この領域では、帰還抵抗と $C_{IN}$ によって生成されるポールが、安定性の問題を発生しない高周波に存在します。2番目の領域は、次式が成り立つ領域です。

$$R_F > \frac{A_0^2}{\pi GBW \cdot C_{IN}}$$

ここで、 $A_0$ はオペアンプのDC開ループ利得であり、 $R_F$ と $C_{IN}$ によって形成されるポールが支配的なポールになります。

これら2つの領域間の $R_F$ の場合は、小容量のコンデンサ $C_F$ を $R_F$ と並列に接続すると、ループを安定化するのに十分な減衰量を得ることができます。 $C_{IN} \gg C_F$ であると仮定すると、 $C_F$ は次の条件を満たす必要があります。

$$C_F > \sqrt{\frac{C_{IN}}{\pi \cdot GBW \cdot R_F}}$$

この状態は、 $GBW$ を高くするには帰還容量 $C_F$ を小さくする必要のあることを意味しており、その場合にはループ帯域幅が高くなります。 $R_F$ が10k $\Omega$ の場合と100k $\Omega$ の場合、および $C_{IN}$ が1pFの場合と5pFの場合に最適な $C_F$ を表1に示します。

表1. 最小の $C_F$

$R_F$	$C_{IN} = 1\text{pF}$	$C_{IN} = 5\text{pF}$
10k $\Omega$	0.25pF	0.56pF
100k $\Omega$	0.08pF	0.18pF

### 利得の高いTIAによる広帯域幅の実現

TIA回路から最高の結果を得るには、良質なレイアウトの実践が不可欠です。以下の2つの例では、499k $\Omega$  TIAでのLTC6268から得られる結果が大きく異なることを示します。(図6を参照)最初の例は、基本の回路レイアウトに0603抵抗を使用した場合です。単純なレイアウトでは、帰還容量を低減するのに多くの手間をかけないので、実現される帯域幅は約2.5MHzです。この場合、TIAの帯域幅は、LTC6268の $GBW$ によってではなく、むしろ帰還容量がTIAの実際の帰還インピーダンス(TIAの利得自体)を低減しているという事実によって制限されます。基本的には、それは抵抗による帯域幅の制限です。499k $\Omega$ のインピーダンスは、高周波ではそれ自体の寄生容量によって減少します。2.5MHzの帯域幅と499k $\Omega$ の低周波利得により、全帰還容量を $C = 1/(2\pi \cdot 2.5\text{MHz} \cdot 499\text{k}\Omega) = 0.13\text{pF}$ と概算できます。これはかなり低い値ですが、さらに低減できます。

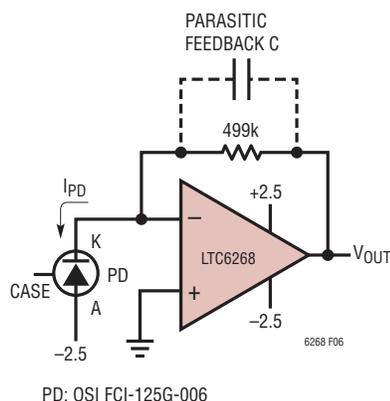


図6. 499k $\Omega$  TIAでのLTC6268と低容量フォトダイオード

アプリケーション情報

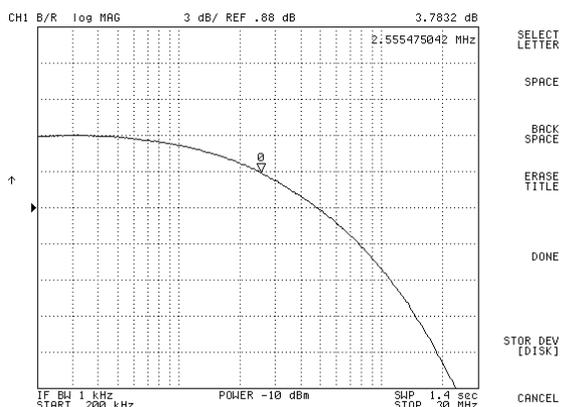


図7. 帰還容量を低減するのに特別な工夫をしない  
499kΩ TIAの周波数応答は2.5MHz

帰還容量を低減するいくつかの特別なレイアウト技法により、帯域幅を広げることができます。増加するのは499kΩ抵抗の実質的な「帯域幅」であることに注意してください。容量を減らす主な方法の1つは電極間の距離を長くすることで、この場合は部品抵抗の2つの端子キャップとなる電極を指します。この理由から、目的に合致するのは抵抗を長くすることです。0805は0603より長いのですが、端子キャップの面積も広いので、容量はやはり増えます。ただし、端子キャップの間の距離を広げることだけが容量を低減する方法ではなく、抵抗の端子キャップ間の距離を広げると、帰還容量を低減する別の技法を容易に適用できるようにもなります。電極間容量を減らす非常に強力な方法は、容量を生み出す電界経路を遮蔽する方法です。この特殊な事例では、この方法は短いグランド・トレースを抵抗パッド間でTIA出力端の近くに配置することで

す。こうしたグランド・トレースにより、抵抗の加算ノード端に出力の電界が到達するのが遮蔽され、電界は実質的にグランドへ分流されます。トレースを出力端に近づけると、出力負荷容量はごくわずかに増加します。実体図については図8を参照してください。

帰還抵抗周辺を低容量化する方法とにかく注意を払うことによって、帯域幅が劇的に広がる様子を図9に示します。帯域幅は2.5MHzから11.2MHzに増加し、4倍を超えました。実施された方法は以下の2つです。

- 1) パッドのサイズを最小限に抑えます。許容できる最小のパッド・サイズ調整について基板の組み立て技術者と相談するか、別の方法でこの抵抗を組み立てます。
- 2) 出力側近くの帰還抵抗の下にあるグランド・トレースを使用して帰還容量を遮蔽します。

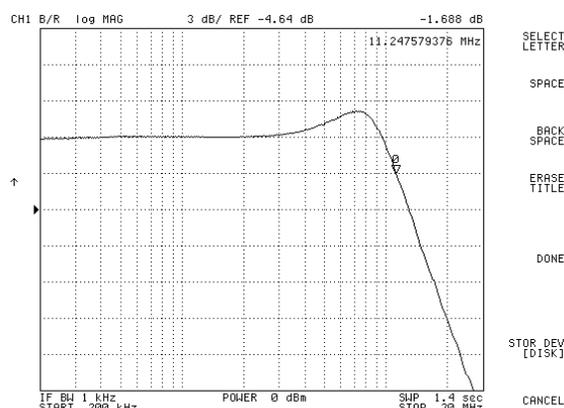


図9. 帰還容量を低減するのにレイアウトに特別な工夫をした499kΩ TIAでのLTC6268は11.2MHzの帯域幅を実現

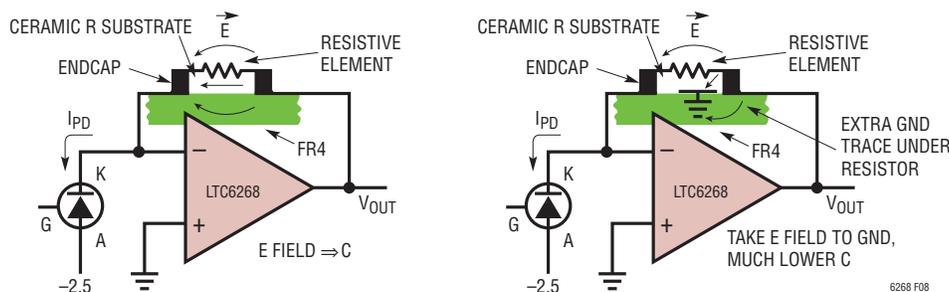


図8. 左側が通常のレイアウトで右側が電界分流レイアウト。帰還抵抗の下にグランド・トレースを単純に追加することにより、電界は分岐して帰還側から大きく遠ざかり、グランドに送られる。FR4とセラミックの誘電率は標準で4であることに注意。したがって、ほとんどの容量は空中を介してではなく固体内に存在する。(右側でのパッド・サイズの減少は示していない)

## アプリケーション情報

### 高インピーダンス・バッファ

LTC6268は入力インピーダンスが非常に高いので、高インピーダンスの信号源や容量性の信号源をバッファ処理するのに最適です。図10の回路は、簡単なRCフィルタの後段にバッファとして使用したLTC6268を示します。バッファ後段にあるRLC回路網は吸収フィルタとして機能し、ADCグリッチ

の時間領域での過度の反射を防止します。2.048Vのリファレンスは、中間点入力の「0」リファレンス電圧を設定します。LT1395高速電流帰還アンプと関連の抵抗回路網により、バッファ処理信号は減衰され、同相電圧(A/Dコンバータによって与えられる $V_{CM}$ 電圧)の強制的な仮想接地により、差動で表現されます。

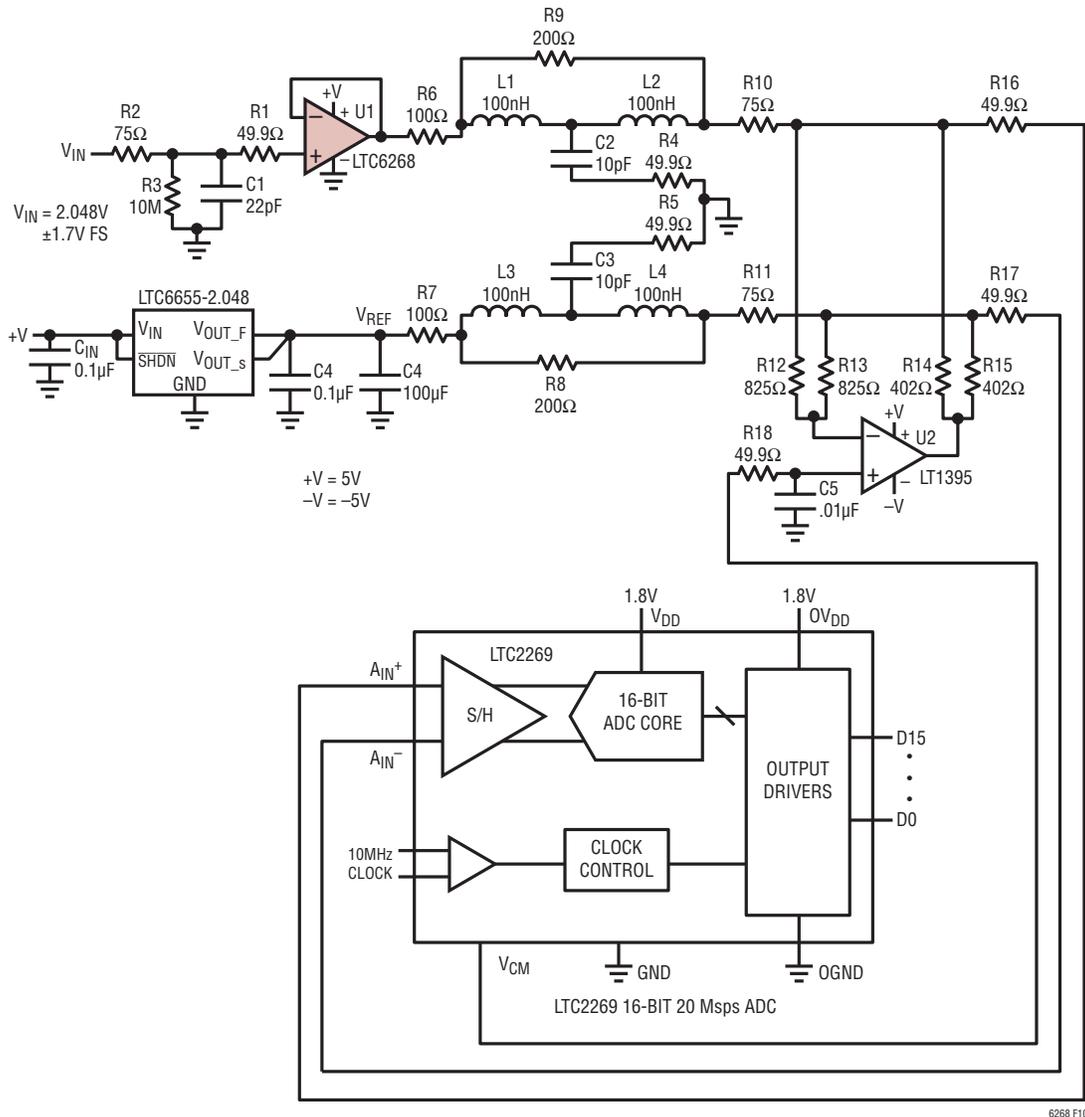


図10. 16ビットA/Dコンバータへのシングルエンド/差動コンバータとしてLT1395を駆動する高インピーダンス・バッファとしてのLTC6268

## アプリケーション情報

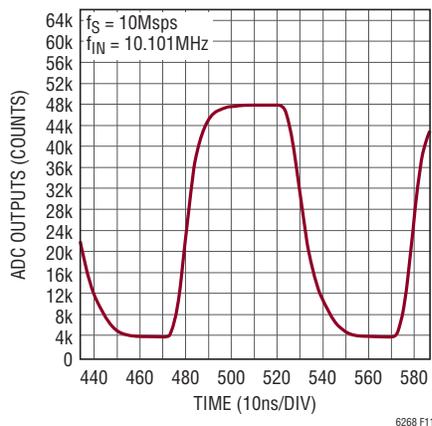


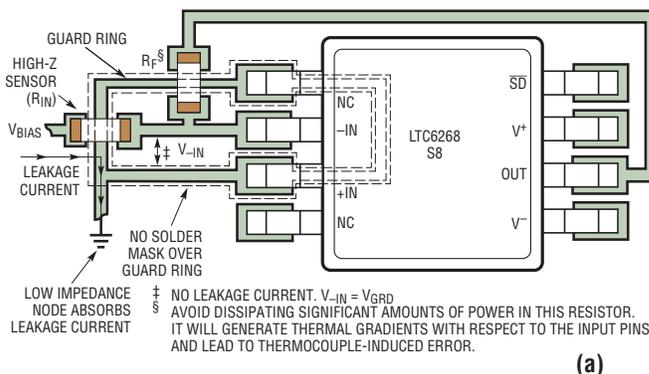
図11. 図10の回路のサンプリングされた時間領域応答

波形のレートよりちょうど1ns低速の10Mspsでサンプリングされた、10.101MHz、3V<sub>P-P</sub>の入力方形波の時間領域応答を図11に示します。このレートでは、波形は1回のサンプリングにつき1nsのレートで復元されたように見えるので、各サンプルが実際は100ns後である場合でも、より直近のセリング特性を確認できます。

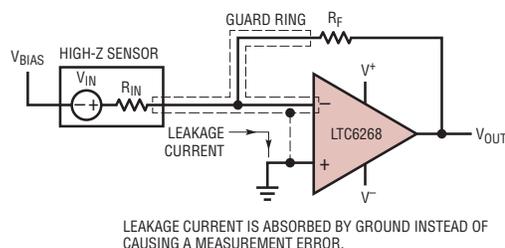
## 超低入力バイアス電流の維持

漏れ電流が高インピーダンス信号ノードに流れ込むと、fAレベルの信号の測定精度は容易に低下します。高温のアプリケーションでは、こうした問題に特に影響を受けやすくなります。湿度の高い環境では、表面をコーティングして防湿層を形成することが必要な場合があります。

低入力バイアス電流回路では、検討すべき要因がいくつかあります。fAレベルでは、漏れ電流の発生源は、PCB上の同じ層と内層の両方からの隣接信号、組立工程や環境に起因する基板上的の何らかの汚染、信号経路上にある他の部品、さらにデバイス・パッケージのプラスチックなど、予想外の発生源である可能性があります。システムの設計に注意することにより、これらの発生源を減らし、優れた性能を発揮することができます。



(a)



(b)

図12. 反転アンプ(またはトランスインピーダンス・アンプ)の漏れ電流ガードリング付きレイアウト例

各デバイス・パッケージの内部には同じダイが収容されていますが、ピン間隔および隣接信号は入力バイアス電流に影響を及ぼすので、どのパッケージを選択するか検討が必要です。LTC6268/LTC6269は、SOIC、MSOP、DFN、およびSOT-23パッケージで供給されます。これらのうち、SOICは低入力バイアス電流向けの最適パッケージとして設計されました。このパッケージは、パッケージ・プラスチックのインピーダンスが増加する最大のリード間隔になっており、2つの入力ピンは他の信号から見てパッケージの遠い方の側に分離されるようなピン配置になっています。このパッケージのガルウィング型リードにより、PCBのより良好な清浄化や汚染起因の漏れ電流の低減にも対応しています。他のパッケージにはサイズとピン数の点でメリットがありますが、そのために入力分離度を低減しています。DFNなどのリードレス・パッケージはサイズが最小になりますが、ピン間隔が最短であり、パッケージの下に汚染物質が溜まる可能性があります。

## アプリケーション情報

PCBの製造に使用される材料は、ときには設計回路の漏れ電流特性に影響を及ぼす場合があります。テフロンなどの新種の材料を使用して特定の事例での漏れ電流性能を向上することができますが、いくつかの基本的な規則が従来のFR4 PCBの設計に適用される場合、これらの材料は通常は必要ありません。基板上では、高インピーダンスの信号経路をできるだけ短く保つことが重要です。インピーダンスの高いノードはシステム内の漂遊信号を拾いやすいので、経路をできるだけ短くしてこの影響を少なくします。場合によっては、回路のこの部分を金属遮蔽板で覆うことが必要な可能性があります。ただし、金属遮蔽を施すと容量が増加します。漏れ電流の経路発生を防ぐためのもう1つの方法は、PCBに溝を入れることです。高インピーダンス回路は静電気や電磁気の影響も受けやすくなっています。回路の近くを歩く人によって運ばれる静電荷は、100fA程度の干渉を引き起こすことがあります。金属遮蔽はこの影響も低減することができます。

高インピーダンス入力ノードのレイアウトは、非常に重要です。他の信号はこの信号経路から遠ざけて配線し、信号経路の下には内部電源プレーンを配置しないようにします。信号の結合からの最善の防御は距離であり、これには表面だけでなく垂直方向も含まれます。スペースが制限されている場合には、高インピーダンス入力ノード周辺の基板に溝を入れると分離度が高まり、汚染の影響を低減できます。電氣的にノイズの多い環境では、これらのノードのまわりに駆動状態のガードリングを使用するのが効果的な場合があります(図12を参照)。フィルタなどの部品を高インピーダンス入力ノードに追加すると、漏れ電流が増加する場合があります。セラミック・コンデンサの漏れ電流は、このデバイスのバイアス電流より数桁大きい値です。シグナル・チェーン内のこの第1段の後にフィルタ処理を施すことが必要になります。

### 低入力オフセット電圧

LTC6268の最大オフセット電圧は、全温度範囲で $\pm 2.5\text{mV}$ (PNP領域)です。低オフセット電圧は高精度アプリケーションにとって不可欠です。入力同相電圧に応じて使用される、2つの異なる入力段があります。LTC6268の汎用性を高めるため、オフセット電圧は両方の動作領域に対して調整されます。

### レール・トゥ・レール出力

LTC6268には、出力駆動能力が優れているレール・トゥ・レールの出力段があります。全温度範囲で $\pm 40\text{mA}$ を超える出力駆動電流を供給できます。さらに、出力は $\pm 10\text{mA}$ を駆動しているときに、いずれのレールでもその $200\text{mV}$ 以内に達することができます。デバイスの接合部温度を $150^\circ\text{C}$ より低い温度に維持するよう注意する必要があります。

### 入力保護

入力段での内部デバイスのブレイクダウンを防ぐため、2つのオペアンプ入力間の電圧が $2.0\text{V}$ より広がらないようにしてください。入力段の保護を支援するため、入力間の電圧が $2.0\text{V}$ より大きくなり、入力電流が流れ始めた場合は、内部回路が自動的に作動します。いかなる場合でも、入力電流を $1\text{mA}$ 未満に抑えておくように注意が必要です。さらに、一方の入力だけが駆動された場合は、内部回路によってトランジェント状態でのブレイクダウン条件が防止されます。ワーストケースの差動入力電圧となるのは、通常、正入力駆動され、単位利得構成時に出力が誤ってグラウンドに短絡された場合です。

## アプリケーション情報

### ESD

ESD保護デバイスは、簡略回路図で確認できます。+INピンと-INピンは高度なESD保護方式を使用しており、2つの直列ダイオードとして各レールに接続された合計4つの逆バイアス・ダイオードを内蔵しています。非常に低い入力バイアス電流を維持するため、これらの直列ダイオード・チェーンの中央ノードは、入力電圧のバッファ後のコピーで駆動されます。これにより、入力ピンに直接接続された2つのダイオードが低い逆バイアスに維持され、これらのESDダイオードから入力ピンへの漏れ電流が最小限に抑えられます。

残りのピンのESD保護は従来の方式であり、各電源レールに接続された逆バイアスESDダイオードを使用しています。これらのピンの電圧が電源電圧より100mVを超えて高くならないよう注意が必要です。超えると、これらのダイオードに大量の電流が流れ始めます。

### シャットダウン

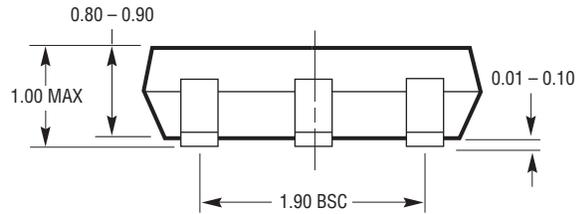
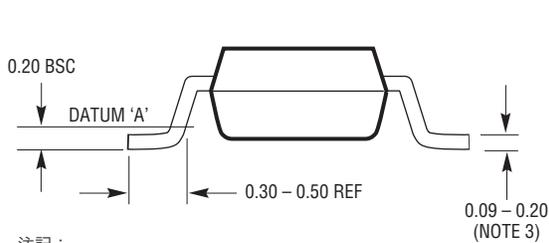
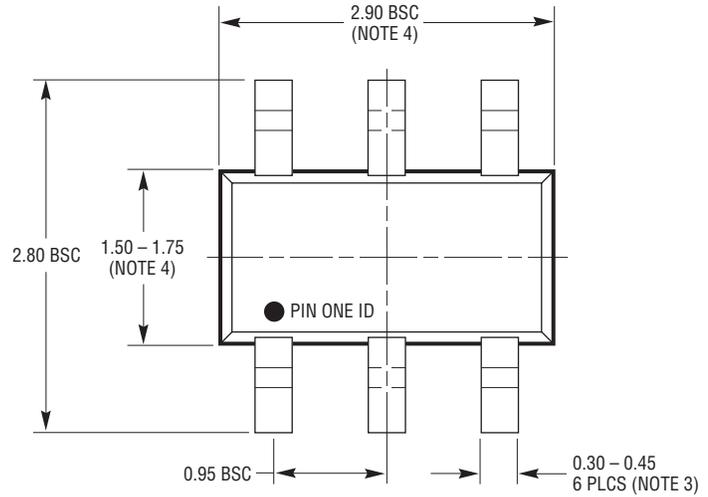
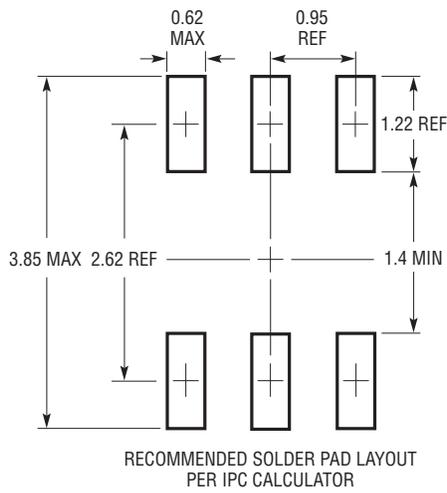
LTC6268S6、LTC6268S8、およびLTC6269DDには、アンプをシャットダウンして電源電流を1つのアンプにつき1.2mA未満に抑えるSHDNピンがあります。アンプをシャットダウンするには、SHDNピンの電圧をV<sup>-</sup>の0.75V以内にする必要があります。シャットダウン時に出力が高出力抵抗状態になるので、LTC6268はマルチプレクサ・アプリケーションに適しています。内部回路は低電流のアクティブ状態に維持され、素早い回復に対応します。フロート状態のままにすると、SHDNピンは内部で正の電源電圧に引き上げられ、アンプがイネーブルされます。

# LTC6268/LTC6269

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

### S6 Package 6-Lead Plastic TSOT-23 (Reference LTC DWG # 05-08-1636)



S6 TSOT-23 0302

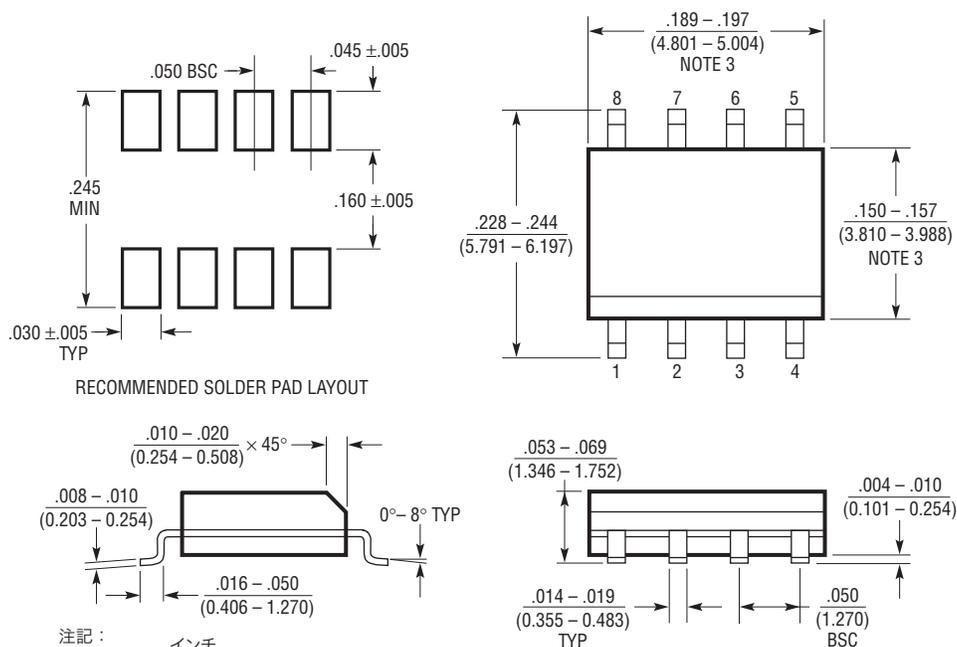
注記:

1. 寸法はミリメートル
2. 図は実寸とは異なる
3. 寸法はメッキを含む
4. 寸法はモールドのバリおよび金属のバリを含まない
5. モールドのバリは 0.254mm を超えないこと
6. JEDEC パッケージリファレンスは MO-193

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

**S8 Package**  
**8-Lead Plastic Small Outline (Narrow .150 Inch)**  
 (Reference LTC DWG # 05-08-1610 Rev G)



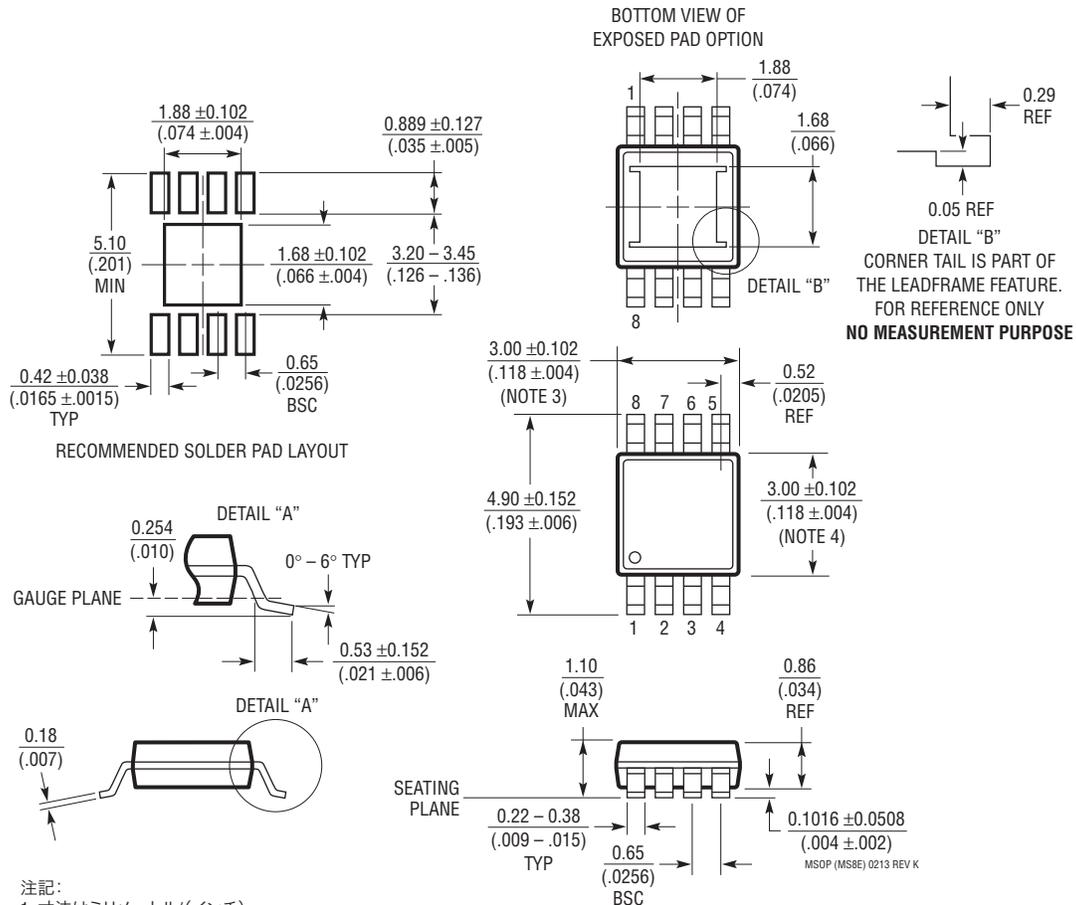
- 注記：  
 1. 寸法は  $\frac{\text{インチ}}{\text{ミリメートル}}$   
 2. 図は実寸とは異なる  
 3. これらの寸法にはモールドのバリまたは突出部を含まない  
 モールドのバリまたは突出部は  $0.006''$  ( $0.15\text{mm}$ )を超えないこと  
 4. ピン 1 は斜めのエッジかへこみのいずれか

S08 REV G 0212

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

### MS8E Package 8-Lead Plastic MSOP, Exposed Die Pad (Reference LTC DWG # 05-08-1662 Rev K)



注記:

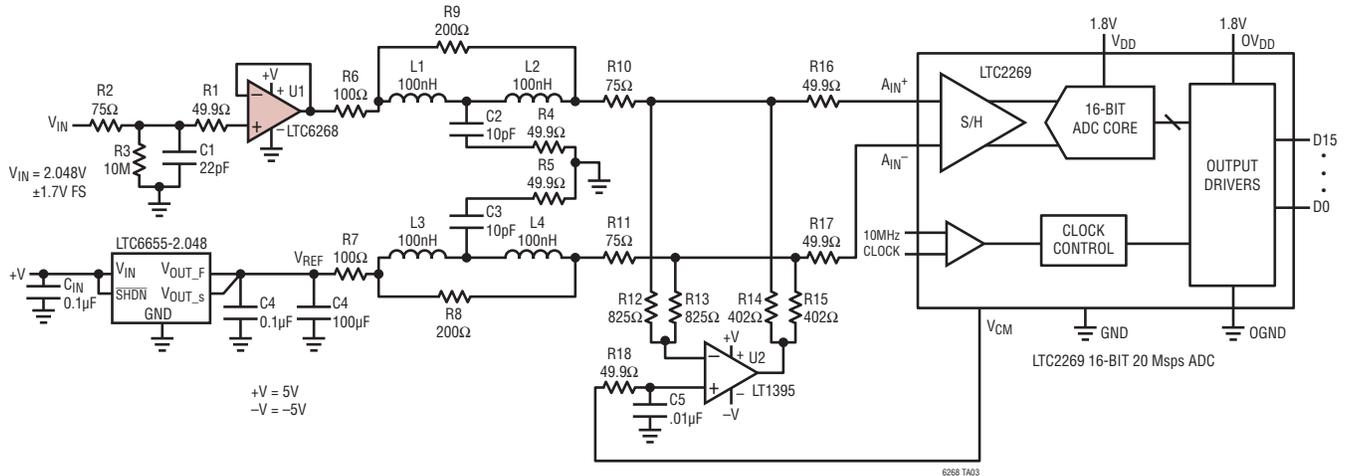
1. 寸法はミリメートル(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない  
モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm (0.006")を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない  
リード間のバリまたは突出部は、各サイドで0.152mm (0.006")を超えないこと
5. リードの平坦度(整形後のリードの底面)は最大0.102mm (0.004")であること
6. 露出パッドの寸法には、モールドのバリを含む  
E-PAD上のモールドのバリは、各サイドで0.254mm (0.010")を超えないこと



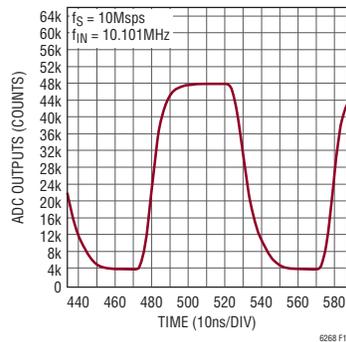
# LTC6268/LTC6269

## 標準的応用例

16ビットA/Dコンバータへのシングルエンド/差動コンバータとしてLT1395を駆動する高インピーダンス・バッファとしてのLTC6268



上記の回路のサンプリングされた時間領域応答の復元結果



## 関連製品

製品番号	説明	注釈
<b>オペアンプ</b>		
LTC6244	デュアル50MHz、低ノイズ、レール・トゥ・レール、CMOS オペアンプ	単位利得で安定、入力バイアス電流: 1pA、最大オフセット電圧: 100μV
LTC6240/LTC6241/ LTC6242	18MHz、低ノイズ、レール・トゥ・レール出力、CMOS オペアンプ	利得帯域幅積: 18MHz、入力電流: 0.2pA、最大オフセット電圧: 125μV
LTC6252/LTC6253/ LTC6254	高電力効率の720MHz、3.5mAレール・トゥ・レール入出力オペアンプ	利得帯域幅積: 720MHz、単位利得で安定、低ノイズ
LTC6246/LTC6247/ LTC6248	高電力効率の180MHz、1mAレール・トゥ・レール入出力オペアンプ	利得帯域幅積: 180MHz、単位利得で安定、低ノイズ
LT1818	400MHz、2500V/μs、9mAシングル・オペアンプ	単位利得で安定、6nV/√Hz
LTC6230	215MHz、レール・トゥ・レール出力、1.1nV/√Hz、3.5mA オペアンプ・ファミリ	最大オフセット電圧: 350μV、電源電圧: 3V ~ 12.6V
LTC6411	650MHz 差動 ADC ドライバ/利得を選択可能なデュアル・アンプ	SR: 3300V/μs、0.1%までのセトリング時間: 6ns
<b>SAR A/D コンバータ</b>		
LTC2376-18/LTC2377-18/ LTC2378-18/LTC2379-18	18ビット、250ksps ~ 1.6Msps、低消費電力 SAR A/D コンバータ、SNR: 102dB	1.6Msps 時に 18mW、250sps 時に 3.4μW、THD: -126dB

62689F