

マイクロパワー、3軸、±2g/±4g/±8gデジタル出力、MEMS加速度センサー

特長

- ▶ 電源電圧範囲
  - ▶ シングルセル・バッテリー動作：1.1V～3.6V
  - ▶ 内部電源レギュレーションによる高PSRR
- ▶ 超低消費電力：
  - ▶ 0.89µA @ 100Hz ODR、2.0V電源
  - ▶ 180nA（モーション起動のウェークアップ・モード）
  - ▶ 40nA（スタンバイ電流）
- ▶ 高分解能：0.25mg/LSB
- ▶ システム・レベルの節電を実現する組み込み機能
  - ▶ わずか35nAの追加電流でシングル・タップとダブル・タップを検出
  - ▶ モーション起動のための調整可能な閾値スリープ・モードとウェークアップ・モード
  - ▶ マイクロコントローラの介入を必要としない自律的割込み処理によって、システムの残り部分を完全にターン・オフ
  - ▶ 内蔵の512サンプル多段FIFOがホスト・プロセッサの負荷を最小限に抑制
  - ▶ アウェーク状態出力によってモーション起動スイッチを作動可能
- ▶ 170µg/√Hzまでノイズを低減
- ▶ 外部トリガによる加速度サンプルの同期
- ▶ オンチップ温度センサー
- ▶ 2極アンチエイリアシング・フィルタ内蔵
- ▶ SPI（4線式）およびI<sup>2</sup>Cデジタル・インターフェース
- ▶ 2.2mm x 2.3 mm x 0.87mmの小型で薄型のパッケージ

アプリケーション

- ▶ 常時動作のセンシング
- ▶ 補聴器
- ▶ バイタル・サイン・モニタリング・デバイス
- ▶ モーション・トリガのパワー・セーブ・スイッチ
- ▶ モーション・トリガの計量機器
- ▶ シングルセル動作のスマート・ウォッチ
- ▶ スマート・ホーム

機能ブロック図

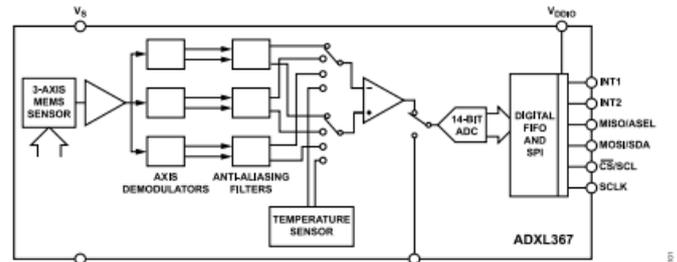


図 1.

概要

ADXL367は超低消費電力の3軸マイクロマシン（MEMS）加速度センサーで、その消費電流は、100Hzの出力データ・レートでわずか0.89µA、モーション・トリガのウェークアップ・モードでは180nAです。間欠動作により低消費電力を実現する加速度センサーとは異なり、ADXL367は、アンダーサンプリングによって入力信号をエイリアスするのではなく、すべてのデータ・レートにおいてセンサーの全帯域幅をサンプリングします。

ADXL367では常に14ビットの出力分解能が可能です。低分解能で十分な場合は、より効率的なシングルバイト転送を行うために8ビット・フォーマットのデータが提供されます。ADXL362との設計互換性を確保するために、12ビット・フォーマットのデータも提供されます。測定範囲は±2g、±4g、±8g、分解能は±2g範囲で0.25mg/LSBです。

ADXL367は、超低消費電力であることに加えて、真のシステム・レベルの消費電力低減を可能にする多くの特長を備えています。例えば、マルチモード出力の多段FIFO（First In, First Out）、内蔵のマイクロパワー温度センサー、割込み機能を使って追加のアナログ入力を同期変換する内蔵A/Dコンバータ（ADC）、わずか35nAの追加電流で任意の出力データ・レートにおいて機能できるシングル・タップとダブル・タップの検出、誤トリガを防止するためのステート・マシンのほか、サンプリング時間や外部クロックを外部制御する機能も備えています。

ADXL367は、1.1V～3.6Vの広い電源範囲で動作し、必要に応じて別の電源電圧で動作するホストにインターフェースすることもできます。ADXL367は、2.2mm x 2.3mm x 0.87mmのパッケージを採用しています。

1 アナログ・デバイスでは、文化的に適切な用語および言語を提供するよう、技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いいたします。

Rev. 0 ※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長	1	MEMSデバイスIDレジスタ	31
アプリケーション	1	デバイスIDレジスタ	31
機能ブロック図	1	リビジョンIDレジスタ	31
概要	1	XIDレジスタ	31
仕様	4	Xデータ・ビット[13:6]レジスタ	32
タイミング仕様	5	Yデータ・ビット[13:6]レジスタ	33
絶対最大定格	11	Zデータ・ビット[13:6]レジスタ	33
熱抵抗	11	ステータス・レジスタ	33
静電放電 (ESD) 定格	11	FIFOエントリ・ビット [7:0] レジスタ	34
推奨するハンダ処理プロファイル	11	FIFOエントリ・ビット [9:8] レジスタ	34
ESDに関する注意	11	Xデータ・ビット[13:6]レジスタ	34
ピン配置およびピン機能の説明	12	Xデータ・ビット[5:0]レジスタ	35
代表的な性能特性	13	Yデータ・ビット[13:6]レジスタ	35
動作原理	17	Yデータ・ビット[5:0]レジスタ	35
デバイスの機械的な動作	17	Zデータ・ビット[13:6]レジスタ	35
動作モード	17	Zデータ・ビット[5:0]レジスタ	36
選択可能な測定レンジ	18	温度データ・ビット[13:6]レジスタ	36
選択可能な出力データ・レート	18	温度データ・ビット[5:0]レジスタ	36
電力/ノイズのトレードオフ	18	ADCデータ・ビット[13:6]レジスタ	36
温度センサー	18	ADCデータ・ビット[5:0]レジスタ	37
外部ADC	18	I <sup>2</sup> C FIFOデータ・レジスタ	37
節電機能	20	ソフト・リセット・レジスタ	37
全モードで超低消費電力を実現	20	閾値アクティビティ・ビット[12:6]レジスタ	38
外部ADC割込み	20	閾値アクティビティ・ビット[5:0]レジスタ	38
モーション検出	20	時限アクティビティ・レジスタ	38
通信	23	閾値インアクティビティ・ビット[12:6]レジスタ	39
その他の機能	25	閾値インアクティビティ・ビット[5:0]レジスタ	39
自由落下検出	25	時限インアクティビティ・ビット[15:8]レジスタ	39
タップ検出	25	時限インアクティビティ・ビット[7:0]レジスタ	40
外部クロック	25	アクティビティ/インアクティビティ・コントロール・レジスタ	40
外部トリガ	25	FIFOコントロール・レジスタ	41
セルフ・テスト	25	FIFOサンプル・レジスタ	42
ユーザ・レジスタ保護	26	割込みピン1イネーブル (下位) レジスタ	42
シリアル通信	27	割込みピン2イネーブル (下位) レジスタ	43
SPIコマンド	27	フィルタ・コントロール・レジスタ	44
複数バイト転送	27	パワー・コントロール・レジスタ	44
無効なアドレスとアドレスのエイリアシング	27	ユーザ・セルフ・テスト・レジスタ	45
遅延制約	27	タップ閾値レジスタ	45
無効なコマンド	27	タップ時間レジスタ	45
SPIバスの共有	27	タップ遅延レジスタ	46
シリアル通信	28	タップ・ウィンドウ・レジスタ	46
I <sup>2</sup> C	28	x軸ユーザ・オフセット・レジスタ	46
レジスタ・マップ	29	y軸ユーザ・オフセット・レジスタ	46
レジスタの詳細	31	z軸ユーザ・オフセット・レジスタ	47
アナログ・デバイセズのデバイスIDレジスタ	31		

x軸ユーザ感度レジスタ .....	47	アプリケーション情報 .....	55
y軸ユーザ感度レジスタ .....	47	アプリケーション例 .....	55
z軸ユーザ感度レジスタ .....	48	電源条件 .....	56
タイマー・コントロール・レジスタ .....	48	FIFOのモード .....	57
アドレス：0x3A、リセット：0x00、レジスタ名： INTMAP1_UPPER .....	49	FIFO設定 .....	58
割込みピン2イネーブル（上位）レジスタ .....	49	割込み .....	60
ADCコントロール・レジスタ .....	50	FIFO割込みの使い方 .....	61
温度設定レジスタ .....	51	外部トリガの使用 .....	61
TEMP_ADC_ACT_THRSH_HIGHレジスタ .....	51	外部クロックの使い方 .....	62
TEMP_ADC_ACT_THRSH_LOWレジスタ .....	51	セルフ・テストの使い方 .....	62
TEMP_ADC_INACT_THRSH_HIGHレジスタ .....	52	2.0V以外の電圧での動作 .....	62
TEMP_ADC_INACT_THRSH_LOWレジスタ .....	52	取付けに関する機構上の留意点 .....	62
温度アクティビティ・インアクティビティ・タイマー・レジスタ .....	52	加速度検出軸 .....	63
軸マスク・レジスタ .....	53	外形寸法 .....	64
ステータス・コピー・レジスタ .....	53	オーダー・ガイド .....	64
ステータス2レジスタ .....	54	評価用ボード .....	64

## 改訂履歴

3/2022–Revision 0: Initial Version

## 仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.0\text{V}$ 、 $V_{\text{DDIO}} = 2.0\text{V}$ 、 $\text{ODR} = 100\text{Hz}$ 、 $\pm 2\text{g}$ レンジ、加速度 =  $0\text{g}$ 、その他のレジスタはデフォルト設定。

表 1.

パラメータ <sup>1</sup>	テスト条件/コメント	最小値	代表値	最大値	単位
SENSOR INPUT	各軸				
Measurement Range	ユーザ選択可能		$\pm 2, \pm 4, \pm 8$		g
Nonlinearity	フルスケールのパーセンテージ (2g) X軸、Y軸		0.5		%
	Z軸		1.8		%
Sensor Resonant Frequency	X軸、Y軸 <sup>2</sup>		2170		Hz
	Z軸 <sup>2</sup>		3000		Hz
Cross Axis Sensitivity <sup>4</sup>			0.8		%
OUTPUT RESOLUTION	各軸				
All g Ranges			14		Bits
SENSITIVITY	各軸				
Scale Factor	2gレンジ		0.25		mg/LSB
	4gレンジ		0.5		mg/LSB
	8gレンジ		1		mg/LSB
Sensitivity	2gレンジ		4000		LSB/g
	4gレンジ		2000		LSB/g
	8gレンジ		1000		LSB/g
Sensitivity Change Due to Temperature <sup>5</sup>	$0^\circ\text{C} \sim 60^\circ\text{C}$		0.05		%/ $^\circ\text{C}$
0 g OFFSET	各軸				
0 g Output <sup>6</sup>	$X_{\text{OUT}}, Y_{\text{OUT}}$	-150	$\pm 35$	+150	mg
	$Z_{\text{OUT}}$	-250	$\pm 50$	+250	mg
0 g Offset vs. Temperature <sup>7</sup>			0.6		mg/ $^\circ\text{C}$
NOISE PERFORMANCE					
Noise Density					
Normal Operation			370		$\mu\text{g}/\sqrt{\text{Hz}}$
Low Noise Mode			200		$\mu\text{g}/\sqrt{\text{Hz}}$
	400 ODR		170		$\mu\text{g}/\sqrt{\text{Hz}}$
BANDWIDTH					
Low Pass (Antialiasing) Filter, -3 dB Corner	2極フィルタ		ODR/2		Hz
Output Data Rate (ODR)	8ステップでユーザ選択可能	12.5		400	Hz
SELF TEST					
Output Change <sup>8</sup>	$X_{\text{OUT}}$	90	180	270	mg
POWER SUPPLY					
Operating Voltage Range ( $V_S$ )		1.1	2.0	3.6	V
I/O Voltage Range ( $V_{\text{DDIO}}$ )		1.1	2.0	3.6	V
Supply Reset Threshold ( $V_{\text{RESET}}$ )				50	mV
Supply Current <sup>9</sup>					
Measurement Mode <sup>10</sup>	100Hz ODR (50Hzの帯域幅)				
Normal Operation			0.89		$\mu\text{A}$
Low Noise Mode			1.77		$\mu\text{A}$
Wake-Up Mode <sup>11</sup>			181		nA
Standby			40		nA
Power Supply Rejection Ratio (PSRR)	外部コンデンサ除去、 $V_S$ ピン ( $V_S$ ) の電源電圧の入力が100mVのサイン波				

## 仕様

表 1.

パラメータ <sup>1</sup>	テスト条件/コメント	最小値	代表値	最大値	単位
Input Frequency 100 Hz to 1 kHz			-59		dB
Input Frequency 1 kHz to 250 kHz			-47		dB
Turn-On Time <sup>12</sup>	100Hz ODR (50Hzの帯域幅)				
Power-Up to Standby			9		ms
Hold Time		300			ms
Rise Time	0V~V <sub>S</sub> の90%	4			ms
Measurement Mode Instruction to Valid Data			31		ms
TEMPERATURE SENSOR					
Bias Average	25°C時		165		LSB
Standard Deviation			428		LSB
Sensitivity Average			54		LSB/°C
Standard Deviation			0.72		LSB/°C
Resolution			14		Bits
ENVIRONMENTAL					
Operating Temperature Range		-40		+85	°C

- 1 最小仕様と最大仕様はすべて確保されています。代表仕様は必ずしも該当しない場合があります。
- 2 特性評価に基づく代表値であり、出荷テストは行っていません。
- 3 設計/シミュレーションにより定められた代表値です。出荷テストは行っていません。
- 4 交差軸感度は任意の2軸のカップリングとして定義されています。特性評価に基づく代表値であり、出荷テストは行っていません。
- 5 0°C~+25°Cまたは+25°C~+60°C。
- 6 電源と測定レンジが異なるとオフセットも異なります。
- 7 -40°C~+25°Cまたは+25°C~+85°C。
- 8 セルフ・テストの変化は、セルフ・テストをアサートしたときの出力変化 (単位: g) として定義されています。電源およびgのレンジが異なるとセルフ・テスト値も変化します。
- 9 温度センサー、FIFO、あるいは外部ADCがイネーブルされていると、電源電流は増加する可能性があります。
- 10 V<sub>S</sub>およびV<sub>DDIO</sub>を2.0Vとしてテスト。
- 11 毎秒1.5625サンプルでサンプリングした場合のウェークアップ・モードの消費電流。これは、レジスタ0x39のWAKEUP\_RATEビットを使って設定できます。
- 12 最小電源立上がり時間条件の詳細については電源条件のセクションを参照してください。

## タイミング仕様

4.5V ≤ V<sub>BUS1</sub> ≤ 5.5V、4.5V ≤ V<sub>BUS2</sub> ≤ 5.5V、3.0V ≤ V<sub>DD1</sub> ≤ 3.6V、3.0V ≤ V<sub>DD2</sub> ≤ 3.6V。特に指定のない限り、すべての最小/最大仕様値は推奨動作範囲全体に適用されます。特に指定のない限り、すべての代表仕様値は、T<sub>A</sub> = 25°C、V<sub>DD1</sub> = V<sub>DD2</sub> = 3.3Vでの値です。各電圧はそれぞれのグラウンドを基準にしています。

表 2. SPIデジタル入出力

パラメータ	テスト条件/コメント	最小値	最大値	単位
Digital Input				
Low Level Input Voltage (V <sub>IL</sub> )			0.3 × V <sub>DDIO</sub>	V
High Level Input Voltage (V <sub>IH</sub> )		0.7 × V <sub>DDIO</sub>		V
Low Level Input Current (I <sub>IL</sub> )	V <sub>IN</sub> = V <sub>DDIO</sub>		0.1	μA
High Level Input Current (I <sub>IH</sub> )	V <sub>IN</sub> = 0 V	-0.1		μA
Digital Output				
Low Level Output Voltage (V <sub>OL</sub> )	I <sub>OL</sub> = 10 mA		0.2 × V <sub>DDIO</sub>	V
High Level Output Voltage (V <sub>OH</sub> )	I <sub>OH</sub> = -4 mA	0.8 × V <sub>DDIO</sub>		V
Low Level Output Current (I <sub>OL</sub> )	V <sub>OL</sub> = V <sub>OL, max</sub>	10		mA
High Level Output Current (I <sub>OH</sub> )	V <sub>OH</sub> = V <sub>OH, min</sub>		-4	mA

- 1 特性評価の結果に基づく制限値であり、出荷テストは行っていません。

## 仕様

表 3. SPIタイミング (T<sub>A</sub> = 25°C、V<sub>S</sub> = 2.0V、V<sub>DDIO</sub> = 2.0V)

Limit <sup>1, 2, 3</sup>				
Parameter	Min	Max	Unit	Description
f <sub>CLK</sub>	0.1	8	MHz	Clock Frequency.
t <sub>CSS</sub>	100		ns	$\overline{\text{CS}}$ Setup Time.
t <sub>C<sub>SH</sub></sub>	0.02	1000	μs	$\overline{\text{CS}}$ Hold Time.
t <sub>CSD</sub>	20		ns	$\overline{\text{CS}}$ Disable Time.
t <sub>SU</sub>	20		ns	Data Setup Time.
t <sub>HD</sub>	20		ns	Data Hold Time.
t <sub>HIGH</sub>	50		ns	Clock High Time.
t <sub>LOW</sub>	50		ns	Clock Low Time.
t <sub>CLE</sub>	25		ns	Clock Enable Time.
t <sub>v</sub>	0	50	ns	Output Valid from Clock Low.
t <sub>DIS</sub>	0	25	ns	Output Disable Time.

1 設計目標に基づく制限値であり、出荷テストは行っていません。

2 タイミング値は、表2に示す入力閾値 (V<sub>IL</sub>とV<sub>IH</sub>) に応じて測定されています。

3 最大負荷は12pFを超えないようにしてください。

表 4. I2Cタイミング (T<sub>A</sub> = 25°C、V<sub>S</sub> = 2.0V、V<sub>DDIO</sub> = 2.0V)

パラメータ	記号	テスト条件/コメント	I2C_HS = 0 (ファスト・モード)			I2C_HS = 1 (ハイ・スピード・モード)			単位
			最小値	代表値	最大値	最小値	代表値	最大値	
DC INPUT LEVELS									
Input Voltage									
Low Level	V <sub>IL</sub>				0.3 × V <sub>DDIO</sub>		0.3 × V <sub>DDIO</sub>		V
High Level	V <sub>IH</sub>		0.7 × V <sub>DDIO</sub>			0.7 × V <sub>DDIO</sub>			V
Hysteresis of Schmitt	V <sub>HYS</sub>		0.05 × V <sub>DDIO</sub>			0.1 × V <sub>DDIO</sub>			μA
Trigger Inputs									
Input Current	I <sub>IL</sub>	0.1 × V <sub>DDIO</sub> < V <sub>IN</sub> < 0.9 × V <sub>DDIO</sub>	-10		+10				μA
DC OUTPUT LEVELS									
Output Voltage									
Low Level	V <sub>OL1</sub>	I <sub>OL</sub> = 7 mA V <sub>DDIO</sub> > 2			V 0.4				V
	V <sub>OL2</sub>	V <sub>DDIO</sub> ≤ 2 V			0.2 × V <sub>DDIO</sub>				V
Output Current									
Low Level	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V V <sub>OL</sub> = 0.6 V	20 6						mA mA
AC INPUT LEVELS									
SCLK Frequency			0		1	0		3.4	MHz
SCL High Time	t <sub>HIGH</sub>		260			60			ns
SCL Low Time	t <sub>LOW</sub>		500			160			ns
Start Setup Time	t <sub>SUSTA</sub>		260			160			ns
Start Hold Time	t <sub>HDSTA</sub>		260			160			ns
SDA Setup Time	t <sub>SUDAT</sub>		50			10			ns
SDA Hold Time	t <sub>HDDAT</sub>		0			0			ns
Stop Setup Time	t <sub>SUSTO</sub>		260			160			ns
Bus Free Time	t <sub>BUF</sub>		500						ns
SCL Input Rise Time	t <sub>RCL</sub>				120			80	ns
SCL Input Fall Time	t <sub>FCL</sub>				120			80	ns

仕様

表 4. I2C タイミング (TA = 25°C、Vs = 2.0V、VDDIO = 2.0V)

パラメータ	記号	テスト条件/コメント	I2C_HS = 0 (ファスト・モード)			I2C_HS = 1 (ハイ・スピード・モード)			単位
			最小値	代表値	最大値	最小値	代表値	最大値	
SDA Input Rise Time	t <sub>RDA</sub>				120		160	ns	
SDA Input Fall Time	t <sub>FDA</sub>				120		160	ns	
Width of Spikes to Suppress	t <sub>SP</sub>	図17には示されていません			50		10	ns	
AC OUTPUT LEVELS									
Propagation Delay		C <sub>LOAD</sub> = 500 pF							
Data	t <sub>VDDAT</sub>		97		450	27	135	ns	
Acknowledge	t <sub>VDACK</sub>				450			ns	
Output Fall Time	t <sub>F</sub>	図17には示されていません	20 × (V <sub>DDIO</sub> /5.5)		120			ns	

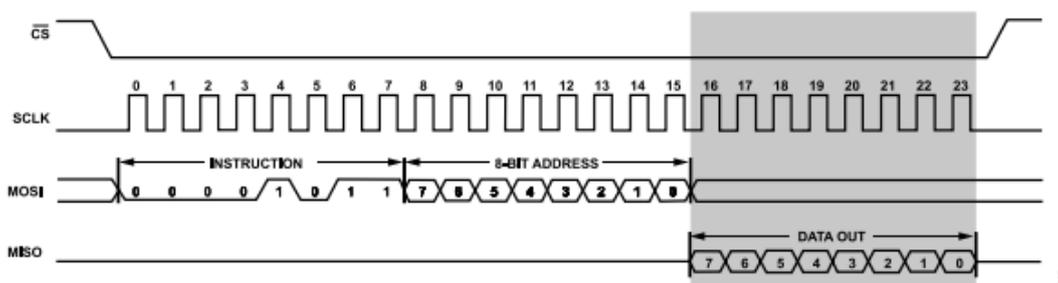


図 2. レジスタ読出し

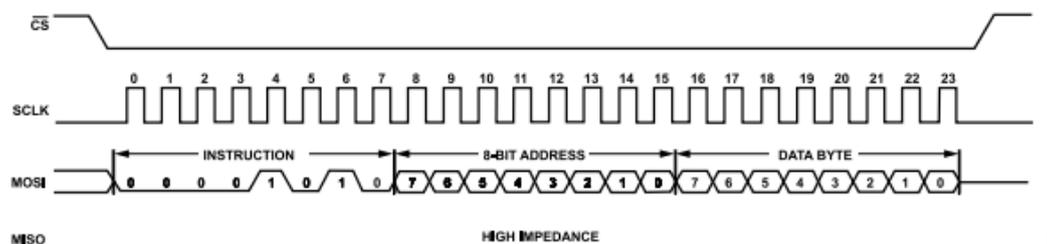


図 3. レジスタ書込み (受信命令のみ)

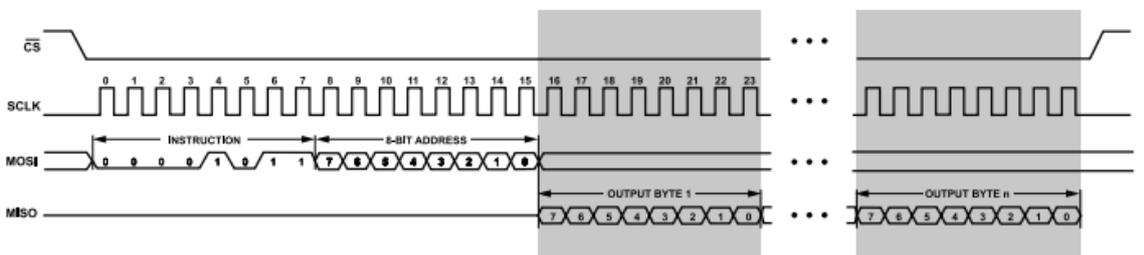


図 4. バースト読出し

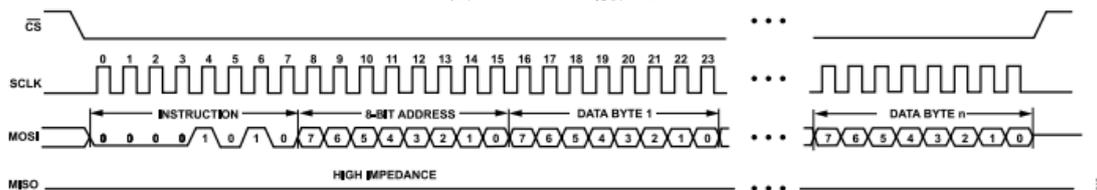


図 5. バースト書込み (受信命令のみ)

仕様

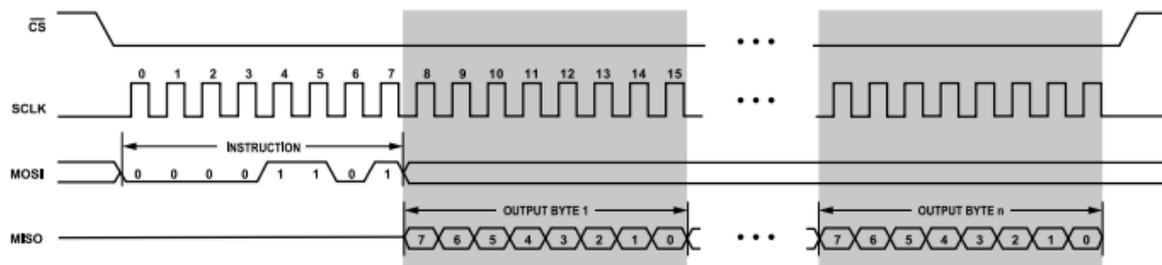


図 6. FIFO 読出し

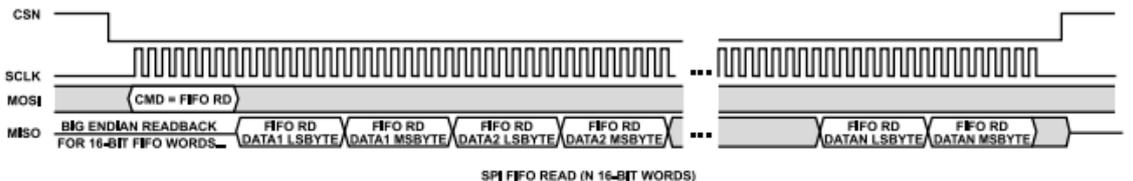


図 7. SPI FIFO 読出し (N個の16ビット・ワード)

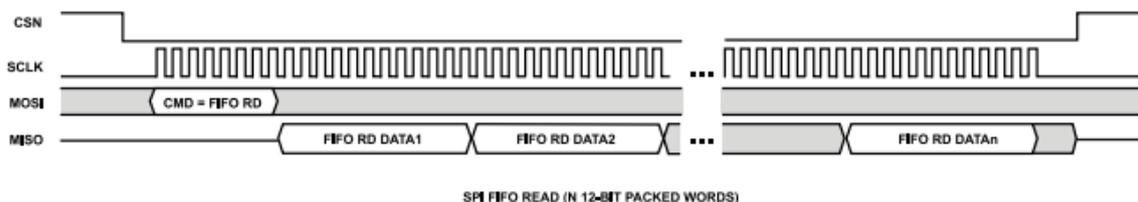


図 8. SPI FIFO 読出し (N個の12ビット・パック・ワード)

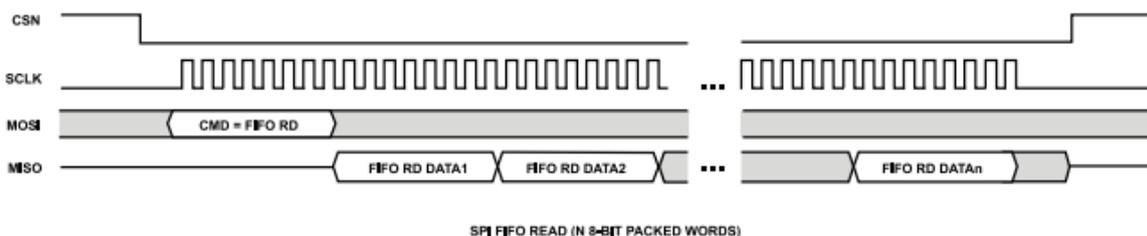


図 9. SPI FIFO 読出し (N個の8ビット・パック・ワード)

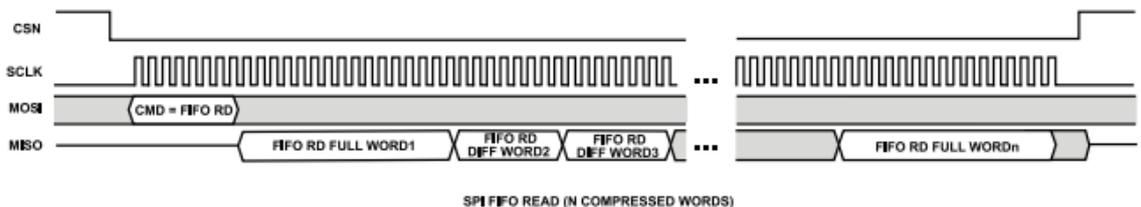


図 10. SPI FIFO 読出し (N個の圧縮ワード)

仕様

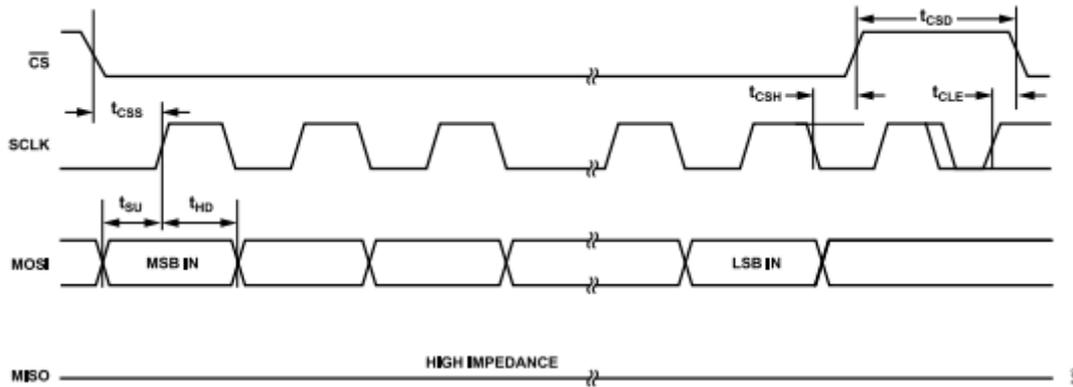


図 11. SPI受信命令のタイミング図

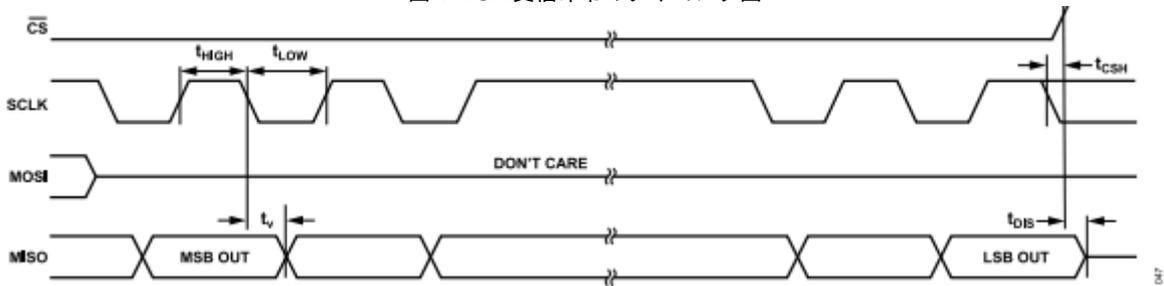


図 12. SPI送信命令のタイミング図

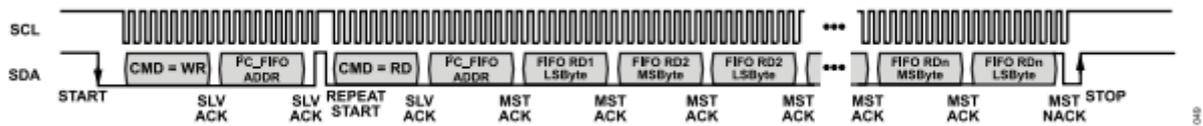


図 13. I<sup>2</sup>C FIFO読み出し (N個の16ビット・ワード)

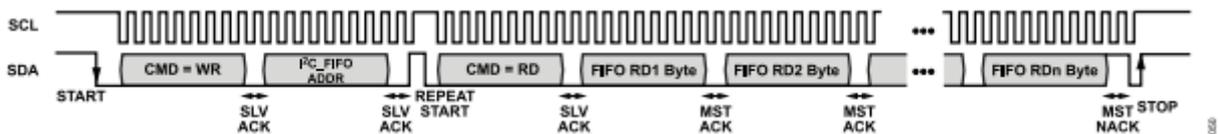


図 14. I<sup>2</sup>C FIFO読み出し (N個の8ビット・ワード)

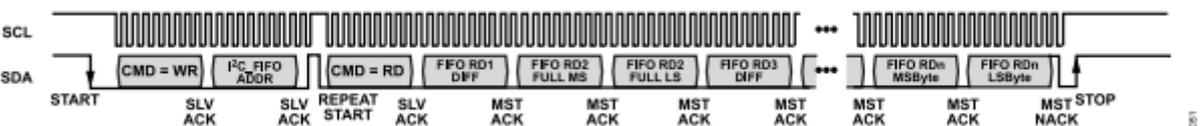


図 15. I<sup>2</sup>C FIFO読み出し (N個の圧縮ワード、8ビットまたは16ビット)

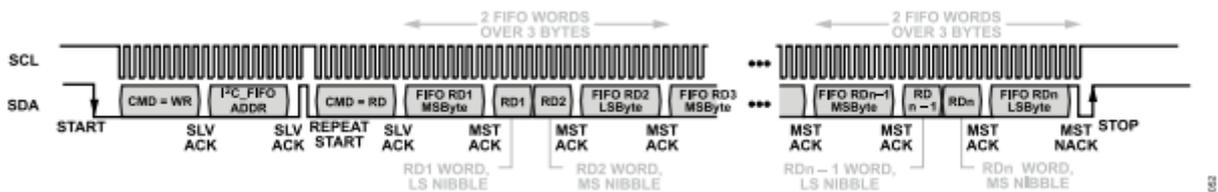


図 16. I<sup>2</sup>C FIFO読み出し (N個の12ビット・ワード)

仕様

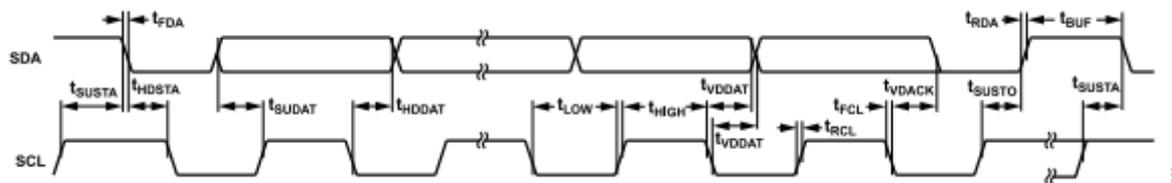


図 17. I<sup>2</sup>Cインターフェースのタイミング図

絶対最大定格

表 5.

Parameter	Rating
Acceleration (Any Axis, Unpowered)	5000 g
Acceleration (Any Axis, Powered)	5000 g
V <sub>S</sub>	-0.3 V to +4.0 V
V <sub>DDIO</sub>	-0.3 V to +4.0 V
All Other Pins	-0.3 V to V <sub>DDIO</sub>
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range (Storage)	-50°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間にわたり絶対動作条件を超えて動作させると、デバイスの信頼性に影響を与えることがあります。

熱抵抗

(特に指定のない限り) 表6に仕様規定されている熱抵抗値は、JEDEC仕様に基づいて計算されており、JESD51-12に従って使用します。

表 6. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	$\Psi_{JT}$	$\Psi_{JB}$	Device Weight
CC-12-4	177.8 °C/W	116.7 °C/W	11.1°C/W	127.8 °C/W	9.04 mg

静電放電 (ESD) 定格

以下のESD情報は、ESDに敏感なデバイスをESDに対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002準拠の帯電デバイス・モデル (CDM)。

表 7. ADXL367、12端子LGA

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
CDM	1250	C3

推奨するハンダ処理プロファイル

表8に、推奨するハンダ処理プロファイルの詳細を示します。

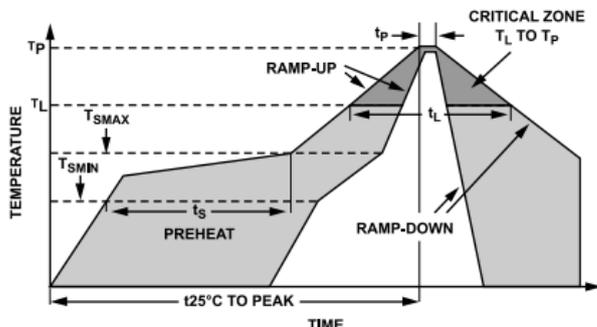


図 18. 推奨するハンダ処理プロファイル

表 8. 推奨するハンダ処理プロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate (TL to TP) Preheat	3°C/sec max	3°C/sec max
Minimum Soldering Temperature (TSMIN)	100°C	150°C
Maximum Soldering Temperature (TSMAX)	150°C	200°C
Soldering Time (TSMIN to TSMAX)(ts)	60 sec to 120 sec	60 sec to 180 sec
TSMAX to TL Ramp-Up Rate	3°C/sec maximum	3°C/sec maximum
Time Maintained Above Liquidous Temperature (TL)		
Liquidous Temperature (TL)	183°C	217°C
Liquidous Time (tL)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (TP)	240 + 0°C/-5°C	260 + 0°C/-5°C
Time Within 5°C of Actual Peak Temperature (tp)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	6°C/sec maximum
Time at 25°C to Peak Temperature	6 minutes maximum	8 minutes maximum

ESDに関する注意



**ESD (静電放電) の影響を受けやすいデバイスです。**  
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

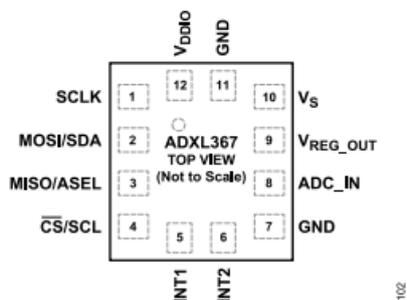


図 19. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	SCLK	SPI通信クロック。I <sup>2</sup> Cの場合、ロー・レベルに接続します。
2	MOSI/SDA	マスタ出力、スレーブ入力 (MOSI)、I <sup>2</sup> Cシリアル・データ (SDA)。
3	MISO/ASEL	マスタ入力、スレーブ出力 (MISO)、I <sup>2</sup> Cアドレス・セレクト (ASEL)。
4	CS/SCL	SPIチップ・セレクト、アクティブ・ロー (CS)、I <sup>2</sup> Cクロック (SCL)。
5	INT1	割込み1出力。INT1は外部クロッキング用の入力としても機能します。
6	INT2	割込み2出力。INT2は同期サンプリング用の入力としても機能します。
7	GND	グラウンド。このピンは接地する必要があります。
8	ADC_IN	ADC入力ピン。無接続のままにするか、ピン7やピン11に接続することができます。
9	VREG_OUT <sup>1</sup>	内部でレギュレーションされた電圧。
10	V <sub>S</sub>	電源電圧。
11	GND	グラウンド。このピンは接地する必要があります。
12	VDDIO	デジタルI/Oの電源電圧

1 このピンは内部電源デカップリング・ピンとして使用します。0.2 μFの外付けコンデンサが必要です。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.0\text{V}$ 、 $V_{DDIO} = 2.0\text{V}$ 、 $\text{ODR} = 100\text{Hz}$ 、 $\pm 2\text{g}$ レンジ、加速度 =  $0\text{g}$ 、その他のレジスタはデフォルト設定。

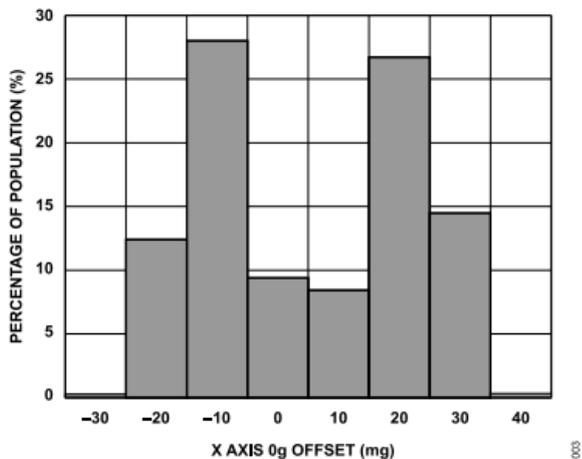


図 20. X軸の0gオフセット ( $25^\circ\text{C}$ 、 $V_S = 2\text{V}$ )

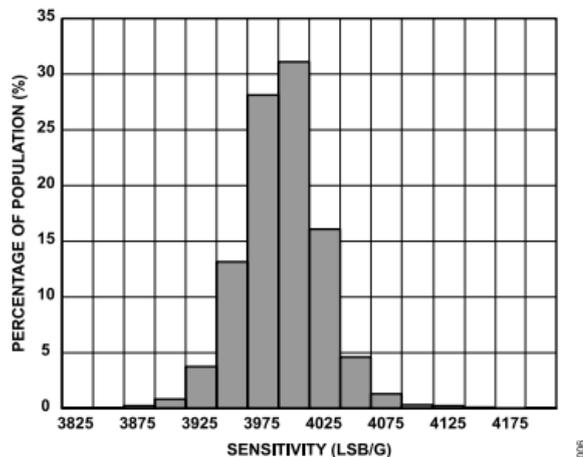


図 23. X軸感度 ( $25^\circ\text{C}$ 、 $V_S = 2\text{V}$ 、 $\pm 2\text{g}$ レンジ)

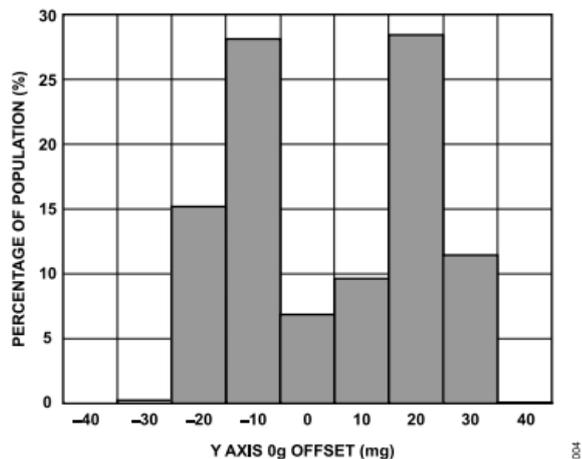


図 21. Y軸の0gオフセット ( $25^\circ\text{C}$ 、 $V_S = 2\text{V}$ )

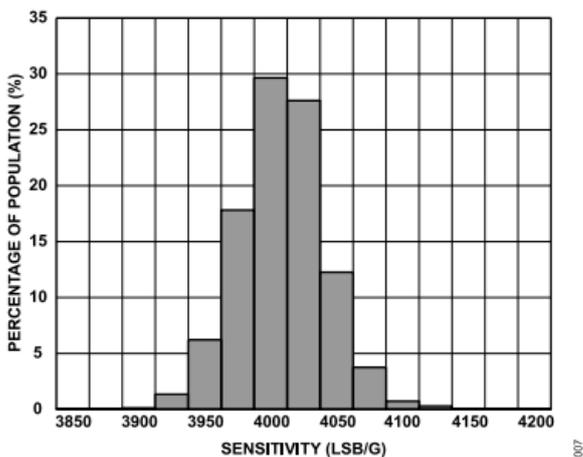


図 24. Y軸感度 ( $25^\circ\text{C}$ 、 $V_S = 2\text{V}$ 、 $\pm 2\text{g}$ レンジ)

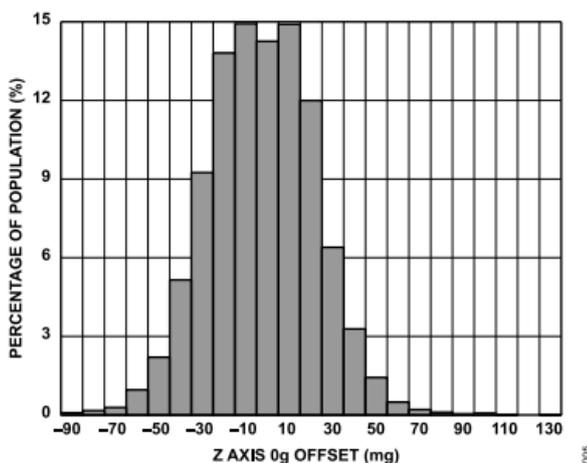


図 22. Z軸の0gオフセット ( $25^\circ\text{C}$ 、 $V_S = 2\text{V}$ )

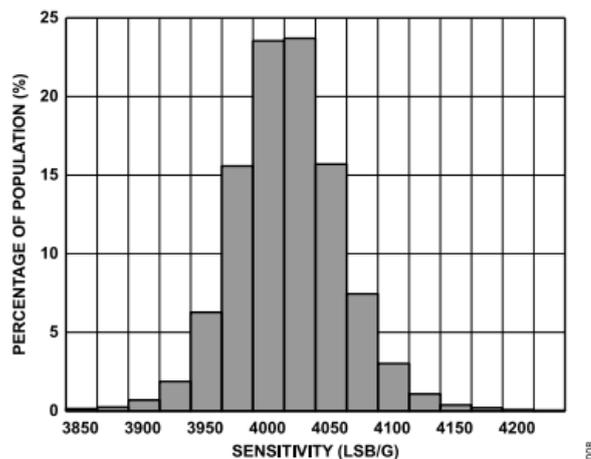


図 25. Z軸感度 ( $25^\circ\text{C}$ 、 $V_S = 2\text{V}$ 、 $\pm 2\text{g}$ レンジ)

代表的な性能特性

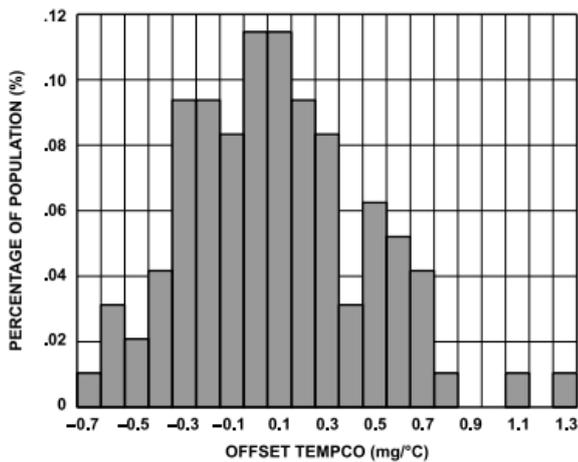


図 26. X軸の0gオフセットの温度係数 ( $V_S = 2V$ )

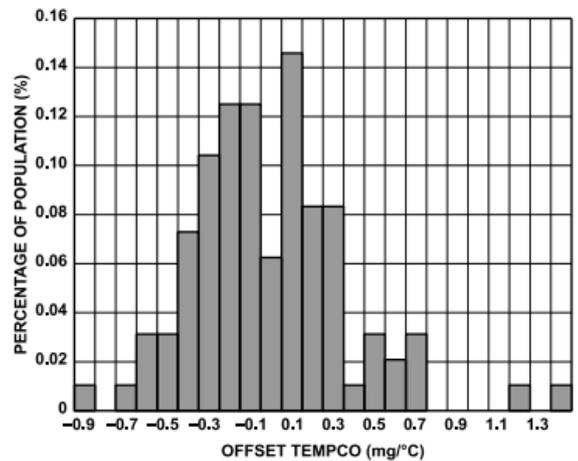


図 27. Y軸の0gオフセットの温度係数 ( $V_S = 2V$ )

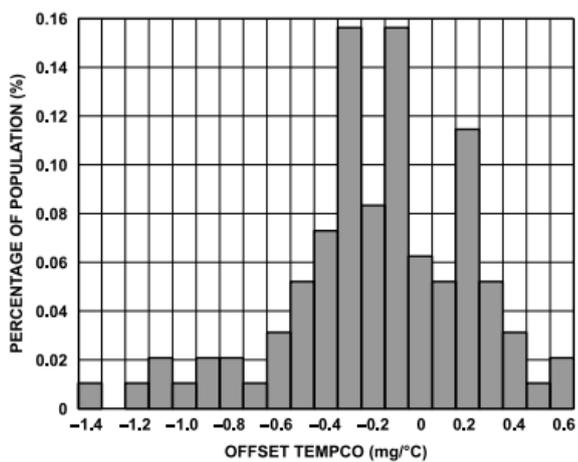


図 28. Z軸の0gオフセットの温度係数 ( $V_S = 2V$ )

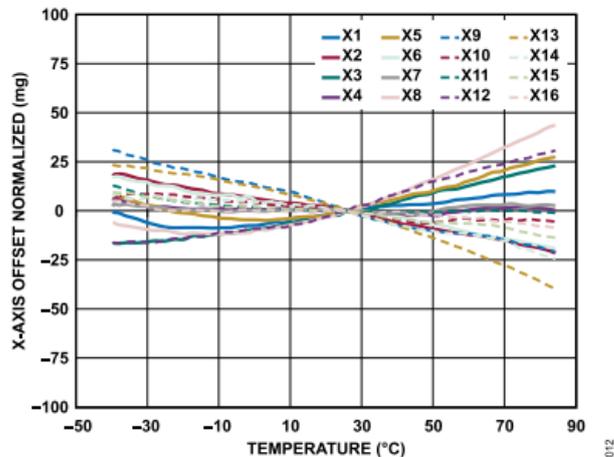


図 29. 正規化したX軸オフセットと温度の関係 (16個のADXL367 デバイスをPCBにハンダ付け、ODR = 100Hz、 $V_S = 2V$ )

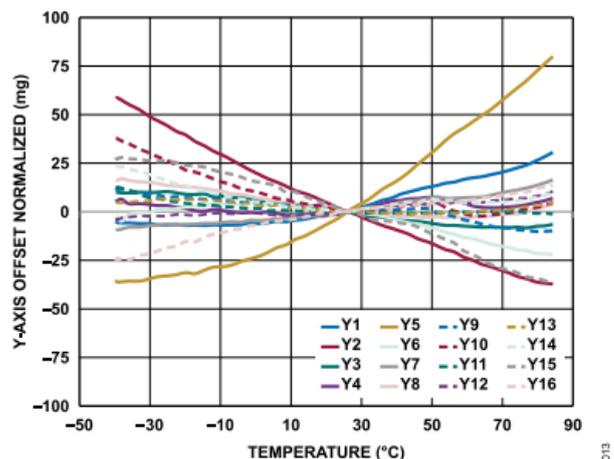


図 30. 正規化したY軸オフセットと温度の関係 (16個のADXL367 デバイスをPCBにハンダ付け、ODR = 100Hz、 $V_S = 2V$ )

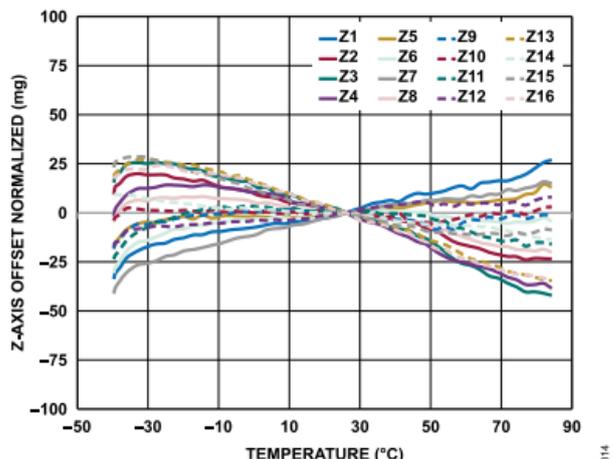


図 31. 正規化したZ軸オフセットと温度の関係 (16個のADXL367 デバイスをPCBにハンダ付け、ODR = 100Hz、 $V_S = 2V$ )

代表的な性能特性

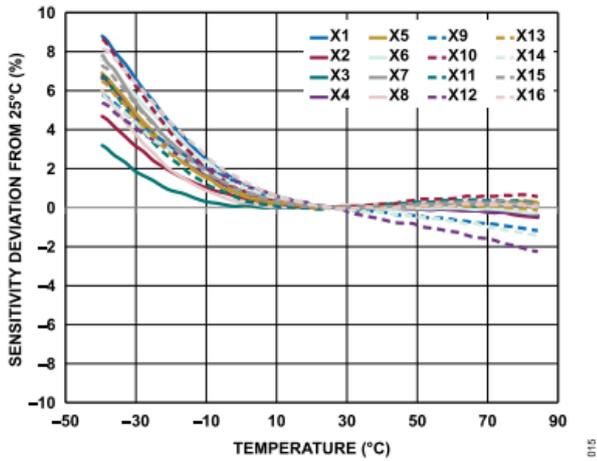


図 32. 25°Cからの感度偏差と温度の関係（16個のADXL367デバイスをPCBにハンダ付け、ODR = 100Hz、 $V_S = 2V$ 、X軸）

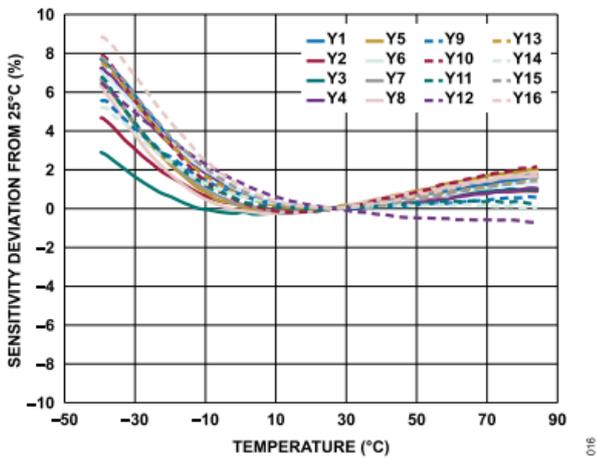


図 33. 25°Cからの感度偏差と温度の関係（16個のADXL367デバイスをPCBにハンダ付け、ODR = 100Hz、 $V_S = 2V$ 、Y軸）

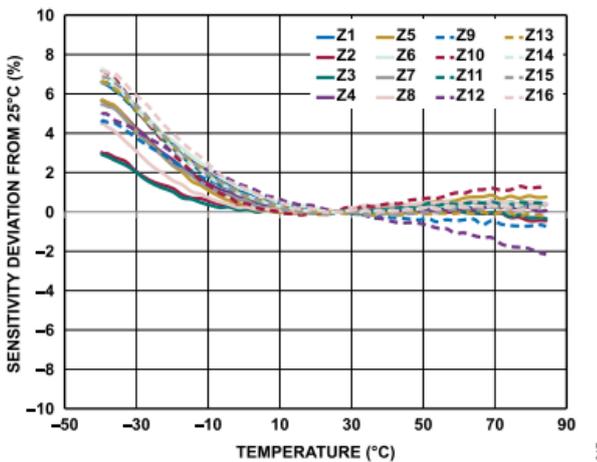


図 34. 25°Cからの感度偏差と温度の関係（16個のADXL367デバイスをPCBにハンダ付け、ODR = 100Hz、 $V_S = 2V$ 、Z軸）

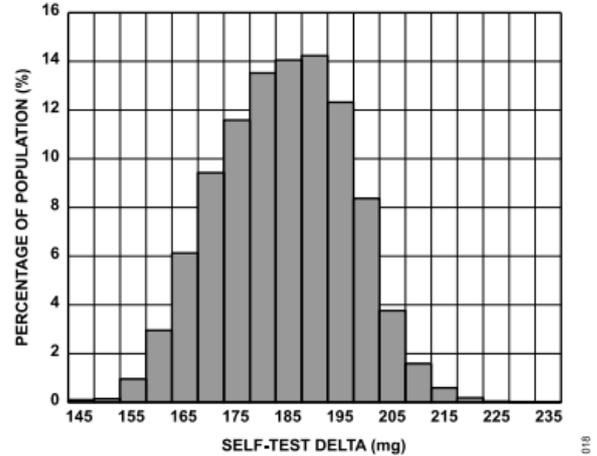


図 35. X軸のセルフ・テスト応答性（25°C、 $V_S = 2V$ ）

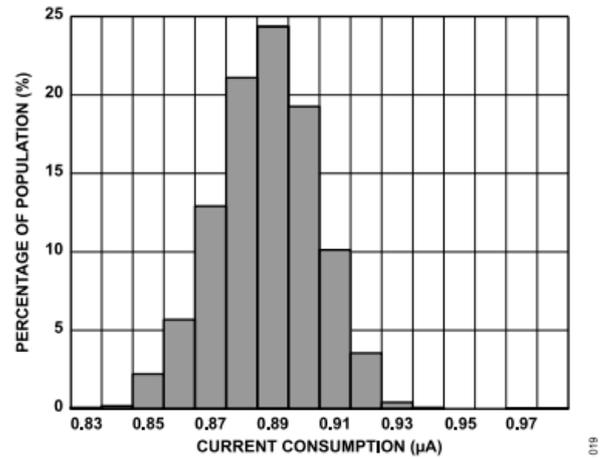


図 36. 消費電流（25°C、ノーマル・モード、ODR = 100Hz、 $V_S = 2V$ ）

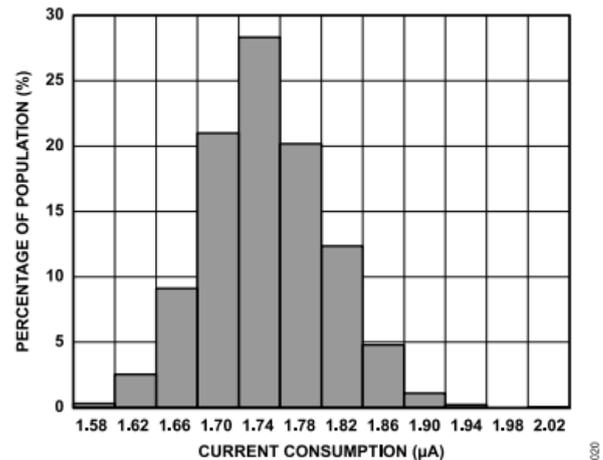


図 37. 消費電流（25°C、低ノイズ・モード、ODR = 100Hz、 $V_S = 2V$ ）

代表的な性能特性

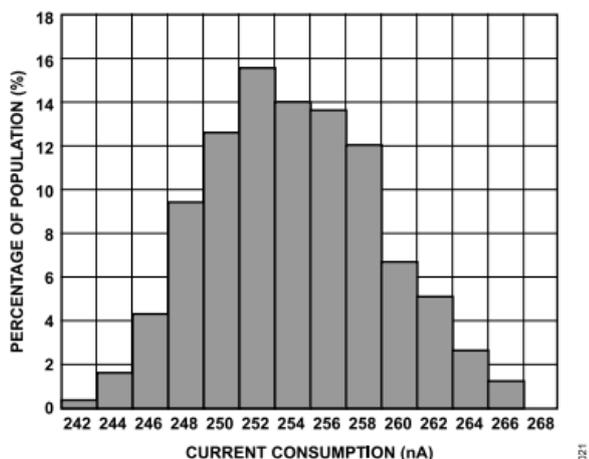


図 38. 消費電流 (25°C、ウェークアップ・モード、 $V_S = 2V$ )

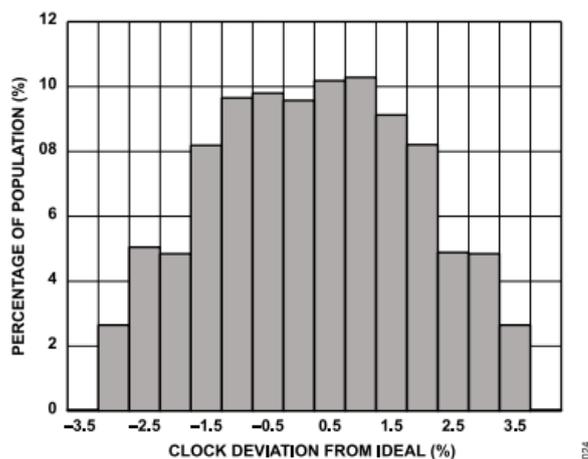


図 41. 理想値からのクロック周波数偏差 (25°C、 $V_S = 2V$ )

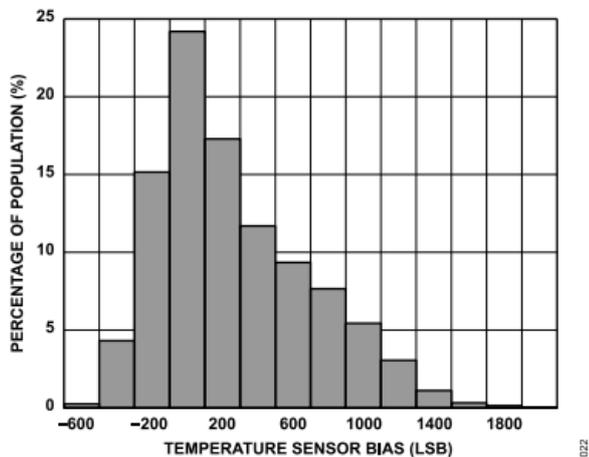


図 39. 温度センサーの応答性 (25°C、 $V_S = 2V$ )

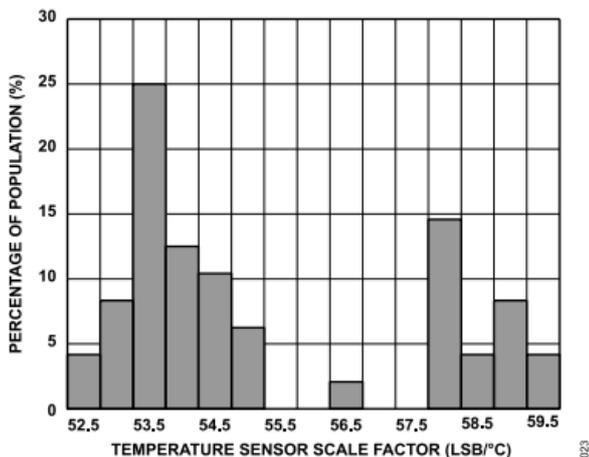


図 40. 温度センサーのスケール係数 ( $V_S = 2V$ )

## 動作原理

ADXL367は、極めて低い消費電力レベルで動作する、全機能内蔵型の3軸加速度計測システムです。モーションや衝撃から生じる動的加速度と、傾斜などの静的加速度の両方を測定することができます。加速度はデジタルで伝達され、デバイスはSPIまたはI2Cプロトコルのいずれかで通信を行います。内蔵のデジタル・ロジックは自律的動作を可能にし、また、システム・レベルの節電を強化する機能を実現します。

### デバイスの機械的な動作

センサーの可動部品は、シリコン・ウェーハの上面に構成されるポリシリコン表面マイクロマシン構造となっています。ポリシリコンのスプリングがウェーハ表面でこの構造部を支え、加速力に対する抵抗をもたらします。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。加速度は構造部を偏向させ、差動コンデンサを不平衡にするので、振幅が加速度に比例するセンサー出力を生じます。位相検波復調により、加速度の大きさと極性が決定されます。

### 動作モード

ADXL367には以下の3つの動作モードがあります。

- ▶ 連続した広帯域幅センシングのための測定モード
- ▶ 限られた帯域幅でアクティビティ検出を行うウェークアップ・モード
- ▶ 節電のためのスタンバイ・モード

### 測定モード

測定モードはADXL367の通常動作モードです。このモードでは、加速度データは連続的に読み取られ、ボタンセル・バッテリーを1個使用する場合の加速度センサーの消費電流は、最大400Hzの出力データ・レートの範囲全体で1.4 $\mu$ A（代表値）です（25 $^{\circ}$ C時）。ADXL367をこのモードで動作させているときは、このデータシートに記載されたすべての機能を使用できます。

ADXL367は、出力データ・レート100Hz時の電源電流が0.8 $\mu$ Aであるため、真の低消費電力加速度センサーです。他の加速度センサーでは、間欠的に加速度センシングを行う特別な低消費電力モードを使用することで低消費電力を実現します。その結果生じるアンダーサンプリングが入力加速度のエリアシングを引き起こす場合があります。ADXL367の測定モードでは、いかなる出力データ・レートでも入力信号のアンダーサンプリングは生じません。

なお、測定モードに入った後100msの待機時間を経た後から加速度データの読出しが行われる点に注意してください。これにより、測定モードに入った後の出力時間を安定させることができます。

### ウェークアップ・モード

ウェークアップ・モードでは、入力のサンプリングを周期的に行い、測定と測定の間では加速度センサーの電子回路をオフにすることで、消費電流を極めて低いレベルに抑えます。このモードは多くの場合、モーションの有無を識別するために用いられますが、ライブ・データ・ストリームとして用いることもできます。

ADXL367は、毎秒約12.5サンプルから毎秒約1.5サンプルの範囲でユーザが選択可能な、4種類のウェークアップ・レートを備えています。ウェークアップ・モードでは、加速度は一定の間隔で測定されます。サンプリングとサンプリングの間では、加速度センサーの電子回路は低消費電力状態になります（図42参照）。

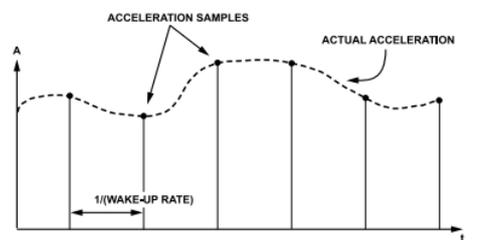


図 42. 加速度のサンプリング

ウェークアップ・モードは、モーションにより起動するオン/オフ・スイッチを使用する場合に最適です。多くのシステムでは、システムをウェークアップできる動きを検出するには、1秒間で数回の測定で十分です。システムがウェークアップした後は、より高いデータ・レートのモードに切り替えて、より高精度のモーション測定を行うことができます。最初のウェークアップに要する時間はその後のウェークアップ時間より長くなる点に注意してください。

ウェークアップ・モードでは、モーション検出時に、以下のいずれかの方法で加速度センサーが自律的に応答できます。

- ▶ アクティビティ割込みがトリガされない場合、ウェークアップ・モードを維持したままデータ・サンプリングを継続する
- ▶ アクティビティ割込みがトリガされた場合は、フル帯域幅の測定モードに切り替わる
- ▶ マイクロコントローラに割込みを通知する
- ▶ 設定に応じて、後段回路をウェークアップする
- ▶ 加速度センサーの応答はレジスタの設定を介して設定可能
- ▶ 最初のウェークアップ・データ・ポイントの経過時間は最大10msで、その後のデータ・ポイントより遅くなる可能性があります。ウェークアップ・モードは、低ノイズ（LN）モードではサポートされていません。

### スタンバイ

ADXL367をスタンバイにすると、測定が中断され、消費電流は40nA（代表値）まで低下します。保留中の割込みとデータは保持され、新しい割込みは生成されません。

ADXL367の起動時は、すべてのセンサー機能を停止したスタンバイ状態になります。POWER\_CTLレジスタより前のレジスタ（レジスタ0x00～レジスタ0x2D）の変更は、デバイスがスタンバイ状態のときに行う必要があることに注意してください。ADXL367が測定モードにある場合に変更を行うと、その変更は一部の測定に対してしか有効にならない場合があります。データ・キャプチャ設定の変更はスタンバイ・モード時のみ発生するようにしてください。

## 動作原理

### 選択可能な測定レンジ

ADXL367には、 $\pm 2g$ 、 $\pm 4g$ 、 $\pm 8g$ という選択可能な測定レンジがあります。加速度サンプルは、常に14ビットADCによって変換されます。そのため、感度はgのレンジに比例します。レンジとそれに対応する感度値は、表にまとめられています。入力がフルスケールのレンジを超えると、出力データは一時的に不正確なものになります。加速度が絶対最大定格未満にある限り、センサーが損傷することはありません。表5は、加速度の絶対最大定格を示します。これは、デバイスに恒久的な損傷を与える可能性のある加速度レベルを示します。

### 選択可能な出力データ・レート

ADXL367は、12.5Hz～400Hzの様々なデータ・レートで加速度データをレポートできます。ナイキスト・サンプリング基準を満たしエイリアシングが発生しないように、内部ローパス・フィルタのコーナは、自動的に設定されます。

消費電流は、図43に示すように、出力データ・レートによって若干変動しますが、データ・レートと動作電圧の全範囲にわたって1.3 $\mu$ A未満を維持します。

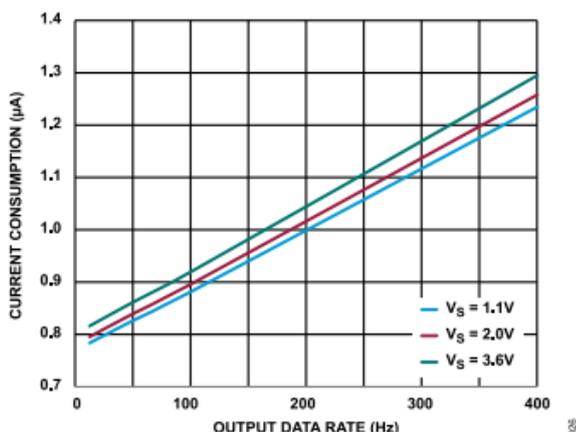


図 43. 各種電源電圧での消費電流と出力データ・レートの関係

### アンチエイリアシング

ADXL367のADCは、ユーザが選択した出力データ・レートでサンプリングを行います。適切なアンチエイリアシング・フィルタを用いない場合、データ・レートの2分の1を超える入力信号は信号帯域内にエイリアシングされます。これを緩和するため、ADCの入力に2極ローパス・フィルタが備わっています。この2極フィルタはODR/2に設定され、ユーザ選択の出力データ・レートに対し最適な帯域幅とアンチエイリアシングを実現します。

### 電力／ノイズのトレードオフ

ADXL367には、消費電流を少しだけ増やすことによってノイズを減少させる、2つのオプションがあります。

通常動作時のADXL367のノイズ性能は、100HzのODR（50Hzの帯域幅）で、11LSB rms（ $\pm 2g$ モード、代表値）です。帯域幅と必要な分解能にもよりますが、これは、大部分のアプリケーションにとって十分な値です。ノイズを更に抑える必要がある場合、ADXL367は、消費電力が多少増える代わりにノイズを低減できる低ノイズ動作モードを備えています。

表10に、代表的な2.0V電源での通常動作と低ノイズ・モードで得られる消費電流とノイズ密度を示します。

表10. ノイズと消費電流：通常動作および低ノイズ・モード (V<sub>S</sub> = 2.0V、ODR = 100Hz)

Mode	Noise ( $\mu g/\sqrt{Hz}$ ) Typical	Current Consumption ( $\mu A$ ) Typical
Normal Operation	370	0.89
Low Noise	200	1.77

### 温度センサー

ADXL367には14ビットの温度センサーが内蔵されており、システム設計者はこれを利用して内部システム温度をモニタしたり、キャリブレーションによってデバイスの温度安定性を改善したりすることができます。例えば、加速度出力は $\pm 0.5mg/^\circ C$ （代表値）のレートで温度によって変化します。しかし、この出力と温度との関係は再現性があるため、設計者は温度センサーの出力を使用することで加速度の温度ドリフトを補正することができます。

ADXL367に組み込まれた温度センサーは、出荷前に室温で調整されているため、絶対温度をモニタするために使用することもできます。更に精度を向上するには、量産時にいくつかの既知の温度で初期バイアスを測定し補正することができます。

加速度信号をキャリブレーションするために温度センサーを用いる場合は、加速度を絶対温度ではなく温度センサー出力と対応付けるだけで十分です。この場合、温度の読出し値を絶対温度に変換する必要はありません。そのため初期バイアスのキャリブレーションは不要です。

設計者は、温度センサーの出力データをFIFOに保存するようデバイスを設定できます。温度サンプルは、出力レジスタから読み出したものもFIFOから読み出したものも、デバイスがオフになるまで、加速度（およびADC）のサンプルと同時に更新されます。

### 外部ADC

加速度センサーと温度センサーの他、ADXL367は外部アナログ入力をデジタル化するために14ビットのADCを内蔵しています。ADCは、加速度センサーや温度センサーと同期できるため、センサー入力と共に使用するのに最適です。

ADCを用いることで、100HzのODRで動作する場合に合計の消費電流は約50nA増加します。ADXL367では、ADCが不要な場合にはこれをパワーダウンして消費電力を削減できます。

### アナログ入力

ADXL367のADCは、内部レギュレーション電圧 (V<sub>REG\_OUT</sub>) の10%～90%の範囲のアナログ入力を変換でき、外部ADCの入力範囲は、内部レギュレーション電圧により最大1Vに制限されています。

## 動作原理

図44に、ADXL367の入力構造の等価回路を示します。D1とD2の2つのダイオードにより、アナログ入力（ADC\_IN）のESD保護が行われます。

アクイジション・フェーズ中、アナログ入力（ADC\_IN）のインピーダンスは、入力抵抗（ $R_{IN}$ ）と入力容量（ $C_{IN}$ ）の直列接続によってモデリングできます。通常、 $R_{IN}$ は $20k\Omega$ で、いくつかの直列抵抗とスイッチのオン抵抗で構成される集中定数コンポーネントです。通常、 $C_{IN}$ は $650fF$ で、主にADCのサンプリング・コンデンサです。

必要なアクイジション時間は次式を使って計算します。

$$t_{ACQ} = 10 \times ((R_{SOURCE} + R_{IN}) C_{IN})$$

ここで、 $R_{SOURCE}$ はソース・インピーダンスです。

14ビット設定の場合、 $t_{ACQ}$ は $15\mu s$ 未満とする必要があります。このアクイジション時間（ $t_{ACQ}$ ）により、ソース・インピーダンス（ $R_{SOURCE}$ ）の上限値は約 $2M\Omega$ に設定されます。 $R_{IN}$ と $C_{IN}$ は、不要なエイリアシング効果を削減してノイズを抑える単極のローパス・フィルタを生成します。

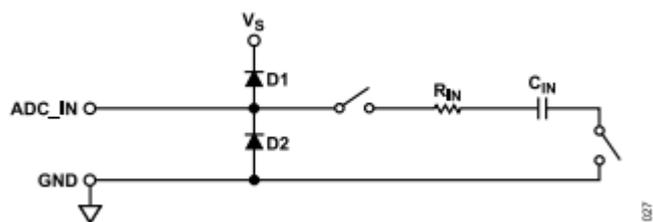


図 44. アナログ入力の等価回路

## 節電機能

消費電力が最重視されるアプリケーション向けに設計されたADXL367には、デバイス・レベルだけでなく、システム・レベルの低消費電力化も可能にする機能がいくつか内蔵されています。

### 全モードで超低消費電力を実現

デバイス・レベルでは、ADXL367の最も顕著な節電機能は、あらゆる設定での超低消費電流です。ADXL367の消費電流は、400Hzまでのすべてのデータ・レートと3.6Vまでのすべての電源電圧にわたって、0.8 $\mu$ A（代表値）～1.4 $\mu$ A（代表値）です（図43を参照）。消費電流が0.2 $\mu$ A未満であることが必要な簡単なモーション検出アプリケーションに対しては、160nA（代表値）という更に低消費電力のモーション・トリガのウェークアップ・モードが用意されています。

このような電流レベルにおいて、この加速度センサーのフル動作での消費電流は、他の多くのシステム・コンポーネントのスタンバイ電流よりも小さくなります。したがって、連続的な加速度監視と極めて長いバッテリー稼働時間を必要とするアプリケーションに最適です。加速度センサーは常にオンであるため、モーション起動スイッチとして機能することができます。加速度センサーは、起動のタイミングをシステムのそれ以外の部分に通知することにより、システム・レベルで電力を管理します。

動作電流の少なさと同様、40nA（代表値）というスタンバイ電流の少なさもADXL367の重要な特長であり、大部分の時間をスリープ状態で費やし、外部トリガを介してウェークアップするアプリケーションでは、バッテリー稼働時間の大幅な増加をもたらします。

### 外部ADC割込み

ADXL367は、外部アナログ入力をデジタル化するために14ビットのADCを内蔵しています。割込みは、外部ADCのユーザ設定閾値に基づいて発生します。バッテリー駆動デバイスでは、外部ADCを使用して電源電圧をモニタできます。設定された閾値未満になると割込みが生成され、エンド・ユーザにバッテリーの充電または交換を行うよう警告が発せられます。この機能を使うことで、ホスト・プロセッサは別のADCを用いて電源を定期的にチェックする必要がなくなります。

### モーション検出

ADXL367は、アクティビティ（閾値を上回る加速度が存在する状態）とインアクティビティ（閾値を上回る加速度が存在しない状態）を検出する内蔵ロジックを備えています。アクティビティ／インアクティビティ・イベントは、加速度センサーの動作モード管理、ホスト・プロセッサへの割込み、あるいはモーション・スイッチの自律的駆動のためのトリガとして使用できます。

アクティビティ／インアクティビティ・イベントの検出はステータス・レジスタで示され、割込みを生成するように設定できます。また、デバイスのアクティビティ・ステータス（つまり、動いているのか静止しているのか）は、**AWAKEビットの使い方**のセクションで説明するAWAKEビットによって示されます。

アクティビティ／インアクティビティ検出は、加速度センサーが測定モード時またはウェークアップ・モード時に使用できます。

### アクティビティ検出

アクティビティ・イベントが検出されるのは、いずれかの軸の加速度が仕様規定された期間にわたって仕様規定された閾値を上回り続けた場合です。いずれかの軸で閾値を超えるとアクティビティ・イベントが生じます（その軸がディスエーブルになっていない限り）。

### リファレンス・モードとアブソリュート・モード

アクティビティ検出の設定方法には、リファレンス・モードとアブソリュート・モードがあります。

アブソリュート・アクティビティ検出を使用した場合、加速度サンプルとユーザが設定した閾値とを比較して、モーションが存在するかどうかを判定します。例えば、0.5gの閾値が設定され、z軸での加速度がユーザ定義によるアクティビティ時間よりも長い間1gである場合、アクティビティ・ステータスがアサートされます。

多くのアプリケーションでは、絶対的な閾値ではなく、基準となるポイントまたは向きからのずれをアクティビティ検出のベースにするほうが有利です。この方式が特に便利なのは、重力によって加えられる静的な1gがアクティビティ検出に与える影響を除去できるからです。加速度センサーが静止している場合、たとえモーションが加わっていても、その出力は1gに到達することがあります。この場合、アブソリュート・アクティビティでは、閾値が1g未満に設定されていると、すぐにアクティビティが検出されます。

アクティビティ・イネーブルとインアクティビティ・イネーブルの少なくともどちらかがリファレンス・モードに設定されている場合（レジスタ0x27のINACT\_EN = 11またはACT\_EN = 11）、ADXL367はリファレンス・モードになります。リファレンス・モードでは、ユーザ定義された時間にわたって加速度サンプルが内部定義されたリファレンス値よりも少なくともユーザ定義量だけ大きいとき、アクティビティが検出されます（式1を参照）。

### ABS(Acceleration – Reference) > Threshold (1)

したがって、加速度が最初の向きから十分にずれたときのみ、アクティビティが検出されます。アクティビティ検出が以下のいずれかのシナリオに該当する場合、アクティビティ検出のリファレンスが計算されます。

- ▶ アクティビティ機能が起動され、測定モードが機能しているとき
- ▶ リンク・モードが有効な場合：インアクティビティが検出され、アクティビティ検出が始まったとき
- ▶ リンク・モードが有効でない場合：アクティビティが検出され、アクティビティ検出が繰り返される時

リファレンス・モードでは、最もわずかなモーション・イベントさえ検出する、極めて高感度なアクティビティ検出が得られます。

リファレンス・モードを用いる場合は、デバイスが最初に測定モードになったときは依然としてアブソリュート閾値を用いている点に注意することが重要です。これは、インアクティビティ閾値が1g未満であることが必要な場合に重要になります。この場合、デバイスは1gより大きな閾値で測定モードに入る必要があります。その後、インアクティビティ閾値を目的のレベルより低くすることができます（かつ測定モードの状態を維持）。これにより、デバイスは閾値をz軸方向に約1gオフセットさせて設定できます。

## 節電機能

### 誤検出を低減

アクティビティ検出の目的は、理想的には、ノイズや意図的でない小さな移動を無視して、意図的なモーションの場合にのみシステムをウェークアップさせることです。ADXL367のアクティビティ検出アルゴリズムは、わずかなモーション・イベントを識別するだけでなく、不要なトリガを確実に除去できるように設計されています。

ADXL367のアクティビティ検出機能には、不要なモーションを除去し、持続的なモーションだけをアクティビティと認識するために、タイマーが組み込まれています。このタイマーの時間は、加速度閾値と同様に、1サンプル（つまり、タイマーなし）から最大20秒のモーションまで、ユーザが調整できます。

なお、アクティビティ・タイマーは測定モードおよびウェークアップ・モードで使用できます。ウェークアップ・モードでは、1サンプルのアクティブ検出が使用されます。

### インアクティビティ検出

インアクティビティ・イベントが検出されるのは、加速度がすべての軸で仕様規定された時間にわたって仕様規定された閾値を下回り続けた場合です。インアクティビティ・イベントが生じるには、3軸すべてについて（イネーブルされている場合）インアクティビティ閾値未満でなくてはなりません。インアクティビティ検出の設定にも、リファレンス・モードとアブソリュート・モードがあります。

アブソリュート・インアクティビティ検出を使用した場合、加速度サンプルとユーザが設定した閾値とをユーザが設定した時間にわたって比較し、モーションが存在するかどうかを判定します。インアクティビティが検出されるのは、連続した十分な数のサンプルのすべてが閾値を下回るときです。インアクティビティのアブソリュート・モードは、自由落下検出の実行に使用できます。

リファレンス・インアクティビティ検出を使用する場合、インアクティビティが検出されるのは、加速度サンプルが、ユーザ定義された時間にわたって、内部定義されたリファレンス値を基準としてユーザ定義された閾値の範囲内に収まるまでです（式2を参照）。

$$ABS(Acceleration - Reference) < Threshold(2)$$

インアクティビティ検出のリファレンスは、次のどちらかのイベントが発生した場合に計算されます。

- ▶ インアクティビティ機能がオンになり、デバイスが測定モードに入る
- ▶ インアクティビティ・イベントが検出される

インアクティビティ・イベントが検出されるたびに、リファレンスは更新されます。これはインアクティビティ・タイマーを使用する場合に重要になります。リファレンスはタイマーが終了するまで更新されません。動的な環境では、これにより、インアクティビティを検出しようとしても加速度は閾値外になっている、という状態にデバイスが陥ってしまう可能性があります。

次の設定は、リファレンス・インアクティビティのループ・モードを有効化するための一例となるものです。

- ▶ 2g、ODR = 100Hz
- ▶ リファレンス・インアクティビティ閾値 = 250mg

- ▶ インアクティビティ・タイマー = 100サンプル
- ▶ このインアクティビティ・タイマー設定の場合、デバイスは1秒ごとにインアクティビティ・リファレンスを更新することになります（ODRが100Hzでタイマーが100サンプルであるため）。これを図45に示します。

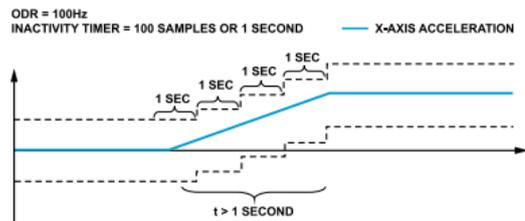


図 45. リファレンス・インアクティビティ閾値、加速度は緩やかに変化

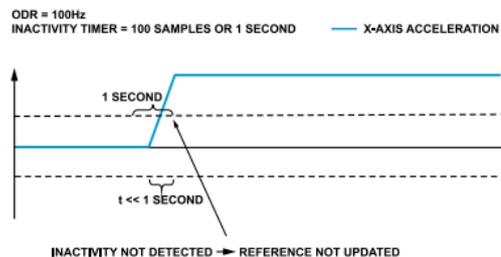


図 46. リファレンス・インアクティビティ閾値、加速度は急速に変化

図46では、加速度はタイマー時間が経過する前にインアクティビティ閾値を超えています。これはアクティビティ・イベントです。そのため、インアクティビティは検出されません。しかし、この場合、今度はリファレンス閾値が更新されないことを意味します。加速度が閾値を超えた状態を維持する場合、デバイスはインアクティビティを検出しようとするループにとどまってしまうますが、加速度は制限値外の値です。デバイスが動いていない場合でも、インアクティビティは検出されません。

リファレンス・インアクティビティは、リファレンス・アクティビティと同様、重力による静的加速度の影響を除去するのに特に便利です。アブソリュート・インアクティビティでは、インアクティビティ閾値が1g未満に設定された場合、静止したままのデバイスはインアクティビティを検出できないことがあります。リファレンス・インアクティビティを用いれば、同じ構成の同じデバイスでもインアクティビティを検出できます。

インアクティビティ・タイマーは、2.5ms（400Hz ODRにおける1個のサンプル）のインアクティビティからほぼ90分（12.5Hz ODRにおける65,535個のサンプル）のインアクティビティまで自由に設定できます。インアクティビティ・タイマーがどのような長さの時間に設定されている場合でも、その時間にわたって静止していれば、加速度センサーはインアクティビティのみを検出する、というのがインアクティビティ検出の条件です。

例えば、加速度センサーが90分に設定されていた場合、加速度センサーがインアクティビティを検出するのは、90分間静止していた場合です。タイマー設定範囲が広いと、節電が重要視されるアプリケーションでは、極めて短い時間のインアクティビティ後にシステムをスリープ状態にすることができます。連続動作が重要なアプリケーションでは、システムは、何らかのモーションが存在する限りオン状態を保ちます。

## 節電機能

### アクティビティ/インアクティビティ検出のリンク

アクティビティ検出機能とインアクティビティ検出機能を同時に使用し、ホスト・プロセッサにより手動で処理を行うことができます。あるいは、これ以外の、**デフォルト・モード**のセクション、**リンク・モード**のセクション、**ループ・モード**のセクション、**自動スリープ**のセクションに示す方法で相互作用するよう設定することもできます。

### デフォルト・モード

アクティビティ機能とインアクティビティ機能については、デフォルトでは自動的に有効にされないため、ユーザがこれらの機能を有効にする必要があります。ユーザがアクティビティ機能とインアクティビティ機能を有効にすると、アクティビティ検出とインアクティビティ検出の両方が有効化され、すべての割込みをホスト・プロセッサによって処理することが必要になります。つまり、プロセッサが各割込みを読み取らなければ、割込みをクリアして再び使用することはできません。

デフォルト・モードの動作を図47でフローチャートにして示します。

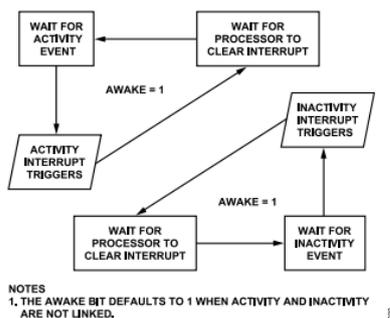


図 47. デフォルト・モードのアクティビティ動作とインアクティビティ動作のフローチャート

### リンク・モード

リンク・モードでは、アクティビティ検出とインアクティビティ検出が互いにリンクされ、同時に有効にできる機能が1つだけになります。アクティビティが検出されると、デバイスが動いている（あるいはアウェーク状態になっている）ものと見なされて、アクティビティ監視はすぐに停止されます。インアクティビティは次のイベントとして想定されます。したがって、インアクティビティ検出のみが動作します。

同様に、インアクティビティが検出されると、デバイスは静止している（あるいは、スリープ状態になっている）ものと見なされます。したがって、アクティビティが次のイベントとして想定され、アクティビティ検出のみが動作します。

リンク・モードでは、パワーアップ後最初にイネーブルされるのは、アクティビティ割込みです。各割込みは、ホスト・プロセッサが処理しなければ次の割込みはイネーブルされません。

AWAKEビットは以下のように定義されます。

- ▶ パワーアップ時、AWAKE = 1
- ▶ インアクティビティが検出されインアクティビティ割込みがクリアされた場合、AWAKE = 0
- ▶ アクティビティが検出されアクティビティ割込みがクリアさ

れた場合、AWAKE = 1

リンク・モードでは、ホスト・プロセッサがステータス・レジスタを読み出し、リファレンス・モードのアクティビティ閾値とインアクティビティ閾値を更新する必要がある点に注意することが重要です。これを行わない場合、各閾値は加速度が変化しても更新されません。

図48に、リンク・モードの動作をフローチャートで示します。

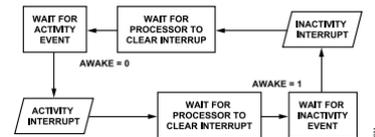


図 48. リンク・モードのアクティビティ動作とインアクティビティ動作のフローチャート

### ループ・モード

ループ・モードでは、モーション検出はリンク・モードのセクションで説明したように動作しますが、割込みはホスト・プロセッサによる処理を必要としません。この設定は、一般的に用いられるモーション検出の実装を簡素化し、バス通信に使用される電力を低減して節電効果を高めます。

リンク・モードと同様、ループ・モードでもパワーアップ後最初にイネーブルされるのはアクティビティ割込みです。図49に、ループ・モードの動作をフローチャートで示します。

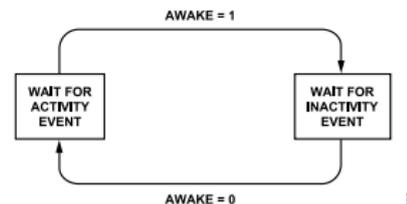


図 49. ループ・モードのアクティビティ動作とインアクティビティ動作のフローチャート

ループ・モードを使用する場合、デバイスが最初に測定モードに入るとAWAKEビットが必ずアサートされる点に注意することが重要です。デバイスは、その時点でアクティビティ・イベントが生じるのを待っています。そのため、このAWAKEビットはアクティビティが検出されかつインアクティビティ・イベントが検出されるまでアサートされたままになります。これを回避するには、デバイスは1mgのアクティビティ閾値で測定モードに入る必要があります。このアクティビティ閾値はその後必要なレベルに上げることができます（測定モード状態を維持したまま）。これにより、デバイスは測定モードに入ると直ちにAWAKEビットをデアサートできます。

### 自動スリープ

リンク・モードまたはループ・モードで自動スリープを有効にすると、デバイスは、インアクティビティが検出され割込みが処理されると自律的にウェークアップ・モードに入り（ウェークアップ・モードのセクションを参照）、アクティブが検出され割込みが処理されると再び測定モードに入ります。

リンク・モードまたはループ・モードがイネーブルされると、自動スリープ設定がアクティブになります。デフォルト・モードで

## 節電機能

は、自動スリープ設定は無視されます。自動スリープ・モードは低ノイズ・モードではサポートされていません。

### AWAKEビットの使い方

AWAKEビットは、ADXL367がアウェーク状態であるかスリープ状態であるかを示すステータス・ビットです。デバイスは、アクティビティ条件に遭遇したときにアウェーク状態となり、インアクティビティ条件に遭遇したときにスリープ状態となります。

アウェーク信号はINT1ピンまたはINT2ピンにマッピングできます。したがって、マッピングされたピンは、加速度センサーのアウェーク状態に基づいて下流回路への電力を接続/切断するステータス出力として使用できます。この設定をループ・モードと組み合わせ使用すれば、[図17](#)に示すように、単純で自律的なモーション起動スイッチを実装できます。

このモーション・スイッチ設定は、アプリケーションの残りの部分のスタンバイ消費電流をゼロにすることによって、システム・レベルの大幅な節電を可能にします。

### FIFO

ADXL367には、512サンプルの多段FIFOバッファが備わっています。FIFOは、システム・レベルの節電とデータ記録/イベント・コンテキストという2つの面で重要な役割を果たします。

### システム・レベルの節電

FIFOを適切に使用すれば、加速度センサーがデータを収集している間、ホスト・プロセッサのスリープ時間を延ばすことによって、システム・レベルの節電が可能になります。あるいは、FIFOをデータ収集に使用してホストの負担を軽減し、その分を他のタスク処理に振り向けることができます。

### データ記録/イベント・コンテキスト

FIFOをトリガ・モードで使用して、アクティブ検出イベントにつながるすべてのデータを記録することで、イベントのコンテキストを提供できます。例えば、衝突イベントを特定するシステムの場合、加速度センサーは、システム全体をオフに保持しながら、加速度データをそのFIFOに保存し、アクティビティ・イベントを探すことができます。衝突イベントが発生すると、そのイベントより前に収集されたデータは、FIFO内でフリーズ状態になります。これにより、加速度センサーは、システムの他の部分をウェークアップさせ、このデータをホスト・プロセッサに転送することによって、衝突イベントのコンテキストを提供することができます。

一般に、使用できるコンテキストが多いほど、システムはよりインテリジェントな決断をくだすことができるため、多段FIFOは特に便利です。ADXL367のFIFOは13秒を超えるデータまで保存できるため、アクティブ・トリガの前にイベントの明確なイメージが得られます。

すべてのFIFO動作モード、FIFOの構造、FIFOからデータを取り出すための命令については、[FIFOのモード](#)のセクションを参照してください。なお、FIFOからデータを取り出す場合、データの喪失やミスアライメントを防止するために、対象とするすべての軸のデータはバースト（マルチバイト）読み出し動作で読み出す必要があります。

FIFOはウェークアップ・モードと自動スリープ・モードではサポートされません。

## 通信

### SPI命令

ADXL367のデジタル・インターフェースは、システム・レベルの節電を念頭に置いて実装されています。以下の機能は節電効果を高めます。

- ▶ バースト読み出し/書き込みは、デバイスの設定とデータの取出しに必要なSPI通信のサイクル数を減らします。
- ▶ アクティビティ検出とインアクティビティ検出の並行動作は、プロセッサから最小限の入力を必要とするモーション起動動作を可能にします。ループ・モードでは、プロセッサの介入のない割込みクリアを可能にすることによって、通信電力を更に低減します。
- ▶ FIFOは、連続したサンプルを無限長の複数バイト読み出しによって連続的に読み出せるように実装されています。そのため、1つのFIFO読み出し命令でFIFOの全内容をクリアできます。他の多くの加速度センサーでは、読み出し命令ごとに1個のサンプルしか取り出せません。

### I2Cインターフェース

ADXL367は、GPIOリソースに制限があるプラットフォームのためにI<sup>2</sup>Cインターフェースも備えています。ADXL367は、UM10204 I2Cバス仕様およびユーザ・マニュアルのRev. 03（19 June 2007、NXP Semiconductorから入手可能）に適合しています。

### バス・キープ

ADXL367は、SCLKピン、INT1ピン、INT2ピンにバス・キープを内蔵しており、デジタル入力に設定することができます。バス・キープは、駆動されていないスリーステート・バス・ラインがフローティング状態になることを防止し、バス上のゲート入力での貫通電流を防ぎます。

### MSBレジスタ

加速度と温度の測定値は、14ビット値に変換され、測定ごとに2個のレジスタを使用し、SPIまたはI<sup>2</sup>Cを介して送信されます。3軸加速度データの完全なサンプル・セットを読み出すには、6個のレジスタを読み出す必要があります。

多くのアプリケーションでは、14ビット・データまでの精度は必要ではなく、むしろシステム全体の節電が重視されます。MSBレジスタ（XDATA、YDATA、ZDATA）を用いることで、このようなトレードオフが可能になります。これらのレジスタには、x、y、z軸加速度データの8個のMSBが含まれます。これらを効果的に読み出すことで、8ビットの加速度値が得られます。とりわけ重要なのは、わずか3個の連続したレジスタを読み出すだけで完全なデータ・セットを取り出せ、SPIバスまたはI<sup>2</sup>Cバスがアクティブで電流を消費する時間を大幅に低減できるということです。

14ビット、12ビット、および8ビットのデータは同時に使用できるため、任意の時点でのアプリケーションのニーズに応じて、1つのアプリケーションですべてのデータ・フォーマットを使用できます。例えば、プロセッサは、高い分解能が要求される場合に14ビット・データを読み出し、アプリケーション条件が変化した

## 節電機能

場合に8ビット・データに切り替えることが（単に読み出すレジスタ・セットを変更するだけで）できます。

## その他の機能

## 自由落下検出

多くのデジタル出力加速度センサーには、自由落下検出機能が内蔵されています。ADXL367では、この機能は、インアクティブイ割込みを使用して実行できます。推奨する閾値やタイミング値など、詳細については[アプリケーション情報](#)のセクションを参照してください。

## タップ検出

タップ割込み機能を使用すると、シングル・タップやダブル・タップを検出することができます。以下のパラメータは、有効なシングル・タップ・イベントとダブル・タップ・イベントを表した図50に示されています。

- ▶ タップ検出閾値はTHRESH\_TAPレジスタによって定義されます。(アドレス0x2F)
- ▶ 最大タップ時間はTAP\_DURレジスタによって定義されます。(アドレス0x30)
- ▶ タップ遅延時間はTAP\_LATENTレジスタ(アドレス0x31)によって定義されます。これは、最初のタップの終了から、2回目のタップを検出できる時間枠(ウィンドウ)が開始されるまでの待機時間を表します。検出のための時間枠はTAP\_WINDOWレジスタ(アドレス0x32)の値によって決定されます。
- ▶ 遅延時間(TAP\_LATENTレジスタで設定)経過後の時間枠は、ウィンドウ・レジスタで定義します。2回目のタップは遅延時間経過後に開始されなければなりません、TAP\_WINDOWレジスタによって定義された時間の終了前に完了する必要はありません。

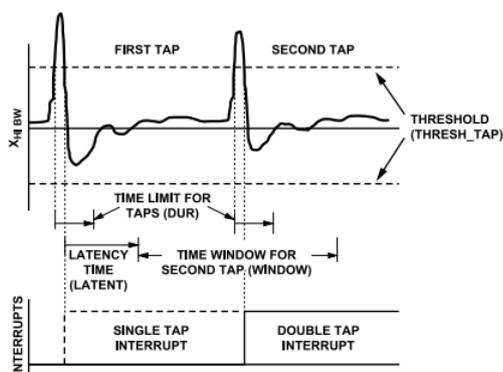


図 50. タップ割込み機能と有効なシングル・タップ/ダブル・タップ

シングル・タップ機能のみが使われている場合は、TAP\_DURレジスタに保存された時間値を超えない限り、加速度が閾値を下回るとシングル・タップ割込みがトリガされます。シングル・タップ機能とダブル・タップ機能の両方が使われている場合は、ダブル・タップ・イベントが有効または無効と判定された時点で、シングル・タップ割込みがトリガされます。

1g未満のタップ閾値 (THRESH\_TAP) を用いる場合、デバイスを傾けてもタップ・イベントとなる可能性がある点に注意してください。

## 外部クロック

ADXL367に内蔵されている102.4kHz (代表値) のクロックは、デ

フォルトでは、内部動作の時間ベースとして機能します。

ODR (出力データ・レート) と帯域幅は、クロックに比例して変化します。ADXL367は、100Hz、50Hz、25Hzなど、2の倍数で離散的な数のオプションをODRに提供します。外部クロックを適切なクロック周波数で使用すれば、提供された以外のデータ・レートを実現できます。式3に示すように、出力データ・レートはクロック周波数に応じて変化します。

$$ODR_{ACTUAL} = ODR_{SELECTED} \times \frac{f}{102.4 \text{ kHz}} \quad (3)$$

例えば、80HzのODRを実現するには、100HzのODR設定を選択し、公称の80%、つまり81.92kHzのクロック周波数を提供します。

ADXL367は、公称の102.4kHzから51.2kHzまでの外部クロック周波数で動作できるため、ユーザは必要な出力データ・レートを実現できます。

代わりに、外部クロックを使用してクロック周波数の精度を向上することもできます。許容誤差をより小さくするため、より正確なクロックを外部から供給できます。

消費電力は、クロック周波数に比例します。クロック・レートが高いほど消費電力は増加します。図51は消費電力とクロック・レートの関係を示したものです。

なお、外部クロックを設定できるのはスタンバイ・モードのみで、実行は測定モード・コマンドが発行される前に行う必要があります。

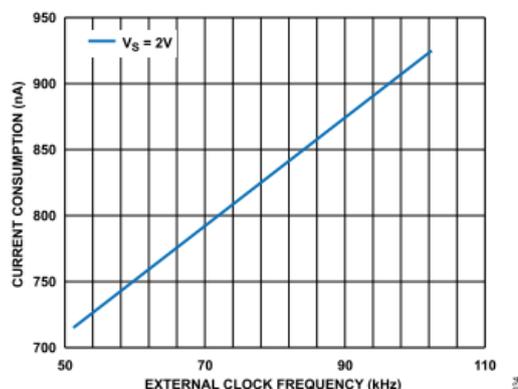


図 51. 消費電流と外部クロック・レートの関係

## 外部トリガ

ADXL367は、正確に時間調整された加速度測定を必要とするアプリケーション用に、加速度サンプリングを外部トリガに同期させるオプションを備えています。なお、ADXL367では、ウェークアップ・モードの同期データ・サンプリング (外部トリガ) はサポートしていません。

詳細については、[外部トリガの使用](#)のセクションを参照してください。

## セルフ・テスト

ADXL367には、機械的システムと電子システムの両方を同時に、かつ効果的にテストするためのセルフ・テスト機能が組み込まれ

ています。セルフ・テスト機能が起動すると、機械式センサーに静電気力が加わります。この静電気力は加速度が加わった場合と同じように機械的検出素子を動かしますが、これはデバイスに加わる加速度に追加される形で作用して、x軸チャンネルの出力を変化させます。セルフ・テスト時は、y軸チャンネルとz軸チャンネルの読出し値は無効となります。

## ユーザ・レジスタ保護

ADXL367には、シングル・イベント・アップセット (SEU) 用のユーザ・レジスタ保護機能が組み込まれています。SEUは、イオンや電磁放射がマイクロエレクトロニクス・デバイスの敏感なノードに当たることによって引き起こされる状態変化です。この状態変化は、ロジック素子の重要ノード (例えばメモリ・ビット) 内か、その近くで発生した電離によって生成される自由電荷が原因で起こります。SEU自体がトランジスタや回路の機能に恒久的な損傷を与えることはないと考えられていますが、誤ったレジスタ値が生成されるおそれがあります。SEUから保護されているADXL367のレジスタは、レジスタ0x00～レジスタ0x43で、242ビットのチェックサムを用います。

SEU保護は、1ビットと2ビットの両方の誤差を検出する、99ビットの誤差訂正 (ハミングタイプ) コードを介して行われます。チェック・ビットは、保護されたレジスタへの書込みが行われると、いつでも再計算されます。保存されたチェック・ビットが現在のチェック・ビット計算値と合わない場合は、常にERR\_USER\_REGSステータス・ビットがセットされます (レジスタ0x0Bおよびレジスタ0x44)。

ステータス・レジスタ (レジスタ0x0Bおよびレジスタ0x44) のERR\_USER\_REGSビットはデバイス設定より前のパワーアップ時にセットされます。このビットはそのデバイスへの最初のレジスタ書込み時にクリアされます。

## シリアル通信

ADXL367は、4線式SPIまたはI2Cを介して通信し、スレーブとして動作します。ADXL367への書込み時にADXL367からマスタ・デバイスに送信されるデータは無視します。

図2～図7に示すように、ADXL367が読出しデータを送信している場合を除いて、MISOピンは高インピーダンス状態になります（バス・キープによって保持）。これによりバスの消費電力を削減できます。

ADXL367のSPI通信ケーブルは、図52の接続図に示すように配線します。推奨されるSPIクロック速度は、12pFの最大負荷で1MHz～8MHzです。

ADXL367は、クロック極性（CPOL）=0とクロック位相（CPHA）=0のSPIモードを使用します。

デバイスを正しく動作させるために、表2と表3の論理閾値とタイミング・パラメータには必ず従ってください。

タイミング・パラメータの図については、図11および図12を参照してください。

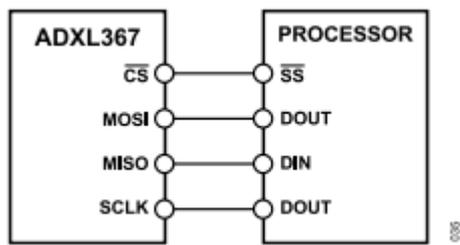


図 52. 4線式SPIの接続図

## SPIコマンド

SPIポートは、最初のバイトがコマンドである複数バイト構造を使用します。ADXL367のコマンド・セットは次のとおりです。

- ▶ 0x0A: レジスタ書込み
- ▶ 0x0B: レジスタ読出し
- ▶ 0x0D: FIFO読出し

## レジスタ読出し／書込みコマンド

レジスタ読出しとレジスタ書込みのコマンドのコマンド構造は次のとおりです：</CS down> <command byte (0x0A or 0x0B)> <address byte> <data byte> <additional data bytes for multi-byte>… </CS up>

レジスタ読出し／書込みコマンドは、複数バイトの（バースト）読出し／書込みアクセスに対応します。複数バイトの読出し／書込みコマンドの波形図を、それぞれ図2と図3に示します。

## FIFO読出しコマンド

FIFOバッファからの読出しはアドレスを持たないコマンド構造です：</CS down> <command byte (0x0D)> <data byte> <data byte>… </CS up>

サンプル・セットすべてを（複数バイト・トランザクションを用いて）読み出すことを推奨します。複数バイト・トランザクションを用いた全サンプル・セットの読出しを行わない場合は、FIFOは破棄され、そのチャンネルIDは同期からはずれる可能性があります。データは、最上位バイトが最初に出力され、その後最下

位バイトが続きます。

## 複数バイト転送

複数バイト転送（別名：バースト転送）は、すべてのSPIコマンド（レジスタ読出し、レジスタ書込み、FIFO読出しコマンド）に対してサポートされています。x軸、y軸、z軸の加速度（および該当する場合は温度）のデータがフルセットで同時に読み出されるように、複数バイト転送を使用してデータを読み出すことを推奨します。

FIFOは、FIFO読出し時にシリアル・ポート・クロックで動作し、データのポップ速度がFIFOへの書込み速度を上回るだけの速さをSPIクロックが持っている限り、SPIクロック・レートでバースト状態を維持できます。

## レジスタ読出し／書込みのオートインクリメント

レジスタ読出し／書込みコマンドは、コマンドで指定されたアドレスから開始され、転送されるバイトごとにオートインクリメントされます。レジスタ0x00～レジスタ0x45はユーザによる読書きが可能です。複数バイトのレジスタ読出しがレジスタ0x45より先にはわたる場合、レジスタ0x45までのデータのみが有効です。これより先のレジスタを読み出そうとしてもデータは無効です。

## 無効なアドレスとアドレスのエイリアシング

ADXL367は7ビットのアドレス・バスを備えており、可能な256通りのレジスタ・アドレス空間の中で、128のレジスタだけにマッピングします。レジスタ0x00～レジスタ0x45は、表11に示すようにユーザ・アクセス用です。アドレス0x46～0x7Fは、工場用に予約されています。レジスタ0x7Fより先のレジスタを読み出そうとしてもデータは無効です。

## 遅延制約

任意のデータ・レジスタ（アドレス0x08～アドレス0x0Aまたはアドレス0x0E～アドレス0x17）の読出しによって、データ・レディ割込みがクリアされます。レジスタの読出しからデータ・レディ割込みのクリアまでに、120μsもの遅延が生じることがあります。この遅延はウェークアップ・モードでは420μsに増加することがあります。

その他のレジスタ読出し、レジスタ書込み、FIFO読出しには、遅延制約はありません。

## 無効なコマンド

ADXL367では有効なSPIコマンドは、0x0A、0x0B、0x0Dの3つしかありません。その他のコマンドはすべて無効で、使用しないようにする必要があります。有効なコマンドを受信しなかった場合、MISO出力は高インピーダンス状態のままであり、バス・キープはMISOラインをその最後の値に保持します。

## SPIバスの共有

ADXL367を同じSPIバスの別のセンサーとして使用する場合、超低ノイズ性能を維持するために保護を追加することが必要となる場合があります。これは、他のデバイスが使用するSPIクロックが15MHz以上である場合、特に重要です。ADXL367デバイスには、SCLKラインにゲート付きバッファを使用してください。ゲート付きSCLKにより、チップ・セレクト（CS）ラインがローの場合にのみクロック信号が通過できます。

シリアル通信

このタイプの保護機能を備えた回路の例を図53に示します。

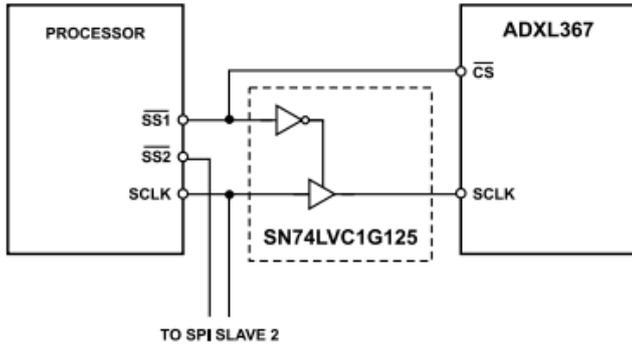


図 53. SCLK保護例

I<sup>2</sup>C

SCLKをグラウンドにロー接続するとADXL367はI<sup>2</sup>Cモードになり、I<sup>2</sup>Cの接続図に示すように2線式接続を行う必要があります。

ADXL367は、UM10204 I<sup>2</sup>C-バス仕様およびユーザ・マニュアルのRev. 03 (19 June 2007、NXP Semiconductorsから入手可能) に従います。ADXL367はハイ・スピード・モードへの動的な切替えをサポートしない点を除き、この規格に適合しています。表4に示すバス・パラメータの条件が満たされていれば、標準 (100kHz) およびファスト (400kHz) データ転送モードを使用できます。

ASELピンがハイの場合、図48に示すように、デバイスの7ビットI<sup>2</sup>Cアドレスは0x53で、その後R/Wビットが続きます。これは、書き込み時には0xA6、読出し時には0xA7になります。ASELピンを接地することによって、I<sup>2</sup>Cアドレスを0x1D (その後R/Wビットが続く) とすることもできます。これは、書き込み時には0x3A、読出し時には0x3Bになります。

また、図55に示すように、シングルバイトまたはマルチバイトの読出し/書き込みをサポートしています。図13に、詳細なFIFO読出しプロトコルを示します。

使用していないピンには内部プルアップ抵抗やプルダウン抵抗はありません。したがって、ASELピンをフロート状態や無接続のままにした場合、このピンには既知の状態やデフォルト状態がありません。ASELピンは、I<sup>2</sup>Cを使用してV<sub>DDIO</sub>またはグラウンドに接続する必要があります。

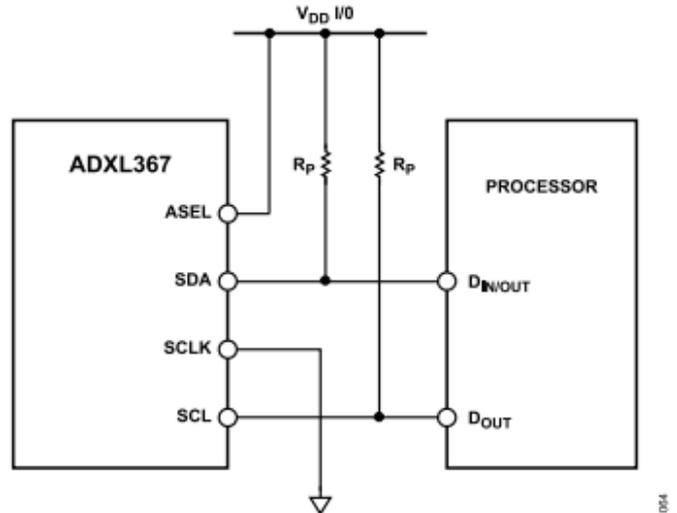


図 54. I<sup>2</sup>Cの接続図 (アドレス0x53)

同じI<sup>2</sup>Cバスに他のデバイスが接続されている場合、これら他のデバイスの公称動作電圧レベルはV<sub>DDIO</sub> + 0.3Vを超えることができません。適正なI<sup>2</sup>Cの動作には、外部プルアップ抵抗 (Rp) が必要です。正しい動作を確保するためにプルアップ抵抗値を選択する場合は、UM10204 I<sup>2</sup>Cバス仕様およびユーザ・マニュアルのRev. 03 (19 June 2007) を参照してください。

SINGLE-BYTE WRITE										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	DATA	STOP					
SLAVE			ACK	ACK	ACK					
MULTIPLE-BYTE WRITE										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	DATA	DATA	DATA	STOP			
SLAVE			ACK	ACK	ACK	ACK	ACK			
SINGLE-BYTE READ										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	START <sup>1</sup>	SLAVE ADDRESS + READ					
SLAVE			ACK	ACK		ACK	DATA	NACK	STOP	
MULTIPLE-BYTE READ										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	START <sup>1</sup>	SLAVE ADDRESS + READ					
SLAVE			ACK	ACK		ACK	DATA	ACK	DATA	NACK STOP

NOTES  
 1. THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.  
 2. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 55. I<sup>2</sup>Cのデバイス・アドレス指定 (データ・レジスタからの読出し)

## レジスタ・マップ

表11. レジスタ・マップ

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x00	DEVID_AD	[7:0]	DEVID_AD								0xAD	R	
0x01	DEVID_MST	[7:0]	DEVID_MST								0x1D	R	
0x02	PART_ID	[7:0]	PART_ID								0xF7	R	
0x03	REV_ID	[7:0]	REV_ID								0x03	R	
0x04	SERIAL_NUMBER_3	[7:0]	RESERVED				SERIAL_NUMBER[27:24]				0x00	R	
0x05	SERIAL_NUMBER_2	[7:0]	SERIAL_NUMBER[23:16]								0x00	R	
0x06	SERIAL_NUMBER_1	[7:0]	SERIAL_NUMBER[15:8]								0x00	R	
0x07	SERIAL_NUMBER_0	[7:0]	SERIAL_NUMBER[7:0]								0x00	R	
0x08	XDATA	[7:0]	XDATA_H								0x00	R	
0x09	YDATA	[7:0]	YDATA_H								0x00	R	
0x0A	ZDATA	[7:0]	ZDATA_H								0x00	R	
0x0B	STATUS	[7:0]	ERR_US ER_RE GS	AWAKE	INACT	ACT	FIFO_OVER_ RUN	FIFO_WATER _MARK	FIFO_REA DY	DATA_RE ADY	0x40	R	
0x0C	FIFO_ENTRIES_L	[7:0]	FIFO_ENTRIES[7:0]								0x00	R	
0x0D	FIFO_ENTRIES_H	[7:0]	RESERVED						FIFO_ENTRIES[9:8]		0x00	R	
0x0E	XDATA_H	[7:0]	XDATA[13:6]								0x00	R	
0x0F	XDATA_L	[7:0]	XDATA[5:0]						RESERVED		0x00	R	
0x10	YDATA_H	[7:0]	YDATA[13:6]								0x00	R	
0x11	YDATA_L	[7:0]	YDATA[5:0]						RESERVED		0x00	R	
0x12	ZDATA_H	[7:0]	ZDATA[13:6]								0x00	R	
0x13	ZDATA_L	[7:0]	ZDATA[5:0]						RESERVED		0x00	R	
0x14	TEMP_H	[7:0]	TEMP_DATA[13:6]								0x00	R	
0x15	TEMP_L	[7:0]	TEMP_DATA[5:0]						RESERVED		0x00	R	
0x16	EX_ADC_H	[7:0]	EX_ADC_DATA[13:6]								0x00	R	
0x17	EX_ADC_L	[7:0]	EX_ADC_DATA[5:0]						RESERVED		0x00	R	
0x18	I2C_FIFO_DATA	[7:0]	I2C_FIFO_DATA								0x00	R	
0x1F	SOFT_RESET	[7:0]	RESERVED						SOFT_RE SET	RESERVE D	0x52	W	
0x20	THRESH_ACT_H	[7:0]	RESER VED	THRESH_ACT[12:6]								0x00	R/W
0x21	THRESH_ACT_L	[7:0]	THRESH_ACT[5:0]						RESERVED		0x00	R/W	
0x22	TIME_ACT	[7:0]	TIME_ACT								0x00	R/W	
0x23	THRESH_INACT_H	[7:0]	RESER VED	THRESH_INACT[12:6]								0x00	R/W
0x24	THRESH_INACT_L	[7:0]	THRESH_INACT[5:0]						RESERVED		0x00	R/W	
0x25	TIME_INACT_H	[7:0]	TIME_INACT[15:8]								0x00	R/W	
0x26	TIME_INACT_L	[7:0]	TIME_INACT[7:0]								0x00	R/W	
0x27	ACT_INACT_CTL	[7:0]	RESERVED		LINKLOOP		INACT_EN		ACT_EN		0x00	R/W	
0x28	FIFO_CONTROL	[7:0]	RESER VED	CHANNEL_SELECT				FIFO_SAMPL ES[8]	FIFO_MODE		0x00	R/W	

## レジスタ・マップ

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x29	FIFO_SAMPLES	[7:0]	FIFO_SAMPLES[7:0]									0x80	R/W
0x2A	INTMAP1_LOWER	[7:0]	INT_LO W_INT1	AWAKE_INT1	INACT_INT1	ACT_INT1	FIFO_OVERR UN_INT1	FIFO_WATER MARK_INT1	FIFO_RDY _INT1	DATA_RD Y_INT1	0x00	R/W	
0x2B	INTMAP2_LOWER	[7:0]	INT_LO W_INT2	AWAKE_INT2	INACT_INT2	ACT_INT2	FIFO_OVERR UN_INT2	FIFO_WATER MARK_INT2	FIFO_RDY _INT2	DATA_RD Y_INT2	0x00	R/W	
0x2C	FILTER_CTL	[7:0]	RANGE		I2C_HS	RESERVED	EXT_SAMPL E	ODR			0x23	R/W	
0x2D	POWER_CTL	[7:0]	RESER VED	EXT_CLK	NOISE		WAKEUP	AUTOSLEEP	MEASURE		0x00	R/W	
0x2E	SELF_TEST	[7:0]	RESERVED						ST_FORC E	ST	0x00	R/W	
0x2F	TAP_THRESH	[7:0]	TAP_THRESH_PRESCALE									0x00	R/W
0x30	TAP_DUR	[7:0]	TAP_DUR									0x00	R/W
0x31	TAP_LATENT	[7:0]	TAP_LATENT									0x00	R/W
0x32	TAP_WINDOW	[7:0]	TAP_WINDOW									0x00	R/W
0x33	X_OFFSET	[7:0]	RESERVED			X_USER_OFFSET						0x00	R/W
0x34	Y_OFFSET	[7:0]	RESERVED			Y_USER_OFFSET						0x00	R/W
0x35	Z_OFFSET	[7:0]	RESERVED			Z_USER_OFFSET						0x00	R/W
0x36	X_SENS	[7:0]	RESERVED			X_USER_SENS						0x00	R/W
0x37	Y_SENS	[7:0]	RESERVED			Y_USER_SENS						0x00	R/W
0x38	Z_SENS	[7:0]	RESERVED			Z_USER_SENS						0x00	R/W
0x39	TIMER_CTL	[7:0]	WAKEUP_RATE		RESERVED	TIMER_KEEP_ALIVE				0x00	R/W		
0x3A	INTMAP1_UPPER	[7:0]	ERR_FU SE_INT1	ERR_USER_R EGS_INT1	RESERVED	KPALV_TIME R_INT1	TEMP_ADC_ HI_INT1	TEMP_ADC_L OW_INT1	TAP_TWO _INT1	TAP_ONE _INT1	0x00	R/W	
0x3B	INTMAP2_UPPER	[7:0]	ERR_FU SE_INT2	ERR_USER_R EGS_INT2	RESERVED	KPALV_TIME R_INT2	TEMP_ADC_ HI_INT2	TEMP_ADC_L OW_INT2	TAP_TWO _INT2	TAP_ONE _INT2	0x00	R/W	
0x3C	ADC_CTL	[7:0]	FIFO_8_12BIT		RESERVED	RESERVED	ADC_INACT_ EN	RESERVED	ADC_ACT_ EN	ADC_EN	0xC0	R/W	
0x3D	TEMP_CTL	[7:0]	RESERVED				TEMP_INACT_ EN	RESERVED	TEMP_AC T_EN	TEMP_EN	0x00	R/W	
0x3E	TEMP_ADC_OV ER_THRSH_H	[7:0]	RESER VED	TEMP_ADC_THRSH_HIGH[12:6]							0x00	R/W	
0x3F	TEMP_ADC_OV ER_THRSH_L	[7:0]	TEMP_ADC_THRSH_HIGH[5:0]						RESERVED		0x00	R/W	
0x40	TEMP_ADC_UN DER_THRSH_H	[7:0]	RESER VED	TEMP_ADC_THRSH_LOW[12:6]							0x00	R/W	
0x41	TEMP_ADC_UN DER_THRSH_L	[7:0]	TEMP_ADC_THRSH_LOW[5:0]						RESERVED		0x00	R/W	
0x42	TEMP_ADC_TIM ER	[7:0]	TIMER_TEMP_ADC_INACT				TIMER_TEMP_ADC_ACT				0x00	R/W	
0x43	AXIS_MASK	[7:0]	RESERVED		TAP_AXIS		RESERVED	ACT_INACT_ Z	ACT_INAC T_Y	ACT_INAC T_X	0x00	R/W	
0x44	STATUS_COPY	[7:0]	ERR_US ER_RE GS	AWAKE	INACT	ACT	FIFO_OVER RUN	FIFO_WATER _MARK	FIFO_REA DY	DATA_RE ADY	0x40	R	
0x45	STATUS_2	[7:0]	ERR_FU SE_REG S	FUSE_REFRE SH	RESERVED	TIMER	TEMP_ADC_ HI	TEMP_ADC_L OW	TAP_TWO	TAP_ONE	0x00	R	

## レジスタの詳細

このセクションでは、ADXL367のレジスタの機能について説明します。ADXL367は、表13に示すデフォルトのレジスタ値で起動します。

POWER\_CTLレジスタより前のレジスタ（レジスタ0x00～レジスタ0x2C）の変更は、デバイスがスタンバイ状態のときに行う必要があります。ADXL367が測定モードにある場合に変更を行うと、その変更は一部の測定に対してしか有効にならない場合があります。

## アナログ・デバイセズのデバイスIDレジスタ

アドレス：0x00、リセット：0xAD、レジスタ名：DEVID\_AD

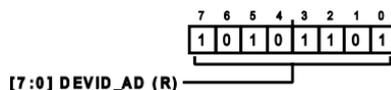


表12. DEVID\_ADのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_AD		このレジスタには、アナログ・デバイセズのデバイスIDが格納されます。	0xAD	R

## MEMSデバイスIDレジスタ

アドレス：0x01、リセット：0x1D、レジスタ名：DEVID\_MST

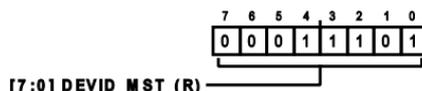


表13. DEVID\_MSTのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_MST		このレジスタには、アナログ・デバイセズのMEMSデバイスIDが格納されます。	0x1D	R

## デバイスIDレジスタ

アドレス：0x02、リセット：0xF7、レジスタ名：PART\_ID

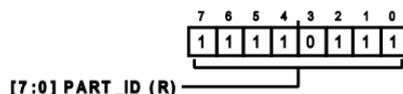


表14. PART\_IDのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PART_ID		このレジスタには、デバイスIDが格納されます。	0xF7	R

## リビジョンIDレジスタ

アドレス：0x03、リセット：0x03、レジスタ名：REV\_ID

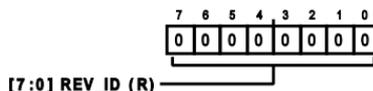
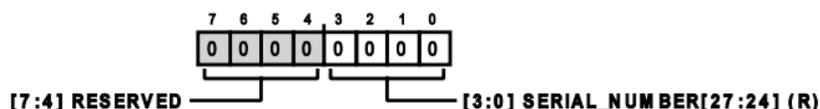


表15. REV\_IDビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	REV_ID		このレジスタには、製品のリビジョンIDが格納されます。	0x03	R

## XIDレジスタ

アドレス：0x04、リセット：0x00、レジスタ名：SERIAL\_NUMBER\_3



## レジスタ詳細

表16. SERIAL\_NUMBER\_3のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R
[3:0]	SERIAL_NUMBER[27:24]		このレジスタには、31ビットの製品シリアル番号が格納されます。	0x0	R

アドレス : 0x05、リセット : 0x00、レジスタ名 : SERIAL\_NUMBER\_2



表17. SERIAL\_NUMBER\_2のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SERIAL_NUMBER[23:16]		このレジスタには、31ビットの製品シリアル番号が格納されます。	0x0	R

アドレス : 0x06、リセット : 0x00、レジスタ名 : SERIAL\_NUMBER\_1



表18. SERIAL\_NUMBER\_1のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SERIAL_NUMBER[15:8]		このレジスタには、31ビットの製品シリアル番号が格納されます。	0x0	R

アドレス : 0x07、リセット : 0x00、レジスタ名 : SERIAL\_NUMBER\_0

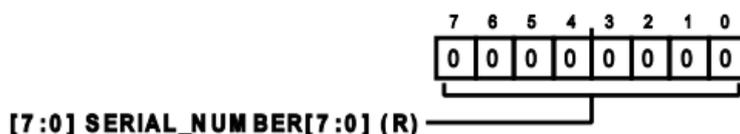


表19. SERIAL\_NUMBER\_0のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SERIAL_NUMBER[7:0]		このレジスタには、31ビットの製品シリアル番号が格納されます。	0x0	R

## Xデータ・ビット[13:6]レジスタ

アドレス : 0x08、リセット : 0x00、レジスタ名 : XDATA

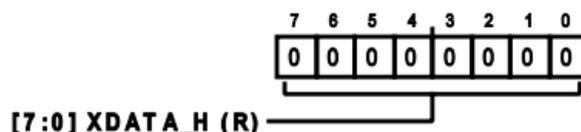


表20. XDATAのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA_H		このレジスタには、x軸の加速度データの8個の最上位ビットが格納されます。分解能が制限されたこのデータ・レジスタは、消費電力が重視され8ビットのデータで十分なアプリケーションで使用されます。1軸あたり2バイトのデータではなく1バイト分だけを読み出すことでエネルギーを節約できます。	0x0	R

## レジスタ詳細

## Yデータ・ビット[13:6]レジスタ

アドレス：0x09、リセット：0x00、レジスタ名：YDATA

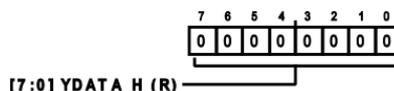


表21. YDATAのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA_H		このレジスタには、y軸の加速度データの8個の最上位ビットが格納されます。分解能が制限されたこのデータ・レジスタは、消費電力が重視され8ビットのデータで十分なアプリケーションで使用されます。1軸あたり2バイトのデータではなく1バイト分だけを読み出すことでエネルギーを節約できます。	0xAD	R

## Zデータ・ビット[13:6]レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：ZDATA

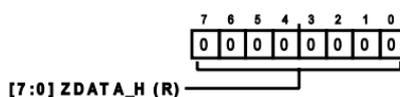


表22. ZDATAのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA_H		このレジスタには、z軸の加速度データの8個の最上位ビットが格納されます。分解能が制限されたこのデータ・レジスタは、消費電力が重視され8ビットのデータで十分なアプリケーションで使用されます。1軸あたり2バイトのデータではなく1バイト分だけを読み出すことでエネルギーを節約できます。	0x0	R

## ステータス・レジスタ

アドレス：0x0B、リセット：0x40、レジスタ名：STATUS

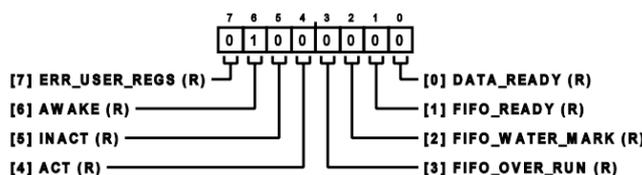


表23. STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_USER_REGS	SEUエラー検出。1は、2つの条件のいずれかを示します。つまり、SEUイベント（電源グリッチのα粒子など）がユーザ・レジスタ設定を乱したか、またはADXL367が未設定であることを示します。このビットは起動時とソフト・リセット時にハイになり、何らかのレジスタ書き込みコマンドが実行されると直ちにリセットされます。	0x0	R
6	AWAKE	アクティビティ/インアクティビティ機能に基づいて、加速度センサーがアクティブ状態（AWAKE = 1）であるかインアクティブ状態（AWAKE = 0）であるかを示します。自動スリープを有効にするには、アクティビティ/インアクティビティ検出をリンク・モードまたはループ・モード（ACT_INACT_CTLレジスタのLINKLOOPビット）にする必要があります。それ以外の場合、このビットはデフォルトで1になり、無視する必要があります。 0：デバイスがインアクティブ 1：デバイスがアクティブ（リセット状態）	0x1	R
5	INACT	インアクティビティ。1は、インアクティビティ検出機能がインアクティビティ状態または自由落下状態を検出したことを示します。	0x0	R
4	ACT	アクティビティ。1は、アクティビティ検出機能が閾値を超える状態を検出したことを示します。	0x0	R
3	FIFO_OVER_RUN	FIFOオーバーラン。1は、FIFOがオーバーランまたはオーバーフローしたことを示します。FIFO読み出しが発生して新しいデータのためにある程度の空間ができるまで、新たなデータをFIFOに書き込むことはできません。FIFO_OVER_RUNは、FIFO_MODEがオールデスト・セーブ・モードの場合にのみ使用できます。	0x0	R

## レジスタ詳細

表23. STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
2	FIFO_WATER_MARK	FIFOウォーターマーク。1は、FIFOが、FIFO_SAMPLESレジスタに設定された目的のサンプル数以上のサンプルを格納していることを示します。FIFO_WATER_MARKがアサートされるのは、（この値より大きい）次のサンプルがFIFOに書き込まれた場合です。	0x0	R
1	FIFO_READY	FIFOレディ。1は、FIFO出力バッファ内に使用可能なサンプルが1つ以上あることを示します。	0x0	R
0	DATA_READY	データ・レディ。1は、新しい有効なサンプルを読み出せることを示します。このビットは、DATA読み出しが行われるとクリアされます。DATA_READYは、新しい有効なデータが使用可能になるとセットされ、新しいデータがなくなるとクリアされます。いずれかのデータ・レジスタ（アドレス：0x08～0x0Aおよび0x0E～0x17）の読み出し中には、DATA_READYビットはセットされません。レジスタ読み出しより前にDATA_READY = 0であり、レジスタ読み出し中に新しいデータが使用可能になった場合、DATA_READYは読み出しが完了するまで0のままです。完了したときにのみ1に設定されます。レジスタ読み出しより前にDATA_READY = 1である場合、これはレジスタ読み出しの開始時にクリアされます。レジスタ読み出しより前にDATA_READY = 1であり、レジスタ読み出し中に新しいデータが使用可能になった場合、DATA_READYはレジスタ読み出しの開始時に0にクリアされ、読み出し中には0のままです。読み出しが完了すると、DATA_READYは1に設定されます。	0x0	R

## FIFOエン트리・ビット [7:0] レジスタ

アドレス：0x0C、リセット：0x00、レジスタ名：FIFO\_ENTRIES\_L



表24. FIFO\_ENTRIES\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FIFO_ENTRIES[7:0]		これらのレジスタは、FIFOバッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は0～512（0x00～0x200）です。FIFO_ENTRIES_Lは、最下位バイトを格納します。FIFO_ENTRIES_HIは、2つの最上位ビットを格納します。FIFO_ENTRIES_Hのビット [15:10] は不使用です（X=ドント・ケアとして表されます）。	0x0	R

## FIFOエン트리・ビット [9:8] レジスタ

アドレス：0x0D、リセット：0x00、レジスタ名：FIFO\_ENTRIES\_H

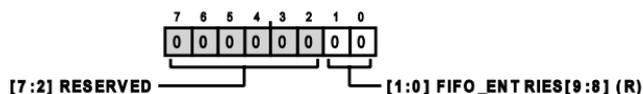
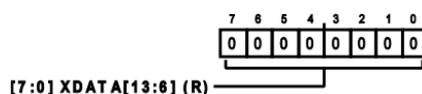


表25. FIFO\_ENTRIES\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
[1:0]	FIFO_ENTRIES[9:8]		これらのレジスタは、FIFOバッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は0～512（0x00～0x200）です。FIFO_ENTRIES_Lは、最下位バイトを格納します。FIFO_ENTRIES_HIは、2つの最上位ビットを格納します。FIFO_ENTRIES_Hのビット [15:10] は不使用です（X=ドント・ケアとして表されます）。	0x0	R

## Xデータ・ビット[13:6]レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：XDATA\_H



## レジスタ詳細

表26. XDATA\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA[13:6]		符号拡張された (X) x軸加速度データを2個のレジスタに格納します。XDATA_HIには14ビット値のうちの上位 (MSB) 8ビットが格納され、XDATA_LIには下位 (LSB) 6ビットが格納されます。データ・レディをクリアするには、このレジスタの直後にレジスタ0x0Fを読み出す必要があることに注意してください。8ビットのデータが必要な場合は、レジスタ0x08を読み出します。	0x0	R

## Xデータ・ビット[5:0]レジスタ

アドレス : 0x0F、リセット : 0x00、レジスタ名 : XDATA\_L

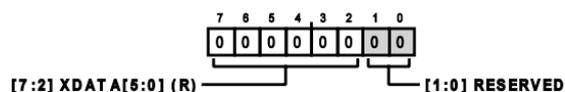


表27. XDATA\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	XDATA[5:0]		符号拡張された (X) x軸加速度データを2個のレジスタに格納します。XDATA_HIには14ビット値のうちの上位 (MSB) 8ビットが格納され、XDATA_LIには下位 (LSB) 6ビットが格納されます。	0x0	R
[1:0]	RESERVED		予備。	0x0	R

## Yデータ・ビット[13:6]レジスタ

アドレス : 0x10、リセット : 0x00、レジスタ名 : YDATA\_H

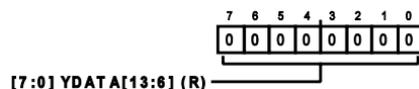


表28. YDATA\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA[13:6]		符号拡張された (Y) y軸加速度データを2個のレジスタに格納します。YDATA_HIには14ビット値のうちの上位 (MSB) 8ビットが格納され、YDATA_LIには下位 (LSB) 6ビットが格納されます。データ・レディをクリアするには、このレジスタの直後にレジスタ0x11を読み出す必要があることに注意してください。8ビットのデータが必要な場合は、レジスタ0x09を読み出します。	0x0	R

## Yデータ・ビット[5:0]レジスタ

アドレス : 0x11、リセット : 0x00、レジスタ名 : YDATA\_L

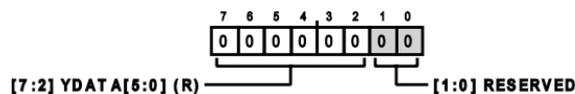


表29. YDATA\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA[5:0]		符号拡張された (Y) y軸加速度データを2個のレジスタに格納します。YDATA_HIには14ビット値のうちの上位 (MSB) 8ビットが格納され、YDATA_LIには下位 (LSB) 6ビットが格納されます。	0x0	R
[1:0]	RESERVED		予備。	0x0	R

## Zデータ・ビット[13:6]レジスタ

アドレス : 0x12、リセット : 0x00、レジスタ名 : ZDATA\_H

## レジスタ詳細

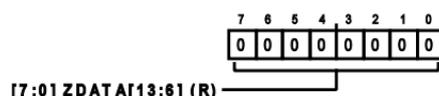


表30. ZDATA\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA[13:6]		符号拡張された (Z) z軸加速度データを2個のレジスタに格納します。ZDATA_HIには14ビット値のうちの8個のMSBが格納され、ZDATA_LIには6個のLSBが格納されます。データ・レディをクリアするには、このレジスタの直後にレジスタ0x13を読み出す必要があることに注意してください。8ビットのデータが必要な場合は、レジスタ0x0Aを読み出します。	0x0	R

## Zデータ・ビット[5:0]レジスタ

アドレス : 0x13、リセット : 0x00、レジスタ名 : ZDATA\_L

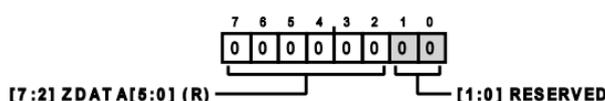


表31. ZDATA\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	ZDATA[5:0]		符号拡張された (Z) z軸加速度データを2個のレジスタに格納します。ZDATA_HIには14ビット値のうちの8個のMSBが格納され、ZDATA_LIには6個のLSBが格納されます。	0x0	R
[1:0]	RESERVED		予備。	0x0	R

## 温度データ・ビット[13:6]レジスタ

アドレス : 0x14、リセット : 0x00、レジスタ名 : TEMP\_H

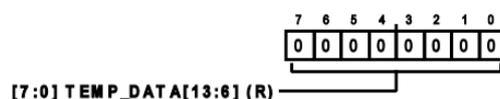


表32. TEMP\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TEMP_DATA[13:6]		符号拡張された (T) 温度データを2個のレジスタに格納します。TEMP_HIには14ビット値のうちの8個のMSBが格納され、TEMP_LIには6個のLSBが格納されます。	0x0	R

## 温度データ・ビット[5:0]レジスタ

アドレス : 0x15、リセット : 0x00、レジスタ名 : TEMP\_L

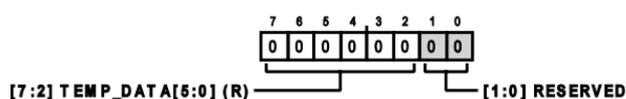


表33. TEMP\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TEMP_DATA[5:0]		符号拡張された (T) 温度データを2個のレジスタに格納します。TEMP_HIには14ビット値のうちの8個のMSBが格納され、TEMP_LIには6個のLSBが格納されます。	0x0	R
[1:0]	RESERVED		予備。	0x0	R

## ADCデータ・ビット[13:6]レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : EX\_ADC\_H

## レジスタ詳細



表34. EX\_ADC\_HIのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	EX_ADC_DATA[13:6]		符号拡張された（ADC）外部接続された入力ADCのデータを2個のレジスタに格納します。EX_ADC_HIには14ビット値のうちの8個のMSBが格納され、EX_ADC_LIには6個のLSBが格納されます。	0x0	R

## ADCデータ・ビット[5:0]レジスタ

アドレス：0x17、リセット：0x00、レジスタ名：EX\_ADC\_L

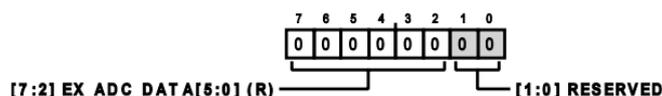


表35. EX\_ADC\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	EX_ADC_DATA[5:0]		符号拡張された（ADC）外部接続された入力ADCのデータを2個のレジスタに格納します。EX_ADC_HIには14ビット値のうちの8個のMSBが格納され、EX_ADC_LIには6個のLSBが格納されます。	0x0	R
[1:0]	RESERVED		予備。	0x0	R

I<sup>2</sup>C FIFOデータ・レジスタ

アドレス：0x18、リセット：0x00、レジスタ名：I2C\_FIFO\_DATA

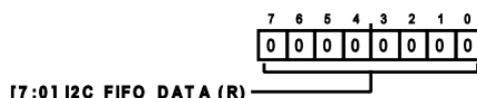


表36. I2C\_FIFO\_DATAのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	I2C_FIFO_DATA		I <sup>2</sup> C FIFOデータ読み出しアドレス。このアドレスを読み出すと、軸データの実効ワードがFIFOからポップされます。後続の2回の読み出しまたは複数バイトの読み出しで、このデータのインターフェースへのトランザクションが完了します。このフィールドの連続した読み出しまたは持続的な複数バイトの読み出しでは、FIFOからのポップが行われ続けます。このアドレスへの複数バイトの読み出しでは、アドレス・ポインタはインクリメントされません。前のアドレスからの自動インクリメントによってこのアドレスが読み出された場合、FIFOはポップされません。代わりに、このアドレスはスキップされます。	0x0	R

## ソフト・リセット・レジスタ

アドレス：0x1F、リセット：0x52、レジスタ名：SOFT\_RESET

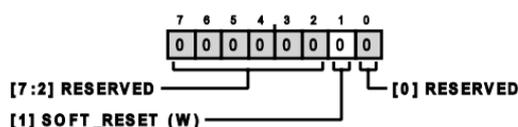


表37. SOFT\_RESETのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x14	R
1	SOFT_RESET		このレジスタにコード0x52（アスキーまたはユニコードで文字「R」を表す）を書き込むと、すぐにADXL367がリセットされます。すべてのレジスタ設定がクリアされ、センサーはスタンバイ状態になります。割込みピンは、高出カインピーダンス・モードに設定され、内部駆動されていない場合はバス・キーパによって有効な状態に保持されます。これは書き込み専用レジスタです。読み出した場合、そのデー	0x1	W

## レジスタ詳細

表37. SOFT\_RESETのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
0	RESERVED		タは常に0x00です。ソフト・スタート後は約0.5msの遅延が必要です。 予備。	0x0	R

## 閾値アクティビティ・ビット[12:6]レジスタ

アドレス：0x20、リセット：0x00、レジスタ名：THRESH\_ACT\_H

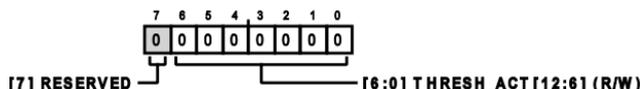


表38. THRESH\_ACT\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	THRESH_ACT[12:6]		アクティビティを検出するため、ADXL367は、14ビット（符号付き）の加速度データの絶対値を13ビット（符号なし）のTHRESH_ACT値と比較します。アクティビティ検出の詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_ACTという用語は、6個のLSBを保持するTHRESH_ACT_Lレジスタ（THRESH_ACT[5:0]）と7個のMSBを保持するTHRESH_ACT_Hレジスタ（THRESH_ACT[12:6]）から構成される、13ビットの符号なし値を表します。THRESH_ACTはコードで設定されます。gの値は、選択された測定レンジ設定に依存します。	0x0	R/W

## 閾値アクティビティ・ビット[5:0]レジスタ

アドレス：0x21、リセット：0x00、レジスタ名：THRESH\_ACT\_L

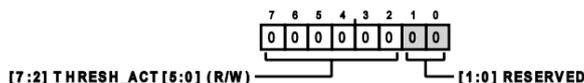


表39. THRESH\_ACT\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	THRESH_ACT[5:0]		アクティビティを検出するため、ADXL367は、14ビット（符号付き）の加速度データの絶対値を13ビット（符号なし）のTHRESH_ACT値と比較します。アクティビティ検出の詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_ACTという用語は、6個のLSBを保持するTHRESH_ACT_Lレジスタ（THRESH_ACT[5:0]）と7個のMSBを保持するTHRESH_ACT_Hレジスタ（THRESH_ACT[12:6]）から構成される13ビットの符号なし値を表します。THRESH_ACTはコードで設定されます。gの値は、選択された測定レンジ設定に依存します。	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R

## 時限アクティビティ・レジスタ

アドレス：0x22、リセット：0x00、レジスタ名：TIME\_ACT

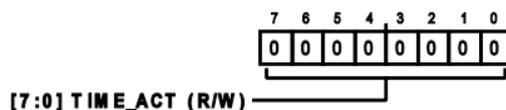


表40. TIME\_ACTのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TIME_ACT		アクティビティ・タイマーは、誤検出によるモーション・トリガを最小限に抑える信頼性の高いアクティビティ検出を実現します。このタイマー使用時は、持続的なモーションだけがアクティビティ検出をトリガできます。詳細については、	0x0	R/W

## レジスタ詳細

表40. TIME\_ACTのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
			誤検出を低減のセクションを参照してください。このレジスタの値は、アクティビティ・イベントを検出するために少なくとも1軸でアクティビティ閾値 (THRESH_ACTによって設定) を上回る必要のある連続したサンプル数です。		

## 閾値インアクティビティ・ビット[12:6]レジスタ

アドレス : 0x23、リセット : 0x00、レジスタ名 : THRESH\_INACT\_H

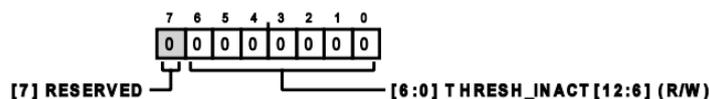


表41. THRESH\_INACT\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	THRESH_INACT[12:6]		インアクティビティを検出するため、14ビットの加速度データの絶対値と13ビットの (符号なし) THRESH_INACT値が比較されます (インアクティビティ = 加速度 < 加速度)。詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_INACTという用語は、6個のLSBを保持するTHRESH_INACT_Lレジスタ (THRESH_INACT[5:0]) と7個のMSBを保持するTHRESH_INACT_Hレジスタ (THRESH_INACT[12:6]) から構成される、13ビットの符号なし値を表します。	0x0	R/W

## 閾値インアクティビティ・ビット[5:0]レジスタ

アドレス : 0x24、リセット : 0x00、レジスタ名 : THRESH\_INACT\_L

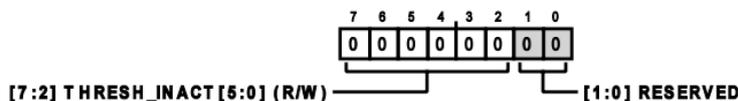


表42. THRESH\_INACT\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	THRESH_INACT[5:0]		インアクティビティを検出するため、14ビットの加速度データの絶対値と13ビットの (符号なし) THRESH_INACT値が比較されます (インアクティビティ = 加速度 < 加速度)。詳細については、 <a href="#">モーション検出</a> のセクションを参照してください。THRESH_INACTという用語は、6個のLSBを保持するTHRESH_INACT_Lレジスタ (THRESH_INACT[5:0]) と7個のMSBを保持するTHRESH_INACT_Hレジスタ (THRESH_INACT[12:6]) から構成される、13ビットの符号なし値を表します。	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R

## 時限インアクティビティ・ビット[15:8]レジスタ

アドレス : 0x25、リセット : 0x00、レジスタ名 : TIME\_INACT\_H



表43. TIME\_INACT\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TIME_INACT[15:8]		これらのレジスタの16ビット値は、インアクティビティ・イベントを検出するためにすべての軸でインアクティビティ閾値 (THRESH_INACTによって設定) を下回る必要のある連続したサンプル数です。	0x0	R/W

## レジスタ詳細

## 時限インアクティビティ・ビット[7:0]レジスタ

アドレス：0x26、リセット：0x00、レジスタ名：TIME\_INACT\_L

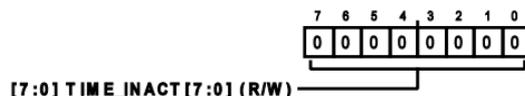


表44. TIME\_INACT\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TIME_INACT[7:0]		これらのレジスタの16ビット値は、インアクティビティ・イベントを検出するためにすべての軸でインアクティビティ閾値（THRESH_INACTによって設定）を下回る必要のある連続したサンプル数です。	0x0	R/W

## アクティビティ／インアクティビティ・コントロール・レジスタ

アドレス：0x27、リセット：0x00、レジスタ名：ACT\_INACT\_CTL

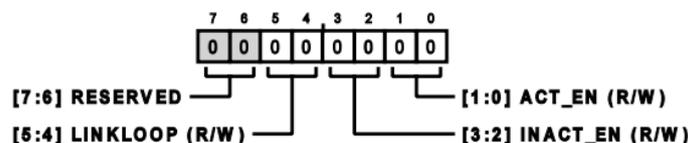


表45. ACT\_INACT\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:4]	LINKLOOP	リンク検出モードとループ検出モードの有効化と設定、およびホスト・マイクロコントローラの割込み処理。 00：アクティビティ／インアクティビティ検出はいずれも有効であり、ホスト・プロセッサがSTATUSレジスタを読み出すことによって、その割込み（マッピングされている場合）をアクトレジットする必要があります。自動スリープは、このモードでは無効になります。このモードは、自由落下検出アプリケーションに使用します。温度またはADCに関するアクティビティはこのモードでのみサポートされます。 01：アクティビティ／インアクティビティ検出は、同時に1つだけが有効になるように、順番にリンクされます。ホスト・プロセッサがSTATUSレジスタを読み出すことによって、その割込み（マッピングされている場合）をアクトレジットする必要があります。この設定は、xチャンネル、yチャンネル、zチャンネルの設定にのみ影響し、温度やADCには影響しません。 10：アクティビティ／インアクティビティ検出はいずれも有効であり、ホスト・プロセッサがSTATUSレジスタを読み出すことによって、その割込み（マッピングされている場合）をアクトレジットする必要があります。自動スリープは、このモードでは無効になります。このモードは、自由落下検出アプリケーションに使用します。温度またはADCに関するアクティビティはこのモードでのみサポートされます。 11：アクティビティ／インアクティビティ検出は、同時に1つだけが有効になるように、順番にリンクされます。その割込みは内部的にアクトレジットされます（ホスト・プロセッサによる処理は不要です）。リンク・モードやループ・モードを使用するには、ACT_x_EN（ビット[1:0]）とINACT_x_EN（ビット[3:2]）の両方を1に設定する必要があります。それ以外の場合はデフォルト・モードが使われます。詳細については、 <a href="#">アクティビティ／インアクティビティ検出のリンクのセクション</a> を参照してください。この設定は、xチャンネル、yチャンネル、zチャンネルの設定にのみ影響し、温度やADCには影響しません。	0x0	R/W
[3:2]	INACT_EN	リファレンスまたはアブソリュート（デフォルト）インアクティビティ・モード・イネーブル。 00：インアクティビティ検出をイネーブルせず。 01：インアクティビティをイネーブル。 10：インアクティビティ検出をイネーブルせず。 11：リファレンス・インアクティビティをイネーブル。	0x0	R/W
[1:0]	ACT_EN	アクティビティ・イネーブル。 00：アクティビティ検出をイネーブルせず。 01：アクティビティをイネーブル。 10：アクティビティ検出をイネーブルせず。 11：リファレンス・アクティビティをイネーブル。	0x0	R/W

## レジスタ詳細

## FIFOコントロール・レジスタ

アドレス：0x28、リセット：0x00、レジスタ名：FIFO\_CONTROL

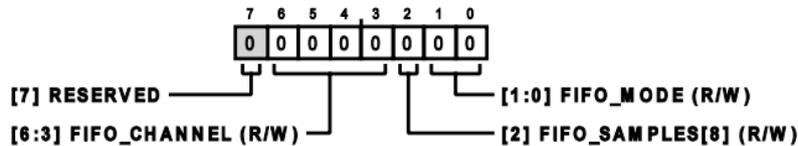


表46. FIFO\_CONTROLのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R/W
[6:3]	FIFO_CHANNEL		<p>選択可能な軸の変換をイネーブル。</p> <p>0000：全3軸（x、y、z）を変換。これがデフォルトのモードです。</p> <p>0001：x軸のデータのみを変換。</p> <p>0010：y軸のデータのみをFIFOに格納。その他にFIFOに格納されているものがあるかどうかを確認するには、<a href="#">ADCコントロール・レジスタ</a>のセクションおよび<a href="#">温度設定レジスタ</a>のセクションを参照してください。</p> <p>0011：x軸のデータのみを変換。</p> <p>0100：x軸、y軸、z軸の各データおよび温度を変換。温度測定を可能にするにはTEMP_ENビット（レジスタ0x3D）をセットする必要があります。</p> <p>0101：x軸のデータおよび温度を変換。温度測定を可能にするにはTEMP_ENビットをセットする必要があります。</p> <p>0110：y軸のデータおよび温度を変換。温度測定を可能にするにはTEMP_ENビットをセットする必要があります。</p> <p>0111：z軸のデータおよび温度を変換。温度測定を可能にするにはTEMP_ENビットをセットする必要があります。</p> <p>1000：x軸、y軸、z軸の各データおよび外部ADCを変換。外部ADC測定を可能にするにはADC_ENビット（レジスタ0x3C）をセットする必要があります。</p> <p>1001：x軸のデータおよび外部ADCを変換。外部ADC測定を可能にするにはADC_ENビットをセットする必要があります。</p> <p>1010：y軸のデータおよび外部ADCを変換。外部ADC測定を可能にするにはADC_ENビットをセットする必要があります。</p> <p>1011：z軸のデータおよび外部ADCを変換。外部ADC測定を可能にするにはADC_ENビットをセットする必要があります。</p> <p>1100：この設定は使用しないでください。</p> <p>1101：この設定は使用しないでください。</p> <p>1110：この設定は使用しないでください。</p> <p>1111：この設定は使用しないでください。</p>	0x0	R/W
2	FIFO_SAMPLES[8]		このレジスタの値は、FIFOに格納するサンプルの数を指定します。x軸、y軸、z軸がFIFOに格納するよう設定され、FIFOサンプルに対し値2が書き込まれた場合、6個のサンプルがFIFOに書き込まれます。FIFOサンプルの全範囲は0~511です。FIFOウォーターマーク割込みのトリガを回避するため、このレジスタのデフォルト値は0x80です。	0x0	R/W
[1:0]	FIFO_MODE		<p>FIFOモードの設定。この設定を変更できるのはスタンバイ・モードのみです。あるモードから別のモードに変更するには、部分的なりセットやサンプリングが生じないよう、モードとモードの間で00（FIFOをディスエーブル）のモードに移行することを強く推奨します。</p> <p>00：FIFOをディスエーブル。</p> <p>01：オールデスト・セーブ・モードでは、FIFOは、満杯になるまでデータを蓄積してから停止します。追加のデータが収集されるのは、FIFOバッファからサンプルを読み出してスペースが利用可能になったときだけです（この動作モードは「最初のN」と呼ばれる場合があります）。</p> <p>10：ストリーム・モードでは、FIFOには常に最も新しいデータが残されています。新しいサンプル用のスペースが必要になると、最も古いサンプルが捨てられます（このモードは「最後のN」と呼ばれる場合があります）。ストリーム・モードは、ホスト・プロセッサの負荷を軽減するのに便利です。データがFIFOに収集されている間、プロセッサは他のタスクを処理することができます。FIFOが特定のサンプル数（FIFO_CTLレジスタのFIFO_SAMPLES_MSBビットとFIFO_SAMPLESレジスタによって指定）まで満たされると、FIFOウォーターマーク割込みがトリガされます（この割込みが有効な場合）。この時点で、ホス</p>	0x0	R/W

## レジスタ詳細

表46. FIFO\_CONTROLのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
			ト・プロセッサはFIFO全体の内容を読み出し、FIFOが再び満たされるようになったら他のタスクに戻ることができます。 11：トリガ・モードでは、FIFOは、アクティビティ・イベントの周辺のサンプルを保存します。この動作は、オシロスコープでのワントタイム実行トリガに似ています。アクティビティ・イベントより前に保存されるサンプルの数は、FIFO_CONTROLレジスタのFIFO_SAMPLES[8]ビットとFIFO_SAMPLESレジスタで指定されます。アクティビティ・イベントによってFIFOのフィリング開始がトリガされ、目的のサンプル数が保存され、FIFO_WATER_MARK割込みがアクティブ化（割込みピンにマップされている場合）されると、別の割込みをアクティブ化する前にFIFO読出しを行う必要があります。		

## FIFOサンプル・レジスタ

アドレス：0x29、リセット：0x80、レジスタ名：FIFO\_SAMPLES



表47. FIFO\_SAMPLESのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FIFO_SAMPLES[7:0]		このレジスタの値は、FIFOに格納するサンプルの数を指定します。x軸、y軸、z軸がFIFOに格納するよう設定され、FIFOサンプルに対し値2が書き込まれた場合、6個のサンプルがFIFOに書き込まれます。FIFOサンプルの全範囲は0～511です。FIFOウォーターマーク割込みのトリガを回避するため、このレジスタのデフォルト値は0x80です。	0x80	R/W

## 割込みピン1イネーブル（下位）レジスタ

アドレス：0x2A、リセット：0x00、レジスタ名：INTMAP1\_LOWER

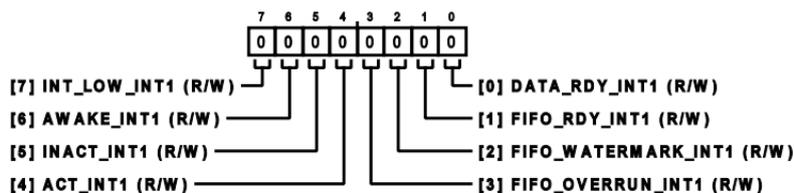


表48. INTMAP1\_LOWERのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INT_LOW_INT1	ピンがアクティブ・ハイ・モード（ビット7がロー・レベル）で動作するか、アクティブ・ロー・モード（ビット7がハイ・レベル）で動作するかを設定します。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
6	AWAKE_INT1	1 = アウェイク・ステータスをINT1ピンにマップ。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
5	INACT_INT1	1 = インアクティビティ・ステータスをINT1ピンにマップ。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
4	ACT_INT1	INT1ピンへのアクティビティ検出割込みをイネーブル。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
3	FIFO_OVERRUN_INT1	1 = FIFOオーバーラン・ステータスをINT1ピンにマップ。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W

## レジスタ詳細

表48. INTMAP1\_LOWERのビットの説明

ビット	ビット名	説明	リセット	アクセス
2	FIFO_WATERMARK_INT1	1 = FIFOウォーターマーク・ステータスをINT1ピンにマップ。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
1	FIFO_RDY_INT1	1 = FIFOレディ・ステータスをINT1ピンにマップ。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
0	DATA_RDY_INT1	1にセットするとDATA_READYビット（レジスタ0x0Bおよびレジスタ0x44）がINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W

## 割込みピン2イネーブル（下位）レジスタ

アドレス：0x2B、リセット：0x00、レジスタ名：INTMAP2\_LOWER

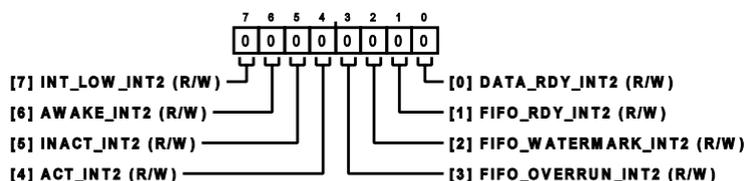


表49. INTMAP2\_LOWERのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INT_LOW_INT2	ピンがアクティブ・ハイ・モード（ビット7がロー・レベル）で動作するか、アクティブ・ロー・モード（ビット7がハイ・レベル）で動作するかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
6	AWAKE_INT2	1にセットするとアウェイク・モードがINT2ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
5	INACT_INT2	1にセットするとインアクティビティ・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
4	ACT_INT2	INT2ピンへのアクティビティ検出割込みをイネーブル。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
3	FIFO_OVERRUN_INT2	1にセットするとFIFOオーバーラン・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
2	FIFO_WATERMARK_INT2	1にセットするとFIFO_WATER_MARKビット（レジスタ0x0Bおよびレジスタ0x44）がINT2ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
1	FIFO_RDY_INT2	1にセットするとFIFOレディ・ステータスがINT1ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
0	DATA_RDY_INT2	1にセットするとDATA_READYビット（レジスタ0x0Bおよびレジスタ0x44）がINT2ピンにマップされます。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W

## レジスタ詳細

## フィルタ・コントロール・レジスタ

アドレス：0x2C、リセット：0x23、レジスタ名：FILTER\_CTL

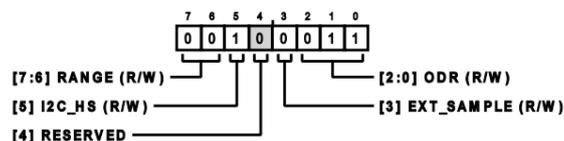


表50. FILTER\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RANGE	00 : $\pm 2g$ (リセットのデフォルト)。 01 : $\pm 4g$ 。 10 : $\pm 8g$ 。 11 : 予備。	0x0	R/W
5	I2C_HS	ハイ・スピードI <sup>2</sup> Cモード。デフォルトはオンで、このビットを1から0に変更することだけが推奨されます (スタンバイ・モード時)。ハイ・スピード・モードに戻すには、ソフト・リセットまたはPORを用いる必要があります。ADXL367はどのI <sup>2</sup> C仕様にも準拠していません (標準モードからハイ・スピード・モードへ切り替える00001XXXコマンドは認識されません)。	0x1	R
4	RESERVED	予備。	0x0	R
3	EXT_SAMPLE	外部サンプリング・トリガ。1 = INT2ピンは、外部変換のタイミング制御に使用されます。詳細については、 <a href="#">外部トリガの使用のセクション</a> を参照してください。	0x0	R/W
[2:0]	ODR	出力データを設定し、内部フィルタをODR/2に設定。 000 : ODR = 12.5Hz。 001 : ODR = 25Hz。 010 : ODR = 50Hz。 011 : ODR = 100Hz。 100 : ODR = 200Hz。 101 : ODR = 400Hz。	0x3	R/W

## パワー・コントロール・レジスタ

アドレス：0x2D、リセット：0x00、レジスタ名：POWER\_CTL

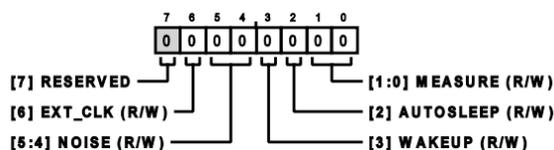


表51. POWER\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
6	EXT_CLK	外部クロック。詳細については、 <a href="#">外部クロックの使い方のセクション</a> を参照してください。	0x0	R/W
[5:4]	NOISE	ノイズ・モードの設定 00 : 通常動作の低消費電力動作モード (リセットのデフォルト)。 01 : 低ノイズ・モード (詳細については、 <a href="#">電力/ノイズのトレードオフのセクション</a> を参照してください)。 10 : 超低ノイズ・モード (詳細については、 <a href="#">電力/ノイズのトレードオフのセクション</a> を参照してください)。11 : 予備	0x0	R/W
3	WAKEUP	ウェークアップ・モード。ウェークアップ・モードの詳細については、 <a href="#">動作モードのセクション</a> を参照してください。	0x0	R/W
2	AUTOSLEEP	自動スリープ。自動スリープを有効にするには、アクティビティ/インアクティビティ検出をリンク・モードまたはループ・モード (ACT_INACT_CTLレジスタのLINKLOOPビット) にする必要があります。それ以外の場合、このビットは無視されます。詳細については、 <a href="#">モーション検出のセクション</a> を参照してください。	0x0	R/W

## レジスタ詳細

表51. POWER\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[1:0]	MEASURE	デバイスをスタンバイ・モードまたは測定動作モードに設定します。 00：スタンバイ・モード。 01：予備。 10：測定モード。 11：予備。	0x0	R/W

## ユーザ・セルフ・テスト・レジスタ

アドレス：0x2E、リセット：0x00、レジスタ名：SELF\_TEST

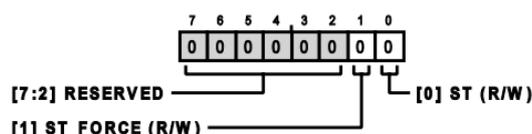


表52. SELF\_TESTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
1	ST_FORCE	強制セルフ・テスト。	0x0	R/W
0	ST	セルフ・テスト。	0x0	R/W

## タップ閾値レジスタ

アドレス：0x2F、リセット：0x00、レジスタ名：TAP\_THRESH



表53. TAP\_THRESHのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_THRESH_PRESCALE		8ビットにタップ割込みの閾値を格納します。データ・フォーマットは「符号なし」です。そのため、通常のタップ検出用にTAP_THRESHの値を使ってタップ・イベントの大きさが比較されます。スケール係数は62.5mg/LSB（つまり0xFF = 16g）です。値をゼロにすると、シングル・タップ/ダブル・タップ検出は共にディスエーブルされます。	0x0	R/W

## タップ時間レジスタ

アドレス：0x30、リセット：0x00、レジスタ名：TAP\_DUR

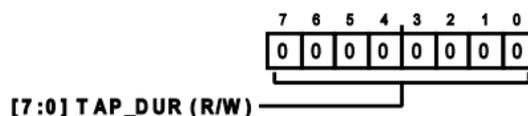


表54. TAP\_DURのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_DUR		タップがタップ・イベントとして認定されるためにTAP_THRESH閾値を超えていなければならない時間の最大値を表す、符号なしの時間値を8ビットに格納します。スケール係数は625μs/LSBです。	0x0	R/W

## レジスタ詳細

## タップ遅延レジスタ

アドレス：0x31、リセット：0x00、レジスタ名：TAP\_LATENT

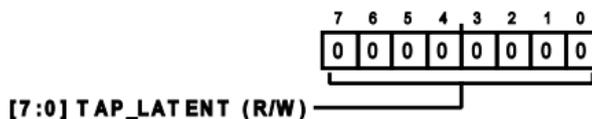


表55. TAP\_LATENTのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_LATENT		タップ・イベントが検出されてから、2回目のタップ・イベント検出のための時間ウィンドウ（ウィンドウ・レジスタで定義）を開始するまでの待ち時間を表す、符号なしの時間値を8ビットに格納します。スケール係数は1.25ms/LSBです。値をゼロにすると、ダブル・タップ機能はディスエーブルされます。	0x0	R/W

## タップ・ウィンドウ・レジスタ

アドレス：0x32、リセット：0x00、レジスタ名：TAP\_WINDOW

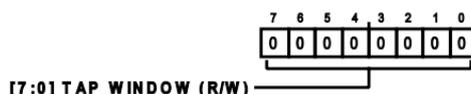


表56. TAP\_WINDOWのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	TAP_WINDOW		符号なしの時間値を8ビットに格納します。この時間値は、遅延時間（遅延レジスタで定義）経過後の時間量を表すもので、2回目のタップ（ダブル・タップ）が有効なダブル・タップと見なされるためには、これがこの時間内に発生することが必要です。スケール係数は1.25ms/LSBです。	0x0	R/W

## x軸ユーザ・オフセット・レジスタ

アドレス：0x33、リセット：0x00、レジスタ名：X\_OFFSET

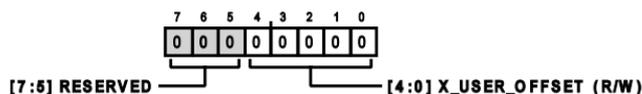


表57. X\_OFFSETのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
[4:0]	X_USER_OFFSET		x軸のユーザ・オフセット・キャリブレーション。15mg/LSBのスケール係数を使用。2の補数フォーマットで、ビット4は符号ビットです。デバイスのオフセットをシフトさせるために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、オフセットが大きいデバイスは、ユーザ調整用に使用できる余地が少なくなります。	0x0	R/W

## y軸ユーザ・オフセット・レジスタ

アドレス：0x34、リセット：0x00、レジスタ名：Y\_OFFSET

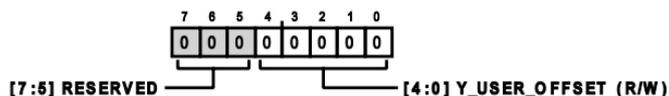


表58. Y\_OFFSETのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
[4:0]	Y_USER_OFFSET		y軸のユーザ・オフセット・キャリブレーション。15mg/LSBのスケール係数を使用。2の補数フォーマットで、ビット4は符号ビットです。デバイスのオフセ	0x0	R/W

## レジスタ詳細

表58. Y\_OFFSETのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
			ットをシフトさせるために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、オフセットが大きいデバイスは、ユーザ調整用に使用できる余度が少なくなります。		

## z軸ユーザ・オフセット・レジスタ

アドレス：0x35、リセット：0x00、レジスタ名：Z\_OFFSET

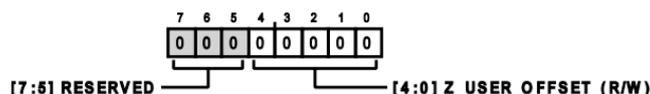


表59. Z\_OFFSETのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
[4:0]	Z_USER_OFFSET		z軸のユーザ・オフセット・キャリブレーション。15mg/LSBのスケール係数を使用。2の補数フォーマットで、ビット4は符号ビットです。デバイスのオフセットをシフトさせるために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、オフセットが大きいデバイスは、ユーザ調整用に使用できる余度が少なくなります。	0x0	R/W

## x軸ユーザ感度レジスタ

アドレス：0x36、リセット：0x00、レジスタ名：X\_SENS

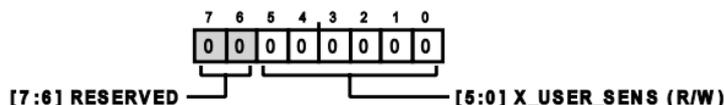


表60. X\_SENSのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
[5:0]	X_USER_SENS		x軸のユーザ・ゲイン・キャリブレーション。1.56%/LSBのスケール係数を使用。2の補数フォーマットで、ビット5は符号ビットです。デバイスの感度を調整するために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、高感度のデバイスは、ユーザ調整用に使用できる余度が少なくなります。	0x0	R/W

## y軸ユーザ感度レジスタ

アドレス：0x37、リセット：0x00、レジスタ名：Y\_SENS

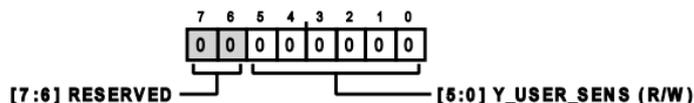


表61. Y\_SENSのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	Y_USER_SENS		y軸のユーザ・ゲイン・キャリブレーション。1.56%/LSBのスケール係数を使用。2の補数フォーマットで、ビット5は符号ビットです。デバイスの感度を調整するために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共用する点に注意してください。すなわち、高感度のデバイスは、ユーザ調整用に使用できる余度が少なくなります。	0x0	R/W

## レジスタ詳細

### z軸ユーザ感度レジスタ

アドレス：0x38、リセット：0x00、レジスタ名：Z\_SENS

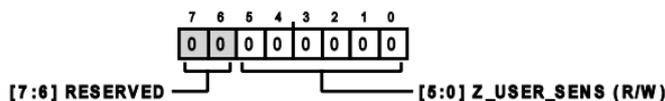


表62. Z\_SENSのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	Z_USER_SENS		z軸のユーザ・ゲイン・キャリブレーション。1.56%/LSBのスケール係数を使用。2の補数フォーマットで、ビット5は符号ビットです。デバイスの感度を調整するために使用できます。この調整用設定は、工場出荷時の調整設定と同じヘッドルームを共有する点に注意してください。すなわち、高感度のデバイスは、ユーザ調整用に使用できる余地が少なくなります。	0x0	R/W

### タイマー・コントロール・レジスタ

アドレス：0x39、リセット：0x00、レジスタ名：TIMER\_CTL

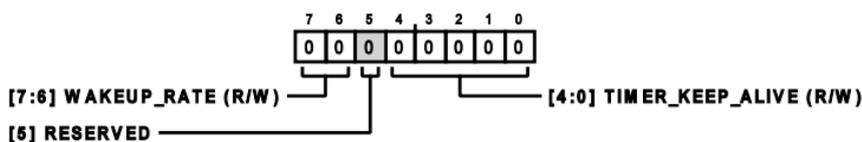


表63. TIMER\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	WAKEUP_RATE	ADXL367のウェークアップ・タイマーの設定時間を示します。 00：毎秒12サンプル。サンプル間が80ms（リセットのデフォルト）。 01：毎秒6サンプル。サンプル間が160ms。 10：毎秒3サンプル。サンプル間が320ms。 11：毎秒1.5サンプル。サンプル間が640ms。	0x0	R/W
5	RESERVED	予備。	0x0	R/W
[4:0]	TIMER_KEEP_ALIVE	タイマー設定時間が経過すると、STATUS2レジスタのビット4がセットされ、STATUS2を読み出すとこのビットはクリアされます。このステータスは、どちらかの割り込みピンにマップすることもできます。 00000：タイマーはオフ。 00001：タイマー時間は160ms後に終了。 00010：タイマー時間は320ms後に終了。 00011：タイマー時間は640ms後に終了。 00100：タイマー時間は1.28秒後に終了。 00101：タイマー時間は2.56秒後に終了。 00110：タイマー時間は5.12秒後に終了。 00111：タイマー時間は10.24秒後に終了。 01000：タイマー時間は20.48秒後に終了。 01001：タイマー時間は40.96秒後に終了。 01010：タイマー時間は81.92秒後に終了。 01011：タイマー時間は163.9秒後に終了。 01100：タイマー時間は5.45分後に終了。 01101：タイマー時間は11分後に終了。 01110：タイマー時間は21.8分後に終了。 01111：タイマー時間は43.7分後に終了。 10000：タイマー時間は1.45時間後に終了。 10001：タイマー時間は3時間後に終了。 10010：タイマー時間は5.83時間後に終了。 10011：タイマー時間は11.65時間後に終了。 10100：タイマー時間は23.2時間後に終了。	0x0	R/W

## レジスタ詳細

## 割込みピン1イネーブル（上位）レジスタ

アドレス：0x3A、リセット：0x00、レジスタ名：INTMAP1\_UPPER

割込みをINT1ピンにマップします。

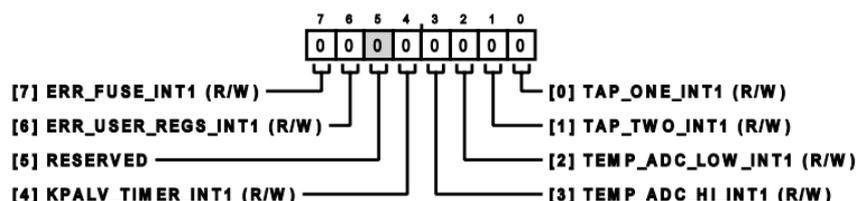


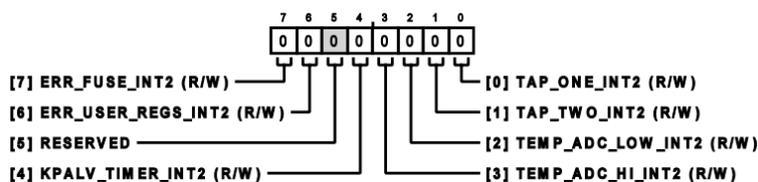
表64. INTMAP1\_UPPERのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_FUSE_INT1	ヒューズ・エラーをINT1ピンにマップするかどうかを設定します。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
6	ERR_USER_REGS_INT1	ユーザ・レジスタ・エラーをINT1ピンにマップするかどうかを設定します。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
5	RESERVED	予備。	0x0	R
4	KPALV_TIMER_INT1	1に設定すると、キープ・アライブ・タイマーをINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
3	TEMP_ADC_HI_INT1	1に設定すると、温度アクティビティ検出をINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
2	TEMP_ADC_LOW_INT1	1に設定すると、温度インアクティビティをINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
1	AP_TWO_INT1	1に設定すると、ダブル・タップ検出をINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W
0	TAP_ONE_INT1	1に設定すると、タップ検出をINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1：割込みをイネーブル。 0：割込みをディスエーブル。	0x0	R/W

## 割込みピン2イネーブル（上位）レジスタ

アドレス：0x3B、リセット：0x00、レジスタ名：INTMAP2\_UPPER

割込みをINT2ピンにマップします。



## レジスタ詳細

表65. INTMAP2\_UPPERのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_FUSE_INT2	ヒューズ・エラーをINT2ピンにマップするかどうかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
6	ERR_USER_REGS_INT2	ユーザ・レジスタ・エラーをINT2ピンにマップするかどうかを設定します。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
5	RESERVED	予備。	0x0	R
4	KPALV_TIMER_INT2	1に設定すると、キープ・アライブ・タイマーをINT1ピンにマップします。0に設定すると、この割込みをINT1ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
3	TEMP_ADC_HI_INT2	1に設定すると、温度アクティビティ検出をINT2ピンにマップします。0に設定すると、この割込みをINT2ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
2	TEMP_ADC_LOW_INT2	1に設定すると、温度インアクティビティをINT2ピンにマップします。0に設定すると、この割込みをINT2ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
1	TAP_TWO_INT2	1に設定すると、ダブル・タップ検出をINT2ピンにマップします。0に設定すると、この割込みをINT2ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W
0	TAP_ONE_INT2	1に設定すると、タップ検出をINT2ピンにマップします。0に設定すると、この割込みをINT2ピンにマップしません。 1: 割込みをイネーブル。 0: 割込みをディスエーブル。	0x0	R/W

## ADCコントロール・レジスタ

アドレス：0x3C、リセット：0xC0、レジスタ名：ADC\_CTL

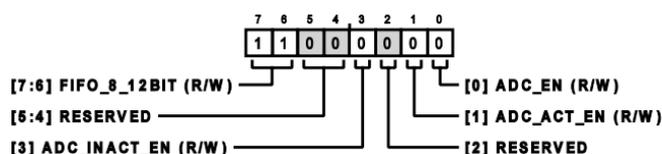


表66. ADC\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	FIFO_8_12BIT	この2ビット・フィールドは、FIFOからのデータ読み出し方法を定めます。データはFIFOにフル14ビット・モードで書き込まれ、読み出しモードはこれらのビットで定められます。 00: FIFOデータはADXL367の標準のもの（上位12ビット+チャンネルID）。 01: 8ビットのFIFOデータ（チャンネルIDなし、送出データの上位8ビット）。 10: 12ビットのFIFOデータ（チャンネルIDなし、送出データの上位12ビット）。 11: FIFOデータはデフォルトのもの（14ビット+チャンネルID）。	0x3	R/W

## レジスタ詳細

表66. ADC\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[5:4]	RESERVED	予備。	0x0	R
3	ADC_INACT_EN	インアクティビティ検出は外部ADCチャンネルでイネーブル。	0x0	R/W
2	RESERVED	予備。	0x0	R/W
1	ADC_ACT_EN	アクティビティ検出は外部ADCチャンネルでイネーブル。	0x0	R/W
0	ADC_EN	外部ADCをイネーブル。TEMP_ENビット（レジスタ0x3D）が1の場合、ADCはイネーブルされず、このビットは無効です。	0x0	R/W

## 温度設定レジスタ

アドレス：0x3D、リセット：0x00、レジスタ名：TEMP\_CTL

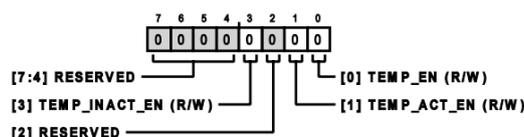


表67. TEMP\_CTLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	TEMP_INACT_EN	TEMP_INACT_ENビットを1に設定すると、温度チャンネルでのインアクティビティ検出が可能になります。0を設定すると、この機能は無効になります。	0x0	R/W
2	RESERVED	予備。	0x0	R/W
1	TEMP_ACT_EN	TEMP_ACT_ENビットを1に設定すると、温度チャンネルでのアクティビティ検出が可能になります。0を設定すると、この機能は無効になります。	0x0	R/W
0	TEMP_EN	TEMP_ENビットを1に設定すると、加速度変換と共にそのODR設定で温度変換が可能になります。0を設定すると、この機能は無効になります。	0x0	R/W

## TEMP\_ADC\_ACT\_THRSH\_HIGHレジスタ

アドレス：0x3E、リセット：0x00、レジスタ名：TEMP\_ADC\_OVER\_THRSH\_H

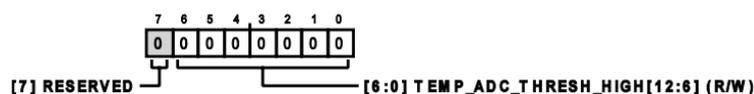
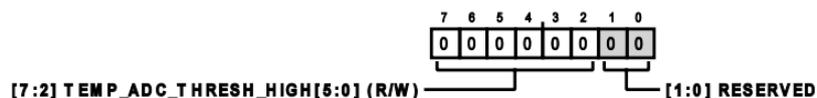


表68. TEMP\_ADC\_OVER\_THRSH\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	TEMP_ADC_THRSH_HIGH [12:6]		アクティビティを外部ADCまたは温度チャンネルで検出するため、ADXL367は、14ビット（符号付き）データの絶対値を13ビット（符号なし）TEMP_ADC_THRSH_HIGH値と比較します。TEMP_ADC_THRSH_HIGHはコードで設定されます（1LSB = 1コード）。gの値は、選択された測定レンジ設定に依存します。	0x0	R/W

## TEMP\_ADC\_ACT\_THRSH\_LOWレジスタ

アドレス：0x3F、リセット：0x00、レジスタ名：TEMP\_ADC\_OVER\_THRSH\_L



## レジスタ詳細

表69. TEMP\_ADC\_OVER\_THRSH\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	TEMP_ADC_THRESH_HIGH[5:0]		アクティビティを外部ADCまたは温度チャンネルで検出するため、ADXL367は、14ビット（符号付き）データの絶対値を13ビット（符号なし）TEMP_ADC_THRESH_HIGH値と比較します。TEMP_ADC_THRESH_HIGHはコードで設定されます（1LSB = 1コード）。gの値は、選択された測定レンジ設定に依存します。	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R

## TEMP\_ADC\_INACT\_THRSH\_HIGHレジスタ

アドレス：0x40、リセット：0x00、レジスタ名：TEMP\_ADC\_UNDER\_THRSH\_H

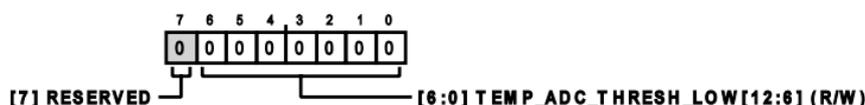


表70. TEMP\_ADC\_UNDER\_THRSH\_Hのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	TEMP_ADC_THRESH_LOW[12:6]		インアクティビティを外部ADCまたは温度チャンネルで検出するため、ADXL367は、14ビット（符号付き）データの絶対値を13ビット（符号なし）TEMP_ADC_THRESH_HIGH値と比較します。TEMP_ADC_THRESH_LOWはコードで設定されます（1LSB = 1コード）。gの値は、選択された測定レンジ設定に依存します。	0x0	R/W

## TEMP\_ADC\_INACT\_THRSH\_LOWレジスタ

アドレス：0x41、リセット：0x00、レジスタ名：TEMP\_ADC\_UNDER\_THRSH\_L

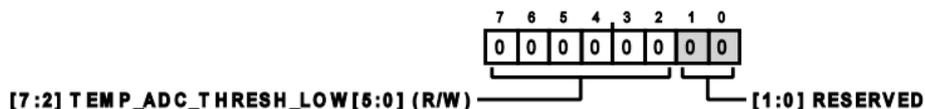
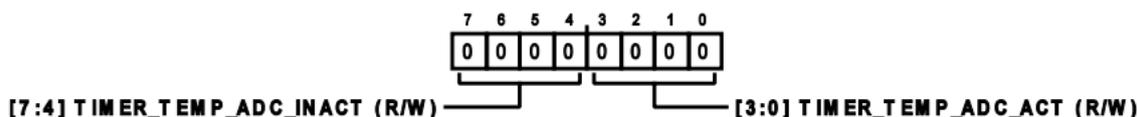


表71. TEMP\_ADC\_UNDER\_THRSH\_Lのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	TEMP_ADC_THRESH_LOW[5:0]		インアクティビティを外部ADCまたは温度チャンネルで検出するため、ADXL367は、14ビット（符号付き）データの絶対値を13ビット（符号なし）TEMP_ADC_THRESH_HIGH値と比較します。TEMP_ADC_THRESH_LOWはコードで設定されます（1LSB = 1コード）。gの値は、選択された測定レンジ設定に依存します。	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R

## 温度アクティビティ・インアクティビティ・タイマー・レジスタ

アドレス：0x42、リセット：0x00、レジスタ名：TEMP\_ADC\_TIMER



## レジスタ詳細

表72. TEMP\_ADC\_TIMERのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	TIMER_TEMP_ADC_INACT		このビット・フィールドの値は、インアクティビティ・イベントを検出するためには、どれだけの数のサンプルが連続してアクティビティ閾値 (TEMP_ADC_THRESH_LOWで設定) 未満の値を持つことが必要かを設定します。	0x0	R/W
[3:0]	TIMER_TEMP_ADC_ACT		このビット・フィールドの値は、アクティビティ・イベントを検出するためには、どれだけの数のサンプルが連続してアクティビティ閾値 (TEMP_ADC_THRESH_HIで設定) を上回る値を持つことが必要かを設定します。	0x0	R/W

## 軸マスク・レジスタ

アドレス : 0x43、リセット : 0x00、レジスタ名 : AXIS\_MASK

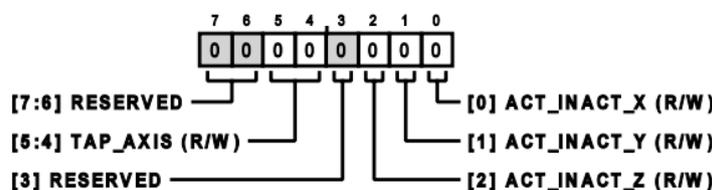


表73. AXIS\_MASKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:4]	TAP_AXIS	タップ検出のために参照する必要のある軸を選択します。 00 : x軸 01 : y軸 10 : z軸	0x0	R/W
3	RESERVED	予備。	0x0	R
2	ACT_INACT_Z	1に設定すると、デフォルトでチェックするz軸のアクティビティおよびインアクティビティのチェックをブロックします。	0x0	R/W
1	ACT_INACT_Y	1に設定すると、デフォルトでチェックするy軸のアクティビティおよびインアクティビティのチェックをブロックします。	0x0	R/W
0	ACT_INACT_X	1に設定すると、デフォルトでチェックするx軸のアクティビティおよびインアクティビティのチェックをブロックします。	0x0	R/W

## ステータス・コピー・レジスタ

アドレス : 0x44、リセット : 0x40、レジスタ名 : STATUS\_COPY

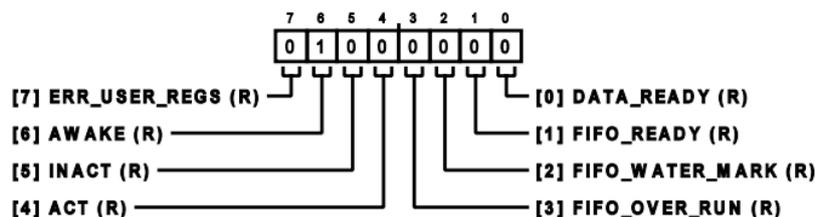


表74. STATUS\_COPYのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_USER_REGS	SEUエラー検出。1は、2つの条件のいずれかを示します。つまり、SEUイベント（電源グリッチのα粒子など）がユーザー・レジスタ設定を乱したか、またはADXL367が未設定であることを示します。このビットは起動時とソフト・リセット時にハイになり、何らかのレジスタ書き込みコマンドが実行されると直ちにリセットされます。	0x0	R
6	AWAKE	アクティビティ/インアクティビティ機能に基づいて、加速度センサーがアクティブ状態 (AWAKE = 1) であるかインアクティブ状態 (AWAKE = 0) であるかを示します。自動スリープを有効にするには、アクティビティ/インアクティビティ検出をリンク・モードまたはループ・モード (ACT_INACT_CTLレジスタのLINKLOOPビット) にする必要があります。それ以外の場合、このビッ	0x1	R

## レジスタ詳細

表74. STATUS\_COPYのビットの説明

ビット	ビット名	説明	リセット	アクセス
		トはデフォルトで1になり、無視する必要があります。 0：デバイスはインアクティブ 1：デバイスはアクティブ（リセット状態）		
5	INACT	インアクティビティ。1は、インアクティビティ検出機能がインアクティビティ状態または自由落下状態を検出したことを示します。	0x0	R
4	ACT	アクティビティ。1は、アクティビティ検出機能がアクティビティ状態を検出したことを示します。	0x0	R
3	FIFO_OVER_RUN	FIFOオーバーラン。1は、FIFOがオーバーランまたはオーバーフローしたことを示します。FIFO読み出しが発生して新しいデータのためにある程度の空間ができるまで、新たなデータをFIFOに書き込むことはできません。FIFO_OVER_RUNは、FIFO_MODEがオールデスト・セーブ・モードの場合にのみ使用できます。	0x0	R
2	FIFO_WATER_MARK	FIFOウォーターマーク。1は、FIFOが、FIFO_SAMPLESレジスタに設定された目的のサンプル数以上のサンプルを格納していることを示します。FIFO_WATER_MARKがアサートされるのは、（この値より大きい）次のサンプルがFIFOに書き込まれた場合です。	0x0	R
1	FIFO_READY	FIFOレディ。1は、FIFO出力バッファ内に使用可能なサンプルが1つ以上あることを示します。	0x0	R
0	DATA_READY	データ・レディ。1は、新しい有効なサンプルを読み出しできることを示します。このビットは、DATA読み出しが行われるとクリアされます。DATA_READYは、新しい有効データが使用できるようになるとセットされます。使用できる新しいデータがない場合はクリアされます。いずれかのデータ・レジスタ（アドレス：0x08～0x0Aおよび0x0E～0x17）の読み出し中には、DATA_READYビットはセットされません。レジスタ読み出しより前にDATA_READY = 0であり、レジスタ読み出し中に新しいデータが使用可能になった場合、DATA_READYは、読み出しが完了するまで0のまま、完了したときにのみ1に設定されます。レジスタ読み出しより前にDATA_READY = 1である場合、これはレジスタ読み出しの開始時にクリアされません。レジスタ読み出しより前にDATA_READY = 1であり、レジスタ読み出し中に新しいデータが使用可能になった場合、DATA_READYは、レジスタ読み出しの開始時に0にクリアされ、読み出し中には0のままです。読み出しが完了すると、DATA_READYは1に設定されます。	0x0	R

## ステータス2レジスタ

アドレス：0x45、リセット：0x00、レジスタ名：STATUS2

ステータス2レジスタ。

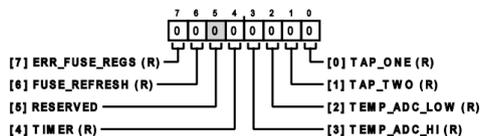


表75. STATUS2のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ERR_FUSE_REGS	ヒューズ・エラー検出。1は、複数のヒューズが断線し、補正エンジンではそれを修復できないことを示します。	0x0	R
6	FUSE_REFRESH	1は、不揮発性メモリ（NVM）を再ロードする必要があることを示します。ソフトウェア・リセットまたはハードウェア・リセットを推奨します。このビットは、STATUS2レジスタを読み出すとクリアされます。	0x0	R
5	RESERVED	予備。	0x0	R
4	TIMER	1はキープ・アライブ・タイマーの設定時間が経過したことを示します。STATUS2レジスタを読み出すと、タイマー割込みがクリアされ、タイマーがリセットされます。	0x0	R
3	TEMP_ADC_HI	温度チャンネルまたは外部ADCチャンネルのいずれかでの閾値超過を検出します。TEMP_ENが1の場合、このビットは温度の閾値超過が検出されたことを示します。	0x0	R
2	TEMP_ADC_LOW	温度センサーまたは外部ADCのいずれかで閾値未満の状況が検出されたことを示します。TEMP_ENが1の場合、このビットは温度が閾値未満となっていることを示します。	0x0	R
1	TAP_TWO	TAP_TWOビットは、THRESH_TAPレジスタの値より大きい加速度イベントが2回発生し、その持続時間がTAP_DURレジスタで指定された値より短い場合にセットされます。2回目のタップはTAP_LATENCYレジスタによって指定された時間の後に開始され、なおかつTAP_WINDOWレジスタで指定された時間以内であるものとします。	0x0	R
0	TAP_ONE	TAP_ONEビットは、THRESH_TAPレジスタの値より大きい加速度イベントが1回発生し、その持続時間がTAP_DURレジスタで指定された値より短い場合にセットされます。	0x0	R

## アプリケーション情報

## アプリケーション例

デバイスの設定のセクション、[自律的モーション・スイッチ](#)のセクション、[外部タイミング・トリガの使い方](#)のセクション、例：[自由落下検出の実行](#)のセクションでは、ADXL367の便利な機能に焦点を置き、いくつかのアプリケーション回路を示します。

## デバイスの設定

ここでは、デバイスを設定してデータを収集する手順の概要を説明します。一般に、この手順はレジスタ・マップのシーケンスに従い、レジスタ0x20 (THRESH\_ACT\_L) から始まります。以下は、一般的な設定シーケンスです。

1. レジスタ0x20～レジスタ0x26に書き込みを行い、アクティビティおよびインアクティビティの閾値とタイマーを設定します。誤検出モーション・トリガを最小限に抑えるため、TIME\_ACTレジスタに1より大きな値を設定します。
2. レジスタ0x27に書き込みを行い、アクティビティ機能とインアクティビティ機能を設定します。
3. レジスタ0x28とレジスタ0x29に書き込みを行い、FIFOを設定します。
4. レジスタ0x2Aとレジスタ0x2Bに書き込みを行い、割り込みをマップします。
5. レジスタ0x2Cに書き込みを行い、一般的なデバイス設定を行います。
6. レジスタ0x2DのMEASUREビット・フィールドに10を書き込んで、測定モードに入ります。
7. 各レジスタの設定は、アプリケーション条件によって異なります。詳細については、[レジスタの詳細](#)のセクションを参照してください。

## 自律的モーション・スイッチ

各種機能により、ADXL367は自律的モーション・スイッチとしての使用に最適なものとなっています。[起動ルーチン](#)のセクションでは、一度設定すれば、ホスト・プロセッサの介入なしにシステムの消費電力をインテリジェントに管理するスイッチを構成します。[図17](#)の例では、INT2ピンにマップされたアウェーク信号が、ADP195などのハイサイド・パワー・スイッチを駆動して、後段回路への電力を制御します。

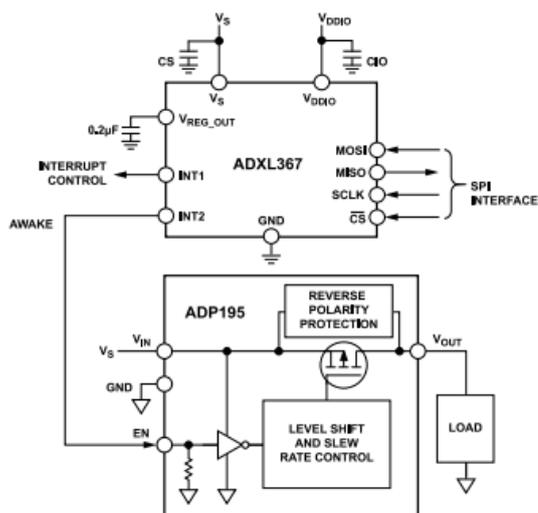


図56. 後段回路への電力を制御するアウェーク信号

## 起動ルーチン

起動ルーチンは、±2gの測定レンジと測定モードでの動作を想定しています。次のシーケンスは、ADXL367を自律的モーション・スイッチとして設定するためのルーチン例ですが、閾値設定は特定のアプリケーション例によって異なる点に注意してください。

1. レジスタ0x20に0xA0を書き込み、レジスタ0x21に0x0Fを書き込んで、アクティビティ閾値を0.25mgに設定します。
2. レジスタ0x23に0x60を書き込み、レジスタ0x24に0x09を書き込んで、インアクティビティ閾値を2gに設定します。
3. レジスタ0x27に0x3Fを書き込み、リファレンス・アクティビティ検出、リファレンス・インアクティビティ検出、ループ・モードを有効にします。
4. レジスタ0x2Aに0x01を書き込み、データ・レディ割り込みをINT1ピンにマップします。
5. レジスタ0x2Bに0x40を書き込み、AWAKEビットをINT2ピンにマップします。
6. レジスタ0x2Dに0x02を書き込み、測定モードに入ります。加速度出力が安定するまで100ms待ちます。
7. レジスタ0x20に0x0Fを書き込み、レジスタ0x21に0xA0を書き込んで、アクティビティ閾値を62.5mgに設定します。
8. レジスタ0x23に0x0Aを書き込み、レジスタ0x24に0xF0を書き込んで、インアクティビティ閾値を175mgに設定します。

なお、ステップ1とステップ2は、測定モードに入った直後にアクティビティ割り込みとインアクティビティ割り込みを生成するために必要です。これにより、ADXL367は、ループ・モードでアクティビティ閾値とインアクティビティ閾値を設定した場合に、既知の状態から開始できます。

## 外部タイミング・トリガの使い方

INT1ピンを外部クロックの入力として使用するアプリケーション図を[図57](#)に示します。このモードでは、出力データ・レートや帯域幅など、すべての加速度センサー・タイミングは外部クロックによって決定されます。

## アプリケーション情報

この機能を有効にするには、設定中（スタンバイ・モード時）にPOWER\_CTLレジスタのビット6をセットします。例えば、外部クロックの使用を有効にし、加速度センサーを測定モードにするには、POWER\_CTLレジスタに0x42を書き込みます。

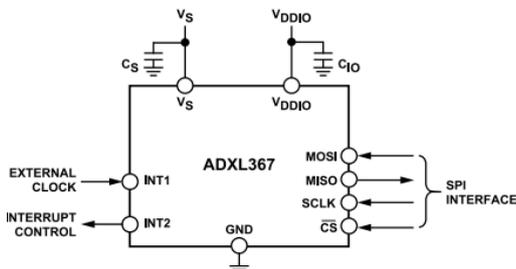


図57. 外部クロック用の入力としてのINT1ピン

図58は、INT2ピンを同期サンプリングのトリガとして使用するためのアプリケーション図です。加速度サンプルは、このトリガが起動されるたびに生成されます。この機能を有効にするには、目的の起動ルーチンの最後近くで、FILTER\_CTLレジスタのビット3をセットします。例えば、トリガを有効にし、加速度センサーを±4gの測定レンジと100HzのODR用に設定するには、FILTER\_CTLレジスタに0x6Bを書き込みます。

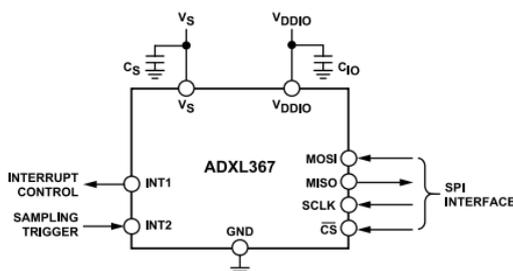


図58. INT2ピンによる同期サンプリングのトリガ

## 例：自由落下検出の実行

多くのデジタル出力加速度センサーには、自由落下検出機能が内蔵されています。ADXL367では、インアクティビティ割込みを使用してこの機能を実行します。

物体が真に自由落下している場合、加速度はすべての軸で0gです。したがって、自由落下検出を行うには、すべての軸で加速度が一定の時間にわたって特定の閾値（およそ0g）を下回るかどうかを確認します。インアクティビティ検出機能は、アプソリュート・モードで使用する場合、加速度がすべての軸で0gに低下するかどうかをモニタします。

インアクティビティを使用して自由落下検出を実行するには、THRESH\_INACTビット（レジスタ0x23およびレジスタ0x24）の値を必要な自由落下閾値に設定します。推奨値は300mg～600mgの範囲の値です。これらの値に対するレジスタ設定は、デバイスのgレンジ設定に基づいて次のように変化します。

$$THRESH\_INACT = \text{Threshold Value (g)} \times \text{Scale Factor (LSB per g)}$$

自由落下状態を生成するためにすべての軸の加速度が自由落下閾値を下回る必要のある最小時間を実装するには、TIME\_INACTビット（レジスタ0x25およびレジスタ0x26）に値を設定します。推奨値は100ms～350msの範囲の値です。自由落下検出のレジスタ設定値は出力データ・レートに基づいて変化します。次の式で、ユ

ーザが選択しなければならないTIME\_INACTビット設定が求められます。この式において、Timeは、自由落下を検出するためにすべての加速度軸がインアクティビティ閾値を下回っていないと十分な時間を表します。

$$TIME\_INACT = \text{Time (sec)} \times \text{Data Rate (Hz)}$$

自由落下状態が検出されると、インアクティビティ・ステータスが1に設定されます。そして、この機能が割込みピンにマップされている場合、そのピンにインアクティビティ割込みがトリガされます。

## 起動ルーチン

次の起動ルーチンにより、ADXL367を代表的な自由落下アプリケーション向けに設定します。このルーチンは、±8gの測定レンジと100Hzの出力データ・レートを想定しています。閾値とタイミング値は、アプリケーション要求に合わせて変更できます。起動には次の手順を使用します。

1. レジスタ0x24に0x18を書き込み、レジスタ0x23に0x09を書き込んで、自由落下閾値を600mgに設定します。
2. レジスタ0x26に0x03を書き込んで、自由落下時間を30msに設定します。
3. レジスタ0x27に0x04を書き込んで、絶対インアクティビティ検出を有効にします。
4. レジスタ0x2Aまたはレジスタ0x2Bに0x20を書き込んで、それぞれ、INT1ピンまたはINT2ピンにインアクティビティ割込みをマップします。
5. レジスタ0x2Cに0x83を書き込んで、加速度センサーを±8gのレンジ、100HzのODRに設定します。
6. レジスタ0x2Dに0x02を書き込んで、測定モードに入ります。なお、加速度データが有効になるまで100msの待機時間が必要です。

## 電源条件

ADXL367は、1.1V～3.6Vの電源電圧レールを使って動作します。表1に示す動作電圧範囲（Vs）は、電源の誤差と最大±10%のトランジェントを考慮して1.1V～3.6Vになっています。実行時は大幅に少ない電源電流となりますが、起動時やソフトウェア・リセット時の電源電流は250μAを超える必要があります。これにより、内部ヒューズが適切にロードされていることを確認できます。ADXL367で電源再投入を行うときは、電源再投入ごとにデバイスをグラウンド・レベル（Vs = 0V）まで完全に放電することを強く推奨します。放電できない場合は以下の仕様に注意する必要があります。

- ▶ 電源リセット閾値（VRESET）
- ▶ ホールド時間
- ▶ 立上がり時間

## アプリケーション情報

## 電源リセット閾値

ADXL367の起動時または電源再投入時には、電源電圧 $V_S$ を $V_{RESET}$ 未満の以前の値から増加させる必要があります。また、デバイスの動作中にADXL367の電源をオフにした場合や電源電圧が1.1V未満に低下した場合は、常に $V_S$ 電源を $V_{RESET}$ 未満の値まで放電する必要があります。

## ホールド時間

パワーオン・リセットを正常に行うには、デバイスに再度電源を供給する前に、300ms以上にわたって $V_S$ 電源を $V_{RESET}$ 未満に保つ必要があります（図59参照）。

## 立上がり時間

電源電圧の立上がり時間は、0Vから $V_S$ の90%までに要する時間で定義されます。これはどのような電源電圧を用いる場合にもあてはまります（電源条件のセクションを参照）。

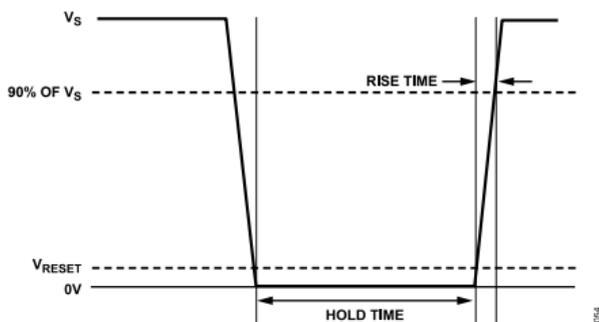


図59. 電源リセット条件および起動条件

電源の放電を可能にするため、マイクロコントローラのGPIOからデバイスに電源を供給するか、シャットダウン放電スイッチを電源に接続するか、またはシャットダウン放電機能を持つ電圧レギュレータを使用することが推奨されます。

パワーオン・リセット（POR）後、測定モードに入ってから出力が安定するまでに、100msの時間が必要です。

## 電源のデカップリング

ADXL367に使用する推奨バイパス・コンデンサを図60に示します。

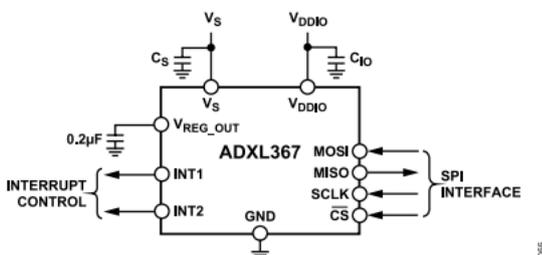


図60. 推奨バイパス・コンデンサ

$V_S$ ピンの0.1 $\mu$ Fのセラミック・コンデンサ（ $C_S$ ）および $V_{DDIO}$ ピンの0.1 $\mu$ Fのセラミック・コンデンサ（ $C_{IO}$ ）は、ADXL367にできるだけ近づけて配置します。電源ピンでは、加速度センサーと電源ノイズが適切に分離されるようにすることを推奨します。また、 $V_S$ 電源でのデジタル・クロック・ノイズを最小限に抑えるため、 $V_S$ と $V_{DDIO}$ を別電源にすることを推奨します。これが不可能な場合

は、電源にフィルタを追加しなければならないことがあります。

それ以上のデカップリングが必要な場合、100 $\Omega$ 以下の抵抗かフェライト・ビーズを $V_S$ と直列に挿入します。更に、 $V_S$ に0.1 $\mu$ Fのセラミック・コンデンサと並列に1 $\mu$ Fのタンタル・コンデンサを設置してバイパス容量を増やすことで、ノイズを改善することもできます。抵抗値とコンデンサ値を増加するとRC時定数が増加する点に注意してください。これはデバイスのリセット時間に影響します。つまり、リセット時間が長くなります。ターンオン時間も長くなる可能性があります。

グラウンドから伝わるノイズには、 $V_S$ からのノイズと同じような影響があるので、ADXL367のグラウンドから電源グラウンドへの接続は必ず低インピーダンスとなるようにしてください。

単一電源条件で更にデカップリングが必要な場合、図61に示すようなデカップリング回路を検討できます。 $V_S$ と $V_{DDIO}$ の間の抵抗は10 $\Omega$ 以下であることが必要です。

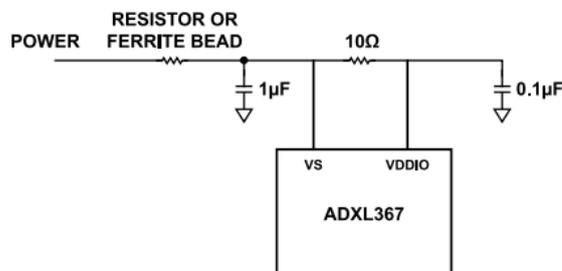


図61. 単一電源の場合の推奨デカップリング回路図

## FIFOのモード

FIFOは、512サンプルのメモリ・バッファであり、節電、ホスト・プロセッサの負荷軽減、データの自立的な記録のために使用できます。慣性データが確実に同じサンプルからのものとなるようにするには、データの全セット（例えばxチャンネル、yチャンネル、zチャンネル、温度）を連続的に読み出す必要がある点に注意してください。チャンネルを連続的に読み出さなかった場合、データを喪失する可能性があります。

FIFOは、FIFO無効化のセクション、オールデスト・セーブ・モードのセクション、ストリーム・モードのセクション、トリガ・モードのセクションで説明する4つのモードのいずれかで動作します。

## FIFO無効化

FIFOが無効にされると、データはFIFOに保存されず、既に保存されていたデータはクリアされます。

FIFOを無効にするには、FIFO\_CONTROLレジスタ（アドレス：0x28）のFIFO\_MODEビットにバイナリ値0b00を設定します。

## アプリケーション情報

## オールデスト・セーブ・モード

オールデスト・セーブ・モードでは、FIFOは、満杯になるまでデータを蓄積してから、停止します。追加のデータが収集されるのは、FIFOバッファからサンプルを読み出してスペースが利用可能になったときだけです（この動作モードは「最初のN」と呼ばれる場合があります）。

FIFOをオールデスト・セーブ・モードにするには、FIFO\_CONTROLレジスタ（アドレス：0x28）のFIFO\_MODEビットにバイナリ値0b01を設定します。

## ストリーム・モード

ストリーム・モードでは、FIFOには常に最も新しいデータが残されています。新しいサンプル用のスペースが必要になると、最も古いサンプルが捨てられます（このモードは「最後のN」と呼ばれる場合があります）。

ストリーム・モードは、ホスト・プロセッサの負荷を軽減するのに便利です。データがFIFOに収集されている間、プロセッサは他のタスクを処理することができます。FIFOが特定のサンプル数（FIFO\_CONTROLレジスタのFIFO\_SAMPLEビットとFIFO\_SAMPLESレジスタによって指定）まで満たされると、FIFOウォーターマーク割込みがトリガされます（この割込みが有効な場合）。この時点で、ホスト・プロセッサはFIFO全体の内容を読み出し、FIFOが再び満たされるようになったら他のタスクに戻ることができます。

FIFOをストリーム・モードにするには、FIFO\_CONTROLレジスタ（アドレス：0x28）のFIFO\_MODEビットにバイナリ値0b10を設定します。

## トリガ・モード

トリガ・モードでは、FIFOは、アクティビティ検出イベントの周辺のサンプルを保存します。この動作は、オシロスコープでのワントタイム実行トリガに似ています。アクティビティ・イベントより前に保存されるサンプルの数は、FIFO\_CONTROLレジスタ（アドレス：0x28）のFIFO\_SAMPLEビットとFIFO\_SAMPLESレジスタ（アドレス：0x29）で指定されます。

FIFOをトリガ・モードにするには、FIFO\_CONTROLレジスタ（アドレス：0x28）のFIFO\_MODEビットにバイナリ値0b11を設定します。

## FIFO設定

FIFOモードは、レジスタ0x28とレジスタ0x29によって設定されます。FIFOのデータ構造はレジスタ0x3Cを介して設定できます。設定の詳細については、[レジスタの詳細](#)のセクションを参照してください。

## FIFO割込み

FIFOは、割込みを生成することによって、サンプルがいつ使用可能になるか、指定した数のサンプルがいつ収集されたか、FIFOがいつオーバーフローしてサンプルが失われたかを示すことができます。詳細については、[FIFO割込みの使い方](#)のセクションを参照してください。

## FIFOからのデータ取出し

FIFOデータは、[シリアル通信](#)のセクションで説明したFIFO読出しコマンドを発行して読み出されます。表76と表77に示すように、ADXL367のFIFOは、データ・タイプ情報が使用できる14ビットまたは12ビットをサポートします。

表76. 14ビット・データ

Bits	Bit Name	Settings
D[15:14]	Data Type	00: x-axis 01: y-axis 10: z-axis 11: temperature/ external ADC
D[13]	MSB	
D[12:1]	Data	
D[0]	LSB	

表77. 12ビット・データ

Bits	Bit Name	Settings
D[15:14]	Data Type	00: x-axis 01: y-axis 10: z-axis 11: temperature/ external ADC
D[13:12]	Sign Extend	
D[11]	MSB	
D[10:1]	Data	
D[0]	LSB	

また、ADXL367は、データのスループットを向上させシステム電力を節約するために、データ・パック・モードもサポートしています。8ビットのデータ・ワードはリードバック用に提供されます。8ビット・モードでは、サンプルの上位8ビットのみが送出され、チャンネルIDは付加されません。そのため、格納されたサンプルあたりわずか8ビットという最も効率的なデータ転送が（フルデータ分解能と引き換えに）可能となります。12ビットのデータ・ワードはリードバック用に提供されます。12ビット・モードでは、サンプルの上位12ビットのみが送出され、チャンネルIDは付加されません。そのため、3バイトで2ワード（24ビット）という、比較的効率の良いデータ転送が可能になります。格納されたサンプルのうち12ビットのみが送信されるため、これに関連して依然として分解能が犠牲になります。パック・モードのデータ・フォーマットを表78および表79に示します。

表78. 8ビットのパック・フォーマット

Byte	Byte Name	Number of Bits
Byte 1	Sample 1	8
Byte 0	Sample 0	8

表79. 12ビットのパック・フォーマット

Byte	Byte Name
Byte 2	Sample 1[11:4]
Byte 1[7:4]	Sample 1[3:0]
Byte 1[3:0]	Sample 0[11:8]
Byte 0	Sample 0[7:0]

## アプリケーション情報

FIFOは最大で513の入力データを格納できます。512サンプルのメモリ・バッファと1つのデータ保持レジスタがあり、これらは反復するデータ・セットに分割されています。1つのデータ・セットには選択した測定ごとに1つのデータ・サンプルが格納されません。測定には以下の項目が含まれます。

- ▶ 加速度：いずれかの1軸あるいは全3軸がFIFOに格納できます。この選択は、FIFO\_CTLレジスタで行います。
- ▶ 温度：温度はFIFO\_CTLレジスタの指定に従って、FIFOに格納することもしないこともできます。
- ▶ ADC：ADCはFIFO\_CTLレジスタの指定に従って、FIFOに格納することもしないこともできます。

513個のFIFOサンプルは、以下に示すように複数の方法で割り当てることができます。

- ▶ 513サンプル・セットの1軸データ
- ▶ 256サンプル・セットの同時2チャンネルデータ
- ▶ 171サンプル・セットの同時3チャンネルデータ
- ▶ 128サンプル・セットの同時4チャンネルデータ
- ▶ FIFOの変換チャンネルは、スタンバイ・モードで設定する必要があります。

表80. FIFOのデータ構造

FIFO_CHANNEL Value	Sample Set Size (Channels)	Sample Set Stored in FIFO (Axis Acceleration Channels)
0000 (default)	3	X, Y, Z
0001	1	X
0010	1	Y
0011	1	Z
0100 <sup>1</sup>	4	X, Y, Z, temperature
0101 <sup>1</sup>	2	X, temperature
0110 <sup>1</sup>	2	Y, temperature
0111 <sup>1</sup>	2	Z, temperature
1000 <sup>1</sup>	4	X, Y, Z, external ADC
1001 <sup>1</sup>	2	X, external ADC
1010 <sup>1</sup>	2	Y, external ADC
1011 <sup>1</sup>	2	Z, external ADC
11xx	x	Not used

<sup>1</sup> FIFO\_ADCまたはFIFO\_TEMPがそのデータをFIFOに格納するためには、別々のコントロール・レジスタ（それぞれ、ADC\_CTLレジスタのADC\_ENビット、およびTEMP\_CTLレジスタのTEMP\_ENビット）を用いて、対応する機能を有効化する必要があります。

## アプリケーション情報

## 割込み

ADXL367の内蔵機能のいくつかは、割込みをトリガして特定のステータス条件をホスト・プロセッサに報告することができます。割込みピンのセクション、割込みピンの代替機能のセクション、アクティビティ/インアクティビティ割込みのセクション、外部ADC割込みのセクション、データ・レディ割込みのセクションで、これらの割込みの機能について説明します。

## 割込みピン

割込みは、INTMAP1\_LOWERレジスタ、INTMAP1\_UPPERレジスタ、INTMAP2\_LOWERレジスタ、INTMAP2\_UPPERレジスタの該当ビットをセットすることによって、それぞれ、2本の指定された出力ピン（INT1とINT2）のいずれか（あるいは両方）にマップすることができます。すべての機能は同時に使用できます。複数の割込みが1本のピンにマップされた場合、ピンのステータスは割込みの論理和の組合せによって決まります。

割込みピンに機能がマップされていない場合、そのピンは自動的に高インピーダンス（high-Z）状態に設定されます。ピンは、リセット時にも高インピーダンス状態となります。

特定のステータス条件が検出されると、その条件がマップされているピンがアクティブになります。ピンの設定は、デフォルトでアクティブ・ハイであるため、アクティブになると、ピンはハイ・レベルになります。しかし、該当するINTMAP1\_xレジスタおよびINTMAP2\_xレジスタのINT\_LOWビットをセットすることによって、この設定はアクティブ・ローに切り替えられます。

INTxピンをホスト・プロセッサの割込み入力に接続すると、そのホスト・プロセッサは割込みルーチンを用いて割込みを処理します。同じピンに複数の機能をマップできるため、STATUSレジスタを使用して、割込みのトリガとなった条件を判定することができます。

割込みをクリアするには、次のいずれかの方法を使用します。

- ▶ STATUSレジスタ（アドレス：0x0B）を読み出すと、アクティビティ/インアクティビティ割込みがクリアされます。
- ▶ データ・レジスタ（アドレス0x08～アドレス0x0Aまたはアドレス0x0E～アドレス0x15）から読出しを行うと、データ・レディ割込みがクリアされます。
- ▶ FIFOバッファから十分なデータを読み出して、割込み条件がもはや満足されないようになると、FIFOレディ、FIFOウォーターマーク、FIFOオーバーランの各割込みがクリアされます。

2本の割込みピンは、駆動されると出力インピーダンスが50Ω（VDDIO = 2Vでの代表値）のプッシュプル低インピーダンス・ピンになり、表81に示すデジタル出力仕様に従います。どちらのピンにも、内部駆動されていない場合はバス・キープがあります。

設定中に割込みが誤ってトリガされるのを防ぐため、閾値、タイミング、その他の値の設定中には、割込みを無効にしてください。

表81. 割込みピン・デジタル出力

Parameter	Test Conditions	Limit <sup>1</sup>		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V <sub>OL</sub> )	I <sub>OL</sub> = 500 μA		0.1 × V <sub>DDIO</sub>	V
High Level Output Voltage (V <sub>OH</sub> )	I <sub>OH</sub> = -300 μA	0.9 × V <sub>DDIO</sub>		V
Low Level Output Current (I <sub>OL</sub> )	V <sub>OL</sub> = V <sub>OL, MAX</sub>	500		μA
High Level Output Current (I <sub>OH</sub> )	V <sub>OH</sub> = V <sub>OH, MIN</sub>		-300	μA

1 設計に基づくリミット値であり、出荷テストは行っていません。

## アプリケーション情報

### 割込みピンの代替機能

INT1ピンとINT2ピンは、割込みの通知用ではなく、入力ピンとして使用するよう設定することもできます。POWER\_CTLレジスタ（アドレス：0x2D）のEXT\_CLKビット（ビット6）がセットされると、INT1が外部クロック入力として使用されます。

FILTER\_CTLレジスタ（アドレス：0x2C）のEXT\_SAMPLEビット（ビット3）がセットされると、INT2が同期サンプリング用のトリガ入力として使用されます。これらの代替機能の一方または両方は同時に使用できます。しかし、割込みピンの代替機能が使用された場合、割込みの通知というその主要機能を目的として同時に使用することはできません。

外部クロッキングとデータ同期については、[アプリケーション情報](#)のセクションを参照してください。

### アクティビティ/インアクティビティ割込み

STATUSレジスタのACTビット（ビット4）とINACTビット（ビット5）は、それぞれ、アクティビティとインアクティビティが検出されたときにセットされます。検出の手順と基準については、[モーション検出](#)のセクションに説明があります。

### 外部ADC割込み

ADXL367は、外部アナログ入力をデジタル化するために14ビットのADCを内蔵しています。割込みは、外部ADCのユーザ設定閾値に基づいて生成できます。バッテリー駆動デバイスでは、外部ADCを使用して電源電圧をモニタできます。電源電圧が設定された閾値未満になると割込みが生成され、エンド・ユーザにバッテリーの充電/交換を行うよう警告が発せられます。この機能を使うことで、ホスト・プロセッサは別のADCを用いて電源を定期的にチェックする必要がなくなります。

### データ・レディ割込み

DATA\_READYビット（レジスタ0x0Bのビット0）は、新しい有効なデータが使用可能になるとセットされ、使用できる新しいデータがなくなるとクリアされます。

いずれかのデータ・レジスタ（アドレス0x08～アドレス0x0Aおよびアドレス0x0E～アドレス0x15）の読出し中には、DATA\_READYビットはセットされません。レジスタ読出しより前にDATA\_READY = 0であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA\_READYは読出しが完了するまで0のまま、完了したときにのみ1に設定されます。

レジスタ読出しより前にDATA\_READY = 1である場合、これはレジスタ読出しの開始時にクリアされます。

レジスタ読出しより前にDATA\_READY = 1であり、レジスタ読出し中に新しいデータが使用可能になった場合、DATA\_READYは、レジスタ読出しの開始時に0にクリアされ、読出し中には0のままです。読出しが完了すると、DATA\_READYは1に設定されます。

### FIFO割込みの使い方

#### FIFOウォーターマーク

FIFOに保存されたサンプルの数が、FIFO\_CONTROLレジスタのFIFO\_SAMPLESビット（アドレス0x28のビット2）とFIFO\_SAMPLESレジスタ（アドレス0x29）で指定された値以上になると、FIFO\_WATERMARKビット（レジスタ0x0Bのビット2）がセットされます。FIFOから十分なサンプルが読み出され、残りのサンプル数がFIFO\_SAMPLESビット・フィールドでユーザが指定した値を下回ると、FIFO\_WATERMARKビットは自動的にクリアされます。

FIFOサンプルの数が0に設定された場合、FIFOウォーターマーク割込みが設定されます。この割込みが不意にトリガされるのを避けるため、FIFO\_SAMPLESレジスタのデフォルト値は0x80です。

#### FIFOレディ

FIFO出力バッファ内に有効なサンプルが1個以上あると、FIFO\_READYビット（レジスタ0x44のビット1）がセットされ、FIFO内に有効なデータがないとき、このビットはクリアされます。

#### オーバーラン

FIFOがオーバーランまたはオーバーフローして、新しいデータが未読データに取って代わったとき、FIFO\_OVERRUNビット（レジスタ0x44のビット3）がセットされます。これは、FIFOが満杯の状態からまだ空になっていないこと、または遅いSPIトランザクションによってクロック誤差が生じたことを示している可能性があります。FIFOがオールデスト・セーブ・モードに設定された場合、オーバーラン・イベントは、新しいサンプルに使用できるスペースが不足していることを示します。

FIFOの内容が読み出されると、FIFO\_OVERRUNビットは自動的にクリアされます。同様に、FIFOが無効にされるとFIFO\_OVERRUNビットはクリアされます。

### 外部トリガの使用

ADXL367は、正確に時間調整された加速度測定を必要とするアプリケーション用に、加速度サンプリングを外部トリガに同期させるオプションを備えています。FILTER\_CTLレジスタ（アドレス0x2C）のEXT\_SAMPLEビット（ビット3）によって、この機能が有効にされます。EXT\_SAMPLEビットが1に設定されると、INT2ピンは、同期トリガ入力として使用されるよう、自動的に再設定されます。なお、外部トリガは測定モードでのみ使用できます。

外部トリガが有効な場合、システム設計者はサンプリング周波数がシステム条件を満たすことを確認する必要があります。サンプリング周波数が低すぎると、エイリアシングが生じます。ノイズはオーバーサンプリングによって低減できます。しかし、サンプリング周波数が高すぎると、加速度センサーが加速度データを処理して有効なデジタル出力データに変換するための時間が足りなくなることがあります。

ナイキスト基準が満たされている場合は、信号の完全性が維持されます。ADXL367にはアンチエイリアス・フィルタが内蔵されており、システム設計者が信号の完全性を確保するために活用できます。エイリアシングを防ぐため、フィルタ帯域幅は、サンプリング・レートの $\frac{1}{2}$ 以下の周波数に設定します。例えば、100Hzでサ

## アプリケーション情報

サンプリングする場合は、フィルタ極は50Hz以下に設定します。フィルタ極は、FILTER\_CTLレジスタ（アドレス0x2C）のODRビットによって設定されます。フィルタ帯域幅は、ODRの $\frac{1}{2}$ に設定され、ODRビットによって設定されます。たとえODRが無視されても（データ・レートが外部トリガによって設定されるため）、フィルタは依然として指定された帯域幅で適用されます。

内部のタイミング条件のため、INT2ピンに加えらるトリガ信号は、以下の基準を満たす必要があります。

- ▶ トリガ信号はアクティブ・ハイです。
- ▶ トリガ信号のパルス幅は80 $\mu$ s以上であることが必要です。
- ▶ トリガは、再アサートの前に、120 $\mu$ s以上にわたってデアサートされる必要があります。
- ▶ サポートされる最大サンプリング周波数は、625Hz（代表値）です。
- ▶ 最小サンプリング周波数は、システム条件によってのみ設定されます。サンプルを最小レートでポーリングする必要はありません。しかし、アンチエイリアス・フィルタによって設定された帯域幅よりも低いレートでサンプルがポーリングされた場合、エイリアシングが発生することがあります。

### 外部クロックの使い方

ADXL367には内蔵クロックがあり、クロック駆動される内部動作にデフォルトで使用されます。必要であれば、外部クロックを提供して使用することができます。

外部クロックを使用するには、POWER\_CTLレジスタ（アドレス0x2D）のEXT\_CLKビット（ビット6）をセットする必要があります。このビットをセットすると、INT1ピンがクロックを供給できる入力ピンに再設定されます。外部クロックは51.2kHz～102.4kHzで動作する必要があります。詳細は外部クロックのセクションを参照してください。

### セルフ・テストの使い方

ADXL367には、セルフ・テストの信号レベルを正しく記録するための2段階プロセスがあります。セルフ・テストのセクションで説明したセルフ・テスト機能は、SELF\_TESTレジスタ（アドレス0x2E）のSTビットおよびST\_FORCEビットによって有効にされます。セルフ・テスト機能を使用するには、以下の手順を推奨します。

1. 測定モードに入り、出力がセトリングするまで100msの間待機します。
2. SELF\_TESTレジスタ（アドレス0x2E）のSTビットをセットすることによって、セルフ・テスト・モードを有効にします。
3. 出力がその新しい値にセトリングするまで、4/ODRだけ待機します。
4. x軸の加速度データを読み出します。
5. SELF\_TESTレジスタ（アドレス0x2E）のST\_FORCEビットをセットすることによって、セルフ・テスト・フォースを印加します。
6. 出力がその新しい値にセトリングするまで、4/ODRだけ待機します。
7. x軸の加速度データを読み出します。

8. ステップ3からの値と比較し、感度を乗算することによって、その差をLSBからmgに変換します。観察された差が表1に示すセルフ・テストの出力変化仕様に収まる場合、デバイスはセルフ・テストに合格し、使用可能であると考えられます。
9. SELF\_TESTレジスタ（アドレス0x2E）のSTビットおよびST\_FORCEビットをクリアしてセルフ・テストを無効にします。

表1に示したセルフ・テストの出力変化仕様は、 $V_S = 2.0V$ で仕様のセクションに示したテスト条件に対してのみ適用されるものです。内蔵1Vレギュレータがあるため、セルフ・テストの応答（単位：g）は電源電圧には比例しません。デバイスの電源電圧が低いため、x軸のセルフ・テスト・フォースは約0.17gであり、より堅牢なST読出しは、x軸の出力の読出し値を平均化してノイズを低減することで実現できます。4～16個のサンプルを平均してセルフ・テスト・フォースをオンにした場合とオフにした場合の加速度を取得し、ノイズの影響を軽減することを推奨します。LSB単位でのセルフ・テストの読出し値は測定レンジ（ $\pm 2g$ 、 $\pm 4g$ 、 $\pm 8g$ ）によって異なりますが、動作モード（通常動作または低ノイズ動作）や帯域幅設定（ODR）によって大きく異なることはありません。

なお、セルフ・テストは $\pm 2g$ のレンジが最も正確であるため、これを使用することを推奨します。 $\pm 2g$ レンジ以外のものは信号レベルが低いため、不正確となる可能性があります。

### 2.0V以外の電圧での動作

ADXL367は $V_S = 2.0V$ の電源電圧でテストされ、仕様規定されていますが、ADXL367は、上限3.6Vから下限1.1Vまでの $V_S$ の範囲で給電できます。電源電圧が変化すると、電源電流（図43参照）、ノイズ（表10および表2参照）、オフセット、感度、セルフ・テスト出力変化など、一部の性能パラメータが変化します。

図62は、様々な電源電圧による0gオフセットへの潜在的な影響を示します。図62のデータは、2.0Vで0mgのオフセットを示すように校正しています。

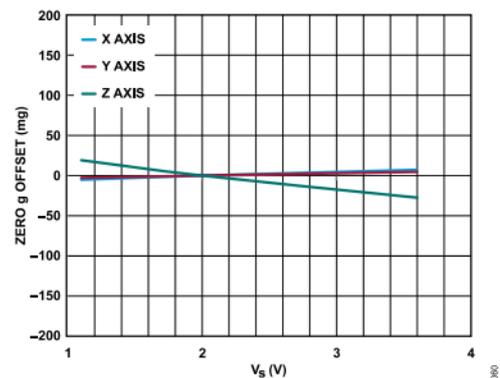


図62. 0gオフセットと電源電圧 ( $V_S$ ) の関係

### 取付けに関する機構上の留意点

ADXL367は、PCBをケースに固定する支持点近くでPCBに取り付けてください。ADXL367を図63に示すように固定が不十分なPCB上の位置に取り付けると、PCBの振動が減衰されず、測定誤差が明らかに大きくなる可能性があります。加速度センサーをPCBの支持点の近くに配置すれば、加速度センサー位置でのPCBの振動が加速度センサーのメカニカル・センサーの共振周波数より高くな

## アプリケーション情報

るので、加速度センサーによって検知される可能性は事実上なくなりません。センサーの近くに複数の支持点を設けたり、PCBを厚くしたりすることも、システム共振のセンサー性能に対する影響の低減に効果的です。

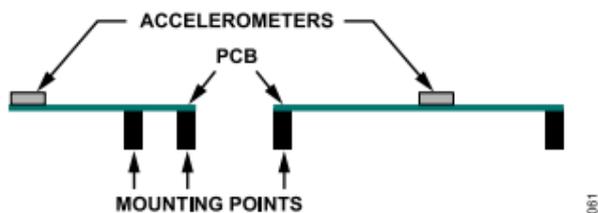


図63. 加速度センサーの不適切な配置

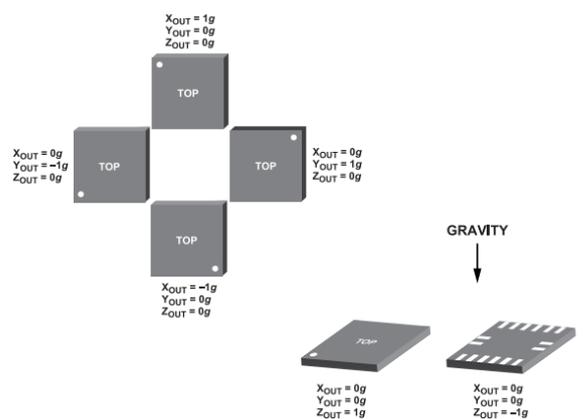


図66. 重力方向と出力応答の関係

### レイアウトと設計の推奨事項

PCBの推奨ランド・パターンを図64に示します。

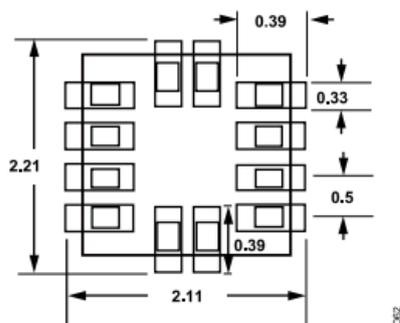


図64. 推奨されるPCBランド・パターン

### 加速度検出軸

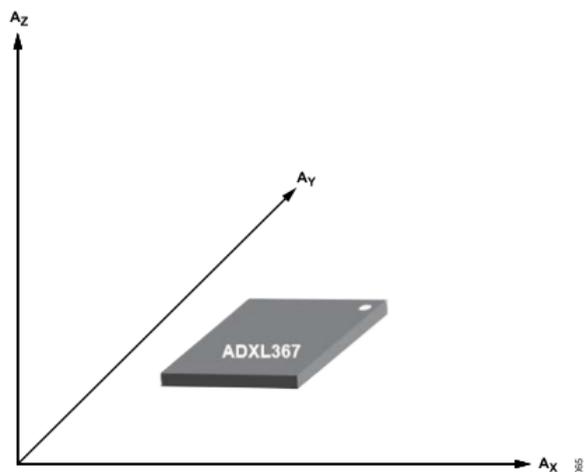


図65. 加速度検出軸（検出軸に沿って加速されると、対応する軸の出力が増加）

外形寸法

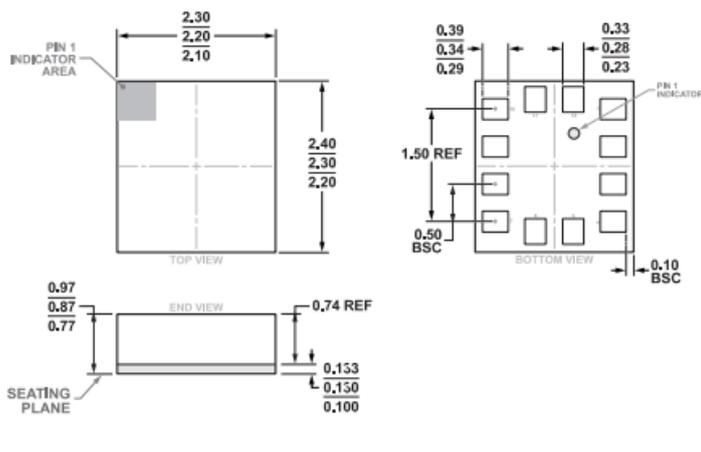


図 67. 12端子のランド・グリッド・アレイ [LGA] (CC-12-4)  
寸法単位 : mm

更新 : 2022年2月11日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADXL367BCCZ	-40°C to +85°C	LGA/CASON/CH ARRAY SO NO LD	Tray, 0	CC-12-2
ADXL367BCCZ-RL	-40°C to +85°C	LGA/CASON/CH ARRAY SO NO LD	Reel, 5000	CC-12-2
ADXL367BCCZ-RL7	-40°C to +85°C	LGA/CASON/CH ARRAY SO NO LD	Reel, 2500	CC-12-2

<sup>1</sup> Z = RoHS準拠製品。

評価用ボード

Evaluation Board	Description
EVAL-ADXL367Z	Breakout Board

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年8月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月2日

製品名：ADXL367

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：23 ページ、左の段 AWAKE BIT の使い方の項、下から 5 行目

**【誤】**

・・・[図 17](#) に示すように・・・

**【正】**

・・・[図 56](#) に示すように・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年8月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月2日

製品名： **ADXL367**

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所： **39 ページ、表 41 THRESH\_INACT\_H の説明欄、上から 2 行目**  
**39 ページ、表 42 THRESH\_INACT\_L の説明欄、上から 2 行目**

**【誤】**

(インアクティビティ=加速度<加速度)。

**【正】**

(加速度<閾値 (THRESH\_INACT) の時インアクティビティ状態)

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年8月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月2日

製品名：ADXL367

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：41 ページ、表 46、FIFO\_MODE の説明欄、下から 3 行目

**【誤】**

FIFO\_CTL レジスタの FIFO\_SAMPLES\_MSB ビット・・・

**【正】**

FIFO\_CONTROL レジスタの FIFO\_SAMPLES (8) ビット・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年10月31日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年10月31日

製品名：ADXL367

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：43ページ、表49、Bit 5, 3, 1の説明欄内

【誤】

「・・・INT1にマップされ・・・」

【正】

「・・・INT2にマップされ・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年10月31日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年10月31日

製品名：ADXL367

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：50ページ、表65、Bit4の説明欄内

**【誤】**

「1に設定すると、キープ・アライブ・タイマーを **INT1** ピンにマップします。0に設定すると、この割込みを **INT1** ピンにマップしません。」

**【正】**

「1に設定すると、キープ・アライブ・タイマーを **INT2** ピンにマップします。0に設定すると、この割込みを **INT2** ピンにマップしません。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年8月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月2日  
製品名：ADXL367  
対象となるデータシートのリビジョン(Rev)：Rev.0  
訂正箇所：55ページ、左の段、下から3行目

【誤】  
図17の例では・・・

【正】  
図56の例では・・・