

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022 年 2 月 21 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2022 年 2 月 21 日

製品名： ADXL314

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 3 ページ、sensitivity および self test スペック表内の条件の欄

【誤】

$-40^{\circ}\text{C} \geq \text{TA} \leq +25^{\circ}\text{C}$ あるいは $+25^{\circ}\text{C} \geq \text{TA} \leq +125^{\circ}\text{C}$

ODR が 100 Hz、 $-40^{\circ}\text{C} \geq \text{TA} \leq +125^{\circ}\text{C}$

【正】

$-40^{\circ}\text{C} \leq \text{TA} \leq +25^{\circ}\text{C}$ あるいは $+25^{\circ}\text{C} \leq \text{TA} \leq +125^{\circ}\text{C}$

ODR が 100Hz、 $-40^{\circ}\text{C} \leq \text{TA} \leq +125^{\circ}\text{C}$

±200gの測定範囲を持つ3軸デジタル加速度センサー

特長

- ▶ 測定範囲：±200g
- ▶ 低消費電力：V_S = 2.5V時に測定モードで170μA、スタンバイ・モードで17μA（代表値）
- ▶ 3200HzのODRまで入力帯域幅を選択可能
- ▶ 13ビットの固定出力分解能
- ▶ 電源電圧範囲：2.0V～3.6V
- ▶ ホスト・プロセッサの負荷を最小限に抑えるFIFO技術を用いたメモリ管理システムを内蔵
- ▶ 衝撃イベントの検出
- ▶ アクティビティ／インアクティビティ・モニタリング
- ▶ SPI（3線式または4線式）およびI²Cデジタル・インターフェース
- ▶ 広い動作温度範囲：-40～+125°C
- ▶ 10,000gの耐衝撃性
- ▶ 鉛フリー、RoHS準拠
- ▶ **小型かつ薄型：32ピン、5mm × 5mm × 1.45mm LFCSPパッケージ**
- ▶ オートモーティブ・アプリケーション向けのAEC-Q100に適合

アプリケーション

- ▶ タイヤおよびバッテリー・パックのモニタリング
- ▶ 高負荷イベントの検出

簡略機能ブロック図

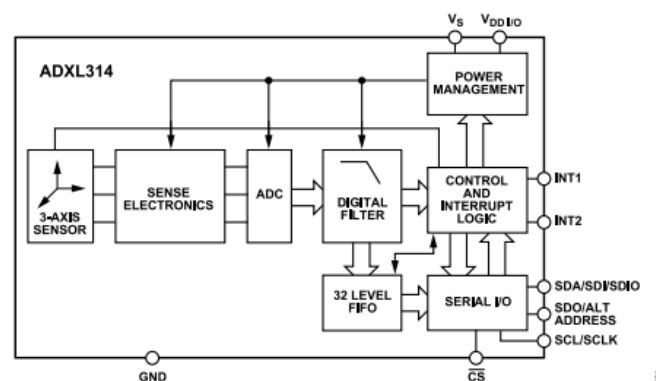


図 1. 簡略機能ブロック図

概要

ADXL314は±200gの測定範囲を持つ、13ビット分解能の3軸デジタル加速度センサーです。デジタル出力データは16ビットの2の補数データとしてフォーマットされ、シリアル・ペリフェラル・インターフェース（3線式または4線式）またはI²Cデジタル・インターフェースを通じて読み出せます。

32レベルの先入れ先出し（FIFO）バッファを備えた内蔵メモリ管理システムを使ってデータを保存できるので、ホスト・プロセッサの動作を最小限に抑え、システム全体の消費電力を削減できます。

低消費電力モードでは、低消費電力（100Hzの出力データ・レート（ODR）でV_S = 2.5Vの場合65μA（代表値）で閾値センシングおよびアクティブ加速度測定を行う、インテリジェントなモーションベース・パワー・マネージメントが可能です。

ADXL314は、**小型で薄型の5mm×5mm×1.45mm、32ピンLFCSPパッケージ**を採用しています。

目次

特長	1	レジスタ・マップ	19
アプリケーション	1	レジスタの定義	19
簡略機能ブロック図	1	アプリケーション情報	23
概要	1	電源条件	23
仕様	3	取付けに関する機構上の留意点	23
絶対最大定格	5	閾値	23
熱抵抗	5	リンク・モード	23
ハンダ処理プロファイル	5	スリープ・モードと低消費電力モードの比較	23
静電放電（ESD）定格	5	オフセット補償	24
ESDに関する注意	5	セルフ・テストの使い方	24
ピン配置およびピン機能の説明	6	非同期データ読出し	24
代表的な性能特性	7	出力データ・レートが3200Hzと1600Hzの場合の データ・フォーマット	24
動作原理	10	加速度検出軸	25
電源シーケンス	10	外形寸法	26
節電機能	10	オーダー・ガイド	26
FIFOバッファ	11	評価用ボード	26
割込み	12	オートモーティブ製品	27
セルフ・テスト	13		
シリアル通信	14		
シリアル・ポート入出力のデフォルト状態	14		
SPI	14		
I ² C	17		

改訂履歴

10/22 — Rev. 0 to Rev. A

Moved Solder Profile Section, Figure 2, and Table 4	5
Change to Figure 3	6
Change to Power Sequencing Section	10
Changes to Table 16	19
Changed Enable Bits Section to Entries Bits Section	22
Changes to Entries Bits Section	22

5/22 — Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.5\text{V}$ 、 $V_{DD\text{ I/O}} = 2.5\text{V}$ 、加速度 = 0g、 V_S の容量 (C_{VS}) = 1 μF タンタル、 $V_{DD\text{ I/O}}$ の容量 ($C_{VDD\text{ I/O}}$) = 0.1 μF 、ODR = 100Hz。

表 1. 仕様

パラメータ	テスト条件／コメント	最小値 ¹	代表値 ²	最大値 ¹	単位
SENSOR INPUT	各軸				
Measurement Range			±200 g		g
Nonlinearity	フルスケールのパーセンテージ		±0.5		%
Cross-Axis Sensitivity ³			±2.5		%
Sensor Resonant Frequency			16		kHz
OUTPUT RESOLUTION	各軸				
All Operation Modes				13	Bits
SENSITIVITY	全軸				
Sensitivity	ODR = 100 Hz		20.48		LSB/g
Scale Factor	ODR = 100		48.83		mg/LSB
Scale Factor Calibration Error			±10		%
Sensitivity Change due to Temperature	$-40^\circ\text{C} \geq T_A \leq +25^\circ\text{C}$ または $+25^\circ\text{C} \geq T_A \leq +125^\circ\text{C}$		8		%
0 g OFFSET					
0 g Output	X軸およびY軸	-7	±1	+7	g
	Z軸	-7	±3	+7	g
0 g Offset Change due to Temperature	$-40^\circ\text{C} \sim +105^\circ\text{C}$		±20		mg/°C
	$105^\circ\text{C} \sim +125^\circ\text{C}$		±100		mg/°C
NOISE PERFORMANCE (RMS)					
Noise Density					
X-Axis and Y-Axis			5.65		mg/√Hz
Z-Axis			6.8		mg/√Hz
Noise Density Change with Temperature (All Axes)			0.5		mg/√Hz/°C
OUTPUT DATA RATE AND BANDWIDTH ^{4,5}	ユーザが選択可能				
Measurement Rate		6.25		3200	Hz
SELF TEST ⁶	Z軸のみ				
Self Test Change	ODRが100Hz、 $-40^\circ\text{C} \geq T_A \leq +125^\circ\text{C}$	0.1	4	8	g
Self Test Change vs. Temperature			-12.5		mg/°C
POWER SUPPLY					
Operating Voltage Range (V_S)		2.0		3.6	V
Interface Voltage Range ($V_{DD\text{ I/O}}$)		2.0		V_S	V
Supply Current					
Measurement Mode	ODR $\geq 100\text{Hz}$ 、 $-40^\circ\text{C} \sim +125^\circ\text{C}$	70	170		μA
	ODR $\leq 10\text{Hz}$ 、 $-40^\circ\text{C} \sim +125^\circ\text{C}$	20	50		μA
Low Power Mode					
	ODR = 100Hz、 $-40^\circ\text{C} \sim +125^\circ\text{C}$	22	65		μA
Standby Mode					
	25°C		0.1		μA
	$-40^\circ\text{C} \sim +125^\circ\text{C}$		17		μA
Turn-On and Wake-up Time ⁷			1.4		ms

仕様

パラメータ	テスト条件／コメント	最小値 ¹	代表値 ²	最大値 ¹	単位
TEMPERATURE (T) Operating Temperature Range		-40		+125	°C

- 1 最小値の仕様と最大値の仕様は、平均±3σ分布という最も厳しい条件の場合を表し、製造において確保されている値です。
- 2 代表仕様値はデバイス総数の68%以上に対する値であり、感度を除いて平均±1σ分布という最も厳しい条件に基づいています。この条件は目標値を表しています。
- 3 交差軸感度は任意の2軸のカップリングとして定義されます。
- 4 出力データ・レートが1600Hzと3200Hzのときの出力フォーマットは、他の出力データ・レートの出力フォーマットと異なります。詳細については、[出力データ・レートが3200Hzと1600Hzの場合のデータ・フォーマット](#)のセクションを参照してください。
- 5 帯域幅は-3dB周波数で、これは出力データ・レートの半分です（帯域幅 = ODR/2）。
- 6 セルフ・テスト変動は、SELF_TESTビット = 1（DATA_FORMATレジスタ、アドレス0x31）のときの出力（g）から、SELF_TESTビット = 0のときの出力（g）を減じた値として定義されます。デバイス内蔵のフィルタによって、出力が安定するのはセルフ・テストをイネーブルまたはディスエーブルしてから4×τ後になります（τ = 1/データ・レート）。セルフ・テストを正しく行うには、デバイスを通常消費電力動作状態（アドレス0x2CのBW_RATEレジスタのLOW_POWERビット = 0）にする必要があります。
- 7 ターンオン時間とウェイクアップ時間は、ユーザが定義する帯域幅によって決まります。データ・レートが100Hzの場合、ターンオン時間とウェイクアップ時間はそれぞれ約11.1msです。それ以外のデータ・レートでは、ターンオン時間とウェイクアップ時間はそれぞれ約τ + 1.1ミリ秒です（τ = 1/データ・レート）。

絶対最大定格

表 2.

Parameter	Rating
Acceleration, Any Axis	
Unpowered	10,000 g for 0.1 ms
Powered	10,000 g for 0.1 ms
VS	−0.3 V to +3.9 V
VDD I/O	−0.3 V to +3.9 V
All Other Pins	−0.3 V to VDD I/O + 0.3 V or +3.9 V, whichever is less
Output Short-Circuit	Indefinite
Duration (Any Pin to Ground)	
Temperature Range	
Unpowered	−40°C to +125°C
Powered	−40°C to +125°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1立方フィートの密閉容器内で測定された自然対流下での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-32-17	150	85	°C/W

ハンダ処理プロファイル

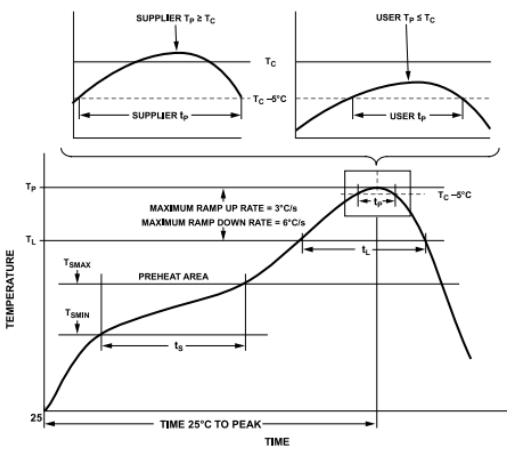


図 2. 推奨するハンダ処理プロファイル

表 4. 推奨するハンダ処理プロファイル^{1, 2}

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate (TL to TP)	3°C/sec maximum	
Preheat		
Minimum Temperature (TSMIN)	100°C	150°C
Maximum Temperature (TSMAX)	150°C	200°C
Time (TSMIN to TSMAX) (tS)	60 sec to 120 sec	60 sec to 180 sec
TSMAX to TL		
Ramp-Up Rate	3°C/sec	
Time Maintained Above Liquidous (TL)		
Liquidous Temperature (TL)	183°C	217°C
Time (tL)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (TP)	240°C + 0°C / −5°C	260°C + 0°C / −5°C
Time Within 5°C of Actual Peak Temperature (tP)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	
Time 25°C to Peak Temperature	6 min maximum	8 min maximum

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADXL314のESD定格

表 5. ADXL314、32ピンLFCSP

ESD Model	Withstand Voltage (V)	Class
FICDM	±1250	Not applicable
HBM	±2000	2

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

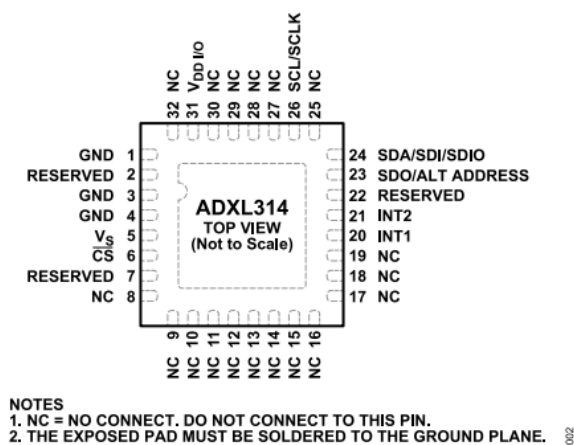


図 3. ピン配置（上面図）

表 6. ピン機能の説明

ピン番号	記号	説明
1	GND	このピンはグラウンドに接続する必要があります。
2	Reserved	予備。このピンはV _S に接続するか、オープンのままにする必要があります。
3	GND	このピンはグラウンドに接続する必要があります。
4	GND	このピンはグラウンドに接続する必要があります。
5	V _S	電源電圧。
6	CS	チップ・セレクト。
7	Reserved	予備。このピンはオープンのままにする必要があります。
8 to 19	NC	接続なし。このピンには接続しないでください。
20	INT1	割込み1出力。
21	INT2	割込み2出力。
22	Reserved	予備。このピンはGNDに接続するか、オープンのままにする必要があります。
23	SDO/ALT ADDRESS	シリアル・データ出力（SDO）またはI ² Cアドレス・セレクト（ALT ADDRESS）。
24	SDA/SDI/SDIO	シリアル・データ（SDA、I ² C）、シリアル・データ入力（SDI、SPI 4線式）またはシリアル・データ入出力（SDIO、SPI 3線式）。
25	NC	接続なし。このピンには接続しないでください。
26	SCL/SCLK	I ² C用のシリアル・クロック・ライン（SCL）。SPI用のシリアル・クロック・ライン（SCLK）。
27 to 30	NC	接続なし。このピンには接続しないでください。
31	V _{DD I/O}	デジタル・インターフェースの電源電圧。
32	NC	接続なし。
	EP	露出パッド。露出パッドはグラウンド・プレーンにハンダ付けする必要があります。

代表的な性能特性

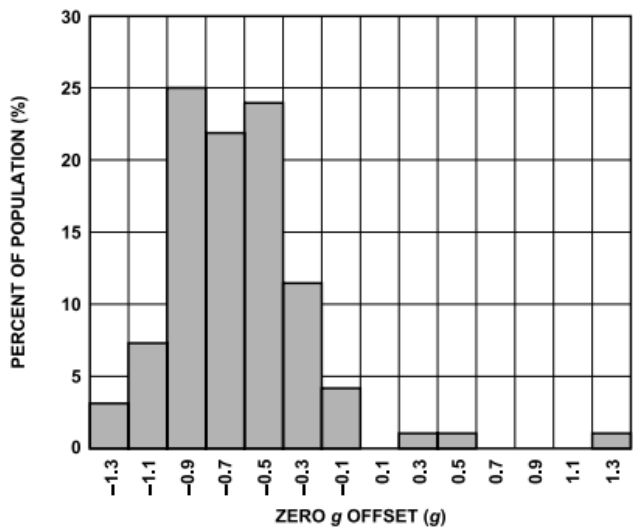


図 4. X軸の0gオフセット (25°C、 $V_S = 2.5V$)

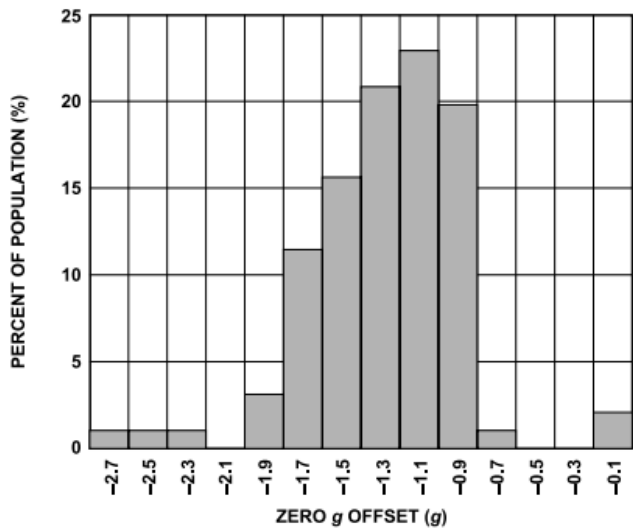


図 5. Y軸の0gオフセット (25°C、 $V_S = 2.5V$)

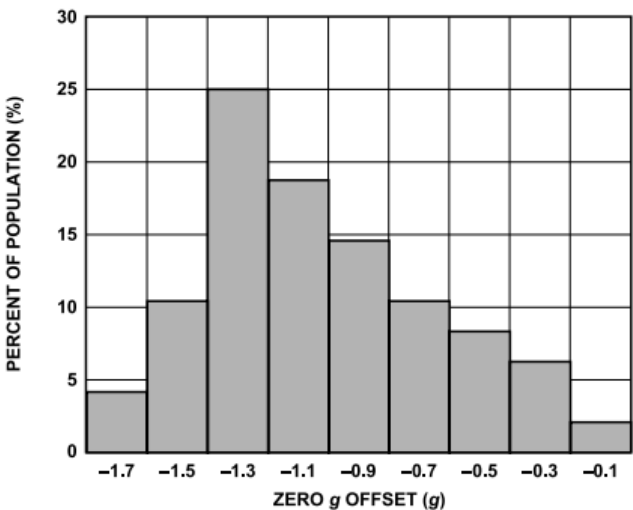


図 6. Z軸の0gオフセット (25°C、 $V_S = 2.5V$)

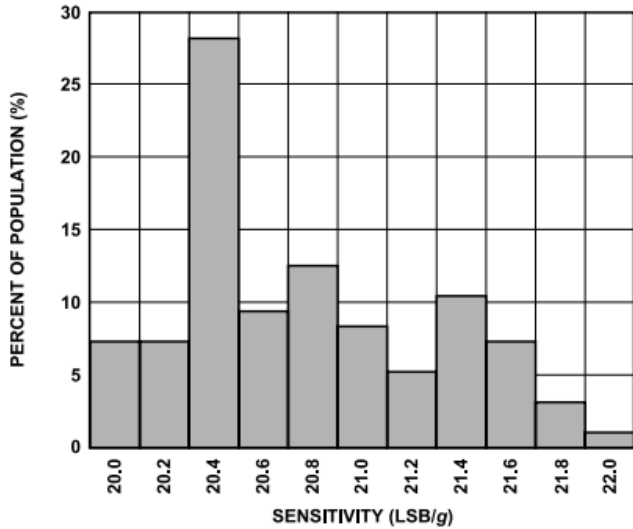


図 7. X軸感度の偏差 (25°C、 $V_S = 2.5V$)

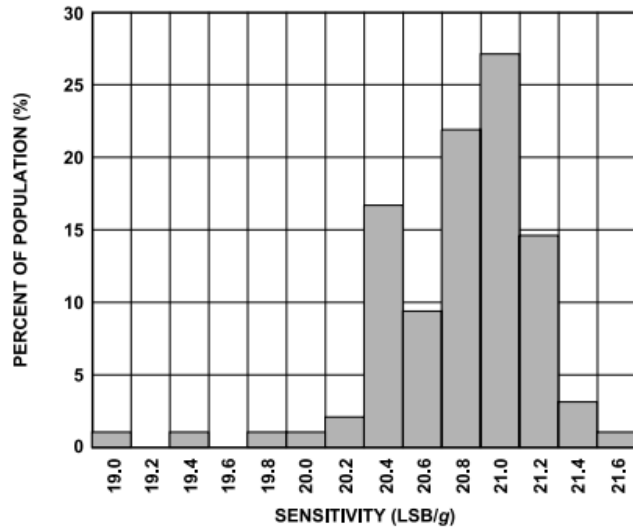


図 8. Y軸感度の偏差 (25°C、 $V_S = 2.5V$)

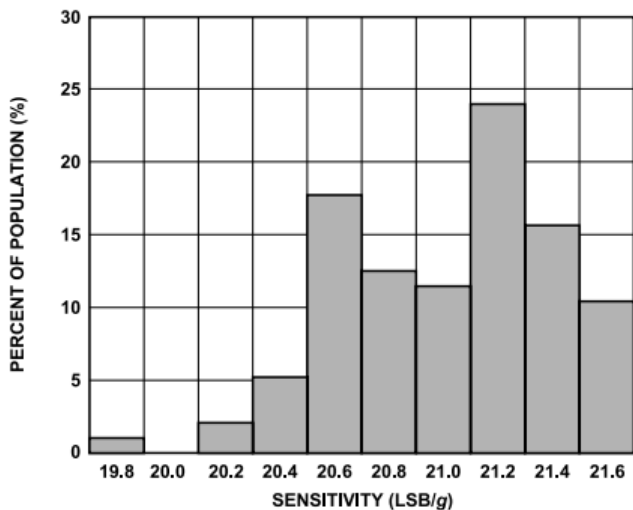


図 9. Z軸感度の偏差 (25°C、 $V_S = 2.5V$)

代表的な性能特性

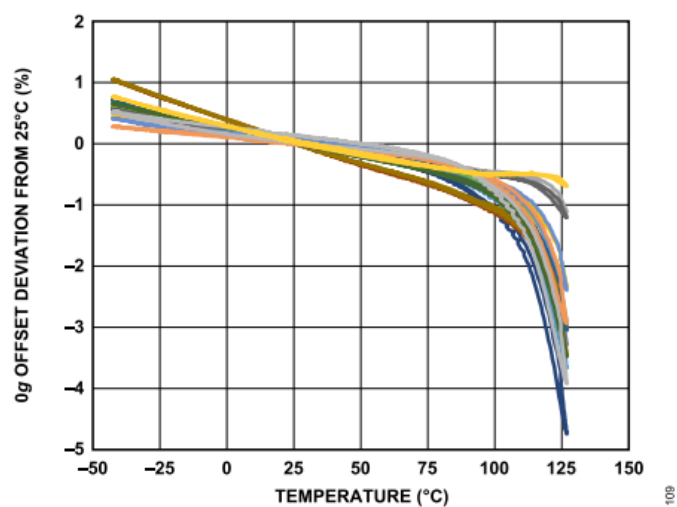


図 10. X軸の25°Cを基準とする0gオフセット偏差と温度の関係
($V_S = 2.5V$)

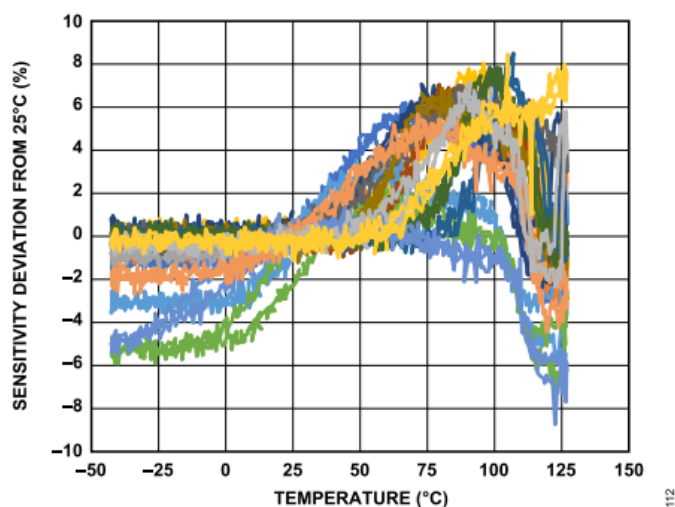


図 13. X軸の25°Cを基準とする感度偏差と温度の関係
($V_S = 2.5V$)

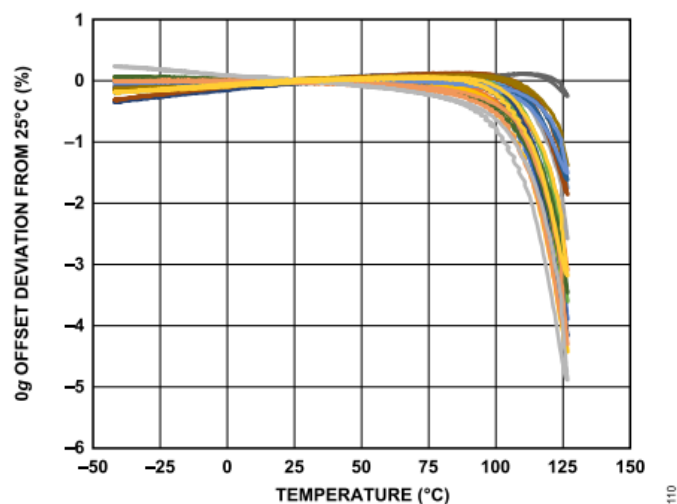


図 11. Y軸の25°Cを基準とする0gオフセット偏差と温度の関係
($V_S = 2.5V$)

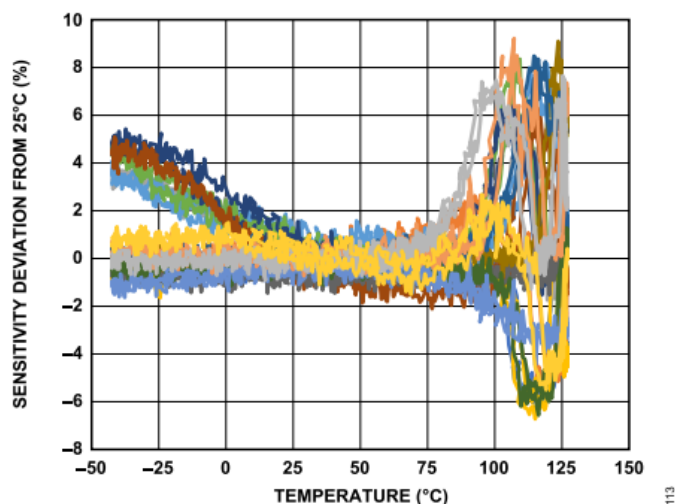


図 14. Y軸の25°Cを基準とする感度偏差と温度の関係
($V_S = 2.5V$)

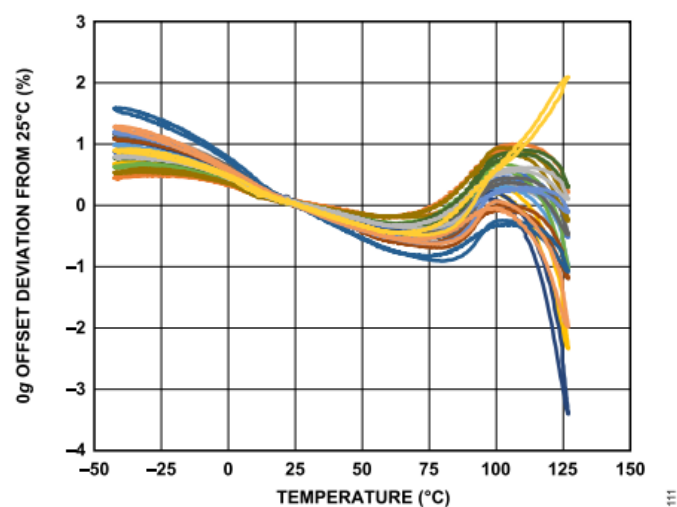


図 12. Z軸の25°Cを基準とする0gオフセット偏差と温度の関係
($V_S = 2.5V$)

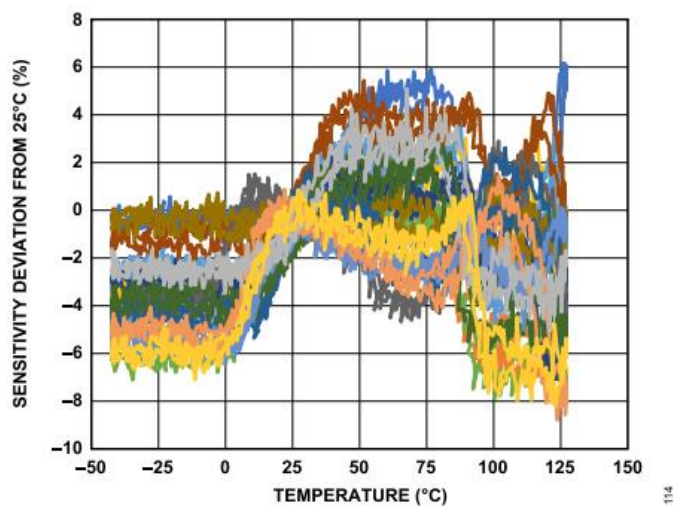


図 15. Z軸の25°Cを基準とする感度偏差と温度の関係
($V_S = 2.5V$)

代表的な性能特性

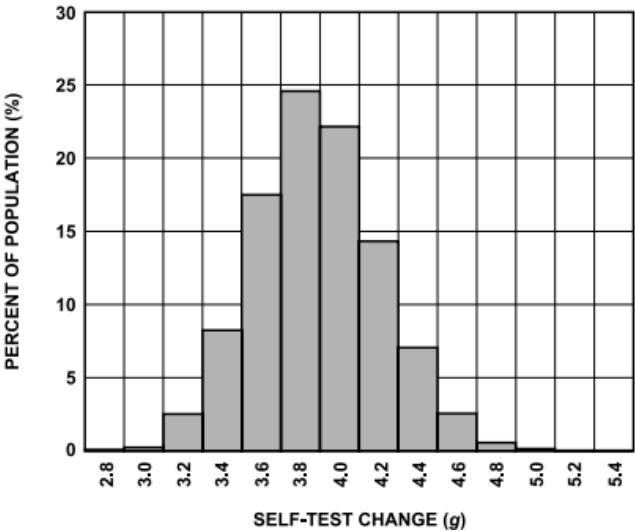


図 16. Z軸のセルフ・テスト応答 (25°C、 $V_S = 2.5V$)

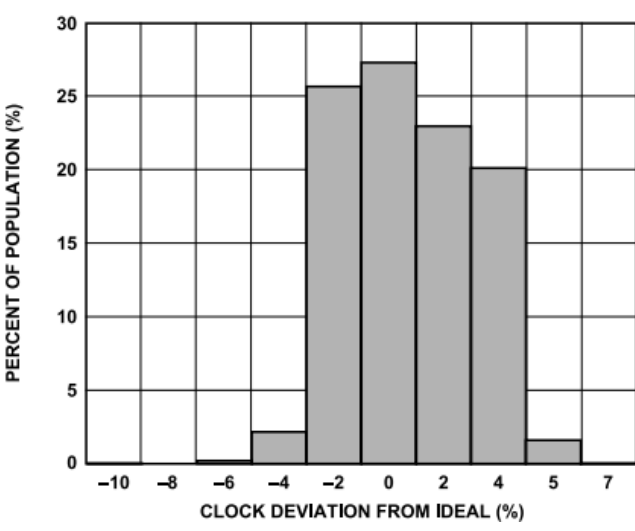


図 19. 理想値からのクロック周波数偏差 (25°C、 $V_S = 2.5V$)

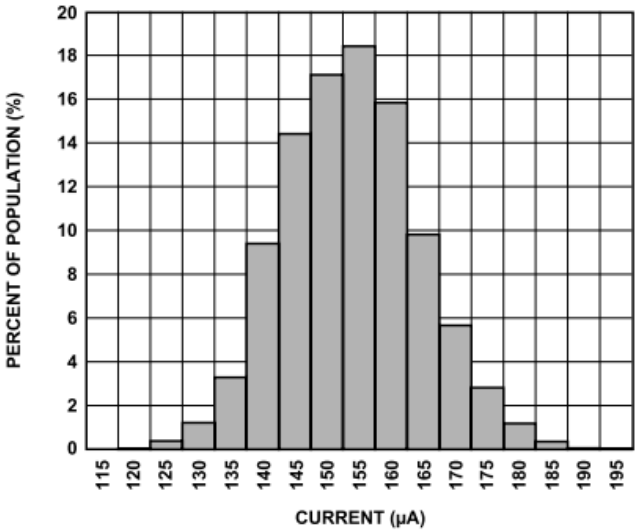


図 17. 測定モードでの消費電流 (25°C、 $V_S = 2.5V$)

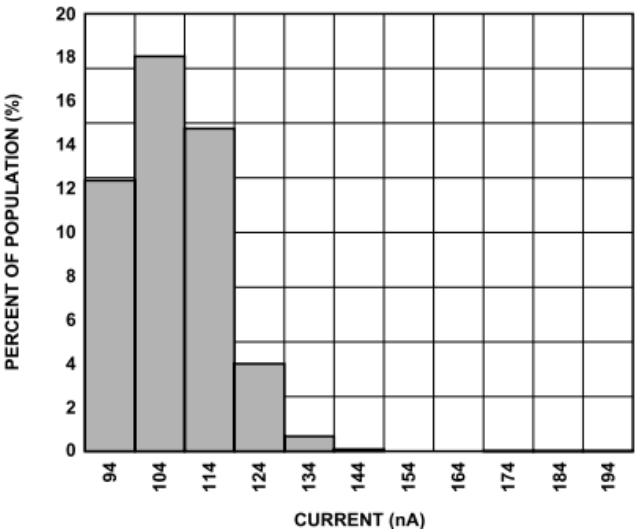


図 18. スタンバイ・モードでの消費電流 (25°C、 $V_S = 2.5V$)

動作原理

ADXL314は、±200gの測定範囲を持つ、フル機能の3軸加速度測定システムです。動き（モーション）や衝撃によって生じる動的加速度と、重力などの静的加速度の両方を測定できます。

このセンサーは、シリコン・ウェーハ上面にポリシリコンの表面マイクロマシン構造が構成されています。ポリシリコンのスプリングがこの構造をウェーハ表面上で支持しており、加えられた加速度による力に対する抵抗を発生させます。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。加速度が加わるとこのプルーフ・マスが動いて差動コンデンサのバランスが崩れ、加速度に比例した振幅を持つセンサー出力が得られます。この出力から、位相検波復調方式を使用して加速度の大きさと極性を決定します。

電源シーケンス

どのような順番でV_SやV_{DD I/O}に電源を供給しても、ADXL314が損傷することはありません。

考えられるすべてのパワー・オン・モードを表7に示します。インターフェース電圧レベルを設定するのはインターフェース電源電圧（V_{DD I/O}）で、ADXL314が通信バス上で競合を生じないようにするには、このインターフェース電源電圧が供給されている必要があります。単電源動作では、V_{DD I/O}を主電源（V_S）と同じにすることができます。しかし、両電源アプリケーションでは、V_SがV_{DD I/O}以上の値であれば、V_{DD I/O}とV_Sを異なる値にして必要なインターフェース電圧を得ることができます。

V_Sが印加されると、デバイスはスタンバイ・モードに入ります。このモードでは消費電力が最小限に抑えられ、デバイスは、V_{DD I/O}の印加と、測定モードに入るためのコマンドの受信を待ちます（このコマンドは、POWER_CTLレジスタ（アドレス0x2D）のMeasureビットをセットすることによって開始できます）。更に、デバイスがスタンバイ・モードにある間は、デバイスを設定するために任意のレジスタの読み出し／書き込みを行うことができます。スタンバイ・モードの間にデバイスの設定を完了させてから、測定モードを有効にすることを推奨します。Measureビットをクリアすると、デバイスはスタンバイ・モードに戻ります。

表 7. 電源シーケンス

Condition	V _S	V _{DD I/O}	Description
Power Off	Off	Off	The device is completely off, but there is a potential for a communication bus conflict.
Bus Disabled	On	Off	The device is on in standby mode, but communication is unavailable and creates a conflict on the communication bus. Minimize the duration of this state during power-up to prevent a conflict.
Bus Enabled	Off	On	No functions are available, but the device does not create a conflict on the communication bus.
Standby or Measurement	On	On	The device is in standby mode, awaiting a command to enter measurement mode, and all sensor functions are off. After the device is instructed to enter measurement mode, all sensor functions are available.

節電機能

消費電力モード

表8に示すように、ADXL314は、その出力データ・レートに基づいて自動的に消費電力を調整します。それ以上の節電が必要な場合はより低消費電力のモードを使用できます。このモードでは、内部サンプリング・レートを減らすことによって12.5Hz～400Hzのデータ・レート範囲で節電が可能ですが、ノイズがわずかに増大します。低消費電力モードにするには、BW_RATEレジスタ（アドレス0x2C）のLOW_POWERビット（ビット4）をセットします。低消費電力モードを使用することでメリットが得られるケースについて、それぞれの消費電流を表9に示します。表9に示されていないデータ・レートで低消費電力モードを使用しても、同じデータ・レートで通常消費電力モードを使用した場合と比較してメリットはありません。したがって、低消費電力モードでは、表9に示すデータ・レートだけを使用することを推奨します。表8と表9に示す消費電流は、V_S = 2.5Vの場合の値です。

表 8. 消費電流とデータ・レートの関係（T_A = 25°C、V_S = V_{DD I/O} = 2.5V）

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I _{DD} (μA)
3200	1600	1111	170
1600	800	1110	115
800	400	1101	170
400	200	1100	170
200	100	1011	170
100	50	1010	170
50	25	1001	115
25	12.5	1000	82
12.5	6.25	0111	65
6.25	3.125	0110	57

表 9. 消費電流とデータ・レートの関係、低消費電力モード（T_A = 25°C、V_S = V_{DD I/O} = 2.5V）

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I _{DD} (μA)
400	200	1100	115
200	100	1011	82
100	50	1010	65
50	25	1001	57
25	12.5	1000	50
12.5	6.25	0111	43

自動スリープ・モード

ADXL314が動作していない間は自動的にスリープ・モードに切り替わるようにすることで、更なる節電が可能です。この機能を有効にするには、THRESH_INACTレジスタ（アドレス0x25）を加速度閾値に設定します。加速度レベルがこの閾値未満の場合は動作していないレベルと見なされます。TIME_INACTレジスタ（アドレス0x26）を適切なインアクティビティ時間に設定してください。その後、POWER_CTLレジスタ（アドレス0x2D）のAUTO_SLEEPビットとLinkビットをセットします。TIME_INACTで定めた時間（秒）、THRESH_INACTを超える加速度レベルをデバイスが検知しない場合、デバイスは自動的にスリープ・モードに入ります。

動作原理

このモードで8Hz未満のデータ・レートを使用した場合の消費電流は、 $V_S = 2.5V$ のときに30 μA （代表値）です。

スタンバイ・モード

スタンバイ・モードを使用すれば、消費電力を更に抑えることができます。スタンバイ・モードでは消費電流が0.1 μA （代表値）まで低下します。このモードで測定を行うことはできません。スタンバイ・モードにするには、POWER_CTLレジスタ（アドレス0x2D）のMeasureビット（ビット3）をクリアします。デバイスをスタンバイ・モードにしてもFIFOの内容は保たれます。

FIFOバッファ

ADXL314には、特許取得済み技術が採用され、32レベルのFIFOバッファを備えたメモリ管理システムが組み込まれています。これにより、ホスト・プロセッサの負荷を最小限に抑えることができます。このバッファには、バイパス、FIFO、ストリーム、トリガの4モードがあります。各モードの選択は、FIFO_CTLレジスタ（アドレス0x38、表10参照）のFIFO_MODEビット（ビット[D7:D6]）を設定することによって行います。

表 10. FIFOモード（FIFO_CTLレジスタ、アドレス0x38）

Setting		FIFO Mode	Description
D7	D6		
0	0	Bypass	The FIFO buffer is bypassed.
0	1	FIFO	The FIFO buffer collects up to 32 samples and then stops collecting data. The FIFO buffer only collects new data when the buffer is not full.
1	0	Stream	The FIFO buffer holds the last 32 samples. When the FIFO buffer is full, the oldest data is overwritten with newer data.
1	1	Trigger	The FIFO buffer holds the last samples before the trigger event and continues to collect data until full. New data is collected only when the FIFO buffer is not full.

FIFOバッファおよびFIFOモードの詳細な説明については、AN-1025アプリケーション・ノート、アナログ・デバイセズのデジタル加速度センサーに内蔵された先入れ先出し（FIFO）バッファの利用を参照してください。

バイパス・モード

バイパス・モードではFIFOバッファが動作せず、その結果、空のままになります。データは、他のFIFOモードからバイパス・モードに切り替わるときに消去されます。

FIFO Mode

FIFOモードでは、x軸、y軸、z軸の測定データがFIFOバッファに格納されます。FIFOバッファ内のサンプル数がFIFO_CTLレジスタ（アドレス0x38）のサンプル・ビットで指定されたレベルに達すると、ウォーターマーク割込みがセットされます（ウォーターマークのセクションを参照）。FIFOバッファは、満杯（x軸、y軸、z軸の測定サンプルが32個）になるまでサンプルの蓄積を続け、満杯になった時点でデータの収集を停止します。FIFOバッファがデータの収集を停止した後もデバイスは動作を続行します。

したがって、FIFOが満杯になった後でも、衝撃検出などの各機能を使用できます。Watermark割込みビットは、FIFOバッファ内のサンプル数がFIFO_CTLレジスタのサンプル・ビットに格納された値より小さくなるまでセットされたままになります。

ストリーム・モード

ストリーム・モードでは、x軸、y軸、z軸の測定データがFIFOバッファに格納されます。FIFOバッファ内のサンプル数がFIFO_CTLレジスタ（アドレス0x38）のサンプル・ビットで指定されたレベルに達すると、ウォーターマーク割込みがセットされます（ウォーターマークのセクションを参照）。FIFOバッファはサンプルの蓄積を続けて、x軸、y軸、z軸の測定から得られた直近32個のサンプルを格納し、新しいデータを受け取ると古いデータから順に破棄していきます。ウォーターマーク割込みビットは、FIFOバッファ内のサンプル数がFIFO_CTLレジスタのサンプル・ビットに格納された値より小さくなるまでセットされたままになります。

トリガ・モード

トリガ・モードでは、FIFOバッファはサンプルを蓄積して、x軸、y軸、およびz軸の測定によって得られた直近32個のサンプルを格納します。トリガ・イベントが発生すると、INT1ピンまたはINT2ピン（FIFO_CTLレジスタのトリガ・ビットによって決定）に割込みが送られ、FIFO_STATUSレジスタ（アドレス0x39）のFIFO_TRIGビット（ビットD7）がセットされます。

FIFOバッファは最新のn個のサンプル（nはFIFO_CTLレジスタのサンプル・ビットで指定される値）を保存してからFIFOモードで動作し、FIFOが満杯になっていない限り新しいサンプルを収集します。トリガ・イベントが発生してからFIFOバッファのデータ・リードバックを開始するまでには、少なくとも5 μs の間隔を置く必要があります。これは、バッファが不要なサンプルを破棄して必要なサンプルを保存できるようにするためです。

新しいトリガ・イベントは、デバイスがトリガ・モードにリセットされるまで認識されません。デバイスをトリガ・モードにリセットするには、以下の手順を実行します。

1. 必要に応じて、FIFOバッファからデータを読み出します（FIFOバッファからのデータ読出しのセクションを参照）。デバイスをトリガ・モードにリセットする前に、FIFOデータをリード・バックしてください。デバイスをバイパス・モードにするとFIFOバッファはクリアされます。
2. デバイスをバイパス・モードに設定するには、アドレス0x38のビット[D7:D6]を00に設定します。
3. デバイスをトリガ・モードに設定するには、アドレス0x38のビット[D7:D6]を11に設定します。

FIFOバッファからのデータ読出し

FIFOバッファが、ストリーム・モードまたはトリガ・モードにある場合、FIFOデータはデータ・レジスタ（アドレス0x32～アドレス0x37）から読み出せます。データがFIFOバッファから読み出されるたびに、x軸、y軸、z軸の一番古いデータがDATAx、DATAy、DATAzの各レジスタに移動されます。

動作原理

シングルバイト読出し動作を行うと、現在のFIFOサンプルの残りのデータ・バイトは失われます。したがって、対象とするすべての軸のデータはバースト（マルチバイト）読出し動作で読み出す必要があります。FIFOバッファが確実に空（つまり、すべての新しいデータがデータ・レジスタに移動済み）となるようにするには、データ・レジスタからのリード・バックを終了してからデータ・レジスタまたはFIFO_STATUSレジスタ（アドレス0x39）の新しい読出しを開始するまでには、少なくとも5μsの間隔を置く必要があります。データ・レジスタの読出し動作の終了は、レジスタ0x37からレジスタ0x38へのデータの移動、またはCSピンがハイになることで示されます。

SPI動作が1.6MHz以下の周波数で有効化されている場合、伝送のレジスタ・アドレス指定部分によって、FIFOバッファが完全に空になるまでの十分な遅延が提供されます。SPI動作が1.6MHzを超える周波数で有効化されている場合は、5μsの合計遅延を確保するためにCSピンをデアサートする必要があります。これを行わないと、遅延が不十分になります。SPI動作が5MHzで有効化されている場合は、必要な合計遅延は最大で3.4μsです。

デバイスでI²Cモードが有効化されている場合、通信速度が遅いため、FIFOの読出しと読出しの間に十分な遅延を確保できます。

割込み

ADXL314には割込み駆動用の出力ピンが2つあります。それがINT1とINT2です。どちらの割込みピンも、表11に示す出力仕様を備えたプッシュプル型の低インピーダンス・ピンです。割込みピンのデフォルト設定はアクティブ・ハイです。この設定は、

DATA_FORMATレジスタ（アドレス0x31）のINT_INVERTビットをセットすることによってアクティブ・ローに変更できます。すべての機能は同時に使用できますが、いくつかの機能では割込みピンを共有する必要があります。

割込みは、INT_ENABLEレジスタ（アドレス0x2E）の該当ビットをセットすることで有効になり、INT_MAPレジスタ（アドレス0x2F）の内容に基づいてINT1ピンまたはINT2ピンにマップされます。割込みピンを初めて設定するときは、機能と割込みのマッピングを行ってから、割込みを有効にすることを推奨します。割込みの設定を変更するときは、まずINT_ENABLEレジスタでその機能に対応するビットをクリアして割込みを無効にし、それから機能の設定を変更して、その後再び割込みを有効にすることを推

奨します。割込みを無効にしている間に機能を設定すれば、誤って不要な割込みを発生させてしまうのを防ぐことができます。割込み機能をラッチしてクリアする場合、データ関連の割込みについては、その割込み条件が有効でなくなるまでデータ・レジスタ（アドレス0x32～0x37）を読み出します。その他の割込みについては、INT_SOURCEレジスタ（アドレス0x30）を読み出してください。このセクションでは、INT_ENABLEレジスタで設定し、INT_SOURCEレジスタで監視できる割込みについて説明します。

DATA_READY

DATA_READYビットは新しいデータが使用可能になるとセットされ、使用可能な新しいデータがなくなるとクリアされます。

アクティビティ

Activityビットは、THRESH_ACTレジスタ（アドレス0x24）に格納された値より大きい加速度が生じた場合にセットされます。

インアクティビティ

Inactivityビットは、THRESH_INACTレジスタ（アドレス0x25）に格納された値より小さい加速度が、TIME_INACTレジスタ（アドレス0x26）で指定された値よりも長い時間発生した場合にセットされます。TIME_INACTの最大値は255秒です。

ウォーターマーク

Watermarkビットは、FIFO内のサンプル数がサンプル・ビット（FIFO_CTLレジスタ、アドレス0x38）で指定された値以上になるとセットされます。Watermarkビットは、FIFOが読み出されて、そのサンプル数がサンプル・ビットで指定された値未満に戻ると、自動的にクリアされます。

オーバーラン

Overrunビットは、未読のデータが新しいデータに置き換えられたときにセットされます。オーバーラン機能の詳細動作はFIFOモードによって異なります。バイパス・モードでは、DATA_X、DATA_Y、およびDATA_Zレジスタ（アドレス0x32～0x37）内の未読データが新しいデータに置き換えられたときにOverrunビットがセットされます。それ以外のモードでは、FIFO内のデータ数が最大値に達するとOverrunビットがセットされます。Overrunビットは、FIFOの内容が読み出されると自動的にクリアされます。

表 11. 割込みピン・デジタル出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V _{OL})	I _{OL} = 300 μA		0.2 × V _{DD I/O}	V
High Level Output Voltage (V _{OH})	I _{OH} = -150 μA	0.8 × V _{DD I/O}		V
Low Level Output Current (I _{OL})	V _{OL} = V _{OL, max}	300		μA
High Level Output Current (I _{OH})	V _{OH} = V _{OH, min}		-150	μA
Pin Capacitance	Input frequency (f _{IN}) = 1 MHz, input voltage (V _{IN}) = 2.5 V		8	pF

動作原理

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Rise Time and Fall Time				
Rise Time (t _R) ²	Load capacitance (C _{LOAD}) = 150 pF		210	ns
Fall Time (t _F) ³	C _{LOAD} = 150 pF		150	ns

- 1 特性評価の結果に基づくリミット値であり、出荷テストは行っていません。
- 2 立上り時間は、割込みピンがV_{OL, max}からV_{OH, min}へ遷移する時間として測定した値です。
- 3 立下り時間は、割込みピンがV_{OH, min}からV_{OL, max}へ遷移する時間として測定した値です。

セルフ・テスト

ADXL314には、機械的システムと電子システムの両方を同時に、かつ効果的にテストするためのセルフ・テスト機能が組み込まれています。セルフ・テスト機能をイネーブルすると

(DATA_FORMATレジスタ (アドレス0x31) のSELF_TESTビットを使用)、機械的センサーに静電気が加わります。

この静電気力は加速度が加わった場合と同じように機械的検出素子を動かしますが、これはデバイスに加わる外部加速度に追加される形で作用して、x軸、y軸、およびz軸の出力を変化させます。静電気力はV_s²に比例するので、出力の変化量はV_sに応じて変化します。

セルフ・テストでは、すべての軸で二峰性の応答が示されます。ただし、z軸のセルフ・テスト変動を使用すると、セルフ・テスト・チェックを効率的に実行できます。セルフ・テスト機能を正しく動作させるには、デバイスを通常消費電力動作 (アドレス0x2CのBW_RATEレジスタのLOW_POWERビット= 0) 状態にして、データ・レートを100Hz〜800Hzまたは3200Hzにする必要があります。

セルフ・テスト応答は、デバイス感度のシフトに対しては信頼度の高い指標として使用することはできません。

セルフ・テスト機能の詳細については、[セルフ・テストの使い方](#)のセクションを参照してください。

シリアル通信

ADXL314は、I²CおよびSPIデジタル通信インターフェースを介して通信ができます。どちらの場合も、ADXL314はスレーブとして動作します。アプリケーションに必要なインターフェースがI²Cである場合、図26に示すように、 $\overline{\text{CS}}$ ピンをV_{DD I/O}に直接接続します。SPIがアプリケーションに必要なインターフェースである場合は、図20および図21に示すように外部コントローラで $\overline{\text{CS}}$ ピンを駆動します。

$\overline{\text{CS}}$ ピンの電圧がV_{DD I/O}まで引き上げられている場合は、常にI²Cインターフェースが有効化されるため、ADXL314がSPIネットワークに実装されている場合、バスの競合が発生する可能性があります。そのような状態を回避する方法については、バス・トラフィック・エラーの防止のセクションを参照してください。SPIモードでもI²Cモードでも、ADXL314へ書き込みを行う際には、ADXL314からコントローラ・デバイスに送られるデータは無視してください。

このセクションでは、SDA/SDI/SDIOなどの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、SDAのように1つのピン機能だけを表記しています。

シリアル・ポート入出力のデフォルト状態

すべてのシリアル・ポートの入力および出力が定義された状態にあり、ピンは未使用時にフロート状態になることのないようにしてください。これら2つの条件は、SPI動作かI²C動作かによらず、すべてのシリアル・ポートの入力と出力に当てはまります。

I²Cアプリケーションでは、ピンは常にV_{DD I/O}に接続します。SCLピンとSDAピンは外部コントローラに接続します。その場合、UM10204 I²Cバス仕様およびユーザ・マニュアルのRev. 03 (19 June 2007、NXP Semiconductorsから入手可能)に従ってプルアップ抵抗を接続します。ALT ADDRESSピンはV_{DD I/O}またはグラウンドのどちらかに接続する必要があります。それによってADXL314に必要なI²Cアドレスが選択できます。

SPIが目的の通信インターフェースである場合、図20および図21に示すように、 $\overline{\text{CS}}$ ピンを外部コントローラで駆動します。ADXL314との通信を停止する場合 ($\overline{\text{CS}} = \text{V}_{\text{DD I/O}}$)、SCLK、SDI/SDIO、SDOの各ピンがフロート状態にならないようにしてください。

SPI動作でもI²C動作でも、この点の注意を怠ると、デバイスと通信できなくなったり、消費電流が過剰になったりすることがあります。

SPI

SPIの場合は、図20と図21の接続図に示すように、3線式または4線式の構成が可能です。DATA_FORMATレジスタ (アドレス0x31) のSPIビットをクリアすると4線モードが選択され、DATA_FORMATレジスタ (アドレス0x31) のSPIビットをセットすると3線モードが選択されます。最大SPIクロック速度は、100pFの最大負荷時で5MHzです。タイミング方式はクロック極性 (CPOL) = 1、クロック位相 (CPHA) = 1に従います。ADXL314に電源を供給してからホスト・プロセッサのクロック極性とクロック位相を設定する場合は、ピンをハイにしてからクロック極性とクロック位相を変更してください。

3線式SPIを使用する場合は、SDOピンをV_{DD I/O}までプルアップするか、10k Ω の抵抗を使ってGNDまでプルダウンします (図20参照)。

$\overline{\text{CS}}$ はシリアル・ポート・イネーブル・ラインであり、SPIコントローラが制御します。図23に示すように、このラインは伝送開始時にローにして伝送終了時にハイにする必要があります。SCLKはシリアル・ポート・クロックで、SPIコントローラによって供給されます。SDIはシリアル・データ入力、SDOはシリアル・データ出力です。

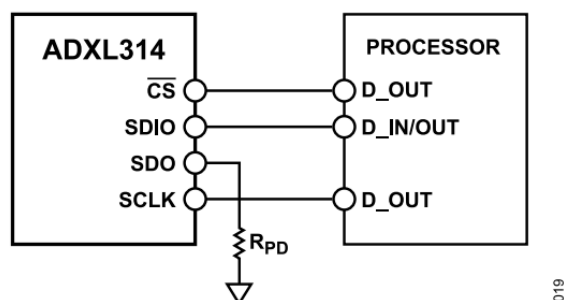


図 20. 3線式SPIの接続図

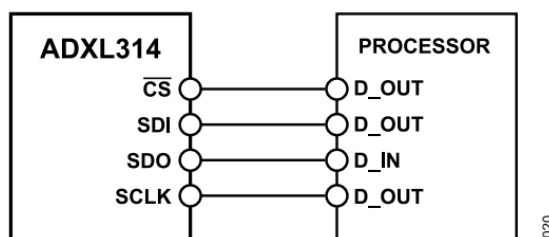


図 21. 4線式SPIの接続図

1回の伝送で複数バイトの読み出し／書き込みを行うには、最初のバイト転送のR/Wビットの後にあるマルチバイト・ビット (図23～図25のMB) をセットする必要があります。ADXL314は、レジスタ・アドレスの指定と最初のデータ・バイトの後で、これに続くそれぞれのクロック・パルスのセット (8クロック・パルス) に合わせて、次に読み出し／書き込みを行うレジスタをポイントします。このシフト動作は、クロック・パルスが停止して $\overline{\text{CS}}$ がデアサートされるまで続きます。連続していない別のレジスタの読み出し／書き込みを行うには、伝送と伝送の間に $\overline{\text{CS}}$ をデアサートして、新しいレジスタを個別にアドレス指定する必要があります。

3線式SPI読み出し／書き込みのタイミングを図25に示します。同様に、4線式SPIの書き込みタイミングを図23に、読み出しタイミングを図24に示します。デバイスを正しく動作させるために、表12と表13の論理閾値とタイミング・パラメータには必ず従ってください。

3200Hzと1600Hzの出力データ・レートの使用は、SPIの通信速度が2MHz以上の場合に限り推奨します。また、800Hzの出力データ・レートが推奨されるのは、通信速度が400kHz以上の場合に限られます。その他のデータ・レートについても、これと同様の比例関係を保ってください。例えば、200Hzの出力データ・レートに対する最小推奨通信速度は100kHzです。推奨される最小出力データ・レートより低いデータ・レートで動作させると、データ・サンプルの欠落やノイズの増加など、加速度データに望ましくない影響を与えることがあります。

シリアル通信

バス・トラフィック・エラーの防止

ADXL314のピンは、SPIトランザクションの開始とI²Cモードの有効化の両方に使用します。ADXL314を他の複数のデバイスと共にSPIバス上で使用する場合、コントローラが他のデバイスと通信している間ADXL314のピンはハイに保たれます。場合によっては、SPIコマンドが別のデバイスへ伝送される際に、それが有効なI²Cコマンドのように見えることがあります。この場合、ADXL314がこれをI²Cモードで通信しようとしているものと見なして、他のバス・トラフィックに干渉することがあります。バス・トラフィックの適切な管理によってこのような状況を確実に防ぐことができる場合を除き、図22に示すように、SDIピンの前に論理ORゲートを追加することを推奨します。

このORゲートは $\overline{CS}$ がハイのときにSDAラインをハイに保ち、ADXL314のバス・トラフィックがI²C開始コマンドと誤認されるのを防ぎます。

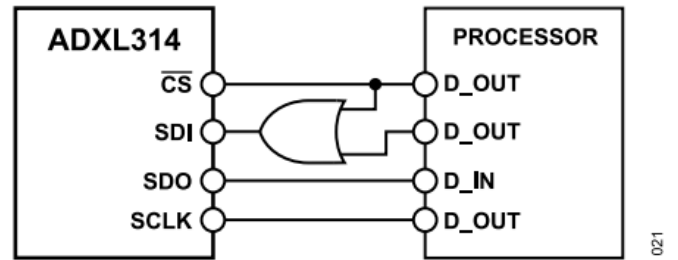


図 22. 1つのバス上で複数のSPIデバイスを使用する場合の推奨SPI接続図

表 12. SPIデジタル入出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DD I/O}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DD I/O}$		V
Low Level Input Current (I_{IL})	$V_{IN} = V_{DD I/O}$		0.1	μA
High Level Input Current (I_{IH})	$V_{IN} = 0 V$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 10 mA$		$0.2 \times V_{DD I/O}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -4 mA$	$0.8 \times V_{DD I/O}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	10		mA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, min}$		-4	mA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.5 V$		8	pF

1 特性評価の結果に基づくリミット値であり、出荷テストは行っていません。

表 13. SPIタイミング ($T_A = 25^\circ C$ 、 $V_S = V_{DD I/O} = 3.3V$)¹

Parameter	Limit ^{2,3}		Unit	Description
	Min	Max		
f_{SCLK}		5	MHz	SPI clock frequency
t_{SCLK}	200		ns	1/(SPI clock frequency) mark-space ratio for the SCLK input is 40/60 to 60/40
t_{DELAY}	5		ns	$\overline{CS}$ falling edge to SCLK falling edge
t_{QUIET}	5		ns	SCLK rising edge to $\overline{CS}$ rising edge
t_{DIS}		10	ns	$\overline{CS}$ rising edge to SDO disabled
$t_{CS,DIS}$	150		ns	$\overline{CS}$ deassertion between SPI communications
t_S	$0.3 \times t_{SCLK}$		ns	SCLK low pulse width (space)
t_M	$0.3 \times t_{SCLK}$		ns	SCLK high pulse width (mark)
t_{SETUP}	5		ns	SDI valid before SCLK rising edge
t_{HOLD}	5		ns	SDI valid after SCLK rising edge
t_{SDO}		40	ns	SCLK falling edge to SDO/SDIO output transition
t_{R4}		20	ns	SDO/SDIO output high to output low transition
t_{F4}		20	ns	SDO/SDIO output low to output high transition

1 $f_{SCLK} = 5MHz$ 、バス負荷容量100pFでの特性評価結果に基づくリミット値であり、出荷テストは行っていません。

2 タイミング値は、表12に示す入力閾値 (V_{IL} と V_{IH}) に応じて測定されています。

シリアル通信

3 出力の立上がり時間と立下がり時間は、容量性負荷150pFで測定しています。

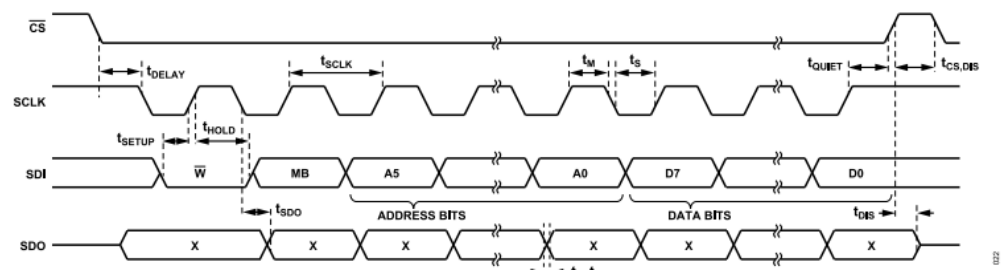


図 23. SPI 4線式書込み

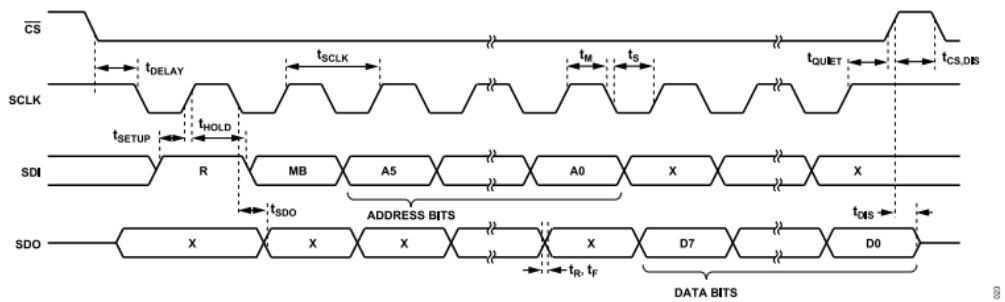
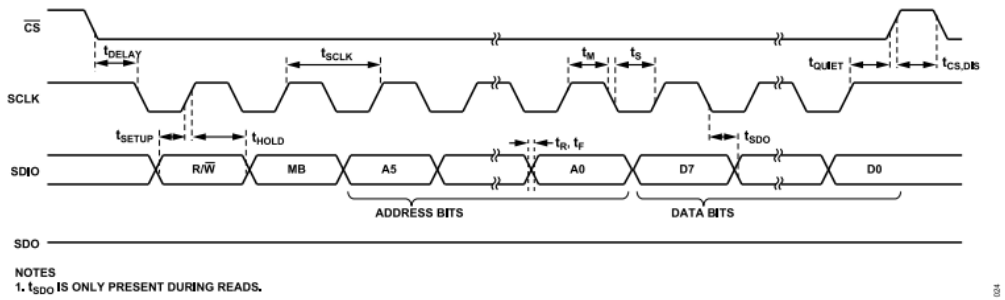


図 24. SPI 4線式読出し



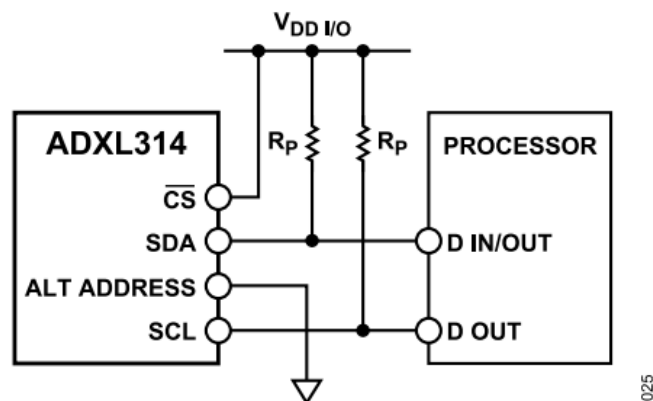
NOTES
1. t_{SDO} IS ONLY PRESENT DURING READS.

図 25. SPI 3線式読出し／書込み

シリアル通信

I²C

$\overline{\text{CS}}$ を $V_{\text{DD I/O}}$ に接続すると、ADXL314はI²Cモードになります。この場合は図26に示す単純な2線式接続を行う必要があります。ADXL314は、UM10204 I²C-バス仕様およびユーザ・マニュアルのRev. 03（19 June 2007、NXP Semiconductorsから入手可能）に適合しており、表14と表15に示すバス・パラメータの条件が満たされていれば、標準（100kHz）および高速（400kHz）データ転送モードを使用することができます。また、図27に示すように、シングルバイトまたはマルチバイトの読出し／書込みをサポートしています。ALT ADDRESSピンがハイの場合、デバイスの7ビットI²Cアドレスは0x1Dで、その後にR/Wビットが続きます。これは、書込み時には0x3A、読出し時には0x3Bになります。また、ALT ADDRESSピン（ピン23）を接地することによって、I²Cアドレスを0x53（その後にR/Wビットが続く）とすることもできます。これは、書込み時には0xA6、読出し時には0xA7になります。

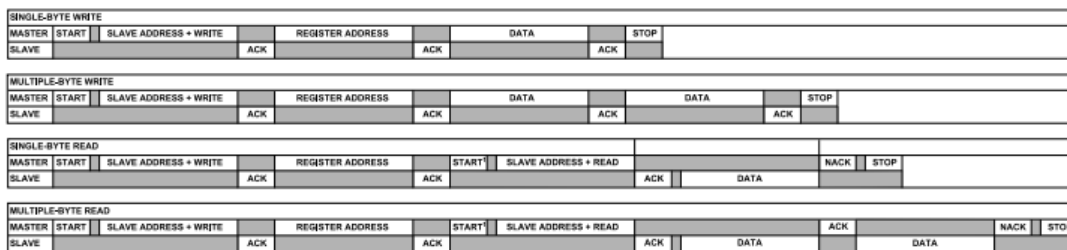
図 26. I²Cの接続図（アドレス0x53）

同じI²Cバスに他のデバイスが接続されている場合は、これら他のデバイスの公称動作電圧レベルが $V_{\text{DD I/O}} + 0.3\text{V}$ を超えないようにする必要があります。I²Cを正しく動作させるには、外部プルアップ抵抗Rpが必要です。正しい動作を確保するためにプルアップ抵抗値を選択する場合は、UM10204 I²Cバス仕様およびユーザ・マニュアルのRev. 03（19 June 2007）を参照してください。

表 14. I²Cのデジタル入出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{\text{DD I/O}}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{\text{DD I/O}}$		V
Low Level Input Current (I_{IL})	$V_{\text{IN}} = V_{\text{DD I/O}}$		0.1	μA
High Level Input Current (I_{IH})	$V_{\text{IN}} = 0\text{ V}$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$V_{\text{DD I/O}} < 2\text{ V}$, $I_{\text{OL}} = 3\text{ mA}$ $V_{\text{DD I/O}} \geq 2\text{ V}$, $I_{\text{OL}} = 3\text{ mA}$		$0.2 \times V_{\text{DD I/O}}$	V
			400	mV
Low Level Output Current (I_{OL})	$V_{\text{OL}} = V_{\text{OL, max}}$	3		mA
Pin Capacitance	$f_{\text{IN}} = 1\text{ MHz}$, $V_{\text{IN}} = 2.5\text{ V}$		8	pF

1 特性評価の結果に基づくリミット値であり、出荷テストは行っていません。



NOTES
1. THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.
2. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 27. I²Cデバイスのアドレス指定表 15. I²Cのタイミング ($T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{DD I/O}} = 3.3\text{V}$)

Parameter	Limit ^{1, 2}		Unit	Description
	Min	Max		
f_{SCL}		400	kHz	SCL clock frequency
t_1	2.5		μs	SCL cycle time

シリアル通信

Parameter	Limit ^{1, 2}		Unit	Description
	Min	Max		
t ₂	0.6		μs	t _{HIGH} , SCL high time
t ₃	1.3		μs	t _{LOW} , SCL low time
t ₄	0.6		μs	t _{HD, STA} , start/repeated start condition hold time
t ₅	100		ns	t _{SU, DAT} , data setup time
t ₆ ^{3, 4, 5, 6}	0	0.9	μs	t _{HD, DAT} , data hold time
t ₇	0.6		μs	t _{SU, STA} , setup time for repeated start
t ₈	0.6		μs	t _{SU, STO} , stop condition setup time
t ₉	1.3		μs	t _{BUF} , bus-free time between a stop condition and a start condition
t ₁₀		300	ns	t _R , rise time of both SCL and SDA when receiving
t ₁₁	0		ns	t _R , rise time of both SCL and SDA when receiving or transmitting
		250	ns	t _F , fall time of SDA when receiving
		300	ns	t _F , fall time of both SCL and SDA when transmitting
C _b	20 + 0.1 C _b ⁷		ns	t _F , fall time of both SCL and SDA when transmitting or receiving
		400	pF	Capacitive load for each bus line

- 1 f_{SCL} = 400kHz、シンク電流3mAでの特性評価結果に基づくリミット値であり、出荷テストは行っていない。
- 2 すべての値は、表14に示すV_{IH}とV_{IL}のレベルを基準にしています。
- 3 t₆は、SCLの立下がりエッジから測定したデータ・ホールド時間で、データの送信とアクノレッジに適用されます。
- 4 SDA信号（SCL信号のV_{IH(min)}基準）がSCLの立下がりエッジの未定義領域に入らないようにするには、送信側のデバイス内で300ns以上の出力ホールド時間を設ける必要があります。
- 5 t₆の最大値を守る必要があるのは、SCL信号のロー時間（t₃）を拡大しない場合のみです。
- 6 t₆の最大値は、クロック・ロー時間（t₃）、クロック立上がり時間（t₁₀）、および最小データ・セットアップ時間（t_{5(min)}）の関数です。この値は、t_{6(max)} = t₃ - t₁₀ - t_{5(min)}として計算されます。
- 7 C_bは、1本のバス・ラインの合計容量（pF）です。

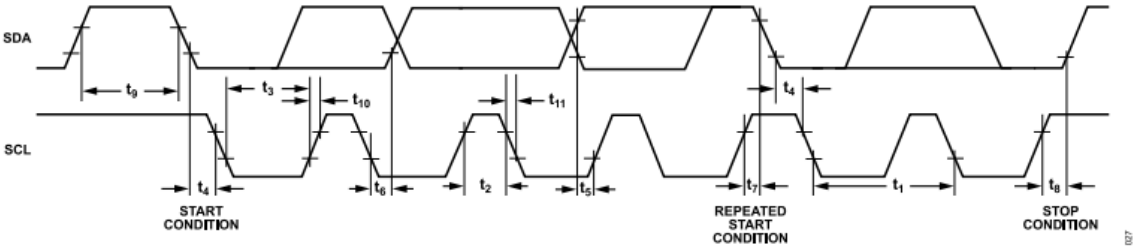


図 28. I²Cのタイミング図

レジスタ・マップ

表 16. レジスタ・マップ

アドレス（16進数）	レジスタ名	タイプ	リセット値（16進数）	説明
0x00	DEVID	R	0xE5	デバイスID。
0x01 to 0x1D	Reserved			予備。アクセスしないでください。
0x1E	OFSX	R/ $\overline{W}$	0x00	X軸オフセット。
0x1F	OFSY	R/ $\overline{W}$	0x00	Y軸オフセット。
0x20	OFSZ	R/ $\overline{W}$	0x00	Z軸オフセット。
0x21	Reserved			予備。アクセスしないでください。
0x22	Reserved			予備。アクセスしないでください。
0x23	Reserved			予備。アクセスしないでください。
0x24	THRESH_ACT	R/ $\overline{W}$	0x00	アクティビティ閾値。
0x25	THRESH_INACT	R/ $\overline{W}$	0x00	インアクティビティ閾値。
0x26	TIME_INACT	R/ $\overline{W}$	0x00	インアクティビティ時間。
0x27	ACT_INACT_CTL	R/ $\overline{W}$	0x00	アクティビティおよびインアクティビティ検出のための軸イネーブル制御。
0x28	Reserved			予備。アクセスしないでください。
0x29	Reserved			予備。アクセスしないでください。
0x2A	Reserved			予備。アクセスしないでください。
0x2B	Reserved			予備。アクセスしないでください。
0x2C	BW_RATE	R/ $\overline{W}$	0x0A	データ・レートとパワー・モードの制御。
0x2D	POWER_CTL	R/ $\overline{W}$	0x00	節電機能制御。
0x2E	INT_ENABLE	R/ $\overline{W}$	0x00	割込みイネーブル制御。
0x2F	INT_MAP	R/ $\overline{W}$	0x00	割込みマッピング制御。
0x30	INT_SOURCE	R	0x02	割込み発生源。
0x31	DATA_FORMAT	R/ $\overline{W}$	0x0B	データ・フォーマット制御。
0x32	DATA0	R	0x00	X軸データ0。
0x33	DATA1	R	0x00	X軸データ1。
0x34	DATA0	R	0x00	Y軸データ0。
0x35	DATA1	R	0x00	Y軸データ1。
0x36	DATA0	R	0x00	Z軸データ0。
0x37	DATA1	R	0x00	Z軸データ1。
0x38	FIFO_CTL	R/ $\overline{W}$	0x00	FIFO制御。
0x39	FIFO_STATUS	R	0x00	FIFOのステータス。

レジスタの定義

レジスタ 0x00 - DEVID（読み出し専用）

表 17. レジスタ 0x00

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	1	0	1

DEVIDレジスタは0xE5の固定デバイスIDコードを格納します。

レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20 - OFSX、OFSY、OFSZ（読み出し／書き込み）

OFSX、OFSY、およびOFSZレジスタはそれぞれ8ビットで、2の補数フォーマットでユーザ設定によるオフセット調整を行うことができます。スケール係数は195mg/LSBです。オフセット・レジスタに格納された値は自動的に加速度データに加算され、その結果が出力データ・レジスタに格納されます。

レジスタ 0x24 - THRESH_ACT（読み出し／書き込み）

THRESH_ACTレジスタは8ビットで、アクティビティを検出するための閾値を格納します。データ・フォーマットは符号なしなので、アクティビティ・イベントの大きさがTHRESH_ACTレジスタ内の値と比較されます。スケール係数は784mg/LSBです。このレジスタの値を0にすると、アクティビティ割込みをイネーブルした場合に予期せぬ動作をすることがあります。

レジスタ 0x25 - THRESH_INACT（読み出し／書き込み）

THRESH_INACTレジスタは8ビットで、インアクティビティを検出するための閾値を格納します。データ・フォーマットは符号なしなので、インアクティビティ・イベントの大きさがTHRESH_INACTレジスタ内の値と比較されます。スケール係数は784mg/LSBです。このレジスタの値を0にすると、インアクティビティ割込みをイネーブルした場合に予期せぬ動作をすることがあります。

レジスタ・マップ

レジスタ 0x26 - TIME_INACT（読み出し／書き込み）

TIME_INACTレジスタは8ビットで、符号なしの時間値を格納します。加速度がTHRESH_INACTレジスタの値未満のままこのレジスタに設定した時間が経過すると、インアクティビティが宣言されます。スケール係数は1秒/LSBです。フィルタ処理なしのデータ（閾値のセクションを参照）を使用する他の割込み機能とは異なり、インアクティビティ機能はフィルタ処理済みの出力データを使用します。インアクティビティ割込みをトリガするには、1つ以上の出力サンプルが生成されていなければなりません。このため、TIME_INACTレジスタが出力データ・レートの時定数より小さい値に設定されている場合は、この機能が応答していないように見えることがあります。このレジスタの値を0にすると、出力データがTHRESH_INACTレジスタの値未満になった時点で割込みが行われます。

レジスタ 0x27 - ACT_INACT_CTL（読み出し／書き込み）

表 18. レジスタ 0x27 - ビット [D7:D4]

D7	D6	D5	D4
ACT ac/dc	ACT_X enable	ACT_Y enable	ACT_Z enable

表 19. レジスタ 0x27 - ビット [D3:D0]

D3	D2	D1	D0
INACT ac/dc	INACT_X enable	INACT_Y enable	INACT_Z enable

ACT AC/DCビットとINACT AC/DCビット

0に設定するとDCカップリング動作が選択され、1に設定するとACカップリング動作がイネーブルされます。

DCカップリング動作では、現在の加速度の大きさをTHRESH_ACTおよびTHRESH_INACTと直接比較して、アクティビティ／インアクティビティの検出を判定します。

ACカップリング動作によるアクティビティ検出では、アクティビティ検出開始時の加速度値が基準値として使われます。加速度の新しいサンプルをこの基準値と比較して、その差がTHRESH_ACTの値を上回ると、デバイスがアクティビティ割込みをトリガします。

同様に、ACカップリング動作によるインアクティビティ検出でも基準値を使って比較が行われ、デバイスがインアクティビティ閾値を超えると、その都度基準値が更新されます。基準値が選択されると、デバイスは、基準値と現在の加速度値との差をTHRESH_INACTの値と比較します。この差がTHRESH_INACTの値未満のままTIME_INACTで指定された時間が経過すると、デバイスにはアクティビティがないと判定され、インアクティビティ割込みがトリガされます。

ACT_xイネーブル・ビットとINACT_xイネーブル・ビット

1に設定すると、アクティビティ／インアクティビティの検出にx軸、y軸、z軸を加えることができます。0に設定すると、選択された軸が対象から外されます。すべての軸が対象から外されると、この機能はディスエーブルされます。アクティビティ検出の場合は関係するすべての軸の論理和がとられ、関係するいずれかの軸が閾値を上回るとアクティビティ機能がトリガされます。インアクティビティ検出の場合は関係するすべての軸の論理積がとられ、関係するすべての軸が閾値未満になった状態で規定時間が経過した場合のみ、インアクティビティ機能がトリガされます。

レジスタ 0x2C - BW_RATE（読み出し／書き込み）

表 20. レジスタ 0x2C

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	LOW_POWER	Rate			

LOW_POWERビット

LOW_POWERビットを0に設定すると通常動作が選択され、1に設定すると低消費電力動作が選択されますが、低消費電力動作時はノイズが若干大きくなります（詳細については消費電力モードのセクションを参照）。

Rateビット

これらのRateビットは、デバイスの帯域幅と出力データ・レートを選択します（詳細については表8と表9を参照）。デフォルト値は0x0Aで、この場合の出力デフォルトレートは100Hzです。出力データ・レートは、選択した通信プロトコルと周波数に合った値を選択してください。選択した通信速度に対して出力データ・レートが高すぎると、サンプルが廃棄されてしまう結果となります。

レジスタ 0x2D - POWER_CTL（読み出し／書き込み）

表 21. レジスタ 0x2D

D7	D6	D5	D4	D3	D2	D1	D0
0	0	Link	AUTO_SLEEP	Measure	Sleep	Wakeup	

Linkビット

アクティビティ機能とインアクティビティ機能の両方をイネーブルしてLinkビットを1に設定すると、インアクティビティが検出されるまでアクティビティ機能の開始が遅延されます。アクティビティの検出後はインアクティビティの検出が開始されて、アクティビティは検出されなくなります。つまり、このビットはアクティビティ機能とインアクティビティ機能を交互に実行します。

このビットを0に設定すると、インアクティビティ機能とアクティビティ機能が同時に実行されます。詳細についてはリンク・モードのセクションを参照してください。

Linkビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。その後の書き込みで測定モードに戻してください。これは、スリープ・モードが手動で無効化された場合に、デバイスが正しくバイアスされるようにするために行います。このようにしないと、Linkビットをクリアした後の最初の数サンプル分のデータで、ノイズが大きくなる場合があります。特に、このビットをクリアする前にデバイスがスリープ状態だった場合は、その傾向が強くなります。

AUTO_SLEEPビット

LinkビットがセットされているときにAUTO_SLEEPビットを1に設定すると、インアクティビティが検出された場合（つまり、加速度がTHRESH_INACTの値を下回る状態が、少なくともTIME_INACTで指定された時間だけ続いた場合）、ADXL314はスリープ・モードに切り替わります。このビットを0に設定すると、スリープ・モードへの自動切替えはディスエーブルされます。詳細については、スリープ・ビットのセクションのSleepビットの説明を参照してください。

レジスタ・マップ

AUTO_SLEEPビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。その後の書き込みで測定モードに戻してください。これは、スリープ・モードが手動で無効化された場合に、デバイスが正しくバイアスされるようにするために行います。これを行わない場合、AUTO_SLEEPビットをクリアした後の最初の数サンプル分のデータで、ノイズが大きくなる場合があります。特に、このビットをクリアする前にデバイスがスリープ状態だった場合は、その傾向が強くなります。

Measureビット

Measureビットを0に設定するとデバイスはスタンバイ・モードになり、1に設定すると測定モードになります。スタンバイ・モードのADXL314は最小限の消費電力でパワーアップします。

Sleepビット

Sleepビットを0に設定するとデバイスは通常動作モードになり、1に設定するとスリープ・モードになります。スリープ・モードではDATA_READY（レジスタ0x2E、レジスタ0x2F、レジスタ0x30を参照）が生成されなくなり、FIFOへのデータ伝送も停止されます。また、サンプリング・レートはWakeUpビットで指定された値に切り替わります。スリープ・モードで使用できるのはアクティビティ機能だけです。

Sleepビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。その後の書き込みで測定モードに戻してください。これは、スリープ・モードが手動で無効化された場合に、デバイスが正しくバイアスされるようにするために行います。これを行わない場合、Sleepビットをクリアした後の最初の数サンプル分のデータで、ノイズが大きくなる場合があります。特に、このビットをクリアする前にデバイスがスリープ状態だった場合は、その傾向が強くなります。

WakeUpビット

これらのビットは、表22に示すように、スリープ・モードにおけるデータ読出し周波数を制御します。

表 22. スリープ・モードでの読出し周波数

Setting		
D1	D0	Frequency (Hz)
0	0	8
0	1	4
1	0	2
1	1	1

レジスタ0x2E - INT_ENABLE（読出し／書き込み）

表 23. レジスタ0x2E - ビット[D7:D4]

D7	D6	D5	D4
DATA_READY	Not applicable	Not applicable	Activity

表 24. レジスタ0x2E - ビット[D3:D0]

D3	D2	D1	D0
Inactivity	Not applicable	Watermark	Overrun

このレジスタのビットを1に設定すると、それぞれに対応する機能の割込み生成がイネーブルされます。0に設定すると、そのビットに対応する機能の割込みは生成されなくなります。

DATA_READY、Watermark、Overrunの各ビットは割込み出力だけを有効にします。これらの機能は常に有効です。割込みは、その出力を有効にする前に設定することを推奨します。

レジスタ0x2F - INT_MAP（読出し／書き込み）

表 25. レジスタ0x2F - ビット[D7:D4]

D7	D6	D5	D4
DATA_READY	Not applicable	Not applicable	Activity

表 26. レジスタ0x2F - ビット[D3:D0]

D3	D2	D1	D0
Inactivity	Not applicable	Watermark	Overrun

このレジスタで0に設定されたビットはそれぞれに対応する割込みをINT1ピンに送信し、1に設定されたビットはそれぞれに対応する割込みをINT2ピンに送信します。1つのINTピンに対して複数の割込みが送られる場合は、選択したすべての割込みの論理和がとられます。

レジスタ0x30 - INT_SOURCE（読出し専用）

表 27. レジスタ0x30 - ビット[D7:D4]

D7	D6	D5	D4
DATA_READY	Not applicable	Not applicable	Activity

表 28. レジスタ0x30 - ビット[D3:D0]

D3	D2	D1	D0
Inactivity	Not applicable	Watermark	Overrun

このレジスタで1に設定されたビットは、それぞれに対応する機能がイベントをトリガしたことを示し、0に設定されたビットは対応するイベントが発生しなかったことを示します。

DATA_READY、Watermark、Overrunの各ビットは、INT_ENABLEレジスタの設定に関わらず対応イベントが発生すると常にセットされ、DATA_X、DATA_Y、DATA_Zの各レジスタからのデータ読出しによってクリアされます。他のビットとそのビットに対応する割込みは、INT_SOURCEレジスタの読出しによってクリアされます。

レジスタ0x31 - DATA_FORMAT（読出し／書き込み）

表 29. レジスタ0x31

D7	D6	D5	D4	D3	D2	D1	D0
SELF_TEST	SPI	INT_INVERT	0	1	Justify	1	1

DATA_FORMATレジスタは、レジスタ0x32～0x37へ送るデータのフォーマットを制御します。

SELF_TESTビット

SELF_TESTビットを1に設定すると、センサーにセルフ・テスト用の負荷が加えられ、出力データが変化します。0に設定すると、セルフ・テスト用の負荷はディスエーブルされます。セルフ・テスト機能の詳細については、セルフ・テストのセクションおよびセルフ・テストの使い方のセクションを参照してください。

レジスタ・マップ

SPIビット

SPIビットを1にするとデバイスは3線式SPIモードに設定され、0にすると4線式SPIモードに設定されます。

INT_INVERTビット

INT_INVERTビットを1にすると割込みはアクティブ・ハイになり、INT_INETビットを1にすると割込みはアクティブ・ローになります。

Justifyビット

Justifyビットを1に設定すると左寄せ（MSB）モードが選択され、0に設定すると符号を拡張した右寄せモードが選択されます。

レジスタ0x32～レジスタ0x37 - DATA0、DATA1、DATA0、DATA1、DATA20、DATA21（読み出し専用）

これら6つのバイト（レジスタ0x32～0x37）はそれぞれ8ビットで、各軸の出力データを格納します。レジスタ0x32と0x33はx軸の出力データ、レジスタ0x34と0x35はy軸の出力データ、レジスタ0x36と0x37はz軸の出力データを格納します。

出力データは2の補数で、DATAx0は最下位バイト、DATAx1は最上位バイトです（xはX、Y、またはZ）。DATA_FORMATレジスタ（アドレス0x31）は、データのフォーマットを制御します。連続したレジスタの読み出し時は、読み出しと読み出しの間にデータが変化しないよう、すべてのレジスタの読み出しをマルチバイト読み出しで行うことを推奨します。

レジスタ0x38 - FIFO_CTL（読み出し／書き込み）

表 30. レジスタ0x38

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_MODE	Trigger	Samples					

FIFO_MODEビット

FIFO_MODEビットは、表31に示すようにFIFOモードを設定します。

表 31. FIFOモード

Setting		Mode	Function
D7	D6		
0	0	Bypass	The FIFO buffer is bypassed.
0	1	FIFO	The FIFO buffer collects up to 32 values and then stops collecting data. The FIFO buffer only collects new data when the FIFO buffer is not full.
1	0	Stream	The FIFO buffer holds the last 32 data values. When the FIFO buffer is full, the oldest data is overwritten with newer data.
1	1	Trigger	When triggered by the trigger bit, the FIFO buffer holds the last data samples before the trigger event and then continues to collect data until full. New data is collected only when the FIFO buffer is not full.

Triggerビット

Triggerビットの値を0にすると、トリガ・モードのトリガ・イベントはINT1にリンクされ、値を1にするとINT2にリンクされます。

Samplesビット

Samplesビットの機能は、選択したFIFOモードによって異なります（表32参照）。Samplesビットに値0を入力すると、選択されているFIFOモードの種類に関係なく、直ちにINT_SOURCEレジスタのWatermarkステータス・ビットがセットされます。トリガ・モード使用時にSamplesビットの値を0にすると、予期しない動作が生じる可能性があります。

表 32. Samplesビットの機能

FIFO Mode	Samples Bits Function
Bypass	None.
FIFO	Specifies how many FIFO entries are needed to trigger a watermark interrupt.
Stream	Specifies how many FIFO entries are needed to trigger a watermark interrupt
Trigger	Specifies how many FIFO samples are retained in the FIFO buffer before a trigger event.

レジスタ0x39 - FIFO_STATUS（読み出し専用）

表 33. レジスタ0x39

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_TRIG	0	Entries					

FIFO_TRIGビット

FIFO_TRIGビットが1のときはトリガ・イベントが発生していることを示し、0のときはFIFOトリガ・イベントが発生していないことを示します。

Entriesビット

EntriesビットはFIFOに格納されているデータ値の数を示します。FIFOからデータを収集するためのアクセスは、DATAx、DATAY、DATAZの各レジスタから行います。FIFOの読み出しは、バースト・モードかマルチバイト・モードで行う必要があります。FIFOの読み出しでは、その読み出しの種類（シングルバイトまたはマルチバイト）に関わらず、読み出し後はそのFIFOレベルがクリアされるからです。FIFOには最大32個のエントリが格納されます。更に、デバイスの出力フィルタでエントリが1つ追加されるので、最終的には常に最大33個のエントリを使用できることになります。

アプリケーション情報

電源条件

ADXL314は、2.0V～3.9Vの電源電圧レールを使って動作します。表1に示す動作電圧範囲 (V_S) は、電源の誤差と最大 $\pm 10\%$ のトランジェントを考慮して2.0V～3.6Vになっています。

ADXL314の起動時は、 V_S および $V_{DD\ I/O}$ の立ち上がり時間が直線的でなければならず、なおかつ250 μ s以内に2.0Vに達しなければなりません。パワーダウン時は、 V_S および $V_{DD\ I/O}$ が200ms以上の時間、グラウンド・レベル (0V) に完全に放電されてから、デバイスを再度起動する必要があります。電源を放電できるようにするには、マイクロコントローラの汎用入出力 (GPIO) から電源を供給するか、シャットダウン放電スイッチを電源に接続する、あるいはシャットダウン放電機能を持つ電圧レギュレータを使用することが推奨されます。

加速度センサーを電源ノイズから十分デカップリングするため、 V_S の1 μ F tantalum・コンデンサ (C_S) と $V_{DD\ I/O}$ の0.1 μ Fセラミック・コンデンサ ($C_{I/O}$) をADXL314電源ピンのできるだけ近くに配置することを推奨します。それ以上のデカップリングが必要な場合は、100 Ω 以下の抵抗かフェライト・ビーズを V_S と直列に挿入すると効果的です。更に、 V_S のバイパス・コンデンサに10 μ F tantalum・コンデンサと並列に0.1 μ Fセラミック・コンデンサを設置すると、更にノイズ性能を改善できます。

グラウンドから伝わるノイズには、 V_S からのノイズと同じような影響があるので、ADXL314のグラウンドから電源グラウンドへの接続は必ず低インピーダンスとなるようにしてください。また、 V_S 電源のデジタル・クロック・ノイズを最小限に抑えるために、 V_S と $V_{DD\ I/O}$ は別電源にすることを推奨します。これが不可能な場合は、既に述べたように電源にフィルタが必要になることがあります。

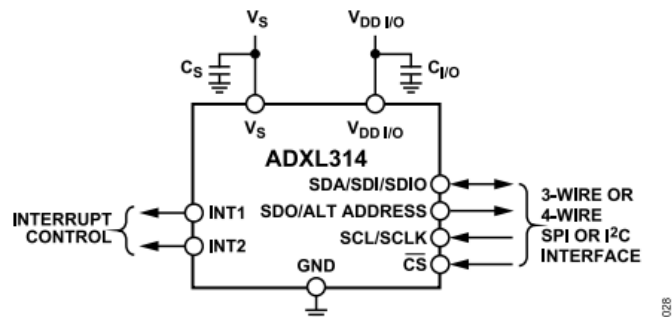


図 29. アプリケーション構成図

取付けに関する機構上の留意点

ADXL314は、PCBをケースに固定する支持点近くでPCBに取り付けてください。ADXL314をPCBの固定が不十分な位置に取り付けると（図30参照）、PCBの振動が減衰されず、測定誤差が明らかに大きくなる場合があります。加速度センサーを十分に固定された支持点の近くに配置すれば、加速度センサー位置でのPCBの振動が加速度センサーの機械的なセンサー共振周波数より大きくなるので、加速度センサーへの影響は事実上なくなります。センサーの近くに複数の支持点を設けたり、プリント基板を厚くしたりすることも、システム共振のセンサー性能に対する影響の低減に効果的です。

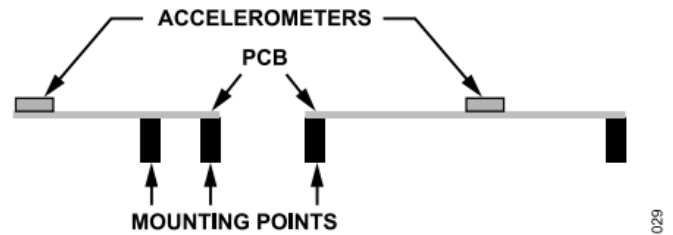


図 30. 加速度センサーの不適切な配置

閾値

出力データ・レートを下げることは、デバイス内部の常用サンプリング周波数をデシメーションすることによって実現できます。アクティビティ検出機能は、デシメーションされていないデータを用いて実行されます。出力データの帯域幅はデータ・レートによって異なり、デシメーションされていないデータの帯域幅より狭いので、加速度センサーの出力を調べる場合に、アクティビティの判定に使われる高周波数高gのデータが存在しないことがあります。そのため、対応する機能に対しユーザが設定した条件に合う加速度データがないと思われる場合でも、機能がトリガされる可能性があります。

リンク・モード

Linkビットは、インアクティビティの後のアクティビティだけに反応するようデバイスを設定することによって、プロセッサが処理しなければならないアクティビティ割込みの数を減らします。この機能を正しく動作させるには、プロセッサは引き続きアクティビティ割込みとインアクティビティ割込みに応答する必要があります。そのためにINT_SOURCEレジスタ（アドレス0x30）を読み出す（つまりは割込みをクリアする）必要があります。アクティビティ割込みがクリアされないと、デバイスは自動スリープ・モードに移行できません。

スリープ・モードと低消費電力モードの比較

低データ・レートと低消費電力が求められるアプリケーションでは、低消費電力モードの使用を推奨します（ただし、ノイズ性能は低下します）。低消費電力モード使用時でもDATA_READY割込みとFIFOの機能は維持され、加速度データの後処理に使用することができます。スリープ・モードではデータ・レートと消費電力が低く抑えられますが、データ収集は行えません。

ただし、自動スリープ・モードおよびリンク・モードと組み合わせてスリープ・モードを使用すると、インアクティビティが検出された場合、デバイスは低消費電力、低サンプリング・レートのモードに自動的に切り替わります。不要なインアクティビティ割込みが発生しないようにするために、インアクティビティ割込みが自動的にディスエーブルされ、アクティビティがイネーブルされます。ADXL314がスリープ・モードの場合は、ホスト・プロセッサもスリープ・モードまたは低消費電力モードにして、システムの消費電力を大幅に低減することができます。アクティビティが検出されると、加速度センサーはアプリケーションの元のデータ・レートに自動的に戻り、アクティビティ割込みを生成します。この割込みはホスト・プロセッサのウェイクアップに使用できます。同様に、インアクティビティ状態が発生した場合は、アクティビティ・イベントの検出がディスエーブルされて、インアクティビティがイネーブルされます。

アプリケーション情報

オフセット補償

加速度センサーは、自由に動くエレメントを内蔵した機械的構造物です。これらの可動部品は、ソリッドステート型のエレクトロニクスに比べ、機械的なストレスに極めて敏感です。

0g バイアスまたはオフセットは加速度測定のベースラインを決めるものであり、加速度センサーの重要な測定基準となります。加速度センサーを内蔵するシステムの組立て時にも、ストレスが追加されることがあります。これらのストレスの原因としては、部品のハンダ処理、取付け時に基板に加わるストレス、部品への化合物の塗布などがありますが、必ずしもこれらだけに限りません。オフセット補償が必要と考えられる場合は、システムの組立て完了後にキャリブレーションを行うことを推奨します。

セルフ・テストの使い方

セルフ・テスト変動とは、セルフ・テストをイネーブルした軸の加速度出力と、同じ軸でセルフ・テストをディスエーブルした場合の加速度出力の差として定義されます。デバイス内蔵のフィルタによって、出力が安定するのはセルフ・テストをイネーブルまたはディスエーブルしてから $4 \times \tau$ 後になります ($\tau = 1/\text{データ・レート}$)。この定義は、これら2つの測定の間にセンサーが動かないことを前提としています。センサーが動くと、セルフ・テストに関係ない出力変化が生じて正しいテスト結果が得られません。

セルフ・テストでは、すべての軸で二峰性の応答が示されます。ただし、z軸のセルフ・テストを実行することが、センサーの完全性を確認するための信頼できる方法です。

正確なセルフ・テスト測定を行うには、ADXL314を正しく設定することが必要です。デバイスをセルフ・テスト用に設定するには、以下の手順を実行します。

1. BW_RATEレジスタ（アドレス0x2C）のRateビット（ビット[D3:D0]）に書き込みを行い、データ・レートを100Hz～800Hzに設定するか、3200Hzに設定します。BW_RATEレジスタに0x0A～0x0Dの値、または0x0Fを書き込みます。
2. デバイスを通常消費電力動作に設定するには、BW_RATEレジスタ（アドレス0x2C）のLOW_POWERビット（ビットD4）をクリアします。
3. センサーからz軸の加速度データのサンプルを取得し、これらを平均化します。10サンプル以上を取得することを推奨します。
4. 平均化した値を保存し、ZST_OFFとラベリングします。
5. DATA_FORMATレジスタ（アドレス0x31）のSELF_TESTビット（ビットD7）をセットすることによって、セルフ・テストを

イネーブルします。セルフ・テストをイネーブルしてから出力が安定するまでには、サンプル4個分程度の時間が必要です。

6. z軸の加速度データのサンプルを取得し、これらを平均化します。10サンプル以上を取得することを推奨します。
7. 平均化した値を保存し、ZST_ONとラベリングします。
8. DATA_FORMATレジスタ（アドレス0x31）のSELF_TESTビット（ビットD7）をクリアすることによって、セルフ・テストをディスエーブルします。

セルフ・テスト変動は、セルフ・テストをイネーブルしたときとディスエーブルしたときの保存値から、次式で表すことができます。

$$Z_{ST} = Z_{ST_ON} - Z_{ST_OFF}$$

この値をgに変換するには、48.83mg/LSBのスケール・ファクタを乗じます。

セルフ・テスト変動が有効な範囲内に収まった場合は、テストが成功したと見なすことができます。一般的に、最小変動値が実現されていれば、そのデバイスは正常であると見なされます。ただし、変動が最大値を超えていても、そのデバイスが異常であるとは限りません。

セルフ・テストを使って加速度センサーの機能を確認するもう1つの効果的な方法は、一定のレートでセルフ・テストを切り替えて、その出力にFFTを実施することです。FFTには、セルフ・テストの切替え周波数に対応するトーンが必要です。テストの電源電圧やセルフ・テスト振幅に対する依存性は比較的広い範囲で変化しますが、この方法でFFTを用いると、これらの依存性の影響をなくすことができます。

非同期データ読出し

加速度データの非同期読出しが行われると、加速度データ・レジスタの更新中にアクセスされる可能性があります。これを回避するため、FIFOストリーム・モードを有効にするか、SPI/I²CトランザクションをDATA_READY割込み機能に同期させることを推奨します。これにより、ホスト・プロセッサは、DATA_READY割込みがハイになると直ちにサンプリングを行います。

出力データ・レートが3200Hzと1600Hzの場合のデータ・フォーマット

3200Hzまたは1600Hzの出力データ・レートを使う場合、出力データワードのLSBは常に0です。データが右揃えの場合、LSBはDATAx0レジスタのビットD0に対応し、データが左揃えの場合、LSBはDATAx0レジスタのビットD3に対応します。

加速度検出軸

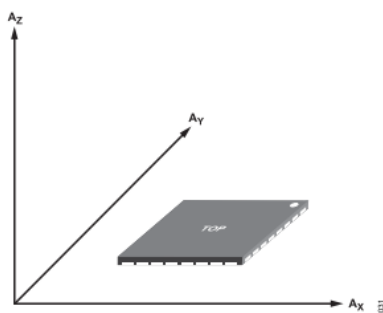


図 31. 加速度検出軸（検出軸に沿って加速されると、対応する軸の出力電圧が増加）

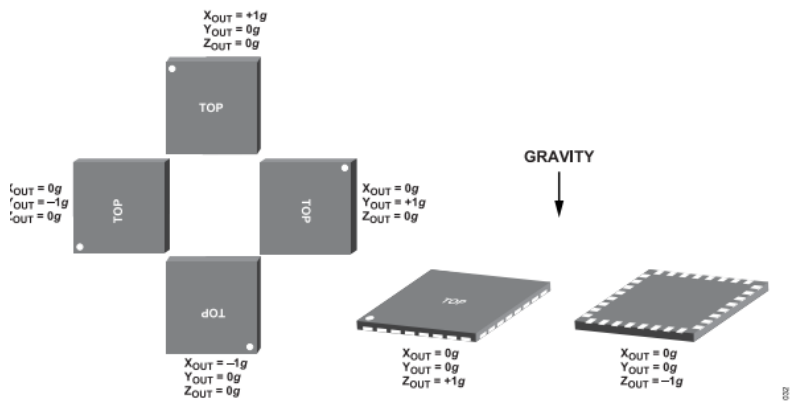


図 32. 重力方向と出力応答の関係

外形寸法

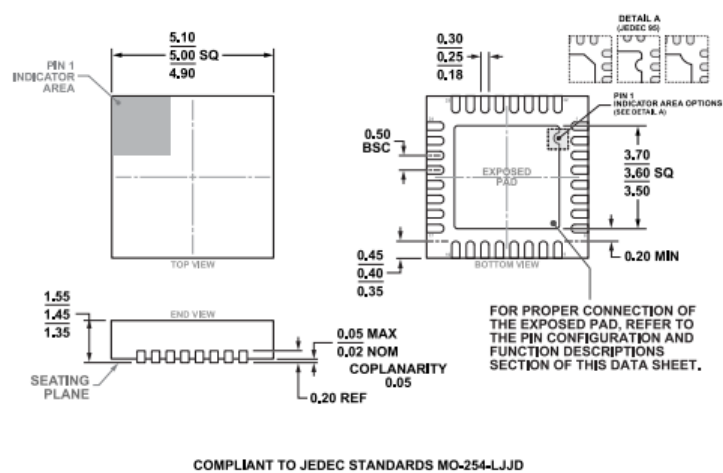


図 33. 32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
5mm × 5mmボディ、1.45mmパッケージ高
(CP-32-17)
寸法 : mm

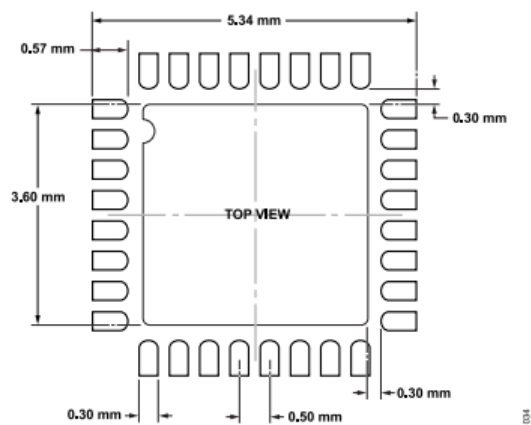


図 34. ハンダ・パッドのレイアウト例 (ランド・パターン)

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Packing Quantity	Package Option
ADXL314WBCPZ-RL	-40°C ~ +125°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	Reel, 4000	CP-32-17

1 Z = RoHS準拠製品。
2 W = 車載アプリケーション向けに性能を評価済み。

評価用ボード

Model ¹	Description
EVAL-ADXL314Z	Evaluation Board

1 Z = RoHS準拠製品。

外形寸法

オートモーティブ製品

ADXL314Wモデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造により提供されています。このオートモーティブ・モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様¹のセクションを慎重に確認してください。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定の製品のオーダー情報や、これらのモデルの具体的な自動車信頼性レポートについては、アナログ・デバイセズの販売代理店にご相談ください。

I²Cは、Philips Semiconductors（現在のNXP Semiconductors）が独自に開発した通信プロトコルです。



©2022 Analog Devices, Inc. All rights reserved.

本 社	〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル 10F
	電話03 (5402) 8200
大 阪 営 業 所	〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
	電話06 (6350) 6868
名古屋営業所	〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
	電話052 (569) 6300

Rev. A | 27 / 27