

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年4月18日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月18日

製品名：ADuM4146

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：12 ページ、右の段 故障の通知の項目、上から 3 行目

【誤】

飽和状態が検出され・・・

【正】

非飽和状態が検出され・・・

故障検出機能とミラー・クランプを内蔵した11A高電圧、絶縁型バイポーラ・ゲート・ドライバ

特長

- ▶ 11Aの短絡ソース電流（ゲート抵抗0Ω）
- ▶ 9Aの短絡シンク電流（ゲート抵抗0Ω）
- ▶ 4.61Aのピーク電流（ゲート抵抗2Ω）
- ▶ 出力電力デバイス抵抗：< 1Ω
- ▶ 出力電圧範囲：最大30V
- ▶ V_{DD2} に関する複数のUVLOオプション
 - ▶ グレードA： V_{DD2} 立上がり閾値でのUVLO：14.5V（代表値）
 - ▶ グレードBおよびグレードC： V_{DD2} 立上がり閾値でのUVLO：11.5V（代表値）
- ▶ V_{DD1} 入力電圧範囲：2.5V~6V
- ▶ 非飽和保護の機能
 - ▶ 非飽和故障時のソフト・シャットダウン
- ▶ 複数の非飽和検出コンパレータ電圧
 - ▶ グレードB：9.2V（代表値）
 - ▶ グレードAおよびグレードC：3.5V（代表値）
- ▶ ミラー・クランプ出力（ゲート・センス入力付き）
- ▶ 絶縁故障およびレディ通知機能
- ▶ 小さい伝搬遅延：75ns（代表値）
- ▶ 動作温度範囲：-40°C~+125°C
- ▶ 沿面距離：最小8.3mm
- ▶ CMTI：100kV/μs
- ▶ 安全性と規制に対する認定（申請中）
 - ▶ 1分間で5000V（実効値）、UL 1577規格に準拠
 - ▶ CSA Component Acceptance Notice 5Aに準拠
 - ▶ DIN V VDE V 0884-11
 - ▶ $V_{IORM} = 2150V$ peak

アプリケーション

- ▶ SiC/MOSFET/IGBTゲート・ドライバ
- ▶ 太陽光発電（PV）インバータ
- ▶ モータ駆動
- ▶ 電源

概要

ADuM4146は、炭化ケイ素（SiC）金属酸化膜半導体電界効果トランジスタ（MOSFET）の駆動用に特別に最適化された1チャンネル・ゲート・ドライバです。入力信号と出力ゲート・ドライバ間の絶縁には、アナログ・デバイセズのiCoupler®技術が使用されています。

ADuM4146はミラー・クランプ回路を内蔵しており、ゲート電圧が2Vを下回った場合に単一電源で確実にSiCをオフにできます。ミラー・クランプ動作あり/なしのどちらでも、ユニポーラまたはバイポーラの2次電源動作が可能です。

アナログ・デバイセズのチップ・スケール・トランスを搭載しているため、チップの高電圧領域と低電圧領域間で制御情報の絶縁型通信も可能です。チップの状態に関する情報は、専用の出力から読み出すことができます。2次側での故障発生後のデバイスのリセット制御は、デバイスの1次側で行います。

ADuM4146には、高電圧短絡回路のSiC動作を保護する非飽和検出回路が内蔵されています。非飽和保護の機能には、最初のターンオンによる電圧スパイクをマスクすることを目的とした、スイッチング・イベント後の300nsのマスキング時間など、ノイズ低減機能も含まれます(データシートの [図17](#)を参照)。オプションで500μAの電流源を内蔵することで、デバイス数を少なくできます。ただし、ノイズ耐性を向上させる必要がある場合は、内部ブランキング・スイッチを使用して外部電流源を追加できます。

2次側の低電圧ロックアウト（UVLO）は、一般的なSiCと絶縁型ゲート・バイポーラ・トランジスタ（IGBT）のレベルを考慮し、グレードAの場合は14.5V（代表値）に、グレードBとグレードCの場合は11.5V（代表値）に設定されています。

目次

特長.....	1	ピン配置およびピン機能の説明.....	9
アプリケーション.....	1	代表的な性能特性.....	10
概要.....	1	アプリケーション情報.....	12
機能ブロック図.....	3	PCBレイアウト.....	12
仕様.....	4	伝搬遅延に関するパラメータ.....	12
電気的特性.....	4	保護機能.....	12
パッケージ特性.....	5	消費電力.....	14
適用規格.....	6	絶縁寿命.....	15
絶縁および安全性関連の仕様.....	6	代表的なアプリケーション.....	16
DIN V VDE V 0884-11絶縁特性.....	6	外形寸法.....	17
推奨動作条件.....	7	オーダー・ガイド.....	17
絶対最大定格.....	8	評価用ボード.....	17
ESDに関する注意.....	8		

改訂履歴

4/2022-Revision 0: Initial Version

機能ブロック図

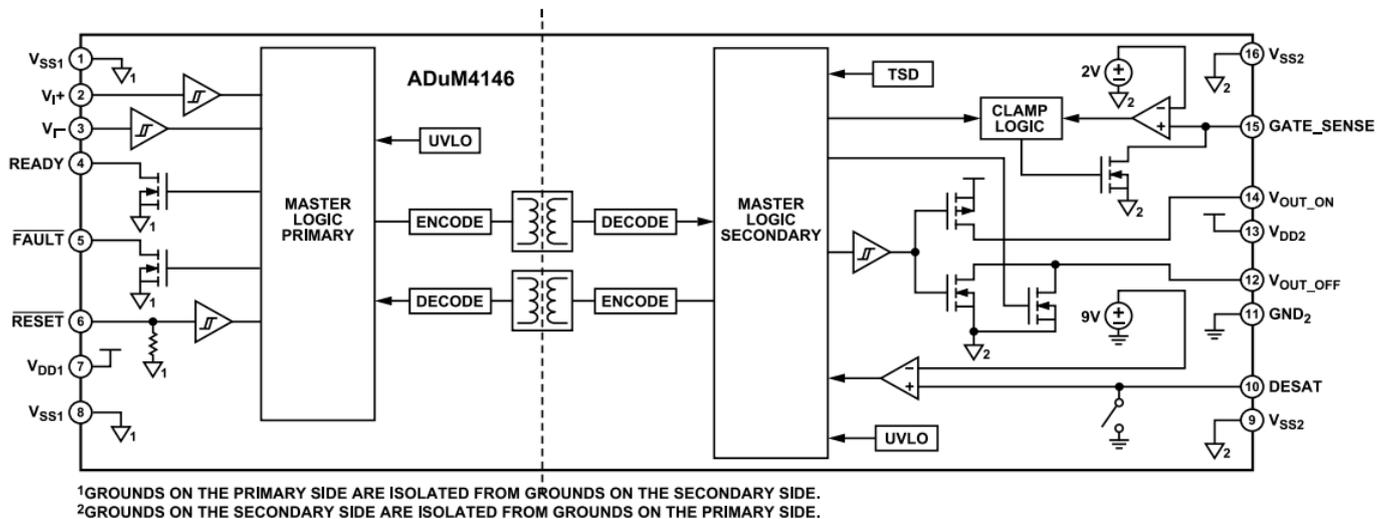


図 1.

001

仕様

電気的特性

ローサイド電圧は V_{SS1} を基準としています。ハイサイド電圧は $GND2$ 、 $2.5V \leq V_{DD1} \leq 6V$ 、 $12V \leq V_{DD2} \leq 30V$ 、 $T_J = -40^\circ C \sim +125^\circ C$ を基準としています。特に指定のない限り、すべての最小/最大の仕様規定は推奨動作範囲全体に適用されます。特に指定のない限り、すべての代表仕様は、 $T_J = 25^\circ C$ 、 $V_{DD1} = 5.0V$ 、 $V_{DD2} = 15V$ での値です。

表 1.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
DC SPECIFICATIONS						
High-Side Power Supply						
Input Voltage						
V_{DD2}	V_{DD2}	12		30	V	$V_{DD2} - V_{SS2} \leq 30V$
V_{SS2}	V_{SS2}	-15		0	V	
Input Current, Quiescent						
V_{DD2}	$I_{DD2(Q)}$		4.9	6.5	mA	READYピンがハイ・レベル
V_{SS2}	$I_{SS2(Q)}$		4.82	6.21	mA	
Logic Supply						
V_{DD1} Input Voltage						
V_{DD1}	V_{DD1}	2.5		6	V	
Input Current						
Output Low	I_{DD1}		1.78	2.17	mA	出力信号がロー・レベル
Output High			10.45	14.5	mA	出力信号がハイ・レベル
Logic Inputs (V_{I+} , V_{I-} , and \overline{RESET})						
Input Current (V_{I+} and V_{I-} Only)						
I_I	I_I	-1	+0.01	+1	μA	
Logic High Input Voltage						
V_{IH}	V_{IH}	$0.7 \times V_{DD1}$			V	$2.5V \leq V_{DD1} - V_{SS1} \leq 5V$
		3.5			V	$V_{DD1} - V_{SS1} > 5V$
Logic Low Input Voltage						
V_{IL}	V_{IL}			$0.3 \times V_{DD1}$	V	$2.5V \leq V_{DD1} - V_{SS1} \leq 5V$
				1.5	V	$V_{DD1} - V_{SS1} > 5V$
\overline{RESET} Internal Pull-Down						
$R_{\overline{RESET_PD}}$	$R_{\overline{RESET_PD}}$		300		k Ω	
UVLO						
V_{DD1} Positive Going Threshold						
$V_{VDD1UV+}$	$V_{VDD1UV+}$		2.43	2.5	V	
V_{DD1} Negative Going Threshold						
$V_{VDD1UV-}$	$V_{VDD1UV-}$	2.2	2.34		V	
V_{DD1} Hysteresis						
$V_{VDD1UVH}$	$V_{VDD1UVH}$		0.09		V	
V_{DD2} Positive Going Threshold						
$V_{VDD2UV+}$	$V_{VDD2UV+}$		14.5	15.0	V	グレードA
			11.5	12.0	V	グレードBとグレードC
V_{DD2} Negative Going Threshold						
$V_{VDD2UV-}$	$V_{VDD2UV-}$	13.35	14.1		V	グレードA
		10.4	11.1		V	グレードBとグレードC
V_{DD2} Hysteresis						
$V_{VDD2UVH}$	$V_{VDD2UVH}$		0.4		V	
\overline{FAULT} Pull-Down FET Resistance						
$R_{\overline{FAULT_PD_FET}}$	$R_{\overline{FAULT_PD_FET}}$		11	50	Ω	5mAでテスト
\overline{READY} Pull-Down FET Resistance						
$R_{\overline{RDY_PD_FET}}$	$R_{\overline{RDY_PD_FET}}$		11	50	Ω	5mAでテスト
Desaturation (DESAT)						
Desaturation Detect Comparator Voltage						
V_{DESAT_TH}	V_{DESAT_TH}	8.73	9.2	9.61	V	グレードB
		3.25	3.5	3.75	V	グレードAとグレードC
Internal Current Source						
I_{DESAT_SRC}	I_{DESAT_SRC}	470	527	593	μA	グレードB
			0		μA	グレードAとグレードC
Thermal Shutdown (TSD)						
TSD Positive Edge						
T_{TSD_POS}	T_{TSD_POS}		155		$^\circ C$	
TSD Hysteresis						
T_{TSD_HYST}	T_{TSD_HYST}		20		$^\circ C$	
Miller Clamp Voltage Threshold						
V_{CLP_TH}	V_{CLP_TH}	1.75	2	2.25	V	V_{SS2} を基準とする
Pull-Down Negative Metal-Oxide Semiconductor (NMOS) On Resistance						
R_{DSON_N}	R_{DSON_N}		470	807	m Ω	250mAでテスト
			470	807	m Ω	1Aでテスト

仕様

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Pull-Up Positive Metal-Oxide Semiconductor (PMOS) On Resistance	R_{DSON_P}		471	975	m Ω	250mAでテスト
Soft Shutdown NMOS	R_{DSON_FAULT}		10.2	22	Ω	グレードB、25mAでテスト
Internal Miller Clamp Resistance	R_{DSON_MILLER}		1.1	2.75	Ω	グレードAとグレードC、25mAでテスト
Short-Circuit Source Current	I_{SC_SOURCE}		11		A	$V_{DD2} = 15V$ 、ゲート抵抗は0 Ω
Short-Circuit Sink Current	I_{SC_SINK}		9		A	$V_{DD2} = 15V$ 、ゲート抵抗は0 Ω
Peak Current	I_{PK}		4.61		A	$V_{DD2} = 12V$ 、ゲート抵抗は0 Ω
SWITCHING SPECIFICATIONS						
Pulse Width ¹		50			ns	負荷容量(C_L) = 2nF、 $V_{DD2} = 15V$ 、オン経路の外部ゲート抵抗(R_{GON}) ² = オフ経路の外部ゲート抵抗 (R_{GOFF}) ² = 3.9 Ω
RESET Debounce	t_{DEB_RESET}	500	615	700	ns	
Propagation Delay ³	t_{DHL}, t_{DLH}	55	75	100	ns	$C_L = 2\text{ nF}$ 、 $V_{DD} = 15\text{ V}$ 、 $R_{GON} = R_{GOFF} = 3.9\text{ }\Omega$
Propagation Delay Skew ⁴	t_{PSK}			25	ns	$C_L = 2\text{ nF}$ 、 $R_{GON} = R_{GOFF} = 3.9\text{ }\Omega$ 、 $V_{DD1} = 5\text{ V}$ ~6V
Output Rise and Fall Time (10% to 90%)	t_R/t_F	11	16	27	ns	$C_L = 2\text{ nF}$ 、 $V_{DD2} = 15\text{ V}$ 、 $R_{GON} = R_{GOFF} = 3.9\text{ }\Omega$
Blanking Capacitor Discharge	t_{MASK}	260	300	340	ns	
Switch Masking						
Desaturation Comparator Delay	t_{DESAT_DELAY}	105	132	160	ns	グレードB
Time to Report Desaturation Fault to Pin	t_{REPORT}	90	115	145	ns	グレードAとグレードC
Common-Mode Transient Immunity (CMTI)	[CMTI]				μs	
Static CMTI ⁵		100			kV/ μs	コモンモード電圧(V_{CM}) = 1500V
Dynamic CMTI ⁶		100			kV/ μs	$V_{CM} = 1500V$

1 最小パルス幅は、仕様規定されたタイミング・パラメータが確保される最小のパルス幅です。

2 消費電力のセクションを参照してください。

3 伝搬遅延 t_{DLH} は、入力立上がりロジック・ハイ閾値 V_{IH} から、 V_{OUTX} 信号の出力立上がり10%閾値までを測定した値です。ここで、 V_{OUTX} 信号は、 V_{OUT_ON} と V_{OUT_OFF} を相互に接続したものです。伝搬遅延 t_{DHL} は、入力立下がりロジック・ロー閾値 V_{IL} から、 V_{OUTX} 信号の出力立下がり90%閾値までを測定した値です。伝搬遅延パラメータの波形については、図16を参照してください。

4 t_{PSK} は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷において、複数のユニット間で測定した t_{DLH} または t_{DHL} の最悪の場合の差の大きさです。伝搬遅延パラメータの波形については、図16を参照してください。

5 静的なCMTIは、入力がハイまたはローに保持され、出力電圧が出力ハイで $0.8 \times V_{DD2}$ を上回るか、または出力ローで0.8Vにとどまる場合、 V_{SS1} と V_{SS2} の間における最大の dv/dt として定義されます。推奨レベルを超える過渡状態で動作させると、一時的にデータが不安定になることがあります。

6 動的なCMTIは、スイッチング・エッジが過渡テスト・パルスと一致する場合、 V_{SS1} と V_{SS2} の間における最大の dv/dt として定義されます。推奨レベルを超える過渡状態で動作させると、一時的にデータが不安定になることがあります。

パッケージ特性

表 2.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Resistance (Input Side to High-Side Output) ¹	R_{I-O}		10 ¹²		Ω	
Capacitance (Input Side to High-Side Output) ¹	C_{I-O}		2.0		pF	
Input Capacitance	C_I		4.0		pF	
Junction to Ambient Thermal Resistance	θ_{JA}		59.35		$^{\circ}\text{C/W}$	4層プリント回路基板 (PCB)
Junction to Top Thermal Characterization	Ψ_{JT}		12.74		$^{\circ}\text{C/W}$	4層PCB

1 ADuM4146は2端子デバイスとみなします。すなわち、ピン1~ピン8を相互に接続し、ピン9~ピン16を相互に接続します。

仕様

適用規格

ADuM4146は、表 3に記載された機関の認定を申請中です。

表 3.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under UL 1577 Component Recognition Program ¹ Single Protection, 5000 V rms Isolation Voltage	Approved under CSA Component Acceptance Notice 5A Basic insulation per CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2, 1532 V rms (2206 V peak) maximum working voltage Reinforced Insulation per CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2, 766 V rms (1103 V peak) maximum working voltage	Certified according to VDE0884-11 ² Reinforced insulation, 2150 V peak
File (Pending)	File (Pending)	File (Pending)

1 UL 1577に従い、各ADuM4146には、6000V rms以上の絶縁試験電圧を1秒間加える耐電圧試験を実施しています（電流リーク検出の規定値 = 10μA）。

2 DIN V VDE V 0884-11に従い、各ADuM4146には、4031V (peak) 以上の絶縁試験電圧を1秒間加える耐電圧試験を実施しています（部分放電検出の規定値 = 5pC）。

絶縁および安全性関連の仕様

表 4.

パラメータ	記号	値	単位	テスト条件/コメント
Rated Dielectric Insulation Voltage		5000	V rms	1分間持続
Minimum External Air Gap (Clearance)	L(I01)	8.3 min	mm	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage)	L(I02)	8.3 min	mm	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Internal Gap (Internal Clearance)		51 min	μm	絶縁体を介した絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>600	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		I		材料グループ

DIN V VDE V 0884-11絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。安全性データの維持は、保護回路によって確保されます。

表 5. VDE特性（申請中）

パラメータ	テスト条件/コメント	記号	特性	単位
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I~IV I~III I~II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	2150	V peak
Input to Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{pd(m)} 、100% 出荷テスト、t _{ini} = t _m = 1秒、部分放電 < 5pC	V _{pd(m)}	4031	V peak
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	V _{IORM} × 1.5 = V _{pd(m)} 、t _{ini} = 60秒、t _m = 10秒、部分放電 < 5pC	V _{pd(m)}	3225	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{pd(m)} 、t _{ini} = 60秒、t _m = 10秒、部分放電 < 5pC	V _{pd(m)}	2580	V peak
Highest Allowable Overvoltage		V _{IOTM}	15,000	V peak

仕様

パラメータ	テスト条件/コメント	記号	特性	単位
Surge Isolation Voltage	V peak = 12.8kV、立上がり時間1.2μs、50%立下がり時間50μs	V _{IOSM}	15,000	V peak
Safety Limiting Values	故障時の最大許容値 (図 2 参照)			
Maximum Junction Temperature		T _S	150	°C
Safety Total Dissipated Power		P _S	2.1	W
Insulation Resistance at T _S	入力と出力間の電圧 (V _{IO}) = 500V	R _S	>10 ⁹	Ω

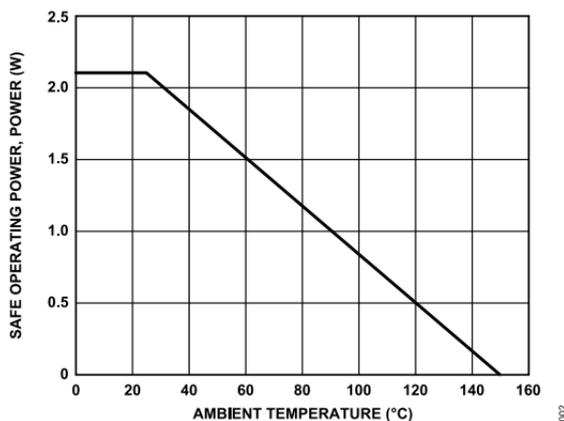


図 2. 熱ディレーティング曲線、安全限界値とケース温度の依存関係 (DIN V VDE V 0884-11)

推奨動作条件

表 6.

Parameter	Value
Supply Voltages	
V _{DD1} ¹	2.5 V ~ 6 V
V _{DD2} ²	12 V ~ 30 V
V _{DD2} - V _{SS2} ²	12 V ~ 30 V
V _{SS2} ²	-15 V ~ 0 V
Input Signal Rise and Fall Time	1 ms
Static CMTI ³	-100 kV/μs ~ +100 kV/μs
Dynamic CMTI ⁴	-100 kV/μs ~ +100 kV/μs
T _A Range	-40°C ~ +125°C

- V_{SS1}を基準。
- GND₂を基準。V_{DD2} - V_{SS2} は30Vを超えてはなりません。
- 静的なCMTIは、入力がハイまたはローに保持され、出力電圧が出力ハイで0.8 × V_{DD2}を上回るか、または出力ローで0.8Vにとどまる場合、V_{SS1}とV_{SS2}の間における最大のdv/dtとして定義されます。推奨レベルを超える過渡状態で動作させると、一時的にデータが不安定になることがあります。
- 動的なCMTIは、スイッチング・エッジが過渡テスト・パルスと一致する場合、V_{SS1}とV_{SS2}の間における最大のdv/dtとして定義されます。推奨レベルを超える過渡状態で動作させると、一時的にデータが不安定になることがあります。

絶対最大定格

表 7.

Parameter	Rating
Supply Voltages	
V_{DD1}^1	-0.3 V ~ +6.5 V
V_{DD2}^2	-0.3 V ~ +35 V
V_{SS2}^2	-20 V ~ +0.3 V
$V_{DD2} - V_{SS2}$	35 V
Input Voltages	
V_{I+}, V_{I-}^1	-0.3 V ~ +6.5 V
DESAT Voltage (V_{DESAT})	-0.3 V ~ $V_{DD2} + 0.3$ V
GATE_SENSE Voltage (V_{GATE_SENSE}) ³	-0.3 V ~ $V_{DD2} + 0.3$ V
$V_{OUT_ON}^3$	-0.3 V ~ $V_{DD2} + 0.3$ V
$V_{OUT_OFF}^3$	-0.3 V ~ $V_{DD2} + 0.3$ V
Common-Mode Transients (ICM)	-150 kV/ μ s ~ +150 kV/ μ s
Temperature	
Storage (T_{ST}) Range	-55°C ~ +150°C
T_A Range	-40°C ~ +125°C

1 V_{SS1} を基準。2 GND_2 を基準。3 V_{SS2} を基準。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 8. 最大の連続動作電圧¹

Parameter	Value	Constraint
60 Hz AC Voltage	1500 V rms	20 year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	1660 V peak	Limited by the creepage of the package, Pollution Degree 2, Material Group I ^{2,3}

1 詳細については、[絶縁寿命](#)のセクションを参照してください。

2 他の汚染度条件および材料グループ条件により、別の制限が発生します。

3 一部のシステム・レベル規格では、プリント配線基板 (PWB) の沿面距離値をコンポーネントに使用することを許可しています。これらの規格では、サポートされているDC電圧が高いことがあります。

ESDに関する注意

**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

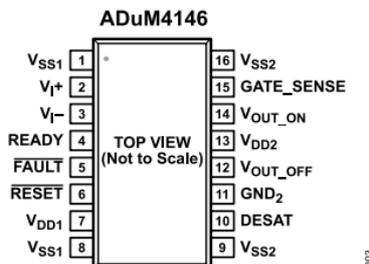


図 3. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1, 8	V _{SS1}	1次側のグラウンド基準。
2	V _{I+}	正論理CMOS入力駆動信号。
3	V _{I-}	負論理CMOS入力駆動信号。
4	READY	オーブンドレイン・ロジック出力。信号を読み出すには、 READY ピンをプルアップ抵抗に接続します。 READY ピンがハイ状態の場合は、デバイスが機能しており、ゲート・ドライバとして動作できることを示しています。 READY がローの場合、ゲート駆動出力がハイに遷移することはできません。
5	FAULT	オーブンドレイン・ロジック出力。信号を読み出すには、 FAULT ピンをプルアップ抵抗に接続します。 FAULT ピンがロー状態の場合は、非飽和故障が発生したことを示しています。故障が発生している場合、ゲート駆動出力がハイに遷移することはできません。
6	RESET	CMOS入力。故障が存在する場合、 RESET ピンをローにすると故障がクリアされます。
7	V _{DD1}	1次側の入力電源電圧で、2.5V~5.5V。V _{SS1} を基準とします。
9, 16	V _{SS2}	2次側の負の電源電圧で、-15V~0V。GND ₂ を基準とします。
10	DESAT	非飽和状態の検出。 DESAT ピンは、外部電流源またはプルアップ抵抗に接続します。 DESAT ピンで故障が検出されると、1次側の故障を示す FAULT ピンがアサートされます。1次側で故障をクリアするまで、ゲート駆動が停止します。故障状態では、小型のターンオフFETによりゲート電圧がゆっくりと低下します。
11	GND ₂	2次側のグラウンド基準。GND ₂ ピンは、駆動されるSiC MOSFETのソースに接続します。
12	V _{OUT_OFF}	オフ信号用のゲート駆動出力電流バス。
13	V _{DD2}	2次側の入力電源電圧で、12V~30V。V _{SS2} を基準とします。
14	V _{OUT_ON}	オン信号用のゲート駆動出力電流バス。
15	GATE_SENSE	ゲート電圧検知入力およびミラー・クランプ出力。 GATE_SENSE ピンは、駆動されるパワー・デバイスのゲートに接続します。 GATE_SENSE ピンは、ミラー・クランピングの目的でゲート電圧を検知します。ミラー・クランプを使用しない場合は、 GATE_SENSE をV _{SS2} に接続します。

表 10. 真理値表（正ロジック）

V _{I+} Input	V _{I-} Input	RESET Pin	READY Pin	FAULT Pin	V _{DD1} State	V _{DD2} State	V _{GATE} ¹
Low	Low	High	High	High	Powered	Powered	Low
Low	High	High	High	High	Powered	Powered	Low
High	Low	High	High	High	Powered	Powered	High
High	High	High	High	High	Powered	Powered	Low
Don't Care	Don't care	High	Low	Unknown	Powered	Powered	Low
Don't Care	Don't care	High	Unknown	Low	Powered	Powered	Low
Low	Low	High	Low	Unknown	Unpowered	Powered	Low
Don't Care	Don't care	Low ²	Unknown	H3	Powered	Powered	Low
Don't Care	Don't care	Don't care	Low	Unknown	Powered	Unpowered	Unknown

1 V_{GATE}は、駆動されるゲートの電圧。

2 時間依存値。詳細については、[絶対最大定格](#)のセクションを参照してください。

代表的な性能特性

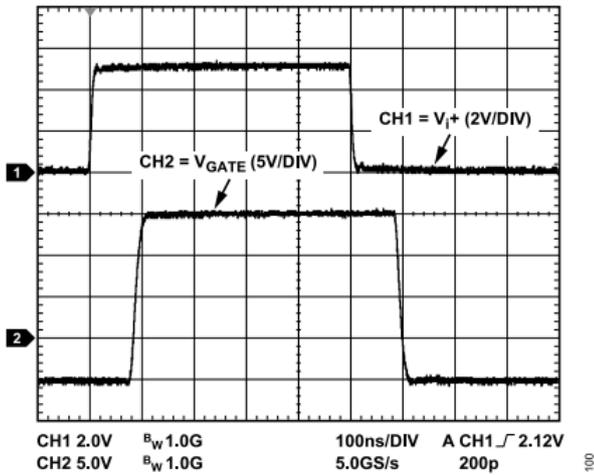


図 4. 代表的な入力-出力波形、2nFの負荷、3.6Ωの直列ゲート抵抗、 $V_{DD1} = 5V$ 、 $V_{DD2} = 15V$ 、 $V_{SS2} = -5V$

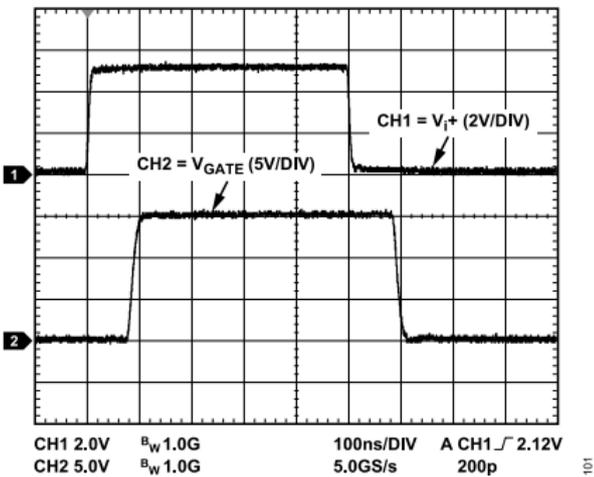


図 5. 代表的な入力-出力波形、2nFの負荷、3.6Ωの直列ゲート抵抗、 $V_{DD1} = 5V$ 、 $V_{DD2} = 15V$ 、 $V_{SS2} = 0V$

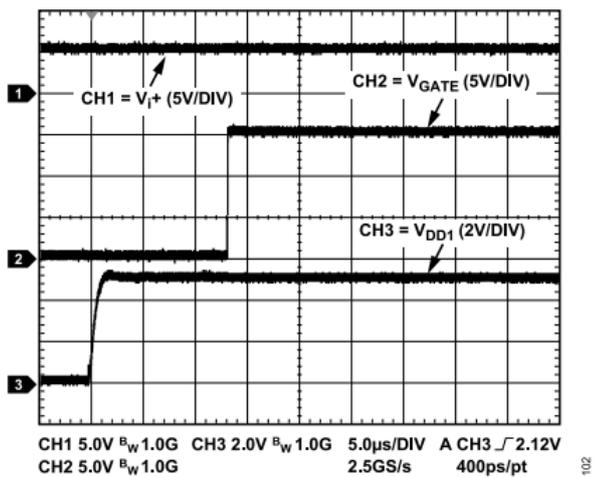


図 6. 代表的な V_{DD1} スタートアップから出力有効まで

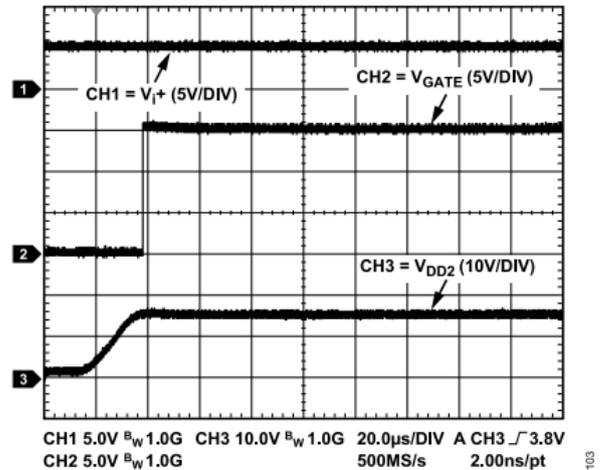


図 7. 代表的な V_{DD2} スタートアップから出力有効まで

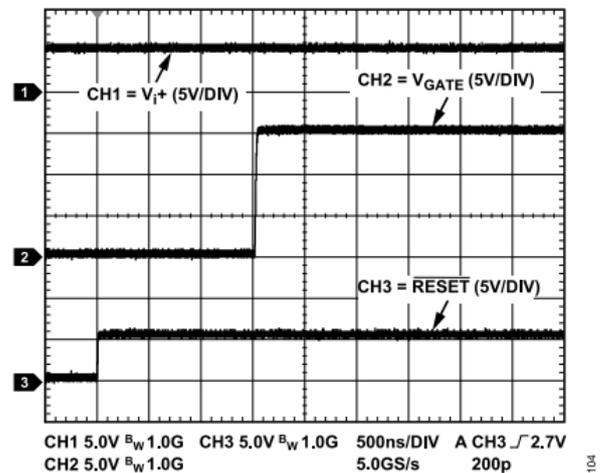


図 8. 代表的なRESETから出力有効まで

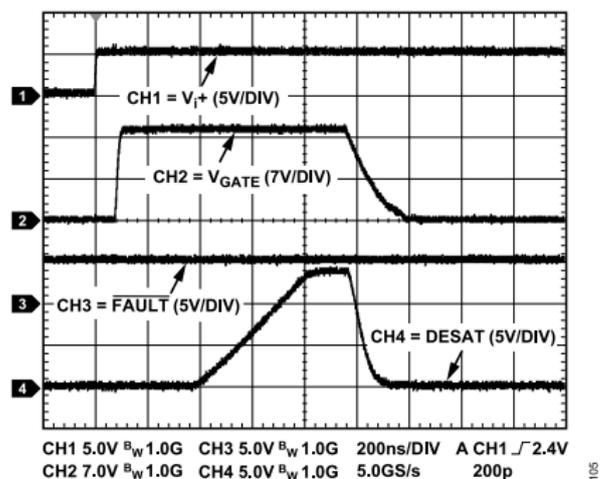


図 9. 非飽和状態の発生と通知の例、グレードB

代表的な性能特性

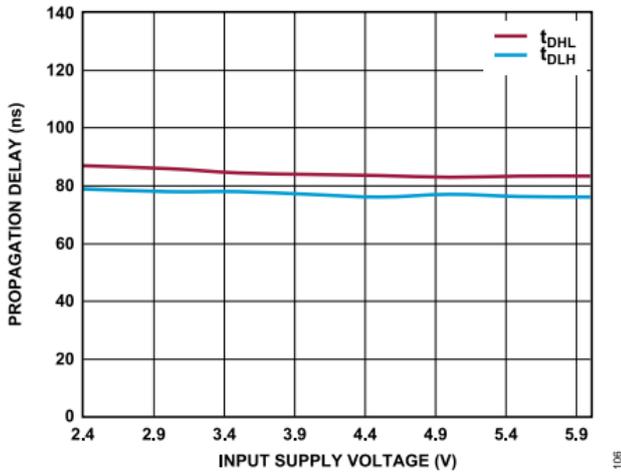


図 10. 伝搬遅延と入力電源電圧 (V_{DD1}) の関係、 $V_{DD2} - V_{SS2} = 15V$

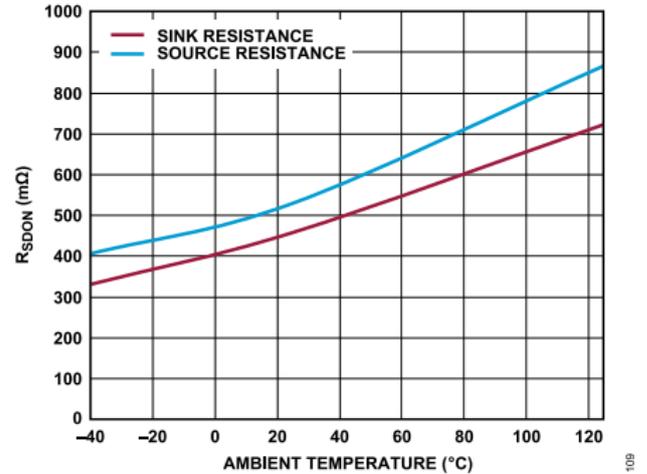


図 13. 出力抵抗($R_{DS(on)}$)と周囲温度の関係、 $V_{DD2} = 15V$ 、 $250mA$ でテスト

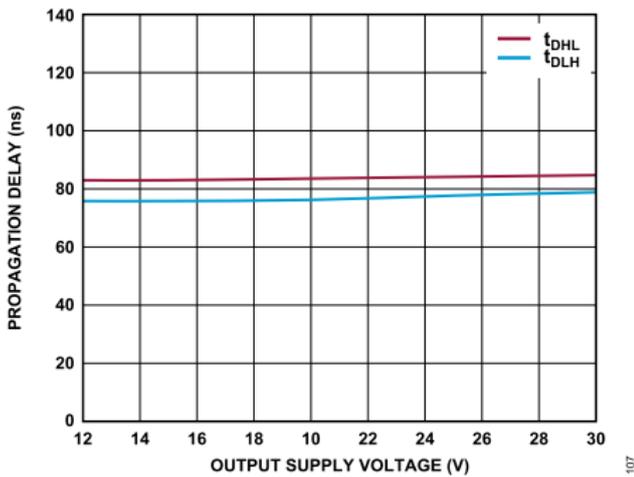


図 11. 伝搬遅延と出力電源電圧 (V_{DD2}) の関係、 $V_{DD1} = 5V$

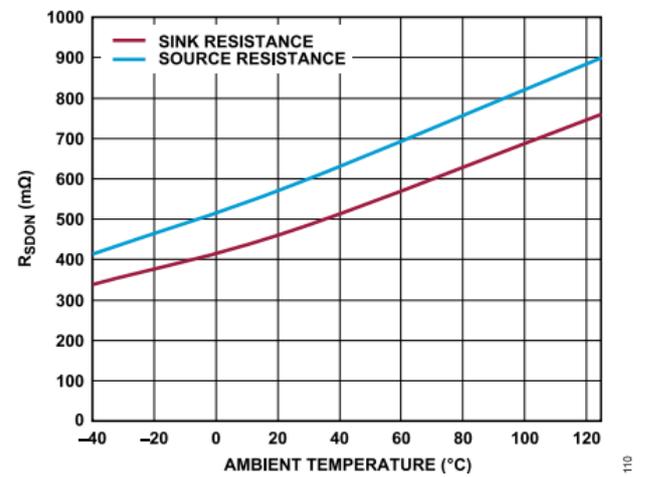


図 14. $R_{DS(on)}$ と周囲温度の関係、 $V_{DD2} = 15V$ 、 $1A$ でテスト

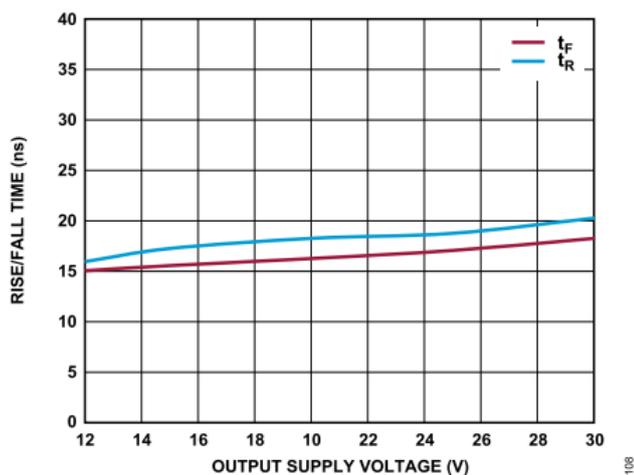


図 12. 立上がり／立下がり時間と出力電源電圧 (V_{DD2}) の関係、 $V_{DD1} = 5V$ 、 $2nF$ の負荷、 $R_G = 3.6\Omega$

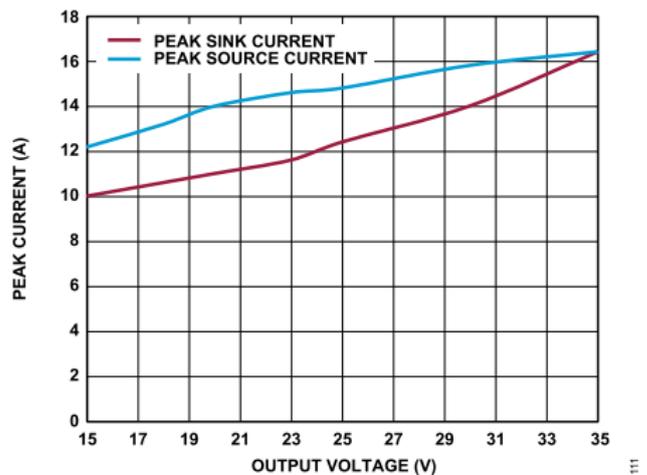


図 15. ピーク電流と出力電圧の関係、 0Ω の直列ゲート抵抗

アプリケーション情報

PCBレイアウト

ADuM4146のSiCゲート・ドライバに、ロジック・インターフェース用の外部インターフェース回路は不要です。入出力の電源ピンに電源バイパス・コンデンサを接続する必要があります。0.01 μ F～0.1 μ Fの小型セラミック・コンデンサを使用して、最適な高周波バイパスを提供します。出力電源ピン V_{DD2} では、 V_{DD2} と GND_2 、 GND_2 と V_{SS2} の間に10 μ Fのコンデンサを追加して、ADuM4146の出力でゲート容量を駆動するのに必要な電荷を提供することを推奨します。 V_{DD2} と V_{SS2} の間に10 μ Fコンデンサをもう1個追加すると、デカップリングをさらに改善することができます。出力電源ピンでは、バイパスでのインダクタンスを低減するために、バイパス・コンデンサでピアを使用したり、複数のピアを使用したりしないでください。小さいコンデンサと入力または出力電源ピンの両端間の合計リード長が5mmを超えてはいけません。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がコンポーネントを通過するのに要する時間を表します。ロー出力への伝搬遅延とハイ出力への伝搬遅延は異なる場合があります。ADuM4146において、 t_{DLH} は入力立上がりハイ・ロジック閾値 (V_{IH}) から出力立上がり10%閾値までの時間として仕様規定されています (図16を参照)。同様に、立下がり伝搬遅延 (t_{DHL}) は、入力立下がりロー・ロジック閾値 (V_{IL}) から出力立下がり90%閾値までの時間として定義されています。立上がり時間と立下がり時間は負荷条件によって異なり、伝搬遅延には含まれません。これはゲート・ドライバの業界標準です。

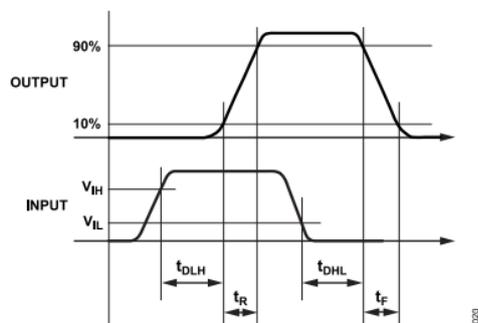


図 16. 伝搬遅延パラメータ

伝播遅延スキューは、同じ温度、入力電圧、負荷条件下で動作する複数のADuM4146コンポーネント間での伝播遅延差の最大値に相当します。

保護機能

故障の通知

ADuM4146は、SiC MOSFETの動作時に発生する可能性のある故障に対して保護機能を備えています。主要な故障状態は非飽和です。飽和状態が検出された場合、ADuM4146はゲート駆動をシャットダウンし、 $\overline{\text{FAULT}}$ をロー・レベルにアサートします。出力は、 $\overline{\text{RESET}}$ がロー・レベルになってから500nsの間はディスエーブルのまま、その後ハイ・レベルになります。 $\overline{\text{FAULT}}$ は、 $\overline{\text{RESET}}$ の立下がりエッジでハイ・レベルにリセットされます。

$\overline{\text{RESET}}$ がロー・レベルに維持されている間、出力はディスエーブルのままになります。 $\overline{\text{RESET}}$ ピンには、300k Ω のプルダウン抵抗が内蔵されています。

非飽和の検出

時折、ADuM4146のSiC MOSFETに接続された回路でコンポーネントに障害や故障が発生することがあります。例えば、インダクタ/モータ巻線に短絡がある場合や、電源/グラウンド・バスへの短絡がある場合などに、障害や故障が発生します。このような短絡があると、結果として過剰な電流が流れて、SiC MOSFETのドレイン-ソース間電圧が過度に高くなります。この状態を検出し、MOSFETが損傷する可能性を低減するため、ADuM4146には閾値回路が採用されています。ハイサイド・ドライバがオンのときに $\overline{\text{DESAT}}$ ピンが9.2V (グレードB) または3.5V (グレードAとグレードC)の非飽和閾値 ($V_{\text{DESAT, TH}}$) を超えると、ADuM4146は故障状態になり、SiC MOSFETがオフになります。このとき、 $\overline{\text{FAULT}}$ ピンがロー・レベルになります。500 μ Aの内部電流源が備わっているだけでなく、外部電流源またはプルアップ抵抗を使用して充電電流を増加させることもできます。ADuM4146には、SiC MOSFETが初めてオンになるときの誤トリガを防止するため、ブランキング時間が設けられています。非飽和を検出してから $\overline{\text{FAULT}}$ ピンに非飽和故障を通知するまでの時間は2 μ s未満です (t_{REPORT})。 $\overline{\text{RESET}}$ をロー・レベルにすると、故障がクリアされます。 $\overline{\text{RESET}}$ ピンには、500nsのバウンス防止時間 ($t_{\text{DEB_RESET}}$) が設けられています。図17に示す t_{MASK} 時間は、SiC MOSFETのオン時間の最初の部分で、ブランキング・コンデンサをグラウンドに接続する内部スイッチをロー・レベルに接続した状態に保つ、300nsのマスキング時間を提供します。

アプリケーション情報

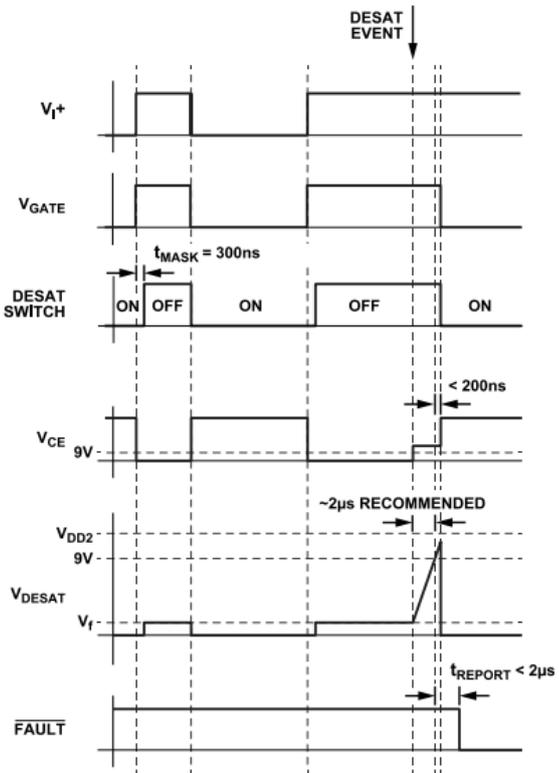


図 17. 非飽和検出のタイミング図

次に、図 22 の回路図と図 17 の波形を使用してデザイン例を説明します。通常動作環境下で、SiC MOSFET がオフになっているとき、SiC MOSFET の両端の電圧 V_{CE} はシステムに供給されるレール電圧まで上昇します。この場合、阻止ダイオードがオフになり、ADuM4146 が高電圧から保護されます。オフになっている間、内部の非飽和スイッチがオンになり、電流がブランキング抵抗 R_{BLANK} を流れます。これにより、ブランキング・コンデンサ C_{BLANK} を低電圧に保つことができます。SiC MOSFET がオンになっている間の最初の 300ns は、DESAT スイッチはオン状態を維持し、DESAT ピン電圧をロー・レベルにクランプします。300ns の遅延時間が経過した後、DESAT ピンが解放され、DESAT ピンは DESAT ピンの内部電流源またはオプションの外部プルアップ R_{BLANK} によって V_{DD2} に向かって上昇し、駆動されるスイッチのコレクタまたはドレインによってクランプされていない場合に電流の駆動能力が向上します。この時点で電流を減衰するには、非飽和抵抗 (R_{DESAT}) を選択します。通常の実験範囲は $100\Omega \sim 2k\Omega$ です。SiC MOSFET のコレクタが高レール電圧を超えることを阻止し、ファスト・リカバリ・ダイオードとして使用できるように、阻止ダイオードを選択してください。

非飽和状態になると、非飽和検出回路で V_{CE} が 9V の閾値を超えます。 R_{BLANK} 抵抗を使用せずにブランキング電流を上昇させる場合、 $500\mu A$ (代表値) を C_{BLANK} 容量で除算した値に比例して、 C_{BLANK} の電圧が上昇します。SiC MOSFET の仕様規定によって異なりますが、標準的なブランキング時間は約 $2\mu s$ です。DESAT ピンが 9V の閾値を超えると故障が検出され、200ns 以内にゲート出力がロー・レベルになります。NチャンネルFET (NFET) 故障 MOSFET (内部ゲート・ドライバNFET よりも約 35 倍抵抗が高い) を使用して出力がロー・レベルになり、ソフト・シャットダウンが実行されます。これにより、デバイスが突然オフになった場合

に SiC MOSFET で過電圧スパイクが発生する可能性が低くなります。2 μs 以内に、1 次側の FAULT ピンに故障が通知されます。故障をクリアするには、リセットする必要があります。

ミラー・クランプ

ADuM4146 は、SiC MOSFET のターンオフ時にミラー容量によって発生する SiC MOSFET ゲート上の電圧スパイクを低減するミラー・クランプを内蔵しています。入力ゲート信号が SiC MOSFET がオフになる (ロー・レベルになる) ように要求すると、ミラー・クランプ MOSFET が最初にオフになります。GATE_SENSE ピン (V_{GATE_SENSE}) の電圧が 2V の内部電圧リファレンス (V_{SS2} を基準) を超えると、内部ミラー・クランプは SiC MOSFET のオフ時間の残り時間にわたってオンにラッチされ、ゲート電流が追従する 2 つ目の低インピーダンス電流パスを作成します。ミラー・クランプ・スイッチは、入力駆動信号がローからハイに変わるまでオン状態を維持します。タイミングの波形の例を図 18 に示します。

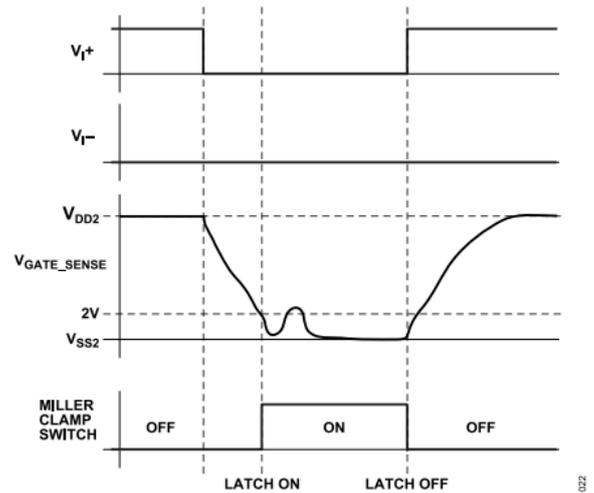


図 18. ミラー・クランプの例

サーマル・シャットダウン (TSD)

ADuM4146 の内部温度が $155^\circ C$ (代表値) を超えると、デバイスは TSD 状態になります。TSD 状態の間、READY ピンは 1 次側でロー・レベルになり、ゲート駆動がディスエーブルになります。TSD 状態になると、内部温度が $125^\circ C$ (代表値) 未満になるまでデバイスは TSD を終了しません。内部温度が $125^\circ C$ (代表値) 未満になると、READY ピンがハイ・レベルに戻り、デバイスがシャットダウンを終了します。

低電圧ロックアウト (UVLO) 故障

UVLO 故障は、電源電圧が指定された UVLO 閾値未満の場合に発生します。1 次側または 2 次側が UVLO 状態になると、READY ピンがロー・レベルになり、ゲート駆動がディスエーブルになります。UVLO 状態が解消されると、デバイスは動作を再開し、READY ピンがハイ・レベルになります。

アプリケーション情報

READYピン

オープンドレインのREADYピンは、1次側と2次側の通信がアクティブであることを確認する出力です。UVLO状態またはTSD状態が存在しない場合、READYピンはハイ・レベルを維持します。READYピンがロー・レベルになると、SiC MOSFETのゲートがロー・レベルになります。

表 11. 最大の連続動作電圧¹

UVLO	TSD	READY Pin Output
No	No	High
Yes	No	Low
No	Yes	Low
Yes	Yes	Low

FAULTピンとRESETピン

オープンドレインのFAULTピンは、非飽和故障が発生したことを通知する出力です。FAULTピンがロー・レベルになると、SiC MOSFETのゲートがロー・レベルになります。非飽和状態になった場合、RESETピンを少なくとも500nsの間ロー・レベルにしてから、ハイ・レベルにし、動作をSiC MOSFETゲート駆動に戻す必要があります。

RESETピンには、300k Ω (代表値) のプルダウン抵抗が内蔵されています。RESETピンは、CMOSレベルのロジックを受け付けます。RESETピンがロー・レベルに維持されたまま500nsのバウンズ防止時間が経過すると、RESETピンの故障はすべてクリアされます。RESETピンがロー・レベルに維持されている間、V_{OUT_OFF}のスイッチは閉じて、SiC MOSFETのゲート電圧がロー・レベルになります。RESETピンがハイ・レベルになると、故障が存在しなくなり、デバイスは動作を再開します (図 19を参照)。

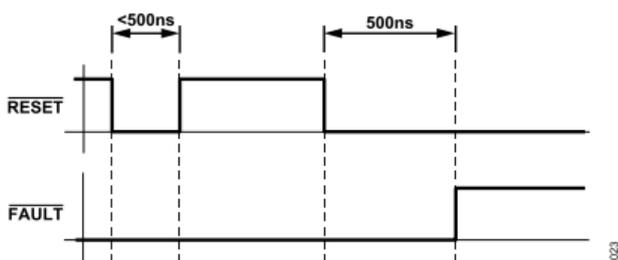
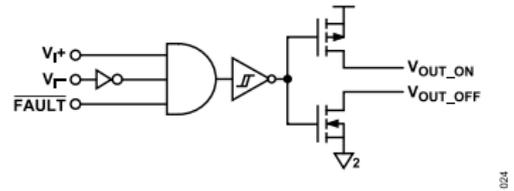


図 19. タイミング

V_{I+}およびV_{I-}動作

ADuM4146には、SiC MOSFETゲート駆動信号V_{OUT_ON}およびV_{OUT_OFF}を制御するための2つの駆動入力V_{I+}とV_{I-}があります (図 20参照)。V_{I+}入力とV_{I-}入力はどちらもCMOSロジック・レベル入力を使用します。V_{I+}ピンとV_{I-}ピンの入力ロジックを制御するには、V_{I+}ピンをハイ・レベル、またはV_{I-}ピンをロー・レベルにアサートします。V_{I-}ピンがロー・レベルの場合、V_{I+}ピンは正論理を受け付けます。V_{I+}がハイ・レベルに維持されている場合、V_{I-}ピンは負論理を受け付けます。故障がアサートされた場合、RESETピンによって故障がクリアされるまで送信がブロックされます。

図 20. V_{I+}およびV_{I-}のブロック図

最小パルス幅は、タイミング仕様が確保される最小期間です。

ゲート抵抗の選択

ADuM4146には、SiC MOSFET駆動用に2つの出力ノードがあります。この利点は、SiC MOSFETのターンオンとターンオフ用に2つの異なる直列抵抗を選択できることです。通常は、ターンオンよりもターンオフを速くするように設定します。直列抵抗を選択するには、SiC MOSFETの最大許容ピーク電流 (I_{PEAK}) を決定します。ゲートの電圧振幅とゲート・ドライバの内部抵抗から外部抵抗を求めることができます。

$$I_{PEAK} = (V_{DD2} - V_{SS2}) / (R_{DSON_N} + R_{GOFF})$$

例えば、ターンオフ・ピーク電流が4 Aで、(V_{DD2} - V_{SS2}) が18Vの場合は、次のようになります。

$$R_{GOFF} = ((V_{DD2} - V_{SS2}) - I_{PEAK} \times R_{DSON_N}) / I_{PEAK}$$

$$R_{GOFF} = (18 \text{ V} - 4 \text{ A} \times 0.6 \Omega) / 4 \text{ A} = 3.9 \Omega$$

R_{GOFF}を選択した後に、少し大きいR_{GON}を選択して、ターンオン時間を遅くすることができます。

消費電力

SiC MOSFETゲートの駆動中、ゲート・ドライバは電力を消費することになります。この電力は無視できるレベルではないため、留意しないとサーマル・シャットダウン状態になります。SiC MOSFETのゲートは、容量性負荷として大きめにシミュレートすることができます。ミラー容量と他の非直線性により、一般的には、所与のSiC MOSFETの指定入力容量 (C_{ISS}) に5を乗算して、駆動される負荷の概算値を見積もります。この値を使用して、スイッチング動作によるシステムの総消費電力(P_{DISS})を見積もるには次の数式を使用します。

$$P_{DISS} = C_{EST} \times (V_{DD2} - V_{SS2})^2 \times f_s$$

ここで、

$$C_{EST} = C_{ISS} \times 5$$

f_s はSiC MOSFETのスイッチング周波数です。

この消費電力は、内部ゲート・ドライバの内部オン抵抗と外部ゲート抵抗R_{GON}およびR_{GOFF}で共有されます。直列抵抗の合計に対する内部ゲート抵抗の比率により、ADuM4146チップ内の損失を計算できます。

アプリケーション情報

$$P_{DISS_ADuM4146} = P_{DISS} \times 0.5(R_{DS(on)_P} / (R_{GON} + R_{DS(on)_P}) + R_{DS(on)_N} / (R_{GOFF} + R_{DS(on)_N}))$$

ここで、

$P_{DISS_ADuM4146}$ は ADuM4146 の消費電力。

チップ内の消費電力に θ_{JA} を乗算することで、周囲温度に対する ADuM4146 の温度上昇値を得られます。

$$T_{ADuM4146} = \theta_{JA} \times P_{DISS_ADuM4146} + T_{AMB}$$

ここで、

$T_{ADuM4146}$ は ADuM4146 のジャンクション温度。

T_{AMB} は周囲温度。

ADuM4146 を仕様範囲内で使用するには、 $T_{ADuM4146}$ が 125°C を超えないようにする必要があります。

155°C (代表値) を超えると、 $T_{ADuM4146}$ はサーマル・シャットダウン状態になります。

絶縁寿命

すべての絶縁構造は、長時間にわたって電圧ストレスを加えると最終的には破壊されます。絶縁性能の低下率は、絶縁の両端に加える電圧波形の特性だけでなく、材料の境界面や材料自体にも依存します。

注目すべき2つの絶縁劣化タイプとして、空気にさらされる表面に沿った破損と絶縁疲労があります。表面の破損は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件を決定する主な要素となります。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたり絶縁の劣化が生じる現象です。

表面トラッキング

表面トラッキングは電気安全規格に規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離を定めることによって決定されます。安全性規制当局は、コンポーネントの表面絶縁について特性評価の試験を行います。これにより、コンポーネントを異なる材料グループに分類することができます。材料グループ等級が低いものほど表面トラッキングに対する耐性が高く、短い沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループに対する最小沿面距離は、各システム・レベル規格の範囲内にあります。この値は、絶縁をまたぐ合計実効値電圧、汚染度、材料グループに基づいています。ADuM4146 アイソレータの材料グループと沿面距離を表 8 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。大部分の規格で規定されているのは、トラッキングに適用される動作電圧です。

試験とモデリングにより、長期間にわたる性能低下の主な要因は、増分型の損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体にかかるストレスは、DC ストレスや、AC 成分の時間と共に変化する電圧ストレスに大別できます。前者の場合は変位電流が存在しないため、ほとんど疲労が発生しませんが、後者の場合は疲労が発生します。

認定ドキュメントに記載されている定格は、通常 60Hz のサイン波ストレスに基づいています。これは、ライン電圧からの絶縁がこのストレスに反映されるためです。ただし、多くの実用的なアプリケーションでは、バリアをまたぐ 60Hz の AC 電圧と DC 電圧の組み合わせが使用されます (式1を参照)。疲労を発生させるのはストレスの AC 部分だけなので、この式は AC 実効値電圧を求めるように並べ替えることができます (式2を参照)。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC 実効値電圧によって製品寿命が決定されます。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

V_{RMS} は、動作電圧の時間と共に変化する部分。

$V_{AC\ RMS}$ は、動作電圧の時間と共に変化する部分。

V_{DC} は、動作電圧の DC オフセット。

アプリケーション情報

計算とパラメータ使用の例

電力変換アプリケーションでの一般的な例を次に示します。絶縁バリアの一方の側に240V AC rmsのライン電圧、もう一方の側に400V DCのバス電圧がかかっているものとします。絶縁材料はポリイミドです。デバイスの沿面距離と寿命を判断する際の臨界電圧を求めるには、[図 21](#)と以下の式を参照してください。

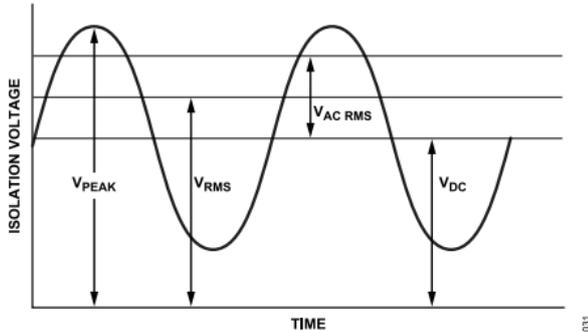


図 21. 臨界電圧の例

式1のバリアの両端にかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\ \text{V rms}$$

システムの規格で要求される沿面距離を求める場合は、この466V rmsの動作電圧を材料グループおよび汚染度と組み合わせて使用します。

寿命が十分かどうかを判断するには、動作電圧の時間と共に変化する部分を求めます。AC実効値電圧は式2から得られます。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

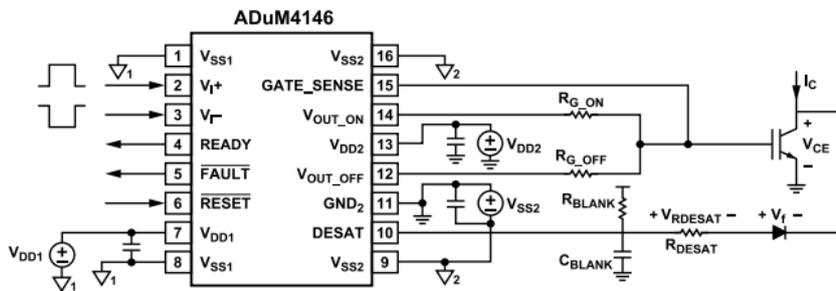
$$V_{AC\ RMS} = 240\ \text{V rms}$$

この場合、 $V_{AC\ RMS}$ は240V rmsのライン電圧です。この計算は、波形が正弦波でない場合は更に重要になります。AC波形の値を[表 8](#)に示す動作電圧の制限値と比較して期待寿命を確認すると、60Hzサイン波の値よりも低く、20年の運用寿命規定を十分に満たしていることがわかります。

[表 8](#)に示すDC動作電圧の制限値は、IEC 60664-1の規定に準拠したパッケージの沿面距離によって設定されています。この値は、特定のシステム・レベル規格とは異なることがあります。

代表的なアプリケーション

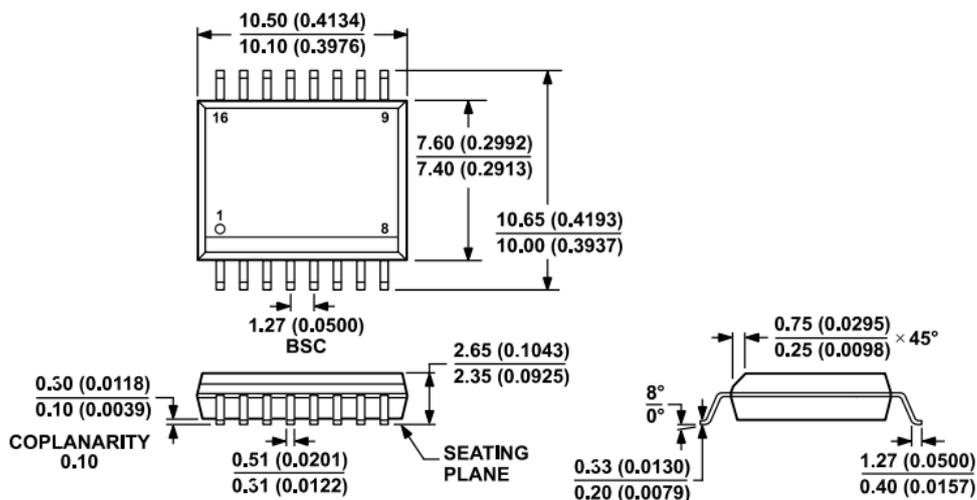
[図 22](#)の代表的なアプリケーション回路図は、 R_{BLANK} 抵抗を追加したバイポーラ設定を示しています。この設定は、非飽和検出においてブランキング・コンデンサ (C_{BLANK})の充電電流を増加させるために使用されます。 R_{BLANK} 抵抗はオプションです。ユニポーラ動作にする場合は、 V_{SS2} 電源を取り外して、 V_{SS2} を GND_2 に接続する必要があります。



¹ GROUND ON THE PRIMARY SIDE ARE ISOLATED FROM GROUNDS ON THE SECONDARY SIDE.
² GROUND ON THE SECONDARY SIDE ARE ISOLATED FROM GROUNDS ON THE PRIMARY SIDE.

図 22. 代表的なアプリケーション回路図

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-49

図 23. 16ピン標準スモール・アウトライン・パッケージ [SOIC_W]
 ワイド・ボディ (RW-16)
 寸法単位 : mm (インチ)

更新 : 2022年3月24日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADUM4146ARWZ	-40°C to +125°C	16-Lead SOIC Wide	Tube, 47	RW-16
ADUM4146ARWZ-RL	-40°C to +125°C	16-Lead SOIC Wide	Reel, 1000	RW-16
ADUM4146BRWZ	-40°C to +125°C	16-Lead SOIC Wide	Tube, 47	RW-16
ADUM4146BRWZ-RL	-40°C to +125°C	16-Lead SOIC Wide	Reel, 1000	RW-16
ADUM4146CRWZ	-40°C to +125°C	16-Lead SOIC Wide	Tube, 47	RW-16
ADUM4146CRWZ-RL	-40°C to +125°C	16-Lead SOIC Wide	Reel, 1000	RW-16

¹ Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADuM4146EBZ	Evaluation Board

¹ Z = RoHS準拠製品。

