

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年12月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年12月22日

製品名：ADuCM410

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：14 ページ

SPI タイミング：Master Mode の項、最初の文

【誤】

・・・SPI SPI GPIO・・・

【正】

・・・SPI GPIO・・・



MDIO インターフェース使用の 16 ビット・アナログ入出力と Arm Cortex-M33 を備えた高精度 アナログ・マイクロコントローラ

データシート

ADuCM410

特長

アナログ入出力

- マルチチャンネルの 16 ビット 2MSPS ADC
 - 最大 16 の外部チャンネル
 - ダイ温度モニタ内蔵
 - 4 つの電力モニタ・チャンネル
 - 電圧および電流測定が可能な 4 つの PGA/TIA チャンネル
 - 完全差動モードとシングルエンド・モード
 - 0V~VREF のアナログ入力範囲
- 12 ビット電圧出力 DAC
 - 0V~2.5V の 1kΩ 負荷 × 8
 - 0V~2.5V の 2.5kΩ 負荷 × 4
- 内蔵低ドリフト電圧リファレンス、1.25V または 2.5V バッファ付きの 1.25V または 2.5V 出力
- 電圧コンパレータ × 4

マイクロコントローラ

- 32 ビット ARM Cortex-M33 コア、
32 ビット RISC アーキテクチャ、FPU
- シリアル・ワイヤ・ポートはコードのダウンロードと
デバッグをサポート

クロック・オプション

- 16MHz 内蔵発振器
- プログラマブル分周器を備えた 160MHz PLL 出力
- 外部クロック源

メモリ

- 2 × 512kB 独立フラッシュ/EE メモリ
 - フラッシュ/EE 書換え回数: 10,000 回
 - フラッシュ/EE データ保持期間: 10 年間
- ECC 機能付きの 128kB SRAM

ソフトウェア・トリガにより、MDIO または I²C を介し
インサーキットで再プログラムが可能

内蔵ペリフェラル

- UART × 2、SPI × 3、I²C シリアル入出力 × 3
- マルチレベル電圧 (3.3V、1.8V、1.2V) GPIO
- 10MHz までの MDIO スレーブ
- 汎用タイマー × 5
- ウェイクアップ・タイマー (WUT)
- ウォッチドッグ・タイマー (WDT)
- 32 素子 PLA
- 16 ビット PWM
- 外部割込み × 10

電力

- 複数電源: DAC および ADC 用の 3.3V、デジタル入出力用の
3.3V/1.8V/1.2V

低消費電力アプリケーション用の柔軟な動作モード

パッケージと温度範囲

- 5mm × 5mm の 81 ボール CSP_BGA と
3.46mm × 3.46mm の 64 ボール WLCSF

BGA パッケージは ULA モールド・コンパウンドを使用

-40°C~+105°C の全動作温度について仕様規定
ツール

- 低コストのクイック・スタート開発システム
- 完全なサードパーティ・サポート

アプリケーション

- 100Gbps/200Gbps/400Gbps およびそれ以上の周波数で
動作するモジュールの光学ネットワーキング
- 工業用制御、オートメーション、計測器

概要

ADuCM410 は全機能内蔵型のシングル・パッケージ・デバイス
で、高性能のアナログ・ペリフェラルとデジタル・ペリフェラ
ル (160MHz の ARM[®] Cortex[™]-M33 プロセッサにより制御) が
組み込まれている他、コードおよびデータ用のフラッシュ・メ
モリも内蔵しています。

ADuCM410 の A/D コンバータ (ADC) は、最大で 16 本の入力
ピンを使って 16 ビット 2MSPS のデータ・アキュジションを行
います。これらのピンは、電圧および電流測定用のプログラマ
ブル・ゲイン・アンプ (PGA) またはトランスインピーダ
ンス・アンプ (TIA) を使って、シングルエンド動作または差動
動作にプログラムすることができます。更に、ダイ温度と電源
電圧の測定が可能です。

ADC の入力電圧は 0V~VREF です。一連の ADC チャンネルを
選択して順番に測定を行うことのできるシーケンスを 1 つ備え
ており、シーケンス実行時にソフトウェアが関与することはあ
りません。このシーケンスはオプションで自動的に繰り返すこ
ともでき、その際のレートは選択可能です。

最大で 12 チャンネルの 12 ビット電圧 D/A コンバータ (VDAC)
も備わっており、出力バッファをサポートしています。

ADuCM410 は、ウォッチドッグまたはソフトウェアのリセッ
ト・シーケンス時に、デジタル出力およびアナログ出力がその
出力電圧を維持するように構成できます。したがって、
ADuCM410 がリセット中であっても、製品はその機能を維持す
ることができます。

ADuCM410 は、低消費電力の ARM Cortex-M33 プロセッサと、
浮動小数点演算ユニット (FPU) を使って最大 240MIPS のピー
ク性能を発揮する 32 ビットの縮小命令セット・コンピュータ
(RISC) を搭載しています。また、2 × 512kB のフラッシュ/
EE メモリと 128kB のスタティック・ランダム・アクセス・メモ
リ (SRAM) も内蔵しており、これらは共に 1 ビット・エラー訂
正 (SEC) および 2 ビット・エラー検出 (DED) によるエラー
検出および訂正 (ECC) 方式を採用しています。このフラッシ
ュは 512kB のブロック 2 つで構成されており、一方のフラッシ
ュ・ブロックから実行したり、他方のフラッシュ・ブロックの
同時書き込みや同時消去を行ったりすることができます。

3 ページへ続く

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	代表的な性能特性	17
アプリケーション	1	ピン配置およびピン機能の説明	18
概要	1	動作原理	29
改訂履歴	2	ADC の RMS ノイズ分解能	30
機能ブロック図	4	アプリケーション情報	31
仕様	5	電源	31
タイミング仕様	11	パワーアップ条件	31
絶対最大定格	16	推奨される回路と部品の値	32
熱抵抗	16	外形寸法	34
静電放電 (ESD) 定格	16	オーダー・ガイド	35
ESD に関する注意	16		

改訂履歴

9/2020—Revision 0: Initial Version

ADuCM410 は内蔵発振器で動作し、160MHz のフェーズ・ロック・ループ (PLL) を備えています。このクロックは、電流消費量を減らすためにオプションで分周可能です。また、ADuCM410 のソフトウェアを介して低消費電力モードを追加設定することもできます。

このデバイスは、最大 10MHz まで動作可能な管理データ入出力 (MDIO) インターフェースを備えています。物理アドレス (PHYADR) とデバイス・アドレス (DEVADR) のハードウェア・コンパレータを組み込むことによって、ユーザ・プログラミングが容易になっています。ユーザ・フラッシュ内のフラグと組み合わせられた消去不能カーネル・コードは、ユーザ・コードが 2 つのハードウェア非依存フラッシュ・ブロック間の切り替えを確実に行えるようにします。

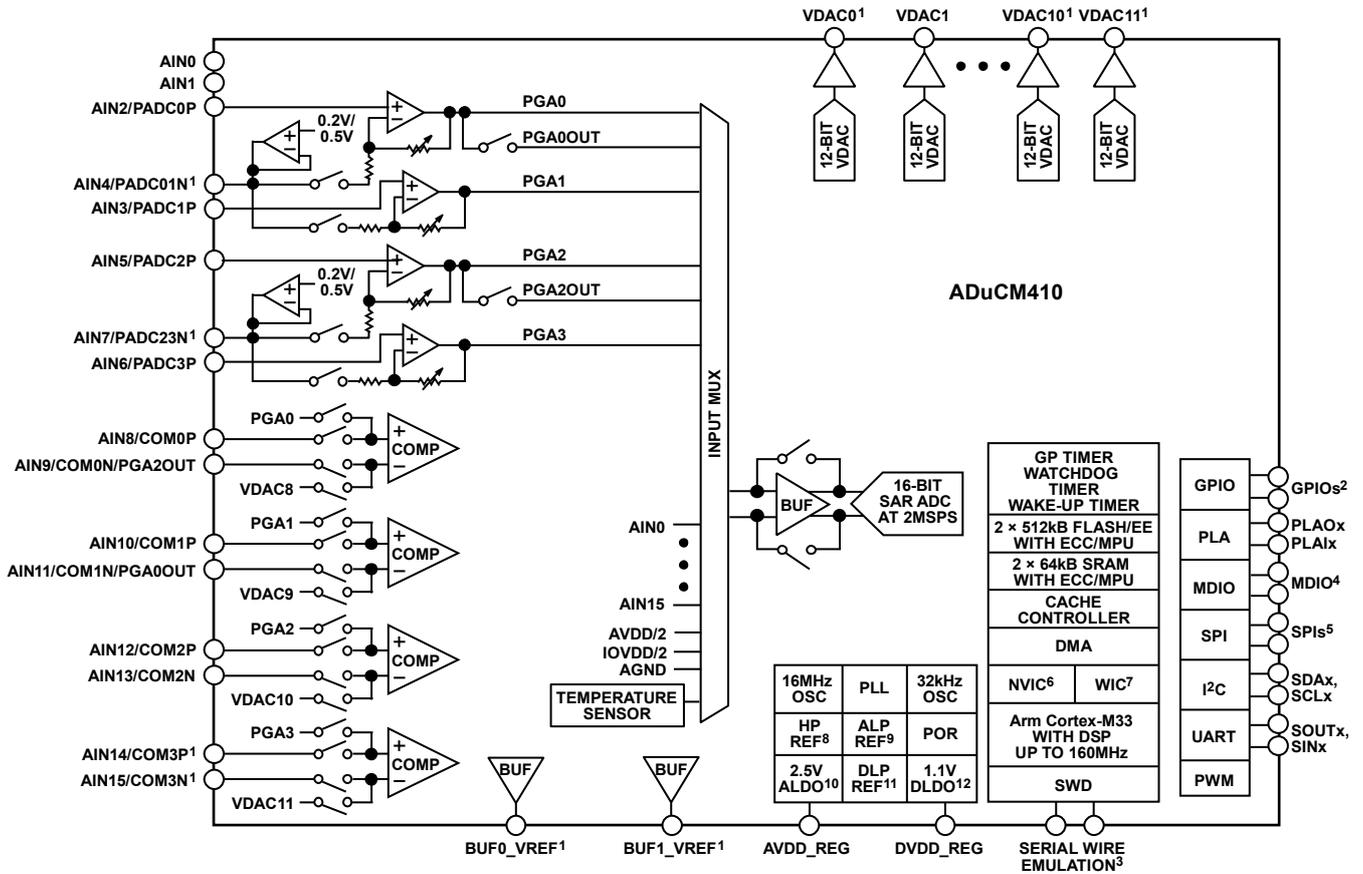
ADuCM410 には様々なオンチップ・ペリフェラルが組み込まれています。これらの周辺機能は、アプリケーションの必要に応じてソフトウェア制御により設定することができます。これらのペリフェラルには、ユニバーサル非同期レシーバー／トランスミッタ (UART、×2)、I²C (×3)、シリアル・ペリフェラル・インターフェース (SPI) シリアル入出力通信コントローラ (×3)、汎用入出力 (GPIO)、32 素子プログラマブル・ロジック・アレイ (PLA)、汎用タイマー (×5)、ウェイクアップ・タイマー (WUT)、およびシステム・ウォッチドッグ・タイマー (WDT) が含まれています。8 つの出力チャンネルを持つ 16 ビットのパルス幅変調 (PWM) 機能も備えています。

GPIO ピン (Px.x) は、高インピーダンス入力モードでパワーアップします。出力モードでは、ソフトウェアがオープンドレイン・モードまたはプッシュ／プル・モードを選択します。プルアップ抵抗とプルダウン抵抗は、ソフトウェアでディスエーブルまたはイネーブルできます。GPIO ピンは、3.3V、1.8V、1.2V など、IOVDDx ピンに従って異なる電圧レベルで構成することができます。GPIO 出力モードでは、入力をイネーブルのままにして GPIO ピンをモニタすることができます。GPIO ピンはデジタルまたはアナログのペリフェラル信号を扱うようにプログラムすることもでき、その場合、ピン特性は指定された条件に合わせて設定されます。

ARM Cortex-M33 プロセッサに関しては大規模なサポート・エコシステムを利用できるので、ADuCM410 の製品開発が容易になります。アクセスは、ARM のシリアル・ワイヤ・デバッグ・ポートを介して行います。オンチップのファクトリ・ファームウェアにより、MDIO または I²C を介したインサーキット・シリアル・ダウンロードがサポートされています。これらの機能は、この高精度のアナログ・マイクロコントローラをサポートする低価格の開発システムに搭載されています。

このデータシートでは、複数の機能を備えたピンを表記する際には VDAC7/P4.2 のようにすべてのピン名を表記しますが、特定の機能のみが関係する箇所では P4.2 のように 1 つのピン機能で表記します。

機能ブロック図



¹THIS IS A PARTIAL FUNCTION OF A MULTIFUNCTION PIN. FOR EXAMPLE, VDACC0 AND AIN4/PADC01N ARE SEPARATE FUNCTIONS ON THE SAME PIN, AIN4/PADC01N/VDACC0.

²GPIOs REFER TO Px.x.

³SERIAL WIRE EMULATION REFERS TO SWDIO, SWCLK, AND SWO.

⁴MDIO REFERS TO PRTADDRx, MDIO, AND MCK.

⁵SPIs REFER TO SLKx, CSx, MOSIx, SRDYx, AND MISIx.

⁶NVIC IS NESTED VECTORED INTERRUPT CONTROLLER.

⁷WAKE-UP INTERRUPT CONTROLLER.

⁸HP REF IS HIGH POWER REFERENCE.

⁹ALP REF IS ANALOG LOW POWER REFERENCE.

¹⁰ALDO IS ANALOG LOW DROPOUT REGULATOR.

¹¹DLP REF IS DIGITAL LOW POWER REFERENCE.

¹²DLDO IS DIGITAL LOW DROPOUT REGULATOR.

図 1.

20321-001

仕様

特に指定のない限り、AVDD = IOVDD0 = 2.85V~3.6V、IOVDD1 = 1.2V または 1.8V、DVDD = 1.8V~3.6V、VREF = 2.5V（内部リファレンス）、コア周波数（ f_{CORE} ） = 160MHz、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ 。HCLK は高速システム・クロック。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント	
ADC CHANNEL SPECIFICATIONS						
ADC Power-Up Time		5		μs		
Data Rate (f_{ADC})			2	MSPS		
Resolution	16			Bits	2.5V 内部リファレンス	
Integral Nonlinearity	-4	± 1	+3	LSB	AINx への電圧入力、PGA オフ、差動モード	
	-9.5	± 1	+6	LSB	AINx への電圧入力、PGA オフ、シングルエンド・モード	
	-9.5	± 5	+8	LSB	ADC への PGA 電圧入力、G = 2	
		± 4		LSB	G = 4	
		± 5		LSB	G = 6	
		± 5		LSB	G = 8	
		± 8		LSB	G = 10	
					TIA 入力チャンネル	
		-8	± 3	+12	LSB	TIA 抵抗 (R_{TIA}) = 250 Ω
		-8	± 3	+8	LSB	R_{TIA} = 750 Ω 、2k Ω
Differential Nonlinearity	-11.5	± 6	+11.5	LSB	R_{TIA} = 5k Ω	
	-15	± 8	+15	LSB	R_{TIA} = 10k Ω 、20k Ω 、100k Ω	
	-0.9	± 0.9	+1.5	LSB	差動およびシングルエンド	
					1000 サンプルに対する平均 ADC コードからの最小および最大範囲	
		± 9		LSB	ADC 入力 = 2V、シングルエンド・モード、 f_{ADC} = 2MSPS、PGA オフ	
DC Code Distribution ¹		± 5		LSB	ADC 入力 = 1V、差動モード、 f_{ADC} = 50kSPS、PGA ゲイン = 2、オーバーサンプリング比 (OSR) = 8	
		± 5		LSB	ADC 入力 = 200mV、差動モード、 f_{ADC} = 50kSPS、PGA ゲイン = 10、OSR = 8	
		± 5		LSB	TIA モード、ゲイン抵抗 = 100k Ω 、 f_{ADC} = 25kSPS、OSR = 4、入力電流 = 10 μA	
ENDPOINT ERRORS						
Offset Error	-425	± 150	+330	μV	電圧入力のみ	
	-770	± 200	+830	μV	PGA オフ	
					PGA チャンネル、ADC への電圧入力、G = 2、4、6、8、10、TIA 入力チャンネル、すべてのゲイン設定、電流を電圧に変換、製造時キャリブレーション未実施、この誤差はユーザ・キャリブレーションにより除去可能	
	-250	± 150	+225	μV	ゲイン抵抗 = 250 Ω 、750 Ω	
	-415	± 250	+365	μV	ゲイン抵抗 = 2k Ω	
	-610	± 200	+555	μV	ゲイン抵抗 = 5k Ω	
	-1460	± 250	+1375	μV	ゲイン抵抗 = 10k Ω 、20k Ω 、100k Ω	
Offset Error Drift		± 4		$\mu V/^{\circ}C$	PGA オフ	
Offset Error Drift Matching		± 1		$\mu V/^{\circ}C$	AIN0 とマッチングを比較、電圧入力チャンネルは PGA オフのみ	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Full-Scale Error	-900	±250	+370	μV	PGA オフ、AIN _x への電圧入力 ADC への PGA 電圧入力、G = 2、4（工場 キャリブレーション未実施）、この誤差は ユーザ・キャリブレーションにより除去可 能 G = 6、8、10（工場キャリブレーション未 実施）、この誤差はユーザ・キャリブレー ションにより除去可能 TIA 入力チャンネル、すべてのゲイン設 定、電流を電圧に変換 内部チャンネルのみ
	-0.33	±0.2	+0.3	% of FS ²	
	-0.5	±0.2	+0.4	% of FS ²	
	-5	+5	+12	% of FS ²	
Gain Error Drift		±5		ppm/°C	AIN ₀ とマッチングを比較、電圧入力チャ ンネルは PGA オフのみ
Gain Error Drift Matching		±0.5		ppm/°C	
PGA Mismatch Error	-0.3	+0.2	+0.3	%	PGA の隣接ゲイン設定間の誤差
PGA Mismatch Error Drift		4		ppm/°C	
DYNAMIC PERFORMANCE					
Signal-to-Noise Ratio (SNR)		84		dB	入力周波数 (f _{IN}) = 500Hz サイン波、サン プリング周波数 (f _{SAMPLE}) = 1MSPS (内 部) 歪みおよびノイズ成分を含む、電圧入力、 PGA オフ、シングルエンド・モード 電圧入力、PGA オフ、差動モード
		89		dB	
Total Harmonic Distortion (THD)		-100		dB	隣接チャンネルで測定
Peak Harmonic or Spurious Noise		-88		dB	
Channel to Channel Crosstalk		-96		dB	
ANALOG INPUT (VOLTAGE CHANNELS)					
Input Voltage Ranges					
Differential Mode	$V_{CM} - V_{REF}/(2 \times \text{gain})$		$V_{CM} + V_{REF}/(2 \times \text{gain})$	V	PGA ゲイン = 2、4、6、8、10、V _{CM} はコ モンモード電圧
Single-Ended Mode	0		2.5	V	ゲイン = 1、PGA = オフ
Leakage Current		±5		nA	AIN _x への入力電圧 = 0.15V~2.5V (AIN4 と AIN7 を除く) AIN4 と AIN7 のみ 入力バッファをイネーブル
		±30		nA	
Input Current	-60	±10	+60	nA	0.15V から 2.5V まで 100kHz のサンプル・ レート、AIN _x = 0.15V~2.5V (AIN4 と AIN7 を除く) AIN4 と AIN7 のみ PGA オフ、2MSPS ADC サンプル・レート ADC アクイジション時
	-60	±50	+135	nA	
	-230	±50	+530	nA	
Input Capacitance		30		pF	
ANALOG INPUT (PGA VOLTAGE CHANNELS)					
PGA Gain Options	1		10		G = 1, 2, 4, 6, 8, 10
Settling Time	10			μs	
Compliant Range	250		Lower of 2500 or AVDD - 800	mV	
ANALOG INPUT (TIA CURRENT CHANNELS)					
Source and Sink Current Range	-5		+5	mA	R _{TIA} = 250Ω
TIA Bias Voltage Range	250		Lower of 2500 or AVDD - 800	mV	
	500		1800	mV	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Output Voltage Range	250		Lower of 2500 or AVDD - 800	mV	$R_{TIA} = 250\Omega$ を除く
Allowed External Load Capacitance ¹	500		1800	mV	$R_{TIA} = 250\Omega$ AINx を TIA 入力として使用するときは、 AGND または電源との間に外付けコンデン サを追加しない
TIA Gain Resistors 250 Ω , 750 Ω 2 k Ω , 5 k Ω , 10 k Ω , 20 k Ω , 100 k Ω			120 30	pF pF	
Gain Accuracy	-5	+5	+12	%	TIA ゲイン抵抗と ADC ゲイン誤差
Gain Drift over Temperature		60	120	ppm/ $^{\circ}\text{C}$	
Gain Mismatch Error	-0.8	± 0.3	+0.9	%	1 つの R_{TIA} の値が増減したときに生じる誤 差
ON-CHIP VOLTAGE REFERENCE					ADCFEFP と ADCFEFN 間の 4.7 μF デカッ プリング・コンデンサ
Output Voltage		2.5		V	
Accuracy			± 5	mV	$T_A = 25^{\circ}\text{C}$
Reference Temperature Coefficient		10	30	ppm/ $^{\circ}\text{C}$	$T_A = -40^{\circ}\text{C} \sim +25^{\circ}\text{C}$ の範囲
		10	20	ppm/ $^{\circ}\text{C}$	$T_A = 25^{\circ}\text{C} \sim 105^{\circ}\text{C}$ の範囲
Power Supply Rejection Ratio (PSRR)					
DC		70		dB	AVDD によって効果が変わり、2.85V \sim 3.6V
AC		60		dB	1kHz、10kHz、100kHz、および 1MHz の AVDD ノイズでテスト
Output Impedance		2		Ω	外部リファレンス電源として使用しないこ と、 $T_A = 25^{\circ}\text{C}$
EXTERNAL REFERENCE INPUT					
Input Voltage Range		2.5		V	2.5V 外部リファレンス入力のみをサポート
Input Impedance		5		k Ω	外部リファレンス電源は少なくとも 500 μA を供給できなければならない
BUFFERED REFERENCE VOLTAGE OUTPUTS (BUFx_VREF)					どちらの入力にも 1 μF のコンデンサが必要
Output Voltage		1.25 or 2.5		V	
Accuracy			± 6	mV	$T_A = 25^{\circ}\text{C}$ 、負荷 = 4mA
Reference Temperature Coefficient		10	30	ppm/ $^{\circ}\text{C}$	$T_A = -40^{\circ}\text{C} \sim +25^{\circ}\text{C}$ の範囲
		10	20	ppm/ $^{\circ}\text{C}$	$T_A = 25^{\circ}\text{C} \sim 105^{\circ}\text{C}$ の範囲
Load Regulation		2.5		mV/mA	
Output Impedance		2.5		Ω	
Load Current			4	mA	
PSRR		70		dB	
VOLTAGE DAC (VDAC) CHANNEL SPECIFICATIONS					VDAC チャンネル 0 \sim チャンネル 7、バッ ファ・オン、負荷抵抗 (R_L) = 1k Ω およ び負荷容量 (C_L) = 100pF、DACCONx の ビット 9 = 0 (特に指定のない限り通常駆 動)、VDAC チャンネル 8 \sim チャンネル 11、バッファ・オン、 $R_L = 2.5\text{k}\Omega$ 、 $C_L =$ 100pF
DC Accuracy					
Resolution	12			Bits	
Relative Accuracy ³	-2	± 1.5	+3	LSB	
Differential Nonlinearity ³	-0.9	± 0.5	+0.9	LSB	単調増加性を確保
Calculated Offset Error	-13.5	± 5	+15.5	mV	2.5V 内部リファレンス
Actual Offset Error	-10	+2	+10	mV	コード 0 で測定
	-10	+2	+10	mV	VDAC チャンネル 0 \sim チャンネル 7、 DACCONx の ビット 9 = 1、 $R_L = 250\Omega$ 、 $C_L = 100\text{pF}$

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Gain Error	-0.7	±0.2	+0.5	% of FS ²	VDAC チャンネル 0~チャンネル 7、 DACCONx の ビット 9 = 1、R _L = 250Ω、C _L = 100pF
	-0.7	±0.2	+0.5	% of FS ²	
Offset Error Drift		±10		μV/°C	
Gain Error Drift		15		ppm/°C	
Short-Circuit Current		±32		mA	
		±15		mA	VDAC チャンネル 8~チャンネル 11
DAC OUTPUTS					
Output Range ¹	0		2.5	V	VDAC チャンネル 0~チャンネル 7
	0		Lower of 2.5 or AVDD - 0.7	V	VDAC チャンネル 8~チャンネル 11
Output Impedance		1		Ω	
DAC AC CHARACTERISTICS					
Slew Rate		2.5		V/μs	
Voltage Output Settling Time		10		μs	
Digital to Analog Glitch Energy		±20		nV-sec	メジャー・キャリー時 (DACDATx レジスタの最大個数のビットが同時に変化) における 1LSB の変化
COMPARATOR INPUT					
Offset Voltage		±15		mV	オフセット電圧は、入力ピンを外部バイアス回路に接続した状態でイネーブルされるコンパレータの状態に依存します。コンパレータがパワーダウンされたままの場合や、コンパレータへの入力フロート状態のままになっている場合は、時間の経過と共にオフセット誤差が増大します。
Bias Current	-30	3 ¹	+43	nA	非反転 (正)、入力
		10 ¹		nA	反転 (負)、入力、ヒステリシスなし
		50 ¹		nA	反転 (負)、入力、ヒステリシス = 10mV
		740	840	940	nA
Voltage Range	0.5		AVDD - 1.2	V	負の入力範囲 (コンパレータのリファレンス・ノード)
	AGND		AVDD	V	コンパレータへの正の入力範囲
	0		2.0	V	差動入力範囲、正入力 - 負入力電圧
Capacitance		7		pF	
Hysteresis	10	50	210	mV	16 種類の構成オプション ⁴
Hysteresis Voltage Accuracy		10	35	% of target hysteresis	10mV~35mV の設定
		5	15	% of target hysteresis	50mV~210mV の設定
Response Time		5		μs	
POWER-ON RESET (POR)					
POR Trip Level (DVDD)	1.6		1.77	V	DVDD ピン電圧基準
	1.62	1.66	1.7	V	パワーオン・レベル、 図 18 を参照
Timeout from POR		32		ms	パワーダウン・レベル (ブラウナウト)
FLASH MEMORY					
Endurance	10,000			Cycles	2× 512kB、128kB SRAM
Data Retention	10			Years	ジャンクション温度 (T _J) = 125°C
INTERNAL HIGH POWER OSCILLATOR					
Accuracy		16		MHz	
			±3	%	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
TEMPERATURE SENSOR					ダイ温度を示す
Voltage Output at 25°C		0.13625		V	
Voltage Temperature Coefficient		0.4568		mV/°C	
Accuracy	-3	±2	+4.4	°C	
INTERNAL LOW POWER OSCILLATOR		32		kHz	
Accuracy	-10	±7	+10	%	
3.3 V GPIO					IOVDD0 = 3.3 V
Logic Inputs					
Input Low Voltage (V_{INL})			0.99	V	IOVDD × 0.3
Input High Voltage (V_{INH})	2			V	
Pull-Up Current	120	160	210	μA	$V_{IN} = 0$ V
Pull-Down Current	125	163	210	μA	$V_{IN} = 3.3$ V
Internal Pull-Up/Pull-Down Disabled	-32	+1	+65	nA	IOVDD0 電源
Logic Outputs					
Output High Voltage (V_{OH})	2.4			V	ソース電流 (I_{SOURCE}) = 12mA
Output Low Voltage (V_{OL})			0.4	V	シンク電流 (I_{SINK}) = 12mA、I ² C SCL0、SCL2、SDA0、および SDA2 については $I_{SINK} = 20$ mA、I ² C SCL1 および SDA1 については $I_{SINK} = 12$ mA
Input Capacitor			10	pF	
Short-Circuit Current		13		mA	
1.8 V GPIO					IOVDD1 = 1.8 V
Logic Inputs					
V_{INL}			0.54	V	
V_{INH}	1.26			V	
Pull-Up Current	155	194	240	μA	入力電圧 (V_{IN}) = 0V
Pull-Down Current	170	217	270	μA	$V_{IN} = 1.8$ V
Internal Pull-Up/Pull-Down Disabled	-500	+25	+2000	nA	IOVDD1 電源
Logic Outputs					
V_{OH}	1.4			V	$I_{SOURCE} = 12$ mA
V_{OL}			0.3	V	$I_{SINK} = 12$ mA
Input Capacitor			10	pF	
Short-Circuit Current		17		mA	
1.2 V GPIO					IOVDD1 = 1.2 V
Logic Inputs					
V_{INL}			0.36	V	
V_{INH}	0.84			V	
Pull-Up Current	55	76	100	μA	$V_{IN} = 0$ V
Pull-Down Current	55	82	110	μA	$V_{IN} = 1.2$ V
Internal Pull-Up/Pull-Down Disabled	-450	+20	+1510	nA	IOVDD1 電源
Logic Outputs					
V_{OH}	1.0			V	$I_{SOURCE} = 6$ mA
V_{OL}			0.18	V	$I_{SINK} = 6$ mA
Input Capacitor			10	pF	
Short-Circuit Current		7		mA	
MDIO					
Logic Inputs					
V_{INL}			0.36	V	
V_{INH}	0.84			V	
Logic Output					
V_{OH}	1.0			V	$I_{SOURCE} = 4$ mA
V_{OL}			0.2	V	$I_{SINK} = 4$ mA

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Input Capacitor			10	pF	
Short-Circuit Current		7		mA	
MICROCONTROLLER UNIT (MCU) CLOCK RATE					
Using PLL Output		160	163	MHz	
EXTERNAL RESET					
Minimum Pulse Duration	10			μs	この間はピン電圧をローに維持する
PROCESSOR START-UP TIME					
At Power-On		32		ms	カーネルのパワーオン実行時間を含む
After Reset Event		1		ms	カーネルのパワーオン実行時間を含む
After Processor Power-Down					
Core Sleep (Mode 1) ⁵		30		HCLK cycles	固定数の HCLK 周期
System Sleep (Mode 2), Hibernate (Mode 3) ⁵		85		μs	HCLK = 160MHz (PLL による)
		3		μs	HCLK = 16MHz (内部発振器による)
POWER REQUIREMENTS					
Power Supply Voltage Range					
AVDD to AGND	2.85	3.3	3.6	V	
DVDD to DGND	1.8	1.8 or 3.3	3.6	V	
IOVDD0 to IOGND	2.85	3.3	3.6	V	
IOVDD1 to IOGND	1.08	1.2 or 1.8	1.98	V	使わない場合は DVDD_REG または DGND に接続可能
Analog Power Supply Currents					
AVDD Current		900	1050	μA	アイドル・モードのアナログ・ペリフェラル
Digital Power Supply Current					
Current in Normal Mode					パワーアップ時、GPIO は無負荷
IOVDD0		175	200	μA	
IOVDD1		20	60	μA	
DVDD Current		12	30	mA	
Active Mode					代表的コードを実行 (すべての電源からの 電流)
		16		mA	HCLK = 160MHz (PLL による)
		4.8		mA	HCLK = 16MHz (内部発振器による)
Core Sleep (Mode 1) ⁵		11		mA	HCLK = 160MHz (PLL による)
		4.3		mA	HCLK = 16MHz (内部発振器による)
System Sleep (Mode 2) ⁵		2.46	19	mA	
Hibernate (Mode 3) ⁵		2.44	17	mA	フル・クロック、PLL = 160MHz
Additional Power Supply Currents					
ADC		2.8	3.4	mA	2MSPS で継続的に変換
PGA		0.375	0.465	mA	パワーアップされた PGA あたり、負荷電 流を除外
DAC		330	350	μA	パワーアップされた DAC あたり、負荷電 流を除外
Total Supply Current		18.8		mA	160MHz の PLL クロックと ADC をイネー ブルしたアクティブ・モード

¹ これらの数値は、リリース時の設計と特性評価データで確認されていますが、出荷テストの対象外です。

² FS はフル・スケールを表します。

³ 82~4095 の縮小 DAC コード範囲を使って作成した VDAC 直線性仕様。VDAC チャンネル 8~チャンネル 11 では、AVDD - 0.7V > 2.5V の場合のみ最終コードの 4095 を使用。

⁴ 10mV、25mV、35mV、50mV、60mV、75mV、100mV、110mV、125mV、135mV、150mV、160mV、175mV、185mV、200mV、210mV を選択可能。

⁵ コア・スリープ・モードでは、システムは、Cortex-M33 コアがスリープ・モードになった後で Cortex-M33 へのクロックをゲートします。システム・スリープ・モードでは、システムは、Cortex-M33 がスリープ・モードになった後でシステム・バス・クロックとペリフェラル・バス・クロックをゲートします。各種の電源モードの詳細については、ADuCM410 ハードウェア・リファレンス・マニュアルを参照してください。

タイミング仕様

I²C のタイミング

表 2. 標準モード (100kHz) における I²C のタイミング - スレーブ/マスタ

パラメータ	説明	Min	Typ	Max	単位
t _L	SCLx ロー・パルス幅	4.7			μs
t _H	SCLx ハイ・パルス幅	4.0			μs
t _{SHD}	開始条件ホールド時間	4.0			μs
t _{DSU}	データ・セットアップ時間	250			ns
t _{DHD}	データ・ホールド時間 (SDAx は SCLx の立下がりエッジ後に内部的にホールドされ、時間は TCTL レジスタの THDATIN ビットで設定)	0		3.45	μs
t _{RSU}	反復開始のセットアップ・タイム	4.7			μs
t _{PSU}	停止条件セットアップ・タイム	4.0			μs
t _{BUF}	停止条件と開始条件の間のバス空き時間	4.7			μs
t _R	SCLx と SDAx 両方の立上がり時間			1	μs
t _F	SCLx と SDAx 両方の立下がり時間		15	300	ns
t _{VD; DAT}	データ有効時間			3.45	μs
t _{VD; ACK}	データ有効アクノレージ時間			3.45	μs
C _B	各バス・ラインの容量性負荷 (図 2 には示されていません)			400	pF

表 3. ファスト・モード (400 kHz) における I²C のタイミング - スレーブ/マスタ

パラメータ	説明	Min	Typ	Max	単位
t _L	SCLx ロー・パルス幅	1.3			μs
t _H	SCLx ハイ・パルス幅	0.6			μs
t _{SHD}	開始条件ホールド時間	0.6			μs
t _{DSU}	データ・セットアップ時間	100			ns
t _{DHD}	データ・ホールド時間 (SDAx は SCLx の立下がりエッジ後に内部的にホールドされ、時間は TCTL レジスタの THDATIN ビットで設定)	0			μs
t _{RSU}	反復開始のセットアップ・タイム	0.6			μs
t _{PSU}	停止条件セットアップ・タイム	0.6			μs
t _{BUF}	停止条件と開始条件の間のバス空き時間	1.3			μs
t _R	SCLx と SDAx 両方の立上がり時間	20		300	ns
t _F	SCLx と SDAx 両方の立下がり時間		15	300	ns
t _{VD; DAT}	データ有効時間			0.9	μs
t _{VD; ACK}	データ有効アクノレージ時間			0.9	μs
C _B	各バス・ラインの容量性負荷 (図 2 には示されていません)			400	pF

I²C GPIO (P0.7~P0.4 および P1.3~P1.2) の駆動強度を 20mA に設定

表 4. ファスト・モード・プラス (1MHz) における I²C のタイミング - スレーブ/マスタ

パラメータ	説明	Min	Typ	Max	単位
t _L	SCLx ロー・パルス幅	0.5			μs
t _H	SCLx ハイ・パルス幅	0.26			μs
t _{SHD}	開始条件ホールド時間	0.26			μs
t _{DSU}	データ・セットアップ時間	50			ns
t _{DHD}	データ・ホールド時間 (SDAx は SCLx の立下がりエッジ後に内部的にホールドされ、時間は TCTL レジスタの THDATIN ビットで設定)	0			μs
t _{RSU}	反復開始のセットアップ・タイム	0.26			μs
t _{PSU}	停止条件セットアップ・タイム	0.26			μs
t _{BUF}	停止条件と開始条件の間のバス空き時間	0.5			μs
t _R	SCLx と SDAx 両方の立上がり時間			120	ns
t _F	SCLx と SDAx 両方の立下がり時間			120	ns
t _{VD; DAT}	データ有効時間			0.45	μs
t _{VD; ACK}	データ有効アクノレージ時間			0.45	μs
C _B	各バス・ラインの容量性負荷 (図 2 には示されていません)			550	pF

I²C GPIO (P0.7~P0.4 および P1.3~P1.2) の駆動強度を 20mA に設定。

表 5. ハイ・スピード・モード (3.4 MHz) における I²C のタイミング - スレーブ/マスタ

パラメータ	説明	Min	Typ	Max	単位
t _L	SCLx ロー・パルス幅	160			ns
t _H	SCLx ハイ・パルス幅	60			ns
t _{SHD}	開始条件ホールド時間	160			ns
t _{DSU}	データ・セットアップ時間	10			ns
t _{DHD}	データ・ホールド時間 (SDAx は SCLx の立下がりエッジ後に内部的にホールドされ、時間は TCTL レジスタの THDATIN ビットで設定)	0			ns
t _{RSU}	反復開始のセットアップ・タイム	160			ns
t _{PSU}	停止条件セットアップ・タイム	160			ns
t _{BUF}	停止条件と開始条件の間のバス空き時間	200			ns
t _R	SCLx と SDAx 両方の立上がり時間				
	C _B = 100pF まで	10		40	ns
	C _B = 400pF まで			80	ns
t _F	SCLx と SDAx 両方の立下がり時間	10		40	ns
	C _B = 400pF まで			80	ns
C _B	各バス・ラインの容量性負荷 (図 2 には示されていません)			400	pF

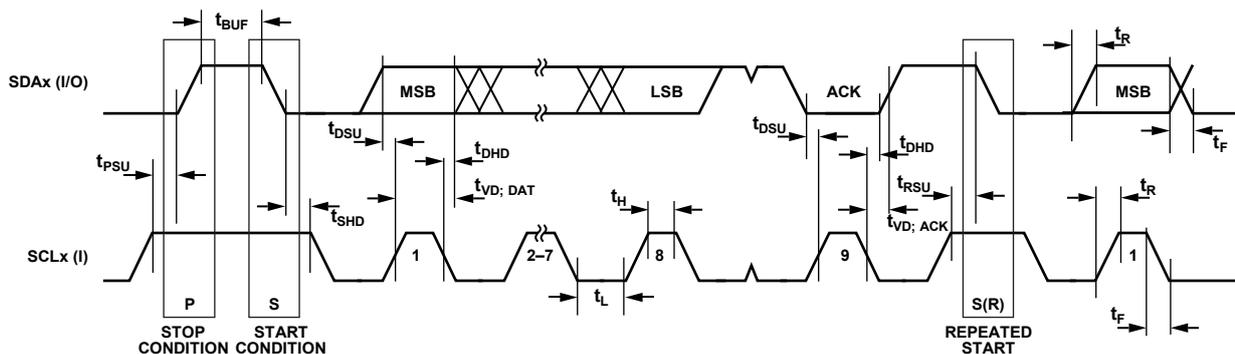


図 2. I²C 互換インターフェースのタイミング

SPI タイミング仕様 : スレーブ・モード

SPI GPIO (P0.3~P0.0, P1.7~P1.4, および P2.7~P2.4) の駆動強度を 12mA に設定、IOVDD1 ≥ 1.2V、40MHz SPI クロック。

図 3 と 図 4 参照。

表 6. SPI スレーブ・モードのタイミング

パラメータ	記号	Min	Typ	Max	単位
タイミング条件					
\overline{CSx} から SCLKx のエッジまで	t _{CS}	25			ns
最小有効 \overline{CSx} 非アクティブ時間	t _{CSM}	25			ns
SCLKx ロー・パルス幅	t _{SL}		10		ns
SCLKx ハイ・パルス幅	t _{SH}		10		ns
SCLKx のエッジ前のデータ入力セットアップ時間	t _{DSU}	5			ns
SCLKx のエッジ後のデータ入力ホールド時間	t _{DHD}	5			ns
スイッチング特性					
SCLKx のエッジ後にデータ出力が有効	t _{DAV}		10		ns
\overline{CSx} エッジの後にデータ出力が有効	t _{DOCS}		15		ns
SCLKx のエッジ後に \overline{CSx} がハイ	t _{SFS}		8.75		ns

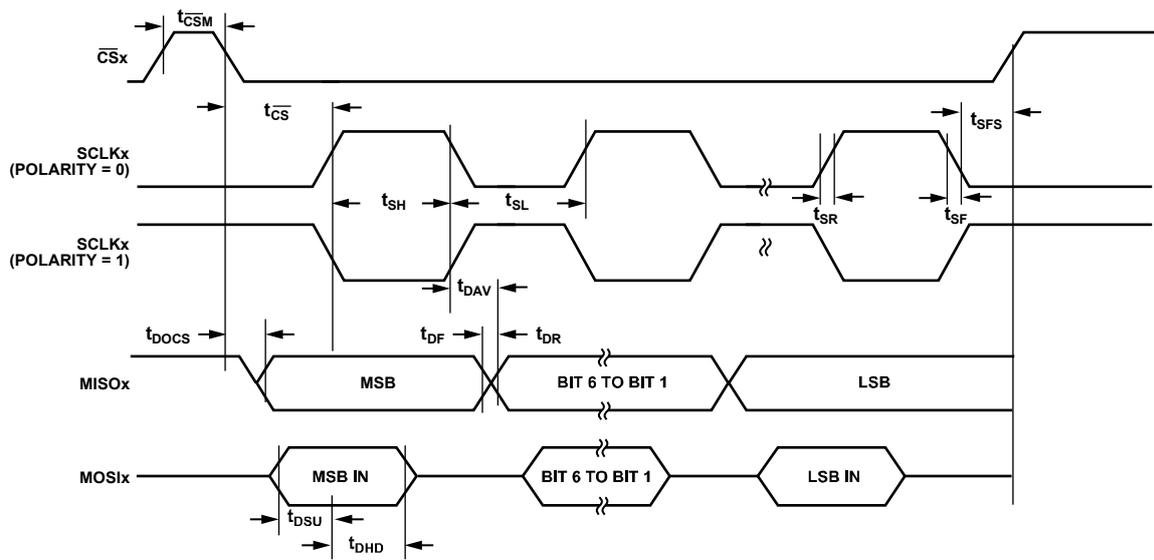


図 3. SPI スレーブ・モードのタイミング (シリアル・クロックの位相モード、CTL レジスタ、ビット 2、CPHA = 0)

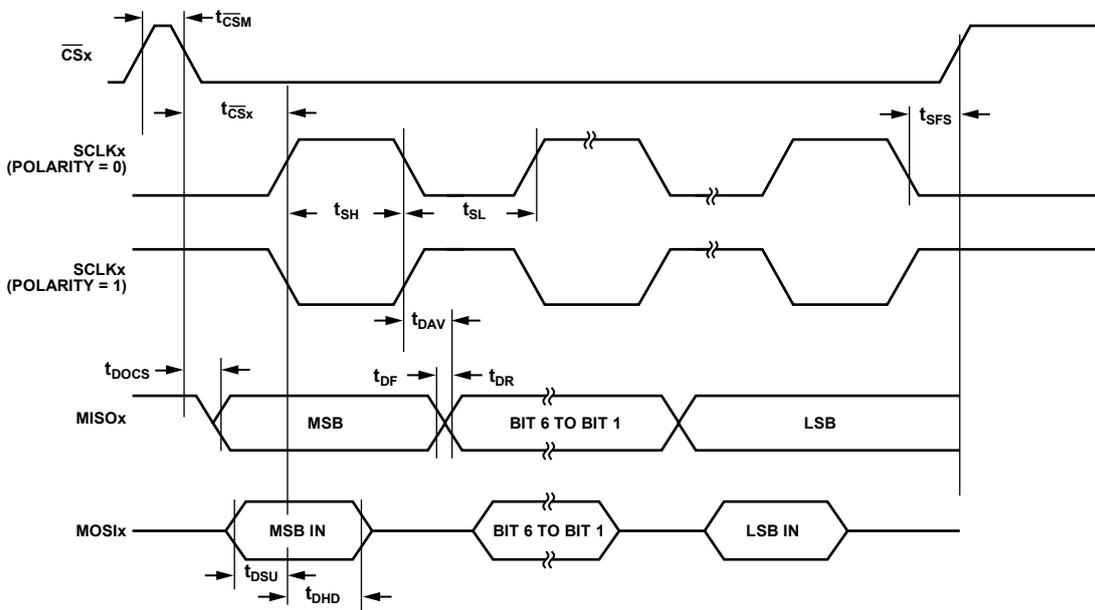


図 4. SPI スレーブ・モードのタイミング (CPHA = 1)

SPI タイミング : マスタ・モード

SCLKx = 40MHz、SPI SPI GPIO (P0.3~P0.0, P1.7~P1.4, および P2.7~P2.4) ピンの駆動強度を 12mA に設定。IOVDD1 ≥ 1.2V、DIV は SPI ボー・レート選択レジスタ内の SPI クロック分周値 (詳細については ADuCM410 ハードウェア・リファレンス・マニュアルを参照)、 t_{HCLK} はユーザがセットアップした HCLK の周期。

表 7. SPI マスタ・モードのタイミング (位相モード = 0 と 1)

パラメータ	説明	Min	Typ	Max	単位
t_{SL}	SCLKx ロー・パルス幅		$(DIV + 1) \times t_{HCLK}/2$		ns
t_{SH}	SCLKx ハイ・パルス幅		$(DIV + 1) \times t_{HCLK}/2$		ns
t_{DAV}	SCLKx のエッジ後にデータ出力が有効	0			ns
t_{DSU}	SCLKx のエッジ前のデータ入力セットアップ時間	5			ns
t_{DHD}	SCLKx のエッジ後のデータ入力ホールド時間	5			ns
t_{DF}	データ出力立下がり時間		5		ns
t_{DR}	データ出力立上がり時間		5		ns
t_{SR}	SCLKx 立上がり時間		5		ns
t_{SF}	SCLKx 立下がり時間		5		ns

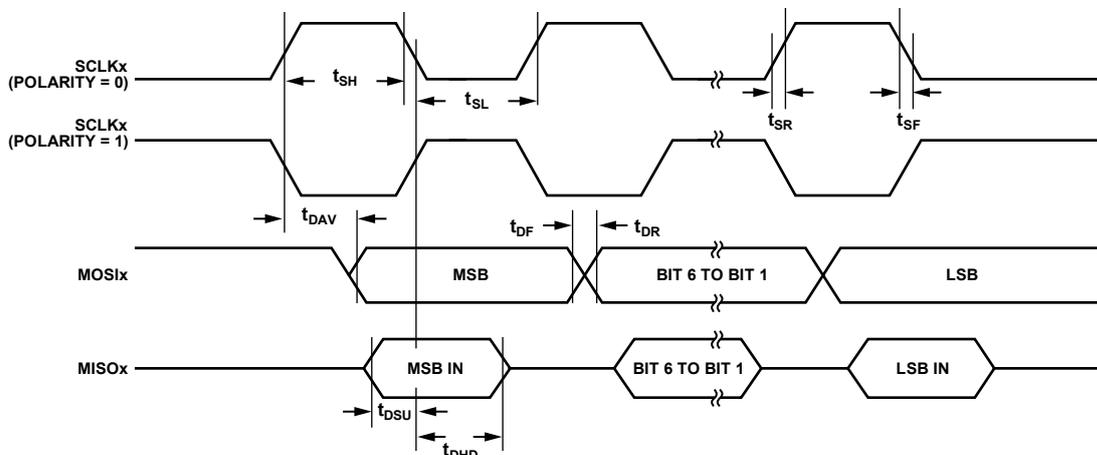


図 5. SPI マスタ・モードのタイミング (CPHA = 1)

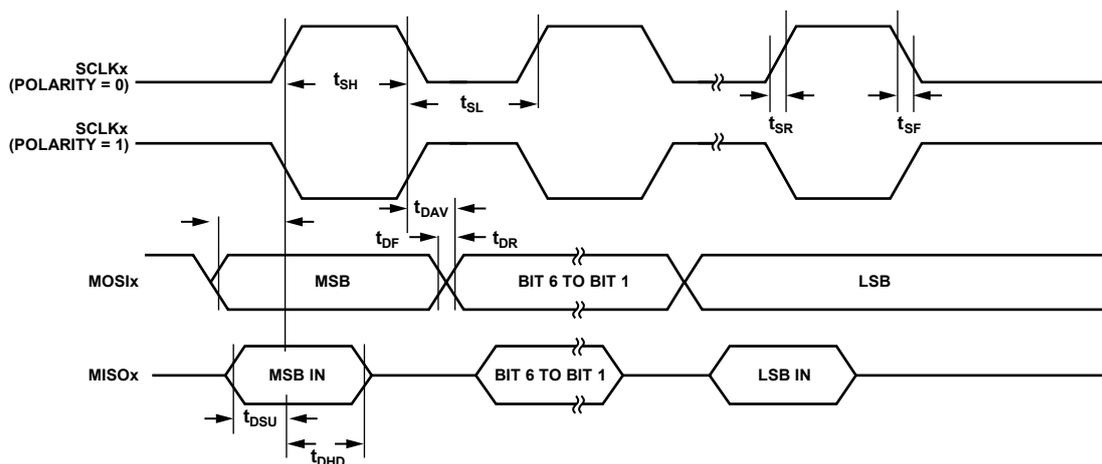


図 6. SPI マスタ・モードのタイミング (CPHA = 0)

表 8. MDIO と MDC のタイミング

パラメータ ¹	説明	Min	Typ	Max	単位
Maximum MCK Clock Speed	プッシュ/プル・モード オープンドレイン・モード、プルアップ抵抗 (R_{PULLUP}) = 312Ω			10 4	MHz MHz
t_{SETUP}	MCKのエッジ前に MDIO をセットアップ (プッシュ/プル・モード) オープンドレイン・モード、 R_{PULLUP} = 312Ω	5 10			ns ns
t_{HOLD}	MCKのエッジ後に MDIO が有効 (プッシュ/プル・モード) オープンドレイン・モード、 R_{PULLUP} = 312Ω	7 10			ns ns
t_{DELAY}	MCKのエッジ後にデータを出力 (プッシュ/プル・モード) オープンドレイン・モード、 R_{PULLUP} = 312Ω			26 100	ns ns

¹ 図 7 で、CFP は「C フォームファクタ・プラグابل」 (C Formfactor Pluggable) を表す。V_{IH} は電圧入力ハイ・レベルで、V_{IL} は電圧入力ロー・レベル。

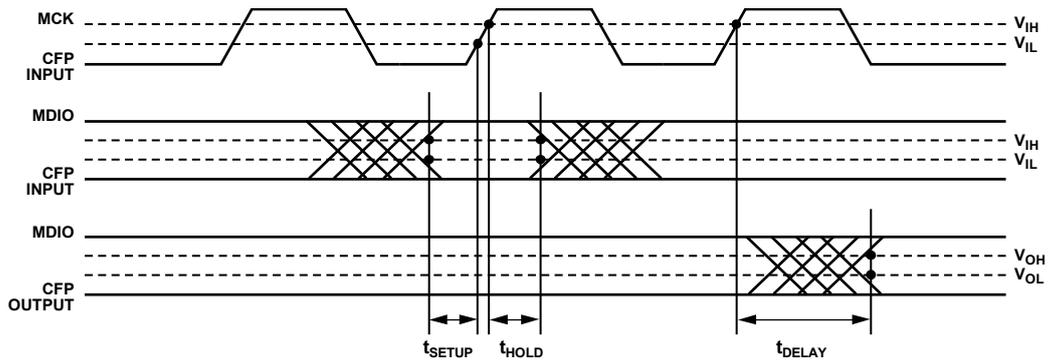


図 7. MDIO のタイミング

20221-008

絶対最大定格

表 9.

Parameter	Rating
AVDD to AGND	-0.3 V to +3.63 V
IOVDD0 to IOGND	-0.3 V to +3.63 V
IOVDD1 to IOGND	-0.3 V to +1.98 V
DVDD to DGND	-0.3 V to +3.63 V
AVDD to IOVDD0	IOVDD0 ± 0.3 V
Analog Input Voltage to AGND (AVDD Range = 2.85 V to 3.6 V)	-0.3 V to AVDD + 0.3 V, must be ≤ 3.63 V
Digital Input Voltage to IOGND	-0.3 V to IOVDD0 + 0.3 V, must be ≤ 3.63 V
Digital Input Voltage to IOGND (P1.0 to P1.7 and P0.0 to P0.3 Only) ¹	-0.3 V to IOVDD1 + 0.3 V, must be ≤ 1.98 V
AGND to DGND	-0.3 V to +0.3 V
IOGND to DGND	-0.3 V to +0.3 V
Total Positive GPIO Pins Current	0 mA to 40 mA
Total Negative GPIO Pins Current	-40 mA to 0 mA
Temperature Ranges	
Storage	-65°C to +150°C
Operating	-40°C to +105°C
Reflow Profiles	
SnPb Assemblies (10 sec to 30 sec)	240°C
Pb-Free Assemblies (20 sec to 40 sec)	260°C
Junction Temperature	150°C

¹ IOVDD1 が選択電源レールである場合。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 10. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC}	Unit
BC-81-4	35	0.12	°C/W
CB-64-2	34	0.16	°C/W

¹ JEDEC 2S2P。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 による人体モデル (HBM)。
ANSI/ESDA/JEDEC JS-002 による電界誘起帯電デバイス・モデル (FICDM)。

ADuCM410 の ESD 定格

表 11. ADuCM410、81 ボール CSP_BA および 64 ボール WLCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	3	2
FICDM	0.5	C2A

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

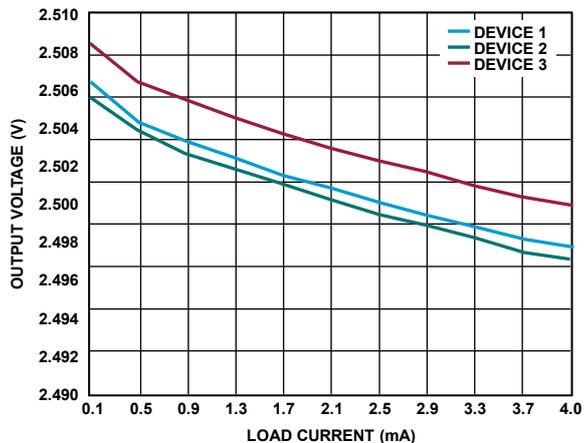


図 8. BUF0_VREF 負荷レギュレーション、2.5V 出力設定

20321-017

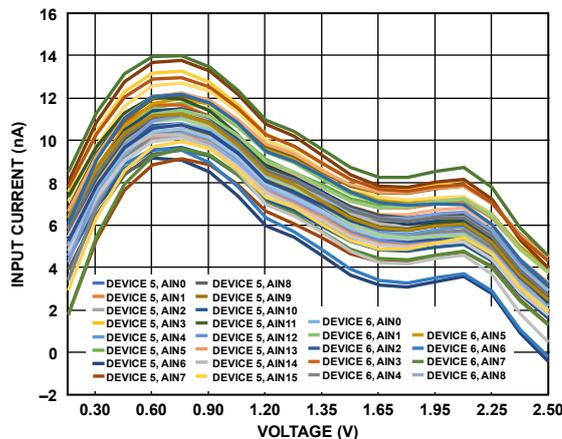


図 11. AINx の ADC 入力電流と電圧の関係、 $f_{\text{SAMPLE}} = 100\text{kSPS}$

20321-020

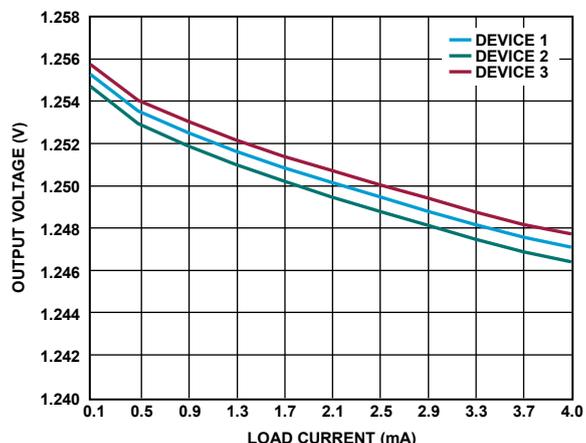


図 9. BUF0_VREF 負荷レギュレーション、1.25 V 出力設定

20321-018

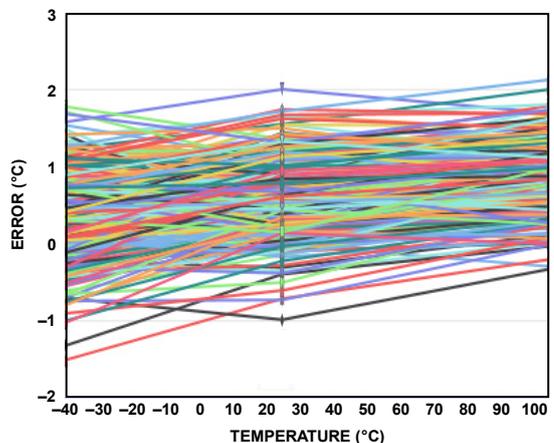


図 12. 温度センサー精度、キャリブレーションなし、240 個のデバイス

20321-021

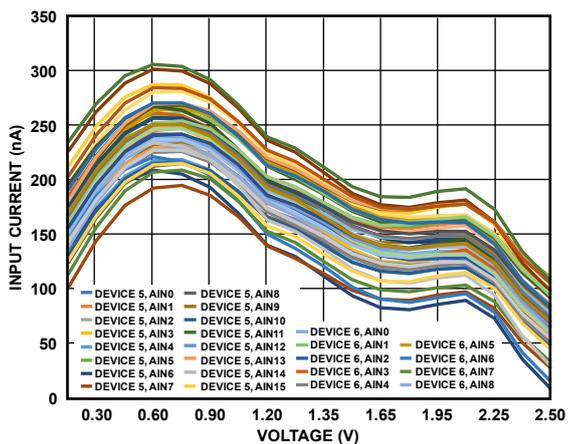


図 10. AINx の入力電流と電圧の関係、 $f_{\text{SAMPLE}} = 2\text{MSPS}$

20321-019

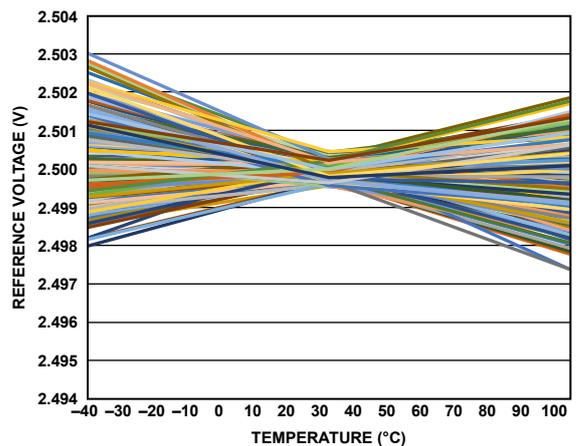


図 13. リファレンス電圧ドリフトと温度の関係、250 個のデバイス

20321-022

ピン配置およびピン機能の説明

	1	2	3	4	5	6	7	8	9
A	VDAC1	VDAC3/ P4.0/ PLAI11	VDAC7/ P4.2	RESET	P2.3/ BM/ PLAI10	P2.5/ MISO2/ PLAO19	P2.6/IRQ5/ SCLK2/ PLAO20	IOVDD0	IOGND
B	VREF	AIN15/ COM3N/ BUF1_VREF	VDAC6/ P4.1/ PLAO28	SWDIO	SWCLK	P2.4/ MOSI2/ PLAO18	P2.7/IRQ6/ CS2/ PLAO21	P0.4/SCL0/ SIN0/ PLAO2	P0.5/SDA0/ SOUT0/ PLAO3
C	AIN0	AIN3/ PADC1P	AIN10/ COM1P	VDAC5/ P4.4	P2.2/ POR/ CLKOUT/ SWO	P2.0/ ADCCONV/ COMPDI2/ PLAI8	P2.1/DM/ IRQ2/ ECLKIN/ COMPDI3/ PLAI9	P0.7/IRQ4/ SDA2/ COMPDI1/ PLAO5	P0.6/IRQ3/ SCL2/ COMPDI0/ PLAO4
D	AIN1	AIN2/ PADC0P	AIN11/ COM1N/ PGA0OUT	VDAC8/ P5.0	VDAC11/ P5.3	P5.6	P4.7/ IRQ7/ PLACK2	IOGND	IOVDD1
E	ADCREFN	AIN5/ PADC2P	AIN12/ COM2P	VDAC9/ P5.1	DNC	P5.5	P1.2/ SCL1/ PWM0/ PLAI6	P1.1/SOUT1/ COMOUT3/ PLAI5	P1.0/SIN1/ COMOUT2/ PLAI4
F	ADCREFP	AIN6/ PADC3P	AIN9/ COM0N/ PGA2OUT	VDAC10/ P5.2	P5.4	P4.5/PWM7	P1.3/ SDA1/ PWM1/ PLAI7	P0.1/MISO0/ COMOUT1/ PLAI1	P0.0/SCLK0/ COMOUT0/ PLAI0
G	AIN4/ PADC01N/ VDAC0	AIN14/ COM3P/ BUF0_VREF	AIN8/ COM0P	P3.2/ PRTADDR2/ PWMTRIP/ PLAI14	P3.3/ PRTADDR3/ SIN0/ PLAI15	P4.3/PWM6	P1.4/ SCLK1/ SIN2/ PLAO10	P0.3/IRQ0/ CS0/ PLACK0/ PLAI3	P0.2/MOSI0/ PLACK1/ PLAI2
H	AIN7/ PADC23N/ VDAC2	AIN13/ COM2N	AGND	P3.1/ PRTADDR1/ PWMSYNC/ PLAI13	P3.4/ IRQ9/ PRTADDR4/ SOUT0/ PLAO26	P3.7/ PLAO29	P1.5/ MISO1/ PWM3/ PLAO11	DGND	DVDD
J	VDAC4	AVDD_REG	AVDD	P3.0/ IRQ8/ PRTADDR0/ SRDY0/ PLAI12	P3.5/ MCK/ SRDY1/ PLAO27	P3.6/ MDIO/ SRDY2/ PLAO30	P1.6/ MOSI1/ PWM4/ PLAO12	P1.7/IRQ1/ CS1/ PWM5/ PLAO13	DVDD_REG

DNC = DO NOT CONNECT. KEEP THIS PIN FLOATING.

図 14. 81 ボール CSP_BGA のピン配置

20321-009

表 12. 81 ボール CSP_BGA のピン配置の説明

ボール番号	記号	タイプ ¹	説明
A1	VDAC1	AO	DAC 1 出力の電圧。
A2	VDAC3/P4.0/PLAI11	AO/I/O	DAC 3 出力の電圧 (VDAC3)。 デジタル入出力ポート 4.0 (P4.0)。 PLA 素子 11 への入力 (PLAI11)。
A3	VDAC7/P4.2	AO/I/O	DAC 7 出力の電圧 (VDAC7)。 デジタル入出力ポート 4.2 (P4.2)。
A4	RESET	I	リセット入力 (アクティブ・ロー)。このピンには内部プルアップ抵抗が組み込まれています。
A5	P2.3/BM/PLAI10	I/O	デジタル入出力ポート 2.3 (P2.3)。内部プルアップ抵抗は P2.3 のパワーアップ時にイネーブルされます。 ブート・モード (BM)。このピンは、毎回のリセット後のスタートアップ・シーケンスを決定します。 PLA 素子 10 への入力 (PLAI10)。

ボール番号	記号	タイプ ¹	説明
A6	P2.5/MISO2/PLAO19	I/O	デジタル入出力ポート 2.5 (P2.5)。 SPI チャンネル 2 (SPI2) のマスタ入力、スレーブ出力 (MISO2)。 PLA 素子 19 の出力 (PLAO19)。
A7	P2.6/IRQ5/SCLK2/PLAO20	I/O	デジタル入出力ポート 2.6 (P2.6)。 外部割込み 5 (IRQ5)。 SPI2 クロック (SCLK2)。 PLA 素子 20 の出力 (PLAO20)。
A8	IOVDD0	S	3.3V GPIO 電源。
A9	I0GND	S	デジタル入出力のグラウンド。
B1	VREF	AO/AI	100nF のコンデンサを備えた 0.92V リファレンス。
B2	AIN15/COM3N/BUF1_VREF	AI/AO	アナログ入力 15 (AIN15)。 コンパレータ 3 のエミッタ電圧 (V _E)、負 (COM3N)。 バッファのリファレンス電圧源 (BUF1_VREF)。
B3	VDAC6/P4.1/PLAO28	AO/I/O	DAC 6 出力の電圧 (VDAC6)。 デジタル入出力ポート 4.1 (P4.1)。 PLA 素子 2 の出力 (PLAO28)。
B4	SWDIO	I/O	シリアル・ワイヤ双方向データ。
B5	SWCLK	I	シリアル・ワイヤ・デバッグ・クロック。
B6	P2.4/MOSI2/PLAO18	I/O	デジタル入出力ポート 2.4 (P2.4)。 SPI2 マスタ出力、スレーブ入力 (MOSI2)。 PLA 素子 18 の出力 (PLAO18)。
B7	P2.7/IRQ6/ $\overline{CS2}$ /PLAO21	I/O	デジタル入出力ポート 2.7 (P2.7)。 外部割込み 6 (IRQ6)。 SPI2 チップ・セレクト ($\overline{CS2}$)。アクティブ・ロー。 PLA 素子 21 の出力 (PLAO21)。
B8	P0.4/SCL0/SIN0/PLAO2	I/O	デジタル入出力ポート 0.4 (P0.4)。 I ² C チャンネル 0 (I ² C0) シリアル・クロック (SCL0)。 UART チャンネル 0 (UART0) 入力 (SIN0)。 PLA 素子 2 の出力 (PLAO2)。
B9	P0.5/SDA0/SOUT0/PLAO3	I/O	デジタル入出力ポート 0.5 (P0.5)。 I ² C0 シリアル・データ (SDA0)。 UART0 出力 (SOUT0)。 PLA 素子 3 の出力 (PLAO3)。
C1	AIN0	AI	アナログ入力 0。
C2	AIN3/PADC1P	AI	アナログ入力 3 (AIN3)。 PGA チャンネル 1、正 (PADC1P)。
C3	AIN10/COM1P	AI	アナログ入力 10 (AIN10)。 コンパレータ 1 の正入力 (COM1P)。
C4	VDAC5/P4.4	AO	DAC 5 出力の電圧 (VDAC5)。 デジタル入出力ポート 4.4 (P4.4)。
C5	P2.2/POR/CLKOUT/SWO	I/O	デジタル入出力ポート 2.2 (P2.2)。 リセット出力 (POR)。このピンの機能は出力です (デフォルト)。 クロック出力 (CLKOUT)。 シリアル・ワイヤ・デバッグ出力 (SWO)。
C6	P2.0/ADCCONV/COMP2IN2/PLAI8	I/O	デジタル入出力ポート 2.0 (P2.0)。 ADC 変換を開始するための外部入力 (ADCCONV)。 スリープ状態用のコンパレータ 2 デジタル入力 (COMP2IN2)。 PLA 素子 8 への入力 (PLAI8)。

ボール番号	記号	タイプ ¹	説明
C7	P2.1/DM/IRQ2/ECLKIN/COMPDI3/PLAI9	I/O	デジタル入出力ポート 2.1 (P2.1)。 ダウンロード・モード選択 (DM)。 外部割込み 2 (IRQ2)。 外部入力クロック (ECLKIN)。 スリーステート用のコンパレータ 3 デジタル入力 (COMPDI3)。 PLA 素子 9 への入力 (PLAI9)。
C8	P0.7/IRQ4/SDA2/COMPDI1/PLAO5	I/O	デジタル入出力ポート 0.7 (P0.7)。 外部割込み 4 (IRQ4)。 I ² C チャンネル 2 (I ² C2) シリアル・データ (SDA2)。 スリーステート用のコンパレータ 1 デジタル入力 (COMPDI1)。 PLA 素子 5 の出力 (PLAO5)。
C9	P0.6/IRQ3/SCL2/COMPDI0/PLAO4	I/O	デジタル入出力ポート 0.6 (P0.6)。 外部割込み 3 (IRQ3)。 I ² C シリアル・クロック (SCL2)。 スリーステート用のコンパレータ 0 デジタル入力 (COMPDI0)。 PLA 素子 4 の出力 (PLAO4)。
D1	AIN1	AI	アナログ入力 1。
D2	AIN2/PADC0P	AI	アナログ入力 2 (AIN2)。 PGA チャンネル 0、正 (PADC0P)。
D3	AIN11/COM1N/PGA0OUT	AO/AI	アナログ入力 11 (AIN11)。 コンパレータ 1 の V _E 、負 (COM1N)。 PGA チャンネル 0 出力 (PGA0OUT)。
D4	VDAC8/P5.0	AO/I/O	DAC 8 出力の電圧 (VDAC8)。 デジタル入出力ポート 5.0 (P5.0)。
D5	VDAC11/P5.3	AO/I/O	DAC 11 出力の電圧 (VDAC11)。 デジタル入出力ポート 5.1 (P5.3)。
D6	P5.6	I/O	デジタル入出力ポート 5.6。
D7	P4.7/IRQ7/PLACLK2	I/O	デジタル入出力ポート 4.7 (P4.7)。 外部割込み 7 (IRQ7)。 PLA 入力クロック 2 (PLACLK2)。
D8	IOGND	S	デジタル入出力のグラウンド。
D9	IOVDD1	S	1.2V/1.8V GPIO 電源。使わない場合、IOVDD1 は DVDD_REG または DGND に接続可能
E1	ADCREFN	AO/AI	ADC リファレンス・バッファ用のデカップリング・コンデンサ接続。このピンは AGND に接続します。
E2	AIN5/PADC2P	AI	アナログ入力 5 (AIN5)。 PGA チャンネル 2、正 (PADC2P)。
E3	AIN12/COM2P	AI	アナログ入力 12 (AIN12)。 コンパレータ 2 の V _E 、正 (COM2P)。
E4	VDAC9/P5.1	AO/I/O	DAC 9 出力の電圧 (VDAC9)。 デジタル入出力ポート 5.1 (P5.1)。
E5	DNC		接続なし。このピンはフロート状態のままにします。
E6	P5.5	I/O	デジタル入出力ポート 5.5。
E7	P1.2/SCL1/PWM0/PLAI6	I/O	デジタル入出力ポート 1.2 (P1.2)。 I ² C チャンネル 1 (I ² C1) シリアル・クロック (SCL1)。 PWM 出力 0 (PWM0)。 PLA 素子 6 への入力 (PLAI6)。 ボール E7 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。

ボール番号	記号	タイプ ¹	説明
E8	P1.1/SOUT1/COMOUT3/PLAI5	I/O	デジタル入出力ポート 1.1 (P1.1)。 UART1 出力 (SOUT1)。 コンパレータ 3 出力 (COMOUT3)。 PLA 素子 5 への入力 (PLAI5)。 ボール E8 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
E9	P1.0/SIN1/COMOUT2/PLAI4	I/O	デジタル入出力ポート 1.0 (P1.0)。 UART1 入力 (SIN1)。 コンパレータ 2 出力 (COMOUT2)。 PLA 素子 4 への入力 (PLAI4)。 ボール E9 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
F1	ADCREFP	AO/AI	4.7 μ F のデカップリング・コンデンサを使用する ADC リファレンス・バッファ用のデカップリング・コンデンサ接続。
F2	AIN6/PADC3P	AI	アナログ入力 6 (AIN6)。 PGA チャンネル 3、正 (PADC3P)。
F3	AIN9/COM0N/PGA2OUT	AO/AI	アナログ入力 9 (AIN9)。 コンパレータ 0 の V _E 、負 (COM0N)。 PGA チャンネル 2 出力 (PGA2OUT)。
F4	VDAC10/P5.2	AO/I/O	DAC 10 出力の電圧 (VDAC10)。 デジタル入出力ポート 5.2 (P5.2)。
F5	P5.4	I/O	デジタル入出力ポート 5.4。
F6	P4.5/PWM7	I/O	デジタル入出力ポート 4.5 (P4.5)。 PWM 出力 7 (PWM7)。
F7	P1.3/SDA1/PWM1/PLAI7	I/O	デジタル入出力ポート 1.3 (P1.3)。 I ² C1 シリアル・データ (SDA1)。 PWM 出力 1 (PWM1)。 PLA 素子 7 への入力 (PLAI7)。 ボール F7 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
F8	P0.1/MISO0/COMOUT1/PLAI1	I/O	デジタル入出力ポート 0.1 (P0.1)。 SPI チャンネル 0 (SPI0) のマスタ入力、スレーブ出力 (MISO0)。 コンパレータ 1 出力 (COMOUT1)。 PLA 素子 1 への入力 (PLAI1)。 ボール F8 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
F9	P0.0/SCLK0/COMOUT0/PLAI0	I/O	デジタル入出力ポート 0.0 (P0.0)。 SPI0 クロック (SCLK0)。 コンパレータ 0 出力 (COMOUT0)。 PLA 素子 0 への入力 (PLAI0)。 ボール F9 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
G1	AIN4/PADC01N/VDAC0	AI	アナログ入力 4 (AIN4)。 PGA チャンネル 0 / PGA チャンネル 1、負 (PADC01N)。 DAC 0 出力の電圧 (VDAC0)。
G2	AIN14/COM3P/BUF0_VREF	AI/AO	アナログ入力 14 (AIN14)。 コンパレータ 3 の V _E 、正 (COM3P)。 バッファのリファレンス電圧源 (BUF0_VREF)。
G3	AIN8/COM0P	AI	アナログ入力 8 (AIN8)。 コンパレータ 0 の V _E 、正 (COM0P)。

ボール番号	記号	タイプ ¹	説明
G4	P3.2/PRTADDR2/PWMTRIP/PLAI14	I/O	デジタル入出力ポート 3.2 (P3.2)。 MDIO ポート・アドレスのビット 2 (PRTADDR2)。 PWM トリップ (PWMTRIP)。 PLA 素子 14 への入力 (PLAI14)。
G5	P3.3/PRTADDR3/SIN0/PLAI15	I/O	デジタル入出力ポート 3.3 (P3.3)。 MDIO ポート・アドレスのビット 3 (PRTADDR3)。 UART0 入力 (SIN0)。 PLA 素子 15 の入力 (PLAI15)。
G6	P4.3/PWM6	I/O	デジタル入出力ポート 4.3 (P4.3)。 PWM 出力 6 (PWM6)。
G7	P1.4/SCLK1/PWM2/PLAO10	I/O	デジタル入出力ポート 1.4 (P1.4)。 SPI チャンネル 1 (SPI1) クロック (SCLK1)。 PWM 出力 2 (PWM2)。 PLA 素子 10 の出力 (PLAO10)。 ボール G7 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
G8	P0.3/IRQ0/ $\overline{CS0}$ /PLACLK0/PLAI3	I/O	デジタル入出力ポート 0.3 (P0.3)。 外部割込み 0 (IRQ0)。 SPI0 チップ・セレクト ($\overline{CS0}$)。アクティブ・ロー。 PLA クロック 0 (PLACLK0)。 PLA 素子 3 への入力 (PLAI3)。 ボール G8 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
G9	P0.2/MOSI0/PLACLK1/PLAI2	I/O	デジタル入出力ポート 0.2 (P0.2)。 SPI0 マスタ出力、スレーブ入力 (MOSI0)。 PLA クロック 1 (PLACLK1)。 PLA 素子 2 への入力 (PLAI2)。 ボール G9 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
H1	AIN7/PADC23N/VDAC2	AI	アナログ入力 7 (AIN7)。 PGA チャンネル 2 / PGA チャンネル 3、負 (PADC23N)。 DAC 2 出力の電圧 (VDAC2)。
H2	AIN13/COM2N	AI	アナログ入力 13 (AIN13)。 コンパレータ 2 の V _E 、負 (COM2N)。
H3	AGND	S	アナログ・グラウンド。
H4	P3.1/PRTADDR1/PWMSYNC/PLAI13	I/O	デジタル入出力ポート 3.1 (P3.1)。 MDIO ポート・アドレスのビット 1 (PRTADDR1)。 PWM 同期 (PWMSYNC)。 PLA 素子 13 への入力 (PLAI13)。
H5	P3.4/IRQ9/PRTADDR4/SOUT0/PLAO26	I/O	デジタル入出力ポート 3.4 (P3.4)。 外部割込み 9 (IRQ9)。 MDIO ポート・アドレスのビット 4 (PRTADDR4)。 UART0 出力 (SOUT0)。 PLA 素子 26 の出力 (PLAO26)。
H6	P3.7/PLAO29	I/O	デジタル入出力ポート 3.7 (P3.7)。 PLA 素子 29 の出力 (PLAO29)。
H7	P1.5/MISO1/PWM3/PLAO11	I/O	デジタル入出力ポート 1.5 (P1.5)。 SPI1 マスタ入力、スレーブ出力 (MISO1)。 PWM 出力 3 (PWM3)。 PLA 素子 11 の出力 (PLAO11)。 ボール H7 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
H8	DGND	S	デジタル・グラウンド。
H9	DVDD	S	1.8V/3.3V デジタル電源。

ボール番号	記号	タイプ ¹	説明
J1	VDAC4	AO	DAC 4 出力の電圧。
J2	AVDD_REG	AO	0.47 μ F のデカップリング・コンデンサを備えた 2.5V アナログ・レギュレータ電源。AVDD_REG は外部回路への電源供給に使用しないでください。
J3	AVDD	S	3.3V アナログ電源。
J4	P3.0/IRQ8/PRTADDR0/SRDY0/PLAI12	I/O	デジタル入出力ポート 3.0 (P3.0)。 外部割込み 8 (IRQ8)。 MDIO ポート・アドレスのビット 0 (PRTADDR0)。 SPI0 の準備完了 (SRDY0)。 PLA 素子 12 への入力 (PLAI12)。
J5	P3.5/MCK/SRDY1/PLAO27	I/O	デジタル入出力ポート 3.5 (P3.5)。 MDIO スレーブ・クロック (MCK)。 SPI1 の準備完了 (SRDY1)。 PLA 素子 27 の出力 (PLAO27)。
J6	P3.6/MDIO/SRDY2/PLAO30	I/O	デジタル入出力ポート 3.6 (P3.6)。 MDIO スレーブ・データ (MDIO)。 SPI2 の準備完了 (SRDY2)。 PLA 素子 30 の出力 (PLAO30)。
J7	P1.6/MOSI1/PWM4/PLAO12	I/O	デジタル入出力ポート 1.6 (P1.6)。 SPI1 マスタ出力、スレーブ入力 (MOSI1)。 PWM 出力 4 (PWM4)。 PLA 素子 12 の出力 (PLAO12)。
J8	P1.7/IRQ1/ $\overline{CS1}$ /PWM5/PLAO13	I/O	ボール J7 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。 デジタル入出力ポート 1.7 (P1.7)。 外部割込み 1 (IRQ1)。 SPI1 チップ・セレクト ($\overline{CS1}$)。アクティブ・ロー。 PWM 出力 5 (PWM5)。 PLA 素子 13 の出力 (PLAO13)。
J9	DVDD_REG	AO	0.47 μ F のデカップリング・コンデンサを備えた 1.1V デジタル・レギュレータ電源。DVDD_REG は外部回路への電源供給に使用しないでください。

¹ AO はアナログ出力、I/O は入力/出力、I はデジタル入力、S は電源、AI はアナログ入力です。

	1	2	3	4	5	6	7	8
A	IOGND	P2.0/ ADCCONV/ COMPIN2/ PLAI8	P2.1/DM/ IRQ2/ ECLKIN/ COMPIN3/ PLAI9	SWDIO	VDAC7	VDAC6	VDAC5	VDAC3
B	P0.3/IRQ0/ CS0/ PLACLK0/ PLAI3	P0.2/MOSI0/ PLACLK1/ PLAI2	P2.3/ BM PLAI10	SWCLK	RESET	VDAC1	VREF	AVDD
C	IOVDD1	P0.1/MISO0/ COMOUT1/ PLAI1	P0.0/SCLK0/ COMOUT0/ PLAI0	P1.0/SIN1/ COMOUT2/ PLAI4	P2.2/ POR/ CLKOUT/ SWO	AIN14/ COM3P/ BUF0_VREF	AIN2/ PADC0P	AIN4/ PADC01N/ VDAC0
D	DVDD_REG	DGND	P1.2/ SCL1/ PWM0/ PLAI6	P1.3/ SDA1/ PWM1/ PLAI7	P1.1/ SOUT1/ COMOUT3/ PLAI5	AIN3/ PADC1P	AIN0	AIN10/ COM1P
E	IOVDD0	IOGND	P1.4/ SCLK1/ PWM2/ PLAO10	P1.7/ IRQ1/CS1/ PWM5/ PLAO13	VDAC8/ P5.0	AIN12/ COM2P	AGND	AVDD_REG
F	P1.5/ MISO1/ PWM3/ PLAO11	P1.6/ MOSI1/ PWM4/ PLAO12	P0.7/IRQ4/ SDA2/ COMPIN1/ PLAO5	P3.2/ PRTADDR2/ PWMTrip/ PLAI14	VDAC9/ P5.1	AIN8/ COM0P	ADCREFN	ADCREFP
G	P0.4/SCL0/ SIN0/ PLAO2	P0.5/SDA0/ SOUT0/ PLAO3	P0.6/IRQ3/ SCL2/ COMPIN0/ PLAO4	P3.1/ PRTADDR1/ PWMSync/ PLAI13	VDAC11/ P5.3	AIN7/ PADC23N/ VDAC2	AIN1	AIN9/ COM0N
H	IOGND	DVDD	P3.6/ MDIO	P3.5/ MCK/ SRDY1/ PLAO27	P3.0/ PRTADDR0/ SRDY0/ PLAI12	VDAC10/ P5.2	VDAC4	AIN13/ COM2N

20321-010

図 15. 64 ボール WLCSP のピン配置

表 13. 64 ボール WLCSP のピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1	IOGND	S	デジタル入出力のグラウンド。
A2	P2.0/ADCCONV/COMPIN2/PLAI8	I/O	デジタル入出力ポート 2.0 (P2.0)。 ADC 変換を開始するための外部入力 (ADCCONV)。 スリープ状態用のコンパレータ 2 デジタル入力 (COMPIN2)。 PLA 素子 8 への入力 (PLAI8)。 ボール A2 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
A3	P2.1/DM/IRQ2/ECLKIN/COMPIN3/PLAI9	I/O	デジタル I/O ポート 2.1 (P2.1)。 ダウンロード・モード選択 (DM)。 外部割込み 2 (IRQ2)。 外部入力クロック (ECLKIN)。 スリープ状態用のコンパレータ 3 デジタル入力 (COMPIN3)。 PLA 素子 9 への入力 (PLAI9)。 ボール A3 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
A4	SWDIO	I/O	シリアル・ワイヤ双方向データ。
A5	VDAC7	AO	DAC 7 出力の電圧。
A6	VDAC6	AO	DAC 6 出力の電圧。
A7	VDAC5	AO	DAC 5 出力の電圧。
A8	VDAC3	AO	DAC 3 出力の電圧。

ピン番号	記号	タイプ ¹	説明
B1	P0.3/IRQ0/ $\overline{\text{CS0}}$ /PLACK0/PLAI3	I/O	デジタル入出力ポート 0.3 (P0.3)。 外部割込み 0 (IRQ0)。 SPI0 チップ・セレクト ($\overline{\text{CS0}}$)。 PLA クロック 0 (PLACK0)。 PLA 素子 3 への入力 (PLAI3)。 ボール B1 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
B2	P0.2/MOSI0/PLACK1/PLAI2	I/O	デジタル入出力ポート 0.2 (P0.2)。 SPI0 マスタ出力、スレーブ入力 (MOSI0)。 PLA クロック 1 (PLACK1)。 PLA 素子 2 への入力 (PLAI2)。 ボール B2 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
B3	P2.3/BM/PLAI10	I/O	デジタル入出力ポート 2.3 (P2.3)。内部プルアップ抵抗は P2.3 のパワーアップ時にイネーブルされます。 ブート・モード (BM)。このピンは、毎回のリセット後のスタートアップ・シーケンスを決定します。 PLA 素子 10 への入力 (PLAI10)。
B4	SWCLK	I	シリアル・ワイヤ・デバッグ・クロック。
B5	$\overline{\text{RESET}}$	I	リセット入力 (アクティブ・ロー)。このピンには内部プルアップ抵抗が組み込まれています。
B6	VDAC1	AO	DAC 1 出力の電圧。
B7	VREF	AO/AI	100nF のコンデンサを備えた 0.92V リファレンス。
B8	AVDD	S	3.3V アナログ電源。
C1	IOVDD1	S	1.2V/1.8V GPIO 電源。使わない場合、IOVDD1 は DVDD_REG または DGND に接続可能
C2	P0.1/MISO0/COMOUT1/PLAI1	I/O	デジタル入出力ポート 0.1 (P0.1)。 SPI0 マスタ入力、スレーブ出力 (MISO0)。 コンパレータ 1 出力 (COMOUT1)。 PLA 素子 1 への入力 (PLAI1)。 ボール C2 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
C3	P0.0/SCLK0/COMOUT0/PLAI0	I/O	デジタル入出力ポート 0.0 (P0.0)。 SPI0 クロック (SCLK0)。 コンパレータ 0 出力 (COMOUT0)。 PLA 素子 0 への入力 (PLAI0)。 ボール C3 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
C4	P1.0/SIN1/COMOUT2/PLAI4	I/O	デジタル入出力ポート 1.0 (P1.0)。 UART 入力 1 (SIN1)。 コンパレータ 2 出力 (COMOUT2)。 PLA 素子 4 への入力 (PLAI4)。 ボール C4 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
C5	P2.2/POR/CLKOUT/SWO	I/O	デジタル入出力ポート 2.2 (P2.2)。 リセット出力 (POR)。このピン機能は出力で、それがデフォルトです。 クロック出力 (CLKOUT)。 シリアル・ワイヤ・デバッグ (SWD) 出力 (SWO)。
C6	AIN14/COM3P/BUF0_VREF	AI/AO	アナログ入力 14 (AIN14)。 コンパレータ 3 のエミッタ電圧 (V_E)、正 (COM3P)。 バッファのリファレンス電圧源 (BUF0_VREF)。
C7	AIN2/PADC0P	AI	アナログ入力 2 (AIN2)。 PGA チャンネル 0、正 (PADC0P)。

ピン番号	記号	タイプ ¹	説明
C8	AIN4/PADC01N/VDAC0	AI	アナログ入力 4 (AIN4)。 PGA チャンネル 0 / PGA チャンネル 1、負 (PADC01N)。 DAC 0 出力の電圧 (VDAC0)。
D1	DVDD_REG	AO	0.47 μ F のデカップリング・コンデンサを備えた 1.1V デジタル・レギュレータ電源。DVDD_REG は外部回路への電源供給に使用しないでください。
D2	DGND	S	デジタル・グラウンド。
D3	P1.2/SCL1/PWM0/PLAI6	I/O	デジタル入出力ポート 1.2 (P1.2)。 I ² C1 シリアル・クロック (SCL1)。 PWM 出力 0 (PWM0)。 PLA 素子 6 への入力 (PLAI6)。
D4	P1.3/SDA1/PWM1/PLAI7	I/O	ボール D3 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。 デジタル入出力ポート 1.3 (P1.3)。 I ² C1 シリアル・データ (SDA1)。 PWM 出力 1 (PWM1)。 PLA 素子 7 への入力 (PLAI7)。
D5	P1.1/SOUT1/COMOUT3/PLAI5	I/O	ボール D4 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。 デジタル入出力ポート 1.1 (P1.1)。 UART チャンネル 1 (UART1) 出力 (SOUT1)。 コンパレータ 3 出力 (COMOUT3)。 PLA 素子 5 への入力 (PLAI5)。
D6	AIN3/PADC1P	AI	ボール D5 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。 アナログ入力 3 (AIN3)。 PGA チャンネル 1、正 (PADC1P)。
D7	AIN0	AI	アナログ入力 0。
D8	AIN10/COM1P	AI	アナログ入力 10 (AIN10)。 コンパレータ 1 の V _E 、正 (COM1P)。
E1	IOVDD0	S	3.3V GPIO 電源。
E2	IOGND	S	デジタル入出力のグラウンド。
E3	P1.4/SCLK1/PWM2/PLAO10	I/O	デジタル入出力ポート 1.4 (P1.4)。 SPI1 クロック (SCLK1)。 PWM 出力 2 (PWM2)。 PLA 素子 10 の出力 (PLAO10)。
E4	P1.7/IRQ1/ $\overline{\text{CS1}}$ /PWM5/PLAO13	I/O	ボール E3 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。 デジタル入出力ポート 1.7 (P1.7)。 外部割込み 1 (IRQ1)。 SPI1 チップ・セレクト ($\overline{\text{CS1}}$)。 PWM 出力 5 (PWM5)。 PLA 素子 13 の出力 (PLAO13)。
E5	VDAC8/P5.0	AO/I/O	ボール E4 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。 DAC 8 出力の電圧 (VDAC8)。 デジタル入出力ポート 5.0 (P5.0)。
E6	AIN12/COM2P	AI	アナログ入力 12 (AIN12)。 コンパレータ 2 の V _E 、正 (COM2P)。
E7	AGND	S	アナログ・グラウンド。
E8	AVDD_REG	AO	0.47 μ F のデカップリング・コンデンサを備えた 2.5V アナログ・レギュレータ電源。AVDD_REG は外部回路への電源供給に使用しないでください。

ピン番号	記号	タイプ ¹	説明
F1	P1.5/MISO1/PWM3/PLAO11	I/O	デジタル入出力ポート 1.5 (P1.5)。 SPI1 マスタ入力、スレーブ出力 (MISO1)。 PWM 出力 3 (PWM3)。 PLA 素子 11 の出力 (PLAO11)。 ボール F1 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
F2	P1.6/MOSI1/PWM4/PLAO12	I/O	デジタル入出力ポート 1.6 (P1.6)。 SPI1 マスタ出力、スレーブ入力 (MOSI1)。 PWM 出力 4 (PWM4)。 PLA 素子 12 の出力 (PLAO12)。 ボール F2 はマルチレベル電圧入出力で、3.3V、1.8V、または 1.2V をサポートしています。3.3V がデフォルトです。
F3	P0.7/IRQ4/SDA2/COMPDI1/PLAO5	I/O	デジタル入出力ポート 0.7 (P0.7)。 外部割込み 4 (IRQ4)。 I ² C2 シリアル・データ (SDA2)。 スリーステート用のコンパレータ 1 デジタル入力 (COMPDI1)。 PLA 素子 5 の出力 (PLAO5)。
F4	P3.2/PRTADDR2/PWMTRIP/PLAI14	I/O	デジタル入出力ポート 3.2 (P3.2)。 MDIO ポート・アドレスのビット 2 (PRTADDR2)。 PWM トリップ (PWMTRIP)。 PLA 素子 14 への入力 (PLAI14)。
F5	VDAC9/P5.1	AO/I/O	DAC 9 出力の電圧 (VDAC9)。 デジタル入出力ポート 5.1 (P5.1)。
F6	AIN8/COM0P	AI	アナログ入力 8 (AIN8)。 コンパレータ 0 の V _E 、正 (COM0P)。
F7	ADCREFN	AO/AI	ADC 用のデカップリング・コンデンサ接続。ADCREFN は AGND に接続してください。
F8	ADCREFP	AO/AI	4.7μF のデカップリング・コンデンサを使用する ADC リファレンス・バッファ用のデカップリング・コンデンサ接続。
G1	P0.4/SCL0/SIN0/PLAO2	I/O	デジタル入出力ポート 0.4 (P0.4)。 I ² C0 シリアル・クロック (SCL0)。 UART0 入力 (SIN0)。 PLA 素子 2 の出力 (PLAO2)。
G2	P0.5/SDA0/SOUT0/PLAO3	I/O	デジタル入出力ポート 0.5 (P0.5)。 I ² C0 シリアル・データ (SDA0)。 UART0 出力 (SOUT0)。 PLA 素子 3 の出力 (PLAO3)。
G3	P0.6/IRQ3/SCL2/COMPDI0/PLAO4	I/O	デジタル入出力ポート 0.6 (P0.6)。 外部割込み 3 (IRQ3)。 I ² C2 シリアル・クロック (SCL2)。 スリーステート用のコンパレータ 0 デジタル入力 (COMPDI0)。 PLA 素子 4 の出力 (PLAO4)。
G4	P3.1/PRTADDR1/PWMSYNC/PLAI13	I/O	デジタル入出力ポート 3.1 (P3.1)。 MDIO ポート・アドレスのビット 1 (PRTADDR1)。 PWM 同期 (PWMSYNC)。 PLA 素子 13 への入力 (PLAI13)。
G5	VDAC11/P5.3	AO/I/O	DAC 11 出力の電圧 (VDAC11)。 デジタル入出力ポート 5.1 (P5.3)。
G6	AIN7/PADC23N/VDAC2	AI	アナログ入力 7 (AIN7)。 PGA チャンネル 2 / PGA チャンネル 3、負 (PADC23N)。 DAC 2 出力の電圧 (VDAC2)。
G7	AIN1	AI	アナログ入力 1。
G8	AIN9/COM0N	AI	アナログ入力 9 (AIN9)。 コンパレータ 0 の V _E 、負 (COM0N)。
H1	I0GND	S	デジタル入出力のグラウンド。

ピン番号	記号	タイプ ¹	説明
H2	DVDD	S	1.8V/3.3V デジタル電源。
H3	P3.6/MDIO	I/O	デジタル入出力ポート 3.6 (P3.6)。 MDIO スレーブ・データ (MDIO)。
H4	P3.5/MCK/SRDY1/PLAO27	I/O	デジタル入出力ポート 3.5 (P3.5)。 MDIO スレーブ・クロック (MCK)。 SPI1 の準備完了 (SRDY1)。 PLA 素子 27 の出力 (PLAO27)。
H5	P3.0/PRTADDR0/SRDY0/PLAI12	I/O	デジタル入出力ポート 3.0 (P3.0)。 MDIO ポート・アドレスのビット 0 (PRTADDR0)。 SPI0 の準備完了 (SRDY0)。 PLA 素子 12 への入力 (PLAI12)。
H6	VDAC10/P5.2	AO/I/O	DAC 10 出力の電圧 (VDAC10)。 デジタル入出力ポート 5.2 (P5.2)。
H7	VDAC4	AO	DAC 4 出力の電圧。
H8	AIN13/COM2N	AI	アナログ入力 13 (AIN13)。 コンパレータ 2 の V _E 、負 (COM2N)。

¹ S は電源、I/O は入力／出力、AO はアナログ出力、I はデジタル入力、AI はアナログ入力です。

動作原理

ADuCM410 はオンチップ・システムで、ARM Cortex-M33 プロセッサをベースにしたミックスドシグナル・マイクロ・コントローラです。

ADuCM410 の動作に関する詳細は、ADuCM410 ハードウェア・リファレンス・マニュアルを参照してください。このマニュアルには、すべてのレジスタの詳細と電源管理ユニット、ARM

Cortex-M33 プロセッサ、ADC 回路、フラッシュ・コントローラ、および SPI、I²C、UART などのインターフェースの様々な機能と動作に関する情報など、ADuCM410 の動作に関するあらゆる詳細が記載されています。

ADC の RMS ノイズ分解能

様々な ADC デジタル・フィルタ設定における ADC の RMS ノイズ仕様を表 14 に示します。

すべての測定には 2.5V の内部リファレンスを使用しました。

また、ゲイン=1については、 $V_{IN}=2V$ でシングルエンド測定を行いました。

2 以上の PGA ゲインについては差動入力電圧を使用し、ADC への PGA 出力が常に 2V となるようにしました。例えば、ゲイン=4 では $V_{IN}=500mV$ です。

様々な PGA ゲイン設定における表 14 のノイズ結果に基づく RMS およびピーク to ピークの有効ビット数を表 15 に示します。

ピーク to ピークの有効ビット数はカッコ内に示します。RMS ビット数は次式で計算します。

$$\log\left(\frac{Input\ Range}{RMS\ Noise}\right)$$

ピーク to ピークビット数は次式で計算します。

$$\log_2\left(\frac{Input\ Range}{6.6 \times RMS\ Noise}\right)$$

表 14. ADC の RMS ノイズ

Update Rate (Hz)	Oversampling Ratio (OSR)	Gain = 1	RMS Noise (μV), PGA Output Voltage = 2 V for All Settings				
			Gain = 2	Gain = 4	Gain = 6	Gain = 8	Gain = 10
2,000,000	1	81.3	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable
50,000	8	32.44	30.8	17.4	11.9	7.5	5.2
20,000	32	20.15	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable
5000	16	Not applicable	13.4	10.0	11.5	9.96	10.78
5000	8	Not applicable	15.8	11.47	12.7	10.6	11.4

表 15. RMS ノイズに基づく ADC の有効ビット数 (カッコ内はピーク to ピーク有効ビット数)

Update Rate (Hz)	Sinc3 OSR	Gain = 1	Gain = 2	Gain = 4	Gain = 6	Gain = 8	Gain = 10
2,000,000	1	14.9 (12.18 p-p)	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable
50,000	8	16 (13.5 p-p)	15.3 (12.6 p-p)	15.1 (12.4 p-p)	15.1 (12.37 p-p)	15.3 (12.6 p-p)	15.5 (12.8 p-p)
20,000	32	16 (14.19 p-p)	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable
5000	16	Not applicable	16 (13.78 p-p)	15.9 (13.2 p-p)	15.15 (12.4 p-p)	14.9 (12.2 p-p)	14.5 (11.8 p-p)
5000	8	Not applicable	16 (13.54 p-p)	15.73 (13 p-p)	15 (12.27 p-p)	14.85 (12.1 p-p)	14.4 (11.7 p-p)

アプリケーション情報

電源

ADuCM410 の動作時電源電圧範囲は、AVDD と IOVDD0 で 2.85V~3.6V です。

IOVDD1 は 1.2V、1.8V、または IOVDD0 と同じとすることができます。DVDD の範囲は 1.8V~3.6V です。

アナログ電源ピン (AVDD) とデジタル電源ピン (IOVDD1 と DVDD) が別になっているので、システム DVDD ラインにありがちなノイズの多いデジタル信号が、AVDD にあまり影響を与えないようにすることができます。このモードでは、別々の電源で ADuCM410 を動作させることも可能です。つまり、各電源に異なる電圧レベルを使用することができます (表 1 を参照)。代表的な分離電源構成を 図 16 に示します。

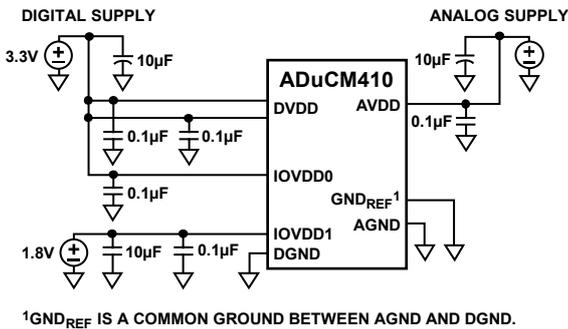


図 16. 外部複数電源の接続

分離した 2 つの電源を使用する代わりに、AVDD と DVDD の間に小さい直列抵抗やフェライト・ビーズを置き、更に AVDD を個別にグラウンドへデカップリングすることによって、AVDD のノイズを減らすこともできます。この設定の例を 図 17 に示します。この構成では、AVDD 電源ラインから他のアナログ回路 (オペアンプや電圧リファレンス) に電源を供給することも可能です。

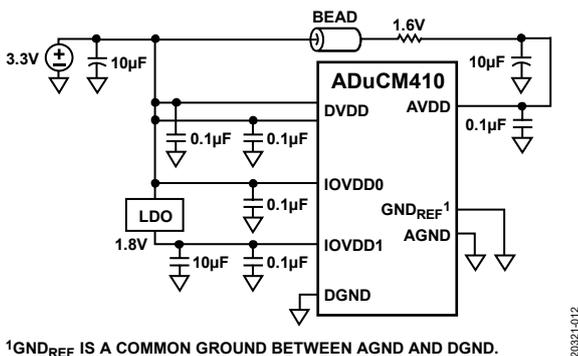


図 17. 外部単電源の接続

図 16 でも 図 17 でも、大きな値 (10µF) のリザーバ・コンデンサが DVDD に、それとは別の 10µF コンデンサが AVDD に接続されています。更に、チップの AVDD、IOVDD0、IOVDD1、DVDD ピンには、それぞれ小さい値 (0.1µF) のローカル・コンデンサが接続されています。図に示したすべての推奨コンデンサを組み込み、小さい値のコンデンサは各電源ピンに近付けてパターン長ができるだけ短くなるようにしてください。各コンデンサのグラウンド端子は下層のグラウンド・プレーンに直接接続します。

ADuCM410 のアナログおよびデジタル・グラウンド・ピンは、すべて同じシステム・グラウンド基準ポイントを使用する必要があります。

パワーアップ条件

DVDD と AVDD のパワーアップ条件を 図 18 と 図 19 に示します。図 20 に、P2.3/BM/PLAI10 ピンに対して外部プルアップを行わない場合の IOVDD0 のパワーアップ条件を示します。

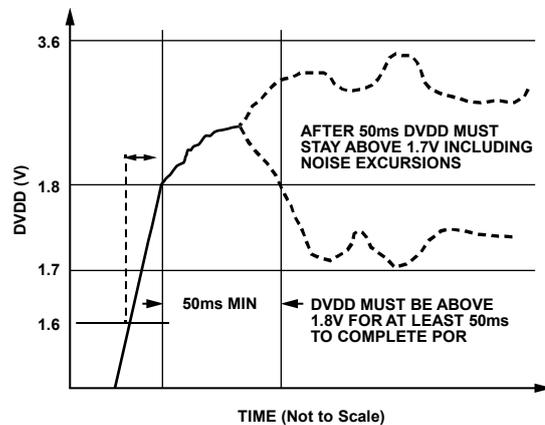
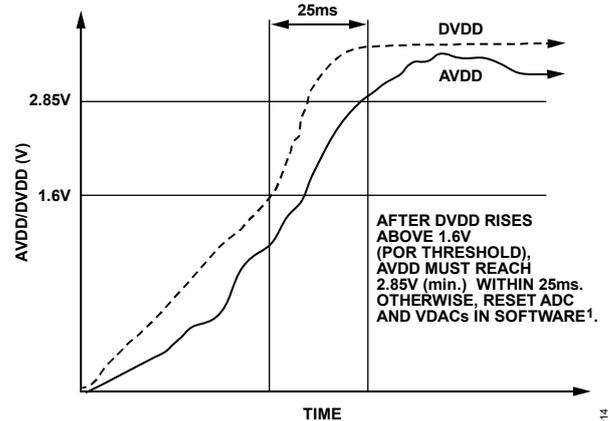


図 18. DVDD のパワーアップ条件



¹DETAILS IN HARDWARE REFERENCE MANUAL.

図 19. AVDD のパワーアップ条件

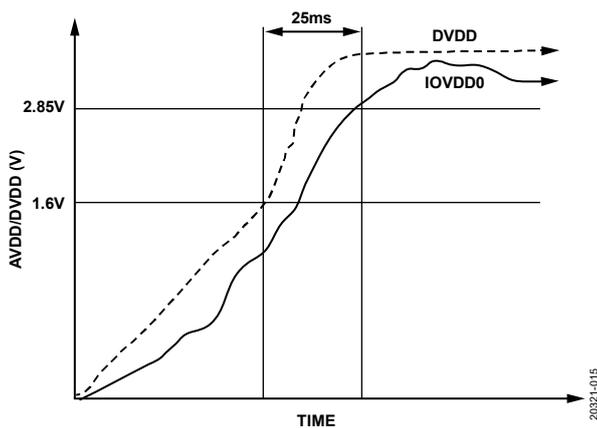


図 20. IOVDD0 のパワーアップ条件 (外部プルアップなし)

推奨される回路と部品の値

図 21 に、ADuCM410 の代表的な接続図を示します。

AVDD_REG、DVDD_REG、および IOVDDx ボールと対応するグラウンド・ボール (AGND と DGND) の間にコンデンサを接続して、電源とレギュレータを適切にデカップリングしてください。グラウンド・ボールと電源ボールの対応については、表 12 と表 13 を参照してください。

デジタル電源ボールは、IOVDD0、IOVDD1 および DVDD の 3 つです。これらのボールはデカップリングしてください。デカップリングは、3 つのボールそれぞれと、それに対応するグラウンド・ボール (それぞれ DGND と AGND) のできるだけ近くに、 $0.1\mu\text{F}$ のコンデンサを接続することによって行います。更に、これらのボールの近くに $10\mu\text{F}$ のコンデンサを 1 個接続します。DVDD には、ノイズを低減するため、グラウンドに接続した $10\mu\text{F}$ コンデンサと直列にフェライト・ビーズを接続します。

同様に、アナログ電源ピン (AVDD) には、各ボールとそれに対応する AGND ボールのできるだけ近くに、 $0.1\mu\text{F}$ のコンデンサを接続する必要があります。更に、これらのボールの近くに $10\mu\text{F}$ のコンデンサを 1 個接続します。

ADC リファレンスには、ADCFEFP と ADCFEFN の間に $4.7\mu\text{F}$ のコンデンサを接続する必要があります。このコンデンサは、それぞれのボールにできるだけ近付けて接続してください。ADCFEFN は AGND に直接接続する必要があります。ADuCM410 は 2 つのレギュレータを内蔵しています。これらのレギュレータには外付けのデカップリング・コンデンサが必要です。DVDD_REG ボールと DGND との間、および AVDD_REG ボールと AGND の間には、それぞれ $0.47\mu\text{F}$ のコンデンサを置く必要があります。レイアウトを慎重に行って、各デカップリング・コンデンサのグラウンド端からそれぞれに対応するグラウンド・ボールへ流れる電流が PCB 上の他のグラウンド電流と共有するパターンは、できるだけ短くなるようにしてください。

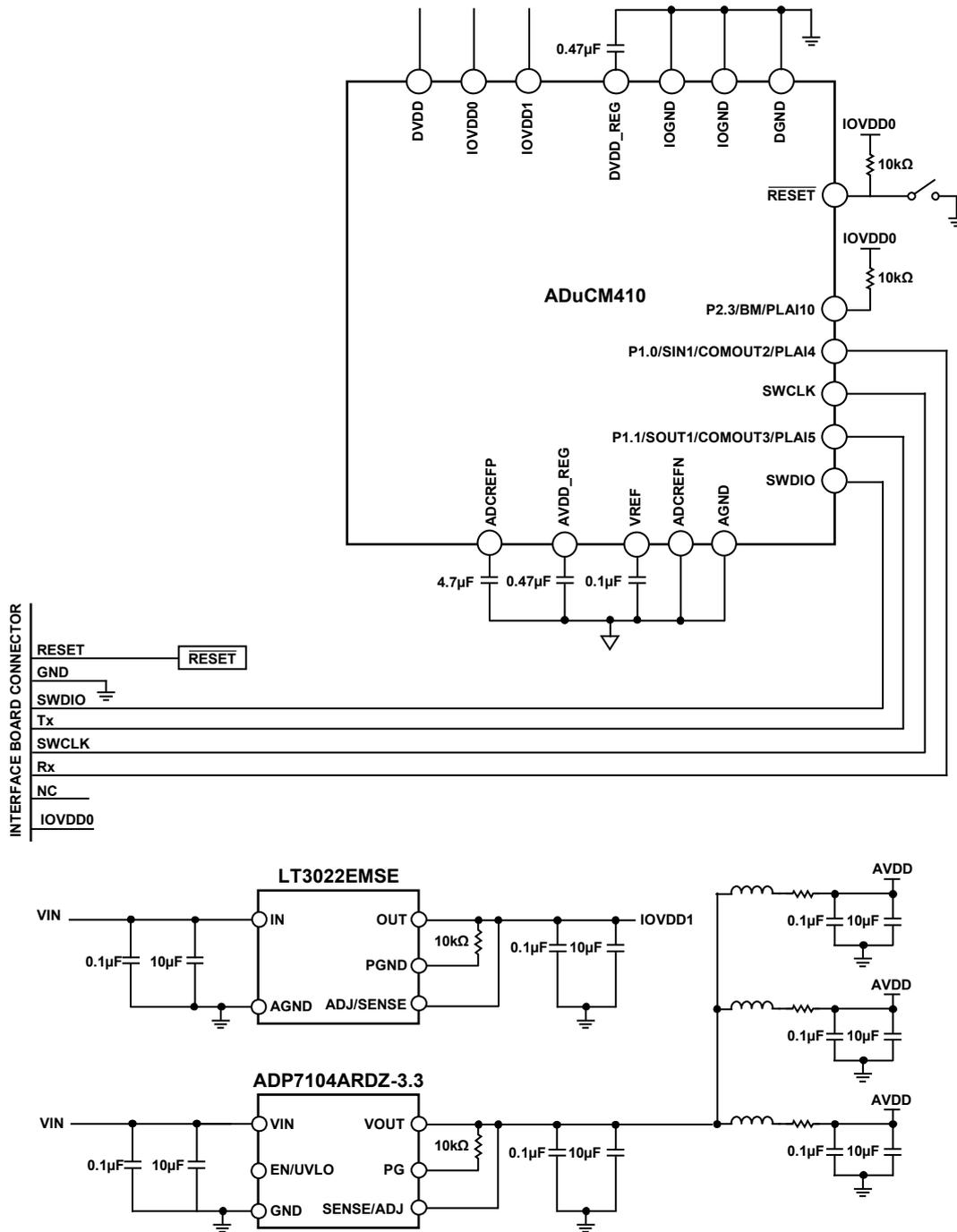


図 21. 推奨される回路と部品値 (ADuCM410、LT3022EMSE、ADP7104ARDZ-3.3)

20321-016

外形寸法

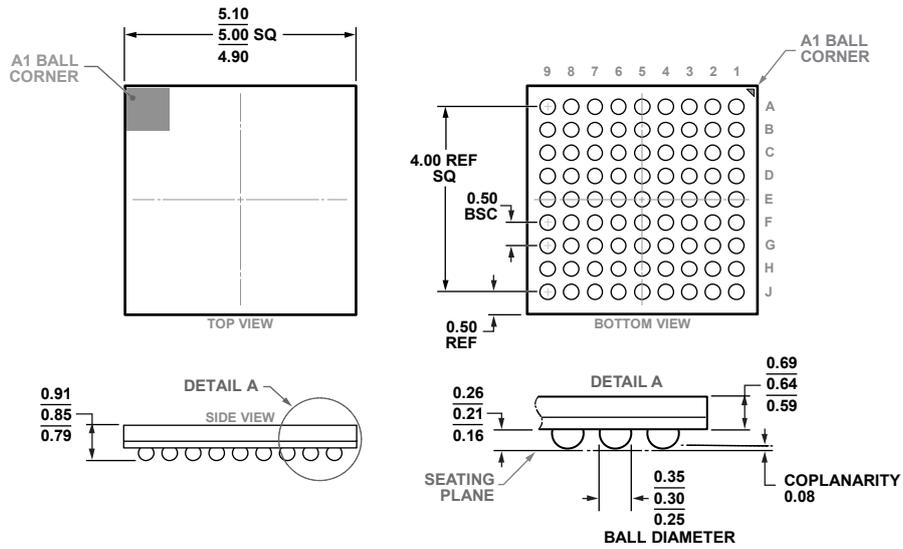


図 22.81 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA] (BC-81-6) 寸法：mm

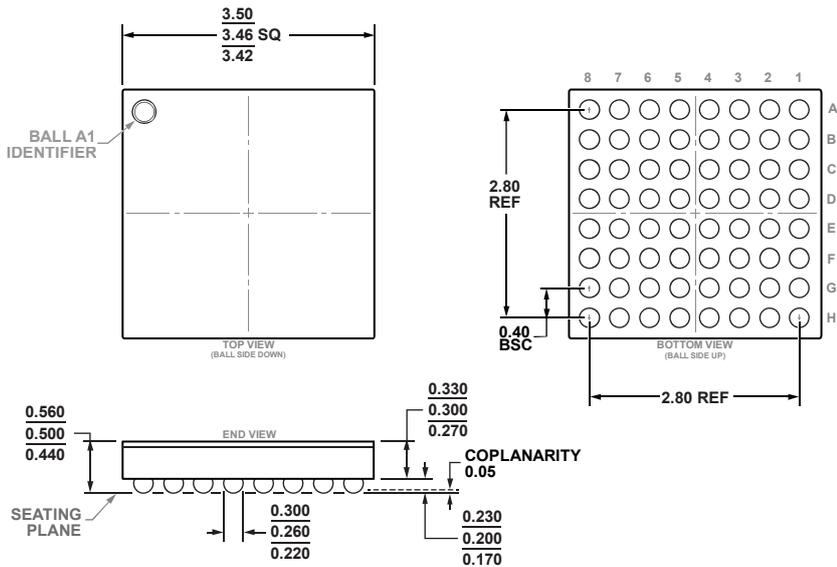


図 23.64 ボール・ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-64-2) 寸法：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADuCM410BBCZ	-40°C to +105°C	81-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-81-6
ADuCM410BBCZ-RL7	-40°C to +105°C	81-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-81-6
ADuCM410BCBZ-RL7	-40°C to +105°C	64-Ball Wafer Level Chip Scale Package [WLCSP]	CB-64-2
EVAL-ADUCM410QSPZ		BGA Evaluation Board and Quick Start Development System	
EVAL-ADUCM410QSPIZ		WLCSP Evaluation Board and Quick Start Development System	

¹ Z = RoHS 準拠製品

² CSP_BGA パッケージは、超低アルファ線 (ULA) のモールド・コンパウンドを使用しています。

PC は、Philips Semiconductors 社 (現在の NXP Semiconductors 社) が独自に開発した通信プロトコルです。