



Arm Cortex-A5内蔵の SHARC+デュアルコアDSP

データシート

ADSP-21593/21594/ADSP-SC592/SC594

システム機能

- デュアル強化型SHARC+浮動小数点コア
 - 高性能SHARC+コア（それぞれ最大1GHz）
 - コアごとに最大5Mb（640kB）のパリティ付きL1 SRAMメモリ（オプションでキャッシュに構成可能）
 - 32ビット、40ビット、64ビットの浮動小数点に対応 32ビットの固定小数点に対応
 - バイト、ショート・ワード、ワード、ロング・ワードに対応可能
- Arm Cortex-A5コア
 - NEON/VFPv4-D16による最大1GHz/1600DMIPSの処理
 - 32kBのパリティ付きL1命令キャッシュおよびデータ・キャッシュ
 - 256kBのパリティ付きL2キャッシュ
- 8個のMemDMAによる強力なDMAシステム オンチップのメモリ保護機能
- 安全機能内蔵
- 17mm × 17mm、400ボールBGA_ED（0.8mmピッチ）
- RoHS準拠

メモリ

- ECC保護付きの大容量オンチップ・レベル2（L2）SRAM（最大2MB）
- レベル3（L3）インターフェースを1つ装備し、DDR3/DDR3L SDRAMデバイスへの16ビットインターフェースを提供

その他の機能

- ADSP-2156xとピン互換のパッケージ・オプション
- 最大1GHzで動作する強化型FIRおよびIIRアクセラレータ セキュリティおよび保護
- 暗号化ハードウェア・アクセラレータ
- IP保護機能を備えた高速セキュア・ブート Arm TrustZoneに対応
- オートモーティブ・アプリケーション向けのAEC-Q100に適合

アプリケーション

- オートモーティブ：オーディオ・アンプ、ヘッド・ユニット、ANC/RNC、リア・シート・エンタテインメント、デジタル・コックピット、ADAS
- コンシューマ：AVR、ミキシング・コンソール、マイクロフォン・アレイ、会議システム

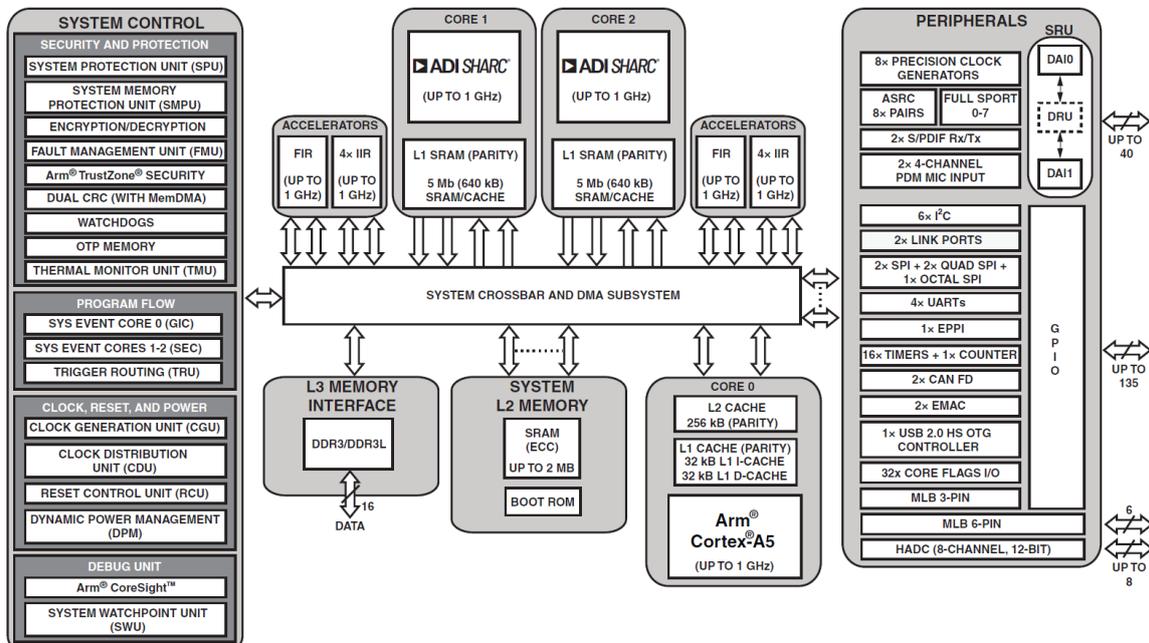


図1. ADSP-SC594（フル機能モデル）のプロセッサのブロック図

SHARC、SHARC+およびSHARCのロゴは、アナログ・デバイセズの登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標はそれぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. D

目次

| | | | |
|---|----|--|-----|
| システム機能..... | 1 | 仕様..... | 67 |
| メモリ..... | 1 | 動作条件..... | 67 |
| その他の機能..... | 1 | 電気的特性..... | 70 |
| アプリケーション..... | 1 | HADC..... | 73 |
| 目次..... | 2 | TMU..... | 74 |
| 改訂履歴..... | 2 | 絶対最大定格..... | 74 |
| 概要..... | 3 | ESDに関する注意..... | 74 |
| ARM CORTEX-A5プロセッサ (ADSP-SC592/SC594のみ)..... | 5 | タイミング仕様..... | 75 |
| SHARCプロセッサ..... | 6 | 出力駆動電流..... | 125 |
| SHARC+コアのアーキテクチャ..... | 8 | テスト条件..... | 128 |
| システム・インフラストラクチャ..... | 10 | 環境条件..... | 130 |
| システムのメモリ・マップ..... | 11 | ADSP-SC592/594 400ボール高ペリフェラル・カウント (HPC) | |
| セキュリティ機能..... | 14 | BGAのボール配置..... | 131 |
| セキュリティ機能の免責事項..... | 14 | ADSP-SC592/594 400ボールHPC BGAのボール配置 (ボール番号の 数値順)..... | 131 |
| 安全機能..... | 15 | ADSP-SC592/594 400ボールHPC BGAのボール配置 (ピン名のアル ファベット順)..... | 134 |
| プロセッサ・ペリフェラル..... | 15 | ADSP-SC592/594 400ボール高ペリフェラル・カウント (HPC) | |
| システム・アクセラレーション..... | 20 | BGAの構成..... | 137 |
| システム設計..... | 20 | ADSP-21593/594 400ボール低ペリフェラル・カウント (LPC) | |
| システム・デバッグ..... | 23 | BGAのボール配置..... | 138 |
| 開発ツール..... | 23 | ADSP-21593/594 400ボールLPC BGAのボール配置 (ボール番号 の数値順)..... | 138 |
| その他の情報..... | 24 | ADSP-21593/594 400ボールLPC BGAのボール配置 (ピン名のアル ファベット順)..... | 141 |
| 関連シグナル・チェーン..... | 24 | ADSP-21593/594 400ボール低ペリフェラル・カウント (LPC) | |
| ADSP-2159x/ADSP-SC592/SC594の信号の詳細な説明..... | 25 | BGAの構成..... | 144 |
| 400ボール高ペリフェラル・カウント (HPC) BGAの信号の説明..... | 29 | 外形寸法..... | 145 |
| 400ボール高ペリフェラル・カウント (HPC) BGAパッケージ用のGPIOマルチプレクス..... | 38 | 表面実装型設計..... | 145 |
| 400ボール低ペリフェラル・カウント (LPC) BGAの信号の説明..... | 43 | オートモーティブ製品..... | 146 |
| 400ボール低ペリフェラル・カウント (LPC) BGAパッケージ用のGPIOマルチプレクス..... | 49 | 製造予定オートモーティブ製品..... | 146 |
| ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス..... | 51 | 製造予定製品..... | 147 |
| | | オーダー・ガイド..... | 147 |

改訂履歴

7/2023—Rev. C to Rev. D

Reverted edits made in Revision C.

Changes to Footnote 2 and Footnote 3 in LPs—Receive..... 77

Changes to Footnote 2 and Footnote 3 in LPs DDR—Receive..... 80

3/2023—Rev. B to Rev. C

Internal Revision (Unpublished)

2/2023—Rev. A to Rev. B

Removed previously planned ADSP-21591 and ADSP- SC591 models.

Added Figure 6 to Housekeeping Analog-to-Digital Converter (HADC)

..... 19

Clarification to ETH_CRS signal description in ADSP- 2159x/ADSP-
SC592/SC594 Detailed Signal Descriptions..... 25

Added 40, 60, and 90 Ω drive strengths to Electrical Characteristics 70

Added HADC DC Accuracy for BGA_ED (HPC)..... 73

Updated Power-Up Reset Timing..... 75

Added 40 and 60 Ω drive strengths graphs to Output Drive Currents.. 125

概要

ADSP-2159x/ADSP-SC592/SC594は、SHARC[®]製品ファミリのプロセッサです。ADSP-SC592/SC594は、SHARC+[®]デュアルコアおよびArm[®] Cortex[®]-A5コアを基盤としています。SHARC製品のADSP-2159x/ADSP-SC592/SC594プロセッサは、デジタル・シグナル・プロセッサ (DSP) の単一命令複数データ (SIMD) SHARCファミリのメンバーで、アナログ・デバイスのスーパー・ハーバード・アーキテクチャを採用しています。これらの32ビット/40ビット/64ビット浮動小数点プロセッサは、高性能のオーディオ/浮動小数点アプリケーション向けに最適化されており、大容量オンチップ・スタティック・ランダム・アクセス・メモリ (SRAM)、入出力 (I/O) ボトルネックを解消する複数の内部バス、革新的なデジタル・オーディオ・インターフェース (DAI) を内蔵しています。SHARC+コアには、以前のSHARC製品との命令セット互換性は維持しつつ、キャッシュの強化と分岐予測が新たに追加されています。

Arm Cortex-A5およびSHARCプロセッサは、業界最先端のシステム・ペリフェラルおよびメモリのセットを統合することで、縮小命令セット・コンピューティング (RISC) と同等のプログラマビリティ、マルチメディア対応機能、最新の信号処理能力を1つの統合パッケージで要求されるアプリケーションに最適なプラットフォームとなっています。これらのアプリケーションは、オートモーティブ、プロフェッショナル向けオーディオ、高い浮動小数点演算性能が求められる産業用アプリケーションなど、幅広い市場に広がっています。

表1に、標準的なプロセッサの機能を比較して示します。

表1. プロセッサの機能¹

| Processor Feature | ADSP-21593 | ADSP-21594 | ADSP-SC592 | ADSP-SC594 |
|---|------------------|------------------------|------------------------|------------------------|
| Arm Cortex-A5 (MHz, Maximum) ² | N/A | N/A | 1000 | 800, 1000 |
| Arm Core L1 Cache (I, D kB) | N/A | N/A | 32, 32 | 32, 32 |
| Arm Core L2 Cache (kB) | N/A | N/A | 256 | 256 |
| SHARC+ Core1 (MHz, Maximum) ² | 800, 1000 | 1000 | 1000 | 800, 1000 |
| SHARC+ Core2 (MHz, Maximum) ² | 800, 1000 | 1000 | N/A | 800, 1000 |
| SHARC L1 SRAM (kB) | 2 × 640 | 2 × 640 | 1 × 640 | 2 × 640 |
| System Memory | | | | |
| L2 SRAM (Shared) (MB) | 2 | 2 | 2 | 2 |
| DDR3/DDR3L Controller (16-Bit) | 1 | 1 | 1 | 1 |
| Hardware Accelerators | | | | |
| FIRs Per SHARC+ Core | 1 | 1 | 1 | 1 |
| IIRs Per SHARC+ Core | 4 | 4 | 4 | 4 |
| Security Cryptographic Engine | Yes | Yes | Yes | Yes |
| DAI (Includes SRU and DRU) | 2 | 2 | 2 | 2 |
| Full SPORTs | 8 (4 per DAI) | 8 (4 per DAI) | 8 (4 per DAI) | 8 (4 per DAI) |
| S/PDIF Receive/Transmit | 2 (1 per DAI) | 2 (1 per DAI) | 2 (1 per DAI) | 2 (1 per DAI) |
| ASRCs | 8 (4 per DAI) | 8 (4 per DAI) | 8 (4 per DAI) | 8 (4 per DAI) |
| PCGs | 8 (4 per DAI) | 8 (4 per DAI) | 8 (4 per DAI) | 8 (4 per DAI) |
| 4-Channel PDM MIC Input | 2 (1 per DAI) | 2 (1 per DAI) | 2 (1 per DAI) | 2 (1 per DAI) |
| Pin Buffers | 28 (14 per DAI) | 40 (20 per DAI) | 40 (20 per DAI) | 40 (20 per DAI) |
| Multiplexed Peripherals | | | | |
| MLB 3-Pin | Yes ³ | Yes ³ | Yes ³ | Yes ³ |
| Link Ports | 2 | 2 | 2 | 2 |
| GP Counter | 1 | 1 | 1 | 1 |
| I ² C (TWI) | 6 | 6 | 6 | 6 |
| Watchdog Timers | 3 | 3 | 3 | 3 |
| GP Timers | 16 ⁴ | 16 | 16 | 16 |
| Octal SPI | 1 | 1 | 1 | 1 |
| Quad-Data Bit SPI | 2 | 2 | 2 | 2 |
| Dual-Data Bit SPI | 1 | 2 | 2 | 2 |
| UARTs | 3 | 4 | 4 | 4 |
| ePPI | N/A | 1 | 1 | 1 |
| USB 2.0 HS OTG Controller | N/A | N/A | 1 | 1 |
| EMAC Std | N/A | N/A | 10/100 | 10/100 |
| EMAC Std/AVB + Timer IEEE 1588 | N/A | N/A | 10/100/1000 | 10/100/1000 |
| CAN FD | N/A | N/A | 2 ³ | 2 ³ |
| MLB 6-Pin | N/A | Yes ³ | Yes ³ | Yes ³ |
| Multichannel 12-Bit ADC | 4-channel | 8-channel ⁵ | 8-channel ⁵ | 8-channel ⁵ |
| GPIO Ports | Port A to Port C | Port A to Port I | Port A to Port I | Port A to Port I |
| GPIO + DAI Pins | 40 + 28 | 135 + 40 | 135 + 40 | 135 + 40 |
| Package | 400- ball BGA_ED | 400- ball BGA_ED | 400- ball BGA_ED | 400- ball BGA_ED |
| Package Options | LPC ⁶ | HPC ⁷ | HPC ⁷ | HPC ⁷ |

¹ N/Aは、該当なしを表します。

² 複数の値がある場合は、異なるスピード・グレードがあることを意味します。オートモーティブ製品、製造予定オートモーティブ製品、製造予定製品、オーダー・ガイドのセクションを参照してください。

³ オートモーティブ・モデルにのみ適用されます。オートモーティブ製品および製造予定オートモーティブ製品のセクションを参照してください。

⁴ GPタイマーのインスタンスであるTIMER10~TIMER15は、パッケージ・ピンには割り当てられてはならず、内部の動作モードでのみ設定できます。

⁵ HADCは外部マルチプレクサを用いて最大7つのチャンネルを追加できます。

⁶ LPC = 低パリアフェラル・カウント (Low Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換

⁷ HPC = 高パリアフェラル・カウント (High Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとは非ピン互換

ARM CORTEX-A5プロセッサ (ADSP-SC592/SC594のみ)

Arm Cortex-A5プロセッサ (図2参照) は、以下の特長を備えた高性能プロセッサです。

- 命令キャッシュ・ユニット (32kB) およびデータ・レベル1 (L1) キャッシュ・ユニット (32kB)
- 動的な分岐予測機能を備えたイン・オーダー・パイプライン
- Arm、Thumb®、ThumbEEの命令セットをサポート
- Arm TrustZone®セキュリティ拡張機能

- メモリ管理ユニット (MMU) を備えたハーバードL1メモリ・システム
- Arm v7™デバッグ・アーキテクチャ
- 組み込みトレース・マクロセル (ETM) インターフェースを介したトレース・サポート
- 拡張機能 - トラップを実行しないベクトル浮動小数点ユニット (IEEE754)
- 拡張機能 - NEON™技術を採用したメディア処理エンジン (MPE)
- 拡張機能 - Jazelle®によるハードウェア・アクセラレーション

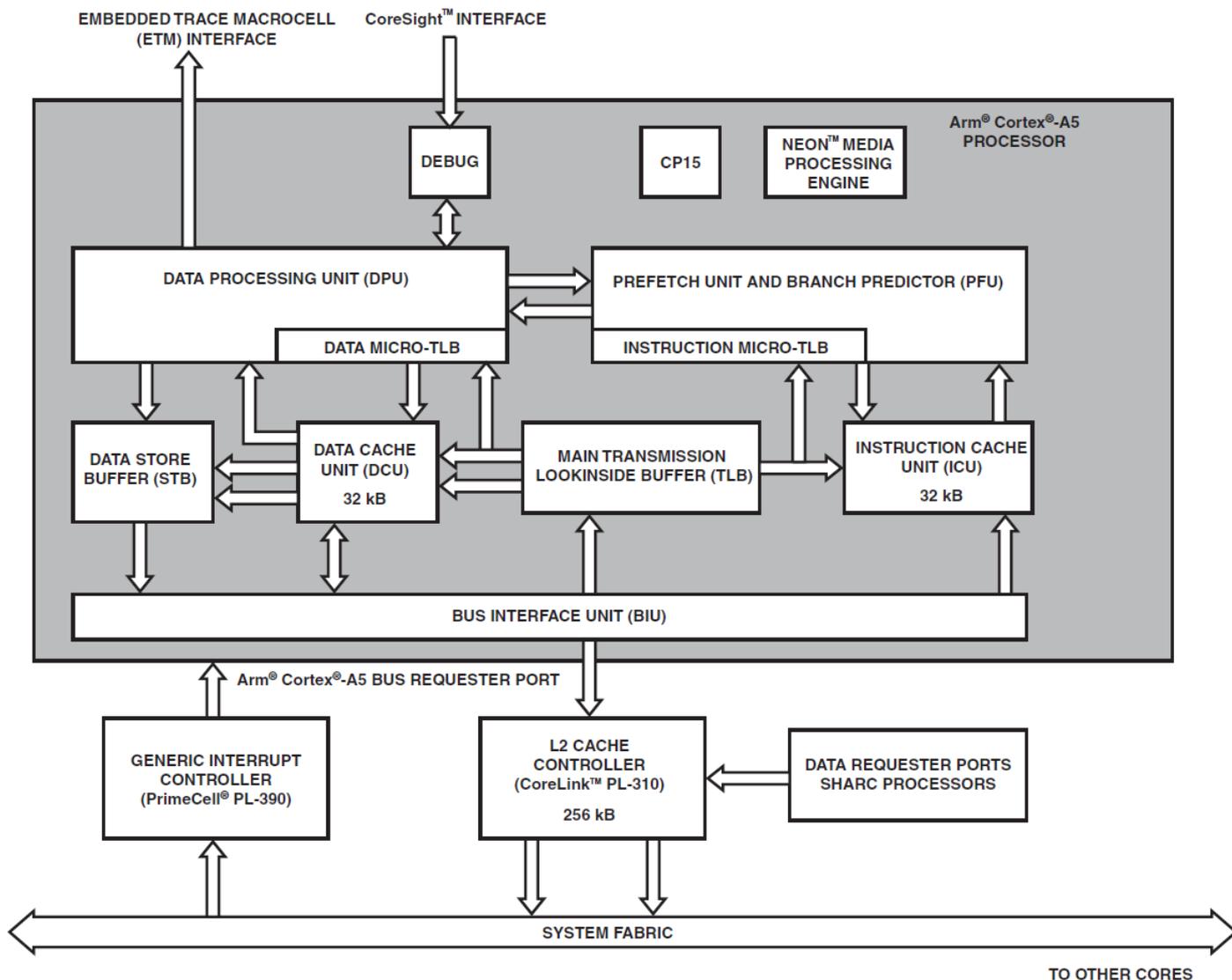


図2. Arm Cortex-A5プロセッサのブロック図

汎用割り込みコントローラ (GIC) 、 PL390 (ADSP-SC59xのみ)

汎用割り込みコントローラ (GIC) は、割り込みのサポートおよび管理を行う集中型リソースです。GICは、分配器ブロック (GICPORT0) と中央処理装置 (CPU) インターフェース・ブロック (GICPORT1) に分割されています。

汎用割り込みコントローラ・ポート0 (GICPORT0)

GICPORT0分配器ブロックは、割り込みの優先順位付けと、システムのプロセッサに接続されているGICPORT1 CPUインターフェース・ブロックへの分配を実行します。このポートはすべての割り込みソースを集中化し、割り込みごとに優先度を決定して、最も優先度の高い割り込みをインターフェースに転送することで、優先度マスキングとプリエンプション処理を可能にします。

汎用割り込みコントローラ・ポート1 (GICPORT1)

GICPORT1 CPUインターフェース・ブロックは、システム内で接続されたプロセッサのために優先度マスキングとプリエンプション処理を行います。GICPORT1は、8つのソフトウェア生成割り込み (SGI) と326の共有ペリフェラル割り込み (SPI) に対応します。

L2キャッシュ・コントローラ、PL310 (ADSP-SC59xのみ)

レベル2 (L2) キャッシュ・コントローラ、PL310 (図2参照) は、システム・ファブリックで動作するArm Cortex-A5プロセッサと効率的に連携します。キャッシュ・コントローラは、データおよび命令インターフェースと直接接続します。キャッシュ・コントローラの内部パイプライン機能は、各プロセッサが同じクロック周波数で動作できるように最適化されています。キャッシュ・コントローラは次の機能をサポートしています。

- 2つの読出し/書込み64ビット・コンプリータ・ポート、1つはArm Cortex-A5の命令インターフェースおよびデータ・インターフェースに接続、もう1つはArm Cortex-A5コアおよびSHARC+コアに接続してデータの一貫性を確保
- システム・ファブリックとのインターフェースを実現する2つの読出し/書込み64ビット・リクエスト・ポート

SHARCプロセッサ

SHARCプロセッサでは、図3に示すように、SHARC+ SIMDコア、L1メモリ・クロスバー、Iキャッシュ/Dキャッシュ・コントローラ、L1メモリ・ブロック、リクエスト/コンプリータ・ポートが統合されています。SHARC+ SIMDコアのブロック図を図4に示します。

SHARCプロセッサは、階層的メモリ構造と組み合わせで修正されたハーバード・アーキテクチャに対応しています。L1メモリは通常、フル・プロセッサ・スピードで動作し、遅延はほとんど、あるいはまったくありません。

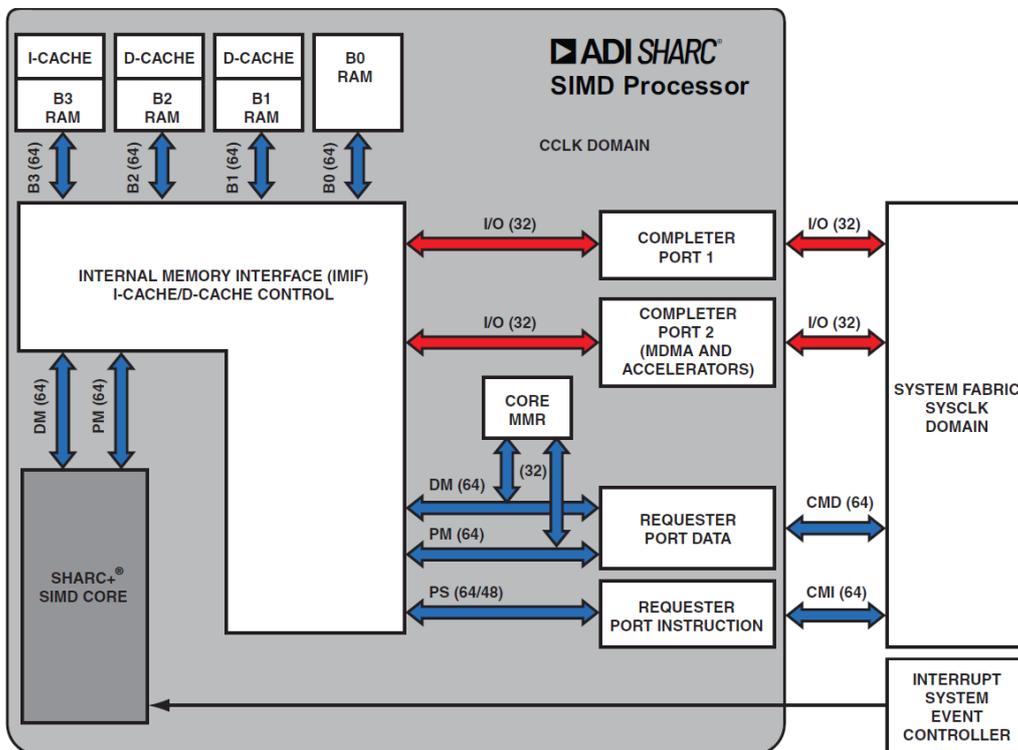


図3. SHARCプロセッサのブロック図

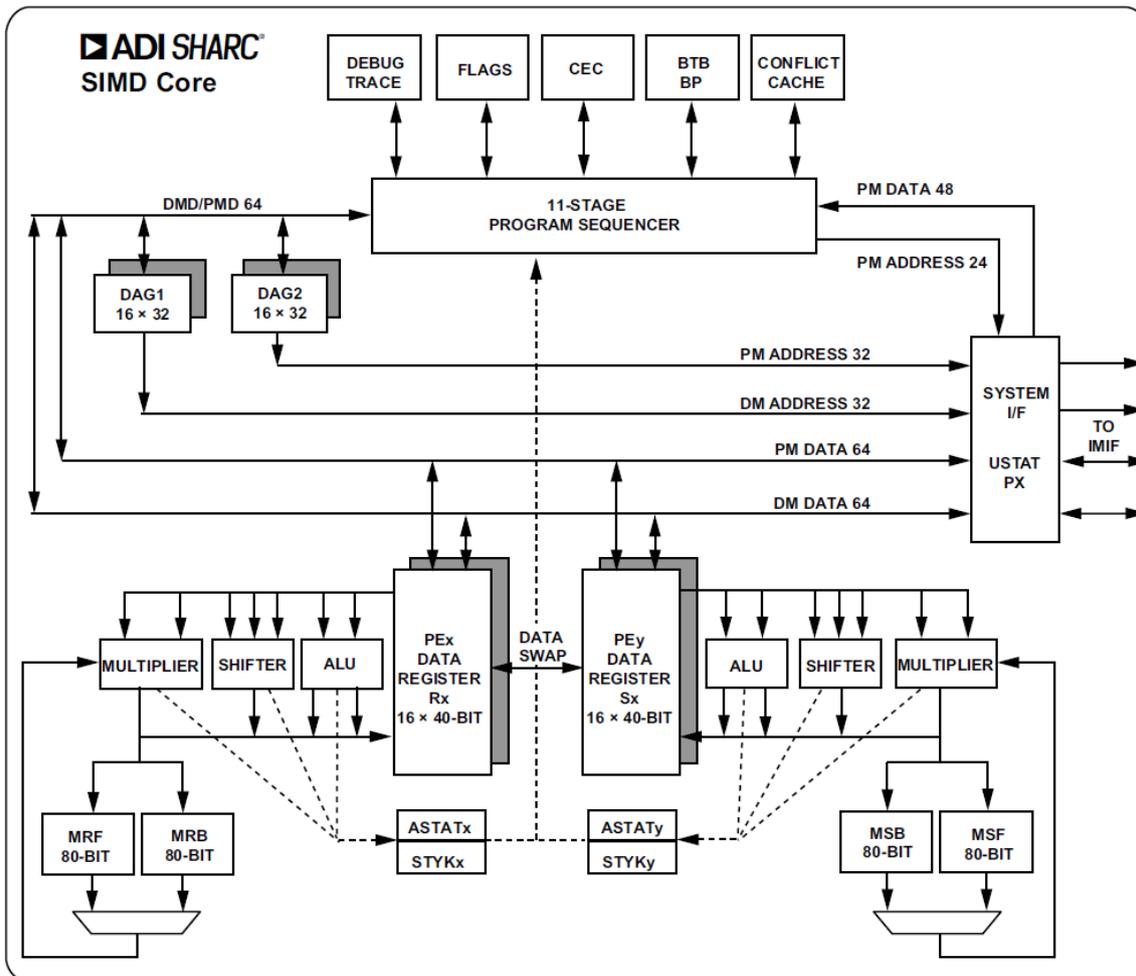


図4. SHARC+ SIMDコアのブロック図

L1メモリ

図5にADSP-2159x/ADSP-SC592/SC594のメモリ・マップを示します。各SHARC+コアには5MbのL1 SRAMが緊密に結合しています。各SHARC+は、1回のサイクルでこのメモリ空間のコードおよびデータにアクセスできます。ARM Cortex-A5コアは、このメモリ空間に複数サイクルでアクセスすることもできます。

SHARC+コアのプライベート・アドレス空間では、どちらのコアにもL1メモリがあります。

SHARC+のコア・メモリ・マップド・レジスタ (CMMR) のアドレス空間は、通常ワード (32ビット) で0x00000000~0x0003FFFFです。各ブロックはコード・ストレージおよびデータ・ストレージの様々な組み合わせで構成できます。5MbのSRAMのうち、最大1Mbをデータ・メモリ (DM)、プログラム・メモリ (PM)、命令キャッシュに設定できます。各メモリ・ブロックは、コア・プロセッサおよびI/Oプロセッサによる単一サイクルの個別アクセスに対応しています。メモリ・アーキテクチャは、別のオンチップ・バスと組み合わせることで、コアからの2回のデータ転送およびダイレクト・メモリ・アクセス (DMA) エンジンからの1回のデータ転送を、1サイクルで行うことができます。

プロセッサのSRAMは、最大160kワードの32ビット・データ、320kワードの16ビット・データ、106.7kワードの48ビット命令 (または40ビット・データ)、または5Mbまでの様々なワード・サイズの組み合わせとして構成できます。すべてのメモリは、8ビット、16ビット、32ビット、48ビット、または64ビットのワードとしてアクセスできます。16ビット浮動小数点のストレージ・フォーマットに対応しているため、チップに保存できるデータ量は2倍になります。

32ビット浮動小数点フォーマットと16ビット浮動小数点フォーマットの間の変換は単一の命令で実行されます。メモリ・ブロックごとにコードとデータを組み合わせる保存できますが、最も効率的にアクセスできるのは、1つのブロックが転送用にDMバスを用いてデータを保存し、別のブロックが転送用にPMバスを用いて命令およびデータを保存する場合です。

DMバスとPMバスを、それぞれメモリ・ブロック専用にして用いることで、1サイクルの実行で2つのデータ転送ができます。この場合、命令にはキャッシュ内でアクセスできる必要があります。

システムは柔軟に設定できますが、代表的な設定では、512kbのDM、128kbのPM、128kbの命令キャッシュ、その他のL1メモリはSRAMに設定されます。L1メモリ以外のアドレス指定可能な各メモリ空間には、直接アクセスすることも、キャッシュを介してアクセスすることもできます。

表2のメモリ・マップは、L1メモリのアドレス空間を表すと共に、SRAMとキャッシュの設定可能な組み合わせを実現する複数のL1メモリ・ブロックを示しています。

L1リクエスト・ポートおよびコンプリータ・ポート

各SHARC+コアにはシステム・ファブリックとの間に2つのリクエスト/コンプリータ・ポートがあります。一方のリクエスト・ポートが命令を読み出します。2つめのリクエスト・ポートは、データをシステムに送ります。コンプリータ・ポート1はコンプリータ・ポート2メモリのダイレクト・メモリ・アクセス（高速MDMAおよびアクセラレータ）と共に、各メモリ・ブロックに対する競合のないアクセスを実行します。コンプリータのポート・アドレスについては、表2のL1メモリ・アドレス・マップを参照してください。

L1オンチップ・メモリの帯域幅

内部メモリ・アーキテクチャにより、プログラムは、ブロックの競合がなければ4つのブロックのいずれに対しても同時に4回のアクセスが可能です。合計帯域幅は、DMDバスとPMDバスの両方を用いて実現できます（2×64ビットのCCLKスピードおよび2×32ビットのSYSCLKスピード）。

命令およびデータ・キャッシュ

ADSP-2159x/ADSP-SC592/SC594プロセッサには、標準的な命令キャッシュ（Iキャッシュ）および2つのデータ・キャッシュ（Dキャッシュ、それぞれPM/DM用）もあり、また、すべてのキャッシュに対しパリティをサポートしています。これらのキャッシュは、CCLKサイクルごとに、DMバスとPMバスを介して1回の命令アクセスと2回のデータ・アクセスが可能です。キャッシュ・コントローラは、設定されたL1メモリを自動で管理します。システムは、キャッシュ・コントローラによる自動管理ができるよう、L1メモリの一部を設定できます。これらのキャッシュの大きさはそれぞれ0~128kBの範囲で個別に設定できます。キャッシュ・コントローラに管理されないメモリは、プロセッサから直接アクセスできます。コントローラがあることで、2つのデータ・キャッシュ間でのデータの一貫性が確保されます。キャッシュは、フル・ロックおよび部分ロック、範囲を制限した無効化、フラッシュなどの、ユーザ制御可能な機能を備えています。

コア・メモリ・マップド・レジスタ（CMMR）

コア・メモリ・マップド・レジスタ（CMMR）は、L1の命令およびデータ・キャッシュ、分岐ターゲット・バッファ（BTB）、L2キャッシュ、パリティ・エラー、システム制御、デバッグ、モニタなどの各機能を制御します。

SHARC+コアのアーキテクチャ

ADSP-2159x/ADSP-SC592/SC594プロセッサは、第一世代のADSP-2106x SHARCプロセッサを始め、ADSP-2116x、ADSP-2126x、ADSP-213xx、ADSP-214xx、ADSP-SC5xx/ADSP-215xxなど、SHARCまたはSHARC+コアを備えた従来のSHARCプロセッサすべてに対しアセンブリ・コード互換です。

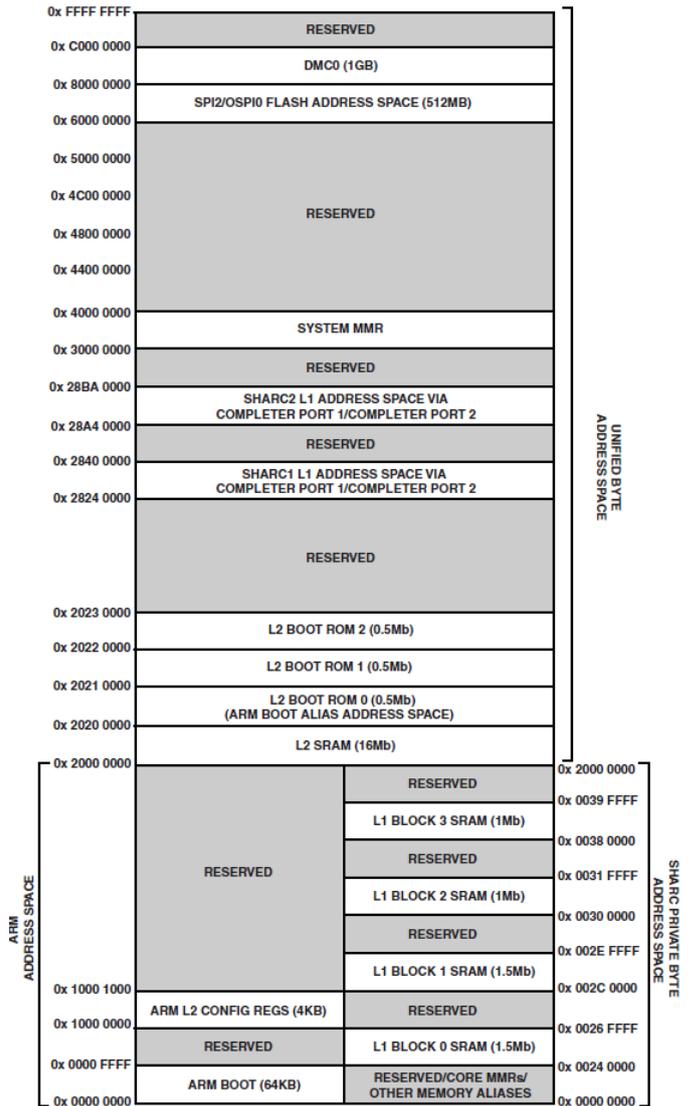


図5. ADSP-2159x/ADSP-SC592/SC594のメモリ・マップ

ADSP-2159x/ADSP-SC592/SC594プロセッサで採用されているSIMDアーキテクチャは、図4に示すように、また、以降のセクションで説明するように、従来のすべてのSIMD SHARCプロセッサ、すなわち、ADSP-2116x、ADSP-2126x、ADSP-213xx、ADSP-214xx、ADSP-SC5xx/ADSP-215xxの各プロセッサと同じです。

単一命令複数データ（SIMD）演算エンジン

SHARC+コアには、単一命令複数データ（SIMD）エンジンとして動作する演算処理要素が2つあります。

処理要素は、PE_xおよびPE_yと記され、各々が算術論理演算装置（ALU）、乗算器、シフタ、レジスタ・ファイルを備えています。PE_xは常にアクティブであり、PE_yはモード制御レジスタ（MODE1）のPEYENモード・ビットをセットすることでイネーブルされます。

SIMDモードにより、プロセッサは、両方の処理要素で同じ命令を実行できますが、各処理要素は異なるデータで動作します。このアーキテクチャは、算術演算に集中したDSPアルゴリズムを効率的に実行します。SHARC+コアは、従来世代のSHARCコアのすべての機能に加え、PEyデータ・レジスタでのみ命令を実行する、より簡単な新しい方法も備えています。

SIMDモードでは、2つの処理要素の持続された演算動作が必要な場合、メモリと処理要素との間の帯域幅を2倍にします。データ・アドレス・ジェネレータ (DAG) を用いてデータをSIMDモードで転送する場合、2つのデータ値がメモリ・アクセスあるいはレジスタ・ファイル・アクセスごとに転送されます。

独立並列演算ユニット

各処理要素内にはパイプライン処理される演算ユニットのセットがあります。演算ユニットは、乗算器、ALU、シフトで構成されています。これらのユニットは、並列に配列されているため、最大限の演算スループットが可能です。これらの演算ユニットは、IEEE 32ビット単精度浮動小数点、40ビット拡張精度浮動小数点、IEEE 64ビット倍精度浮動小数点、32ビット固定小数点の各データ・フォーマットに対応しています。

多機能命令セットでは、ALUと乗算器の動作を並列して実行できます。SIMDモードでは、ALUと乗算器の並列動作は、コアごとのどちらの処理要素でも発生します。

すべての処理動作は、完了までに1サイクルを要します。すべての浮動小数点動作では、データ依存性がある場合、プロセッサは完了までに2サイクルを要します。倍精度浮動小数点データの場合は、完了までに2~6サイクルを要します。プロセッサは、インターロックされたパイプラインおよびデータ依存性チェックのために、適切なサイクル数の間停止します。

コア・タイマー

各SHARC+プロセッサ・コアには、予備のタイマーがあります。この予備タイマーが内部プロセッサのクロックでクロックされ、通常は、周期的なオペレーティング・システムの割込みを生成するための、システム・ティック・クロックとして用いられます。

データ・レジスタ・ファイル

各処理要素には、汎用のデータ・レジスタ・ファイルがあります。レジスタ・ファイルは演算ユニットとデータ・バスの間でデータを転送し、中間結果を保存します。これらの10ポート、32レジスタのレジスタ・ファイル (16プライマリ・ファイル、16セカンダリ・ファイル) は、プロセッサの強化されたハーバード・アーキテクチャと組み合わせ、演算ユニットと内部メモリとの間での制約のないデータ・フローを可能にします。PExデータ・レジスタ・ファイルのレジスタはR0~R15で表され、PEyデータ・レジスタ・ファイルのレジスタはS0~S15で表されます。

コンテキスト・スイッチ

プロセッサの多くのレジスタには、割込みサービスの間アクティブになり高速のコンテキスト・スイッチを実行できる、セカンダリ・レジスタがあります。データ、DAG、乗算器の結果の各レジスタにはセカンダリ・レジスタがあります。リセット時、プライマリ・レジスタがアクティブになりますが、MODE 1の制御ビットがセカンダリ・レジスタをアクティブにします。

ユニバーサル・レジスタ

汎用タスクはユニバーサル・レジスタを使用します。4つのユニバーサル・ステータス (USTAT) レジスタは、すべての制御レジスタおよびステータス・ペリフェラル・レジスタに対し、容易なビット操作 (セット、クリア、トグル、テスト、XOR) を可能にします。

データ・バス交換レジスタ (PX) は、データを64ビットPMデータ・バスと64ビットDMデータ・バスの間、または、40ビット・レジスタ・ファイルとPMまたはDMデータ・バスの間でのデータの受け渡しを可能にします。これらのレジスタには、データ幅の違いを処理するハードウェアが備わっています。

ゼロ・オーバーヘッド・ハードウェア・サーキュラ・バッファに対応するデータ・アドレス・ジェネレータ (DAG)

サーキュラ・データ・バッファを間接的にアドレス指定しハードウェアに実装するために、ADSP-2159x/ADSP-SC592/SC594プロセッサは2つのデータ・アドレス・ジェネレータ (DAG) を用いています。サーキュラ・バッファは、遅延線や、デジタル信号処理で必要とされるその他のデータ構造を効率的にプログラミングすることを可能にし、デジタル・フィルタや高速フーリエ変換 (FFT) で広く用いられています。DAGには、最大32個のサーキュラ・バッファ (16個のプライマリ・レジスタ・セットおよび16個のセカンダリ・セット) を作成できるだけの十分なレジスタがあります。DAGは、アドレス・ポインタのラップアラウンドの処理、オーバーヘッドの削減、性能向上、実装の簡素化を自動的に行います。サーキュラ・バッファはどのメモリ場所でも開始および終了ができます。

柔軟な命令セット・アーキテクチャ (ISA)

柔軟な命令セット・アーキテクチャ (ISA) は、48ビットの命令ワードで、様々な並列動作を処理して簡潔なプログラミングを可能にします。例えば、プロセッサは、両方の処理要素において乗算、加算、減算を条件に応じて実行できると同時に、メモリから最大4つの32ビット値を分岐させ取り出します。しかも1回の命令ですべてを行います。また、倍精度浮動小数点命令セットは、従来のSHARCコアに比べ、SHARC+で新たに加わったものです。

可変命令セット・アーキテクチャ (VISA)

従来のSHARCコア・プロセッサからの標準的な48ビット命令をサポートする他、SHARC+コア・プロセッサは、多くの命令に対し16ビットおよび32ビットのオペコード (以前はISAの48ビット) をサポートします。この可変命令セット・アーキテクチャ (VISA) 機能は、48ビット命令での冗長なビットあるいは未使用のビットをドロップし、より効果的でコンパクトなコードを生成します。プログラム・シーケンサは、これら16ビットおよび32ビットの命令を、内部メモリおよび外部メモリの両方から取り出すことができます。VISAは動作モードではありません。むしろ、アドレス依存性があります (表5のISA/VISAのアドレス空間を参照)。最後に、プロセッサは、ISAの命令フェッチとVISAの命令フェッチの間での切替えを許容します。

4つの命令オペランドの1サイクル・フェッチ

ADSP-2159x/ADSP-SC592/SC594プロセッサは、強化型ハーバード・アーキテクチャを備えています。このアーキテクチャではDMバスがデータを転送し、PMバスが命令とデータの両方を転送します。

別々のプログラム・メモリ・バス、データ・メモリ・バス、オンチップ命令競合キャッシュを用いることで、プロセッサは4つのオペランド（各データ・バスで2つ）と1つの命令を、競合キャッシュから1サイクルで同時にフェッチできます。

コア・イベント・コントローラ (CEC)

SHARC+コア・イベント・コントローラ (CEC) は、コアが生成した様々な割込み（算術およびサーキュラ・バッファの命令フロー例外を含む）、および、システム・イベント・コントローラ (SEC) イベント（ペリフェラルの割込み要求、デバッグまたはモニタ、ソフトウェア由来）に対応するよう設定できますが、IMASKレジスタでイネーブルされた割込みにのみ応答します。SECの出力は、イネーブルされた任意のシステム割込みにも直接応答できるよう、CECに転送されます。すべてのSECチャンネルに対し、プロセッサは算術ステータス (ASTATxおよびASTATy) レジスタとモード (MODE1) レジスタを、割込みサービスと並行して自動的にスタックします。

命令競合キャッシュ

プロセッサには、1つの命令と4つのデータ値を取り出すための3バス動作を可能にする、32エントリの命令キャッシュがあります。キャッシュは選択可能です。フェッチを必要とする命令のみがPMデータ・バス・アクセス・キャッシュと競合します。このキャッシュは、デジタル・フィルタの積和演算やFFTのバタフライ処理などのコアのループ動作を、フル・スピードで実行できます。競合キャッシュは、オンチップ・バス競合に対してのみ有効です。

分岐ターゲット・バッファ (BTB) / 分岐予測子 (BP)

ハードウェアベースの分岐予測子 (BP) および分岐ターゲット・バッファ (BTB) を実装することで、分岐の遅延を低減できます。プログラム・シーケンスは、条件命令および無条件命令に対しBTBを用いて効率的に分岐を行います。

アドレス空間

従来サポートされているロング・ワード、通常ワード、拡張精度ワード、ショート・ワードの各アドレッシングのエイリアスの他、プロセッサはデータおよび命令へのアクセスのために、バイト・アドレッシングもサポートします。強化されたISA/VISAは、ワード・アドレスからバイト・アドレスへの変換やバイト・アドレスからワード・アドレスへの変換だけでなく、バイト空間からすべてのサイズのデータにアクセスするための新しい命令を備えています。

SHARCファブリック

ADSP-2159x/ADSP-SC592/SC594プロセッサのFIR/IIRアクセラレータは、専用のSHARCファブリックの助けを借りてSHARC+コアと緊密に統合され、CCLKの速度で実行します。これにより、FIR/IIRアクセラレータのリクエスト・ポートは、低遅延でSHARC L1メモリに直接アクセスできます。これらのアクセスがメインのシステム・ファブリックを通過しないためです。このアクセスは、両方のSHARC+コア・コンプリータ・ポートの間でアービトラージされます。また、SHARC+コアは、FIR/IIRアクセラレータのMMRレジスタに直接アクセスすることもできます。

その他の機能

ADSP-2159x/ADSP-SC592/SC594プロセッサの強化されたISA/VISAでは、データ同期のためのメモリ・バリア命令、マルチコア・デ

ータ共有のための排他的データ・アクセスのサポート、マルチプロセッサ・プログラミングを可能にする排他的データ・アクセスが可能です。アプリケーションの信頼性を向上するために、L1データRAMはあらゆるバイトに対しパリティ・エラー検出を行い、また不正なオペコードも検出します（どちらのエラーもコアの割込みによりフラグで通知されます）。コアのリクエスト・ポートも、外部アクセスが失敗した場合にこれを検出します。

システム・インフラストラクチャ

以下のセクションでは、ADSP-2159x/ADSP-SC592/SC594プロセッサのシステム・インフラストラクチャについて説明します。

システムL2メモリ

最大16Mb (2MB) のシステムL2 SRAMメモリは、両SHARC+コア、Arm Cortex-A5コア、およびシステムDMAチャンネルで使用できます (表3参照)。L2 SRAMブロックは、更に最大8個のバンクに分割され、L2メモリ・ポートへの同時アクセスに対応できます。L2メモリ空間へのメモリ・アクセスは、Arm Cortex-A5コアおよびSHARC+コアによるマルチサイクル・アクセスです。

メモリ空間は以下に示すような様々な状況で使用されます。

- Arm Cortex-A5コアとSHARC+コアのデータ共有およびコア間通信
- 外部メモリのデータへのアクセスを防止する、アクセラレータとペリフェラルのソース・メモリおよび宛先メモリ
- DMAディスクリプタ用の場所
- 外部メモリの遅延を防止し外部メモリの帯域幅を低減する、Arm Cortex-A5コアまたはSHARC+コアの追加データ用ストレージ
- 性能向上のための入力イーサネット・トラフィック用ストレージ
- SHARC+コアでキャッシュされるデータ係数表用のストレージ

特定のコアやDMAリクエストによるアクセスを制限するオプションについては、システム・メモリ保護ユニット (SMPU) のセクションを参照してください。

Arm Cortex-A5コアには、L1命令とデータ・キャッシュがあり、それぞれ、サイズは32kBです。また、コアには256kBのL2キャッシュ・コントローラもあります。キャッシュをイネーブルする場合、その他のすべてのメモリ空間（内部および外部）へのアクセスはキャッシュを経由します。

マルチプロセッサ空間でのSHARC+コアL1メモリ

ARM Cortex-A5コアは、SHARC+コアのL1メモリにアクセスできます。マルチプロセッサ空間でのL1メモリ・アドレスについては表4を参照してください。SHARC+コアは、マルチプロセッサ空間の別のSHARC+コアのL1メモリにアクセスできます。

ワンタイム・プログラマブル・メモリ (OTP)

プロセッサには、メモリ・マップ・アクセス可能な7kbのワンタイム・プログラマブル (OTP) メモリがあります。このメモリは、カスタム・キーでプログラムでき、セキュア・ブートおよびセキュア動作を確保します。

I/Oメモリ空間

マップドI/Oには、SPI2/OSPI0メモリ・アドレス空間があります (表5参照)

システムのメモリ・マップ

表2. L1のBlock 0、Block 1、Block 2、Block 3のSHARC+®アドレス・メモリ空間（プライベート・アドレス空間）

| Memory | Long Word (64 Bits) | Extended Precision/ ISA Code (48 Bits) | Normal Word (32 Bits) | Short Word/ VISA Code (16 Bits) | Byte Access (8 Bits) |
|-----------------------------|---------------------------|---|---------------------------|------------------------------------|---------------------------|
| L1 Block 0 SRAM (192 KB) | 0x00048000– 0x0004DFFF | 0x00090000– 0x00097FFF | 0x00090000– 0x0009BFFF | 0x00120000– 0x00137FFF | 0x00240000– 0x0026FFFF |
| L1 Block 1 SRAM (192 KB) | 0x00058000– 0x0005DFFF | 0x000B0000– 0x000B7FFF | 0x000B0000– 0x000BBFFF | 0x00160000– 0x00177FFF | 0x002C0000– 0x002EFFFF |
| L1 Block 2 SRAM (128 KB) | 0x00060000– 0x00063FFF | 0x000C0000– 0x000C5554 | 0x000C0000– 0x000C7FFF | 0x00180000– 0x0018FFFF | 0x00300000– 0x0031FFFF |
| L1 Block 3 SRAM (128 KB) | 0x00070000– 0x00073FFF | 0x000E0000– 0x000E5554 | 0x000E0000– 0x000E7FFF | 0x001C0000– 0x001CFFFF | 0x00380000– 0x0039FFFF |

表3. L2のメモリ・アドレス・マップ

| Memory | Byte Address Space Arm Cortex-A5: Data Access and Instruction Fetch SHARC+: Data Access | Normal Word Address Space SHARC+ Data Access | VISA Address Space SHARC+ Instruction Fetch | ISA Address Space SHARC+ Instruction Fetch |
|----------------------------|--|---|--|---|
| L2 Boot ROM0 ¹ | Arm: 0x00000000–0x0000FFFF SHARC+/DMA: 0x20200000–0x2020FFFF | 0x08080000–0x08083FFF | 0x00C20000–0x00C27FFF | 0x00520000–0x00522AA9 |
| L2 RAM (2 MB) ² | 0x20000000–0x201FFFFFFF | 0x08000000–0x0807FFFF | 0x00B00000–0x00BFFFFFFF | 0x00580000–0x005D5554 |
| L2 RAM (1 MB) ² | 0x20100000–0x201FFFFFFF | 0x08040000–0x0807FFFF | 0x00B80000–0x00BFFFFFFF | 0x005AAAAB–0x005D5554 |
| L2 Boot ROM1 | 0x20210000–0x2021FFFF | 0x08084000–0x08087FFF | 0x00C00000–0x00C07FFF | 0x00500000–0x00502AA9 |
| L2 Boot ROM2 | 0x20220000–0x2022FFFF | 0x08088000–0x0808BFFF | 0x00C40000–0x00C47FFF | 0x00540000–0x00542AA9 |

¹ ADSP-SC59x製品の場合、L2 Boot ROM0のバイト・アドレス空間は0x00000000–0x0000FFFFです。² すべてのL2 RAMブロックは、更に8個の256KBバンクに分割されます。

表4. マルチプロセッサ空間でのSHARC+®L1メモリ

| | | Memory Block | Byte Address Space Arm Cortex-A5 and SHARC+ | Normal Word Address Space SHARC+ |
|--|------------------------------|-----------------|--|-------------------------------------|
| L1 memory of SHARC1 in multiprocessor space | Address via Completer 1 Port | Block 0 | 0x28240000–0x2826FFFF | 0x0A090000–0x0A09BFFF |
| | | Block 1 | 0x282C0000–0x282EFFFF | 0x0A0B0000–0x0A0BBFFF |
| | | Block 2 | 0x28300000–0x2831FFFF | 0x0A0C0000–0x0A0C7FFF |
| | | Block 3 | 0x28380000–0x2839FFFF | 0x0A0E0000–0x0A0E7FFF |
| L1 memory of SHARC2 in multiprocessor space | Address via Completer 1 Port | Block 0 | 0x28A40000–0x28A6FFFF | 0x0A290000–0x0A29BFFF |
| | | Block 1 | 0x28AC0000–0x28AEFFFF | 0x0A2B0000–0x0A2BBFFF |
| | | Block 2 | 0x28B00000–0x28B1FFFF | 0x0A2C0000–0x0A2C7FFF |
| | | Block 3 | 0x28B80000–0x28B9FFFF | 0x0A2E0000–0x0A2E7FFF |

表5. マップドI/Oのメモリ・マップ¹

| | Byte Address Space Arm Cortex-A5: Data Access and Instruction Fetch SHARC+: Data Access | Normal Word Address Space SHARC+ Data Access | VISA Address Space SHARC+ Instruction Fetch | ISA Address Space SHARC+ Instruction Fetch |
|--|---|---|--|---|
| SPI2/OSPI0 Memory (512 MB) ² | 0x60000000-0x600FFFFFF | 0x04000000-0x07FFFFFFF | 0x00F80000-0x00FFFFFFF | 0x00780000-0x007AAAAA |
| | 0x60100000-0x602FFFFFF | | Not available | 0x007AAAAB-0x007FFFFFF |
| | 0x60300000-0x603FFFFFF | | 0x00E80000-0x00EFFFFFF | 0x00680000-0x006AAAAA |
| | 0x60400000-0x605FFFFFF | | Not available | 0x006AAAAB-0x006FFFFFF |
| | 0x60600000-0x606FFFFFF | Not available | Not available | Not available |
| | 0x70000000-0x7FFFFFFF | | Not available | Not available |

¹ Arm Cortex-A5は全バイト・アドレス空間にアクセスできます。命令フェッチ用のSHARC+ VISA/ISAアドレス空間およびデータ・アクセス用の通常ワード・アドレス空間は、すべてのバイト・アドレス空間に対応するわけではありません。

² ADSP-21594/ADSP-SC592/SC594プロセッサの場合、SPI2/OSPI0メモリ・マップドI/O空間は、REG_SCB5_REMAP.REMAPフィールドを用いてOSPI0とSPI2のペリフェラル間で共有するよう設定できます。詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスを参照してください。

表6. DMCメモリ・マップ¹

| | Byte Address Space Arm Cortex-A5: Data Access and Instruction Fetch SHARC+: Data Access | Normal Word Address Space SHARC+ Data Access | VISA Address Space SHARC+ Instruction Fetch | ISA Address Space SHARC+ Instruction Fetch |
|-------------|--|---|--|---|
| DMC0 (1 GB) | 0x80000000-0x805FFFFFF | 0x10000000-0x17FFFFFFF | Not applicable | 0x00400000-0x004FFFFFF |
| | 0x80600000-0x809FFFFFF | | Not applicable | Not applicable |
| | 0x80A00000-0x80FFFFFFF | | 0x00800000-0x00AFFFFFF | Not applicable |
| | 0x81000000-0x9FFFFFFF | | Not applicable | Not applicable |
| | 0xA0000000-0xBFFFFFFF | Not applicable | Not applicable | Not applicable |

¹ Arm Cortex-A5は全バイト・アドレス空間にアクセスできます。命令フェッチ用のSHARC+ VISA/ISAアドレス空間およびデータ・アクセス用の通常ワード・アドレス空間は、すべてのバイト・アドレス空間に対応するわけではありません。

システム・クロスバー (SCB)

システム・クロスバー (SCB) は、オンチップ・システム・バス・インターコネクションのスイッチ・ファブリックにおける基本的な構成要素です。SCBは、システム・バス・リクエストをシステム・バス・コンプリータに接続することで、複数のバス・リクエストと複数のバス・コンプリータの間での同時データ転送を可能にします。複数のSCBで構築される階層モデルは、消費電力とスペース効率の高いシステム・インターコネクションを実現します。

SCBは以下の機能を備えています。

- 持続的なスループットを実現する高効率のパイプライン化されたバス転送
- 柔軟性と低遅延を提供する全二重バス動作
- 複数のバス・リクエストがバス・コンプリータに同時にアクセスできる同時バス転送をサポート
- 選択的なバス・インターコネクト保護を可能にする保護モデル (特権/セキュア) をサポート

ダイレクト・メモリ・アクセス (DMA)

プロセッサはダイレクト・メモリ・アクセス (DMA) を使用して、メモリ空間内、またはメモリ空間とペリフェラルの間でデータを転送します。プロセッサはデータ転送動作を指定して通常処理へ戻ることができます。この間、フル集積DMAコントローラはプロセッサの動作とは無関係にデータ転送を実行します。

DMA転送は、メモリとペリフェラル間、または1つのメモリと別のメモリ間で行うことができます。各メモリ間DMAの流れにおいては、ソース・チャンネルと宛先チャンネルの2つのチャンネルを用います。

すべてのDMAチャンネルがすべてのオンチップ・メモリおよびオフチップ・メモリとの間でデータを転送できます。プログラムは、ディスクリプタベースおよびレジスタベースの2種類のDMA転送を使用できます。レジスタベースDMAでは、プロセッサはDMAコントロール・レジスタが直接DMA転送を開始するようプログラムできます。終了すると、DMAコントロール・レジスタは元のセットアップ値に自動的に更新され、次の転送に備えます。ディスクリプタベースのDMA転送では、DMAシーケンスを開始するために、メモリ内に保存されたパラメータ・セットを必要とします。ディスクリプタベースのDMA転送では、複数のDMAシーケンスを互いにチェーン接続できます。現在のシーケンスが完了した後は自動的に別のDMA転送をセットアップして開始するよう、DMAチャンネルをプログラムしてください。

DMAエンジンは次のDMA動作に対応します。

- 完了時に停止する単一の線形バッファ
- 負、正、ゼロのストライド長を持つ線形バッファ

- 各バッファが一杯になった場合に割込みを生成するサーキュラ自動リフレッシュ・バッファ
- バッファが途中（例えば半分）まで満たされた場合に割込みを生成する同様のサーキュラ・バッファ
- 1D DMAは、それぞれにリンク・ポインタとアドレスを含む2ワードのディスクリプタ・セットの連結リングにより定義された、同一ピン・ボン・バッファのセットを用います。
- 1D DMAは、リンク・ポインタ、アドレス、長さ、設定を含む4ワードのディスクリプタ・セットの連結リストを用います。
- 2D DMAは1ワードのディスクリプタ・セットのアレイを用い、ベースDMAアドレスのみを指定します。
- 2D DMAはマルチワードのディスクリプタ・セットの連結リストを用い、すべての設定可能パラメータを指定します。

メモリ・ダイレクト・メモリ・アクセス (MDMA)

プロセッサは、以下に示すような様々なメモリ・ダイレクト・メモリ・アクセス (MDMA) 動作に対応します。

- 巡回冗長検査 (CRC) 保護を備えた拡張帯域幅MDMAチャンネル (32ビットバス幅、SYSCLKで動作)
- 拡張帯域幅MDMAチャンネル (32ビット幅、SYSCLKで動作)
- 最大帯域幅MDMAチャンネル (64ビット幅、SYSCLKで動作)

拡張メモリDMA

拡張メモリDMAは、限定されたコア・インタラクションや（不連続のメモリ・ブロックとの間で読書きを行う）スキヤッタ/ギャザDMAを用いて、（プロセッサが外部遅延線バッファとの間および外部メモリとの間で読出しおよび書込みが可能となる）遅延線など、様々な動作モードに対応します。

巡回冗長性検査 (CRC) 保護

巡回冗長検査 (CRC) 保護モジュールにより、システム・ソフトウェアは、メモリ、メモリ・マップド・レジスタの内容、あるいは周期的通信メッセージ・オブジェクトにある、コード、データ、あるいはその両方のシグネチャを計算できます。専用のハードウェア回路がシグネチャと事前計算された値とを比較し、適切なフォルト・イベントをトリガします。

例えば、システム・ソフトウェアは全メモリの内容のシグネチャを100msごとに計算し、これを予想される事前計算値と比較します。不一致が生じた場合は、フォルト条件がプロセッサ・コアまたはトリガ・ルーティング・ユニットを通じて生成されます。

このCRCは、供給された32ビットのデータ・ワードのCRC値を計算するCRC32エンジンをベースとするハードウェア・モジュールです。メモリ間DMAのソース・チャンネル（メモリ・スキャン・モードの場合）がデータを供給します。データは、宛先チャンネルに転送することもできます（メモリ転送モード）。CRCペリフェラルの主な機能は次のとおりです。

- メモリ・スキャン・モード
- メモリ転送モード
- データ検証モード

- データ・フィル・モード
- ユーザプログラマブルなCRC32多項式
- ビットおよびバイト・ミラーリング・オプション（エンディアンネス）
- フォルトおよびエラーの割込みメカニズム
- アレイを定数で初期化する1Dおよび2Dのフィル・ブロック
- メモリのブロックまたはMMRブロックの32ビットCRCシグネチャ

イベント処理

プロセッサは、ネスティングと優先順位付けの両方に対応するイベント処理が可能です。ネスティングにより、複数のイベント・サービス・ルーチンを同時にアクティブ化できます。優先順位付けを行うことで、優先度の高いイベントが優先度の低いイベントより先に処理できるようになります。

プロセッサは以下の4種類のイベントに対応します。

- エミュレーション・イベントでは、プロセッサがエミュレーション・モードになり、プロセッサのコマンドと制御をJTAGインターフェースを介して行うことができます。
- リセット・イベントはプロセッサをリセットします。
- 例外イベントはプログラム・フローに同期して発生します（すなわち、命令を完了できるようになる前に例外処理が行われます）。データ・アライメント (SIMDまたはロング・ワード) または演算違反（固定または浮動小数点）および不正命令など、SHARC+コアによってトリガされた条件は、コア例外の原因となります。誤り訂正符号 (ECC)、パリティ、ウォッチドッグ、あるいはシステム・クロックなど、SECによってトリガされた条件は、システム例外の原因となります。
- 割込みイベントの発生とプログラム・フローは同期していません。割込みは、明示的なソフトウェア命令の他、入力信号、タイマー、およびその他のペリフェラルによって生じます。

システム・イベント・コントローラ (SEC)

各SHARC+コア・イベント・コントローラはシステム・イベント・コントローラ (SEC) から割込み要求を受け取ります。SECには、次の機能があります。

- 割込みイネーブル、フォルト・イネーブル、優先度、コア・マッピング、ソース・グルーピングなどを含む、包括的なシステム・イベント管理
- 各システム・イベント・ソースの制御とすべてのステータス・フィールドが互いに独立であるような分散型プログラミング・モデル
- すべてのシステム・イベントの伝搬遅延が同じで、特定のシステム・イベント・ソース固有の識別子を提供する決定論
- 設定、ステータス、割込み処理、フォルト処理を行うためにすべてのSECレジスタにアクセスできるコンプリータ制御ポート
- ロックされたレジスタへの書込みを防止するレジスタ・レベルの保護モデルに対応したグローバル・ロック機能
- タイムアウト、外部インジケーション、システム・リセットなどのフォルト・アクション設定を含むフォルト管理

トリガ・ルーティング・ユニット (TRU)

トリガ・ルーティング・ユニット (TRU) は、コアの介入を必要とすることなくシステム・レベルのシーケンス制御を行います。TRUはトリガ・ジェネレータをトリガ・レシーバーに対応付けます。トリガ・レシーバーは、様々な方法でトリガにตอบสนองするよう設定できます。TRUによってイネーブルされる一般的なアプリケーションには、以下のようなものがあります。

- あるDMAチャンネルからのシーケンスが完了した後、別のDMAシーケンスの開始を自動的にトリガ
- ソフトウェア・トリガ
- 同時アクティビティの同期

セキュリティ機能

以下のセクションでは、ADSP-2159x/ADSP-SC592/SC594プロセッサのセキュリティ機能について説明します。

Arm TrustZone

ADSP-SC59xプロセッサはTrustZone技術を採用しており、これは、Arm Cortex-A5プロセッサに統合されています。TrustZone技術により、セキュアな状態をシステム・ファブリック全体に行き渡らせることができます。

暗号化ハードウェア・アクセラレータ

ADSP-2159x/ADSP-SC592/SC594プロセッサは、標準ベースのハードウェア・アクセラレーションによる暗号化、復号、認証、真の乱数生成に対応しています。

ハードウェア・アクセラレーションによる暗号化アルゴリズムには、以下のように対応しています。

- 128ビット、192ビット、256ビットのキーを使用するECB、CBC、ICM、CTRの各モードでのAES
- 56ビットのキーを使用するECBモードおよびCBCモードでのDES
- 3個の56ビット・キーを用いるECBモードおよびCBCモードでの3DES
- 最大128ビットのキーを用いるステートフル・モードまたはステートレス・モードのARC4

ハードウェア・アクセラレーションによるハッシュ関数には、以下のように対応しています。

- SHA-1
- ダイジェスト値が224ビットおよび256ビットのSHA-2
- SHA-1およびSHA-2のHMAC変換
- MD5

公開鍵アクセラレータ (PKA) は、演算に集中した公開鍵暗号化操作の負荷を軽減するために使用できます。

ハードウェアベースの非決定論的乱数ジェネレータと擬似乱数ジェネレータの両方が使用できます。

セキュア・ブートは、224ビットおよび256ビットの楕円曲線デジタル署名でも使用できるため、ブート・ストリームの完全性と真正性が確保されます。オプションで、AES-128暗号化を使用した機密性確保も可能です。

セキュア・デバッグを採用すると、信頼できるユーザのみがデバッグ・ツールを用いてシステムにアクセスできます。



注意事項

この製品には、組み込み不揮発性メモリの内容を保護し、不正なコードの実行を防ぐセキュリティ機能が含まれています。発注者または後続の受領者がこのデバイスのセキュリティを有効にすると、アナログ・デバイセスが返却デバイスの故障分析を実行するための機能が制限されます。デバイスの故障分析に対する制限については、アナログ・デバイセスまでお問い合わせください。

システム保護ユニット (SPU)

システム保護ユニット (SPU) は、書き込み保護メカニズムを提供することでペリフェラルのMMR空間への偶然または不要なアクセスから防御します。ユーザは、保護されるペリフェラルを選択し設定できると共に、6つのシステムMMRリクエスト (Arm Cortex-A5、2つのSHARC+コア、2つのメモリDMA、Arm® CoreSight™デバッグ) のいずれかをペリフェラルの防御対象に設定できます。

SPUは、セキュリティ・インフラストラクチャの一部でもありません。書き込み保護機能と共にSPUを用いることで、システムのどのリソースがセキュアまたは非セキュアであるかを定義し、非セキュアなリクエストからのセキュアなリソースへのアクセスをブロックします。

システム・メモリ保護ユニット (SMPU)

システム・メモリ保護ユニット (SMPU) は、定義されたメモリ領域への読出し/書き込みトランザクションからのメモリ保護を行います。ADSP-2159x/ADSP-SC592/SC594プロセッサには、SHARC L1を除く各メモリ空間にSMPUユニットがあります。

SMPUは、セキュリティ・インフラストラクチャの一部でもありません。ユーザは任意の読出し/書き込みトランザクションからの保護が可能で、また、メモリの複数領域をセキュアな領域として定義し、これらのメモリ領域に非セキュアなリクエストがアクセスするのを防ぐことができます。

セキュリティ機能の免責事項

アナログ・デバイセスは、ここに説明するセキュリティ機能が絶対的な安全性を提供することを保証するものではありません。これに伴い、アナログ・デバイセスは、自社のセキュリティ機能を侵害できない、侵入できない、または迂回できないことについて、すべての明示的および暗黙的な保証を行いません。更に、データ、情報、物理財産、知的財産のあらゆる損失、損傷、破損、流出に対して責任を負いません。

安全機能

ADSP-2159x/ADSP-SC592/SC594プロセッサは、機能安全アプリケーションをサポートするよう設計されています。安全レベルは主にシステム・コンセプトによって決定されますが、堅牢な安全性コンセプトを構築できるよう、プロセッサには以下に示す基本機能が用意されています。

マルチパリティ・ビットで保護されたSHARC+コアL1メモリ

SHARC+コアのL1メモリ空間では、SRAMかキャッシュかを問わず、すべてのRAMで発生するシングル・イベント・アップセットを検出する複数のパリティ・ビットが、各ワードを保護します。パリティは、キャッシュ・タグおよびBTBも保護します。

パリティで保護されたArm L1キャッシュ

Arm Cortex-A5のL1キャッシュ空間では、すべてのRAMで生じるシングル・イベント・アップセットを検出する複数のパリティ・ビットで各ワードが保護されています。パリティは、キャッシュ・タグも保護します。

誤り訂正符号 (ECC) で保護されたL2メモリ

誤り訂正符号 (ECC) がシングル・イベント・アップセットを補正します。シングル・エラー訂正/ダブル・エラー検出 (SEC/DED) コードにより、L2メモリが保護されています。デフォルトではECCがイネーブルされていますが、バンクごとにディスエーブルできます。ディングルビット・エラーは透過的に（ユーザが意識することなく）訂正されます。デュアルビット・エラーはシステム・イベントまたはフォルトを発行できます（イネーブルされている場合）。ECC保護は、L2メモリが8ビットまたは16ビットのエンティティによって読み出されたまたは書き込みが行われた場合でも、ユーザには完全に透過的です。

パリティおよびECCで保護されたペリフェラル・メモリ

パリティ保護は以下のペリフェラル・メモリに追加されます。

- ASRC
- IIR
- FIR
- USB
- CRYPTO
- EMAC
- MLB
- TRACE

CAN FDメモリはECCによる保護を受けています。

巡回冗長検査 (CRC) で保護されたメモリ

パリティ・ビットとECCによる保護は主としてL1およびL2のメモリ・セルでのランダムなソフト・エラーに対して保護を行うのに対し、CRCエンジンは、システム的なエラー（ポインタ・エラー）やL1、L2、更にはレベル3 (L3) メモリ (DDR3、DDR3L) のスタティックな内容（命令コード）に対し保護を行うことができます。プロセッサは、メモリ間DMAに組み込まれた4つのCRCエンジンを備えています。

CRCチェックサムは、メモリ転送の間に自動的に計算したり比較したりできます。あるいは、DMAディスクリプタ・チェーン命令ごとに1つのDMA作業単位によって、単一または複数のメモリ領域を連続的にスクラブすることもできます。CRCエンジンは、ブート・プロセス時に読み込まれるデータを保護することもできます。

信号ウォッチドッグ

16個の汎用 (GP) タイマーは、オフチップ信号をモニタするモードを備えています。ウォッチドッグ周期モードは、外部信号が予定範囲内で周期的にトグルしているかどうかをモニタします。

ウォッチドッグ幅モードは、外部信号のパルス幅が予定範囲内に収まっているかどうかをモニタします。どちらのモードも、システム・レベルの信号の不要なトグルやトグルの不足を検出します。

システム・イベント・コントローラ (SEC)

システム・イベント・コントローラ (SEC) は、システム・イベントの他に、タイムアウト、システム割込みによる内部指示、SYS_FAULTピンとシステム・リセットによる外部指示といったフォルト・アクション設定など、フォルト管理を更にサポートします。

メモリ・エラー・コントローラ (MEC)

メモリ・エラー・コントローラ (MEC) は、コアやペリフェラルからのメモリ・パリティ/ECCエラーや警告を管理し、割込みやトリガを送信します。

プロセッサ・ペリフェラル

以下のセクションでは、ADSP-2159x/ADSP-SC592/SC594プロセッサのペリフェラルについて説明します。

ダイナミック・メモリ・コントローラ (DMC)

16ビットのダイナミック・メモリ・コントローラ (DMC) は以下にインターフェースします。

- DDR3 (JESD79-3) 、512Mb~8Gb
- DDR3L (JESD79-3-1A) 、512Mb~8Gb DMC

メモリ・マップについては表6を参照してください。

デジタル・オーディオ・インターフェース (DAI)

プロセッサは、2つの同一のデジタル・オーディオ・インターフェース (DAI) ユニットのサポートします。DAIでは、様々なペリフェラルをいずれかのDAIピンに接続できます。

アプリケーション・コードは、信号ルーティング・ユニット (SRU) を用いて図1に示すように、これらの接続を行います。

SRUは、各DAIインスタンスにより提供されたペリフェラルがソフトウェア制御下でインターコネクトできるようにする、マトリックス・ルーティング・ユニット（またはマルチプレクサのグループ）です。この機能により、ユーザ設定不可能な信号経路で用いることできるアルゴリズム・セットよりも大きなセットを使用できるため、DAIに関連したペリフェラルはより多様なアプリケーションに対し使いやすくなります。

DAIには、以下のセクションで説明するペリフェラルがあります (SPORT、ASRC、S/PDIF、PCG)。DAIピン・バッファ20およびDAIピン・バッファ19は、入力信号の極性を変更できます。

また、DAI_PINxピン・バッファはGPIOピンとして用いることもできます。DAI入力信号は、立上がりエッジ、立下がりエッジ、あるいはその両方で割込みをトリガできます。

DAIおよびSRUの使用に関する詳細は、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのデジタル・オーディオ・インターフェース (DAI) の章を参照してください。

DAIルーティング・ユニット (DRU)

DAIルーティング・ユニット (DRU) は、信号を2つのDAIユニットにわたってルーティングできる柔軟性を実現します。すべてのDAI0 SRUソース信号はDAI1 SRUのソース信号として使用でき、すべてのDAI1 SRUソース信号はDAI0 SRUのソース信号として使用できます。

シリアル・ポート (SPORT)

プロセッサには8つの同期シリアル・ポート (SPORT) があり、様々なデジタルおよびミックスド・シグナルのペリフェラル・デバイスに対する低コストのインターフェースを可能にします。これらのデバイスとしては、アナログ・デバイセズのオーディオ・コーデック、A/Dコンバータ (ADC) およびD/Aコンバータ (DAC) ファミリーであるAD19xxおよびADAU19xxなどがあります。2つのデータ・ライン、クロック、およびフレーム同期がSPORTの半分 (SPORTハーフ) を構成します。データ・ラインはデータの送信または受信向けにプログラムできます。また各データ・ラインは専用のDMAチャンネルを備えています。

個々のSPORTモジュールは、同一の機能を持ち個別に設定可能な2つのSPORTハーフで構成されます。一次 (0) と二次 (1) の2つの双方向データ・ラインがSPORTハーフごとに使用でき、これらはトランスミッタにもレシーバーにも設定可能です。そのため、SPORTハーフごとに、同じSPORTとの間で2つの一方向ストリームが可能です。この双方向機能により、シリアル通信の柔軟性が向上します。全二重構成では、1つのハーフSPORTは2つの送信データ信号を供給し、もう1つのハーフSPORTが2つの受信データ信号を処理します。フレーム同期とクロックは共有されます。

シリアル・ポートは、次の6つのモードで動作します。

- 標準のDSPシリアル・モード
- マルチチャンネル時分割多重 (TDM) モード
- I²Sモード
- パックドI²Sモード
- 左詰めモード
- 右詰めモード

非同期サンプル・レート・コンバータ (ASRC)

非同期サンプル・レート・コンバータ (ASRC) には8個のASRCブロックがあります。ASRCのS/N比 (SNR) は最大140dBです。ASRCブロックは、内部プロセッサのリソースを用いずに、各ステレオ・チャンネルに対し個別に同期または非同期のサンプル・レート変換を行います。また、ASRCブロックは連携動作して、位相不整合を生じることなく複数チャンネルのオーディオ・データを変換することもできます。最後に、ASRCは、S/PDIFレシーバーなどのジッタの多いクロック源から、オーディオ・データを一掃することができます。

S/PDIF対応のデジタル・オーディオ・レシーバー/トランスミッタ

ソニー/フィリップス・デジタル・インターフェース・フォーマット (S/PDIF) は、デジタル・オーディオ信号を1つのデバイスから別のデバイスに転送できる標準的なオーディオ・データ転送フォーマットです。プロセッサには2つのS/PDIF送信/受信ブロックがあります。デジタル・オーディオ・インターフェースは、オーディオ・データ、非オーディオ・データ (圧縮データ)、タイミング情報の3種類の情報を伝搬します。

S/PDIFインターフェースは、1つのステレオ・チャンネルまたは複数の圧縮オーディオ・ストリームに対応します。S/PDIFトランスミッタおよびレシーバーは、AES3に準拠しており、24kHz~192kHzのサンプル・レートに対応します。S/PDIFレシーバーは、業務用のジッタ規格に対応しています。

S/PDIFレシーバー/トランスミッタには別個のDMAチャンネルはありません。オーディオ・データをシリアル・フォーマットで受信し、それを2相エンコード信号に変換します。レシーバー/トランスミッタへのシリアル・データ入力は、16、18、20、または24ビットのワード幅の左詰め、I²S、または右詰めフォーマットできます。S/PDIFレシーバー/トランスミッタへのシリアル・データ、クロック、フレーム同期入力は、SRUを通じてルーティングされます。これらの信号は、SPORT、外部ピン、高精度クロック・ジェネレータ (PCG) など多様なソースから送られ、SRU制御レジスタで制御されます。

高精度クロック・ジェネレータ (PCG)

高精度クロック・ジェネレータ (PCG) は、2つのDAIブロックにある8ユニットで構成されます。PCGは、クロック入力信号 (CLKINx、SCLK0、またはDAIピン・バッファ) から引き出される1ペアの信号 (クロックとフレーム同期) を生成できます。どちらのユニットも機能は同じで、互いに独立に動作します。各ユニットで生成された2つの信号は通常、シリアル・ビット・クロック/フレーム同期ペアとして用いられます。

パルス密度変調 (PDM) マイクロフォン・インターフェース

パルス密度変調 (PDM) インターフェースは、デジタルPDMマイクロフォン・データをI²S/TDMフォーマットに変換する場合に用いられます。I²S/TDMフォーマットのマイクロフォン・データは、その後、シリアル・ポート/ASRCに内部でルーティングされるか、あるいはDAIピンを介して外部に接続されます。PDMマイクロフォン入力には、デシメーション・フィルタが内蔵されています。2つの専用デジタル・マイクロフォン・インターフェース (DAIあたり1つ) には、最大で8個のPDMマイクロフォンを接続できます。各PDMインターフェースは、1本のクロック・ラインと2本のデータ・ラインで構成されています。2つのマイクロフォンが1本のデータ・ラインを共有し、かつ1本のクロック・ラインを共有することで、デュアル入力マイクロフォン・ポートを構成できます。更に、2本のデュアル入力ラインが1本のクロック・ラインを共有することによって、4つのマイクロフォン入力に対応できます。

強化型パラレル・ペリフェラル・インターフェース (EPPI)

プロセッサは、最大24ビットのデータ幅に対応できる強化型パラレル・ペリフェラル・インターフェース (EPPI) を備えています。EPPIは、薄膜トランジスタ (TFT) LCDパネル、並列ADCおよびDAC、ビデオ・エンコーダおよびデコーダ、イメージ・センサー・モジュール、およびその他の汎用ペリフェラルとの直接接続をサポートします。

EPPIモジュールでサポートされる機能には以下が含まれます。

- クロックあたり8ビット、10ビット、12ビット、14ビット、16ビット、18ビット、24ビットのプログラマブルなデータ長
- 様々なフレーム化、非フレーム化、および汎用の動作モード。フレーム同期は内部生成、外部デバイスから供給できます。
- ITU-656受信モードでのITU-656ステータス・ワード・エラー検出および訂正、およびITU-656プリアンブルおよびステータス・ワードのデコード

- 8ビット、16ビット、24ビットから32ビットへのデータのパッキングおよび、32ビットから8ビット、16ビット、24ビットへのデータのパッキング解除（オプション）。パッキング／パッキング解除がイネーブルされている場合、バイトまたはワードのパッキング／パッキング解除の順序を変更するようエンディアンネスを設定してください。
- 送信モードで、RGB888をRGB666またはRGB565に変換
- 4:2:2のYCrCbデータを受信または送信するための様々なインターリーブ解除／インターリーブ・モード
- Frame Sync 3で使用可能な、ユーザ設定可能LCDデータ・イネーブル出力

ユニバーサル非同期レシーバー／トランスミッタ（UART）ポート

プロセッサには、全二重のユニバーサル非同期レシーバー／トランスミッタ（UART）ポートが4個あり、PC規格のUARTに完全に対応できます。各UARTポートは、他のペリフェラルやホストに対する簡略化されたUARTインターフェースとして機能し、全二重、DMA、シリアル・データの非同期転送をサポートしています。UARTポートは、5〜8個のデータ・ビット、パリティなし、偶数または奇数のパリティをサポートします。

オプションで、マルチドロップ・バス（MDB）システムにアドレス指定されたノードのみを遮断する、追加のアドレス・ビットを転送できます。フレームは、設定可能な数のストップ・ビットで終了できます。

UARTポートは、プログラマブルなアサーションの先入れ先出し（FIFO）レベルで送信可（CTS: Clear to send）入力および送信要求（RTS: Request to send）出力を通じて行う、自動ハードウェア・フロー制御に対応します。

ローカル・インターコネクト・ネットワーク（LIN）プロトコルに対応しやすくするため、トランスミッタがプログラマブルなビット長の中断コマンドを送信バッファの待ち行列に入れる特別なコマンドがあります。同様に、ストップ・ビットの数を、フレーム間の設定可能な時間間隔だけ増加させることができます。

シリアル・ペリフェラル・インターフェース（SPI）ポート

プロセッサには4つの業界標準のSPI互換ポートが備わっており、プロセッサはこれによって複数のSPI互換デバイスと通信することができます。

ベースラインのSPIペリフェラルは、2本のデータ・ピン、1本のデバイス・セレクト・ピン、および1本のゲーテッド・クロック・ピンで構成される同期4線式インターフェースです。2本のデータ・ピンにより、他のSPI互換デバイスとの間で全二重動作が可能です。クワッドSPI動作への対応用に2本の追加（オプション）データ・ピンを備えています。フロー制御、高速モード、デュアルI/Oモード（DIOM）などの拡張動作モードもサポートしています。DMAモードにより、最低限の中央演算処理装置（CPU）との相互作用で、数ワードを転送できます。

SPIポートは設定可能な様々なオプションを備えており、マスタ・モード、スレーブ・モード、マルチマスタ環境で、他のSPI互換デバイスとの円滑なハードウェア・インターフェースを可能にします。SPIペリフェラルには、プログラマブルなポー・レート、クロック位相、クロック極性が含まれています。このペリフェラルは、マスタ・デバイスまたはスレーブ・デバイスとして動作する他のいくつかのデバイスとインターフェースすることによって、マルチマスタ環境で動作可能です。マルチマスタ環境では、SPIペ

リフェラルはオープンドレイン出力を使用してデータ・バス競合を回避します。フロー制御機能により、低速スレーブ・デバイスは、転送を柔軟に制御するSPI対応ピン（SPI_RDY）を備えることで、高速マスタ・デバイスとインターフェースできます。

SPIポートのポー・レートとクロックの位相および極性は、プログラム可能です。ポートは、データ・ストリームの送信および受信用のDMAチャンネルを内蔵しています。

オクタール・シリアル・ペリフェラル・インターフェース（OSPI）ポート

オクタール・シリアル・ペリフェラル・インターフェース（OSPI）ポートは、外部メモリ・データ・バス幅を増加させます（並列で最大8ビット）。OSPIポートはデュアル・データ・レート

（DDR）の動作モードに対応しているため、クロック・サイクルごとに最大16ビットのデータ転送が可能です。OSPIポートにより、全体的なデータ・スループットの向上と、ブート時間の短縮を含む性能向上が可能となります。

OSPIには以下のような特長があります。

- シングル、デュアル、クワッド、またはオクタールのI/O転送をサポート
- 直接およびソフトウェア・トリガ命令ジェネレータ（STIG）を含む、複数の動作モード
- その場実行（XIP）に対応：連続モード
- プログラマブルなページおよびブロック・サイズ
- プログラマブルな書込み保護領域
- プログラマブルなメモリ・タイミング
- DDRコマンドに対応
- 高速転送を可能にするPHY動作モードに対応
- DQSに対応し、より高速でデータ・サンプリングの堅牢性を向上

リンク・ポート（LP）

8ビット幅の2つのリンク・ポート（LP）を、別のDSPまたはペリフェラルのリンク・ポートに接続できます。リンク・ポートは双方向で、8本のデータ・ライン、1本のアクノレッジ・ライン、1本のクロック・ラインを備えています。

リンク・ポートはピン削減モードで動作できるため、2つのプロセッサ間のインターフェースに必要なピン数を削減できます。例えば、4ビットのシングル・データ・レート（SDR）モードおよびデュアル・データ・レート（DDR）モードのリンク・ポートを用いて、2つのプロセッサを接続できます。

イーサネット・メディア・アクセス・コントローラ（EMAC）

プロセッサは、高精度時間プロトコルを使用するイーサネット・メディア・アクセス・コントローラ（EMAC）：10/100/1000 AVBイーサネット（IEEE 1588）を備えています。

プロセッサは、組み込まれた高速EMACを介してネットワークに直接接続でき、10Base-T（10Mb/sec）、100Base-T（100Mb/sec）、1000Base-T（1Gb/sec）の動作をサポートします。

EMACのいくつかの標準的な機能を以下に示します。

- 外部PHY用にMII/RMII/RGMIIプロトコルに対応
- 全二重および半二重モード
- メディア・アクセス管理（半二重動作時）
- フロー制御

- PHYレジスタへの読出し/書込みアクセスのためのMDC/MDIOフレーム生成を含むステーション管理

EMACのいくつかの高度な機能を以下に示します。

- 受信フレームのIPヘッダおよびIPペイロード・フィールドの自動チェックサム計算
- 独立した32ビット・ディスクリプタによる受信および送信DMAチャンネル
- ソフトウェアにおける効率的なバッファ・キュー管理のためのフレーム完了セマフォを含む、DMAを介したメモリへのフレーム・ステータス送信
- MACヘッダおよびペイロード・フィールド用の個別ディスクリプタに対する送信DMAのサポートによりバッファ・コピー動作が不要
- 便利なフレーム・アライメント・モード
- 選択可能な読出し後クリア動作と最大値の半値でのプログラマブルな割込みを行う47個のMAC管理統計カウンタ
- 高度なパワー・マネージメント
- マジック・パケット検出とウェイクアップ・フレーム・フィルタ処理
- 802.3Qでタグ付けされたVLANフレームをサポート
- プログラマブルなMDCクロック・レートとブリアンブル抑制

オーディオ・ビデオ・ブリッジング (AVB) への対応

10/100/1000 EMACは、以下のオーディオ・ビデオ・ブリッジング (AVB) 機能に対応しています。

- 100Mbpsモードおよび1000MbpsモードでのAVデータ転送のための個別のチャンネルまたはキュー
- 追加送信チャンネル用のIEEE 802.1-Qav指定クレジットベース・シェイパー (CBS)
- AVトラフィック用に送信パスおよび受信パスで最大2つの追加チャンネル (チャンネル1およびチャンネル2) を構成。チャンネル0はデフォルトで使用可能で、送信側で標準的なベスト・エフォートのイーサネット・トラフィックを実行します。
- AVB遅延クラスに対応した個別のDMA、送信FIFO、受信FIFO
- 受信したVLANタグ付け非AVパケットをチャンネルまたはキューにルーティングするためのプログラマブルな制御

高精度時間プロトコル (PTP) IEEE 1588への対応

IEEE 1588規格は、ネットワーク化された測定や制御システムのための高精度クロック同期プロトコルです。プロセッサは、高精度時間プロトコル同期エンジン (PTP_TSYNC) を内蔵し、IEEE 1588に対応するハードウェアを備えています。

このエンジンは、ハードウェアにアシストされたタイム・スタンプ機能を提供し、PTPノード間のクロック同期精度を向上させます。このエンジンの主な機能を以下に示します。

- IEEE 1588-2002プロトコル規格およびIEEE 1588-2008プロトコル規格の両方に対応
- 最大12.5nsの分解能が可能なハードウェア・アシスト・タイム・スタンプ処理
- ロック調整
- IPv4パケット、IPv6パケット、PTPメッセージの自動検出
- 複数の入力クロック源 (SCLK0、RGMII、RMII、MIIクロックおよび外部クロック)

- プログラマブルなパルス/秒 (PPS) 出力
- 外部イベントをタイム・スタンプするための補助スナッチショット

データ・レートが柔軟なコントロール・エリア・ネットワーク (CAN-FD: Controller Area Network with Flexible Data-Rate)

2つのコントローラ・エリア・ネットワーク (CAN) モジュールがあります。CANコントローラは、データ・レートが柔軟なCAN (CAN-FD) とCAN 2.0Bプロトコルを備え、標準および拡張型メッセージ・フレームと最大64バイトの長いペイロードの両方をサポートし、最大8Mbpsのレートで転送を行います。このプロトコルは、工業用制御システムと車載制御システムのどちらでも用いられている非同期通信プロトコルです。CANプロトコルはネットワーク全体にわたり通信の信頼性が高いため、制御アプリケーションに最適です。それは、プロトコルがCRCのチェック、メッセージ・エラーのトラッキング、およびフォルト・ノードの閉じ込めの機能を備えているためです。

CAN-FDコントローラには以下の特長があります。

- 0~8バイト、16バイト、32バイト、または64バイトを保存するよう設定可能な柔軟なメールボックス
- 専用レシーバーが各メールボックスをマスク
- それぞれ8バイト長で受信または送信として設定できる、最大64個の柔軟なメッセージバッファ
- 転送の優先順位付けが設定可能なスキーム
- CAN-FDメッセージを高いデータ・レートで転送する場合のトランシーバー遅延補償
- メモリ読出しアクセス・エラーの検出と訂正

CANクロックを供給するために水晶発振器を追加する必要ありません。このクロックはプログラマブル分周器を通じてシステム・クロックから抽出されるためです。

タイマー

プロセッサは、以下のセクションに示すいくつかのタイマーを備えています。

汎用 (GP) タイマー (TIMER)

16個のGPプログラマブル・タイマーを備えた汎用 (GP) タイマー・ユニットが1つあります。各タイマーには外部ピンがあり、このピンは、PWMまたはタイマー出力、タイマー・クロックのための入力、あるいは、外部イベントのパルス幅と周期を測定するためのメカニズムとして設定できます。これらのタイマーは、TM_TMR[n]ピンの外部クロック入力、外部TM_CLK入力ピン、もしくは内部SCLK0に同期できます。

これらのタイマーは、UARTおよびCANコントローラと併用することで、データ・ストリームのパルスの幅を測定して各シリアル・チャンネルにソフトウェア・オートボー検出機能を提供できます。

GPタイマーはプロセッサ・コアへの割込みを生成して、システム・クロック信号または外部信号と同期を取るための周期的イベントを発生させることができます。また、タイマー・イベントはTRUを介して他のペリフェラルをトリガする (例えばフォルトを通知する) こともできます。

各タイマーは、コアの介入を要することなく、任意のトリガ発生器によって開始または停止することもできます。ADSP-21593プロセッサは16個のGPタイマーを備えています。TIMER10～TIMER15のタイマー・ユニットには外部ピンがなく、内部動作モード用にのみ設定できます。

ウォッチドッグ・タイマー (WDT)

Arm Cortex-A5およびSHARC+コアでは、3個のオンチップ・ソフトウェア・ウォッチドッグ・タイマー (WDT) を用いることができます。ソフトウェア・ウォッチドッグは、ソフトウェアによるリセットの前にタイマーが終了した場合、汎用割込みまたはフォルトを介してプロセッサを強制的に既知の状態にすることにより、システムの可用性を向上させることができます。

プログラムはタイマーのカウンタ値を初期化して適切な割込みを可能にし、それからタイマーをイネーブルします。その後、ソフトウェアは、カウンタがプログラムされた値からゼロに低下する前にカウンタを再読み込みし、システムが未知の状態にとどまらないようにする必要があります。さもないと、通常はタイマーをリセットするソフトウェアが、外部ノイズ条件やソフトウェア・エラーにより実行を停止してしまいます。

汎用カウンタ (CNT)

汎用アップ/ダウン・カウンタ・モードで動作できる32ビットの汎用カウンタ (CNT) が備わっており、このカウンタにより、通常工業用ドライブまたは手動サムホイールによって供給される2ビットの直交またはバイナリ符号を検出できます。カウンタの方向は、レベルに依存する入力ピンまたは2つのエッジ検出器によって制御されます。

3つめのカウンタ入力により柔軟なゼロ・マーカ・サポートが可能となり、サムホイール・デバイスのプッシュボタン信号を入力できます。これらすべてのCNT0ピンには、プログラマブルなバウンス防止回路が内蔵されています。

GPタイマーに転送される内部信号により、タイマーはカウンタとカウンタの間の時間間隔を測定できます。境界レジスタは、プログラムされたカウンタ値を超えた場合に割込みを行うことで、オートゼロ動作または単純なシステム警告をイネーブルします。

ハウスキーピングA/Dコンバータ (HADC)

ハウスキーピングA/Dコンバータ (HADC) は、汎用のマルチチャンネル逐次比較ADC機能を備えています。次の基本的なHADC機能がすべてのモデルに当てはまります。

- サンプル&ホールドが組み込まれた12ビットADCコア
- 最大1MSPSのスループット・レート
- 0V～1.8Vのアナログ入力を用いる単一外部リファレンス
- プリスケアラの設定機能を含む、選択可能なADCクロック周波数
- 対応できる変換タイプ：オートスキャンを選択可能な単一または連続変換が可能
- 4つのシングルエンド入力チャンネル
- 1つのセッションで最大4回の自動変換が可能なオートシーケンス機能。各変換をプログラムして1個～4個の入力チャンネルを選択できます。
- 変換値を保存する4個のデータ・レジスタ (個別にアドレス指定可能)

ADSP-SC592およびADSP-SC594のプロセッサの場合、上記基本機能に加え、以下の拡張機能があります。

- 合計8個のシングルエンド入力チャンネル。外部チャンネル・マルチプレクサを追加することで15チャンネルに拡張可能。
- 1回のセッションで合計8回の自動変換が可能なオートシーケンス機能。各変換をプログラムして1個～15個の入力チャンネルを選択できます。
- 変換値を保存する16個のデータ・レジスタ (個別にアドレス指定可能)

図6に、HADCの内部抵抗と内部容量で表される入力インピーダンスを示します。VIN信号はHADC入力ピン (HADC_VINx) を表します。

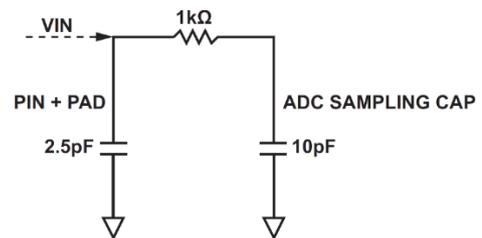


図6. HADCの内部回路図

USB 2.0ハイ・スピード (HS) OTG (On the Go) コントローラ

USBは、ハイ・スピード/フル・スピード/ロー・スピード (HS/FS/LS) のUSB2.0 OTG (On the Go) およびUTMI+ロー・ピン・インターフェース (USBC) をサポートします。

USB2.0 OTGデュアルロール・デバイス・コントローラは、携帯電話、デジタル・スチル・カメラ、MP3プレーヤなどのコンシューマ・モバイル・デバイスだけでなく、工業用アプリケーションにおいても、ロー・コストの接続ソリューションを提供します。USB2.0コントローラにより、これらのデバイスは、PCホストを必要とすることなく、ポイント・ツー・ポイントのUSB接続を用いてデータ転送ができます。モジュールは、USB 2.0仕様のOTG補助にあるホスト・モードだけでなく、従来のUSBペリフェラルのみのモードでも動作できます。

USBコントローラにはオンチップPHYがないため、USBコントローラによってサポートされたUSBC 8ビット・インターフェースを通じてボード上の外部PHYに接続する必要があります。

メディア・ローカル・バス (MediaLB)

オートモーティブ・モデルにはMicrochip MediaLB (MLB) デバイス・インターフェースがあり、プロセッサはメディア・ローカル・バス・デバイスとして機能できます。これは、3ピンと6ピンのメディア・ローカル・バス・プロトコルのどちらにも対応できます。MLB 3ピン構成では、最大1024 × FSのスピードに対応できます。MLB 6ピン構成では、2048 × FSのスピードに対応できます。また、MLBは、最大64個のロジック・チャンネルに対応し、MLBフレームあたり最大468バイトのデータを処理できます。

MLBインターフェースは、MOST25、MOST50、MOST150のデータ・レートをサポートし、デバイス・モードのみで動作します。

2線式コントローラ・インターフェース (TWI)

プロセッサには、6個の2線式インターフェース (TWI) モジュールがあり、複数のデバイス間で制御データを簡単に交換する方法を提供します。TWIモジュールは、広く利用されているI²Cバス

規格に対応しています。TWIモジュールは、コントローラとターゲットの同時動作を可能とし、7ビットのアドレス指定とマルチメディア・データ・アービトラージの両方をサポートします。TWIインターフェースは、クロック (TWI_SCL) およびデータ (TWI_SDA) の転送のために2本のピンを使用し、最大400kbpsのスピードでプロトコルを処理します。TWIインターフェース・ピンは、3.3Vのロジック・レベルに対応します。

また、TWIモジュールは、シリアル・カメラ制御バス (SCCB) 機能に完全に対応しているため、様々なCMOSカメラ・センサー・デバイスを容易に制御できます。

汎用I/O (GPIO)

各汎用ポート・ピンは、ポート制御、ステータス、割込みの各レジスタを操作することで、個別に制御できます。

- GPIO方向制御レジスタは、個々のGPIOピンの方向を入力または出力として指定します。
- GPIO制御およびステータス・レジスタには、「1を書き込んで変更」メカニズムがあり、これによって個々のGPIOピンを任意に組み合わせて1回の命令で変更できます。これは他のGPIOピンのレベルには影響しません。
- GPIO割込みマスク・レジスタでは、各GPIOピンをプロセッサへの割込みとして機能させることができます。入力として定義されたGPIOピンはハードウェア割込みを生成するよう設定でき、出力ピンはソフトウェア割込みによってトリガされます。
- GPIO割込み感度レジスタは、各ピンがレベルに反応するかエッジに反応するかを指定し、エッジ反応の場合は、信号の立上がりエッジが重要かあるいは立上がりと立下りの両方が重要かを指定します。

ピンによる割込み

プロセッサの各ポート・ピンは、極性を設定可能な、エッジ応答またはレベル応答のいずれかの方法で割込みを要求できます。割込み機能はGPIO動作とは別個のもので、各システム・レベル割込みチャンネル (PINT0~PINT7) は、この目的のために予約されています。これらの割込みチャンネルはそれぞれ、最大32本の割込みピンを管理できます。ピンから割込みへの割当ては、ピンごとに行われるわけではありません。8本のピンからなるグループ (ハーフ・ポート) が割込みチャンネルに柔軟に割り当てられます。

各ピン割込みチャンネルには、32ビット・メモリ・マップド・レジスタからなる特別なセットがあり、これによりハーフ・ポートの割当てと割込みの管理ができます。この機能には、マスク、識別、要求クリアなどがあります。また、これらのレジスタは、それぞれのピン・ステータスにアクセスでき、割込みがマスクされているかどうかによらず、割込みラッチを使用できます。ほとんどのコントロール・レジスタは、1を書き込んで個別にセットあるいはクリアできる、複数のMMRアドレス・エントリを備えています。

コア・フラグI/Oピン

プロセッサには32本のフラグI/Oピン (SHARC+コアあたり16本) があり、SHARC+コアのFLAGSレジスタの制御とモニタリングを外部から行うことができます。ユーザ・コードは、出力として設定されたピンに駆動されるよう、このレジスタのビットに書き込みを行うことができ、コード実行には、入力として設定されたピンの設定に応じた条件を付すことができます。

システム・アクセラレーション

以下のセクションでは、ADSP-2159x/ADSP-SC592/SC594プロセッサのシステム・アクセラレーション・ブロックについて説明します。

有限インパルス応答 (FIR) アクセラレータ

有限インパルス応答 (FIR) アクセラレータは、1024ワードの係数メモリ、1024ワード深度のデータ用遅延線、および4個の積和 (MAC) ユニットで構成されています。1個のコントローラがこのアクセラレータを管理します。FIRアクセラレータはSHARCコア・クロック周波数で動作します。FIRアクセラレータは、すべてのメモリ空間にアクセスでき、また、プロセッサの他のアクセラレータと同時に動作できます。

無限インパルス応答 (IIR) アクセラレータ

無限インパルス応答 (IIR) アクセラレータは、バイクワッド係数を保存するための1440ワードの係数メモリ、中間データを保存するためのデータ・メモリ、および1つのMACユニットで構成されます。1個のコントローラがこのアクセラレータを管理します。IIRアクセラレータはSHARCコア・クロック周波数で動作します。IIRアクセラレータは、すべてのメモリ空間にアクセスでき、また、プロセッサの他のアクセラレータと同時に動作できます。

注：SHARCコア1個につき4個のIIRアクセラレータがあります。

システム設計

以下のセクションでは、システム設計の特長と電源の問題についての基本的な内容を説明します。

クロック管理

プロセッサには3つの動作モードがあり、性能と電力プロファイルがそれぞれ異なります。各プロセッサ・ペリフェラルへのクロック制御により、消費電力が削減されます。プロセッサは、低消費電力動作モードをサポートしていません。各プロセッサ・ペリフェラルへのクロック制御により、消費電力が削減できます。

リセット・コントロール・ユニット (RCU)

リセットは、全プロセッサまたはコアの初期状態であり、ハードウェアまたはソフトウェアによりトリガされたイベントの結果です。この状態では、すべてのコントロール・レジスタはデフォルト値に設定され、機能ユニットはアイドル状態になります。フル・システム・リセットの終了は、コアのブート準備が整うことから始まります。

リセット・コントロール・ユニット (RCU) は、すべての機能ユニットがリセットされる方法とリセットを終了する方法を制御します。機能条件とクロック制約の違いにより、リセット信号の生成方法が定義されます。プログラムは、どのリセット機能によっても、システムが定義されない状態になったり、リソースが停止したりすることのないようにする必要があります。この条件は、コアがリセットした場合に特に重要です (プログラムは、リセットされている場合のコアを含め停止中のシステム・アクティビティがないようにする必要があります)。

システムの観点からは、リセットはリセット・ターゲットおよびリセット・ソースのどちらによっても定義されます。

リセット・ターゲットは次のように定義されます。

- システム・リセット - RCUを除くすべての機能ユニットがデフォルト状態に設定されます。
- ハードウェア・リセット - すべての機能ユニットは例外なくデフォルト状態に設定されます。履歴は失われます。
- コアのみリセット - コアにのみ影響します。リセット状態の場合、バス・リクエストはコアにアクセスできません。

リセット・ソースは次のように定義されます。

- システム・リセット - ソフトウェア (RCU_CTLレジスタへの書き込み) または、動的パワー・マネージメント (DPM) ユニットやSEC、TRU、エミュレータ入力のいずれかなどの別の機能ユニットによりトリガできます。
- ハードウェア・リセット - SYS_HWRST入力信号がアクティブにアサート (プルダウン) されます。
- コアのみリセット - コアにのみ影響します。リセット状態の場合、バス・リクエストはコアにアクセスできません。
- トリガ要求 (ペリフェラル)。

クロック生成ユニット (CGU)

ADSP-2159x/ADSP-SC592/SC594プロセッサは、2つの独立したPLLをサポートしています。各PLLは、クロック生成ユニット (CGU) の一部です。各CGUは、同じクロック源により外部駆動することも、別々のクロック源で駆動することもできます。そのため、クロック領域ごとに内部クロック周波数を決める上で柔軟性が加わります。

各CGUが生成する周波数は、共通の通倍器から出力ごとに異なる分周値を使用して抽出されます。

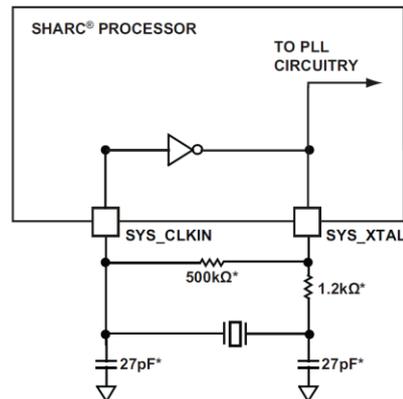
CGUは、すべてのオンチップ・クロックと同期信号を生成します。PLLCLK周波数を定義するために通倍係数が設定されます。

プログラマブルな値によってPLLCLK周波数を分周し、コア・クロック (CCLK)、システム・クロック、DDR3/DDR3Lクロック (DCLK)、出力クロック (OCLK) が生成されます。クロックの詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスを参照してください。

CGUコントロール・レジスタに書き込みを行っても、直ちにPLLの動作に影響することはありません。レジスタはまず、新しい値でプログラムされ、PLLロジックがその変更を実行して現在の条件から新しい条件へのスムーズな遷移を確保します。

システム水晶発振器

プロセッサのクロックは、外部水晶発振器 (図7参照)、サイン波入力、または外部クロック発振器から引き出されたバッファ付き成形クロックによって供給できます。外部クロックを使用する場合、そのクロックはVIHCLKIN仕様およびVILCLKIN仕様に対応していなくてはならず、通常動作中に、停止、変化、または指定周波数未満にならないようにする必要があります (動作条件のセクションを参照)。この信号は、プロセッサのSYS_CLKINxピンに接続されます。外部クロックを用いる場合は、SYS_XTALxピンは無接続のままにします。または、プロセッサにはオンチップ発振器回路があるため、外部水晶発振器を使用することができます。



NOTE: VALUES MARKED WITH * MUST BE CUSTOMIZED, DEPENDING ON THE CRYSTAL AND LAYOUT. ANALYZE CAREFULLY. VALID FREQUENCY RANGE IS 20 MHz TO 30 MHz FOR SYS_CLKIN.

図7. 外部水晶発振器の接続方法

基本周波数動作の場合は、図7に示す回路を使用してください。並列共振で基本周波数のマイクロプロセッサ・グレードの水晶発振器を、SYS_CLKINxピンとSYS_XTALxピンの間に接続します。

図7に示す2個のコンデンサと1個の直列抵抗が、サイン波の位相と振幅を微調整します。図7に示すコンデンサと抵抗の値は、いずれも代表値です。コンデンサの値は、水晶発振器メーカーの推奨する負荷容量とプリント回路基板 (PCB) の物理的レイアウトによって異なります。抵抗の値も、水晶発振器メーカーの指定する駆動レベルによって決まります。使用時は、必要とされる温度範囲にわたって複数デバイスを詳細に検討した結果に基づいて、カスタマイズした値を検証する必要があります。

クロック分配ユニット (CDU)

2個のクロック生成ユニットはそれぞれ、クロック分配ユニット (CDU) に送られる出力を供給します。CLK00~CLK012のクロック出力は様々なターゲットに接続されます。詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスを参照してください。

クロック出力/外部クロック

SYS_CLKOUT出力ピンは、オンチップ・クロックを分周して出力するためのプログラム可能なオプションを備えています。デフォルトでは、SYS_CLKOUTピンは、バッファ付きのSYS_CLKIN0入力を駆動します。クロックのデフォルト・マッピングを変更するには、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスを参照してください。

ブート

プロセッサには、リセット後に内部および外部メモリを自動的に読み込むためのメカニズムがいくつかあります。ブート・モードはSYS_BMODE[n]入力ピンで定義されます。ブート・モードには2つのカテゴリがあります。フラッシュ・ブート・モードでは、プロセッサはシリアル・メモリから能動的にデータを読み込みます。外部ホスト・ブート・モードでは、プロセッサは外部のホスト・デバイスからシリアル・インターフェースを介してデータを受け取ります。

ブート・モードを表7に示します。これらのモードは、リセット設定レジスタのSYS_BMODE[n]ビットによって実装され、パワーオン・リセット時およびソフトウェア起動リセット時にサンプリングされます。

表7. ブート・モード

| SYS_BMODE[n] Setting | Boot Mode |
|----------------------|------------------------------|
| 000 | No boot |
| 001 | SPI2 flash |
| 010 | External SPI2 host |
| 011 | External UART0 host |
| 100 | External LP0 host |
| 101 | Octal SPI flash ¹ |
| 110 | Reserved |

¹ オクタールSPIブートは、LPCデバイスではポートAを使用し、HPCデバイスではポートC/ポートDを使用します。

ADSP-SC59xプロセッサでは、Arm Cortex-A5（コア0）が、すべての内部および外部メモリの読み込みを含むブート・プロセスを制御します。同様に、ADSP-2159xプロセッサでは、SHARC+（コア1）がブート機能を制御します。セキュア・ブートのオプションは全モードで使用できます。

熱モニタリング・ユニット（TMU）

熱モニタリング・ユニット（TMU）は、かなりの消費電力を必要とするアプリケーション向けに、オンチップ温度計測機能を備えています。TMUは、MMRベースのシステム・アクセスを用いてプロセッサ・ダイおよびデジタル・インフラストラクチャに統合されており、ダイの温度変化をリアルタイムで測定できます。

TMUの機能には次のものがあります。

- オンチップ温度センシング
- プログラマブルな高温および低温制限値
- プログラマブルな変換レート
- 平均化機能が使用可能

電源

プロセッサには、以下のために別々の電源があります。

- 内部（VDD_INT）
- 外部（VDD_EXT）
- 外部（VDD_REF）
- HADC/TMU（VDD_ANA）
- DMC（VDD_DMC）
- PLL（VDD_PLL）

すべての電源は、動作条件のセクションに示す仕様を満たす必要があります。すべての外部電源ピンは同じ電源に接続する必要があります。

パワー・マネージメント

表8に示すように、プロセッサは、6種類の異なる電源領域をサポートしています。これにより、業界の規格や慣行に準拠したまま、最大限の柔軟性を実現できます。

プロセッサの消費電力は、主にそのクロック周波数および動作電圧の二乗の関数です。例えば、クロック周波数を25%下げると、動的な消費電力は25%低減します。

表8. 電源領域

| Power Domain | VDD Range |
|--|----------------------|
| All Internal Logic | VDD_INT |
| DDR3/DDR3L | VDD_DMC |
| HADC/TMU | VDD_ANA |
| SYS_CLKIN0/1 | VDD_REF ¹ |
| PLL0/1 | VDD_PLL ² |
| All Other I/O (Includes SYS, JTAG, and Ports Pins) | VDD_EXT |

¹ ソース/シンク条件を満たすために、VDD_REFには10nF以上および100nF以上のデカップリング・コンデンサが必要です。

² VDD_PLLはVDD_INTに接続します。詳細については、ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンスを参照してください。

パワーアップ・シーケンスとパワーダウン・シーケンス

常時（パワーアップ/パワーダウン・シーケンス時を含む）、VDD_REF、VDD_ANA、VDD_EXTの電源は、動作条件の表に記載されたVDELTA_EXT_REFの仕様範囲内になくはなりません。SYS_XTAL0およびSYS_XTAL1の発振（SYS_CLKIN0およびSYS_CLKIN1）は、電力がVDD_REFピンに供給されると開始します。SYS_HWRSTの立ち上がりエッジでPLLロックのシーケンスが開始されます。SYS_HWRSTの立ち上がりエッジは、すべての電圧源とSYS_CLKIN0およびSYS_CLKIN1の発振が有効になった後に生じる必要があります。詳細については、パワーアップ・リセットのタイミングのセクションを参照してください。

ターゲット・ボードJTAGエミュレータ・コネクタ

アナログ・デバイスサイズのJTAGエミュレータのDSPツール製品ラインは、プロセッサのIEEE 1149.1 JTAGテスト・アクセス・ポートを使用して、エミュレーション時にターゲット・ボード・プロセッサのモニタと制御を行います。アナログ・デバイスサイズのJTAGエミュレータのDSPツール製品ラインは、プロセッサをフル・スピードで動作させてエミュレーションを行うため、メモリ、レジスタ、プロセッサの各スタックの検査や変更ができます。プロセッサのJTAGインターフェースにより、エミュレータがターゲット・システムの読み込み動作やタイミングに影響を与えることがないようにできます。

JTAGエミュレータ動作の詳細については、SHARCプロセッサ・ソフトウェア&ツールで該当するエミュレータのハードウェア・ユーザ・ガイドを参照してください。

システム・デバッグ

プロセッサにはシステム・デバッグを容易にする様々な機能が備わっています。以下のセクションでこれらについて説明します。

システム・ウォッチポイント・ユニット (SWU)

システム・ウォッチポイント・ユニット (SWU) は、単独のシステム・バスに接続する単独のモジュールで、トランザクションのモニタリングを行います。各システム・コンプリータに通じるバスに1つのSWUが接続されています。SWUには、すべてのシステム・バス・アドレス・チャンネル信号に対するポートが備わっています。各SWUには、関連するハードウェアを備えたレジスタのマッチ・グループが4つあります。これら4つのSWUマッチ・グループは独立に動作しますが、共通のイベント（割り込みやトリガなど）の出力を共有します。

デバッグ・アクセス・ポート (DAP)

デバッグ・アクセス・ポート (DAP) は、JTAGのデバッグを通じてIEEE 1149.1 JTAGインターフェースに対応します。DAPは、コアとシステム両方の計測器トレースをオプションで提供します。このトレースは、MIPIシステム・トレース・プロトコル・バージョン2 (STPv2) に準拠したトレース・ストリームです。

開発ツール

アナログ・デバイセズは、統合開発環境、評価用製品、エミュレータ、各種ソフトウェア・アドインなど、ソフトウェアおよびハードウェアのすべてを網羅した開発ツール・ラインでプロセッサをサポートしています。

統合開発環境

C/C++ソフトウェアの書き込みや編集、コード生成、デバッグ・サポート用に、アナログ・デバイセズでは、CrossCore® Embedded Studio (CCES) 統合開発環境 (IDE) を提供しています。

CCESはEclipseフレームワークをベースとしています。アナログ・デバイセズのほとんどのプロセッサ・ファミリに対応するCCESは、マルチコア・デバイスなどのプロセッサに最適なIDEです。

CCESは、利用可能なソフトウェア・アドインをシームレスに統合し、リアルタイム・オペレーティング・システム、ファイル・システム、TCP/IPスタック、USBスタック、アルゴリズム・ソフトウェア・モジュール、評価用ハードウェア・ボード・サポート・パッケージ (BSP) をサポートします。詳細については、www.analog.com/ccesを参照してください。

EZ-KIT評価用システム

プロセッサの評価用に、アナログ・デバイセズは、システム・オン・モジュール (SOM) ボードおよびSOMキャリア・ボードで構成されるEZ-KIT®評価用システムを提供しています。

SOMボード (EV-21593-SOMまたはEV-SC594-SOM) は、小型かつロー・コストで、オーディオ・プロセッサ、SDRAM、QSPIフラッシュ・メモリ、FTDI USB-to-UART、USB powerに対応しています。また、SOMボードは、JTAGデバッグ接続が可能であるため、ADZS-ICE-2000またはADZS-ICE-1000のインサーキット・エミュレータ (ICE) を用いてデバッグ/開発を行うためにスタンドアロンで使用することもできます。

SOMキャリア・ボード (EV-SOMCRR-EZKITまたはEV-SOMCRR-EZLITE) には電源が付属しており、また、SOMとの高速コネクタ、包括的なペリフェラル・セット、オンボード・エミュレータが

備わっています。キャリア・ボードのUSBコントローラは、ユーザのPCのUSBポートに接続することで、CCESを使用してオンボード・プロセッサをインサーキットでエミュレートできるようになります。これにより、ユーザはプログラムのダウンロード、実行、デバッグができます。また、オンボード・フラッシュ・メモリ・デバイスをユーザ固有のブート・コードを保存するようインサーキットでプログラムしてスタンドアロン動作を可能にします。

購入されたEZ-KITには、それぞれCCESの評価ライセンスが含まれています。CCES評価ライセンスの種類によって、特定の評価システムに対するCCES機能が制限されます。CCESのフル・ライセンス (個別に販売) では、すべてのCCES対応評価用ボード (スタンドアロン使用時のSOMや別のキャリア・ボードに接続した場合のSOMを含む) や、サポート対象となるアナログ・デバイセズのプロセッサを中心に設計されたすべてのカスタム・システムのためのソフトウェアを開発できます。また、フルCCESライセンスのタイプは、ICEを使用することでJTAGを介したより高性能のデバッグ機能が可能となります。

詳細については、以下を参照してください。

- <http://www.analog.com/jp/cces>
- www.analog.com/jp/EV-21593-SOM
- www.analog.com/jp/EV-SC594-SOM
- www.analog.com/jp/EV-SOMCRR-EZKIT
- www.analog.com/jp/EV-SOMCRR-EZLITE

CCES用ソフトウェア・アドイン

アナログ・デバイセズは、機能を拡張し開発時間を短縮できるよう、CCESとシームレスに統合できるソフトウェア・アドインを提供しています。アドインには、評価用ハードウェアのBSP、各種ミドルウェア・パッケージ、アルゴリズム・モジュールなどがあります。技術文書、ヘルプ、設定ダイアログ、コード例がこれらのアドインに備わっており、アドインのインストール時にCCESのIDEを通じて参照できます。

評価用ハードウェアのボード・サポート・パッケージ (BSP)

EZ-KIT評価用システムのソフトウェア・サポートは、ボード・サポート・パッケージ (BSP) と呼ばれるソフトウェア・アドインで提供されます。BSPには、必要なドライバ、関連リリース・ノート、与えられた評価用ハードウェアに対して選択されたコード例などが含まれています。特定のBSPへのダウンロード・リンクは関連するSOM製品のWebページにあります。

ミドルウェア・パッケージ

アナログ・デバイセズおよびその開発パートナーは、サポート対象のペリフェラルに対しソフトウェア機能を追加する、幅広いソフトウェア・スタックを提供しています。これらのペリフェラルには、TCP/IP、USB、filesystem、EAVB、Danteなどが含まれます。詳細については、[Operating Systems and Middleware](#)のページを参照してください。

RTOSおよびオペレーティング・システム

アナログ・デバイセズは、DSPプロセッサのコア向けにRTOSおよびオペレーティング・システムを提供しています。FreeRTOSは、ADSP-SC5xx/ADSP-215xxプロセッサのSHARCコアとArmコアのどちらにも使用できます。組み込みLinuxは、ADSP-SC5xxプロセッサ・ファミリのARMコアに使用できます。詳細については、[Operating Systems and Middleware](#)のページを参照してください。

アルゴリズム・モジュール

開発を加速するために、アナログ・デバイセズでは、一般的に使用されるオーディオおよびビデオ処理アルゴリズムを実行するアドインを提供しています。これらはCCESと併用できます。詳細については、[設計支援](#)を参照してください。

エミュレータ対応DSPボード（ターゲット）の設計

組み込みシステムのテストおよびデバッグのために、アナログ・デバイセズではエミュレータ・ファミリを取り揃えています。アナログ・デバイセズは、各JTAG DSPにIEEE 1149.1 JTAGテスト・アクセス・ポート（TAP）を用意しています。このJTAGインターフェースを用いることで、インサーキット・エミュレーションが容易になります。エミュレータは、TAPを介してプロセッサの内部機能にアクセスするため、開発者はコードの読み込み、ブレークポイントの設定、および変数、メモリ、レジスタの表示を行うことができます。

プロセッサは、データおよびコマンドの送信時には停止する必要がありますが、エミュレータによって動作が終了した後は、DSPシステムはシステムのタイミングに影響を与えることなくフル・スピードで動作するよう設定されます。エミュレータでは、ターゲット・ボードにDSPのJTAGポートのエミュレータへの接続をサポートするヘッダが含まれていることが必要です。

機械的なレイアウト、単独のプロセッサ接続、信号バッファリング、信号終端、エミュレータ・ポッドのロジックなどを含むターゲット・ボード設計の問題に関する詳細は、Analog Devices JTAG Emulation Technical Reference (EE-68) を参照してください。

その他の情報

このデータシートでは、ADSP-2159x/ADSP-SC592/SC594のアーキテクチャと機能の概要を説明します。コアのアーキテクチャおよび命令セットの詳細については、SHARC+ Core Programming Referenceを参照してください。

関連シグナル・チェーン

シグナル・チェーンは、入力（リアルタイム現象のサンプリングまたは保存データから取得したデータ）と入力を次段に供給するチェーンの一部の出力を連続して受信する、シグナル・コンディショニング用の一連の電子コンポーネントです。シグナル・チェーンは多くの場合、データを集めて処理する、あるいは、リアルタイム現象の分析に基づいてシステム制御を行う、シグナル・プロセッシング・アプリケーションで用いられます。

アナログ・デバイセズは、連携するよう設計されたシグナル・プロセッシング・コンポーネントを提供することで、シグナル・プロセッシング・システムの開発を容易なものにしています。特定のアプリケーションとそれに関連するコンポーネントの関係を表示するツールは、www.analog.com/circuitsで入手できます。

Circuits from the Lab[™] 実用回路集のサイト

(www.analog.com/circuits) のアプリケーション・シグナル・チェーンのページでは、以下が利用できます。

- 様々な回路タイプとアプリケーション向けシグナル・チェーンのグラフィカルな回路ブロック図
- ガイドとアプリケーション情報を選択するための各チェーンのコンポーネントのドリルダウン・リンク
- ベスト・プラクティスの設計技術を適用するリファレンス設計

ADSP-2159x/ADSP-SC592/SC594の信号の詳細な説明

各ピンの詳細な説明を表9に示します。

表 9. ADSP-2159x/ADSP-SC592/SC594の信号の詳細な説明

| 信号名 | 方向 | 説明 |
|-------------|--------|--|
| C1_FLG[n] | InOut | コア1のFLAGS I/O n. SHARC+コア1のコアのFLAGSレジスタに関連する外部ピン。 |
| C2_FLG[n] | InOut | コア2のFLAGS I/O n. SHARC+コア2のコアのFLAGSレジスタに関連する外部ピン。 |
| CANFD_RX | Input | 受信。 通常は外部CANトランシーバーのRX出力です。 |
| CANFD_TX | Output | 送信。 通常は外部CANトランシーバーのTX入力です。 |
| CNT_DG | Input | カウント・ダウンおよびゲート。 この入力、動作モードに応じて、カウント・ダウン信号またはゲート・信号のいずれかとして動作します。 カウント・ダウン - この入力によりGPカウンタがデクリメントします。 ゲート - GPカウンタのインクリメントまたはデクリメントを停止します。 |
| CNT_UD | Input | カウント・アップおよび方向。 この入力、動作モードに応じて、カウント・アップ信号または方向信号のいずれかとして動作します。 カウント・アップ - この入力によりGPカウンタがインクリメントします。 方向 - GPカウンタがインクリメントするかデクリメントするかを選択します。 |
| CNT_ZM | Input | カウント・ゼロ・マーカ。 ロータリ・デバイスのゼロ・マーカ出力に接続する入力、またはプッシュボタンが押されたことを検出する入力です。 |
| DAI_PIN[nn] | InOut | ピンn. デジタル・アプリケーション・インターフェース (DAIO) は様々なペリフェラルをいずれかのDAIO_PINxxピンに接続します。プログラムは、これらの接続を信号ルーティング・ユニット (SRU/DRU) を用いて行います。DRUにより、任意の信号をDAIを介してルーティングできます。 |
| DMC_A[nn] | Output | アドレスn. アドレスのバスです。 |
| DMC_BA[n] | Output | バンク・アドレス入力n. アクティベート・コマンド、読み出しコマンド、書き込みコマンド、あるいはプリチャージ・コマンドがダイナミック・メモリのどの内部バンクに適用されるかを定義します。また、バンク・アドレスnは、読み込みモード・レジスタ・コマンドの間にどのモード・レジスタ (MR、EMR、EMR2、EMR3) を読み込むかも定義します。 |
| DMC_CAS | Output | 列アドレス・ストロープ。 外部ダイナミック・メモリが他のDMCコマンド信号と共に実行する動作を定義します。ダイナミック・メモリのCAS入力に接続します。 |
| DMC_CK | Output | クロック。 DCLKを外部ダイナミック・メモリに出力します。 |
| DMC_CK | Output | クロック (相補)。 DMC_CKの相補クロックです。 |
| DMC_CKE | Output | クロック・イネーブル。 アクティブ・ハイのクロックがイネーブルされます。ダイナミック・メモリのCKE入力に接続します。 |
| DMC_CS[n] | Output | チップ・セレクトn. コマンドがメモリに認識されるのは、この信号がアサートされた場合のみです。 |
| DMC_DQ[nn] | InOut | データn. 双方向のデータ・バスです。 |
| DMC_LDM | Output | 下位バイト用データ・マスク。 ハイに駆動されるとDMC_DQ07:DMC_DQ00の書き込みデータをマスクします。データ・ストロープの両エッジでダイナミック・メモリによってサンプリングされます。 |
| DMC_LDQS | InOut | 下位バイト用データ・ストロープ。 DMC_DQ07:DMC_DQ00のデータ・ストロープです。書き込みデータで出力します。読み出しデータで入力します。レジスタ設定に応じて、シングルエンドまたは差動にすることができます。 |
| DMC_LDQS | InOut | 下位バイト用データ・ストロープ (相補)。 DMC_LDQSを相補します。シングルエンド・モードでは使用されません。 |
| DMC_ODT | Output | ダイ上終端。 ハイに駆動されるとダイナミック・メモリの終端抵抗をイネーブルします (メモリが正しく設定されていることが前提)。ODTは、読み出しコマンドか書き込みコマンドに関わらず、イネーブルまたはディスエーブルできます。 |
| DMC_RAS | Output | 行アドレス・ストロープ。 外部ダイナミック・メモリが他のDMCコマンド信号と共に実行する動作を定義します。ダイナミック・メモリのRAS入力に接続します。 |
| DMC_RESET | Output | リセット。 |
| DMC_RZQ | InOut | 外部キャリブレーション抵抗接続。 |
| DMC_UDM | Output | 上位バイト用データ・マスク。 ハイに駆動されるとDMC_DQ15:DMC_DQ08の書き込みデータをマスクします。データ・ストロープの両エッジでダイナミック・メモリによってサンプリングされます。 |
| DMC_UDQS | InOut | 上位バイト用データ・ストロープ。 DMC_DQ15:DMC_DQ08のデータ・ストロープです。書き込みデータで出力します。読み出しデータで入力します。レジスタ設定に応じて、シングルエンドまたは差動にすることができます。 |
| DMC_UDQS | InOut | 上位バイト用データ・ストロープ (相補)。 DMC_UDQSを相補します。シングルエンド・モードでは使用されません。 |
| DMC_VREF[n] | Input | 電圧リファレンス。 VDD_DMC電圧の midpoint に接続します。 |

表 9. ADSP-2159x/ADSP-SC592/SC594の信号の詳細な説明

| 信号名 | 方向 | 説明 |
|--------------------|--------|---|
| DMC_WE | Output | 書き込みイネーブル 。外部ダイナミック・メモリが他のDMCコマンド信号と共に実行する動作を定義します。ダイナミック・メモリのWE入力に接続します。 |
| ETH_COL | Input | MIIコリジョン検出 。MIIでのみ有効なコリジョン検出入力信号です。 |
| ETH_CRS | Input | EMAC0 : MIIキャリア検出 。送信媒体または受信媒体がアイドル状態でない場合にPHYによってアサートされます。どちらもアイドル状態になるとデアサートされます。この信号は、RMII/RGMIIモードでは使用されません。 EMAC1 : RMIIキャリア検出 (CRS) および受信データ有効 (RXDV) 。1つおきのクロック・サイクルでマルチプレクスされます。 CRS - 送信媒体または受信媒体がアイドル状態でない場合にPHYによってアサートされます。どちらもアイドル状態になるとデアサートされます。 RXDV - RXDnのデータが有効な場合にPHYによってアサートされます。 |
| ETH_MDC | Output | 管理チャンネル・クロック 。RMII/RGMIIのPHYのMDC入力をクロックします。 |
| ETH_MDIO | InOut | 管理チャンネル・シリアル・データ 。RMII/RGMIIのPHY制御用の双方向データ・バスです。 |
| ETH_PTPAUXIN[n] | Input | PTP補助トリガ入力 。時間の補助スナッチショットを取りそれを補助タイム・スタンプFIFOに保存する場合にこの信号をアサートします。 |
| ETH_PTPCLKIN[n] | Input | PTPクロック入力 。オプションの外部PTPクロック入力です。 |
| ETH_PTPPPS[n] | Output | PTPのPPS (Pulse-Per-Second) 出力 。高度なタイム・スタンプ機能をイネーブルする場合、選択したPPSモードに基づきこの信号がアサートされます。それ以外の場合、この信号は秒カウンタがインクリメントするごとにアサートされます。 |
| ETH_REFCLK | Input | リファレンス・クロック 。外部から供給されるイーサネット・クロックです。 |
| ETH_RXCLK_REFCLK | Input | RXCLK (10/100/1000) またはREFCLK (10/100)。 |
| ETH_RXCTL_CRSRX_DV | InOut | RXCTL (10/100/1000) またはCRSRX_DV (10/100) 。RGMIIモードの場合、RXCTLは受信データ有効と受信エラーをマルチプレクスします。RMIIモードの場合、CRSRX_DVは、交互のクロック・サイクルでマルチプレクスされる、キャリア・センスおよび受信データ有効 (CRS_DV) です。MIIモードの場合、CRSRX_DVは受信データ有効 (RX_DV) で、ETH_RXD[n]のデータが有効な場合にPHYによってアサートされます。 |
| ETH_RXD[n] | Input | 受信データn 。受信データ・バスです。 |
| ETH_RXERR | Input | 受信エラー 。 |
| ETH_TXCLK | Input | リファレンス・クロック 。外部から供給されるイーサネット・クロックです。 |
| ETH_TXCTL_TXEN | Output | TXCTL (10/100/1000) またはTXEN (10/100)。 |
| ETH_TXD[n] | Output | 送信データn 。送信データ・バスです。 |
| ETH_TXEN | Output | 送信イネーブル 。アサートされた場合、この信号はETH_TXD[n]のデータが有効であることを示します。 |
| HADC_EOC_DOUT | Output | 変換終了/シリアル・データ出力 。各変換の終了時にHADC内部クロックの1サイクルの間、ハイに移移します。あるいは、HADC_CTLの該当するビットをセットすることでHADCシリアル・データを出力することもできます。 |
| HADC_MUX[n] | Output | 外部マルチプレクサの制御 。外部マルチプレクサに接続すると入力チャンネルを追加できます。 |
| HADC_VIN[n] | Input | チャンネルnのアナログ入力 。デジタル変換用のアナログ電圧入力です。 |
| HADC_VREFN | Input | ADC用グラウンド・リファレンス 。データシートの仕様に適合する外部電圧リファレンスに接続します。 |
| HADC_VREFP | Input | ADC用外部リファレンス 。データシートの仕様に適合する外部電圧リファレンスに接続します。 |
| JTG_TCK | Input | JTAGクロック 。JTAGテスト・アクセス・ポートのクロックです。 |
| JTG_TDI | Input | JTAGシリアル・データ入力 。JTAGテスト・アクセス・ポートのデータ入力です。 |
| JTG_TDO | Output | JTAGシリアル・データ出力 。JTAGテスト・アクセス・ポートのデータ出力です。 |
| JTG_TMS | Input | JTAGモードの選択 。JTAGテスト・アクセス・ポート・モードを選択します。 |
| JTG_TRST | Input | JTAGリセット 。JTAGテスト・アクセス・ポートをリセットします。 |
| LP_ACK | InOut | アクノレッジ 。ハンドシェイクを行います。リンク・ポートがレシーバーに設定されている場合、ACKは出力となります。リンク・ポートがトランスミッタに設定されている場合、ACKは入力となります。 |
| LP_CLK | InOut | クロック 。リンク・ポートがレシーバーに設定されている場合、CLKは入力となります。リンク・ポートがトランスミッタに設定されている場合、CLKは出力となります。 |
| LP_D[n] | InOut | データnデータ・バス 。受信時には入力、送信時には出力となります。 |
| MLB_CLK | Input | シングルエンド・クロック 。 |

表 9. ADSP-2159x/ADSP-SC592/SC594の信号の詳細な説明

| 信号名 | 方向 | 説明 |
|----------------------------------|--------|--|
| MLB_CLKN | Input | 差動クロック (-)。 |
| MLB_CLKOUT | Output | シングルエンド・クロック出力。 |
| MLB_CLKP | Input | 差動クロック (+)。 |
| MLB_DAT | InOut | シングルエンド・データ。 |
| MLB_DATN | InOut | 差動データ (-)。 |
| MLB_DATP | InOut | 差動データ (+)。 |
| MLB_SIG | InOut | シングルエンド信号。 |
| MLB_SIGN | InOut | 差動信号 (-)。 |
| MLB_SIGP | InOut | 差動信号 (+)。 |
| OSPI_CLK | Output | クロック出力。SPIクロック出力です。 |
| OSPI_D2 | InOut | データ2。シリアル・データをクワッドおよびオクタル・モードで転送します。 |
| OSPI_D3 | InOut | データ3。シリアル・データをクワッドおよびオクタル・モードで転送します。 |
| OSPI_D4 | InOut | データ4。シリアル・データをオクタル・モードで転送します。 |
| OSPI_D5 | InOut | データ5。シリアル・データをオクタル・モードで転送します。 |
| OSPI_D6 | InOut | データ6。シリアル・データをオクタル・モードで転送します。 |
| OSPI_D7 | InOut | データ7。シリアル・データをオクタル・モードで転送します。 |
| OSPI_DQS | Input | データ・ストロブ。外部フラッシュ・デバイスからのデータ・ストロブ入力です。 |
| OSPI_MISO | InOut | マスタ・イン、スレーブ・アウト。シリアル・データを転送します。SPI_MOSIと同じ方向でデュアル、クワッド、オクタル・モードで動作します。 |
| OSPI_MOSI | InOut | マスタ・アウト、スレーブ・イン。シリアル・データを転送します。SPI_MISOと同じ方向でデュアル、クワッド、オクタル・モードで動作します。 |
| $\overline{\text{OSPI_SEL}}[n]$ | Output | スレーブ・セレクト出力n。マスタ・モードで使用し、目的のスレーブをイネーブルします。 |
| PPI_CLK | InOut | クロック。外部クロック・モードでは入力、内部クロック・モードでは出力です。 |
| PPI_D[nn] | InOut | データn。双方向のデータ・パスです。 |
| PPI_FS1 | InOut | フレーム同期1 (HSYNC)。動作はEPPIモードによって異なります。詳細についてはADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのEPPIの章を参照してください。 |
| PPI_FS2 | InOut | フレーム同期2 (VSYNC)。動作はEPPIモードによって異なります。詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのEPPIの章を参照してください。 |
| PPI_FS3 | InOut | フレーム同期3 (FIELD)。動作はEPPIモードによって異なります。詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのEPPIの章を参照してください。 |
| P_[nn] | InOut | ポジションn。汎用入出力です。詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのGPポートの章を参照してください。 |
| SPI_CLK | InOut | クロック。入力はスレーブ・モード、出力はマスタ・モードで行われます。 |
| SPI_D2 | InOut | データ2。シリアル・データをクワッド・モードで転送します。ODMモードが有効化されている場合オープンドレインです。 |
| SPI_D3 | InOut | データ3。シリアル・データをクワッド・モードで転送します。ODMモードが有効化されている場合、オープンドレインです。 |
| SPI_MISO | InOut | マスタ・イン、スレーブ・アウト。シリアル・データを転送します。SPI_MOSIと同じ方向でデュアル・モードとクワッド・モードで動作します。ODMモードが有効化されている場合、オープンドレインです。 |
| SPI_MOSI | InOut | マスタ・アウト、スレーブ・イン。シリアル・データを転送します。SPI_MISOと同じ方向でデュアル・モードとクワッド・モードで動作します。ODMモードが有効化されている場合、オープンドレインです。 |
| SPI_RDY | InOut | レディ。オプションのフロー信号です。出力はスレーブ・モード、入力はマスタ・モードで行われます。 |
| $\overline{\text{SPI_SEL}}[n]$ | Output | スレーブ・セレクト出力n。マスタ・モードで使用し、目的のスレーブをイネーブルします。 |
| $\overline{\text{SPI_SS}}$ | Input | スレーブ・セレクト入力。 スレーブ・モード - スレーブ・セレクト入力として機能します。 マスタ・モード - マスタが複数ある場合は、オプションでSPIのエラー検出入力として機能することもできます。 |
| SPT_ACLK | InOut | チャンネルAのクロック。データとフレーム同期は、このクロックを基準に駆動またはサンプリングされません。この信号は、内部または外部のどちらからでも生成できます。 |
| SPT_AD0 | InOut | チャンネルAのデータ0。一次双方向データI/Oです。この信号は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。 |

表 9. ADSP-2159x/ADSP-SC592/SC594の信号の詳細な説明

| 信号名 | 方向 | 説明 |
|--------------|--------|--|
| SPT_AD1 | InOut | チャンネルAのデータ1 。二次双方向データI/Oです。この信号は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。 |
| SPT_AFS | InOut | チャンネルAのフレーム同期 。フレーム同期パルスによってシリアル・データのシフトが始まります。この信号は内部または外部のどちらからも生成できます。 |
| SPT_ATDV | Output | チャンネルAの送信データ有効 。この信号はオプションであり、アクティブになるのは、SPORTが複数チャンネル送信モードに設定されている場合のみです。スロットがイネーブルされている間にアサートされます。 |
| SPT_BCLK | InOut | チャンネルBのクロック 。データとフレーム同期は、このクロックを基準に駆動またはサンプリングされます。この信号は、内部または外部のどちらからでも生成できます。 |
| SPT_BD0 | InOut | チャンネルBのデータ0 。一次双方向データI/Oです。この信号は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。 |
| SPT_BD1 | InOut | チャンネルBのデータ1 。二次双方向データI/Oです。この信号は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。 |
| SPT_BFS | InOut | チャンネルBのフレーム同期 。フレーム同期パルスによってシリアル・データのシフトが始まります。この信号は内部または外部のどちらからも生成できます。 |
| SPT_BTDV | Output | チャンネルBの送信データ有効 。この信号はオプションであり、アクティブになるのは、SPORTが複数チャンネル送信モードに設定されている場合のみです。スロットがイネーブルされている間にアサートされます。 |
| SYS_BMODE[n] | Input | ブート・モード制御n 。プロセッサのブート・モードを選択します。 |
| SYS_CLKIN0 | Input | クロック/水晶発振器入力 。 |
| SYS_CLKIN1 | Input | クロック/水晶発振器入力 。 |
| SYS_CLKOUT | Output | プロセッサ・クロック出力 。内部クロックを出力します。クロックは分周できます。詳細についてはADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのCGUの章を参照してください。 |
| SYS_FAULT | InOut | アクティブ・ハイのフォルト出力 。動作モードに応じて、内部フォルトを示すか、外部フォルトを検出します。 |
| SYS_FAULT | InOut | アクティブローのフォルト出力 。動作モードに応じて、内部フォルトを示すか、外部フォルトを検出します。 |
| SYS_HWRST | Input | プロセッサ・ハードウェア・リセット制御 。アサートされるとデバイスをリセットします。 |
| SYS_RESOUT | Output | リセット出力 。デバイスがリセット状態であることを示します。 |
| SYS_XTAL0 | Output | 水晶発振器出力 。 |
| SYS_XTAL1 | Output | 水晶発振器出力 。 |
| TM_AC[n] | Input | 交互キャプチャ入力n 。WIDCAPモード、WATCHDOGモード、PININTモードに入力を追加します。 |
| TM_ACLK[n] | Input | 交互クロックn 。各タイマーに時間ベースを追加します。 |
| TM_CLK | Input | クロック 。すべてのGPタイマーにグローバル時間ベースを追加します。 |
| TM_TMR[n] | InOut | タイマーn 。各タイマーのメイン入出力信号です。 |
| TRACE_CLK | Output | トレース・クロック 。クロック出力です。 |
| TRACE_D[nn] | Output | トレース・データn 。一方向のデータ・バスです。 |
| TWI_SCL | InOut | シリアル・クロック 。コントローラ時はクロック出力、ターゲット時はクロック入力です。 |
| TWI_SDA | InOut | シリアル・データ 。データを受信または送信します。 |
| UART_CTS | Input | 送信可 。フロー制御信号です。 |
| UART_RTS | Output | 送信要求 。フロー制御信号です。 |
| UART_RX | Input | 受信 。入力を受信します。通常、通信先のデバイスの電氣的条件に合うトランシーバーに接続します。 |
| UART_TX | Output | 送信 。出力を送信します。通常、通信先のデバイスの電氣的条件に合うトランシーバーに接続します。 |
| USBC_CLK | Input | USBCクロック 。 |
| USBC_DATA[n] | InOut | USBCデータ 。 |
| USBC_DIR | Input | USBCデータ・バス制御 。データ・バスの方向を制御します。 |
| USBC_NXT | Input | USBC次データ制御 。 |
| USBC_STOP | Output | USBC停止出力制御 。 |

400ボール高ペリフェラル・カウント (HPC) BGAの信号の説明

400ボールHPC BGAパッケージの場合のプロセッサのピン定義を表10に示します。HPC BGAパッケージは、ADSP-2156xオーディオ・プロセッサにはない複雑なペリフェラルへの接続を可能にします。そのため、HPC BGAパッケージはどのADSP-2156xプロセッサともピン互換ではありません。

表の各列には、次の情報を記載しています。

- **Signal Name** (信号名) の列は、各ピンの信号名とGPIOマルチプレクス・ピンの機能 (該当の場合) を示します。
- **Description** (説明) の列は、各信号の説明的な名前を示します。

- **Port** (ポート) の列は、信号がGPIOポート・ピンの他の信号とマルチプレクスされるかどうかを示します。
- **Pin Name** (ピン名) の列は、信号が配置されるパッケージ・ピン (単一機能ピンの場合) または信号がマルチプレクスされるパッケージ・ピン (GPIOピンの場合) の (パワーオン・リセット時の) 名前を示します。
- **DAIピンとそれに関連する信号ルーティング・ユニット** (SRU) は、DAIペリフェラル (SPORT、ASRC、S/PDIF、PCG) の入力および出力を接続します。DAIおよびSRUの使用に関する詳細は、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのデジタル・オーディオ・インターフェース (DAI) の章を参照してください。

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明

| Signal Name | Description | Port | Pin Name |
|-------------|----------------------------|------|----------|
| C1_FLG00 | SHARC+ Core 1 FLAGS I/O 0 | A | PA_12 |
| C1_FLG01 | SHARC+ Core 1 FLAGS I/O 1 | H | PH_02 |
| C1_FLG02 | SHARC+ Core 1 FLAGS I/O 2 | B | PB_03 |
| C1_FLG03 | SHARC+ Core 1 FLAGS I/O 3 | B | PB_02 |
| C1_FLG04 | SHARC+ Core 1 FLAGS I/O 4 | I | PI_03 |
| C1_FLG05 | SHARC+ Core 1 FLAGS I/O 5 | I | PI_04 |
| C1_FLG06 | SHARC+ Core 1 FLAGS I/O 6 | F | PF_02 |
| C1_FLG07 | SHARC+ Core 1 FLAGS I/O 7 | F | PF_01 |
| C1_FLG08 | SHARC+ Core 1 FLAGS I/O 8 | E | PE_12 |
| C1_FLG09 | SHARC+ Core 1 FLAGS I/O 9 | F | PF_09 |
| C1_FLG10 | SHARC+ Core 1 FLAGS I/O 10 | F | PF_03 |
| C1_FLG11 | SHARC+ Core 1 FLAGS I/O 11 | D | PD_03 |
| C1_FLG12 | SHARC+ Core 1 FLAGS I/O 12 | F | PF_13 |
| C1_FLG13 | SHARC+ Core 1 FLAGS I/O 13 | F | PF_12 |
| C1_FLG14 | SHARC+ Core 1 FLAGS I/O 14 | G | PG_09 |
| C1_FLG15 | SHARC+ Core 1 FLAGS I/O 15 | I | PI_05 |
| C2_FLG00 | SHARC+ Core 2 FLAGS I/O 0 | I | PI_01 |
| C2_FLG01 | SHARC+ Core 2 FLAGS I/O 1 | I | PI_02 |
| C2_FLG02 | SHARC+ Core 2 FLAGS I/O 2 | F | PF_06 |
| C2_FLG03 | SHARC+ Core 2 FLAGS I/O 3 | F | PF_07 |
| C2_FLG04 | SHARC+ Core 2 FLAGS I/O 4 | F | PF_10 |
| C2_FLG05 | SHARC+ Core 2 FLAGS I/O 5 | F | PF_11 |
| C2_FLG06 | SHARC+ Core 2 FLAGS I/O 6 | G | PG_13 |
| C2_FLG07 | SHARC+ Core 2 FLAGS I/O 7 | E | PE_11 |
| C2_FLG08 | SHARC+ Core 2 FLAGS I/O 8 | F | PF_08 |
| C2_FLG09 | SHARC+ Core 2 FLAGS I/O 9 | D | PD_14 |
| C2_FLG10 | SHARC+ Core 2 FLAGS I/O 10 | D | PD_02 |
| C2_FLG11 | SHARC+ Core 2 FLAGS I/O 11 | G | PG_12 |
| C2_FLG12 | SHARC+ Core 2 FLAGS I/O 12 | F | PF_14 |
| C2_FLG13 | SHARC+ Core 2 FLAGS I/O 13 | E | PE_13 |
| C2_FLG14 | SHARC+ Core 2 FLAGS I/O 14 | G | PG_10 |
| C2_FLG15 | SHARC+ Core 2 FLAGS I/O 15 | G | PG_11 |
| CANFD0_RX | CANFD0 Receive | F | PF_15 |
| CANFD0_TX | CANFD0 Transmit | G | PG_00 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|-------------|-----------------------------|-----------|------------|
| CANFD1_RX | CANFD1 Receive | G | PG_01 |
| CANFD1_TX | CANFD1 Transmit | G | PG_02 |
| CNT0_DG | CNT0 Count Down and Gate | B | PB_05 |
| CNT0_UD | CNT0 Count Up and Direction | B | PB_03 |
| CNT0_ZM | CNT0 Count Zero Marker | B | PB_04 |
| DAIO_PIN01 | DAIO Pin 1 | Not Muxed | DAIO_PIN01 |
| DAIO_PIN02 | DAIO Pin 2 | Not Muxed | DAIO_PIN02 |
| DAIO_PIN03 | DAIO Pin 3 | Not Muxed | DAIO_PIN03 |
| DAIO_PIN04 | DAIO Pin 4 | Not Muxed | DAIO_PIN04 |
| DAIO_PIN05 | DAIO Pin 5 | Not Muxed | DAIO_PIN05 |
| DAIO_PIN06 | DAIO Pin 6 | Not Muxed | DAIO_PIN06 |
| DAIO_PIN07 | DAIO Pin 7 | Not Muxed | DAIO_PIN07 |
| DAIO_PIN08 | DAIO Pin 8 | Not Muxed | DAIO_PIN08 |
| DAIO_PIN09 | DAIO Pin 9 | Not Muxed | DAIO_PIN09 |
| DAIO_PIN10 | DAIO Pin 10 | Not Muxed | DAIO_PIN10 |
| DAIO_PIN11 | DAIO Pin 11 | Not Muxed | DAIO_PIN11 |
| DAIO_PIN12 | DAIO Pin 12 | Not Muxed | DAIO_PIN12 |
| DAIO_PIN13 | DAIO Pin 13 | Not Muxed | DAIO_PIN13 |
| DAIO_PIN14 | DAIO Pin 14 | Not Muxed | DAIO_PIN14 |
| DAIO_PIN15 | DAIO Pin 15 | Not Muxed | DAIO_PIN15 |
| DAIO_PIN16 | DAIO Pin 16 | Not Muxed | DAIO_PIN16 |
| DAIO_PIN17 | DAIO Pin 17 | Not Muxed | DAIO_PIN17 |
| DAIO_PIN18 | DAIO Pin 18 | Not Muxed | DAIO_PIN18 |
| DAIO_PIN19 | DAIO Pin 19 | Not Muxed | DAIO_PIN19 |
| DAIO_PIN20 | DAIO Pin 20 | Not Muxed | DAIO_PIN20 |
| DAI1_PIN01 | DAI1 Pin 1 | Not Muxed | DAI1_PIN01 |
| DAI1_PIN02 | DAI1 Pin 2 | Not Muxed | DAI1_PIN02 |
| DAI1_PIN03 | DAI1 Pin 3 | Not Muxed | DAI1_PIN03 |
| DAI1_PIN04 | DAI1 Pin 4 | Not Muxed | DAI1_PIN04 |
| DAI1_PIN05 | DAI1 Pin 5 | Not Muxed | DAI1_PIN05 |
| DAI1_PIN06 | DAI1 Pin 6 | Not Muxed | DAI1_PIN06 |
| DAI1_PIN07 | DAI1 Pin 7 | Not Muxed | DAI1_PIN07 |
| DAI1_PIN08 | DAI1 Pin 8 | Not Muxed | DAI1_PIN08 |
| DAI1_PIN09 | DAI1 Pin 9 | Not Muxed | DAI1_PIN09 |
| DAI1_PIN10 | DAI1 Pin 10 | Not Muxed | DAI1_PIN10 |
| DAI1_PIN11 | DAI1 Pin 11 | Not Muxed | DAI1_PIN11 |
| DAI1_PIN12 | DAI1 Pin 12 | Not Muxed | DAI1_PIN12 |
| DAI1_PIN13 | DAI1 Pin 13 | Not Muxed | DAI1_PIN13 |
| DAI1_PIN14 | DAI1 Pin 14 | Not Muxed | DAI1_PIN14 |
| DAI1_PIN15 | DAI1 Pin 15 | Not Muxed | DAI1_PIN15 |
| DAI1_PIN16 | DAI1 Pin 16 | Not Muxed | DAI1_PIN16 |
| DAI1_PIN17 | DAI1 Pin 17 | Not Muxed | DAI1_PIN17 |
| DAI1_PIN18 | DAI1 Pin 18 | Not Muxed | DAI1_PIN18 |
| DAI1_PIN19 | DAI1 Pin 19 | Not Muxed | DAI1_PIN19 |
| DAI1_PIN20 | DAI1 Pin 20 | Not Muxed | DAI1_PIN20 |
| DMC0_A00 | DMC0 Address 0 | Not Muxed | DMC0_A00 |
| DMC0_A01 | DMC0 Address 1 | Not Muxed | DMC0_A01 |
| DMC0_A02 | DMC0 Address 2 | Not Muxed | DMC0_A02 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|---------------------------------|---|-----------|---------------------------------|
| DMC0_A03 | DMC0 Address 3 | Not Muxed | DMC0_A03 |
| DMC0_A04 | DMC0 Address 4 | Not Muxed | DMC0_A04 |
| DMC0_A05 | DMC0 Address 5 | Not Muxed | DMC0_A05 |
| DMC0_A06 | DMC0 Address 6 | Not Muxed | DMC0_A06 |
| DMC0_A07 | DMC0 Address 7 | Not Muxed | DMC0_A07 |
| DMC0_A08 | DMC0 Address 8 | Not Muxed | DMC0_A08 |
| DMC0_A09 | DMC0 Address 9 | Not Muxed | DMC0_A09 |
| DMC0_A10 | DMC0 Address 10 | Not Muxed | DMC0_A10 |
| DMC0_A11 | DMC0 Address 11 | Not Muxed | DMC0_A11 |
| DMC0_A12 | DMC0 Address 12 | Not Muxed | DMC0_A12 |
| DMC0_A13 | DMC0 Address 13 | Not Muxed | DMC0_A13 |
| DMC0_A14 | DMC0 Address 14 | Not Muxed | DMC0_A14 |
| DMC0_A15 | DMC0 Address 15 | Not Muxed | DMC0_A15 |
| DMC0_BA0 | DMC0 Bank Address Input 0 | Not Muxed | DMC0_BA0 |
| DMC0_BA1 | DMC0 Bank Address Input 1 | Not Muxed | DMC0_BA1 |
| DMC0_BA2 | DMC0 Bank Address Input 2 | Not Muxed | DMC0_BA2 |
| $\overline{\text{DMC0_CAS}}$ | DMC0 Column Address Strobe | Not Muxed | $\overline{\text{DMC0_CAS}}$ |
| DMC0_CK | DMC0 Clock | Not Muxed | DMC0_CK |
| $\overline{\text{DMC0_CK}}$ | DMC0 Clock (Complement) | Not Muxed | $\overline{\text{DMC0_CK}}$ |
| DMC0_CKE | DMC0 Clock Enable | Not Muxed | DMC0_CKE |
| $\overline{\text{DMC0_CS0}}$ | DMC0 Chip Select 0 | Not Muxed | $\overline{\text{DMC0_CS0}}$ |
| DMC0_DQ00 | DMC0 Data 0 | Not Muxed | DMC0_DQ00 |
| DMC0_DQ01 | DMC0 Data 1 | Not Muxed | DMC0_DQ01 |
| DMC0_DQ02 | DMC0 Data 2 | Not Muxed | DMC0_DQ02 |
| DMC0_DQ03 | DMC0 Data 3 | Not Muxed | DMC0_DQ03 |
| DMC0_DQ04 | DMC0 Data 4 | Not Muxed | DMC0_DQ04 |
| DMC0_DQ05 | DMC0 Data 5 | Not Muxed | DMC0_DQ05 |
| DMC0_DQ06 | DMC0 Data 6 | Not Muxed | DMC0_DQ06 |
| DMC0_DQ07 | DMC0 Data 7 | Not Muxed | DMC0_DQ07 |
| DMC0_DQ08 | DMC0 Data 8 | Not Muxed | DMC0_DQ08 |
| DMC0_DQ09 | DMC0 Data 9 | Not Muxed | DMC0_DQ09 |
| DMC0_DQ10 | DMC0 Data 10 | Not Muxed | DMC0_DQ10 |
| DMC0_DQ11 | DMC0 Data 11 | Not Muxed | DMC0_DQ11 |
| DMC0_DQ12 | DMC0 Data 12 | Not Muxed | DMC0_DQ12 |
| DMC0_DQ13 | DMC0 Data 13 | Not Muxed | DMC0_DQ13 |
| DMC0_DQ14 | DMC0 Data 14 | Not Muxed | DMC0_DQ14 |
| DMC0_DQ15 | DMC0 Data 15 | Not Muxed | DMC0_DQ15 |
| DMC0_LDM | DMC0 Data Mask for Lower Byte | Not Muxed | DMC0_LDM |
| DMC0_LDQS | DMC0 Data Strobe for Lower Byte | Not Muxed | DMC0_LDQS |
| $\overline{\text{DMC0_LDQS}}$ | DMC0 Data Strobe for Lower Byte (Complement) | Not Muxed | $\overline{\text{DMC0_LDQS}}$ |
| DMC0_ODT | DMC0 On-Die Termination | Not Muxed | DMC0_ODT |
| $\overline{\text{DMC0_RAS}}$ | DMC0 Row Address Strobe | Not Muxed | $\overline{\text{DMC0_RAS}}$ |
| $\overline{\text{DMC0_RESET}}$ | DMC0 Reset | Not Muxed | $\overline{\text{DMC0_RESET}}$ |
| DMC0_RZQ | DMC0 External Calibration Resistor Connection | Not Muxed | DMC0_RZQ |
| DMC0_UDM | DMC0 Data Mask for Upper Byte | Not Muxed | DMC0_UDM |
| DMC0_UDQS | DMC0 Data Strobe for Upper Byte | Not Muxed | DMC0_UDQS |
| $\overline{\text{DMC0_UDQS}}$ | DMC0 Data Strobe for Upper Byte (Complement) | Not Muxed | $\overline{\text{DMC0_UDQS}}$ |
| DMC0_VREF0 | DMC0 Voltage Reference | Not Muxed | DMC0_VREF0 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|---------------------|---|-----------|------------|
| DMC0_WE | DMC0 Write Enable | Not Muxed | DMC0_WE |
| ETH0_COL | EMAC0 MII Collision Detect | D | PD_07 |
| ETH0_CRS | EMAC0 MII Carrier Sense | D | PD_02 |
| ETH0_MDC | EMAC0 Serial Management Clock | H | PH_03 |
| ETH0_MDIO | EMAC0 Serial Management Bidirectional Data | H | PH_04 |
| ETH0_PTPAUXIN0 | EMAC0 PTP Auxiliary Trigger Input 0 | I | PI_02 |
| ETH0_PTPAUXIN1 | EMAC0 PTP Auxiliary Trigger Input 1 | D | PD_05 |
| ETH0_PTPAUXIN2 | EMAC0 PTP Auxiliary Trigger Input 2 | D | PD_03 |
| ETH0_PTPAUXIN3 | EMAC0 PTP Auxiliary Trigger Input 3 | E | PE_09 |
| ETH0_PTPCLKIN0 | EMAC0 PTP Clock Input 0 | I | PI_01 |
| ETH0_PTPPPS0 | EMAC0 Pulse Per Second Output 0 | I | PI_04 |
| ETH0_PTPPPS1 | EMAC0 Pulse Per Second Output 1 | I | PI_03 |
| ETH0_PTPPPS2 | EMAC0 Pulse Per Second Output 2 | I | PI_05 |
| ETH0_PTPPPS3 | EMAC0 Pulse Per Second Output 3 | I | PI_06 |
| ETH0_RXCLK_REFCLK | EMAC0 RXCLK (10/100/1000) or REFCLK (10/100) | H | PH_07 |
| ETH0_RXCTL_CRSRX_DV | EMAC0 RXCTL (RGMII) or CRS_DV (GMII) or RX_DV (MII) | H | PH_08 |
| ETH0_RXD0 | EMAC0 Receive Data 0 | H | PH_05 |
| ETH0_RXD1 | EMAC0 Receive Data 1 | H | PH_06 |
| ETH0_RXD2 | EMAC0 Receive Data 2 | H | PH_11 |
| ETH0_RXD3 | EMAC0 Receive Data 3 | H | PH_12 |
| ETH0_RXERR | EMAC0 Receive Error | D | PD_06 |
| ETH0_TXCLK | EMAC0 Transmit Clock | H | PH_14 |
| ETH0_TXCTL_TXEN | EMAC0 TXCTL (10/100/1000) or TXEN (10/100) | H | PH_13 |
| ETH0_TXD0 | EMAC0 Transmit Data 0 | H | PH_09 |
| ETH0_TXD1 | EMAC0 Transmit Data 1 | H | PH_10 |
| ETH0_TXD2 | EMAC0 Transmit Data 2 | H | PH_15 |
| ETH0_TXD3 | EMAC0 Transmit Data 3 | I | PI_00 |
| ETH1_CRS | EMAC1 Carrier Sense | F | PF_03 |
| ETH1_MDC | EMAC1 Serial Management Clock | F | PF_02 |
| ETH1_MDIO | EMAC1 Serial Management Bidirectional Data | F | PF_01 |
| ETH1_REFCLK | EMAC1 Reference Clock | E | PE_11 |
| ETH1_RXD0 | EMAC1 Receive Data 0 | E | PE_15 |
| ETH1_RXD1 | EMAC1 Receive Data 1 | F | PF_00 |
| ETH1_TXD0 | EMAC1 Transmit Data 0 | E | PE_13 |
| ETH1_TXD1 | EMAC1 Transmit Data 1 | E | PE_14 |
| ETH1_TXEN | EMAC1 Transmit Enable | E | PE_12 |
| HADC0_EOC_DOUT | HADC0 End of Conversion | A | PA_11 |
| HADC0_MUX0 | HADC0 MUX0 | E | PE_02 |
| HADC0_MUX1 | HADC0 MUX1 | E | PE_04 |
| HADC0_MUX2 | HADC0 MUX2 | E | PE_03 |
| HADC0_VIN0 | HADC0 Analog Input at Channel 0 | Not Muxed | HADC0_VIN0 |
| HADC0_VIN1 | HADC0 Analog Input at Channel 1 | Not Muxed | HADC0_VIN1 |
| HADC0_VIN2 | HADC0 Analog Input at Channel 2 | Not Muxed | HADC0_VIN2 |
| HADC0_VIN3 | HADC0 Analog Input at Channel 3 | Not Muxed | HADC0_VIN3 |
| HADC0_VIN4 | HADC0 Analog Input at Channel 4 | Not Muxed | HADC0_VIN4 |
| HADC0_VIN5 | HADC0 Analog Input at Channel 5 | Not Muxed | HADC0_VIN5 |
| HADC0_VIN6 | HADC0 Analog Input at Channel 6 | Not Muxed | HADC0_VIN6 |
| HADC0_VIN7 | HADC0 Analog Input at Channel 7 | Not Muxed | HADC0_VIN7 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明（続き）

| Signal Name | Description | Port | Pin Name |
|-------------|-----------------------------------|-----------|-------------|
| HADC0_VREFN | HADC0 Ground Reference for ADC | Not Muxed | HADC0_VREFN |
| HADC0_VREFP | HADC0 External Reference for ADC | Not Muxed | HADC0_VREFP |
| JTG_TCK | JTAG Clock | Not Muxed | JTG_TCK |
| JTG_TDI | JTAG Serial Data In | Not Muxed | JTG_TDI |
| JTG_TDO | JTAG Serial Data Out | Not Muxed | JTG_TDO |
| JTG_TMS | JTAG Mode Select | Not Muxed | JTG_TMS |
| JTG_TRST | JTAG Reset | Not Muxed | JTG_TRST |
| LP0_ACK | LP0 Acknowledge | B | PB_04 |
| LP0_CLK | LP0 Clock | B | PB_06 |
| LP0_D0 | LP0 Data 0 | B | PB_07 |
| LP0_D1 | LP0 Data 1 | B | PB_08 |
| LP0_D2 | LP0 Data 2 | B | PB_09 |
| LP0_D3 | LP0 Data 3 | B | PB_10 |
| LP0_D4 | LP0 Data 4 | B | PB_11 |
| LP0_D5 | LP0 Data 5 | B | PB_12 |
| LP0_D6 | LP0 Data 6 | B | PB_13 |
| LP0_D7 | LP0 Data 7 | B | PB_14 |
| LP1_ACK | LP1 Acknowledge | B | PB_02 |
| LP1_CLK | LP1 Clock | C | PC_07 |
| LP1_D0 | LP1 Data 0 | B | PB_15 |
| LP1_D1 | LP1 Data 1 | C | PC_00 |
| LP1_D2 | LP1 Data 2 | C | PC_01 |
| LP1_D3 | LP1 Data 3 | C | PC_02 |
| LP1_D4 | LP1 Data 4 | C | PC_03 |
| LP1_D5 | LP1 Data 5 | C | PC_04 |
| LP1_D6 | LP1 Data 6 | C | PC_05 |
| LP1_D7 | LP1 Data 7 | C | PC_06 |
| MLB0_CLK | MLB0 Single-Ended Clock | B | PB_02 |
| MLB0_CLKN | MLB0 Differential Clock (-) | Not Muxed | MLB0_CLKN |
| MLB0_CLKOUT | MLB0 Clock Single-Ended Clock Out | F | PF_05 |
| MLB0_CLKP | MLB0 Differential Clock (+) | Not Muxed | MLB0_CLKP |
| MLB0_DAT | MLB0 Single-Ended Data | B | PB_00 |
| MLB0_DATN | MLB0 Differential Data (-) | Not Muxed | MLB0_DATN |
| MLB0_DATP | MLB0 Differential Clock (+) | Not Muxed | MLB0_DATP |
| MLB0_SIG | MLB0 Single-Ended Signal | B | PB_01 |
| MLB0_SIGN | MLB0 Differential Signal (-) | Not Muxed | MLB0_SIGN |
| MLB0_SIGP | MLB0 Differential Signal (+) | Not Muxed | MLB0_SIGP |
| OSPI0_CLK | OSPI0 Clock | C | PC_08 |
| OSPI0_D2 | OSPI0 Data 2 | A | PA_02 |
| OSPI0_D3 | OSPI0 Data 3 | A | PA_03 |
| OSPI0_D4 | OSPI0 Data 4 | D | PD_00 |
| OSPI0_D5 | OSPI0 Data 5 | C | PC_15 |
| OSPI0_D6 | OSPI0 Data 6 | A | PA_08 |
| OSPI0_D7 | OSPI0 Data 7 | C | PC_13 |
| OSPI0_DQS | OSPI0 Data Strobe | D | PD_04 |
| OSPI0_MISO | OSPI0 Master In, Slave Out | C | PC_12 |
| OSPI0_MOSI | OSPI0 Master Out, Slave In | C | PC_11 |
| OSPI0_SEL1 | OSPI0 Slave Select Output 1 | A | PA_05 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|-------------------|-----------------------------|------|----------|
| <u>OSPI0_SEL2</u> | OSPI0 Slave Select Output 2 | I | PI_05 |
| <u>OSPI0_SEL3</u> | OSPI0 Slave Select Output 3 | G | PG_12 |
| <u>OSPI0_SEL4</u> | OSPI0 Slave Select Output 4 | G | PG_13 |
| PPI0_CLK | EPPI0 Clock | E | PE_04 |
| PPI0_D00 | EPPI0 Data 0 | E | PE_05 |
| PPI0_D01 | EPPI0 Data 1 | E | PE_06 |
| PPI0_D02 | EPPI0 Data 2 | E | PE_07 |
| PPI0_D03 | EPPI0 Data 3 | E | PE_08 |
| PPI0_D04 | EPPI0 Data 4 | E | PE_09 |
| PPI0_D05 | EPPI0 Data 5 | E | PE_10 |
| PPI0_D06 | EPPI0 Data 6 | D | PD_01 |
| PPI0_D07 | EPPI0 Data 7 | D | PD_04 |
| PPI0_D08 | EPPI0 Data 8 | D | PD_05 |
| PPI0_D09 | EPPI0 Data 9 | D | PD_10 |
| PPI0_D10 | EPPI0 Data 10 | D | PD_11 |
| PPI0_D11 | EPPI0 Data 11 | D | PD_12 |
| PPI0_D12 | EPPI0 Data 12 | D | PD_13 |
| PPI0_D13 | EPPI0 Data 13 | D | PD_14 |
| PPI0_D14 | EPPI0 Data 14 | D | PD_15 |
| PPI0_D15 | EPPI0 Data 15 | E | PE_00 |
| PPI0_D16 | EPPI0 Data 16 | C | PC_08 |
| PPI0_D17 | EPPI0 Data 17 | C | PC_09 |
| PPI0_D18 | EPPI0 Data 18 | C | PC_10 |
| PPI0_D19 | EPPI0 Data 19 | C | PC_11 |
| PPI0_D20 | EPPI0 Data 20 | C | PC_12 |
| PPI0_D21 | EPPI0 Data 21 | C | PC_13 |
| PPI0_D22 | EPPI0 Data 22 | C | PC_14 |
| PPI0_D23 | EPPI0 Data 23 | C | PC_15 |
| PPI0_FS1 | EPPI0 Frame Sync 1 (HSYNC) | E | PE_01 |
| PPI0_FS2 | EPPI0 Frame Sync 2 (VSYNC) | E | PE_02 |
| PPI0_FS3 | EPPI0 Frame Sync 3 (FIELD) | E | PE_03 |
| SPI0_CLK | SPI0 Clock | A | PA_06 |
| SPI0_MISO | SPI0 Mater In, Slave Out | A | PA_07 |
| SPI0_MOSI | SPI0 Master Out, Slave In | A | PA_08 |
| SPI0_RDY | SPI0 Ready | B | PB_11 |
| <u>SPI0_SEL1</u> | SPI0 Slave Select Output 1 | A | PA_09 |
| <u>SPI0_SEL2</u> | SPI0 Slave Select Output 2 | B | PB_05 |
| <u>SPI0_SEL3</u> | SPI0 Slave Select Output 3 | B | PB_14 |
| <u>SPI0_SEL4</u> | SPI0 Slave Select Output 4 | B | PB_15 |
| <u>SPI0_SEL5</u> | SPI0 Slave Select Output 5 | G | PG_02 |
| <u>SPI0_SEL6</u> | SPI0 Slave Select Output 6 | E | PE_15 |
| <u>SPI0_SEL7</u> | SPI0 Slave Select Output 7 | F | PF_00 |
| SPI0_SS | SPI0 Slave Select Input | A | PA_09 |
| SPI1_CLK | SPI1 Clock | A | PA_10 |
| SPI1_D2 | SPI1 Data 2 | A | PA_14 |
| SPI1_D3 | SPI1 Data 3 | A | PA_15 |
| SPI1_MISO | SPI1 Master In, Slave Out | A | PA_11 |
| SPI1_MOSI | SPI1 Master Out, Slave In | A | PA_12 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|-------------|----------------------------------|-----------|------------|
| SPI1_RDY | SPI1 Ready | C | PC_06 |
| SPI1_SEL1 | SPI1 Slave Select Output 1 | A | PA_13 |
| SPI1_SEL2 | SPI1 Slave Select Output 2 | B | PB_10 |
| SPI1_SEL3 | SPI1 Slave Select Output 3 | B | PB_13 |
| SPI1_SEL4 | SPI1 Slave Select Output 4 | E | PE_02 |
| SPI1_SEL5 | SPI1 Slave Select Output 5 | B | PB_06 |
| SPI1_SEL6 | SPI1 Slave Select Output 6 | G | PG_09 |
| SPI1_SEL7 | SPI1 Slave Select Output 7 | B | PB_08 |
| SPI1_SS | SPI1 Slave Select Input | A | PA_13 |
| SPI2_CLK | SPI2 Clock | A | PA_04 |
| SPI2_D2 | SPI2 Data 2 | A | PA_02 |
| SPI2_D3 | SPI2 Data 3 | A | PA_03 |
| SPI2_MISO | SPI2 Master In, Slave Out | A | PA_00 |
| SPI2_MOSI | SPI2 Master Out, Slave In | A | PA_01 |
| SPI2_RDY | SPI2 Ready | B | PB_05 |
| SPI2_SEL1 | SPI2 Slave Select Output 1 | A | PA_05 |
| SPI2_SEL2 | SPI2 Slave Select Output 2 | H | PH_02 |
| SPI2_SEL3 | SPI2 Slave Select Output 3 | B | PB_12 |
| SPI2_SEL4 | SPI2 Slave Select Output 4 | G | PG_12 |
| SPI2_SEL5 | SPI2 Slave Select Output 5 | B | PB_07 |
| SPI2_SEL6 | SPI2 Slave Select Output 6 | G | PG_01 |
| SPI2_SEL7 | SPI2 Slave Select Output 7 | E | PE_14 |
| SPI2_SS | SPI2 Slave Select Input | A | PA_05 |
| SPI3_CLK | SPI3 Clock | G | PG_05 |
| SPI3_MISO | SPI3 Master In, Slave Out | G | PG_06 |
| SPI3_MOSI | SPI3 Master Out, Slave In | G | PG_07 |
| SPI3_RDY | SPI3 Ready | F | PF_00 |
| SPI3_SEL1 | SPI3 Slave Select Output 1 | G | PG_08 |
| SPI3_SEL2 | SPI3 Slave Select Output 2 | F | PF_07 |
| SPI3_SEL3 | SPI3 Slave Select Output 3 | E | PE_00 |
| SPI3_SEL4 | SPI3 Slave Select Output 4 | E | PE_01 |
| SPI3_SEL5 | SPI3 Slave Select Output 5 | G | PG_15 |
| SPI3_SEL6 | SPI3 Slave Select Output 6 | F | PF_08 |
| SPI3_SEL7 | SPI3 Slave Select Output 7 | H | PH_00 |
| SPI3_SS | SPI3 Slave Select Input | G | PG_08 |
| SYS_BMODE0 | Boot Mode Control Pin 0 | Not Muxed | SYS_BMODE0 |
| SYS_BMODE1 | Boot Mode Control Pin 1 | Not Muxed | SYS_BMODE1 |
| SYS_BMODE2 | Boot Mode Control Pin 2 | Not Muxed | SYS_BMODE2 |
| SYS_CLKIN0 | Clock/Crystal Input 0 | Not Muxed | SYS_CLKIN0 |
| SYS_CLKIN1 | Clock/Crystal Input 1 | Not Muxed | SYS_CLKIN1 |
| SYS_CLKOUT | Processor Clock Output | Not Muxed | SYS_CLKOUT |
| SYS_FAULT | Active-Low Fault Output | Not Muxed | SYS_FAULT |
| SYS_HWRST | Processor Hardware Reset Control | Not Muxed | SYS_HWRST |
| SYS_RESOUT | Reset Output | Not Muxed | SYS_RESOUT |
| SYS_XTAL0 | Crystal Output 0 | Not Muxed | SYS_XTAL0 |
| SYS_XTAL1 | Crystal Output 1 | Not Muxed | SYS_XTAL1 |
| TM0_ACIO0 | TIMER0 Alternate Capture Input 0 | D | PD_08 |
| TM0_ACIO1 | TIMER0 Alternate Capture Input 1 | D | PD_04 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|-------------|-----------------------------------|------|----------|
| TM0_ACI02 | TIMER0 Alternate Capture Input 2 | B | PB_11 |
| TM0_ACI03 | TIMER0 Alternate Capture Input 3 | B | PB_00 |
| TM0_ACI04 | TIMER0 Alternate Capture Input 4 | A | PA_11 |
| TM0_ACI10 | TIMER0 Alternate Capture Input 10 | G | PG_14 |
| TM0_ACI11 | TIMER0 Alternate Capture Input 11 | G | PG_01 |
| TM0_ACI12 | TIMER0 Alternate Capture Input 12 | H | PH_00 |
| TM0_ACI13 | TIMER0 Alternate Capture Input 13 | H | PH_01 |
| TM0_ACLK01 | TIMER0 Alternate Clock 1 | A | PA_06 |
| TM0_ACLK02 | TIMER0 Alternate Clock 2 | A | PA_08 |
| TM0_ACLK03 | TIMER0 Alternate Clock 3 | G | PG_10 |
| TM0_ACLK04 | TIMER0 Alternate Clock 4 | B | PB_02 |
| TM0_ACLK10 | TIMER0 Alternate Clock 10 | G | PG_00 |
| TM0_ACLK11 | TIMER0 Alternate Clock 11 | G | PG_05 |
| TM0_ACLK12 | TIMER0 Alternate Clock 12 | G | PG_07 |
| TM0_ACLK13 | TIMER0 Alternate Clock 13 | F | PF_04 |
| TM0_ACLK14 | TIMER0 Alternate Clock 14 | I | PI_06 |
| TM0_ACLK15 | TIMER0 Alternate Clock 15 | E | PE_01 |
| TM0_CLK | TIMER0 Clock | F | PF_05 |
| TM0_TMR00 | TIMER0 Timer 0 | A | PA_10 |
| TM0_TMR01 | TIMER0 Timer 1 | A | PA_12 |
| TM0_TMR02 | TIMER0 Timer 2 | E | PE_10 |
| TM0_TMR03 | TIMER0 Timer 3 | B | PB_03 |
| TM0_TMR04 | TIMER0 Timer 4 | B | PB_04 |
| TM0_TMR05 | TIMER0 Timer 5 | B | PB_05 |
| TM0_TMR06 | TIMER0 Timer 6 | B | PB_08 |
| TM0_TMR07 | TIMER0 Timer 7 | B | PB_09 |
| TM0_TMR08 | TIMER0 Timer 8 | C | PC_05 |
| TM0_TMR09 | TIMER0 Timer 9 | C | PC_07 |
| TM0_TMR10 | TIMER0 Timer 10 | G | PG_14 |
| TM0_TMR11 | TIMER0 Timer 11 | G | PG_15 |
| TM0_TMR12 | TIMER0 Timer 12 | H | PH_00 |
| TM0_TMR13 | TIMER0 Timer 13 | H | PH_01 |
| TM0_TMR14 | TIMER0 Timer 14 | H | PH_02 |
| TM0_TMR15 | TIMER0 Timer 15 | D | PD_15 |
| TRACE0_CLK | TRACE0 Trace Clock | B | PB_06 |
| TRACE0_D00 | TRACE0 Trace Data 0 | B | PB_07 |
| TRACE0_D01 | TRACE0 Trace Data 1 | B | PB_08 |
| TRACE0_D02 | TRACE0 Trace Data 2 | B | PB_09 |
| TRACE0_D03 | TRACE0 Trace Data 3 | B | PB_10 |
| TRACE0_D04 | TRACE0 Trace Data 4 | C | PC_00 |
| TRACE0_D05 | TRACE0 Trace Data 5 | C | PC_01 |
| TRACE0_D06 | TRACE0 Trace Data 6 | C | PC_02 |
| TRACE0_D07 | TRACE0 Trace Data 7 | C | PC_03 |
| TRACE0_D08 | TRACE0 Trace Data 8 | H | PH_03 |
| TRACE0_D09 | TRACE0 Trace Data 9 | H | PH_04 |
| TRACE0_D10 | TRACE0 Trace Data 10 | H | PH_05 |
| TRACE0_D11 | TRACE0 Trace Data 11 | H | PH_06 |
| TRACE0_D12 | TRACE0 Trace Data 12 | H | PH_07 |

表10. ADSP-SC59x 400ボールHPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|-------------|------------------------------|------|----------|
| TRACE0_D13 | TRACE0 Trace Data 13 | H | PH_08 |
| TRACE0_D14 | TRACE0 Trace Data 14 | H | PH_09 |
| TRACE0_D15 | TRACE0 Trace Data 15 | H | PH_10 |
| TWI0_SCL | TWI0 Serial Clock | E | PE_02 |
| TWI0_SDA | TWI0 Serial Data | E | PE_03 |
| TWI1_SCL | TWI1 Serial Clock | B | PB_00 |
| TWI1_SDA | TWI1 Serial Data | B | PB_01 |
| TWI2_SCL | TWI2 Serial Clock | E | PE_04 |
| TWI2_SDA | TWI2 Serial Data | E | PE_05 |
| TWI3_SCL | TWI3 Serial Clock | A | PA_02 |
| TWI3_SDA | TWI3 Serial Data | I | PI_02 |
| TWI4_SCL | TWI4 Serial Clock | D | PD_14 |
| TWI4_SDA | TWI4 Serial Data | C | PC_01 |
| TWI5_SCL | TWI5 Serial Clock | C | PC_02 |
| TWI5_SDA | TWI5 Serial Data | E | PE_01 |
| UART0_CTS | UART0 Clear to Send | D | PD_06 |
| UART0_RTS | UART0 Request to Send | D | PD_07 |
| UART0_RX | UART0 Receive | A | PA_07 |
| UART0_TX | UART0 Transmit | D | PD_09 |
| UART1_CTS | UART1 Clear to Send | D | PD_03 |
| UART1_RTS | UART1 Request to Send | B | PB_00 |
| UART1_RX | UART1 Receive | D | PD_04 |
| UART1_TX | UART1 Transmit | D | PD_05 |
| UART2_CTS | UART2 Clear to Send | B | PB_14 |
| UART2_RTS | UART2 Request to Send | D | PD_12 |
| UART2_RX | UART2 Receive | D | PD_10 |
| UART2_TX | UART2 Transmit | D | PD_11 |
| UART3_CTS | UART3 Clear to Send | G | PG_10 |
| UART3_RTS | UART3 Request to Send | G | PG_09 |
| UART3_RX | UART3 Receive | G | PG_04 |
| UART3_TX | UART3 Transmit | G | PG_03 |
| USBC0_CLK | USBC0 Clock Signal | F | PF_14 |
| USBC0_DATA0 | USBC0 Data 0 | F | PF_13 |
| USBC0_DATA1 | USBC0 Data 1 | F | PF_12 |
| USBC0_DATA2 | USBC0 Data 2 | F | PF_11 |
| USBC0_DATA3 | USBC0 Data 3 | F | PF_10 |
| USBC0_DATA4 | USBC0 Data 4 | F | PF_07 |
| USBC0_DATA5 | USBC0 Data 5 | F | PF_06 |
| USBC0_DATA6 | USBC0 Data 6 | F | PF_05 |
| USBC0_DATA7 | USBC0 Data 7 | F | PF_04 |
| USBC0_DIR | USBC0 Data Direction Control | F | PF_09 |
| USBC0_NXT | USBC0 Next Data Control | F | PF_08 |
| USBC0_STOP | USBC0 Stop Output Control | F | PF_03 |

400ボール高ペリフェラル・カウント（HPC）BGAパッケージ用のGPIOマルチプレクス

表11～表19に、400ボールHPC BGAパッケージのGPIOピンにマルチプレクスされているピン機能を示します。

表11. ADSP-SC59xの信号のポートAに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|-------------------------|------------------------|------------------------|--------------------------------|
| PA_00 | SPI2_MISO | OSPI0_MISO ¹ | | | |
| PA_01 | SPI2_MOSI | OSPI0_MOSI ¹ | | | |
| PA_02 | SPI2_D2 | OSPI0_D2 ¹ | TWI3_SCL ¹ | | TM0_ACLK03 |
| PA_03 | SPI2_D3 | OSPI0_D3 ¹ | TWI3_SDA ¹ | | |
| PA_04 | SPI2_CLK | OSPI0_CLK ¹ | | | |
| PA_05 | SPI2_SEL1 | OSPI0_SEL1 ² | | | SPI2_SS |
| PA_06 | SPI0_CLK | UART0_TX ¹ | OSPI0_D4 ¹ | | TM0_ACLK01 |
| PA_07 | SPI0_MISO | UART0_RX ¹ | OSPI0_D5 ¹ | | TM0_ACIO0 |
| PA_08 | SPI0_MOSI | UART0_RTS ¹ | OSPI0_D6 ¹ | | TM0_ACLK02 |
| PA_09 | SPI0_SEL1 | UART0_CTS ¹ | OSPI0_D7 ¹ | | SPI0_SS |
| PA_10 | TWI0_SCL ¹ | SPI1_CLK | TM0_TMR00 | | |
| PA_11 | TWI0_SDA ¹ | SPI1_MISO | HADC0_EOC_DOUT | | TM0_ACIO4 |
| PA_12 | C1_FLG00 | SPI1_MOSI | TM0_TMR01 | | |
| PA_13 | C1_FLG01 | SPI1_SEL1 | TM0_TMR02 | | SPI1_SS |
| PA_14 | TWI2_SCL ¹ | SPI1_D2 | UART1_RX ¹ | | TM0_ACIO1 |
| PA_15 | TWI2_SDA ¹ | SPI1_D3 | UART1_TX ¹ | | |

¹ 適切なタイミングを確保するため、ピン・マルチプレクスの複数の場所で信号が使用できるペリフェラルの場合、ペリフェラルに必要な信号はすべて選択し、それらに関連するピンが互いにできるだけ近くなるよう注意が必要です。

² これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの他の関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表12. ADSP-SC59xの信号のポートBに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|------------------------|------------------------|------------------------|--------------------------------|
| PB_00 | MLB0_DAT | TWI1_SCL ¹ | UART1_RTS ¹ | | TM0_ACIO3 |
| PB_01 | MLB0_SIG | TWI1_SDA ¹ | UART1_CTS ¹ | | TM0_CLK |
| PB_02 | MLB0_CLK | C1_FLG03 | LP1_ACK | | TM0_ACLK04 |
| PB_03 | TM0_TMR03 | C1_FLG02 | SPI2_SEL2 ² | | CNT0_UD |
| PB_04 | TM0_TMR04 | SPI1_RDY ² | LP0_ACK | | CNT0_ZM |
| PB_05 | TM0_TMR05 | SPI2_RDY ² | SPI0_SEL2 | | CNT0_DG |
| PB_06 | LP0_CLK | SPI1_SEL5 | | TRACE0_CLK | |
| PB_07 | LP0_D0 | SPI2_SEL5 | | TRACE0_D00 | |
| PB_08 | LP0_D1 | SPI1_SEL7 ² | TM0_TMR06 | TRACE0_D01 | |
| PB_09 | LP0_D2 | SPI2_SEL7 ² | TM0_TMR07 | TRACE0_D02 | |
| PB_10 | LP0_D3 | SPI1_SEL2 | | TRACE0_D03 | |
| PB_11 | LP0_D4 | SPI0_RDY ² | | UART2_RX ¹ | TM0_ACIO2 |
| PB_12 | LP0_D5 | SPI2_SEL3 ² | | UART2_TX ¹ | |
| PB_13 | LP0_D6 | SPI1_SEL3 | OSPI0_DQS ¹ | UART2_RTS ¹ | |
| PB_14 | LP0_D7 | SPI0_SEL3 | | UART2_CTS ¹ | |
| PB_15 | LP1_D0 | SPI0_SEL4 | | | |

¹ 適切なタイミングを確保するため、ピン・マルチプレクスの複数の場所で信号が使用できるペリフェラルの場合、ペリフェラルに必要な信号はすべて選択し、それらに関連するピンが互いにできるだけ近くなるよう注意が必要です。

² これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの他の関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表13. ADSP-SC59xの信号のポートCに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|-------------------------|-------------------------|------------------------|------------------------|--------------------------------|
| PC_00 | LP1_D1 | TWI4_SCL ¹ | TRACE0_D04 | SPI1_SEL4 | |
| PC_01 | LP1_D2 | TWI4_SDA ¹ | TRACE0_D05 | SPI2_SEL4 ² | |
| PC_02 | LP1_D3 | TWI5_SCL ¹ | TRACE0_D06 | SPI1_SEL6 ² | |
| PC_03 | LP1_D4 | TWI5_SDA ¹ | TRACE0_D07 | SPI2_SEL6 ² | |
| PC_04 | LP1_D5 | OSPI0_SEL2 ² | | | |
| PC_05 | LP1_D6 | OSPI0_SEL3 ² | TM0_TMR08 | | |
| PC_06 | LP1_D7 | SPI1_RDY | | | |
| PC_07 | LP1_CLK | | TM0_TMR09 | SYS_FAULT | |
| PC_08 | OSPI0_CLK ¹ | | | PPI0_D16 | |
| PC_09 | OSPI0_D3 ¹ | | | PPI0_D17 | |
| PC_10 | OSPI0_D2 ¹ | | | PPI0_D18 | |
| PC_11 | OSPI0_MOSI ¹ | | | PPI0_D19 | |
| PC_12 | OSPI0_MISO ¹ | | | PPI0_D20 | |
| PC_13 | OSPI0_D7 ¹ | | | PPI0_D21 | |
| PC_14 | OSPI0_D6 ¹ | | | PPI0_D22 | |
| PC_15 | OSPI0_D5 ¹ | | | PPI0_D23 | |

¹ 適切なタイミングを確保するため、ピン・マルチプレクスの複数の場所で信号が使用できるペリフェラルの場合、ペリフェラルに必要な信号はすべて選択し、それらに関連するピンが互いにできるだけ近くなるよう注意が必要です。

² これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表14. ADSP-SC59xの信号のポートDIに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|-------------------------|------------------------|------------------------|------------------------|--------------------------------|
| PD_00 | OSPI0_D4 ¹ | | | | |
| PD_01 | OSPI0_SEL1 ² | | | PPI0_D06 | |
| PD_02 | UART1_RTS ¹ | C2_FLG10 | ETH0_CRS | | |
| PD_03 | UART1_CTS ¹ | C1_FLG11 | | LPO_ACK | ETH0_PTPAUXIN2 |
| PD_04 | UART1_RX ¹ | | OSPI0_DQS ¹ | PPI0_D07 | TM0_ACI01 |
| PD_05 | UART1_TX ¹ | | | PPI0_D08 | ETH0_PTPAUXIN1 |
| PD_06 | UART0_CTS ¹ | ETH0_RXERR | | | |
| PD_07 | UART0_RTS ¹ | ETH0_COL | | | |
| PD_08 | UART0_RX ¹ | | | | TM0_ACI00 |
| PD_09 | UART0_TX ¹ | | | | |
| PD_10 | | UART2_RX ¹ | | PPI0_D09 | TM0_ACI02 |
| PD_11 | | UART2_TX ¹ | | PPI0_D10 | |
| PD_12 | TM0_TMR06 | UART2_RTS ¹ | | PPI0_D11 | |
| PD_13 | TM0_TMR07 | UART2_CTS ¹ | | PPI0_D12 | |
| PD_14 | TWI4_SCL ¹ | LP1_ACK | C2_FLG09 | PPI0_D13 | |
| PD_15 | TWI4_SDA ¹ | | TM0_TMR15 | PPI0_D14 | |

¹ 適切なタイミングを確保するため、ピン・マルチプレクスの複数の場所で信号が使用できるペリフェラルの場合、ペリフェラルに必要な信号はすべて選択し、それらに関連するピンが互いにできるだけ近くなるよう注意が必要です。

² これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表15. ADSP-SC59xの信号のポートEに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|------------------------|------------------------|------------------------|--------------------------------|
| PE_00 | TWI5_SCL ¹ | | SPI3_SEL3 | PPI0_D15 | TM0_ACLK15 |
| PE_01 | TWI5_SDA ¹ | | SPI3_SEL4 | PPI0_FS1 | |
| PE_02 | TWI0_SCL ¹ | SPI1_SEL4 | HADC0_MUX0 | PPI0_FS2 | TM0_ACLK04 |
| PE_03 | TWI0_SDA ¹ | SPI2_SEL3 ² | HADC0_MUX2 | PPI0_FS3 | |
| PE_04 | TWI2_SCL ¹ | | HADC0_MUX1 | PPI0_CLK | ETH0_PTPAUXIN3 |
| PE_05 | TWI2_SDA ¹ | | | PPI0_D00 | |
| PE_06 | TM0_TMR08 | C1_FLG02 | | PPI0_D01 | |
| PE_07 | TM0_TMR09 | C1_FLG03 | SPI1_RDY ² | PPI0_D02 | |
| PE_08 | TM0_TMR00 | | | PPI0_D03 | |
| PE_09 | TM0_TMR01 | | | PPI0_D04 | |
| PE_10 | TM0_TMR02 | SPI0_SEL4 | | PPI0_D05 | |
| PE_11 | ETH1_REFCLK | | C2_FLG07 | | |
| PE_12 | ETH1_TXEN | | C1_FLG08 | | |
| PE_13 | ETH1_TXD0 | | C2_FLG13 | | |
| PE_14 | ETH1_TXD1 | | SPI2_SEL7 ² | | |
| PE_15 | ETH1_RXD0 | | SPI0_SEL6 | | |

¹ 適切なタイミングを確保するため、ピン・マルチプレクスの複数の場所で信号が使用できるペリフェラルの場合、ペリフェラルに必要な信号はすべて選択し、それらに関連するピンが互いにできるだけ近くなるよう注意が必要です。

² これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表16. ADSP-SC59xの信号のポートFに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|------------------------|------------------------|------------------------|--------------------------------|
| PF_00 | ETH1_RXD1 | SPI3_RDY | SPI0_SEL7 | | TM0_ACLK13 TM0_CLK |
| PF_01 | ETH1_MDIO | | C1_FLG07 | | |
| PF_02 | ETH1_MDC | | C1_FLG06 | | |
| PF_03 | ETH1_CRS | C1_FLG10 | USBC0_STOP | | |
| PF_04 | | | USBC0_DATA7 | | |
| PF_05 | MLB0_CLKOUT | | USBC0_DATA6 | | |
| PF_06 | C2_FLG02 | SPI1_SEL7 ¹ | USBC0_DATA5 | | |
| PF_07 | C2_FLG03 | SPI3_SEL2 | USBC0_DATA4 | | |
| PF_08 | SPI3_SEL6 | C2_FLG08 | USBC0_NXT | TM0_TMR11 | |
| PF_09 | | C1_FLG09 | USBC0_DIR | | |
| PF_10 | | C2_FLG04 | USBC0_DATA3 | | |
| PF_11 | | C2_FLG05 | USBC0_DATA2 | | |
| PF_12 | | C1_FLG13 | USBC0_DATA1 | | |
| PF_13 | | C1_FLG12 | USBC0_DATA0 | | |
| PF_14 | | C2_FLG12 | USBC0_CLK | | |
| PF_15 | CANFD0_RX | | | | TM0_ACI04 |

¹ これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表17. ADSP-SC59xの信号のポートGに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|------------------------|------------------------|-------------------------|--------------------------------|
| PG_00 | CANFD0_TX | | | | TM0_ACLK10 |
| PG_01 | CANFD1_RX | SPI2_SEL6 ¹ | | | TM0_ACI11 |
| PG_02 | CANFD1_TX | SPIO_SEL5 | | | |
| PG_03 | UART3_TX | | | | |
| PG_04 | UART3_RX | | | | TM0_ACI03 |
| PG_05 | SPI3_CLK | | | | TM0_ACLK11 |
| PG_06 | SPI3_MISO | | | | |
| PG_07 | SPI3_MOSI | | | | TM0_ACLK12 |
| PG_08 | SPI3_SEL1 | | | | SPI3_SS |
| PG_09 | UART3_RTS | SPI1_SEL6 ¹ | C1_FLG14 | | TM0_ACLK01 |
| PG_10 | UART3_CTS | | C2_FLG14 | | TM0_ACLK03 |
| PG_11 | | | C2_FLG15 | | |
| PG_12 | TM0_TMR03 | SPI2_SEL4 ¹ | C2_FLG11 | OSPIO_SEL3 ¹ | |
| PG_13 | C1_FLG00 | | C2_FLG06 | OSPIO_SEL4 ¹ | |
| PG_14 | TM0_TMR10 | SPIO_SEL2 | | | TM0_ACI10 |
| PG_15 | TM0_TMR11 | SPI2_RDY ¹ | SPI3_SEL5 | | |

¹ これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表18. ADSP-SC59xの信号のポートHに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|------------------------|------------------------|------------------------|--------------------------------|
| PH_00 | TM0_TMR12 | | SPI3_SEL7 | | TM0_ACI12 |
| PH_01 | TM0_TMR13 | SPIO_RDY ¹ | | | TM0_ACI13 |
| PH_02 | C1_FLG01 | SPI2_SEL2 ¹ | TM0_TMR14 | | |
| PH_03 | ETH0_MDC | TRACE0_D08 | | | |
| PH_04 | ETH0_MDIO | TRACE0_D09 | | | |
| PH_05 | ETH0_RXD0 | TRACE0_D10 | | | |
| PH_06 | ETH0_RXD1 | TRACE0_D11 | | | |
| PH_07 | ETH0_RXCLK_REFCLK | TRACE0_D12 | | | |
| PH_08 | ETH0_RXCTL_RXDV | TRACE0_D13 | | | |
| PH_09 | ETH0_TXD0 | TRACE0_D14 | | | |
| PH_10 | ETH0_TXD1 | TRACE0_D15 | | | |
| PH_11 | ETH0_RXD2 | | | | |
| PH_12 | ETH0_RXD3 | | | | |
| PH_13 | ETH0_TXCTL_TXEN | | | | |
| PH_14 | ETH0_TXCLK | | | | |
| PH_15 | ETH0_TXD2 | | | | |

¹ これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表19. ADSP-SC59xの信号のポートIIに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|-------------------------|------------------------|------------------------|--------------------------------|
| PI_00 | ETH0_TXD3 | | | | |
| PI_01 | C2_FLG00 | ETH0_PTPCLKIN0 | TWI3_SCL ¹ | | |
| PI_02 | C2_FLG01 | ETH0_PTPAUXIN0 | TWI3_SDA ¹ | | |
| PI_03 | TWI1_SCL ¹ | C1_FLG04 | ETH0_PTTPPS1 | | |
| PI_04 | TWI1_SDA ¹ | C1_FLG05 | ETH0_PTTPPS0 | | |
| PI_05 | ETH0_PTTPPS2 | OSPI0_SEL2 ² | C1_FLG15 | | TM0_ACLK02 |
| PI_06 | ETH0_PTTPPS3 | | | | TM0_ACLK14 |

¹ 適切なタイミングを確保するため、ピン・マルチプレクスの複数の場所で信号が使用できるペリフェラルの場合、ペリフェラルの必要な信号はすべて選択し、それらに関連するピンが互いにできるだけ近くなるよう注意が必要です。

² これらのペリフェラル信号は、ピン・マルチプレクスの複数の場所で使用できます。これらの信号は、同じペリフェラルの関連信号に近いかどうかに関わらず、ピン・マルチプレクスの2つの場所のいずれかから選択できます。

表20に内部タイマー信号の割当てを示します。この表は、HPCとLPCのどちらの400ボールBGAパッケージにも適用されます。

表20. ADSP-2159x/ADSP-SC592/SC594内部タイマー信号の割当て

| Timer Input Signal | Internal Source |
|--------------------|-----------------|
| TM0_ACLK0 | SYS_CLKIN0 |
| TM0_AC15 | DAI0_PB04 |
| TM0_ACLK5 | DAI0_PB03 |
| TM0_AC16 | DAI1_PB04 |
| TM0_ACLK6 | DAI1_PB03 |
| TM0_AC17 | CNT0_TO |
| TM0_ACLK7 | SYS_CLKIN1 |
| TM0_AC18 | DAI0_PB06 |
| TM0_ACLK8 | DAI0_PB05 |
| TM0_AC19 | DAI1_PB06 |
| TM0_ACLK9 | DAI1_PB05 |
| TM0_AC114 | DAI0 Group C |
| TM0_AC115 | DAI1 Group C |

400ボール低ペリフェラル・カウント（LPC）BGAの信号の説明

400ボールLPC BGAパッケージの場合のプロセッサのピン定義を表21に示します。LPC BGAパッケージのペリフェラルへの接続は、BGAパッケージで提供されるADSP-2156xプロセッサと同じです。そのため、LPCパッケージはADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換です。表の各列には、次の情報を記載しています。

- Signal Name（信号名）の列は、各ピンの信号名とGPIOマルチプレクス・ピンの機能（該当の場合）を示します。
- Description（説明）の列は、各信号の説明的な名前を示します。

- Port（ポート）の列は、信号がGPIOポート・ピンの他の信号とマルチプレクスされるかどうかを示します。
- Pin Name（ピン名）の列は、信号が配置されるパッケージ・ピン（単一機能ピンの場合）または信号がマルチプレクスされるパッケージ・ピン（GPIOピンの場合）の（パワーオン・リセット時の）名前を示します。
- DAIピンとそれに関連する信号ルーティング・ユニット（SRU）は、DAIペリフェラル（SPORT、ASRC、S/PDIF、PCG）の入力および出力を接続します。DAIおよびSRUの使用に関する詳細は、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスのデジタル・オーディオ・インターフェース（DAI）の章を参照してください。

表21. ADSP-2159x 400ボールLPC BGAの信号の説明

| Signal Name | Description | Port | Pin Name |
|-------------|-----------------------------|-----------|------------|
| C1_FLG00 | SHARC+ Core 1 FLAGS I/O 0 | A | PA_12 |
| C1_FLG01 | SHARC+ Core 1 FLAGS I/O 1 | A | PA_13 |
| C1_FLG02 | SHARC+ Core 1 FLAGS I/O 2 | B | PB_03 |
| C1_FLG03 | SHARC+ Core 1 FLAGS I/O 3 | B | PB_02 |
| CNT0_DG | CNT0 Count Down and Gate | B | PB_05 |
| CNT0_UD | CNT0 Count Up and Direction | B | PB_03 |
| CNT0_ZM | CNT0 Count Zero Marker | B | PB_04 |
| DAI0_PIN01 | DAI0 Pin 1 | Not Muxed | DAI0_PIN01 |
| DAI0_PIN02 | DAI0 Pin 2 | Not Muxed | DAI0_PIN02 |
| DAI0_PIN03 | DAI0 Pin 3 | Not Muxed | DAI0_PIN03 |
| DAI0_PIN04 | DAI0 Pin 4 | Not Muxed | DAI0_PIN04 |
| DAI0_PIN05 | DAI0 Pin 5 | Not Muxed | DAI0_PIN05 |
| DAI0_PIN06 | DAI0 Pin 6 | Not Muxed | DAI0_PIN06 |
| DAI0_PIN07 | DAI0 Pin 7 | Not Muxed | DAI0_PIN07 |
| DAI0_PIN08 | DAI0 Pin 8 | Not Muxed | DAI0_PIN08 |
| DAI0_PIN09 | DAI0 Pin 9 | Not Muxed | DAI0_PIN09 |
| DAI0_PIN10 | DAI0 Pin 10 | Not Muxed | DAI0_PIN10 |
| DAI0_PIN11 | DAI0 Pin 11 | Not Muxed | DAI0_PIN11 |
| DAI0_PIN12 | DAI0 Pin 12 | Not Muxed | DAI0_PIN12 |
| DAI0_PIN19 | DAI0 Pin 19 | Not Muxed | DAI0_PIN19 |
| DAI0_PIN20 | DAI0 Pin 20 | Not Muxed | DAI0_PIN20 |
| DAI1_PIN01 | DAI1 Pin 1 | Not Muxed | DAI1_PIN01 |
| DAI1_PIN02 | DAI1 Pin 2 | Not Muxed | DAI1_PIN02 |
| DAI1_PIN03 | DAI1 Pin 3 | Not Muxed | DAI1_PIN03 |
| DAI1_PIN04 | DAI1 Pin 4 | Not Muxed | DAI1_PIN04 |
| DAI1_PIN05 | DAI1 Pin 5 | Not Muxed | DAI1_PIN05 |
| DAI1_PIN06 | DAI1 Pin 6 | Not Muxed | DAI1_PIN06 |
| DAI1_PIN07 | DAI1 Pin 7 | Not Muxed | DAI1_PIN07 |
| DAI1_PIN08 | DAI1 Pin 8 | Not Muxed | DAI1_PIN08 |
| DAI1_PIN09 | DAI1 Pin 9 | Not Muxed | DAI1_PIN09 |
| DAI1_PIN10 | DAI1 Pin 10 | Not Muxed | DAI1_PIN10 |
| DAI1_PIN11 | DAI1 Pin 11 | Not Muxed | DAI1_PIN11 |
| DAI1_PIN12 | DAI1 Pin 12 | Not Muxed | DAI1_PIN12 |
| DAI1_PIN19 | DAI1 Pin 19 | Not Muxed | DAI1_PIN19 |

表21. ADSP-2159x 400ボールLPC BGAの信号の説明（続き）

| Signal Name | Description | Port | Pin Name |
|---------------------------------|---|-----------|---------------------------------|
| DAI1_PIN20 | DAI1 Pin 20 | Not Muxed | DAI1_PIN20 |
| DMC0_A00 | DMC0 Address 0 | Not Muxed | DMC0_A00 |
| DMC0_A01 | DMC0 Address 1 | Not Muxed | DMC0_A01 |
| DMC0_A02 | DMC0 Address 2 | Not Muxed | DMC0_A02 |
| DMC0_A03 | DMC0 Address 3 | Not Muxed | DMC0_A03 |
| DMC0_A04 | DMC0 Address 4 | Not Muxed | DMC0_A04 |
| DMC0_A05 | DMC0 Address 5 | Not Muxed | DMC0_A05 |
| DMC0_A06 | DMC0 Address 6 | Not Muxed | DMC0_A06 |
| DMC0_A07 | DMC0 Address 7 | Not Muxed | DMC0_A07 |
| DMC0_A08 | DMC0 Address 8 | Not Muxed | DMC0_A08 |
| DMC0_A09 | DMC0 Address 9 | Not Muxed | DMC0_A09 |
| DMC0_A10 | DMC0 Address 10 | Not Muxed | DMC0_A10 |
| DMC0_A11 | DMC0 Address 11 | Not Muxed | DMC0_A11 |
| DMC0_A12 | DMC0 Address 12 | Not Muxed | DMC0_A12 |
| DMC0_A13 | DMC0 Address 13 | Not Muxed | DMC0_A13 |
| DMC0_A14 | DMC0 Address 14 | Not Muxed | DMC0_A14 |
| DMC0_A15 | DMC0 Address 15 | Not Muxed | DMC0_A15 |
| DMC0_BA0 | DMC0 Bank Address Input 0 | Not Muxed | DMC0_BA0 |
| DMC0_BA1 | DMC0 Bank Address Input 1 | Not Muxed | DMC0_BA1 |
| DMC0_BA2 | DMC0 Bank Address Input 2 | Not Muxed | DMC0_BA2 |
| $\overline{\text{DMC0_CAS}}$ | DMC0 Column Address Strobe | Not Muxed | $\overline{\text{DMC0_CAS}}$ |
| DMC0_CK | DMC0 Clock | Not Muxed | DMC0_CK |
| $\overline{\text{DMC0_CK}}$ | DMC0 Clock (Complement) | Not Muxed | $\overline{\text{DMC0_CK}}$ |
| DMC0_CKE | DMC0 Clock Enable | Not Muxed | DMC0_CKE |
| $\overline{\text{DMC0_CS0}}$ | DMC0 Chip Select 0 | Not Muxed | $\overline{\text{DMC0_CS0}}$ |
| DMC0_DQ00 | DMC0 Data 0 | Not Muxed | DMC0_DQ00 |
| DMC0_DQ01 | DMC0 Data 1 | Not Muxed | DMC0_DQ01 |
| DMC0_DQ02 | DMC0 Data 2 | Not Muxed | DMC0_DQ02 |
| DMC0_DQ03 | DMC0 Data 3 | Not Muxed | DMC0_DQ03 |
| DMC0_DQ04 | DMC0 Data 4 | Not Muxed | DMC0_DQ04 |
| DMC0_DQ05 | DMC0 Data 5 | Not Muxed | DMC0_DQ05 |
| DMC0_DQ06 | DMC0 Data 6 | Not Muxed | DMC0_DQ06 |
| DMC0_DQ07 | DMC0 Data 7 | Not Muxed | DMC0_DQ07 |
| DMC0_DQ08 | DMC0 Data 8 | Not Muxed | DMC0_DQ08 |
| DMC0_DQ09 | DMC0 Data 9 | Not Muxed | DMC0_DQ09 |
| DMC0_DQ10 | DMC0 Data 10 | Not Muxed | DMC0_DQ10 |
| DMC0_DQ11 | DMC0 Data 11 | Not Muxed | DMC0_DQ11 |
| DMC0_DQ12 | DMC0 Data 12 | Not Muxed | DMC0_DQ12 |
| DMC0_DQ13 | DMC0 Data 13 | Not Muxed | DMC0_DQ13 |
| DMC0_DQ14 | DMC0 Data 14 | Not Muxed | DMC0_DQ14 |
| DMC0_DQ15 | DMC0 Data 15 | Not Muxed | DMC0_DQ15 |
| DMC0_LDM | DMC0 Data Mask for Lower Byte | Not Muxed | DMC0_LDM |
| DMC0_LDQS | DMC0 Data Strobe for Lower Byte | Not Muxed | DMC0_LDQS |
| $\overline{\text{DMC0_LDQS}}$ | DMC0 Data Strobe for Lower Byte (Complement) | Not Muxed | $\overline{\text{DMC0_LDQS}}$ |
| DMC0_ODT | DMC0 On-Die Termination | Not Muxed | DMC0_ODT |
| $\overline{\text{DMC0_RAS}}$ | DMC0 Row Address Strobe | Not Muxed | $\overline{\text{DMC0_RAS}}$ |
| $\overline{\text{DMC0_RESET}}$ | DMC0 Reset | Not Muxed | $\overline{\text{DMC0_RESET}}$ |
| DMC0_RZQ | DMC0 External Calibration Resistor Connection | Not Muxed | DMC0_RZQ |

表21. ADSP-2159x 400ボールLPC BGAの信号の説明 (続き)

| Signal Name | Description | Port | Pin Name |
|-------------------------------|--|-----------|-------------------------------|
| DMC0_UDM | DMC0 Data Mask for Upper Byte | Not Muxed | DMC0_UDM |
| DMC0_UDQS | DMC0 Data Strobe for Upper Byte | Not Muxed | DMC0_UDQS |
| $\overline{\text{DMC0_UDQS}}$ | DMC0 Data Strobe for Upper Byte (Complement) | Not Muxed | $\overline{\text{DMC0_UDQS}}$ |
| DMC0_VREF0 | DMC0 Voltage Reference | Not Muxed | DMC0_VREF0 |
| DMC0_VREF1 | DMC0 Voltage Reference | Not Muxed | DMC0_VREF1 |
| $\overline{\text{DMC0_WE}}$ | DMC0 Write Enable | Not Muxed | $\overline{\text{DMC0_WE}}$ |
| HADC0_EOC_DOUT | HADC0 End of Conversion | A | PA_11 |
| HADC0_VIN0 | HADC0 Analog Input at Channel 0 | Not Muxed | HADC0_VIN0 |
| HADC0_VIN1 | HADC0 Analog Input at Channel 1 | Not Muxed | HADC0_VIN1 |
| HADC0_VIN2 | HADC0 Analog Input at Channel 2 | Not Muxed | HADC0_VIN2 |
| HADC0_VIN3 | HADC0 Analog Input at Channel 3 | Not Muxed | HADC0_VIN3 |
| HADC0_VREFN | HADC0 Ground Reference for ADC | Not Muxed | HADC0_VREFN |
| HADC0_VREFP | HADC0 External Reference for ADC | Not Muxed | HADC0_VREFP |
| JTG_TCK | JTAG Clock | Not Muxed | JTG_TCK |
| JTG_TDI | JTAG Serial Data In | Not Muxed | JTG_TDI |
| JTG_TDO | JTAG Serial Data Out | Not Muxed | JTG_TDO |
| JTG_TMS | JTAG Mode Select | Not Muxed | JTG_TMS |
| $\overline{\text{JTG_TRST}}$ | JTAG Reset | Not Muxed | $\overline{\text{JTG_TRST}}$ |
| LP0_ACK | LP0 Acknowledge | B | PB_04 |
| LP0_CLK | LP0 Clock | B | PB_06 |
| LP0_D0 | LP0 Data 0 | B | PB_07 |
| LP0_D1 | LP0 Data 1 | B | PB_08 |
| LP0_D2 | LP0 Data 2 | B | PB_09 |
| LP0_D3 | LP0 Data 3 | B | PB_10 |
| LP0_D4 | LP0 Data 4 | B | PB_11 |
| LP0_D5 | LP0 Data 5 | B | PB_12 |
| LP0_D6 | LP0 Data 6 | B | PB_13 |
| LP0_D7 | LP0 Data 7 | B | PB_14 |
| LP1_ACK | LP1 Acknowledge | B | PB_02 |
| LP1_CLK | LP1 Clock | C | PC_07 |
| LP1_D0 | LP1 Data 0 | B | PB_15 |
| LP1_D1 | LP1 Data 1 | C | PC_00 |
| LP1_D2 | LP1 Data 2 | C | PC_01 |
| LP1_D3 | LP1 Data 3 | C | PC_02 |
| LP1_D4 | LP1 Data 4 | C | PC_03 |
| LP1_D5 | LP1 Data 5 | C | PC_04 |
| LP1_D6 | LP1 Data 6 | C | PC_05 |
| LP1_D7 | LP1 Data 7 | C | PC_06 |
| MLB0_CLK | MLB0 Single-Ended Clock | B | PB_02 |
| MLB0_DAT | MLB0 Single-Ended Data | B | PB_00 |
| MLB0_SIG | MLB0 Single-Ended Signal | B | PB_01 |
| OSPI0_CLK | OSPI0 Clock | A | PA_04 |
| OSPI0_D2 | OSPI0 Data 2 | A | PA_02 |
| OSPI0_D3 | OSPI0 Data 3 | A | PA_03 |
| OSPI0_D4 | OSPI0 Data 4 | A | PA_06 |
| OSPI0_D5 | OSPI0 Data 5 | A | PA_07 |
| OSPI0_D6 | OSPI0 Data 6 | A | PA_08 |
| OSPI0_D7 | OSPI0 Data 7 | A | PA_09 |

表21. ADSP-2159x 400ボールLPC BGAの信号の説明（続き）

| Signal Name | Description | Port | Pin Name |
|-------------|-----------------------------|-----------|------------|
| OSPI0_DQS | OSPI0 Data Strobe | B | PB_13 |
| OSPI0_MISO | OSPI0 Master In, Slave Out | A | PA_00 |
| OSPI0_MOSI | OSPI0 Master Out, Slave In | A | PA_01 |
| OSPI0_SEL1 | OSPI0 Slave Select Output 1 | A | PA_05 |
| OSPI0_SEL2 | OSPI0 Slave Select Output 2 | C | PC_04 |
| OSPI0_SEL3 | OSPI0 Slave Select Output 3 | C | PC_05 |
| SPI0_CLK | SPI0 Clock | A | PA_06 |
| SPI0_MISO | SPI0 Master In, Slave Out | A | PA_07 |
| SPI0_MOSI | SPI0 Master Out, Slave In | A | PA_08 |
| SPI0_RDY | SPI0 Ready | B | PB_11 |
| SPI0_SEL1 | SPI0 Slave Select Output 1 | A | PA_09 |
| SPI0_SEL2 | SPI0 Slave Select Output 2 | B | PB_05 |
| SPI0_SEL3 | SPI0 Slave Select Output 3 | B | PB_14 |
| SPI0_SEL4 | SPI0 Slave Select Output 4 | B | PB_15 |
| SPI0_SS | SPI0 Slave Select Input | A | PA_09 |
| SPI1_CLK | SPI1 Clock | A | PA_10 |
| SPI1_D2 | SPI1 Data 2 | A | PA_14 |
| SPI1_D3 | SPI1 Data 3 | A | PA_15 |
| SPI1_MISO | SPI1 Master In, Slave Out | A | PA_11 |
| SPI1_MOSI | SPI1 Master Out, Slave In | A | PA_12 |
| SPI1_RDY | SPI1 Ready | C | PC_06 |
| SPI1_SEL1 | SPI1 Slave Select Output 1 | A | PA_13 |
| SPI1_SEL2 | SPI1 Slave Select Output 2 | B | PB_10 |
| SPI1_SEL3 | SPI1 Slave Select Output 3 | B | PB_13 |
| SPI1_SEL4 | SPI1 Slave Select Output 4 | C | PC_00 |
| SPI1_SEL5 | SPI1 Slave Select Output 5 | B | PB_06 |
| SPI1_SEL6 | SPI1 Slave Select Output 6 | C | PC_02 |
| SPI1_SEL7 | SPI1 Slave Select Output 7 | B | PB_08 |
| SPI1_SS | SPI1 Slave Select Input | A | PA_13 |
| SPI2_CLK | SPI2 Clock | A | PA_04 |
| SPI2_D2 | SPI2 Data 2 | A | PA_02 |
| SPI2_D3 | SPI2 Data 3 | A | PA_03 |
| SPI2_MISO | SPI2 Master In, Slave Out | A | PA_00 |
| SPI2_MOSI | SPI2 Master Out, Slave In | A | PA_01 |
| SPI2_RDY | SPI2 Ready | B | PB_05 |
| SPI2_SEL1 | SPI2 Slave Select Output 1 | A | PA_05 |
| SPI2_SEL2 | SPI2 Slave Select Output 2 | B | PB_03 |
| SPI2_SEL3 | SPI2 Slave Select Output 3 | B | PB_12 |
| SPI2_SEL4 | SPI2 Slave Select Output 4 | C | PC_01 |
| SPI2_SEL5 | SPI2 Slave Select Output 5 | B | PB_07 |
| SPI2_SEL6 | SPI2 Slave Select Output 6 | C | PC_03 |
| SPI2_SEL7 | SPI2 Slave Select Output 7 | B | PB_09 |
| SPI2_SS | SPI2 Slave Select Input | A | PA_05 |
| SYS_BMODE0 | Boot Mode Control Pin 0 | Not Muxed | SYS_BMODE0 |
| SYS_BMODE1 | Boot Mode Control Pin 1 | Not Muxed | SYS_BMODE1 |
| SYS_BMODE2 | Boot Mode Control Pin 2 | Not Muxed | SYS_BMODE2 |
| SYS_CLKIN0 | Clock/Crystal Input | Not Muxed | SYS_CLKIN0 |
| SYS_CLKOUT | Processor Clock Output | Not Muxed | SYS_CLKOUT |

表21. ADSP-2159x 400ボールLPC BGAの信号の説明（続き）

| Signal Name | Description | Port | Pin Name |
|---------------------------------|----------------------------------|-----------|---------------------------------|
| $\overline{\text{SYS_FAULT}}$ | Active-Low Fault Output | Not Muxed | $\overline{\text{SYS_FAULT}}$ |
| $\overline{\text{SYS_HWRST}}$ | Processor Hardware Reset Control | Not Muxed | $\overline{\text{SYS_HWRST}}$ |
| $\overline{\text{SYS_RESOUT}}$ | Reset Output | Not Muxed | $\overline{\text{SYS_RESOUT}}$ |
| SYS_XTAL0 | Crystal Output | Not Muxed | SYS_XTAL0 |
| TM0_ACI00 | TIMER0 Alternate Capture Input 0 | A | PA_07 |
| TM0_ACI01 | TIMER0 Alternate Capture Input 1 | A | PA_14 |
| TM0_ACI02 | TIMER0 Alternate Capture Input 2 | B | PB_11 |
| TM0_ACI03 | TIMER0 Alternate Capture Input 3 | B | PB_00 |
| TM0_ACI04 | TIMER0 Alternate Capture Input 4 | A | PA_11 |
| TM0_ACLK01 | TIMER0 Alternate Clock 1 | A | PA_06 |
| TM0_ACLK02 | TIMER0 Alternate Clock 2 | A | PA_08 |
| TM0_ACLK03 | TIMER0 Alternate Clock 3 | A | PA_02 |
| TM0_ACLK04 | TIMER0 Alternate Clock 4 | B | PB_02 |
| TM0_CLK | TIMER0 Timer Clock | B | PB_01 |
| TM0_TMR00 | TIMER0 Timer 0 | A | PA_10 |
| TM0_TMR01 | TIMER0 Timer 1 | A | PA_12 |
| TM0_TMR02 | TIMER0 Timer 2 | A | PA_13 |
| TM0_TMR03 | TIMER0 Timer 3 | B | PB_03 |
| TM0_TMR04 | TIMER0 Timer 4 | B | PB_04 |
| TM0_TMR05 | TIMER0 Timer 5 | B | PB_05 |
| TM0_TMR06 | TIMER0 Timer 6 | B | PB_08 |
| TM0_TMR07 | TIMER0 Timer 7 | B | PB_09 |
| TM0_TMR08 | TIMER0 Timer 8 | C | PC_05 |
| TM0_TMR09 | TIMER0 Timer 9 | C | PC_07 |
| TRACE0_CLK | TRACE0 Trace Clock | B | PB_06 |
| TRACE0_D00 | TRACE0 Trace Data 0 | B | PB_07 |
| TRACE0_D01 | TRACE0 Trace Data 1 | B | PB_08 |
| TRACE0_D02 | TRACE0 Trace Data 2 | B | PB_09 |
| TRACE0_D03 | TRACE0 Trace Data 3 | B | PB_10 |
| TRACE0_D04 | TRACE0 Trace Data 4 | C | PC_00 |
| TRACE0_D05 | TRACE0 Trace Data 5 | C | PC_01 |
| TRACE0_D06 | TRACE0 Trace Data 6 | C | PC_02 |
| TRACE0_D07 | TRACE0 Trace Data 7 | C | PC_03 |
| TW10_SCL | TW10 Serial Clock | A | PA_10 |
| TW10_SDA | TW10 Serial Data | A | PA_11 |
| TW11_SCL | TW11 Serial Clock | B | PB_00 |
| TW11_SDA | TW11 Serial Data | B | PB_01 |
| TW12_SCL | TW12 Serial Clock | A | PA_14 |
| TW12_SDA | TW12 Serial Data | A | PA_15 |
| TW13_SCL | TW13 Serial Clock | A | PA_02 |
| TW13_SDA | TW13 Serial Data | A | PA_03 |
| TW14_SCL | TW14 Serial Clock | C | PC_00 |
| TW14_SDA | TW14 Serial Data | C | PC_01 |
| TW15_SCL | TW15 Serial Clock | C | PC_02 |
| TW15_SDA | TW15 Serial Data | C | PC_03 |
| $\overline{\text{UART0_CTS}}$ | UART0 Clear to Send | A | PA_09 |
| $\overline{\text{UART0_RTS}}$ | UART0 Request to Send | A | PA_08 |
| $\overline{\text{UART0_RX}}$ | UART0 Receive | A | PA_07 |

表21. ADSP-2159x 400ボールLPC BGAの信号の説明（続き）

| Signal Name | Description | Port | Pin Name |
|-------------|-----------------------|------|----------|
| UART0_TX | UART0 Transmit | A | PA_06 |
| UART1_CTS | UART1 Clear to Send | B | PB_01 |
| UART1_RTS | UART1 Request to Send | B | PB_00 |
| UART1_RX | UART1 Receive | A | PA_14 |
| UART1_TX | UART1 Transmit | A | PA_15 |
| UART2_CTS | UART2 Clear to Send | B | PB_14 |
| UART2_RTS | UART2 Request to Send | B | PB_13 |
| UART2_RX | UART2 Receive | B | PB_11 |
| UART2_TX | UART2 Transmit | B | PB_12 |

400ボール低ペリフェラル・カウント（LPC）BGAパッケージ用のGPIOマルチプレクス

表22～表24に、400ボールLPC BGAパッケージのGPIOピンにマルチプレクスされているピン機能を示します。

このGPIOマルチプレクス体系は、ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサのマルチプレクス体系と同じです。

表22. ADSP-2159xの信号のポートAに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|--------------------------------|---------------------------------|-------------------------------|------------------------|--------------------------------|
| PA_00 | SPI2_MISO | OSPI0_MISO | | | |
| PA_01 | SPI2_MOSI | OSPI0_MOSI | | | |
| PA_02 | SPI2_D2 | OSPI0_D2 | TWI3_SCL | | TM0_ACLK03 |
| PA_03 | SPI2_D3 | OSPI0_D3 | TWI3_SDA | | |
| PA_04 | SPI2_CLK | OSPI0_CLK | | | |
| PA_05 | $\overline{\text{SPI2_SEL1}}$ | $\overline{\text{OSPI0_SEL1}}$ | | | $\overline{\text{SPI2_SS}}$ |
| PA_06 | SPI0_CLK | $\overline{\text{UART0_TX}}$ | OSPI0_D4 | | TM0_ACLK01 |
| PA_07 | SPI0_MISO | $\overline{\text{UART0_RX}}$ | OSPI0_D5 | | TM0_ACIO0 |
| PA_08 | SPI0_MOSI | $\overline{\text{UART0_RTS}}$ | OSPI0_D6 | | TM0_ACLK02 |
| PA_09 | $\overline{\text{SPI0_SEL1}}$ | $\overline{\text{UART0_CTS}}$ | OSPI0_D7 | | $\overline{\text{SPI0_SS}}$ |
| PA_10 | TWI0_SCL | SPI1_CLK | TM0_TMR00 | | |
| PA_11 | TWI0_SDA | SPI1_MISO | HADC0_EOC_DOUT | | TM0_ACIO4 |
| PA_12 | C1_FLG00 | SPI1_MOSI | TM0_TMR01 | | |
| PA_13 | C1_FLG01 | $\overline{\text{SPI1_SEL1}}$ | TM0_TMR02 | | $\overline{\text{SPI1_SS}}$ |
| PA_14 | TWI2_SCL | SPI1_D2 | $\overline{\text{UART1_RX}}$ | | TM0_ACIO1 |
| PA_15 | TWI2_SDA | SPI1_D3 | $\overline{\text{UART1_TX}}$ | | |

表23. ADSP-2159xの信号のポートBに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|
| PB_00 | MLB0_DAT | TWI1_SCL | $\overline{\text{UART1_RTS}}$ | | TM0_ACIO3 |
| PB_01 | MLB0_SIG | TWI1_SDA | $\overline{\text{UART1_CTS}}$ | | TM0_CLK |
| PB_02 | MLB0_CLK | C1_FLG03 | LP1_ACK | | TM0_ACLK04 |
| PB_03 | TM0_TMR03 | C1_FLG02 | $\overline{\text{SPI2_SEL2}}$ | | CNT0_UD |
| PB_04 | TM0_TMR04 | SPI1_RDY | LPO_ACK | | CNT0_ZM |
| PB_05 | TM0_TMR05 | SPI2_RDY | $\overline{\text{SPI0_SEL2}}$ | | CNT0_DG |
| PB_06 | LPO_CLK | $\overline{\text{SPI1_SEL5}}$ | | TRACE0_CLK | |
| PB_07 | LPO_D0 | $\overline{\text{SPI2_SEL5}}$ | | TRACE0_D00 | |
| PB_08 | LPO_D1 | $\overline{\text{SPI1_SEL7}}$ | TM0_TMR06 | TRACE0_D01 | |
| PB_09 | LPO_D2 | $\overline{\text{SPI2_SEL7}}$ | TM0_TMR07 | TRACE0_D02 | |
| PB_10 | LPO_D3 | $\overline{\text{SPI1_SEL2}}$ | | TRACE0_D03 | |
| PB_11 | LPO_D4 | SPI0_RDY | | $\overline{\text{UART2_RX}}$ | TM0_ACIO2 |
| PB_12 | LPO_D5 | $\overline{\text{SPI2_SEL3}}$ | | $\overline{\text{UART2_TX}}$ | |
| PB_13 | LPO_D6 | $\overline{\text{SPI1_SEL3}}$ | OSPI0_DQS | $\overline{\text{UART2_RTS}}$ | |
| PB_14 | LPO_D7 | $\overline{\text{SPI0_SEL3}}$ | | $\overline{\text{UART2_CTS}}$ | |
| PB_15 | LP1_D0 | $\overline{\text{SPI0_SEL4}}$ | | | |

表24. ADSP-2159xの信号のポートCに対するマルチプレクス

| Signal Name | Multiplexed Function 0 | Multiplexed Function 1 | Multiplexed Function 2 | Multiplexed Function 3 | Multiplexed Function Input Tap |
|-------------|------------------------|------------------------|------------------------|------------------------|--------------------------------|
| PC_00 | LP1_D1 | TWI4_SCL | TRACE0_D04 | SPI1_SEL4 | |
| PC_01 | LP1_D2 | TWI4_SDA | TRACE0_D05 | SPI2_SEL4 | |
| PC_02 | LP1_D3 | TWI5_SCL | TRACE0_D06 | SPI1_SEL6 | |
| PC_03 | LP1_D4 | TWI5_SDA | TRACE0_D07 | SPI2_SEL6 | |
| PC_04 | LP1_D5 | OSPI0_SEL2 | | | |
| PC_05 | LP1_D6 | OSPI0_SEL3 | TM0_TMR08 | | |
| PC_06 | LP1_D7 | SPI1_RDY | | | |
| PC_07 | LP1_CLK | | TM0_TMR09 | SYS_FAULT | |

ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス

表25は、回路基板設計用にピン関連情報のクイック・リファレンスの概要を示したものです。表の各列には、次の情報を記載しています。

- **Signal Name** (信号名) の列は、各ピンの信号名とGPIOマルチプレクス・ピンの機能 (該当の場合) を示します。
- **Type** (種類) の列は、ピンのI/Oタイプまたは電源タイプを示します。この列で使用する略号は、アナログ (a)、電源 (s)、グラウンド (g)、および、Input、Output、InOutです。
- **Driver Type** (ドライバ・タイプ) の列は、対応するピンで用いられるドライバのタイプを示します。ドライバ・タイプは、このデータシートの出力駆動電流のセクションで定義されています。
- **Internal Termination** (内部終端) の列は、プロセッサが起動した後 (リセット時およびリセット後) に存在する終端を示します。

- **Reset Termination** (リセット終端) の列は、プロセッサがリセット状態にある場合の終端を示します。
- **Reset Drive** (リセット駆動) の列は、プロセッサがリセット状態にある場合に信号でアクティブとなっている駆動電圧を示します。
- **Power Domain** (電源ドメイン) の列は、信号が存在する電源ドメインを示します。
- **Description and Notes** (説明および備考) の列には、信号に対する特別な条件や特性を記載しています。これらの推奨事項は、信号に関連するハードウェア・ブロックが製品に備わっているかどうかに関わらず適用されます。特別な条件が記載されておらず、またその信号が不要な場合は、未接続のままにできます。マルチプレクスGPIOピンに対しては、この列はそのピンで使用できる機能を示しています。

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| DAI0_PIN01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 1 Notes: See note ² |
| DAI0_PIN02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 2 Notes: See note ² |
| DAI0_PIN03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 3 Notes: See note ² |
| DAI0_PIN04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 4 Notes: See note ² |
| DAI0_PIN05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 5 Notes: See note ² |
| DAI0_PIN06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 6 Notes: See note ² |
| DAI0_PIN07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 7 Notes: See note ² |
| DAI0_PIN08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 8 Notes: See note ² |
| DAI0_PIN09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 9 Notes: See note ² |
| DAI0_PIN10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 10 Notes: See note ² |
| DAI0_PIN11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 11 Notes: See note ² |
| DAI0_PIN12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 12 Notes: See note ² |
| DAI0_PIN13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 13 Notes: See note ² |
| DAI0_PIN14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 14 Notes: See note ² |
| DAI0_PIN15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 15 Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| DAI0_PIN16 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 16 Notes: See note ² |
| DAI0_PIN17 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 17 Notes: See note ² |
| DAI0_PIN18 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 18 Notes: See note ² |
| DAI0_PIN19 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 19 Notes: See note ² |
| DAI0_PIN20 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI0 Pin 20 Notes: See note ² |
| DAI1_PIN01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 1 Notes: See note ² |
| DAI1_PIN02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 2 Notes: See note ² |
| DAI1_PIN03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 3 Notes: See note ² |
| DAI1_PIN04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 4 Notes: See note ² |
| DAI1_PIN05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 5 Notes: See note ² |
| DAI1_PIN06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 6 Notes: See note ² |
| DAI1_PIN07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 7 Notes: See note ² |
| DAI1_PIN08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 8 Notes: See note ² |
| DAI1_PIN09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 9 Notes: See note ² |
| DAI1_PIN10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 10 Notes: See note ² |
| DAI1_PIN11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 11 Notes: See note ² |
| DAI1_PIN12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 12 Notes: See note ² |
| DAI1_PIN13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 13 Notes: See note ² |
| DAI1_PIN14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 14 Notes: See note ² |
| DAI1_PIN15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 15 Notes: See note ² |
| DAI1_PIN16 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 16 Notes: See note ² |
| DAI1_PIN17 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 17 Notes: See note ² |
| DAI1_PIN18 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 18 Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|--------|-------------|---|-------------------|-------------|--------------|---|
| DAI1_PIN19 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 19 Notes: See note ² |
| DAI1_PIN20 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: DAI1 Pin 20 Notes: See note ² |
| DMC0_A00 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 0 Notes: No notes |
| DMC0_A01 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 1 Notes: No notes |
| DMC0_A02 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 2 Notes: No notes |
| DMC0_A03 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 3 Notes: No notes |
| DMC0_A04 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 4 Notes: No notes |
| DMC0_A05 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 5 Notes: No notes |
| DMC0_A06 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 6 Notes: No notes |
| DMC0_A07 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 7 Notes: No notes |
| DMC0_A08 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 8 Notes: No notes |
| DMC0_A09 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 9 Notes: No notes |
| DMC0_A10 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 10 Notes: No notes |
| DMC0_A11 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 11 Notes: No notes |
| DMC0_A12 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 12 Notes: No notes |
| DMC0_A13 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 13 Notes: No notes |
| DMC0_A14 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 14 Notes: No notes |
| DMC0_A15 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Address 15 Notes: No notes |
| DMC0_BA0 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Bank Address Input 0 Notes: No notes |
| DMC0_BA1 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Bank Address Input 1 Notes: No notes |
| DMC0_BA2 | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Bank Address Input 2 Notes: No notes |
| DMC0_CAS | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Column Address Strobe Notes: No notes |
| DMC0_CK | Output | C | None | None | L | VDD_DMC | Desc: DMC0 Clock Notes: No notes |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------------------------|--------|-------------|---|-------------------|-------------|--------------|--|
| DMC0_CKE | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Clock Enable Notes: No notes |
| $\overline{\text{DMC0_CK}}$ | Output | C | None | None | H | VDD_DMC | Desc: DMC0 Clock (Complement) Notes: No notes |
| $\overline{\text{DMC0_CS0}}$ | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Chip Select 0 Notes: No notes |
| DMC0_DQ00 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 0 Notes: No notes |
| DMC0_DQ01 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 1 Notes: No notes |
| DMC0_DQ02 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 2 Notes: No notes |
| DMC0_DQ03 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 3 Notes: No notes |
| DMC0_DQ04 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 4 Notes: No notes |
| DMC0_DQ05 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 5 Notes: No notes |
| DMC0_DQ06 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 6 Notes: No notes |
| DMC0_DQ07 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 7 Notes: No notes |
| DMC0_DQ08 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 8 Notes: No notes |
| DMC0_DQ09 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 9 Notes: No notes |
| DMC0_DQ10 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 10 Notes: No notes |
| DMC0_DQ11 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 11 Notes: No notes |
| DMC0_DQ12 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 12 Notes: No notes |
| DMC0_DQ13 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 13 Notes: No notes |
| DMC0_DQ14 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 14 Notes: No notes |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|---------------------------------|--------|-------------|---|-------------------|-------------|--------------|--|
| DMC0_DQ15 | InOut | B | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data 15 Notes: No notes |
| DMC0_LDM | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Data Mask for Lower Byte Notes: No notes |
| DMC0_LDQS | InOut | C | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data Strobe for Lower Byte Notes: No notes |
| $\overline{\text{DMC0_LDQS}}$ | InOut | C | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data Strobe for Lower Byte (Complement) Notes: No notes |
| DMC0_ODT | Output | B | None | None | L | VDD_DMC | Desc: DMC0 On-Die Termination Notes: No notes |
| $\overline{\text{DMC0_RAS}}$ | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Row Address Strobe Notes: No notes |
| $\overline{\text{DMC0_RESET}}$ | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Reset Notes: No notes |
| DMC0_RZQ | a | B | None | None | None | VDD_DMC | Desc: DMC0 External Calibration Resistor Connection Notes: 34 Ω external pull-down must be added |
| DMC0_UDM | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Data Mask for Upper Byte Notes: No notes |
| DMC0_UDQS | InOut | C | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data Strobe for Upper Byte Notes: No notes |
| $\overline{\text{DMC0_UDQS}}$ | InOut | C | Internal logic ensures that input signal does not float | None | None | VDD_DMC | Desc: DMC0 Data Strobe for Upper Byte (complement) Notes: No notes |
| DMC0_VREF0 | a | | None | None | None | VDD_DMC | Desc: DMC0 Voltage Reference Notes: No notes |
| DMC0_VREF1 | a | | None | None | None | VDD_DMC | Desc: DMC0 Voltage Reference Notes: No notes |
| $\overline{\text{DMC0_WE}}$ | Output | B | None | None | L | VDD_DMC | Desc: DMC0 Write Enable Notes: No notes |
| GND | g | | None | None | None | | Desc: Ground Notes: No notes |
| HADC0_VIN0 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 0 Notes: Connect to GND if not used |
| HADC0_VIN1 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 1 Notes: Connect to GND if not used |
| HADC0_VIN2 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 2 Notes: Connect to GND if not used |
| HADC0_VIN3 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 3 Notes: Connect to GND if not used |
| HADC0_VIN4 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 4 Notes: Connect to GND if not used |
| HADC0_VIN5 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 5 Notes: Connect to GND if not used |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------------------------|--------|-------------|---|--|-------------|--------------|---|
| HADC0_VIN6 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 6 Notes: Connect to GND if not used |
| HADC0_VIN7 | a | NA | None | None | None | VDD_ANA | Desc: HADC0 Analog Input 7 Notes: Connect to GND if not used |
| HADC0_VREFN | s | NA | None | None | None | VDD_ANA | Desc: HADC0 Ground Reference for ADC Notes: Connect to GND if HADC and TMU are not used |
| HADC0_VREFP | s | NA | None | None | None | VDD_ANA | Desc: HADC0 External Reference for ADC Notes: Connect to VDD_REF if HADC and TMU are not used |
| JTG_TCK | Input | | Pull-up | Pull-up | None | VDD_EXT | Desc: JTAG Clock Notes: No notes |
| JTG_TDI | Input | | Pull-up | Pull-up | None | VDD_EXT | Desc: JTAG Serial Data In Notes: No notes |
| JTG_TDO | Output | A | None | High-Z when $\overline{\text{JTG_TRST}}$ is low, not affected by $\overline{\text{SYS_HWRST}}$ | None | VDD_EXT | Desc: JTAG Serial Data Out Notes: No notes |
| JTG_TMS | InOut | A | Pull-up | Pull-up | None | VDD_EXT | Desc: JTAG Mode Select Notes: No notes |
| $\overline{\text{JTG_TRST}}$ | Input | | Pull-down | Pull-down | None | VDD_EXT | Desc: JTAG Reset Notes: No notes |
| MLB0_CLKN | Input | N/A | Internal logic ensures that input signal does not float | None | None | VDD_REF | Desc: MLB0 Differential Clock (-) Notes: No notes |
| MLB0_CLKP | Input | N/A | Internal logic ensures that input signal does not float | None | None | VDD_REF | Desc: MLB0 Differential Clock (+) Notes: No notes |
| MLB0_DATN | InOut | I | Internal logic ensures that input signal does not float | None | None | VDD_REF | Desc: MLB0 Differential Data (-) Notes: No notes |
| MLB0_DATP | InOut | I | Internal logic ensures that input signal does not float | None | None | VDD_REF | Desc: MLB0 Differential Data (+) Notes: No notes |
| MLB0_SIGN | InOut | I | Internal logic ensures that input signal does not float | None | None | VDD_REF | Desc: MLB0 Differential Signal (-) Notes: No notes |
| MLB0_SIGP | InOut | I | Internal logic ensures that input signal does not float | None | None | VDD_REF | Desc: MLB0 Differential Signal (+) Notes: No notes |
| PA_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 0 OSPI0 MISO SPI2 MISO Notes: See note ² |
| PA_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position1 OSPI0 MOSI SPI2 MOSI Notes: See note ² |
| PA_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 2 OSPI0 D2 SPI2 D2 TWI3 Clock TIMER0 Timer Alternate Clock 3 Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|--|
| PA_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 3 OSPI0 D3 SPI2 D3 TWI3 Data Notes: See note ² |
| PA_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 4 OSPI0 Clock SPI2 Clock Notes: See note ² |
| PA_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 5 OSPI0 Slave Select Output 1 SPI2 Slave Select Output 1 SPI2 Slave Select Notes: See note ² |
| PA_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 6 OSPI0 D4 SPI0 Clock UART0 TX TIMER0 Timer Alternate Clock 1 Notes: See note ² |
| PA_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 7 OSPI0 D5 SPI0 MISO UART0 RX TIMER0 Timer Alternate Input 0 Notes: See note ² |
| PA_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 8 OSPI0 D6 SPI0 MOSI UART0 RTS TIMER0 Timer Alternate Clock 2 Notes: See note ² |
| PA_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 9 OSPI0 D7 SPI0 Slave Select Output 1 UART0 CTS SPI0 Slave Select Notes: See note ² |
| PA_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 10 SPI1 Clock TIMER0 Timer 0 TWI0 Clock Notes: See note ² |
| PA_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 11 HADC0 End of Conversion SPI1 MISO TWI0 Data TIMER0 Timer Alternate Input 4 Notes: See note ² |
| PA_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 12 SPI1 MOSI SHARC1 Core Flag 0 TIMER0 Timer 1 Notes: See note ² |
| PA_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 13 SPI1 Slave Select Output 1 SHARC1 Core Flag 1 TIMER0 Timer 2 SPI1 Slave Select Notes: See note ² |
| PA_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 14 SPI1 D2 TWI2 Clock UART1 RX TIMER0 Alternate Clock Input 1 Notes: See note ² |
| PA_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTA Position 15 SPI1 D3 TWI2 Data UART1 TX Notes: See note ² |
| PB_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 0 MLB0 Data TWI1 Clock UART1 RTS TIMER0 Alternate Clock Input 3 Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| PB_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 1 MLB0 Signal TWI1 Data UART1 CTS TIMER0 Timer Clock Notes: See note ² |
| PB_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 2 LP1 Acknowledge MLB0 Clock SHARC1 Core Flag 3 TIMER0 Timer Alternate Clock 4 Notes: See note ² |
| PB_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 3 SPI2 Slave Select Output 2 SHARC1 Core Flag 2 TIMER0 Timer 3 CNT0 Count Up and Direction Notes: See note ² |
| PB_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 4 LP0 Acknowledge SPI1 Ready TIMER0 Timer 4 CNT0 Zero Marker Notes: See note ² |
| PB_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 5 SPI0 Slave Select Output 2 SPI2 Ready TIMER0 Timer 5 CNT0 Count Down and Gate Notes: See note ² |
| PB_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 6 LP0 Clock SPI1 Slave Select Output 5 TRACE0 Trace Clock Notes: See note ² |
| PB_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 7 LP0 D0 SPI2 Slave Select Output 5 TRACE0 Trace Data 00 Notes: See note ² |
| PB_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 8 LP0 D1 SPI1 Slave Select Output 7 TIMER0 Timer 6 TRACE0 Trace Data 01 Notes: See note ² |
| PB_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 9 LP0 D2 SPI2 Slave Select Output 7 TIMER0 Timer 7 TRACE0 Trace Data 02 Notes: See note ² |
| PB_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 10 LP0 D3 SPI1 Slave Select Output 2 TRACE0 Trace Data 03 Notes: See note ² |
| PB_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 11 LP0 D4 SPI0 Ready UART2 RX TIMER0 Alternate Clock Input 2 Notes: See note ² |
| PB_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 12 LP0 D5 SPI2 Slave Select Output 3 UART2 TX Notes: See note ² |
| PB_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 13 LP0 D6 OSPI0 DQS SPI1 Slave Select Output 3 UART2 RTS Notes: See note ² |
| PB_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 14 LP0 D7 SPI0 Slave Select Output 3 UART2 CTS Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|--|
| PB_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTB Position 15 LP1 D0 SPI0 Slave Select Output 4 Notes: See note ² |
| PC_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 0 LP1 D1 SPI1 Slave Select Output 4 TRACE0 Trace Data 04 TWI4 Clock Notes: See note ² |
| PC_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 1 LP1 D2 SPI2 Slave Select Output 4 TRACE0 Trace Data 05 TWI4 Data Notes: See note ² |
| PC_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 2 LP1 D3 SPI1 Slave Select Output 6 TRACE0 Trace Data 06 TWI5 Clock Notes: See note ² |
| PC_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 3 LP1 D4 SPI2 Slave Select Output 6 TRACE0 Trace Data 07 TWI5 Data Notes: See note ² |
| PC_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 4 LP1 D5 OSPI0 Slave Select Output 2 Notes: See note ² |
| PC_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 5 LP1 D6 OSPI0 Slave Select Output 3 TIMER0 Timer 8 Notes: See note ² |
| PC_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 6 LP1 D7 SPI1 Ready Notes: See note ² |
| PC_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 7 LP1 Clock OSPI0 Slave Select Output 4 System Fault TIMER0 Timer 9 Notes: Defaults to GPIO on HPC package. Defaults to SYS_FAULT on LPC package, so external pull-down required to keep signal in deasserted state. |
| PC_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 8 EPPI0 D16 OSPI0 Clock Notes: See note ² |
| PC_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 9 EPPI0 D17 OSPI0 D3 Notes: See note ² |
| PC_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 10 EPPI0 D18 OSPI0 D2 Notes: See note ² |
| PC_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 11 EPPI0 D19 OSPI0 MOSI Notes: See note ² |
| PC_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 12 EPPI0 D20 OSPI0 MISO Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| PC_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 13 EPPI0 D21 OSPI0 D7 Notes: See note ² |
| PC_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 14 EPPI0 D22 OSPI0 D6 Notes: See note ² |
| PC_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTC Position 15 EPPI0 D23 OSPI0 D5 Notes: See note ² |
| PD_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 0 OSPI0 D4 Notes: See note ² |
| PD_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 1 EPPI0 D06 OSPI0 Slave Select Output 1 Notes: See note ² |
| PD_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 2 EMAC0 Carrier Sense SHARC2 Core Flag 10 UART1 RTS Notes: See note ² |
| PD_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 3 LP0 Acknowledgment SHARC1 Core Flag 11 UART1 CTS EMAC0 PTP Aux Input 2 Notes: See note ² |
| PD_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 4 EPPI0 D07 OSPI0 DQS UART1 RX TIMER0 Alternate Clock Input 1 Notes: See note ² |
| PD_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 5 EPPI0 D08 UART1 TX EMAC0 PTP Aux Input 1 Notes: See note ² |
| PD_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 6 EMAC0 Receive Error UART0 CTS Notes: See note ² |
| PD_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 7 EMAC0 Collision Detect UART0 RTS Notes: See note ² |
| PD_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 8 UART0 RX TIMER0 Alternate Clock Input 0 Notes: See note ² |
| PD_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 9 UART0 TX Notes: See note ² |
| PD_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 10 EPPI0 D09 UART2 RX TIMER0 Alternate Clock Input 2 Notes: See note ² |
| PD_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 11 EPPI0 D10 UART2 TX Notes: See note ² |
| PD_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 12 EPPI0 D11 TIMER0 Timer 6 UART2 RTS Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|--|
| PD_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 13 EPPI0 D12 TIMER0 Timer 7 UART2 CTS Notes: See note ² |
| PD_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 14 EPPI0 D13 LP1 Acknowledgment SHARC2 Core Flag 9 TWI4 Clock Notes: See note ² |
| PD_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTD Position 15 EPPI0 D14 TIMER0 Timer 15 TWI4 Data Notes: See note ² |
| PE_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 0 EPPI0 D15 SPI3 Slave Select Output 3 TWI5 Clock Notes: See note ² |
| PE_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 1 EPPI0 Frame Sync 1 SPI3 Slave Select Output 4 TWI5 Data TIMER0 Timer Alternate Clock 15 Notes: See note ² |
| PE_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 2 EPPI0 Frame Sync 2 HADC0 MUX0 SPI1 Slave Select Output 4 TWI0 Clock Notes: See note ² |
| PE_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 3 EPPI0 Frame Sync 3 HADC0 MUX2 SPI2 Slave Select Output 3 TWI0 Data TIMER0 Timer Alternate Clock 4 Notes: See note ² |
| PE_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 4 EPPI0 Clock HADC0 MUX1 TWI2 Clock Notes: See note ² |
| PE_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 5 EPPI0 D00 TWI2 Data Notes: See note ² |
| PE_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 6 EPPI0 D01 SHARC1 Core Flag 2 TIMER0 Timer 8 Notes: See note ² |
| PE_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 7 EPPI0 D02 SPI1 Ready SHARC1 Core Flag 3 TIMER0 Timer 9 Notes: See note ² |
| PE_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 8 EPPI0 D03 TIMER0 Timer 0 Notes: See note ² |
| PE_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 9 EPPI0 D04 TIMER0 Timer 1 EMAC0 PTP Aux Input 3 Notes: See note ² |
| PE_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 10 EPPI0 D05 SPI0 Slave Select Output 4 TIMER0 Timer 2 Notes: See note ² |
| PE_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 11 EMAC1 Reference Clock SHARC2 Core Flag 7 Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| PE_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 12 EMAC1 Transmit Enable SHARC1 Core Flag 8 Notes: See note ² |
| PE_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 13 EMAC1 Transmit Data D0 SHARC2 Core Flag 13 Notes: See note ² |
| PE_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 14 EMAC1 Transmit Data D1 SPI2 Slave Select Output 7 Notes: See note ² |
| PE_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTE Position 15 EMAC1 Receive Data D0 SPI0 Slave Select Output 6 Notes: See note ² |
| PF_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 0 EMAC1 Receive Data D1 SPI0 Slave Select Output 7 SPI3 Ready Notes: See note ² |
| PF_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 1 EMAC1 Serial Management Bidirectional Data SHARC1 Core Flag 7 Notes: See note ² |
| PF_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 2 EMAC1 Serial Management Clock SHARC1 Core Flag 6 Notes: See note ² |
| PF_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 3 EMAC1 Carrier Sense SHARC1 Core Flag 10 USBC0 USBC Stop Output Control Notes: See note ² |
| PF_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 4 USBC0 USBC Data 7 TIMER0 Timer Alternate Clock 13 Notes: See note ² |
| PF_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 5 MLB0 Clock Output USBC0 USBC Data 6 TIMER0 Timer Clock Notes: See note ² |
| PF_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 6 SPI1 Slave Select Output 7 SHARC2 Core Flag 2 USBC0 USBC Data 5 Notes: See note ² |
| PF_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 7 SPI3 Slave Select Output 2 SHARC2 Core Flag 3 USBC0 USBC Data 4 Notes: See note ² |
| PF_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 8 SPI3 Slave Select Output 6 SHARC2 Core Flag 8 TIMER0 Timer 11 USBC0 USBC Next Data Control Notes: See note ² |
| PF_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 9 SHARC1 Core Flag 9 USBC0 USBC Data Direction Control Notes: See note ² |
| PF_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 10 SHARC2 Core Flag 4 USBC0 USBC Data 3 Notes: See note |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| PF_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 11 SHARC2 Core Flag 5 USBC0 USBC Data 2 Notes: See note ² |
| PF_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 12 SHARC1 Core Flag 13 USBC0 USBC Data 1 Notes: See note ² |
| PF_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 13 SHARC1 Core Flag 12 USBC0 USBC Data 0 Notes: See note ² |
| PF_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 14 SHARC2 Core Flag 12 USBC0 USBC Clock Signal Notes: See note ² |
| PF_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTF Position 15 CANFD0 Receive TIMER0 Alternate Clock Input 4 Notes: See note ² |
| PG_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 0 CANFD0 Transmit TIMER0 Alternate Clock 10 Notes: See note ² |
| PG_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 1 CANFD1 Receive SPI2 Slave Select Output 6 TIMER0 Alternate Clock Input 11 Notes: See note ² |
| PG_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 2 CANFD1 Transmit SPI0 Slave Select Output 5 Notes: See note ² |
| PG_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 3 UART3 TX Notes: See note ² |
| PG_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 4 UART3 RX TIMER0 Alternate Clock Input 3 Notes: See note ² |
| PG_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 5 SPI3 Clock TIMER0 Alternate Clock 11 Notes: See note ² |
| PG_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 6 SPI3 MISO Notes: See note ² |
| PG_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 7 SPI3 MOSI TIMER0 Alternate Clock 12 Notes: See note ² |
| PG_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 7 SPI3 Slave Select Output 1 SPI3 Slave Select Input Notes: See note ² |
| PG_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 9 SPI1 Slave Select Output 6 SHARC1 Core Flag14 UART3 RTS TIMER0 Alternate Clock 1 Notes: See note ² |
| PG_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 10 SHARC2 Core Flag14 UART3 CTS TIMER0 Alternate Clock 3 Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| PG_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 11 SHARC2 Core Flag 15 Notes: See note ² |
| PG_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 12 OSPI0 Slave Select Output 3 SPI2 Slave Select Output 4 SHARC2 Core Flag 11 TIMER0 Timer 3 Notes: See note ² |
| PG_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 13 OSPI0 Slave Select Output 4 SHARC1 Core Flag 0 SHARC2 Core Flag 6 Notes: See note ² |
| PG_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 14 SPI0 Slave Select Output 2 TIMER0 Timer 10 TIMER0 Alternate Clock Input 10 Notes: See note ² |
| PG_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTG Position 15 SPI2 Ready SPI3 Slave Select Output 5 TIMER0 Timer 11 Notes: See note ² |
| PH_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 0 SPI3 Slave Select Output 7 TIMER0 Timer 12 TIMER0 Alternate Clock Input 12 Notes: See note ² |
| PH_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 1 SPI0 Ready TIMER0 Timer 13 TIMER0 Alternate Clock Input 13 Notes: See note ² |
| PH_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 2 SPI2 Slave Select Output 2 SHARC1 Core Flag 1 TIMER0 Timer 14 Notes: See note ² |
| PH_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 3 EMAC0 Serial Management Clock TRACE0 Trace D08 Notes: See note ² |
| PH_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 4 EMAC0 Serial Management Bidirectional Data TRACE0 Trace D09 Notes: See note ² |
| PH_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 5 EMAC0 Receive Data D0 TRACE0 Trace D10 Notes: See note ² |
| PH_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 6 EMAC0 Receive Data D1 TRACE0 Trace D11 Notes: See note ² |
| PH_07 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 7 EMAC0 Receive Reference Clock TRACE0 Trace D12 Notes: See note ² |
| PH_08 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 8 EMAC0 Receive Data Valid TRACE0 Trace D13 Notes: See note ² |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|-------------|-------|-------------|---|-------------------|-------------|--------------|---|
| PH_09 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 9 EMAC0 Transmit Data D0 TRACE0 Trace D14 Notes: See note ² |
| PH_10 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 10 EMAC0 Transmit Data D1 TRACE0 Trace D15 Notes: See note ² |
| PH_11 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 11 EMAC0 Receive Data D2 Notes: See note ² |
| PH_12 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 12 EMAC0 Receive Data D3 Notes: See note ² |
| PH_13 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 13 EMAC0 Transmit Enable Notes: See note ² |
| PH_14 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 14 EMAC0 Transmit Clock Notes: See note ² |
| PH_15 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTH Position 15 EMAC0 Transmit Data D2 Notes: See note ² |
| PI_00 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTI Position 0 EMAC0 Transmit Data D3 Notes: See note ² |
| PI_01 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTI Position 1 EMAC0 PTP Clock Input 0 SHARC2 Core Flag 0 TWI3 Clock Notes: See note ² |
| PI_02 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTI Position 2 EMAC0 PTP Aux Input 0 SHARC2 Core Flag 1 TWI3 Data Notes: See note ² |
| PI_03 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTI Position 3 EMAC0 Pulse Per Second Output SHARC1 Core Flag 4 TWI1 Clock Notes: See note ² |
| PI_04 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTI Position 4 EMAC0 Pulse Per Second Output SHARC1 Core Flag 5 TWI1 Data Notes: See note ² |
| PI_05 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTI Position 5 EMAC0 Pulse Per Second Output OSPIO Slave Select Output 2 SHARC1 Core Flag 15 TIMER0 Alternate Clock 2 Notes: See note ² |
| PI_06 | InOut | A | Programmable pull-up/pull-down ¹ | None | None | VDD_EXT | Desc: PORTI Position 6 EMAC0 Pulse Per Second Output TIMER0 Alternate Clock 14 Notes: See note ² |
| SYS_BMODE0 | Input | NA | None | None | None | VDD_EXT | Desc: Boot Mode Control 0 Notes: Cannot be left unconnected |
| SYS_BMODE1 | Input | NA | None | None | None | VDD_EXT | Desc: Boot Mode Control 1 Notes: Cannot be left unconnected |

表25. ADSP-2159x/ADSP-SC592/SC594設計クイック・リファレンス (続き)

| Signal Name | Type | Driver Type | Internal Termination | Reset Termination | Reset Drive | Power Domain | Description and Notes |
|---------------------------------|--------|-------------|----------------------|-------------------|-------------|--------------|---|
| SYS_BMODE2 | Input | NA | None | None | None | VDD_EXT | Desc: Boot Mode Control 2 Notes: Cannot be left unconnected |
| SYS_CLKIN0 | a | NA | None | None | None | VDD_REF | Desc: Clock/Crystal Input Notes: Cannot be left unconnected |
| SYS_CLKIN1 | a | NA | None | None | None | VDD_REF | Desc: Clock/Crystal Input Notes: Cannot be left unconnected |
| SYS_CLKOUT | Output | A | None | None | L | VDD_EXT | Desc: Processor Clock Output Notes: No notes |
| SYS_FAULT | InOut | A | None | None | None | VDD_EXT | Desc: Active-High Fault Output Notes: External pull-down required to keep signal in deasserted state |
| $\overline{\text{SYS_FAULT}}$ | InOut | A | None | None | None | VDD_EXT | Desc: Active-Low Fault Output Notes: External pull-up required to keep signal in deasserted state |
| $\overline{\text{SYS_HWRST}}$ | Input | NA | None | None | None | VDD_EXT | Desc: Processor Hardware Reset Control Notes: Cannot be left unconnected |
| $\overline{\text{SYS_RESOUT}}$ | Output | A | None | None | L | VDD_EXT | Desc: Reset Output Notes: No notes |
| SYS_XTAL0 | a | NA | None | None | None | VDD_REF | Desc: Crystal Output Notes: Leave unconnected if an oscillator provides SYS_CLKIN0 |
| SYS_XTAL1 | a | | None | None | None | VDD_REF | Desc: Crystal Output Notes: Leave unconnected if an oscillator provides SYS_CLKIN1 |
| VDD_ANA | s | | None | None | None | | Desc: Analog VDD Notes: No notes |
| VDD_DMC | s | | None | None | None | | Desc: DMC VDD Notes: No notes |
| VDD_EXT | s | | None | None | None | | Desc: External Voltage Domain Notes: No notes |
| VDD_INT | s | | None | None | None | | Desc: Internal Voltage Domain Notes: No notes |
| VDD_PLL | s | | None | None | None | | Desc: PLL VDD Notes: Connect to VDD_INT. For lower noise on VDD_PLL, filtering on VDD_INT is recommended before connecting to VDD_PLL. |
| VDD_REF | s | | None | None | None | | Desc: External Voltage Domain Notes: No notes |

¹ デフォルトでディスエーブル。

² 存在する場合、内部プルアップ/プルダウン設計はピンからの内部経路を、求められるロジック・レベルに保持します。外部パッドを求められるロジック・レベルにプルアップまたはプルダウンするには、外部抵抗を使用してください。

仕様

仕様は予告なく変更される場合があります。製品仕様の詳細については、アナログ・デバイセズの担当者にお問い合わせください。

動作条件

特に指定のない限り、すべての仕様および特性は動作条件範囲全体に適用されます。

| パラメータ | 条件 | 最小値 | 公称値 | 最大値 | 単位 | |
|---|---|-------------------------------|-------------------------------|----------------------------|-------------------------------|----|
| V _{DD_INT} | Internal (Core) Supply Voltage | 600MHz ≤ CCLK ≤ 1GHz | 0.95 | 1.00 | 1.05 | V |
| V _{DD_PLL} | PLL Supply Voltage | | 0.95 | 1.00 | 1.05 | V |
| V _{DD_EXT} | External (I/O) Supply Voltage | | 3.13 | 3.30 | 3.47 | V |
| V _{DD_ANA} | Analog Power Supply Voltage | | 1.71 | 1.80 | 1.89 | V |
| V _{DD_DMC} ¹ | DDR3L Controller Supply Voltage | | 1.34 | 1.39 | 1.44 | V |
| | DDR3 Controller Supply Voltage | | 1.425 | 1.500 | 1.575 | V |
| V _{DD_REF} ² | External (I/O) Reference Supply Voltage | | 1.71 | 1.80 | 1.89 | V |
| V _{DDR_VREF} ³ | DDR3 Reference Voltage | | 0.49 × V _{DD_DMC} | 0.50 × V _{DD_DMC} | 0.51 × V _{DD_DMC} | V |
| V _{DELTA_EXT_REF} ⁴ | (V _{DD_EXT} - V _{DD_REF}) and (V _{DD_EXT} - V _{DD_ANA}) | | -1.89 | | +1.89 | V |
| V _{HADC_REF} ⁵ | HADC Reference Voltage | | 1.71 | 1.80 | V _{DD_ANA} | V |
| V _{HADC0_VINx} | HADC Input Voltage | | 0 | | V _{HADC_REF} + 0.09 | V |
| V _{IH6} | High Level Input Voltage | V _{DD_EXT} = 3.47 V | 2.0 | | | V |
| V _{IHCLKIN} ² | High Level Clock Input Voltage | V _{DD_REF} = 1.89 | V 0.65 × V _{DD_REF} | | V _{DD_REF} | V |
| V _{IL6} ⁶ | Low Level Input Voltage | V _{DD_EXT} = 3.13 V | | | 0.8 | V |
| V _{ILCLKIN} ² | Low Level Clock Input Voltage | V _{DD_REF} = 1.71 V | -0.30 | | +0.35 × V _{DD_REF} | V |
| V _{IL_DDR3L} ⁷ | Low Level Input Voltage | V _{DD_DMC} = 1.34 V | | | V _{DDR_VREF} - 0.175 | V |
| V _{IL_DDR3} ⁷ | Low Level Input Voltage | V _{DD_DMC} = 1.425 V | | | V _{DDR_VREF} - 0.175 | V |
| V _{IH_DDR3L} ⁷ | High Level Input Voltage | V _{DD_DMC} = 1.44 V | V _{DDR_VREF} + 0.175 | | | V |
| V _{IH_DDR3} ⁷ | High Level Input Voltage | V _{DD_DMC} = 1.575 V | V _{DDR_VREF} + 0.175 | | | V |
| CONSUMER GRADE | | | | | | |
| T _J | Junction Temperature 400-Ball BGA_ED | | 0 | | 125 | °C |
| INDUSTRIAL GRADE | | | | | | |
| T _J | Junction Temperature 400-Ball BGA_ED | | -40 | | +125 | °C |
| AUTOMOTIVE GRADE⁸ | | | | | | |
| T _J | Junction Temperature 400-Ball BGA_ED | | -40 | | +125 | °C |

¹ DDR3L/DDR3信号に適用されます。

² SYS_CLKIN0ピンおよびSYS_CLKIN1ピンに適用されます。

³ DMC0_VREF0ピンおよびDMC0_VREF1ピンに適用されます。

⁴ 図10を参照してください。

⁵ V_{HADC_VREF}は常にV_{DD_ANA}より小さくなければなりません。

⁶ パラメータ値は、DMCピンを除くすべての入力ピンと双方向ピンに適用されます。

⁷ このパラメータはすべてのDMC0ピンに適用されます。

⁸ オートモーティブ・アプリケーション用途のプロファイル専用です。オートモーティブ以外の用途には対応しません。詳細については、アナログ・デバイセズにお問い合わせください。

クロック関連の動作条件

表26に、コア・クロック、システム・クロック、ペリフェラル・クロックのタイミング条件を示します。表に記載されたデータは、特に指定のない限り、すべての速度グレードに適用されます。

表 26. クロック動作条件

| パラメータ | 条件 | 最小値 | 公称値 | 最大値 | 単位 |
|--------------------------|---|--|-----|--------|-----|
| f _{CCLK} | Core Clock (CCLK) Frequency | f _{CCLK} = 2 × f _{SYSCLK} | | 1000 | MHz |
| f _{SYSCLK} | SYSCLK Frequency ¹ | | | 500 | MHz |
| f _{SCLK0} | SCLK0 Frequency | f _{SYSCLK} = N × f _{SCLK0} ただし、n = 2、4、または6 | | 125 | MHz |
| f _{SCLK1} | SCLK1 Frequency | f _{SYSCLK} ≥ f _{SCLK1} | | 333.33 | MHz |
| f _{DCLK} | DDR3 Clock (DCLK) Frequency ² | 以下の場合を除くすべての組み合わせをサポートします。 [f _{CCLK} > 800MHz、かつTj < 0°C、かつ f _{CCLK} :f _{DCLK} = 2:1] | | 800 | MHz |
| f _{OCLK} | Output Clock (OCLK) Frequency ³ | | | 125 | MHz |
| f _{SYS_CLKOUTJ} | SYS_CLKOUT Period Jitter ^{4, 5} | | ±1 | | % |
| f _{LCLKTPROG} | Programmed Link Port Transmit Clock | | | 125 | MHz |
| f _{LCLKREXT} | External Link Port Receive Clock ^{6, 7} | f _{LCLKREXT} ≤ f _{OCLK_0} | | 125 | MHz |
| f _{PCLKPROG} | Programmed PPI Clock When Transmitting Data and Frame Sync | | | 62.5 | MHz |
| f _{PCLKPROG} | Programmed PPI Clock When Receiving Data or Frame Sync | | | 50 | MHz |
| f _{PCLKEXT} | External PPI Clock When Receiving Data and Frame Sync ^{6, 7} | | | 62.5 | MHz |
| f _{PCLKEXT} | External PPI Clock Transmitting Data or Frame Sync ^{6, 7} | | | 50 | MHz |
| f _{SPTCLKPROG} | Programmed SPT Clock When Transmitting Data and Frame Sync | | | 62.5 | MHz |
| f _{SPTCLKPROG} | Programmed SPT Clock When Receiving Data or Frame Sync | | | 31.25 | MHz |
| f _{SPTCLKPROG} | Programmed SPT Clock When Receiving Data or Frame Sync When RLRE Register Bit = 1 ^{6, 7} | f _{SPTCLKEXT} ≤ f _{SCLK0} | | 62.5 | MHz |
| f _{SPTCLKEXT} | External SPT Clock When Receiving Data and Frame Sync ^{6, 7} | f _{SPTCLKEXT} ≤ f _{SCLK0} | | 62.5 | MHz |
| f _{SPTCLKEXT} | External SPT Clock Transmitting Data or Frame Sync ^{6, 7} | f _{SPTCLKEXT} ≤ f _{SCLK0} | | 31.25 | MHz |
| f _{SPICLKPROG} | Programmed SPI Clock When Transmitting Data | f _{SPICLK} :f _{SCLK0} 比 = 1:1 | | 75 | MHz |
| f _{SPICLKPROG} | Programmed SPI Clock When Receiving Data | f _{SPICLK} :f _{SCLK0} 比 = 1:1 | | 75 | MHz |
| f _{SPICLKPROG} | Programmed SPI Clock When Transmitting Data | f _{SPICLK} :f _{SCLK0} 比 = 1:2 | | 62.5 | MHz |
| f _{SPICLKPROG} | Programmed SPI Clock When Receiving Data | f _{SPICLK} :f _{SCLK0} 比 = 1:2 | | 62.5 | MHz |
| f _{SPICLKEXT} | External SPI Clock When Receiving Data ^{6, 7} | f _{SPICLKEXT} ≤ f _{CDU_CLK06} | | 62.5 | MHz |
| f _{SPICLKEXT} | External SPI Clock When Transmitting Data ^{6, 7} | f _{SPICLKEXT} ≤ f _{CDU_CLK06} | | 45 | MHz |
| f _{OSPICKPROG} | Programmed OSPI Clock Without Data Training | | | 62.5 | MHz |
| f _{OSPICKPROG} | Programmed OSPI Clock With Data Training and Without DQS | | | 80 | MHz |
| f _{OSPICKPROG} | Programmed OSPI Clock Without Data Training and With DQS | | | 125 | MHz |
| f _{TMRLKEXT} | External Timer Clock (TMx_CLK) | f _{TMRLKEXT} ≤ f _{SCLK0} / 4 | | 31.25 | MHz |
| f _{BCLK} | Bit Clock Input to PDM | | | 24.576 | MHz |
| f _{PDM_CLK} | PDM Output Clock | | | 6.144 | MHz |
| f _{USBC0_CLK} | Input Clock From External USB PHY | | | 60 | MHz |

¹ MLBを用いる場合、3ピン・モード、かつ対応するすべての速度に対し、f_{SYSCLK}の値は100MHz以上でなくてはならないという条件があります。

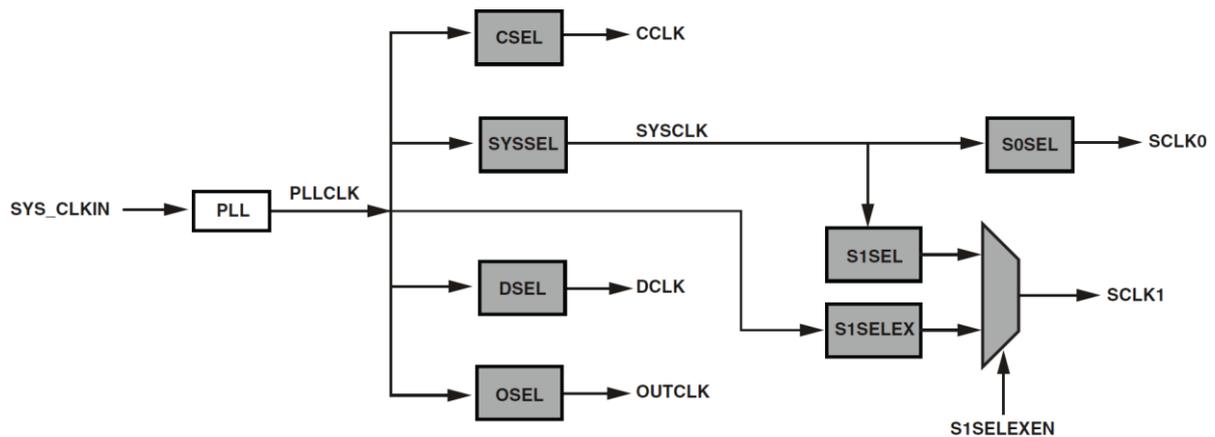
² DDR3/3Lの適切な動作を確保するために、DDR3/3Lのすべてのガイドラインには厳格に従ってください。ADSP-2159x/SC59x Board Design Guidelines for Dynamic Memory Controller (EE-434) を参照してください。

³ f_{OCLK}は、SYS_CLKOUTとして選択された場合、f_{SCLK0}を超えないようにしてください。

- 4 SYS_CLKOUTのジッタは、ピン切替え動作、ボード・レイアウト、SYS_CLKINソースのジッタ特性を含む、アプリケーションのシステム設計によって異なります。これらの要素に対する依存性があるため、測定したジッタは、エンド・アプリケーションごとに、この代表的な仕様より高い場合も低い場合もあります。
- 5 代表値フィールドの値は、SYS_CLKOUT周期に対するパーセンテージです。
- 6 外部クロック・モードにおいて、任意のペリフェラルに対し実現可能な最大周波数は、そのペリフェラルに対するACタイミング仕様のセクションに示されているセットアップ時間とホールド時間に適合できるかどうかによって異なります。
- 7 ペリフェラルの外部クロック周波数は、ペリフェラルをクロックする周波数以下であることも必要です。

表27. フェーズ・ロック・ループ (PLL) の動作条件

| Parameter | | Min | Max | Unit |
|---------------------|---------------------|------|------|------|
| f _{PLLCLK} | PLL Clock Frequency | 1.20 | 2.00 | GHz |



REFER TO THE ADSP-2159x/ADSP-SC592/SC594 SHARC+ PROCESSOR HARDWARE REFERENCE FOR INFORMATION ABOUT ALLOWED DIVIDER VALUES AND PROGRAMMING MODELS.

図8. クロックの関係と分周器の値

電気的特性

特に指定のない限り、すべての仕様および特性は動作条件範囲全体に適用されます。

| パラメータ | 条件 | 最小値 | 公称値 | 最大値 | 単位 |
|------------------------------------|---|---|-----|-------|----|
| V _{OH} | High Level Output Voltage | V _{DD_EXT} = 最小値、(I _{OH} = -2.0mA、DS1) ¹ 、 (I _{OH} = -4.0mA、DS2) ² | | 2.4 | V |
| V _{OL} | Low Level Output Voltage | V _{DD_EXT} = 最小値、(I _{OL} = 2.0mA、DS1) ¹ 、(I _{OL} = 4.0mA、DS2) ² | | 0.4 | V |
| V _{OH_XTAL} ³ | High Level Output Voltage | V _{DD_REF} = 最小値、I _{OH} = -1.0mA | | 1.26 | V |
| V _{OL_XTAL} ³ | Low Level Output Voltage | V _{DD_REF} = 最小値、I _{OL} = 1.0mA | | 0.45 | V |
| V _{OH_DDR3L} ⁴ | High Level Output Voltage for DDR3L Drive Strength = 40 Ω | V _{DD_DDR} = 最小値、I _{OH} = -2.5mA | | 1.02 | V |
| V _{OL_DDR3L} ⁴ | Low Level Output Voltage for DDR3L Drive Strength = 40 Ω | V _{DD_DDR} = 最小値、I _{OL} = 2.5mA | | 0.32 | V |
| V _{OH_DDR3} ⁵ | High Level Output Voltage for DDR3 Drive Strength = 40 Ω | V _{DD_DDR} = 最小値、I _{OH} = -2.5mA | | 1.105 | V |
| V _{OL_DDR3} ⁵ | Low Level Output Voltage for DDR3 Drive Strength = 40 Ω | V _{DD_DDR} = 最小値、I _{OL} = 2.5mA | | 0.32 | V |
| V _{OH_DDR3L} ⁴ | High Level Output Voltage for DDR3L Drive Strength = 60 Ω | V _{DD_DDR} = 最小値、I _{OH} = -1.8mA | | 1.02 | V |
| V _{OL_DDR3L} ⁴ | Low Level Output Voltage for DDR3L Drive Strength = 60 Ω | V _{DD_DDR} = 最小値、I _{OL} = 1.8mA | | 0.32 | V |
| V _{OH_DDR3} ⁵ | High Level Output Voltage for DDR3 Drive Strength = 60 Ω | V _{DD_DDR} = 最小値、I _{OH} = -1.8mA | | 1.105 | V |
| V _{OL_DDR3} ⁵ | Low Level Output Voltage for DDR3 Drive Strength = 60 Ω | V _{DD_DDR} = 最小値、I _{OL} = 1.8mA | | 0.32 | V |
| V _{OH_DDR3L} ⁴ | High Level Output Voltage for DDR3L Drive Strength = 90 Ω | V _{DD_DDR} = 最小値、I _{OH} = -1.2mA | | 1.02 | V |
| V _{OL_DDR3L} ⁴ | Low Level Output Voltage for DDR3L Drive Strength = 90 Ω | V _{DD_DDR} = 最小値、I _{OL} = 1.2mA | | 0.32 | V |
| V _{OH_DDR3} ⁵ | High Level Output Voltage for DDR3 Drive Strength = 90 Ω | V _{DD_DDR} = 最小値、I _{OH} = -1.2mA | | 1.105 | V |
| V _{OL_DDR3} ⁵ | Low Level Output Voltage for DDR3 Drive Strength = 90 Ω | V _{DD_DDR} = 最小値、I _{OL} = 1.2mA | | 0.32 | V |
| V _{OH_DDR3L} ⁴ | High Level Output Voltage for DDR3L Drive Strength = 100 Ω | V _{DD_DDR} = 最小値、I _{OH} = -1.0mA | | 0.963 | V |
| V _{OL_DDR3L} ⁴ | Low Level Output Voltage for DDR3L Drive Strength = 100 Ω | V _{DD_DDR} = 最小値、I _{OL} = 1.0mA | | 0.32 | V |
| V _{OH_DDR3} ⁵ | High Level Output Voltage for DDR3 Drive Strength = 100 Ω | V _{DD_DDR} = 最小値、I _{OH} = -1.0mA | | 1.105 | V |
| V _{OL_DDR3} ⁵ | Low Level Output Voltage for DDR3 Drive Strength = 100 Ω | V _{DD_DDR} = 最小値、I _{OL} = 1.0mA | | 0.32 | V |
| I _{IH} ⁶ | High Level Input Current | V _{DD_EXT} = 最大値、V _{IN} = V _{DD_EXT} の最大値 | | 10 | μA |
| I _{IL} ⁶ | Low Level Input Current | V _{DD_EXT} = 最大値、V _{IN} = 0V | | 10 | μA |
| I _{IL_PU} ⁷ | Low Level Input Current Pull-Up | V _{DD_EXT} = 最大値、V _{IN} = 0V | | 200 | μA |
| I _{IH_PD} ⁸ | High Level Input Current Pull-Down | V _{DD_EXT} = 最大値、V _{IN} = V _{DD_EXT} の最大値 | | 200 | μA |
| I _{OZH} ⁹ | Three-State Leakage Current | V _{DD_EXT} /V _{DD_DDR} = 最大値、V _{IN} = V _{DD_EXT} /V _{DD_DDR} の最大値 | | 10 | μA |
| I _{OZL} ⁹ | Three-State Leakage Current | V _{DD_EXT} /V _{DD_DDR} = 最大値、V _{IN} = 0V | | 10 | μA |
| C _{IN} ¹⁰ | Input Capacitance | T _J = 25°C | | 5 | pF |
| I _{DD_IDLE} | V _{DD_INT} Current in Idle | f _{CCLK} = 1000MHz ASF _{SHARC1} = 0.43 ASF _{SHARC2} = 0.43 f _{SYSCCLK} = 500MHz f _{SCLK0} = 125MHz f _{SCLK1} = 333.33MHz (他のクロックはディスエーブル) ペリフェラルおよびDMAの動作なし T _J = 25°C V _{DD_INT} = 1.0V | | 1134 | mA |

| パラメータ | 条件 | 最小値 | 公称値 | 最大値 | 単位 |
|--|--|-----|------|---|----|
| I _{DD_TYP} VDD_INT Current | f _{CCLK} = 1000MHz ASF _{SHARC1} = 1.0 ASF _{SHARC2} = 1.0 f _{SYSCLK} = 500MHz f _{SCLK0} = 125MHz f _{SCLK1} = 333.33MHz (他のクロックはディスエーブル) ペリフェラルおよびDMAの動作なし T _J = 25°C | | 1933 | | mA |
| I _{DD_INT} 11 V _{DD_INT} Current | V _{DD_INT} = 1.0V f _{CCLK} > 0MHz f _{SCLK0/1} ≥ 0MHz | | | I _{DD_INT_TOT} 合計内部消費電力のセクションの式を参照。 | mA |

¹ DMC、SYS_XTALxを除き、62.5MHz以下で動作するすべての出力ピンおよび双方向ピンに適用されます。

² DMCを除き、62.5MHzを超え125MHz以下で動作するすべての出力ピンおよび双方向ピンに適用されます。

³ SYS_XTALxピンに適用されます。

⁴ DDR3LモードのすべてのDMC出力ピンおよび双方向ピンに適用されます。

⁵ DDR3モードのすべてのDMC出力ピンおよび双方向ピンに適用されます。

⁶ 次の入力ピンに適用されます：SYS_BMODE2-0、SYS_CLKINx、SYS_HWRST。

⁷ 次の内部プルアップを備えた入力ピンに適用されます：JTG_TDI、JTG_TMS、JTG_TCK。

⁸ JTAG_TRST信号に適用されます。

⁹ 次の信号に適用されます：PAx、PBx、PCx、PDx、PEx、PFx、PGx、PHx、PI6~PI0、DAI0_PINx、DAI1_PINx、DMC0_DQx、DMC0_LDQS、DMC0_UDQS、DMC0_LDQS、DMC0_UDQS、SYS_FAULT、SYS_FAULT、JTG_TDO。

¹⁰ すべての信号ピンに適用されます。

¹¹ 詳細については、[Estimating Power for ADSP-2159x/SC59x SHARC+ Processors \(EE-433\)](#) を参照してください。

合計内部消費電力

合計消費電力は以下の2つの要素からなります。

- もれ電流を含む静的要素
- 各クロック・ドメインのトランジスタのスイッチング特性による動的要素

消費電力は、温度、電圧、動作周波数、プロセッサの動作などを含む様々な動作条件にも影響されます。内部消費電流は次式のよう表されます。

$$I_{DD_INT_TOT} = I_{DD_INT_STATIC} + I_{DD_INT_CCLK_SHARC1_DYN} + I_{DD_INT_CCLK_SHARC2_DYN} + I_{DD_INT_CCLK_A5_DYN} + I_{DD_INT_DCLK_DYN} + I_{DD_INT_SYSCLK_DYN} + I_{DD_INT_SCLK0_DYN} + I_{DD_INT_SCLK1_DYN} + I_{DD_INT_OCLK_DYN} + I_{DD_INT_ACCL_DYN} + I_{DD_INT_DMA_DR_DYN}$$

ここで、 $I_{DD_INT_STATIC}$ は静的消費電力要素の唯一の要因で、表28の電圧 (V_{DD_INT}) およびジャンクション温度 (T_j) の関数で規定されます。

表28. 静的電流 - $I_{DD_INT_STATIC}$ (mA)

| T_j (°C) | Voltage (V_{DD_INT}) | | |
|------------|---------------------------|--------|--------|
| | 0.95 V | 1.00 V | 1.05 V |
| -40 | 17 | 23 | 32 |
| -20 | 30 | 39 | 52 |
| -10 | 40 | 52 | 68 |
| 0 | 55 | 70 | 89 |
| +10 | 76 | 95 | 119 |
| +25 | 123 | 149 | 183 |
| +40 | 199 | 238 | 287 |
| +55 | 314 | 371 | 440 |
| +70 | 485 | 567 | 666 |
| +85 | 740 | 859 | 1001 |
| +100 | 1120 | 1293 | 1501 |
| +105 | 1287 | 1485 | 1721 |
| +115 | 1690 | 1951 | 2261 |
| +125 | 2205 | 2551 | 2965 |

$I_{DD_INT_TOT}$ の式にあるその他の10項は、動的な消費電力要素からなり、アプリケーション依存電流、クロック電流、高速ペリフェラル動作による電流、データ伝送電流、の4つのカテゴリに大きく分類できます。

アプリケーション依存電流

アプリケーション依存電流には、2つのSHARC+コアおよびArm Cortex-A5コアのコア・クロック・ドメインでの動的電流と、アクセラレータ・ブロックにおける動的電流があります。

コアで消費される動的電流は、プロセッサ・コアで実行されるアプリケーション・コードに対応するアクティビティ・スケールング・ファクタ (ASF) の影響を受けます (表29および表30を参照)。ASFをCCLK周波数および表31と表32に示す各 V_{DD_INT} 依存動的電流と組み合わせることで、この部分の合計動的消費電力要素を計算できます。

$$I_{DD_INT_CCLK_SHARC1_DYN} = \text{表31} \times ASF_{SHARC1}$$

$$I_{DD_INT_CCLK_SHARC2_DYN} = \text{表31} \times ASF_{SHARC2}$$

$$I_{DD_INT_CCLK_A5_DYN} = \text{表32} \times ASF_{A5}$$

表29. SHARC+[®]コア1およびコア2のアクティビティ・スケールング・ファクタ (ASF_{SHARC1} および ASF_{SHARC2})

| I_{DD_INT} Power Vector | ASF |
|----------------------------|------|
| I_{DD_LS} | 0.28 |
| I_{DD_IDLE} | 0.43 |
| I_{DD_NOP} | 0.56 |
| $I_{DD_TYP_3070}$ | 0.79 |
| $I_{DD_TYP_5050}$ | 0.89 |
| $I_{DD_TYP_7030}$ | 1.00 |
| $I_{DD_PEAK_100}$ | 1.10 |

表30. Arm[®] Cortex[®]-A5コアのアクティビティ・スケールング・ファクタ (ASF_{A5})

| I_{DD_INT} Power Vector | ASF |
|----------------------------|------|
| I_{DD_IDLE} | 0.27 |
| $I_{DD_DHRYSTONE}$ | 0.67 |
| $I_{DD_TYP_2575}$ | 0.53 |
| $I_{DD_TYP_5050}$ | 0.79 |
| $I_{DD_TYP_7525}$ | 1.00 |
| $I_{DD_PEAK_100}$ | 1.26 |

表31. SHARC+®コアの動的電流 (mA、ASF = 1.00)

| f _{CCLK} (MHz) | Voltage (V _{DD_INT}) | | |
|-------------------------|--------------------------------|--------|--------|
| | 0.95 V | 1.00 V | 1.05 V |
| 600 | 400 | 421 | 442 |
| 650 | 433 | 456 | 478 |
| 700 | 466 | 491 | 515 |
| 750 | 499 | 526 | 552 |
| 800 | 533 | 561 | 589 |
| 850 | 566 | 596 | 626 |
| 900 | 599 | 631 | 662 |
| 950 | 633 | 666 | 699 |
| 1000 | 666 | 701 | 736 |

表32. Arm® Cortex®-A5コアの動的電流 (mA、ASF = 1.00)

| f _{CCLK} (MHz) | Voltage (V _{DD_INT}) | | |
|-------------------------|--------------------------------|--------|--------|
| | 0.95 V | 1.00 V | 1.05 V |
| 600 | 63 | 66 | 69 |
| 650 | 68 | 72 | 75 |
| 700 | 73 | 77 | 81 |
| 750 | 78 | 83 | 87 |
| 800 | 84 | 88 | 92 |
| 850 | 89 | 94 | 98 |
| 900 | 94 | 99 | 104 |
| 950 | 99 | 105 | 110 |
| 1000 | 105 | 110 | 116 |

クロック電流

動的クロック電流は、クロック経路のすべてのトランジスタ・スイッチングによる合計消費電力を構成します。各クロック・ドメインによる消費電力は、電圧 (V_{DD_INT})、動作周波数、固有スケールリング・ファクタに依存します。

$$I_{DD_INT_SYSCLK_DYN} \text{ (mA)} = 0.651 \times f_{SYSCLK} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DD_INT_SCLK0_DYN} \text{ (mA)} = 0.41 \times f_{SCLK0} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DD_INT_SCLK1_DYN} \text{ (mA)} = 0.015 \times f_{SCLK1} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DD_INT_DCLK_DYN} \text{ (mA)} = 0.097 \times f_{DCLK} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

$$I_{DD_INT_OCLK_DYN} \text{ (mA)} = 0.093 \times f_{OCLK} \text{ (MHz)} \times V_{DD_INT} \text{ (V)}$$

データ伝送電流

データ伝送電流は、DMAを介してデータがシステム全体を移動する際に消費される電力に相当します。この電流は、データ・レートに比例します。データ伝送の帯域幅に基づいて I_{DD_INT_DMA_DR_DYN}を見積もるには、[Estimating Power for ADSP-2159x/SC59x SHARC+ Processors \(EE-433\)](#) で使用可能な電力計算ツールを参照してください。

HADC

HADCの電気的特性

表 33. HADCの電気的特性

| パラメータ | 条件 | 代表値 | 単位 |
|--------------------------------|---|-----|----|
| I _{DD_HADC_IDLE} | V _{DD_HADC} の消費電流 HADCはパワーオン状態ですが変換は行っていません | 2 | mA |
| I _{DD_HADC_ACTIVE} | 変換中のV _{DD_HADC} の消費電流 | 2.5 | mA |
| I _{DD_HADC_POWERDOWN} | V _{DD_HADC} の消費電流 HADCのアナログ回路がパワーダウンしています | 40 | μA |

HADCのDC精度

表34. BGA_ED (LPC) のHADCのDC精度¹

| Parameter | Typ | Unit ² |
|---------------------------------|-----|-------------------|
| Resolution | 10 | Bits |
| No Missing Codes (NMC) | 10 | Bits |
| Integral Nonlinearity (INL) | ±2 | LSB |
| Differential Nonlinearity (DNL) | ±1 | LSB |
| Offset Error | ±5 | LSB |
| Offset Error Matching | ±5 | LSB |
| Gain Error | ±3 | LSB |
| Gain Error Matching | ±3 | LSB |

¹ HADC0_VINxの仕様については動作条件のセクションを参照してください。

² LSB = HADC0_VREFP ÷ 1024。

表35. BGA_ED (HPC) のHADCのDC精度¹

| Parameter | Typ | Unit ² |
|---------------------------------|-----|-------------------|
| Resolution | 10 | Bits |
| No Missing Codes (NMC) | 10 | Bits |
| Integral Nonlinearity (INL) | ±2 | LSB |
| Differential Nonlinearity (DNL) | ±1 | LSB |
| Offset Error | ±9 | LSB |
| Offset Error Matching | ±9 | LSB |
| Gain Error | ±3 | LSB |
| Gain Error Matching | ±4 | LSB |

¹ HADC0_VINxの仕様については動作条件のセクションを参照してください。

² LSB = HADC0_VREFP ÷ 1024。

HADDCのタイミング仕様

表36. HADDCのタイミング仕様

| Parameter | Typ | Max | Unit |
|------------------------------|--------------------------|-----|------|
| Conversion Time ¹ | 20 × T _{SAMPLE} | | μs |
| Throughput Range | | 1 | MSPS |
| T _{WAKEUP} | | 100 | μs |

¹ T_{SAMPLE}の詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスを参照してください。

TMU

TMU特性

表37. TMU特性

| Parameter | Typ | Unit |
|------------|-----|------|
| Resolution | 1 | °C |
| Accuracy | ±6 | °C |

表38. TMUのゲインとオフセット

| Junction Temperature Range | TMU_GAIN | TMU_OFFSET |
|----------------------------|------------------------------|------------|
| -40°C to +40°C | Contact Analog Devices, Inc. | |
| 40°C to 85°C | Contact Analog Devices, Inc. | |
| 85°C to 125°C | Contact Analog Devices, Inc. | |

絶対最大定格

表39に記載されている絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える場合があります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表39. 絶対最大定格

| Parameter | Rating |
|---|--------------------|
| Internal (Core) Supply Voltage (V _{DD_INT}) | -0.3 V to +1.05 V |
| PLL Supply Voltage (V _{DD_PLL}) | -0.3 V to +1.05 V |
| External (I/O) Supply Voltage (V _{DD_EXT}) | -0.3 V to +3.47 V |
| External (I/O) Reference Supply Voltage (V _{DD_REF}) | -0.3 V to +1.89 V |
| (V _{DD_EXT} - V _{DD_REF}) and (V _{DD_EXT} - V _{DD_ANA}) (V _{DELTA_EXT_REF}) | -1.89 V to +1.89 V |
| DDR3 Controller Supply Voltage (V _{DD_DMC}) | -0.3 V to +1.60 V |
| Analog Supply Voltage (V _{DD_ANA}) | -0.3 V to +1.89 V |
| HADDC Reference Voltage (V _{HADDC_REF}) | -0.3 V to +1.89 V |
| DDR3 Input Voltage ¹ | -0.3 V to +1.60 V |
| Digital Input Voltage ^{1,2} | -0.3 V to +3.47 V |
| TWI Input Voltage ^{1,3} | -0.3 V to +3.47 V |

表39. 絶対最大定格 (続き)

| Parameter | Rating |
|--|---------------------------------------|
| Output Voltage Swing | -0.3 V to V _{DD_EXT} +0.5 V |
| Analog Input Voltage ⁴ | -0.2 V to V _{DD_ANA} +0.09 V |
| I _{OH} /I _{OL} Current per Signal ² | 6 mA (maximum) |
| Storage Temperature Range | -65°C to +150°C |
| Junction Temperature While Biased | 125°C |

¹ 関連する電源 (V_{DD_DMC}またはV_{DD_EXT}) が仕様範囲内にある場合にのみ適用されます。電源が仕様値に満たない場合、範囲はその電力ドメインに印加されている電圧±0.2Vとなります。

² トランジエントのデューティ・サイクルが100%である場合に適用されません。

³ TWI_SCLおよびTWI_SDAに適用されます。

⁴ V_{DD_ANA}が仕様範囲内で1.8V以下の場合にのみ適用されます。V_{DD_ANA}が仕様範囲内で1.8Vを超える場合は、最大定格は1.89Vになります。V_{DD_ANA}が仕様を下回る場合は、範囲はV_{DD_ANA} ± 0.09Vになります。

表40. V_{DD_INT}およびV_{DD_EXT}の入カトランジエント電圧の最大デューティ・サイクル

| V _{DD_INT} (V) ¹ | V _{DD_EXT} (V) ¹ | Maximum Duty Cycle ² |
|--------------------------------------|--------------------------------------|---------------------------------|
| 1.120 | | 5% |
| 1.103 | | 10% |
| 1.086 | | 20% |
| 1.077 | | 30% |
| 1.065 | | 50% |
| 1.056 | | 75% |
| 1.050 | 3.470 | 100% |

¹ 各値を組み合わせて1回のオーバーシュートまたはアンダーシュートを解析することはできません。最も厳しい場合に見られる値が、指定されたいずれかの電圧の範囲内である必要があり、また、(100%の場合を超える)オーバーシュートまたはアンダーシュートの合計時間は、対応するデューティ・サイクル以下である必要があります。

² デューティ・サイクルとは、信号が100%の場合の値を超える時間のパーセンテージのことを指します。これは、発生周期に対するパーセンテージとして測定された、1回のオーバーシュートまたはアンダーシュートの時間に相当します。

表41. 入カトランジエント電圧に対する最大デューティ・サイクル

| 3.3 V V _{IN} Max (V) ¹ | 1.8 V V _{IN} Max (V) ¹ | Maximum Duty Cycle ² |
|--|--|---------------------------------|
| 3.47 | 1.89 | 100% |

¹ 各値を組み合わせて1回のオーバーシュートまたはアンダーシュートを解析することはできません。最も厳しい場合に見られる値が、指定されたいずれかの電圧の範囲内である必要があり、また、(100%の場合を超える)オーバーシュートまたはアンダーシュートの合計時間は、対応するデューティ・サイクル以下である必要があります。

² デューティ・サイクルとは、信号が100%の場合の値を超える時間のパーセンテージのことを指します。これは、発生周期に対するパーセンテージとして測定された、1回のオーバーシュートまたはアンダーシュートの時間に相当します。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

タイミング仕様

特に指定のない限り、すべての仕様および特性は動作条件範囲全体に適用されます。

パワーアップ・リセットのタイミング

表42および図9に、クロック生成ユニット (CGU) およびリセット・コントロール・ユニット (RCU) に関する、電源スタートアップとプロセッサ・リセットのタイミングの関係を示します。

図9において、 $V_{DD_SUPPLIES}$ は、 V_{DD_INT} 、 V_{DD_PLL} 、 V_{DD_EXT} 、 V_{DD_DMC} 、 V_{DD_REF} 、 V_{DD_ANA} です。システム設計においては、下記に示すいくつかの点を考慮する必要があります。

1. $V_{DELTA_EXT_REF}$ 仕様は、パワーアップ・リセット時やデバイスのパワーダウン時を含め、常に満たす必要があります (図10)。
2. $\overline{SYS_HWRST}$ や $\overline{SYS_RESOUT}$ などの V_{DD_EXT} 電源ドメインのI/Oピン動作はどれも、 $V_{DD_SUPPLIES}$ レールがパワーアップされるまで、一時的に実際に駆動される可能性があります。ボード上でこれらの信号を共有するシステムは、この動作に基づいて、対応する必要がある問題があるかどうかを判定する必要があります。

表42. パワーアップ・リセットのタイミング

| Parameter | Min | Max | Unit |
|----------------------------|---|-----|---------|
| <i>Timing Requirements</i> | | | |
| $t_{RST_IN_PWR}$ | SYS_HWRST Deasserted after $V_{DD_SUPPLIES}$ (V_{DD_INT} , V_{DD_PLL} , V_{DD_EXT} , V_{DD_DMC} , V_{DD_REF} , V_{DD_ANA}) and SYS_CLKINx are Stable and Within Specification | | ns |
| t_{PWR_UP} | $V_{DD_SUPPLIES}$ Power Ramp Up | | μ s |
| t_{PWR_DOWN} | $V_{DD_SUPPLIES}$ Power Ramp Down | | μ s |

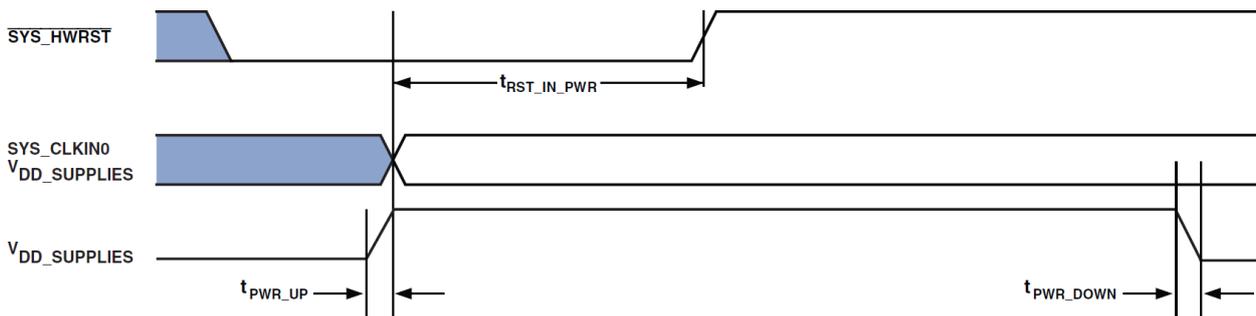


図9. パワーアップ・リセットのタイミング

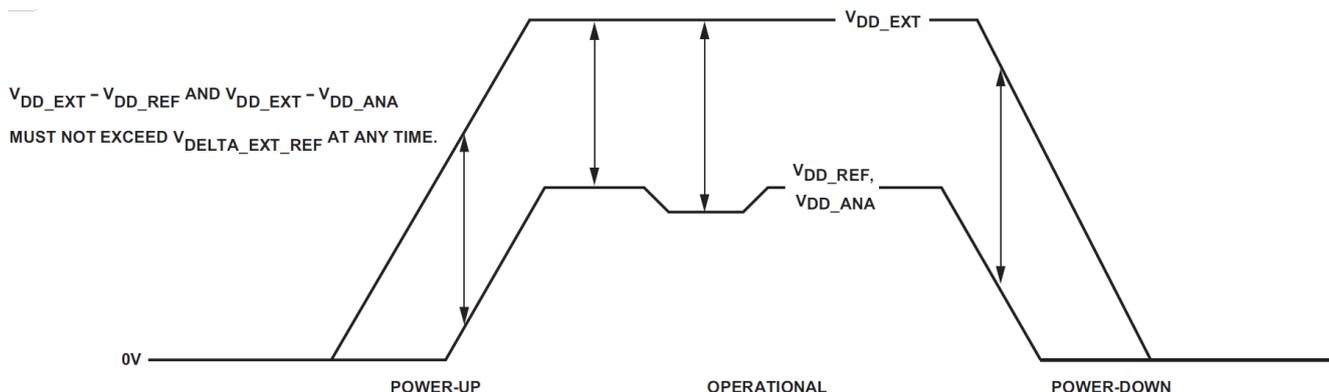


図10. パワーアップおよびパワーダウンの電圧差条件

クロックおよびリセットのタイミング

表43と図11に、CGUおよびRCUに関連するクロックとリセットの動作を示します。表26（クロック動作条件）のCCLK、SYSCLK、SCLKx、DCLK、OCLKのタイミング仕様ごとに、SYS_CLKIN0、SYS_CLKIN1、およびクロック逡倍器の組み合わせによってクロック・レートがプロセッサの最大命令レートを超えることがあってはなりません。

表43. クロックおよびリセットのタイミング

| Parameter | Min | Max | Unit | |
|----------------------------|--|----------------------|------|-----|
| <i>Timing Requirements</i> | | | | |
| f_{CKIN} | SYS_CLKINx Frequency (Crystal) ^{1, 2} | 20 | 30 | MHz |
| | SYS_CLKINx Frequency (External SYS_CLKINx) ^{1, 2} | 20 | 30 | MHz |
| t_{CKINL} | SYS_CLKINx Low Pulse ¹ | 16.67 | | ns |
| t_{CKINH} | SYS_CLKINx High Pulse ¹ | 16.67 | | ns |
| t_{WRST} | \overline{RESET} Asserted Pulse Width Low ³ | $11 \times t_{CKIN}$ | | ns |

¹ PLLバイパス・モードおよびPLL非バイパス・モードに適用されます。

² t_{CKIN} の周期（図11参照）は $1/f_{CKIN}$ です。

³ パワーアップ・シーケンスの完了後に適用されます。パワーアップ・リセットのタイミングについては表42および図9を参照してください。

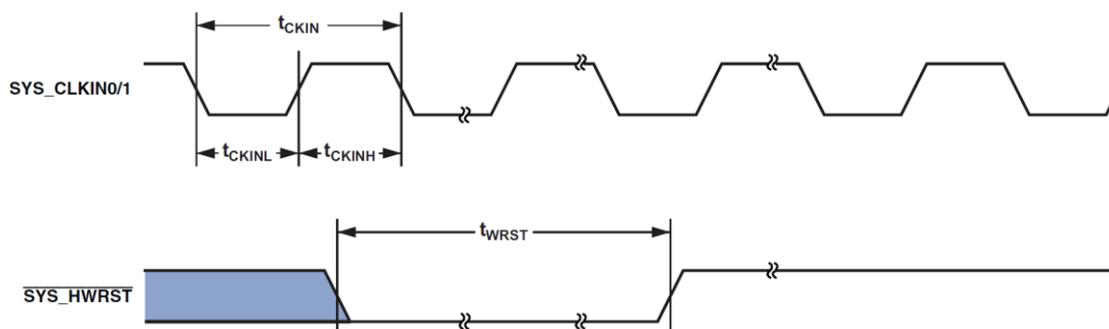


図11. クロックおよびリセットのタイミング

ダイナミック・メモリ・コントローラ（DMC） - クロック、制御、書込み、読出しサイクルのタイミング

DMCのクロック、制御、書込み、読出しの各タイミングはJEDEC規格に準拠しています。DDR3/3Lの適切な動作を確保するために、DDR3/3Lのすべてのガイドラインに厳格に従ってください。ADSP-2159x/SC59x Board Design Guidelines for Dynamic Memory Controller (EE-434) を参照してください。

リンク・ポート (LP)

LP受信モードでは、LPクロックは外部から供給され、 $f_{LCLKREXT}$ と呼ばれます。そのため、周期は次式で表されます。

$$t_{LCLKREXT} = \frac{1}{f_{LCLKREXT}}$$

LP送信モードでは、プログラムされたMHzを単位とするLPクロック周波数 ($f_{LCLKTPROG}$) が次の式で設定されます。ここで、VALUEは1～255の範囲で設定できるLP_DIVレジスタのフィールドです。

$$f_{LCLKTPROG} = \frac{f_{CDU_CLK08}}{(VALUE \times 2)}$$

VALUE = 0の場合は、 $f_{LCLKTPROG} = f_{CDU_CLK08}$ です。VALUEのすべての設定値に対し、次式が成立します。

$$t_{LCLKTPROG} = \frac{1}{f_{LCLKTPROG}}$$

リンク・クロックを基準とした、リンク・レシーバーのデータ・セットアップおよびホールドの計算では、LPx_DxとLPx_CLKの伝送経路長の違いによって生じる可能性のある、最大許容可能スキューを決める必要があります。セットアップ・スキューは、LPx_Dxに生じる可能性のある、LPx_CLKを基準とした最大遅延です (セットアップ・スキュー = $t_{LCLKTWH}$ の最小値 - t_{DLCH} - t_{SLDCL})。ホールド・スキューは、LPx_CLKに生じる可能性のある、LPx_Dxを基準とした最大遅延です (ホールド・スキュー = $t_{LCLKTWL}$ の最小値 - t_{HLDCH} - t_{HLDCL})。LP送信のタイミングについては表45を参照してください。

表44. LP - 受信¹

| Parameter | Min | Max | Unit |
|--|---------------------------------|----------------------------------|------|
| <i>Timing Requirements</i> | | | |
| $f_{LCLKREXT}$ LPx_CLK Frequency | | 125 | MHz |
| t_{SLDCL} Data Setup Before LPx_CLK Low | 1.5 | | ns |
| t_{HLDCL} Data Hold After LPx_CLK Low | 1.45 | | ns |
| t_{LCLKEW} LPx_CLK Period ² | $t_{LCLKREXT} - 1$ | | ns |
| $t_{LCLKRWL}$ LPx_CLK Width Low ² | $0.5 \times t_{LCLKREXT}$ | | ns |
| $t_{LCLKRWH}$ LPx_CLK Width High ² | $0.5 \times t_{LCLKREXT}$ | | ns |
| <i>Switching Characteristic</i> | | | |
| t_{DLALC} LPx_ACK Low Delay After LPx_CLK Low ³ | $1.5 \times t_{CDU_CLK08} + 4$ | $2.5 \times t_{CDU_CLK08} + 12$ | ns |

¹ 仕様はLP0とLP1に適用されます。

² この仕様は、外部LPx_CLKのデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部LPx_CLKの理想的な最大周波数については、表26の $f_{LCLKREXT}$ の仕様を参照してください。

ADSP-215xx/ADSP-SC5xxのリンク・ポート・トランスミッタにより生成されるLPx_CLKおよび、リンク・ポート・レシーバーに接続されるLPx_CLKの幅または周期の条件は、表45のLP-送信から取得できます。

³ LPx_ACKは、最初のバイト後のLPx_CLKの立下がりを基準として t_{DLALC} 後にローになりますが、レシーバーのリンク・バッファが満たされる可能性がない場合はローになりません。

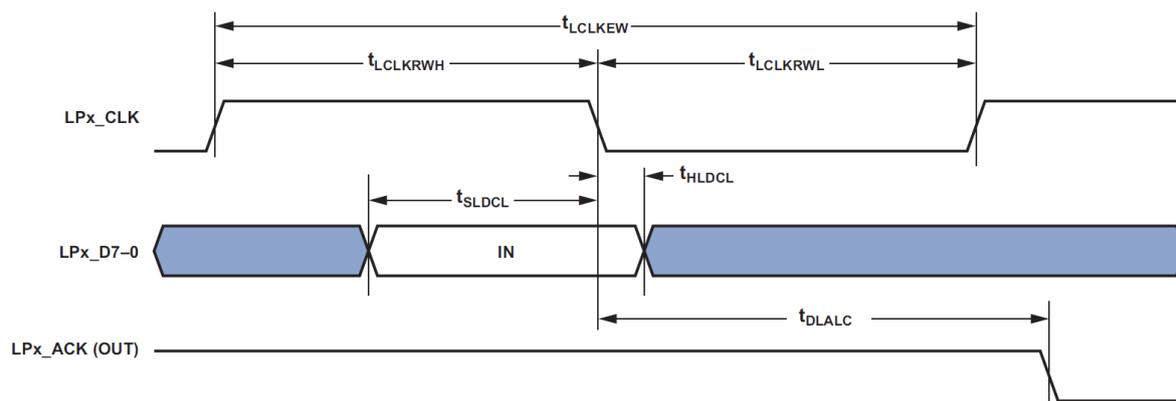


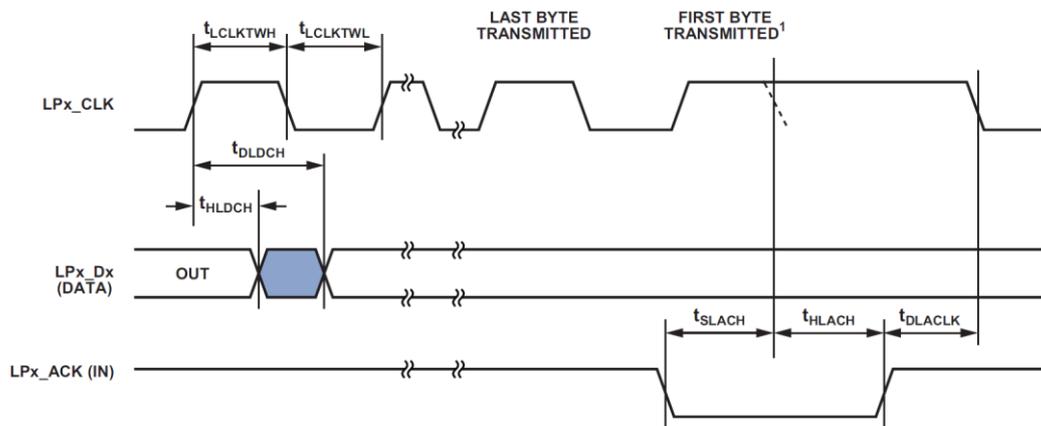
図12. LP - 受信

表45. LP - 送信¹

| Parameter | Min | Max | Unit |
|---|----------------------------------|--|------|
| <i>Timing Requirements</i> | | | |
| t_{SLACH} LPx_ACK Setup Before LPx_CLK Low | $2 \times t_{CDU_CLK08} + 13.5$ | | ns |
| t_{HLACH} LPx_ACK Hold After LPx_CLK Low | -2.5 | | ns |
| <i>Switching Characteristics</i> | | | |
| t_{DLDCH} Data Delay After LPx_CLK High | | 2.23 | ns |
| t_{HLDCH} Data Hold After LPx_CLK High | -1.4 | | ns |
| $t_{LCLKTWL}^2$ LPx_CLK Width Low | $0.4 \times t_{LCLKTPROG}$ | $0.6 \times t_{LCLKTPROG}$ | ns |
| $t_{LCLKTWH}^2$ LPx_CLK Width High | $0.4 \times t_{LCLKTPROG}$ | $0.62 \times t_{LCLKTPROG}$ | ns |
| t_{LCLKTW}^2 LPx_CLK Period | $N \times t_{LCLKTPROG} - 0.8$ | | ns |
| t_{DLACLK} LPx_CLK Low Delay After LPx_ACK High | $t_{CDU_CLK08} + 4$ | $2 \times t_{CDU_CLK08} + 1 \times t_{CDU_CLK08} + 10$ | ns |

¹ 仕様はLP0とLP1に適用されます。

² $t_{LCLKTPROG}$ に対して設定可能な最小周期についての詳細は、表26を参照してください。



NOTES

The t_{SLACH} and t_{HLACH} specifications apply only to the LPx_CLK falling edge. If these specifications are met, LPx_CLK extends and the dotted LPx_CLK falling edge does not occur as shown. The position of the dotted falling edge can be calculated using the $t_{LCLKTWH}$ specification. $t_{LCLKTWH}$ Min must be used for t_{SLACH} and $t_{LCLKTWL}$ Max for t_{HLACH} .

図13. LP - 送信

LPのDDRモード

リンク・ポートのDDRモードは、同エッジ・プロトコルです。データの駆動とサンプリングは同じクロック・エッジで行われます。Txからの立上がりエッジ駆動データは、RXによって同じ立上がりエッジでサンプリングされ、Txからの立下がりエッジ駆動データはRxによって同じ立下がりエッジでサンプリングされます。

表46. LPのDDR - 受信¹

| Parameter | Min | Max | Unit |
|---|----------------------------------|-----------------------------------|------|
| <i>Timing Requirements</i> | | | |
| f _{LCLKREXT} LPx_CLK Frequency | | 125 | MHz |
| t _{SLDCL} Data Setup Before LPx_CLK | 0.85 | | ns |
| t _{HLDC} Data Hold After LPx_CLK | 1.16 | | ns |
| t _{LCLKEW} LPx_CLK Period ² | t _{LCLKREXT} - 1 | | ns |
| t _{LCLKRWL} LPx_CLK Width Low ² | 0.5 × t _{LCLKREXT} | | ns |
| t _{LCLKRWH} LPx_CLK Width High ² | 0.5 × t _{LCLKREXT} | | ns |
| <i>Switching Characteristic</i> | | | |
| t _{DLALC} LPx_ACK Low Delay After LPx_CLK Low ³ | 1.5 × t _{CDU_CLK08} + 4 | 2.5 × t _{CDU_CLK08} + 12 | ns |

¹ 仕様はLP0とLP1に適用されます。

² この仕様は、外部LPx_CLKのデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部LPx_CLKの理想的な最大周波数については、表26のf_{LCLKREXT}の仕様を参照してください。ADSP-215xx/ADSP-SC5xxのリンク・ポート・トランスミッタにより生成されるLPx_CLKおよび、リンク・ポート・レシーバーに接続されるLPx_CLKの幅または周期の条件は表47のLPのDDR3 - 送信から取得できます。

³ LPx_ACKは、最初のバイト後のLPx_CLKの立下がりを基準としてt_{DLALC}後にローになりますが、レシーバーのリンク・バッファが満たされる可能性がない場合はローになりません。

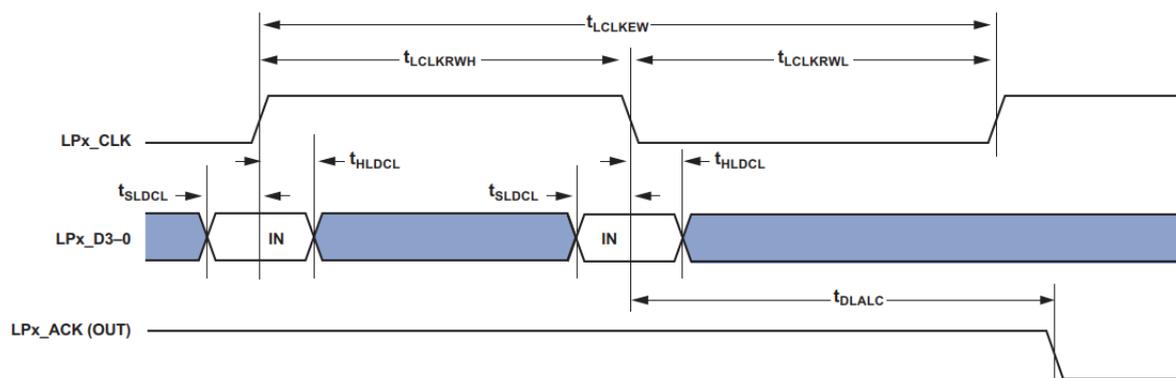


図14. LPのDDR - 受信

表47. LPのDDR - 送信¹

| Parameter | Min | Max | Unit |
|--|----------------------------------|--|------|
| <i>Timing Requirements</i> | | | |
| t_{SLACH} LPx_ACK Setup Before LPx_CLK Low | $2 \times t_{CDU_CLK08} + 13.5$ | | ns |
| t_{HLACH} LPx_ACK Hold After LPx_CLK Low | -2.5 | | ns |
| <i>Switching Characteristics</i> | | | |
| t_{DLCH} Data Delay After LPx_CLK | | 2.65 | ns |
| t_{HLDCH} Data Hold After LPx_CLK | 1.16 | | ns |
| $t_{LCLKTWL}^2$ LPx_CLK Width Low | $0.45 \times t_{LCLKTPROG}$ | $0.55 \times t_{LCLKTPROG}$ | ns |
| $t_{LCLKTWH}^2$ LPx_CLK Width High | $0.45 \times t_{LCLKTPROG}$ | $0.55 \times t_{LCLKTPROG}$ | ns |
| t_{LCLKTW}^2 LPx_CLK Period | $N \times t_{LCLKTPROG} - 0.8$ | | ns |
| t_{DLACK} LPx_CLK Low Delay After LPx_ACK High | $t_{CDU_CLK08} + 4$ | $2 \times t_{CDU_CLK08} + 1 \times t_{CDU_CLK08} + 10$ | ns |

¹ 仕様はLP0とLP1に適用されます。

² $t_{LCLKTPROG}$ に対して設定可能な最小周期についての詳細は、表26を参照してください。

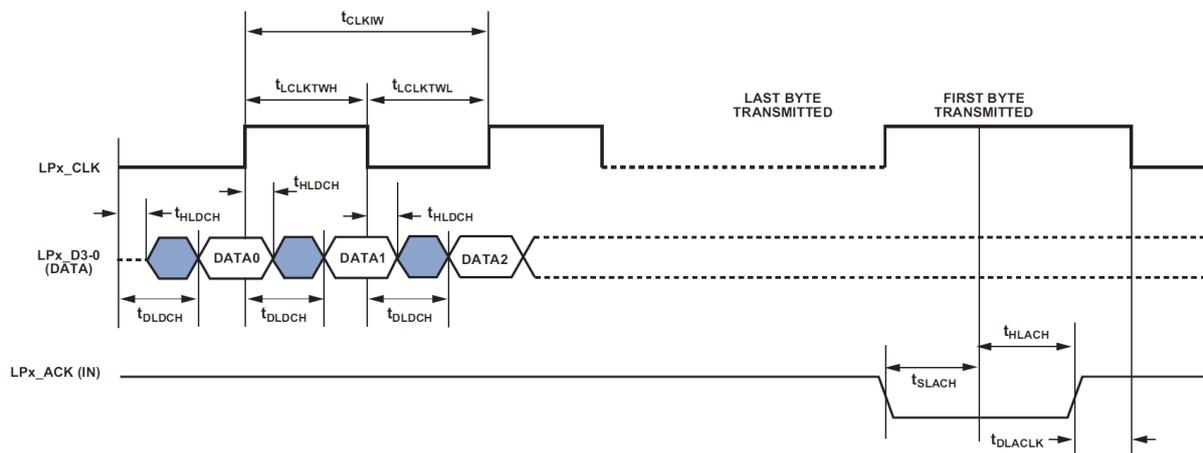


図15. LPのDDR - 送信

シリアル・ポート (SPORT)

デバイスがクロック速度 n のSPORTに対応できるかどうかを判定するには、次の仕様を確認する必要があります：フレーム同期の遅延およびフレーム同期のセットアップとホールド、データの遅延およびデータのセットアップとホールド、シリアル・クロック

(SPTx_CLK) の幅。図16では、アクティブなサンプリング・エッジとして、SPTx_A/BCLK (外部または内部) の立上がりエッジまたは立下がりエッジを使用できます。

外部で生成される場合、SPORTクロックは $f_{SPTCLKEXT}$ と呼ばれます。

$$f_{SPTCLKPROG} = \frac{f_{SCLK0}}{(CLKDIV + 1)}$$

内部で生成される場合、プログラマブルなSPORTクロック ($f_{SPTCLKPROG}$) 周波数は、MHzを単位として次の式によって設定されます。

$$f_{SPTCLKPROG} = \frac{f_{SCLK0}}{(CLKDIV + 1)}$$

$$t_{SPTCLKPROG} = \frac{1}{f_{SPTCLKPROG}}$$

CLKDIVはSPORT_DIVレジスタ内フィールドで、0~65535に設定できます。

表48. SPORT - 外部クロック¹

| Parameter | | Min | Max | Unit |
|----------------------------------|---|------------------------------------|-----|------|
| <i>Timing Requirements</i> | | | | |
| t _{SFSE} | Frame Sync Setup Before SPTx_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) ² | 2 | | ns |
| t _{HFSE} | Frame Sync Hold After SPTx_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) ² | 3 | | ns |
| t _{SDRE} | Receive Data Setup Before Receive SPTx_CLK ² | 2 | | ns |
| t _{HDRE} | Receive Data Hold After SPTx_CLK ² | 3 | | ns |
| t _{SPTCLKW} | SPTx_CLK Width ³ | 0.5 × t _{SPTCLKEXT} - 1.5 | | ns |
| t _{SPTCLK} | SPTx_CLK Period ³ | t _{SPTCLKEXT} - 1.5 | | ns |
| <i>Switching Characteristics</i> | | | | |
| t _{DFSE} | Frame Sync Delay After SPTx_CLK (Internally Generated Frame Sync in Either Transmit or Receive Mode) ⁴ | | 12 | ns |
| t _{HOFSE} | Frame Sync Hold After SPTx_CLK (Internally Generated Frame Sync in Either Transmit or Receive Mode) ⁴ | 2 | | ns |
| t _{DDTE} | Transmit Data Delay After Transmit SPTx_CLK ⁴ | | 12 | ns |
| t _{HDTE} | Transmit Data Hold After Transmit SPTx_CLK ⁴ | 2 | | ns |

¹ 仕様は4つのSPORTすべてに適用されます。

² サンプル・エッジを基準とします。

³ この仕様は、理想的な最大外部SPTx_CLKのデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部SPTx_CLKの理想的な最大周波数については、表26の $f_{SPTCLKEXT}$ の仕様を参照してください。

⁴ 駆動エッジを基準とします。

表49. SPORT - 内部クロック¹

| Parameter | | Min | Max | Unit |
|----------------------------------|---|-------------------------------------|-----|------|
| <i>Timing Requirements</i> | | | | |
| t _{SFSI} | Frame Sync Setup Before SPTx_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) ² | 11 | | ns |
| t _{HFSI} | Frame Sync Hold After SPTx_CLK (Externally Generated Frame Sync in Either Transmit or Receive Mode) ² | -0.5 | | ns |
| t _{SDRI} | Receive Data Setup Before SPTx_CLK ² | 3.4 | | ns |
| t _{HDRI} | Receive Data Hold After SPTx_CLK ² | 3.6 | | ns |
| <i>Switching Characteristics</i> | | | | |
| t _{DFSI} | Frame Sync Delay After SPTx_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) ³ | | 3.5 | ns |
| t _{HOFSI} | Frame Sync Hold After SPTx_CLK (Internally Generated Frame Sync in Transmit or Receive Mode) ³ | -3 | | ns |
| t _{DDTI} | Transmit Data Delay After SPTx_CLK ³ | | 3.5 | ns |
| t _{HDTI} | Transmit Data Hold After SPTx_CLK ³ | -3 | | ns |
| t _{SPTCLKIW} | SPTx_CLK Width ⁴ | 0.5 × t _{SPTCLKPROG} - 1.5 | | ns |
| t _{SPTCLKW} | SPTx_CLK Period ⁴ | t _{SPTCLKPROG} - 1.5 | | ns |

¹ 仕様は4つのSPORTすべてに適用されます。² サンプル・エッジを基準とします。³ 駆動エッジを基準とします。⁴ t_{SPTCLKPROG}に対して設定可能な最小周期についての詳細は、表26を参照してください。

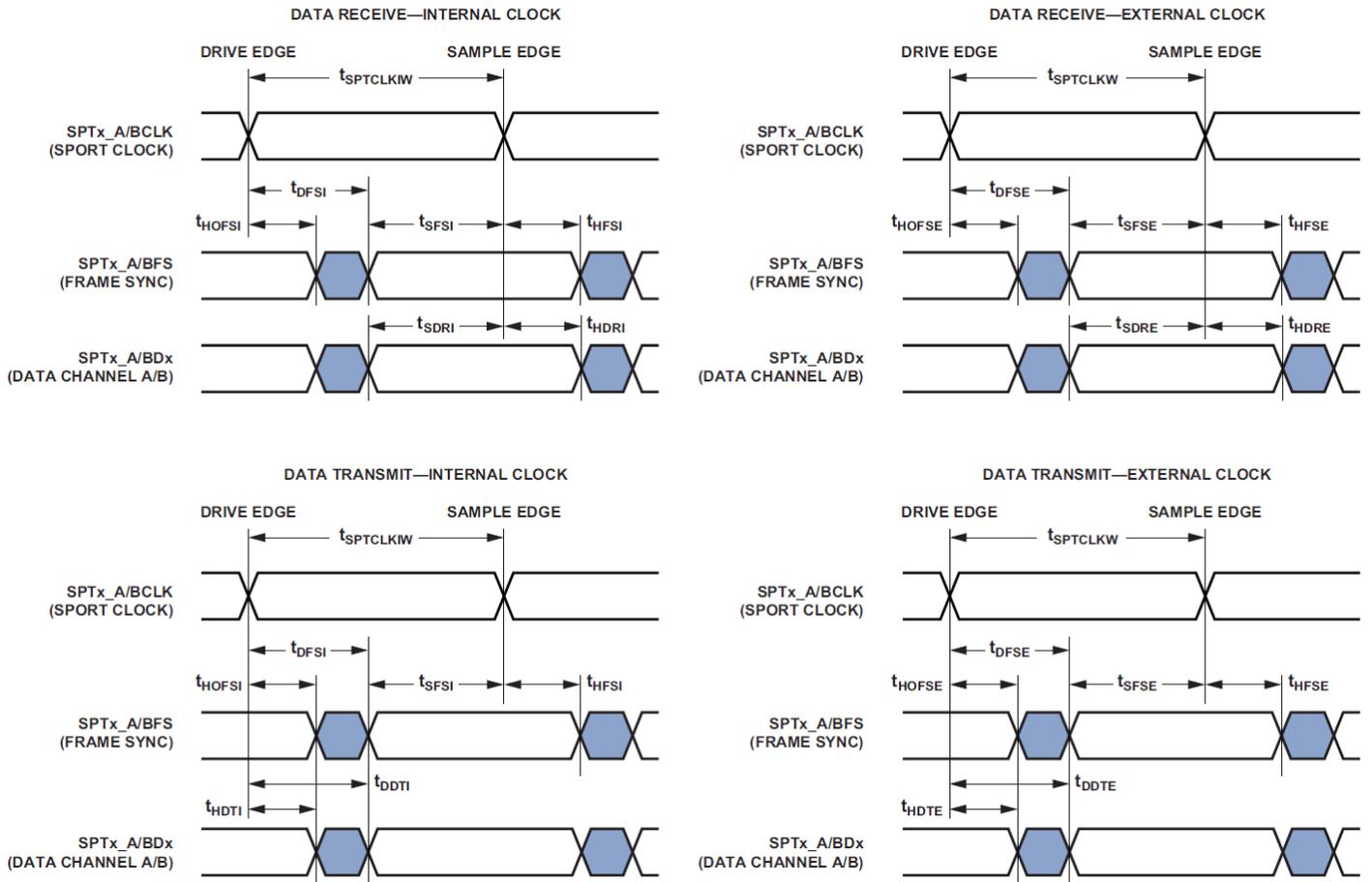


図16. SPORT

表50. SPORT - イネーブルおよびスリーステート¹

| Parameter | Min | Max | Unit |
|--|------|-----|------|
| <i>Switching Characteristics</i> | | | |
| t _{DDTEN} Data Enable From External Transmit SPTx_CLK ² | 1 | | ns |
| t _{DDTTE} Data Disable From External Transmit SPTx_CLK ² | | 14 | ns |
| t _{DDTIN} Data Enable From Internal Transmit SPTx_CLK ² | -2.5 | | ns |
| t _{DDTTI} Data Disable From Internal Transmit SPTx_CLK ² | | 2.8 | ns |

¹ 仕様は4つのSPORTすべてに適用されます。

² 駆動エッジを基準とします。

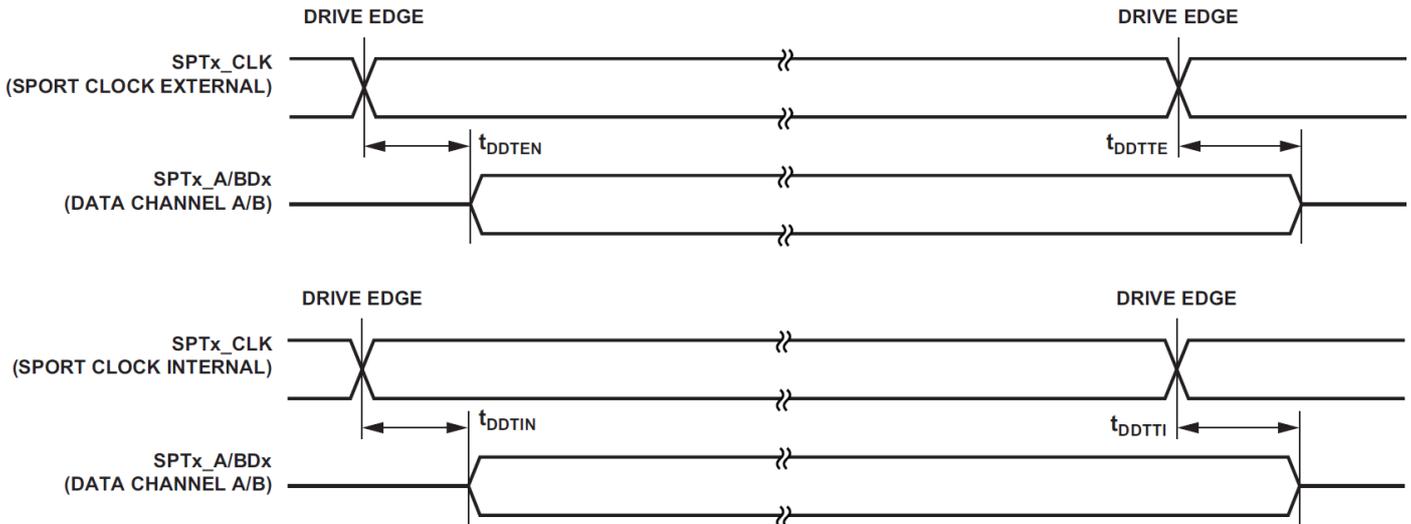


図17. SPORT - イネーブルおよびスリーステート

SPTx_TDV出力信号は、SPORTのマルチチャンネル・モードでアクティブになります。送信スロット（アクティブ・チャンネル選択レジスタでイネーブル）の間、SPTx_TDVがアサートされ、外部デバイスとの通信が可能となります。

表51. SPORT - 送信データ有効 (TDV) ¹

| Parameter | | Min | Max | Unit |
|----------------------------------|---|------|-----|------|
| <i>Switching Characteristics</i> | | | | |
| t _{DRDVEN} | Data Valid Enable Delay From Drive Edge of External Clock ² | 2 | | ns |
| t _{DFDVEN} | Data Valid Disable Delay From Drive Edge of External Clock ² | | 14 | ns |
| t _{DRDVIN} | Data Valid Enable Delay From Drive Edge of Internal Clock ² | -2.5 | | ns |
| t _{DFDVIN} | Data Valid Disable Delay From Drive Edge of Internal Clock ² | | 3.5 | ns |

¹ 仕様は4つのSPORTすべてに適用されます。

² 駆動エッジを基準とします。

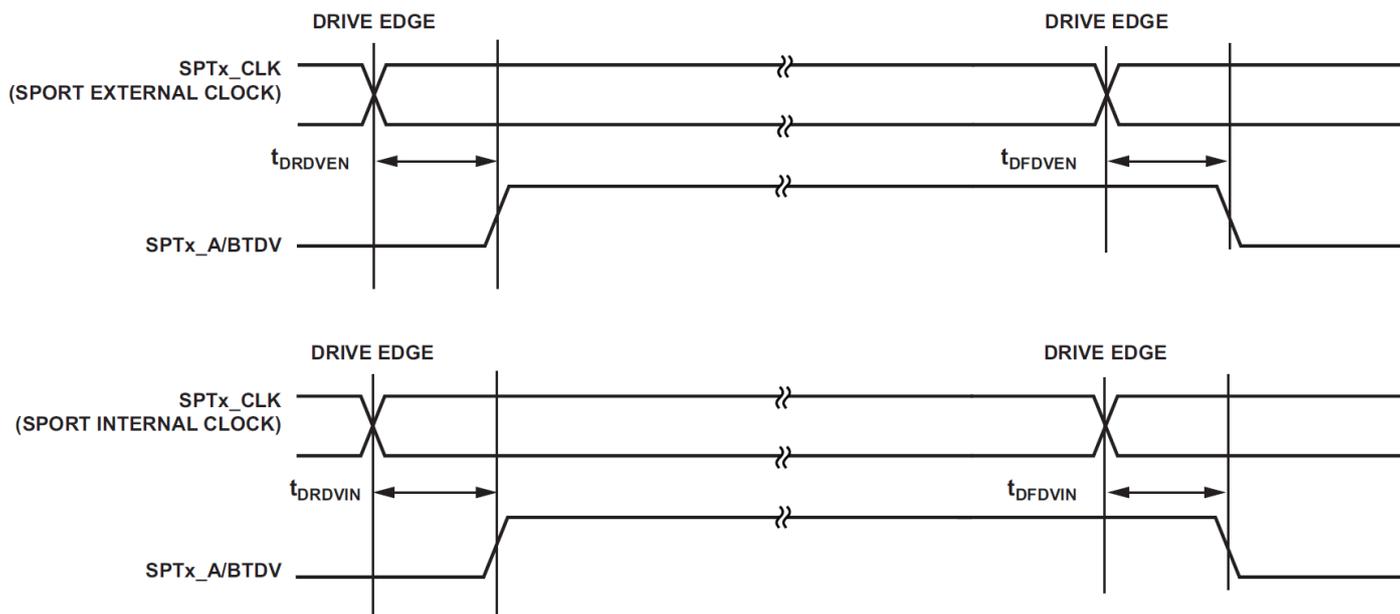


図18. SPORT - 送信データ有効、内部および外部クロック

表52. SPORT - 外部遅延フレーム同期¹

| Parameter | Min | Max | Unit |
|---|-----|-----|------|
| <i>Switching Characteristics</i> | | | |
| $t_{DDTLFSE}$ | | 14 | ns |
| Data Delay From Late External Transmit Frame Sync or External Receive Frame Sync with SPORT_MCTL_A/B bits MCE = 1, MFD = 0 ² | | | |
| $t_{DDTENFS}$ | 0.5 | | ns |

¹ 仕様は4つのSPORTすべてに適用されます。

² $t_{DDTLFSE}$ および $t_{DDTENFS}$ のパラメータは、左詰めおよび標準シリアル・モードでMCE = 1、MFD = 0の場合に適用されます。

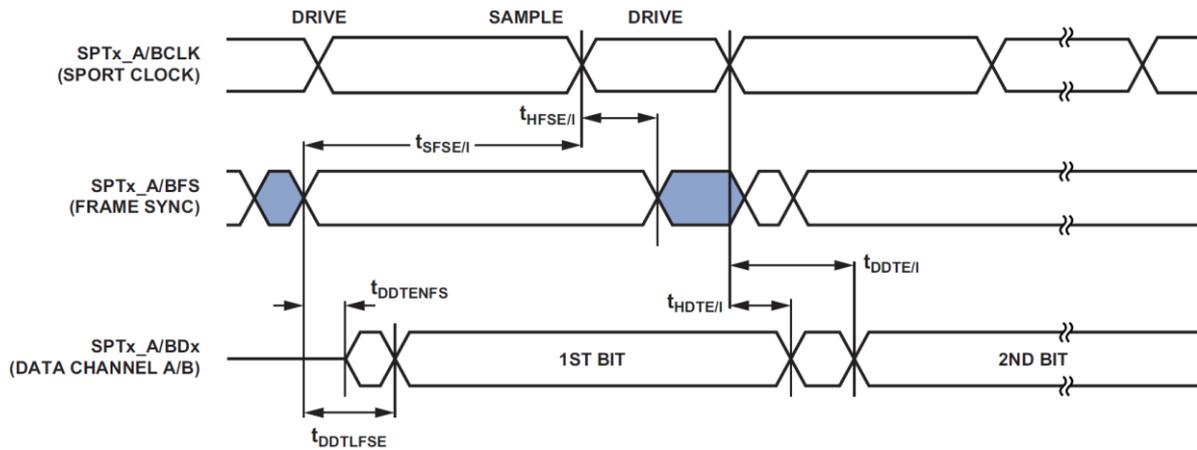


図19. 外部遅延フレーム同期

非同期サンプル・レート・コンバータ (ASRC) - シリアル入力ポート

ASRC入力信号は、SRUを用いてDAI0_PINxピンからルーティングされます。そのため、表53に示すタイミング仕様は、DAI0_PINxピンで有効です。

表53. ASRC、シリアル入力ポート

| Parameter | Min | Max | Unit |
|----------------------------|-----------------------------|-----|------|
| <i>Timing Requirements</i> | | | |
| t_{SRCSFS}^1 | 4 | | ns |
| t_{SRCHFS}^1 | 5.5 | | ns |
| t_{SRCSD}^1 | 4 | | ns |
| t_{SRCHD}^1 | 5.5 | | ns |
| t_{SRCCLKW} | $t_{\text{SCLK0}} - 1$ | | ns |
| t_{SRCCLK} | $2 \times t_{\text{SCLK0}}$ | | ns |

¹ シリアル・クロック、データ、フレーム同期信号は、いずれのDAIピンからも送ることができます。シリアル・クロックとフレーム同期信号は、PCGまたはSPORTからも送ることができます。PCGの入力は、CLKINまたはいずれかのDAIピンとすることができます。

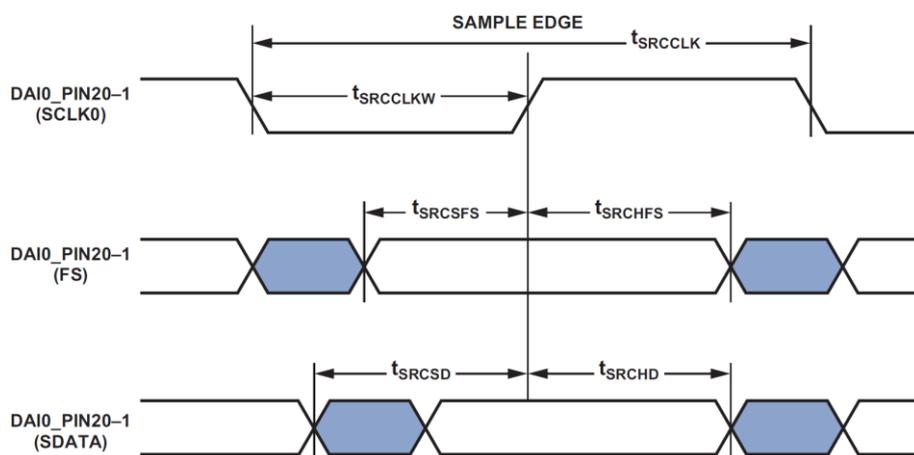


図20. ASRCのシリアル入力ポートのタイミング

非同期サンプル・レート・コンバータ (ASRC) - シリアル出力ポート

シリアル出力ポートの場合、フレーム同期は入力であり、出力ポートのSCLK0に関するセットアップ時間およびホールド時間と適合する必要があります。シリアル・データ出力には、シリアル・クロックに関するホールド時間および遅延の仕様が異なります。TDMモードでは、ASRCはクロックの立上がりエッジで駆動され、立下がりエッジでサンプリングを行います。それ以外のすべてのモードでは、シリアル・クロックの立上がりエッジがサンプリング・エッジとなり、立下がりエッジが駆動エッジとなります。

表54. ASRC、シリアル出力ポート

| Parameter | | Min | Max | Unit |
|----------------------------------|---|----------------------|------|------|
| <i>Timing Requirements</i> | | | | |
| t_{SRCSFS}^1 | Frame Sync Setup Before Serial Clock Rising Edge | 4 | | ns |
| t_{SRCHFS}^1 | Frame Sync Hold After Serial Clock Rising Edge | 5.5 | | ns |
| $t_{SRCCLKW}$ | Clock Width | $t_{SCLK0} - 1$ | | ns |
| t_{SRCCLK} | Clock Period | $2 \times t_{SCLK0}$ | | ns |
| <i>Switching Characteristics</i> | | | | |
| t_{SRCTDD}^1 | Transmit Data Delay After Serial Clock Falling Edge | | 13.3 | ns |
| t_{SRCTDH}^1 | Transmit Data Hold After Serial Clock Falling Edge | 1 | | ns |

¹ シリアル・クロック、データ、フレーム同期信号は、いずれのDAIピンからも送ることができます。シリアル・クロックとフレーム同期信号は、PCGまたはSPORTからも送ることができます。PCGの入力は、CLKIN、SCLK0、またはいずれかのDAIピンとすることができます。

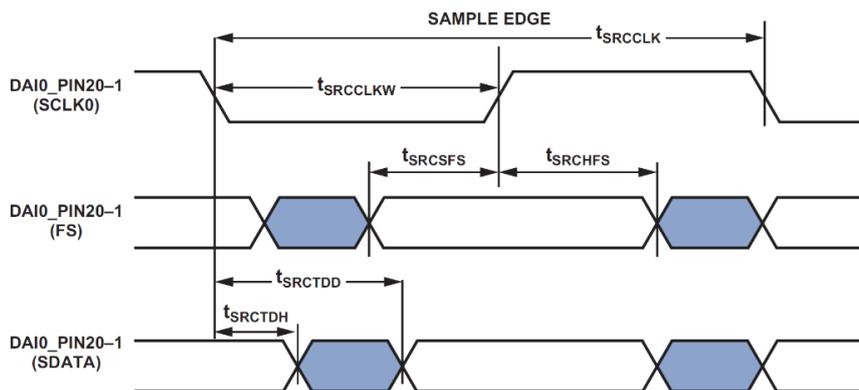


図21. ASRCのシリアル出力ポートのタイミング

SPIポート - マスタのタイミング

SPI0、SPI1、SPI2、およびSPI3

表55と図22に、SPIポートのマスタ動作を示します。

内部で生成される場合、プログラマブルなSPIクロック ($f_{\text{SPICLKPROG}}$) 周波数は、MHzを単位として次の式によって設定されます。

$$f_{\text{SPICLKPROG}} = \frac{f_{\text{CDU_CLK06}}}{(\text{BAUD} + 1)}$$

$$t_{\text{SPICLKPROG}} = \frac{1}{f_{\text{SPICLKPROG}}}$$

ここで、BAUDは、SPIx_CLKレジスタ内フィールドで、0~65535に設定できます。

また、以下の点に留意してください。

- デュアル・モードのデータ送信では、SPIx_MISO信号も出力となります。
- クワッド・モードのデータ送信では、SPIx_MISO、SPIx_D2、SPIx_D3の各信号も出力となります。
- デュアル・モードのデータ受信では、SPIx_MOSI信号も入力となります。
- クワッド・モードのデータ受信では、SPIx_MOSI、SPIx_D2、SPIx_D3の各信号も入力となります。
- クワッド・モードはSPI1およびSPI2がサポートします。
- CPHAはSPI_CTLレジスタの設定ビットです。

表55. SPIポート - マスタのタイミング¹

| Parameter | Min | Max | Unit |
|---|-------------------------------------|-----|------|
| <i>Timing Requirements</i> | | | |
| t _{SSPIDM} Data Input Valid to SPIx_CLK Edge (Data Input Setup) | 3.5 | | ns |
| t _{HSPIDM} SPIx_CLK Sampling Edge to Data Input Invalid | 2 | | ns |
| <i>Switching Characteristics</i> | | | |
| t _{SDSCIM} $\overline{\text{SPIx_SEL}}$ Low to First SPI_CLK Edge for CPHA = 1 ² | t _{SPICLKPROG} - 5 | | ns |
| $\overline{\text{SPIx_SEL}}$ Low to First SPI_CLK Edge for CPHA = 0 ² | 1.5 × t _{SPICLKPROG} - 5 | | ns |
| t _{SPICHM} SPIx_CLK High Period ³ | 0.5 × t _{SPICLKPROG} - 1.5 | | ns |
| t _{SPICLM} SPIx_CLK Low Period ³ | 0.5 × t _{SPICLKPROG} - 1.5 | | ns |
| t _{SPICLK} SPIx_CLK Period ³ | t _{SPICLKPROG} - 1.5 | | ns |
| t _{HDSM} Last SPIx_CLK Edge to $\overline{\text{SPIx_SEL}}$ High for CPHA = 1 ² | 1.5 × t _{SPICLKPROG} - 5 | | ns |
| Last SPIx_CLK Edge to $\overline{\text{SPIx_SEL}}$ High for CPHA = 0 ² | t _{SPICLKPROG} - 5 | | ns |
| t _{SPITDM} Sequential Transfer Delay ^{2, 4} | t _{SPICLKPROG} - 1.5 | | ns |
| t _{DDSPIDM} SPIx_CLK Edge to Data Out Valid (Data Out Delay) | | 2.7 | ns |
| t _{HDSPIDM} SPIx_CLK Edge to Data Out Invalid (Data Out Hold) | -3.75 | | ns |

¹ すべての仕様はSPI0、SPI1、SPI2に適用されます。

² 仕様は、SPI_DLYレジスタのLEADXビットとLAGXビットが1であることを前提としています。

³ t_{SPICLKPROG}に対して設定可能な最小周期についての詳細は、表26を参照してください。

⁴ STOP ≥ 1のシーケンシャル・モードに適用されます。

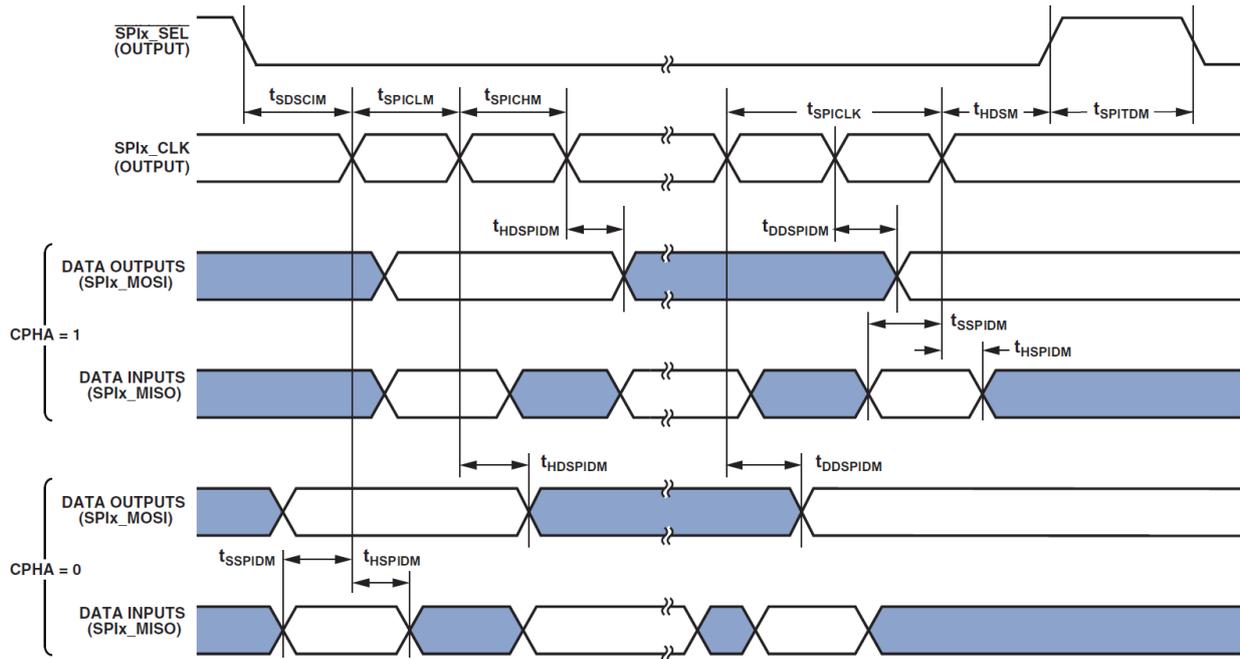


図22. SPIポート - マスタのタイミング

SPIポート - スレーブのタイミング

SPI0、SPI1、SPI2、およびSPI3

表56と図23に、SPIポートのスレーブ動作を示します。また、以下の点に留意してください。

- デュアル・モードのデータ送信では、SPIx_MOSI信号も出力となります。
- クラウド・モードのデータ送信では、SPIx_MOSI、SPIx_D2、SPIx_D3の各信号も出力となります。
- デュアル・モードのデータ受信では、SPIx_MISO信号も入力となります。
- クラウド・モードのデータ受信では、SPIx_MISO、SPIx_D2、SPIx_D3の各信号も入力となります。
- SPIスレーブ・モードでは、SPIクロックは外部から供給され、f_{SPICLKEXT}と呼ばれます。

$$t_{SPICLKEXT} = \frac{1}{f_{SPICLKEXT}}$$

- クラウド・モードはSPI1およびSPI2がサポートします。
- CPHAはSPI_CTLレジスタの設定ビットです。

表56. SPIポート - スレーブのタイミング¹

| Parameter | | Min | Max | Unit |
|----------------------------------|---|------------------------------------|-------|------|
| <i>Timing Requirements</i> | | | | |
| t _{SPICH} | SPIx_CLK High Period ² | 0.5 × t _{SPICLKEXT} - 1.5 | | ns |
| t _{SPICL} | SPIx_CLK Low Period ² | 0.5 × t _{SPICLKEXT} - 1.5 | | ns |
| t _{SPICLK} | SPIx_CLK Period ² | t _{SPICLKEXT} - 1.5 | | ns |
| t _{HDS} | Last SPIx_CLK Edge to $\overline{\text{SPIx_SS}}$ Not Asserted | 5 | | ns |
| t _{SPITDS} | Sequential Transfer Delay | t _{SPICLKEXT} - 1.5 | | ns |
| t _{SDSCI} | $\overline{\text{SPIx_SS}}$ Assertion to First SPIx_CLK Edge | 11.7 | | ns |
| t _{SSPID} | Data Input Valid to SPIx_CLK Edge (Data Input Setup) | 2 | | ns |
| t _{HSPID} | SPIx_CLK Sampling Edge to Data Input Invalid | 1.6 | | ns |
| <i>Switching Characteristics</i> | | | | |
| t _{DSOE} | $\overline{\text{SPIx_SS}}$ Assertion to Data Out Active | 0 | 14.12 | ns |
| t _{DSDHI} | $\overline{\text{SPIx_SS}}$ Deassertion to Data High Impedance | 0 | 12.6 | ns |
| t _{DDSPID} | SPIx_CLK Edge to Data Out Valid (Data Out Delay) | | 14.16 | ns |
| t _{HDSPID} | SPIx_CLK Edge to Data Out Invalid (Data Out Hold) | 1.5 | | ns |

¹ すべての仕様はSPI0、SPI1、SPI2、SPI3に適用されます。

² この仕様は、外部SPIx_CLKのデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部SPIx_CLKの理想的な最大周波数については、表26のf_{SPICLKEXT}の仕様を参照してください。

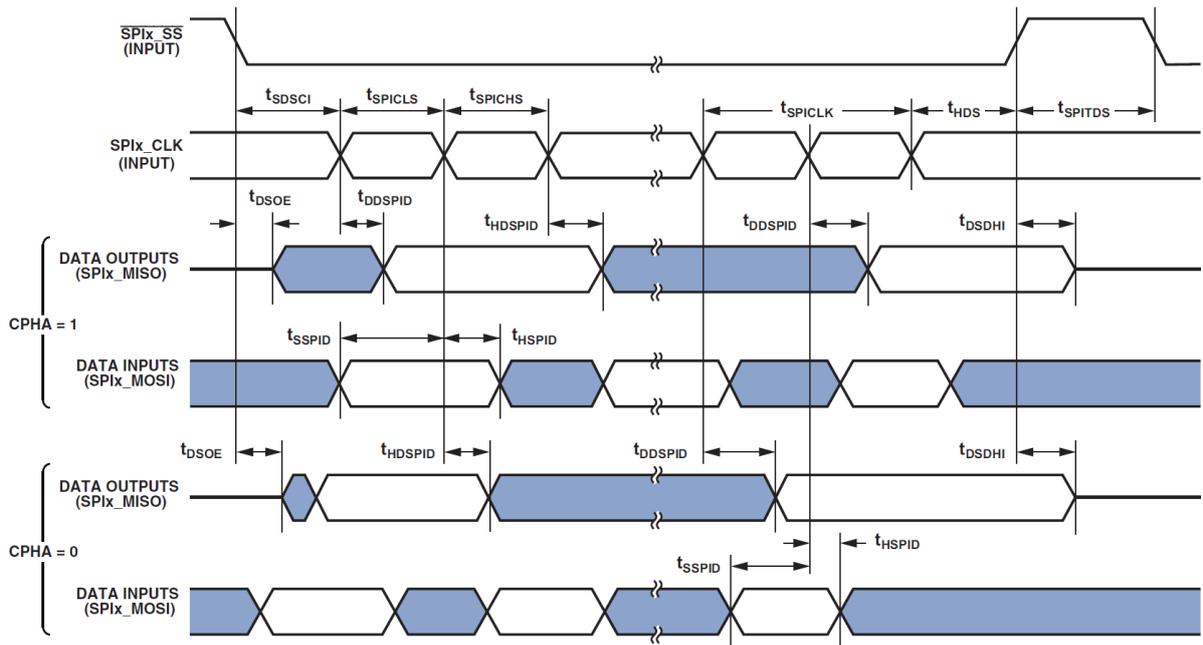


図23. SPIポート - スレーブのタイミング

SPIポート - SPIx_RDYスレーブのタイミング

SPIx_RDYはフロー制御を行います。CPOL、CPHA、FCCHはSPIx_CTLレジスタの設定ビットです。

表57. SPIポート - SPIx_RDYスレーブのタイミング¹

| Parameter | Conditions | Min | Max | Unit |
|--|------------|----------------------------|---------------------------------|------|
| <i>Switching Characteristic</i> | | | | |
| t _{DSPI_SCKRDYS} SPIx_RDY Deassertion From Last Valid Input SPIx_CLK Edge | FCCH = 0 | 3 × t _{CDU_CLKO6} | 4 × t _{CDU_CLKO6} + 10 | ns |
| | FCCH = 1 | 4 × t _{CDU_CLKO6} | 5 × t _{CDU_CLKO6} + 10 | ns |

¹ 全仕様が4つのSPIすべてに適用されます。

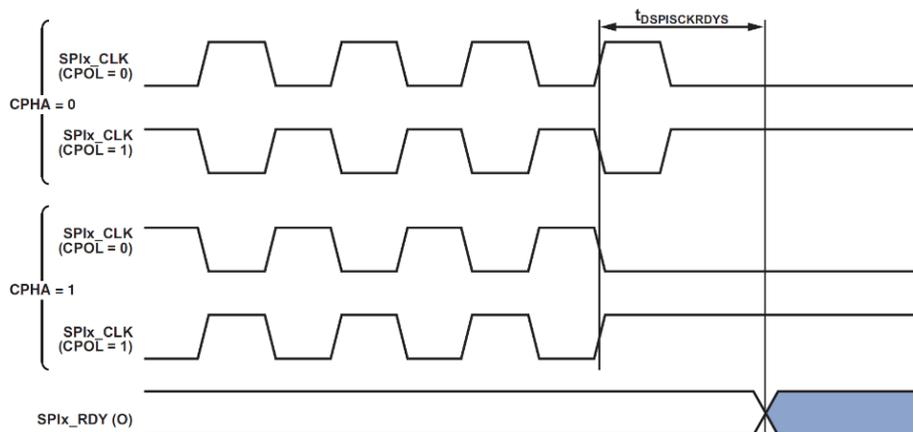


図24. スレーブ・モードでの有効な入力SPIx_CLKエッジからのSPIx_RDYのデアサーション

SPIポート - オープンドレイン・モード (ODM) のタイミング

図25および図26において、動作モードに応じ、出力はSPIx_MOSI、SPIx_MISO、SPIx_D2、SPIx_D3となります。CPOLとCPHAはSPI_CTLレジスタの設定ビットです。

表58. SPIポート - ODMマスタ・モードのタイミング¹

| Parameter | Min | Max | Unit |
|--|------|-----|------|
| <i>Switching Characteristics</i> | | | |
| $t_{\text{HDSPIODMM}}$ SPIx_CLK Edge to High Impedance From Data Out Valid | -1.5 | | ns |
| $t_{\text{DSDPIODMM}}$ SPIx_CLK Edge to Data Out Valid From High Impedance | | 6 | ns |

¹ 全仕様が3つのSPIすべてに適用されます。

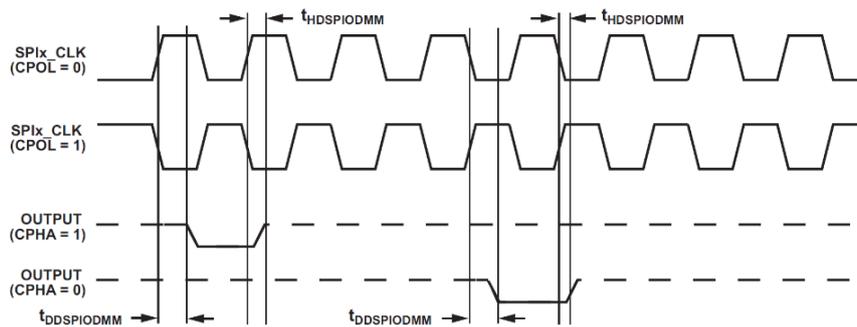


図25. ODMマスタ・モード

表59. SPIポート - ODMスレーブ・モード¹

| Parameter | Min | Max | Unit |
|--|-----|-----|------|
| <i>Switching Characteristics</i> | | | |
| $t_{\text{HDSPIODMS}}$ SPIx_CLK Edge to High Impedance From Data Out Valid | 0 | | ns |
| $t_{\text{DSDPIODMS}}$ SPIx_CLK Edge to Data Out Valid From High Impedance | | 11 | ns |

¹ 全仕様が3つのSPIすべてに適用されます。

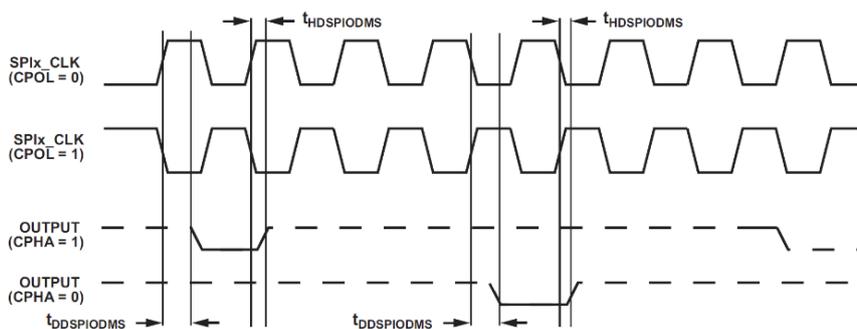


図26. ODMスレーブ・モード

SPIポート - SPIx_RDYマスタのタイミング

SPIx_RDYはフロー制御を行うために用いられます。CPOLおよびCPHAはSPIx_CTLレジスタの設定ビットで、LEADX、LAGX、STOPはSPIx_DLYレジスタの設定ビットです。

表60. SPIポート - SPIx_RDYマスタのタイミング¹

| Parameter | Conditions | Min | Max | Unit | |
|---------------------------------|--|---|--|---|----|
| <i>Timing Requirement</i> | | | | | |
| $t_{SRDYSCKM}$ | Setup Time for SPIx_RDY Deassertion Before Last Valid Data SPIx_CLK Edge | $(2 + 2 \times \text{BAUD}^2) \times t_{CDU_CLK06} + 11$ | | ns | |
| <i>Switching Characteristic</i> | | | | | |
| $t_{DRDYSCKM}$ ³ | Assertion of SPIx_RDY to First SPIx_CLK Edge of Next Transfer | BAUD = 0, CPHA = 0 | $4.5 \times t_{CDU_CLK06}$ | $5.5 \times t_{CDU_CLK06} + 12$ | ns |
| | | BAUD = 0, CPHA = 1 | $4 \times t_{CDU_CLK06}$ | $5 \times t_{CDU_CLK06} + 12$ | ns |
| | | BAUD > 0, CPHA = 0 | $(1 + 1.5 \times \text{BAUD}^2) \times t_{CDU_CLK06}$ | $(2 + 2.5 \times \text{BAUD}^2) \times t_{CDU_CLK06} + 12$ | ns |
| | | BAUD > 0, CPHA = 1 | $(1 + 1 \times \text{BAUD}^2) \times t_{CDU_CLK06}$ | $(2 + 2 \times \text{BAUD}^2) \times t_{CDU_CLK06} + 12$ | ns |

¹ 全仕様が3つのSPIすべてに適用されます。

² BAUDの値は、SPIx_CLK.BAUDビットで設定されます。BAUD値 = SPIx_CLK.BAUDビット + 1です。

³ 仕様は、SPI_DLYレジスタのLEADX、LAGX、STOPの各ビットがゼロであることを前提としています。

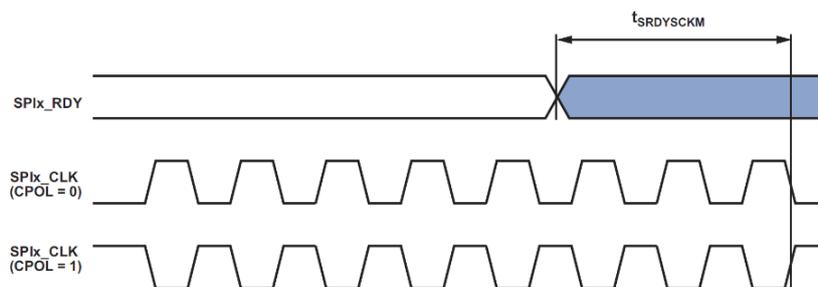


図27. SPIx_CLK前のSPIx_RDYセットアップ

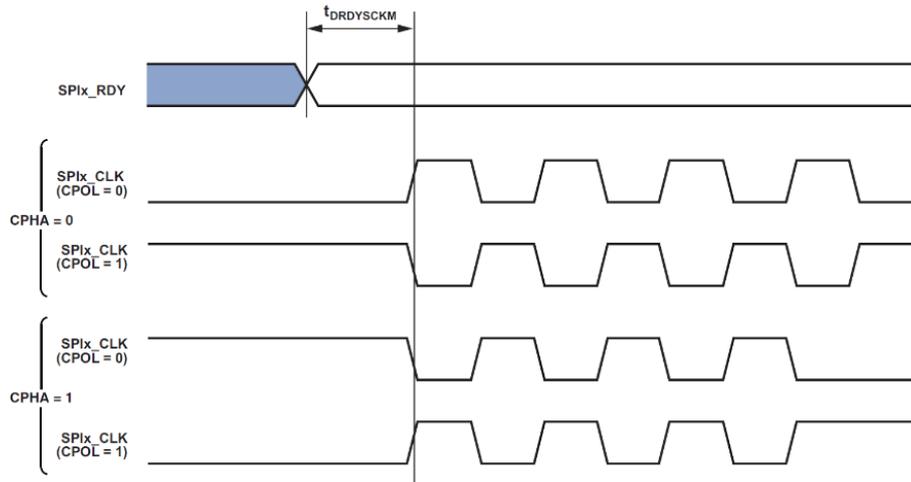


図28. SPIx_RDYアサーション後のSPIx_CLKスイッチング図

OSPIポート - マスタのタイミング

データ・トレーニングのないOSPI0

表61と図29に、OSPIポートのマスタ動作を示します。OSPIではスレーブ・モードには対応しません。

内部で生成される場合、プログラマブルなSPIクロック ($f_{\text{OSPICLKPROG}}$) 周波数は、MHzを単位として次の式によって設定されます。

$$f_{\text{SYSCLK}} = f_{\text{CDU_CLK010}}$$

$$f_{\text{OSPICLKPROG}} = \frac{f_{\text{SYSCLK}}}{\text{PRG_MBD}}$$

$$t_{\text{OSPICLKPROG}} = \frac{1}{f_{\text{OSPICLKPROG}}}$$

ここで、PRG_MBDはマスタ・モードのポー・レート除数です。また、以下の点に留意してください。

- デュアル・モードのデータ送信では、OSPI0_MISO信号も出力となります。
- クワッド・モードのデータ送信では、OSPI0_MISO、OSPI0_D2、OSPI0_D3の各信号も出力となります。
- オクタル・モードのデータ送信では、OSPI0_MISO、OSPI0_D2、OSPI0_D3、OSPI0_D4、OSPI0_D5、OSPI0_D6、OSPI0_D7の各信号も出力となります。
- デュアル・モードのデータ受信では、OSPI0_MOSI信号も入力となります。
- クワッド・モードのデータ受信では、OSPI0_MOSI、OSPI0_D2、OSPI0_D3の各信号も入力となります。
- オクタル・モードのデータ受信では、OSPI0_MISO、OSPI0_D2、OSPI0_D3、OSPI0_D4、OSPI0_D5、OSPI0_D6、OSPI0_D7の各信号も出力となります。
- CPHAはOSPI0_CTLレジスタの設定ビットです。

表61. OSPI0ポート - マスタのタイミング¹

| Parameter | Min | Max | Unit |
|--|--|--|------|
| <i>Timing Requirements</i> | | | |
| t_{SSPIDM} Data Input Valid to OSPI0_CLK Sampling Edge (Data Input Setup) ² | $t_{\text{SYSCLK}} + 2.6$ | | ns |
| t_{HSPIDM} OSPI0_CLK Sampling Edge to Data Input Invalid (Data Input Hold) ² | 1 | | ns |
| <i>Switching Characteristics</i> | | | |
| t_{SDSCIM} $\overline{\text{OSPI0_SEL}}$ Low to First OSPI0_CLK Edge ³ | $0.5 \times t_{\text{OSPICLKPROG}} + \text{PRG_CSSOT} \times t_{\text{SYSCLK}} - 2$ | | ns |
| t_{SPICHM} OSPI0_CLK High Period ⁴ | $0.45 \times t_{\text{OSPICLKPROG}}$ | | ns |
| t_{SPICLM} OSPI0_CLK Low Period ⁴ | $0.45 \times t_{\text{OSPICLKPROG}}$ | | ns |
| t_{SPICLK} OSPI0_CLK Period ⁴ | $t_{\text{OSPICLKPROG}} - 1.5$ | | ns |
| t_{HD5M} Last OSPI0_CLK Edge to $\overline{\text{OSPI0_SEL}}$ High for Mode = 0 ⁵ | $\text{PRG_CSEOT} \times t_{\text{SYSCLK}} - 1$ | | ns |
| Last OSPI0_CLK Edge to $\overline{\text{OSPI0_SEL}}$ High for Mode = 3 ^{5,6} | $\text{PRG_CSEOT} \times t_{\text{SYSCLK}} + 0.5 \times t_{\text{OSPICLKPROG}} - 1$ | | ns |
| t_{DDSPIDM} OSPI0_CLK Edge to Data Out Valid to Driving Edge (Data Out Delay) ⁷ | | $(\text{PRG_WRHLD} + 1) \times t_{\text{SYSCLK}} + 2.5$ | ns |
| t_{HDSPIDM} OSPI0_CLK Edge to Data Out Invalid to Driving Edge (Data Out Hold) ⁷ | $\text{PRG_WRHLD} \times t_{\text{SYSCLK}} - 1$ | | ns |

¹ すべての仕様はOSPI0にのみ適用されます。

² 仕様を特性評価した際のOSPI0_RDC設定は、DDR (ループバックおよびREFCLKの両方) モードに対しては2、ループバックに対しては2、SDRモードのREFCLKに対しては1です。

³ PRG_CSSOTは、転送のチップ・セレクト開始 (OSPI0_DLY[7:0]で定義) です。

⁴ ISPICLKPROGに対して設定可能な最小周期についての詳細は、表26を参照してください。

⁵ PRG_CSEOTは、転送のチップ・セレクト終了 (OSPI0_DLY[15:8]で定義) です。

⁶ Modeは、クロック位相ビットおよびクロック極性ビット (OSPI0_CTL[2:1]で定義) です。

⁷ PRG_WRHLDは、出力ホールドを向上するための送信遅延 (OSPI0_RDC[19:16]で定義) です。

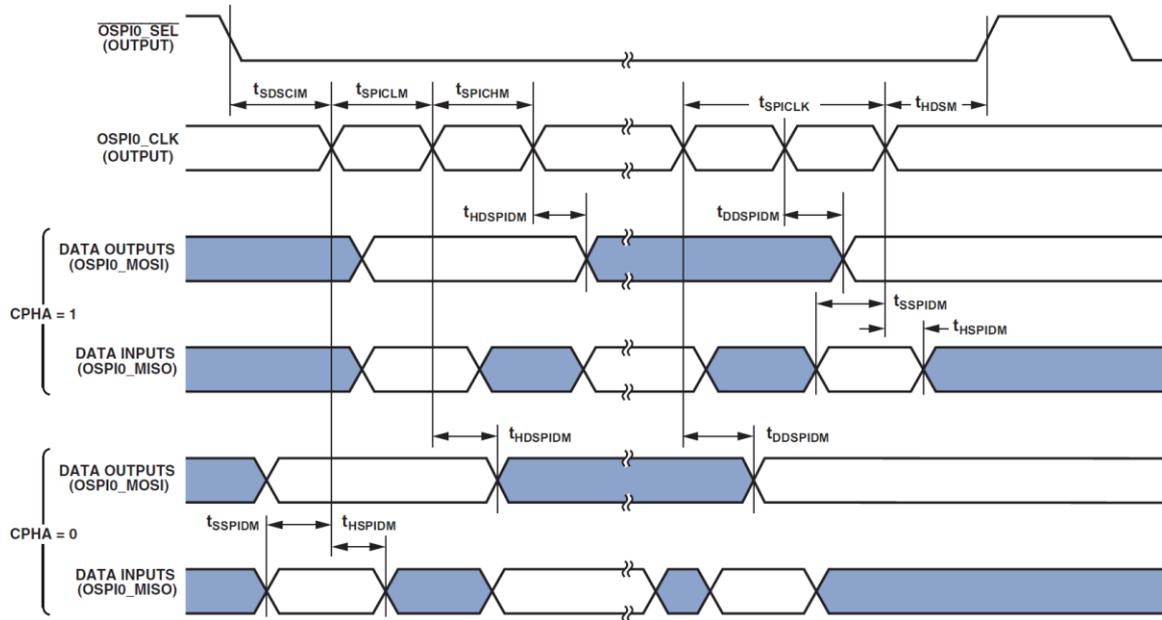


図29. OSPIポート - マスタのタイミング

データ・トレーニングのあるOSPI0

I/Oのタイミング条件とスイッチング特性は、データ・トレーニングを行ってOSPIを使用する場合には適用できません。詳細については、[OSPI PHY Configuration and Training \(EE-437\)](#) を参照してください。

データ・トレーニングを行ってOSPIを使用する場合、プログラマブルなOSPIクロック ($f_{OSPICKLPROG}$) 周波数は、MHzを単位として次の式によって設定されます。

$$f_{OSPICKLPROG} = f_{CDU_CLK010}$$

高精度クロック・ジェネレータ (PCG) (直接ピン・ルーティング)

このタイミングが有効になるのは、高精度クロック・ジェネレータ (PCG) がDAIピンから (ピン・バッファを介して) 直接入力を取得しDAIピンに直接出力するよう、SRUが設定されている場合に限りです。それ以外の場合、つまり、PCGの入力および出力が、DAIピンとの間で (ピン・バッファを介して) 直接やり取りされない場合は、使用できるタイミング・データはありません。すべてのタイミング・データとスイッチング特性は、外部DAIピン (DAI0_PINx) に適用されます。

表62. PCG (直接ピン・ルーティング)

| Parameter | Min | Max | Unit |
|--|---|--|------|
| <i>Timing Requirements</i> | | | |
| t_{PCGIP} Input Clock Period | $t_{SCLK0} \times 2$ | | ns |
| t_{STRIG} PCG Trigger Setup Before Falling Edge of PCG Input Clock | 4.5 | | ns |
| t_{HTRIG} PCG Trigger Hold After Falling Edge of PCG Input Clock | 3 | | ns |
| <i>Switching Characteristics</i> | | | |
| t_{DPCGIO} PCG Output Clock and Frame Sync Active Edge Delay After PCG Input Clock | 2 | 11 | ns |
| $t_{DTRIGCLK}$ PCG Output Clock Delay After PCG Trigger | $2 + (2.5 \times t_{PCGIP})$ | $13.5 + (2.5 \times t_{PCGIP})$ | ns |
| $t_{DTRIGFS}^1$ PCG Frame Sync Delay After PCG Trigger | $2.5 + ((2.5 + D - PH) \times t_{PCGIP})$ | $13.5 + ((2.5 + D - PH) \times t_{PCGIP})$ | ns |
| t_{PCGOW}^2 Output Clock Period | $2 \times t_{PCGIP} - 1$ | | ns |

¹ D = FSxDIV、PH = FSxPHASE。詳細については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスを参照してください。

² 通常動作モード。

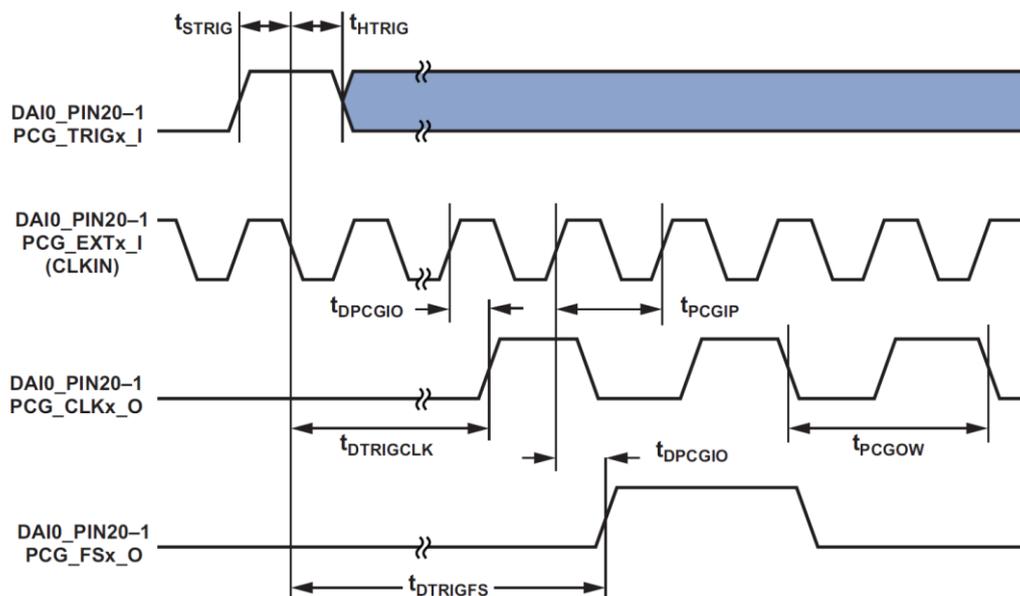


図30. PCG (直接ピン・ルーティング)

汎用IOポートのタイミング

表63と図31に、汎用ポート（PORT）に関するI/Oのタイミングを示します。

表63. 汎用ポートのタイミング

| Parameter | Min | Max | Unit |
|--|----------------------------|-----|------|
| <i>Timing Requirement</i> | | | |
| t_{WFI} General-Purpose Port Pin Input Pulse Width | $2 \times t_{SCLK0} - 1.5$ | | ns |

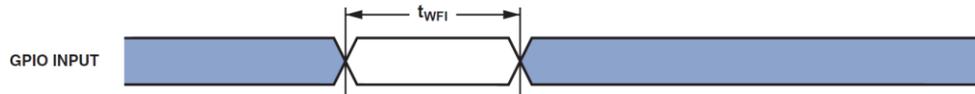


図31. 汎用ポートのタイミング

汎用I/Oタイマーのサイクル・タイミング

表64、表65、図32に、汎用タイマー（TIMER0）に関連するタイマー終了動作を示します。幅の値は、 TMx_TMRn_WIDTH レジスタで指定されたタイマー時間で、範囲は $1 \sim 2^{32} - 1$ です。外部で生成される場合、 TMx_CLK クロックは $f_{TMRCLKEXT}$ と呼ばれます。

$$t_{TMRCLKEXT} = \frac{1}{f_{TMRCLKEXT}}$$

表64. タイマーのサイクル・タイミング - 内部モード

| Parameter | Min | Max | Unit |
|---|--------------------------------|--------------------------------|------|
| <i>Timing Requirements</i> | | | |
| t_{WL} Timer Pulse Width Input Low (Measured In SCLK0 Cycles) ¹ | $2 \times t_{SCLK0}$ | | ns |
| t_{WH} Timer Pulse Width Input High (Measured In SCLK0 Cycles) ¹ | $2 \times t_{SCLK0}$ | | ns |
| <i>Switching Characteristic</i> | | | |
| t_{HTO} Timer Pulse Width Output (Measured In SCLK0 Cycles) ² | $t_{SCLK0} \times WIDTH - 1.7$ | $t_{SCLK0} \times WIDTH + 1.5$ | ns |

¹ 最小パルス幅は、幅キャプチャ・モードおよび外部クロック・モードでのタイマー信号に適用されます。

² WIDTHは、 $TMRx_WIDTH$ レジスタの値を指します（ $2 \sim 2^{32} - 1$ の範囲の値を取ることができます）。

表65. タイマーのサイクル・タイミング - 外部モード

| Parameter | Min | Max | Unit |
|---|-----------------------------------|-----------------------------------|------|
| <i>Timing Requirements</i> | | | |
| t_{WL} Timer Pulse Width Input Low (Measured In EXT_CLK Cycles) ¹ | $2 \times t_{EXT_CLK}$ | | ns |
| t_{WH} Timer Pulse Width Input High (Measured In EXT_CLK Cycles) ¹ | $2 \times t_{EXT_CLK}$ | | ns |
| t_{EXT_CLK} Timer External Clock Period ² | $t_{TMRCLKEXT}$ | | ns |
| <i>Switching Characteristic</i> | | | |
| t_{HTO} Timer Pulse Width Output (Measured In EXT_CLK Cycles) ³ | $t_{EXT_CLK} \times WIDTH - 1.5$ | $t_{EXT_CLK} \times WIDTH + 1.5$ | ns |

¹ 最小パルス幅は、幅キャプチャ・モードおよび外部クロック・モードでのタイマー信号に適用されます。

² この仕様は、外部 TMR_CLK のデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部 TMR_CLK の最大周波数については、表26の $f_{TMRCLKEXT}$ の仕様を参照してください。

³ WIDTHは、 $TMRx_WIDTH$ レジスタの値を指します（ $1 \sim 2^{32} - 1$ の範囲の値を取ることができます）。

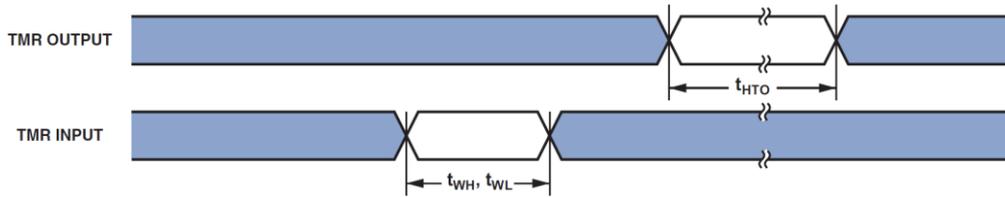


図32. タイマーのサイクル・タイミング

DAIxピンからDAIxピンへの直接ルーティング (DAI0ブロックおよびDAI1ブロック)

表66と図33に、デジタル・オーディオ・インターフェース (DAI) に関連するI/Oタイミングを、直接ピン接続 (例えば、DAIx_PB01_IとDAIx_PB02_O) の場合についてのみ示します。

表66. DAIピンからDAIピンへのルーティング

| Parameter | Min | Max | Unit |
|--|-----|-----|------|
| <i>Switching Characteristic</i> | | | |
| t_{DPIO} Delay DAI Pin Input Valid to DAI Output Valid | 1.5 | 12 | ns |

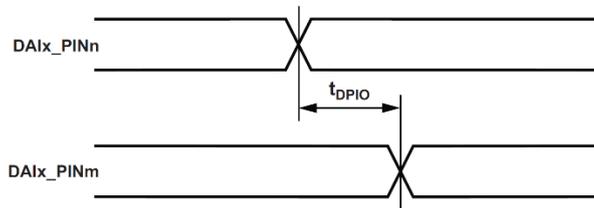


図33.DAIピンからDAIピンへの直接ルーティング

アップ/ダウン・カウンタ/ロータリ・エンコーダのタイミング

表67と図34に、汎用カウンタ (CNT) に関するタイミングを示します。

表67. アップ/ダウン・カウンタ/ロータリ・エンコーダのタイミング

| Parameter | Min | Max | Unit |
|---|----------------------|-----|------|
| <i>Timing Requirement</i> | | | |
| t_{WCOUNT} Up/Down Counter/Rotary Encoder Input Pulse Width | $2 \times t_{sCLK0}$ | | ns |

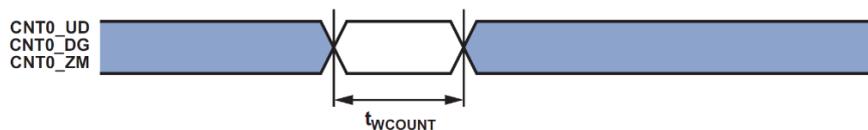


図34. アップ/ダウン・カウンタ/ロータリ・エンコーダのタイミング

ユニバーサル・シリアル・バス（USB）のタイミング

表68に、USB SDRモードの入出力方向のタイミングを示します。

表68. USBのタイミング、SDRモード

| Parameter | | Min | Max | Unit |
|----------------------------------|--------------------------|-----|-----|------|
| <i>Timing Requirements</i> | | | | |
| t_{SD} | Input Data Setup Time | 7 | | ns |
| t_{HD} | Input Data Hold Time | 1.5 | | ns |
| t_{SC} | Input Control Setup Time | 8 | | ns |
| t_{HC} | Input Control Hold Time | 1.5 | | ns |
| <i>Switching Characteristics</i> | | | | |
| t_{DD} | Output Data Delay | 0 | 9 | ns |
| t_{DC} | Output Control Delay | 0 | 9 | ns |

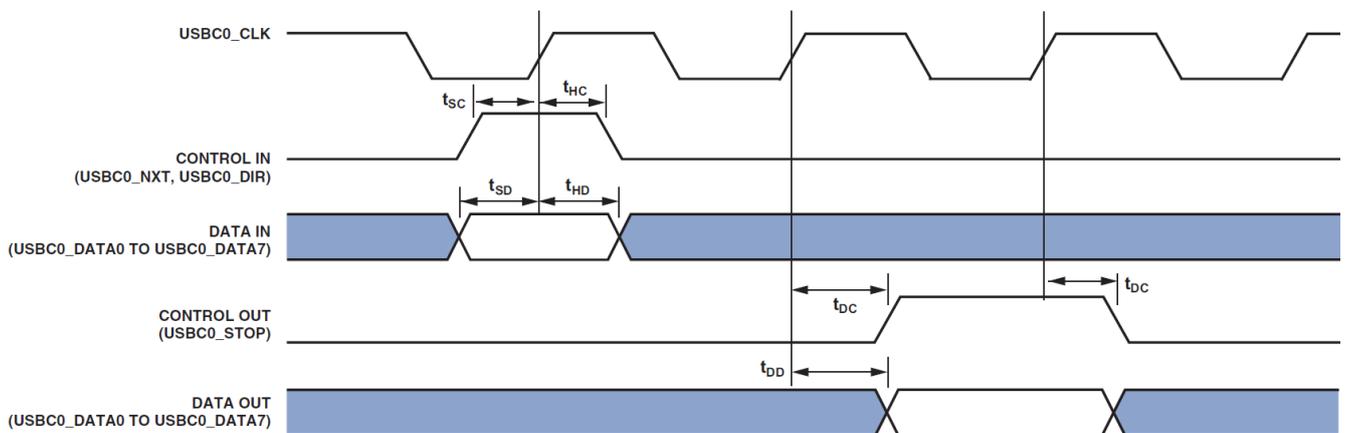


図35. USBのタイミング

ユニバーサル非同期レシーバー/トランスミッタ（UART）ポート - 受信および送信のタイミング

UARTポートの受信動作および送信動作については、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスに記載されています。

コントローラ・エリア・ネットワークFD（CANFD）インターフェース

CANFDインターフェースのタイミングについては、ADSP-2159x/ADSP-SC592/SC594 SHARC+プロセッサ・ハードウェア・リファレンスに記載されています。

10/100 EMACのタイミング (ETH0のみ)

表69、表70、図36、図37にMII EMACの動作を示します。

表69. 10/100 EMACのタイミング : MII受信信号

| Parameter ¹ | | V _{DDEXT} 3.3V Nominal | | Unit |
|----------------------------|--|---------------------------------|---------------------------|------|
| | | Min | Max | |
| <i>Timing Requirements</i> | | | | |
| t _{ERXCLKF} | ETH0_RXCLK_REFCLK Frequency (f _{SCLK} = SCLK Frequency) | None | 25 + 1% | MHz |
| t _{ERXCLKW} | ETH0_RXCLK_REFCLK Width (t _{ERXCLK} = ETH0_RXCLK_REFCLK Period) | t _{ERXCLK} × 35% | t _{ERXCLK} × 65% | ns |
| t _{ERXCLKIS} | Rx Input Valid to ETH0_RXCLK_REFCLK Rising Edge (Data In Setup) | 2 | | ns |
| t _{ERXCLKIH} | ETH0_RXCLK_REFCLK Rising Edge to Rx Input Invalid (Data In Hold) | 2.2 | | ns |

¹ ETH0_RXCLK_REFCLKに同期するMII入力、ETH0_RXD3-0、ETH0_RXCTL_RXDV、ETH0_RXERRです。

2

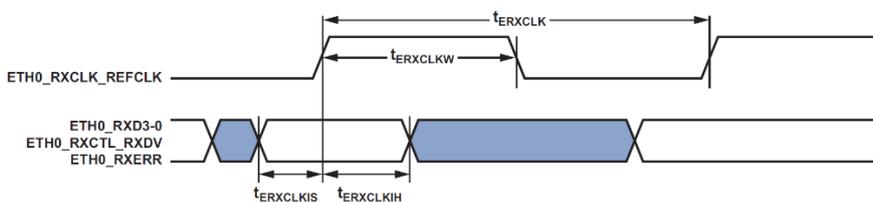


図36. 10/100 EMACのタイミング : MII受信信号

表70. 10/100 EMACのタイミング : MII送信信号

| Parameter ¹ | | V _{DDEXT} 3.3V Nominal | | Unit |
|----------------------------------|---|---------------------------------|---------------------------|------|
| | | Min | Max | |
| <i>Timing Requirements</i> | | | | |
| t _{ETXCLKF} | ETH0_TXCLK Frequency (f _{SCLK} = SCLK Frequency) | None | 25 + 1% | MHz |
| t _{ETXCLKW} | ETH0_TXCLK Width (t _{ETXCLK} = ETH0_TXCLK Period) | t _{ETXCLK} × 35% | t _{ETXCLK} × 65% | ns |
| <i>Switching Characteristics</i> | | | | |
| t _{ETXCLKOV} | ETH0_TXCLK Rising Edge to Tx Output Valid (Data Out Valid) | | 11.4 | ns |
| t _{ETXCLKOH} | ETH0_TXCLK Rising Edge to Tx Output Invalid (Data Out Hold) | 2 | | ns |

¹ ETH0_TXCLKに同期するMII出力はETH0_TXD3-0です。

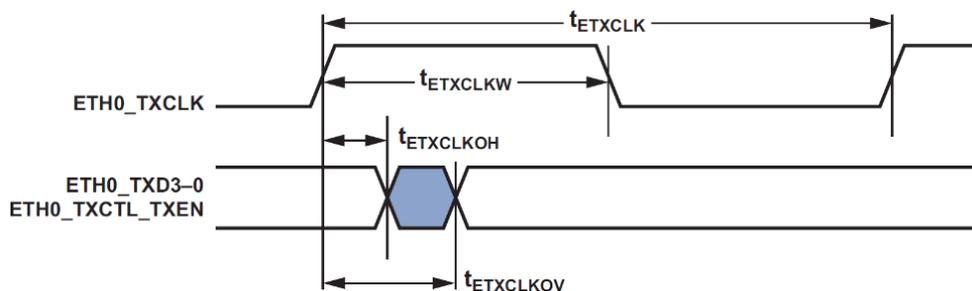


図37. 10/100 EMACのタイミング : MII送信信号

10/100 EMACのタイミング (ETH0およびETH1)

表71～表73および図38～図40に、RMII EMAC動作を示します。

表71. 10/100 EMACのタイミング - RMII受信信号¹

| Parameter ² | Min | Max | Unit |
|---|---------------------------|---------------------------|------|
| <i>Timing Requirements</i> | | | |
| $t_{REFCLKF}$ ETHx_REFCLK Frequency ($f_{SCLK0} = SCLK0$ Frequency) | | 50 + 1% | MHz |
| $t_{REFCLKW}$ ETHx_REFCLK Width ($t_{REFCLKF} = \text{ETHx_REFCLK Period}$) | $t_{REFCLKF} \times 35\%$ | $t_{REFCLKF} \times 65\%$ | ns |
| $t_{REFCLKIS}$ Rx Input Valid to RMII ETHx_REFCLK Rising Edge (Data Input Setup) | 1.75 | | ns |
| $t_{REFCLKIH}$ RMII ETHx_REFCLK Rising Edge to Rx Input Invalid (Data Input Hold) | 1.6 | | ns |

¹ これらの仕様はETH0とETH1に適用されます。

² RMII ETHx_REFCLKに同期するRMII入力は、ETHx_RXD1-0、RMII ETHx_CRS、ERxERです。

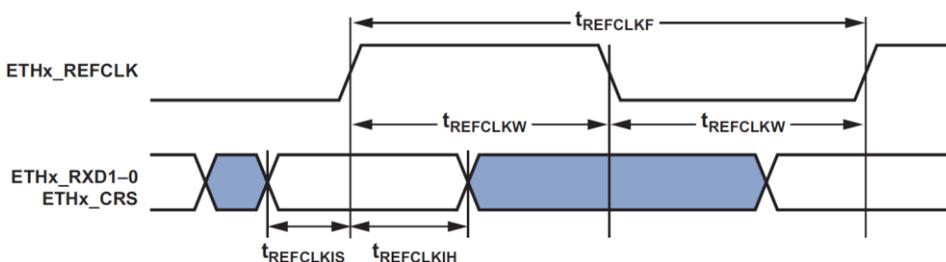


図38. 10/100 EMACのコントローラ・タイミング - RMII受信信号

表72. 10/100 EMACのタイミング - RMII送信信号¹

| Parameter ² | Min | Max | Unit |
|--|-----|------|------|
| <i>Switching Characteristics</i> | | | |
| $t_{REFCLKOV}$ RMII ETHx_REFCLK Rising Edge to Transmit Output Valid (Data Out Valid) | | 11.9 | ns |
| $t_{REFCLKOH}$ RMII ETHx_REFCLK Rising Edge to Transmit Output Invalid (Data Out Hold) | 2 | | ns |

¹ これらの仕様はETH0とETH1に適用されます。

² RMII ETHx_REFCLKに同期するRMII出力は、ETHx_TXD1およびTXD0です。

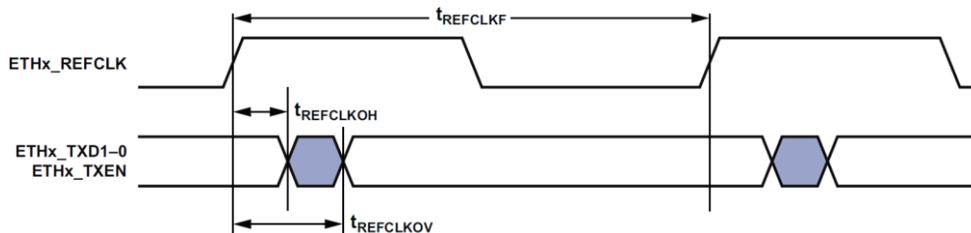


図39. 10/100 EMACのコントローラ・タイミング - RMII送信信号

表73. EMACのタイミング - ステーション管理¹

| Parameter ² | Min | Max | Unit |
|--|-------------------|-----------------|------|
| <i>Timing Requirements</i> | | | |
| t_{MDIOS} ETHx_MDIO Input Valid to ETHx_MDC Rising Edge (Setup) | 12.6 | | ns |
| t_{MDCIH} ETHx_MDC Rising Edge to ETHx_MDIO Input Invalid (Hold) | 0 | | ns |
| <i>Switching Characteristics</i> | | | |
| t_{MDCOV} ETHx_MDC Falling Edge to ETHx_MDIO Output Valid | | $t_{SCLK0} + 2$ | ns |
| t_{MDCOH} ETHx_MDC Falling Edge to ETHx_MDIO Output Invalid (Hold) | $t_{SCLK0} - 4.9$ | | ns |

¹ これらの仕様はETH0とETH1に適用されます。

² ETHx_MDC/ETHx_MDIOは2線式のシリアル双方向ポートで、1つまたは複数の外部PHYを制御します。ETHx_MDCは、システム・クロックSCLK0の倍数で設定可能な最小周期の出力クロックです。ETHx_MDIOは双方向データ・ラインです。

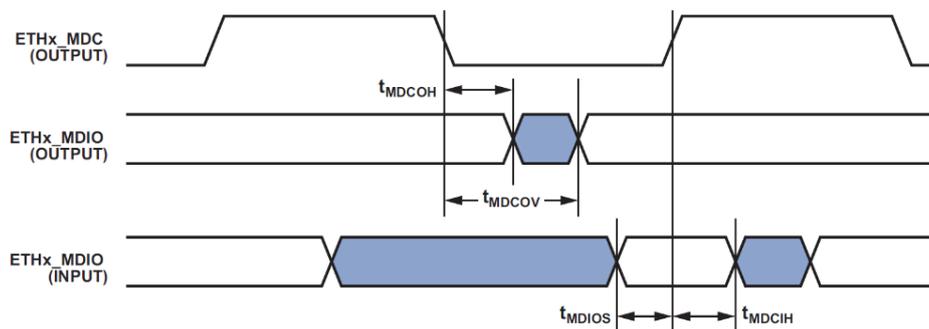


図40. イーサネットMACコントローラのタイミング - ステーション管理

10/100/1000 EMACのタイミング (ETH0のみ)

表74と図41に、RGMII EMACのタイミングを示します。

表74. 10/100/1000 EMACのタイミング - RGMII受信および送信信号¹

| Parameter | | Min | Max | Unit |
|----------------------------------|--|-----------------------------|-----------------------------|------|
| <i>Timing Requirements</i> | | | | |
| t _{SETUPR} | Data to Clock Input Setup at Receiver | 1 | | ns |
| t _{HOLDR} | Data to Clock Input Hold at Receiver | 1 | | ns |
| t _{GREFCLKF} | RGMII Receive Clock Period | 8 | | ns |
| t _{GREFCLKW} | RGMII Receive Clock Pulse Width | 4 | | ns |
| <i>Switching Characteristics</i> | | | | |
| t _{SKEWT} | Data to Clock Output Skew at Transmitter | -0.5 | +0.5 | ns |
| t _{CYC} | Clock Cycle Duration | 7.2 | 8.8 | ns |
| t _{DUTY_G} | Duty Cycle for RGMII Minimum | t _{GREFCLKF} × 45% | t _{GREFCLKF} × 55% | ns |

¹ この仕様はETH0にのみ対応します (10/100/1000 EMACコントローラ)。

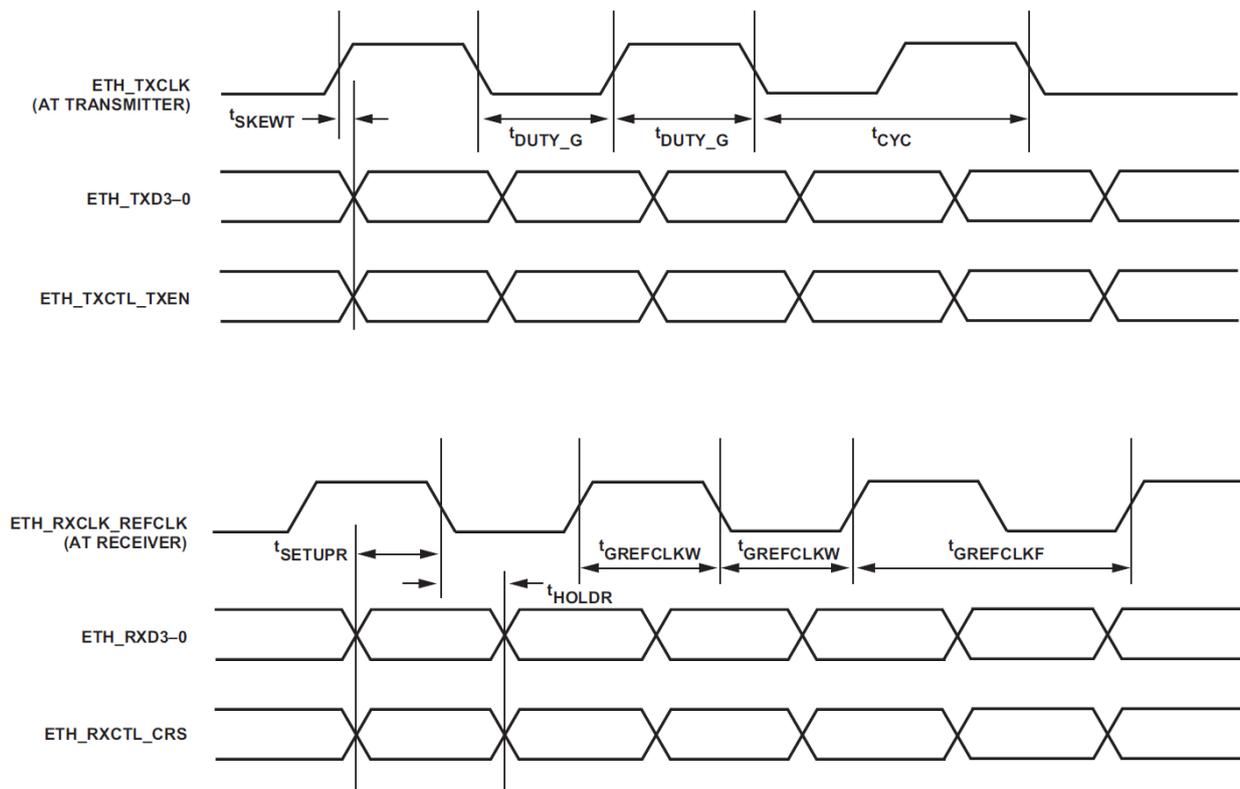


図41. ギガビットEMACコントローラのタイミング - RGMII

強化型パラレル・ペリフェラル・インターフェース (EPPI) のタイミング

表75、表76および図42～図50に、強化型パラレル・ペリフェラル・インターフェース (EPPI) のタイミング動作を示します。図42～図50において、POLC[1:0]は、EPPIクロックのサンプリング/駆動エッジを設定する、EPPI_CTLレジスタの設定を表します。

内部生成される場合、プログラムされたMHzを単位とするPPIクロック周波数 ($f_{PCLKPROG}$) が次の式で設定されます。ここで、VALUEは0～65535の範囲で設定できるEPPI_CLKDIVレジスタのフィールドです。

$$f_{PCLKPROG} = \frac{f_{SCLK0}}{(VALUE + 1)}$$

$$t_{PCLKPROG} = \frac{1}{f_{PCLKPROG}}$$

外部で生成される場合、EPPI_CLKは $f_{PCLKEXT}$ と呼ばれます。

$$t_{PCLKEXT} = \frac{1}{f_{PCLKEXT}}$$

表75. 強化型パラレル・ペリフェラル・インターフェース (EPPI) - 内部クロック

| Parameter | | Min | Max | Unit |
|----------------------------------|---|---------------------------------|-----|------|
| <i>Timing Requirements</i> | | | | |
| t_{SFSPi} | External FS Setup Before EPPI_CLK | 6.5 | | ns |
| t_{HFSPi} | External FS Hold After EPPI_CLK | 0.7 | | ns |
| t_{SDRPI} | Receive Data Setup Before EPPI_CLK | 6.5 | | ns |
| t_{HDRPI} | Receive Data Hold After EPPI_CLK | 0.7 | | ns |
| t_{SF3GI} | External FS3 Input Setup Before EPPI_CLK Fall Edge in Clock Gating Mode | 14 | | ns |
| t_{HF3GI} | External FS3 Input Hold Before EPPI_CLK Fall Edge in Clock Gating Mode | 0 | | ns |
| <i>Switching Characteristics</i> | | | | |
| t_{PCLKW} | EPPI_CLK Width ¹ | $0.5 \times t_{PCLKPROG} - 1.5$ | | ns |
| t_{PCLK} | EPPI_CLK Period ¹ | $t_{PCLKPROG} - 1.5$ | | ns |
| t_{DFSPi} | Internal FS Delay After EPPI_CLK | | 3.5 | ns |
| t_{HOFSPi} | Internal FS Hold After EPPI_CLK | -0.72 | | ns |
| t_{DDTPI} | Transmit Data Delay After EPPI_CLK | | 3.5 | ns |
| t_{HDTPI} | Transmit Data Hold After EPPI_CLK | -0.72 | | ns |

¹ $t_{PCLKPROG}$ に対して設定可能な最小周期についての詳細は、表26を参照してください。

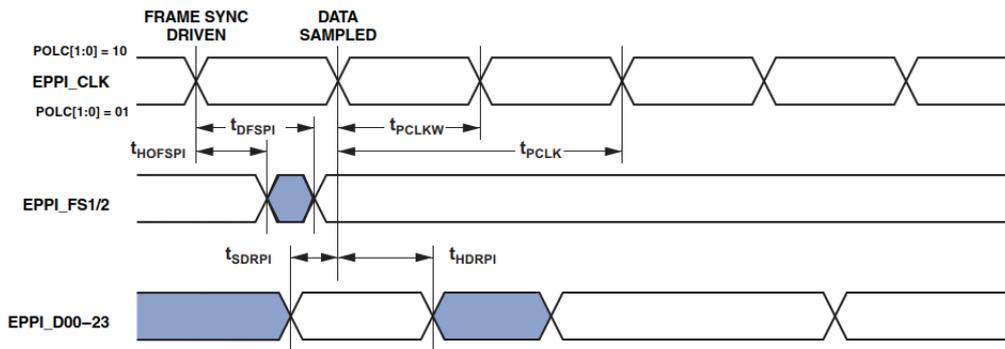


図42. EPPI内部クロックGP受信モードと内部フレーム同期のタイミング

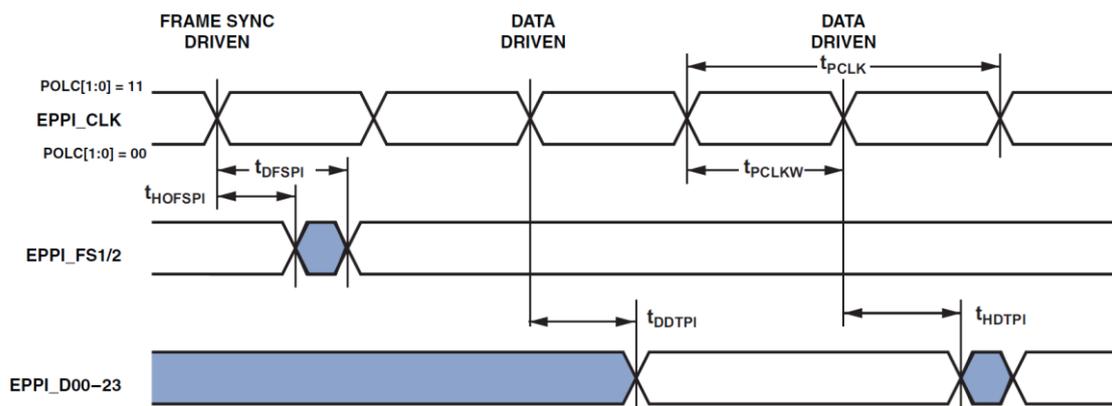


図43. EPPI内部クロックGP送信モードと内部フレーム同期のタイミング

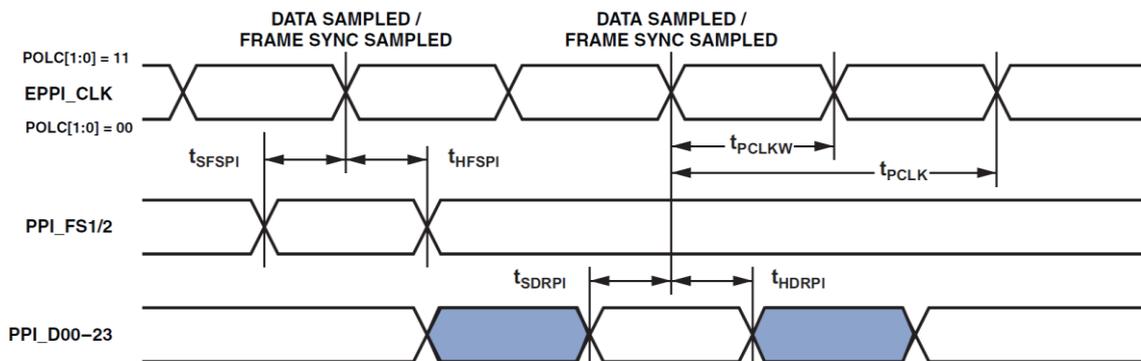


図44. EPPI内部クロックGP受信モードと外部フレーム同期のタイミング

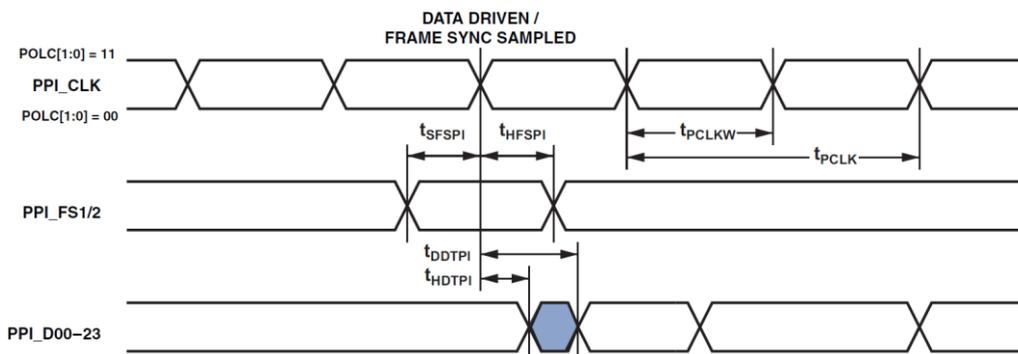


図45 .EPPI内部クロックGP送信モードと外部フレーム同期のタイミング

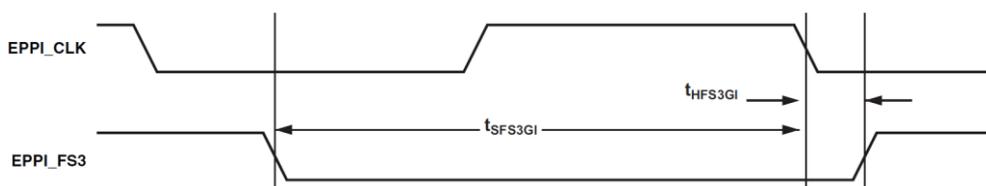


図46. クロック・ゲート・モードと内部クロックおよび外部フレーム同期のタイミング

表76. 強化型パラレル・ペリフェラル・インターフェース (EPPI) - 外部クロック

| Parameter | Min | Max | Unit |
|--|--------------------------------|------|------|
| <i>Timing Requirements</i> | | | |
| t_{PCLKW} EPPI_CLK Width ¹ | $0.5 \times t_{PCLKEXT} - 0.5$ | | ns |
| t_{PCLK} EPPI_CLK Period ¹ | $t_{PCLKEXT} - 1$ | | ns |
| t_{SFSPE} External FS Setup Before EPPI_CLK | 2 | | ns |
| t_{HFSPE} External FS Hold After EPPI_CLK | 3.7 | | ns |
| t_{SDRPE} Receive Data Setup Before EPPI_CLK | 2 | | ns |
| t_{HDRPE} Receive Data Hold After EPPI_CLK | 3.7 | | ns |
| <i>Switching Characteristics</i> | | | |
| t_{DFSPE} Internal FS Delay After EPPI_CLK | | 15.3 | ns |
| t_{HOFSP} Internal FS Hold After EPPI_CLK | 2.4 | | ns |
| t_{DDTPE} Transmit Data Delay After EPPI_CLK | | 15.3 | ns |
| t_{HDTPE} Transmit Data Hold After EPPI_CLK | 2.4 | | ns |

¹ この仕様は、外部EPPI_CLKのデューティ・サイクルの変化またはジッタによる許容可能な最小瞬時幅または周期を示します。外部EPPI_CLKの理想的な最大周波数については、表26の $t_{PCLKEXT}$ の仕様を参照してください。

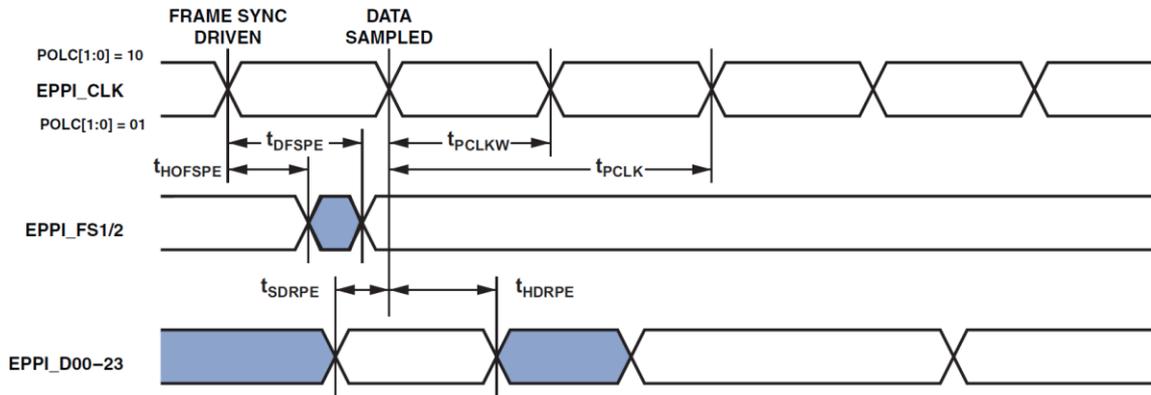


図47. EPPI外部クロックGP受信モードと内部フレーム同期のタイミング

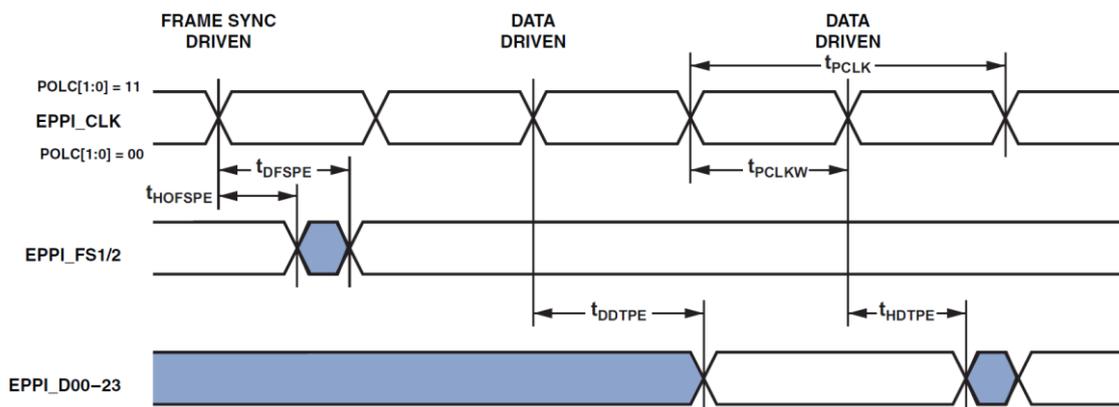


図48. EPPI外部クロックGP送信モードと内部フレーム同期のタイミング

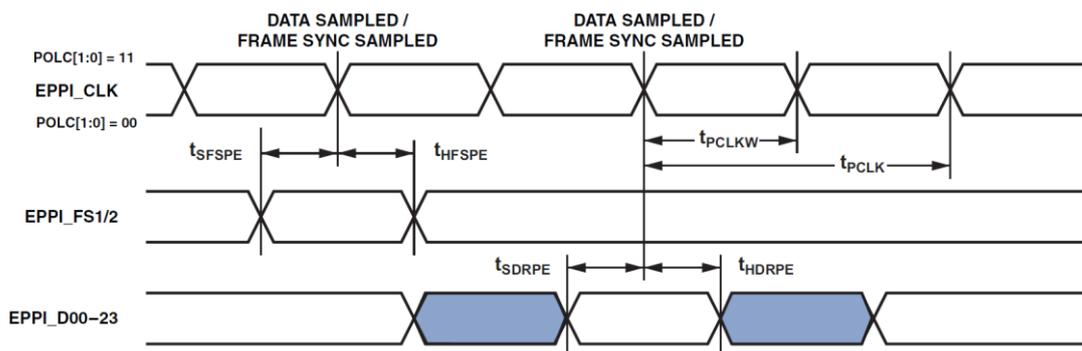


図49. EPPI外部クロックGP受信モードと外部フレーム同期のタイミング

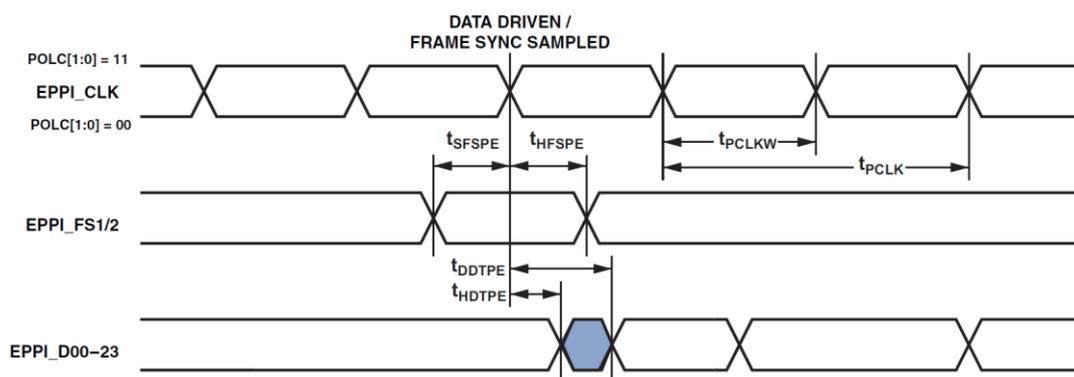


図50. EPPI外部クロックGP送信モードと外部フレーム同期のタイミング

ソニー/フィリップス・デジタル・インターフェース (S/PDIF) トランスミッタ

S/PDIFトランスミッタへのシリアル・データ入力は、16、18、20、または24ビットのワード幅の左詰め、I²S、または右詰めでフォーマットできます。以下のセクションでは、トランスミッタのタイミングについて説明します。

S/PDIFトランスミッタのシリアル入力波形

表77および図51に右詰めモードを示します。フレーム同期は左チャンネルでハイ、右チャンネルでローとなっています。データはシリアル・クロックの立上がりエッジで有効となります。MSBのフレーム同期遷移からの遅延は24ビット出力モードの場合に最小、16ビット出力モードの場合最大となるため、フレーム同期周期あたりシリアル・クロックが64周期ある場合、データのLSBは次のフレーム同期遷移に対し右詰めされています。

表77. S/PDIFトランスミッタの右詰めモード

| Parameter | Conditions | Nominal | Unit |
|---------------------------|---|--|----------------------------------|
| <i>Timing Requirement</i> | | | |
| t_{RJD} | Frame Sync to MSB Delay in Right Justified Mode | 16-bit word mode 18-bit word mode 20-bit word mode 24-bit word mode | SCLK0 SCLK0 SCLK0 SCLK0 |

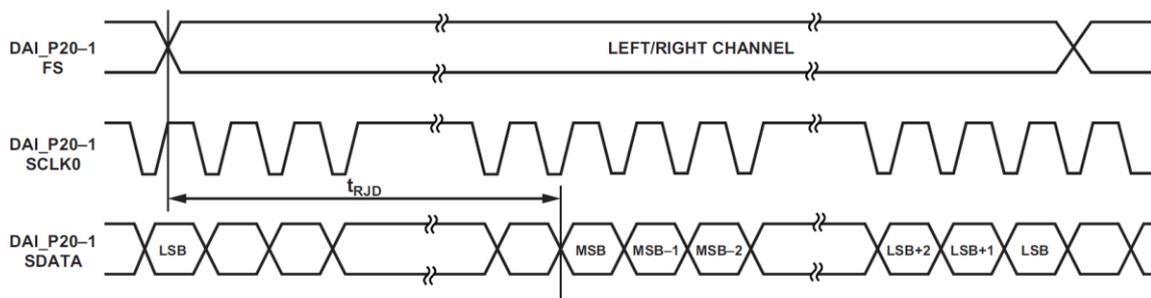


図51. 右詰めモード

表78および図52にデフォルトのI²Sモードを示します。フレーム同期は左チャンネルでロー、右チャンネルでハイとなっています。データはシリアル・クロックの立上がりエッジで有効となります。MSBはフレーム同期遷移に対し左詰めされていますが、遅延があります。

表78. S/PDIFトランスミッタのI²Sモード

| Parameter | Nominal | Unit |
|--|---------|-------|
| Timing Requirement | | |
| t _{I2SD} Frame Sync to MSB Delay in I ² S Mode | 1 | SCLK0 |

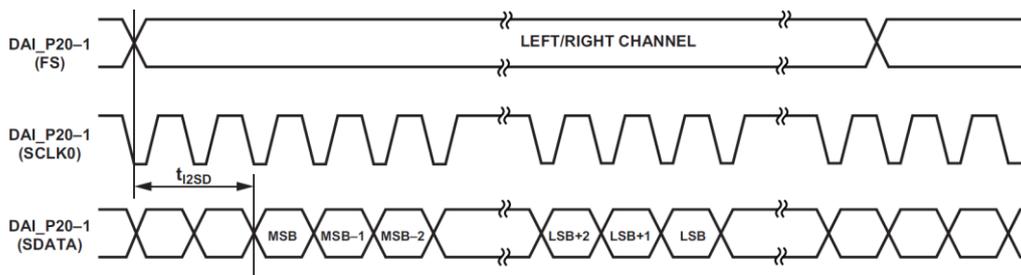


図52. I²Sモード

表79および図53に左詰めモードを示します。フレーム同期は左チャンネルでハイ、右チャンネルでローとなっています。データはシリアル・クロックの立上がりエッジで有効となります。MSBはフレーム同期遷移に対し左詰めされており、遅延はありません。

表79. S/PDIFトランスミッタの左詰めモード

| Parameter | Nominal | Unit |
|---|---------|-------|
| Timing Requirement | | |
| t _{LJD} Frame Sync to MSB Delay in Left Justified Mode | 0 | SCLK0 |

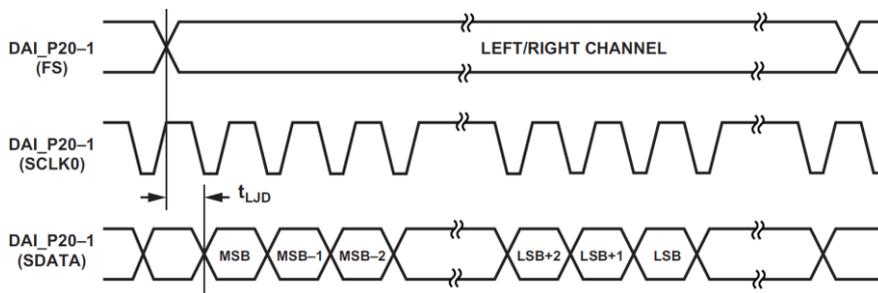


図53. 左詰めモード

S/PDIFトランスミッタ入力データのタイミング

S/PDIFトランスミッタのタイミング条件を表80に示します。入力信号は、SRUを用いてDAI0_PINxピンにルーティングされます。そのため、以下に示すタイミング仕様は、DAI0_PINxピンで有効です。

表80. S/PDIFトランスミッタ入力データのタイミング

| Parameter | Min | Max | Unit |
|----------------------------|-----|-----|------|
| <i>Timing Requirements</i> | | | |
| t_{SISFS}^1 | 3.4 | | ns |
| t_{SIHFS}^1 | 3 | | ns |
| t_{SISD}^1 | 3 | | ns |
| t_{SIHD}^1 | 3 | | ns |
| $t_{SITXCLKW}$ | 9 | | ns |
| $t_{SITXCLK}$ | 20 | | ns |
| $t_{SISCLKW}$ | 36 | | ns |
| t_{SISCLK} | 80 | | ns |

¹ シリアル・クロック、データ、フレーム同期信号は、いずれのDAIピンからも送ることができます。シリアル・クロックとフレーム同期信号は、PCGまたはSPORTからも送ることができます。PCGの入力は、CLKINまたはいずれかのDAIピンとすることができます。

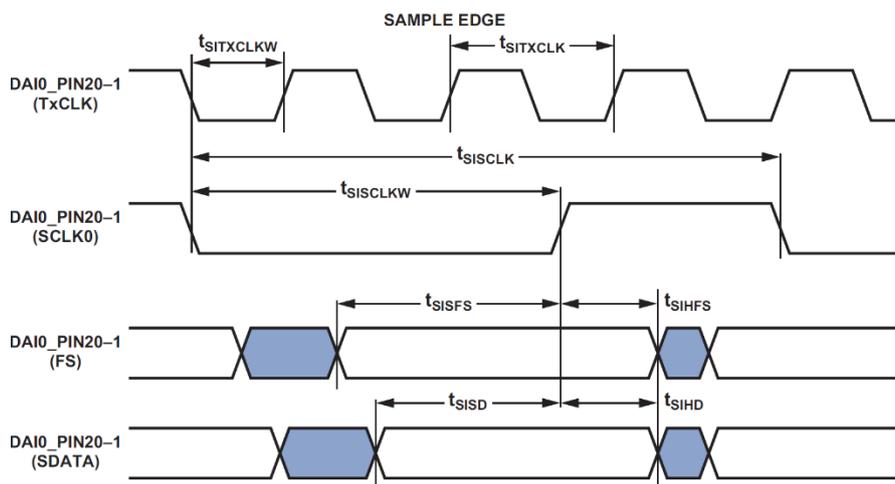


図54. S/PDIFトランスミッタ入力のタイミング

オーバーサンプリング・クロック (TxCLK) のスイッチング特性

S/PDIFトランスミッタにはオーバーサンプリング・クロック入力が必要です。高周波数クロック (TxCLK) 入力は、内部の2相クロックを生成するために分周されます。

表81. オーバーサンプリング・クロック (TxCLK) のスイッチング特性

| Parameter | Max | Unit |
|----------------------------------|---|------|
| <i>Switching Characteristics</i> | | |
| f_{TXCLK_384} | Oversampling ratio \times frame sync $\leq 1/t_{SITXCLK}$ | MHz |
| f_{TXCLK_256} | 49.2 | MHz |
| f_{FS} | 192 | kHz |

S/PDIFレシーバー

以下のセクションでは、S/PDIFレシーバーに関連するタイミングについて説明します。

内部デジタルPLLモード

内部デジタルPLLモードでは、内部デジタルPLLが512 x FSのクロックを生成します。

表82. S/PDIFレシーバーの内部デジタルPLLモードのタイミング

| Parameter | | Min | Max | Unit |
|----------------------------------|--|-----|-----|------|
| <i>Switching Characteristics</i> | | | | |
| t_{DFSI} | Frame Sync Delay After Serial Clock | | 5 | ns |
| t_{HOFSI} | Frame Sync Hold After Serial Clock | -2 | | ns |
| t_{DDTI} | Transmit Data Delay After Serial Clock | | 5 | ns |
| t_{HDTI} | Transmit Data Hold After Serial Clock | -2 | | ns |

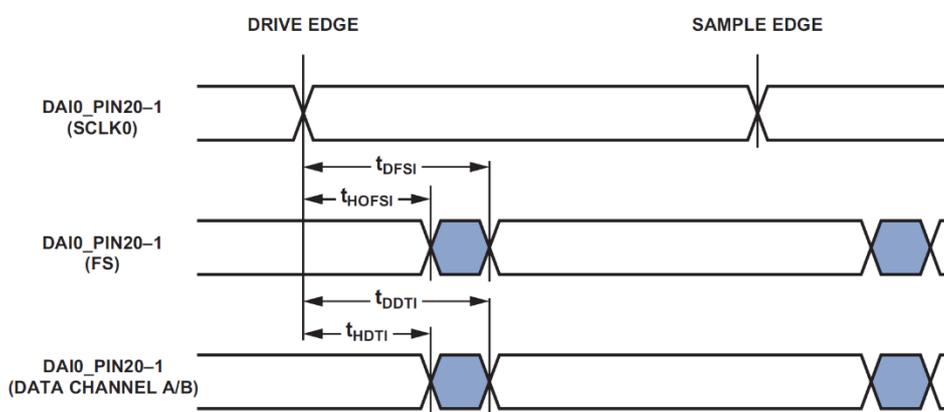


図55. S/PDIFレシーバーの内部デジタルPLLモードのタイミング

MediaLB (MLB)

特に指定のない限り、表83に示す数値はすべて、3ピン・プロトコルに対するすべてのMLBスピード・モード（1024FS、512FS、256FS）に適用できます。詳細については、Media Local Bus Specification Version 4.2を参照してください。

表83. 3ピンMLBインターフェースの仕様

| Parameter | Min | Typ | Max | Unit | |
|--------------------------------|-----|--|------|------|------|
| t _{MLBCLK} | | MLB Clock Period | | | |
| | | 1024 FS | 20.3 | | ns |
| | | 512 FS | 40 | | ns |
| | | 256 FS | 81 | | ns |
| t _{MCKL} | 6.1 | MLBCLK Low Time | | | ns |
| | | 1024 FS | | | ns |
| | | 512 FS | | | ns |
| | | 256 FS | | | ns |
| t _{MCKH} | 9.3 | MLBCLK High Time | | | ns |
| | | 1024 FS | | | ns |
| | | 512 FS | | | ns |
| | | 256 FS | | | ns |
| t _{MCKR} | | MLBCLK Rise Time (V _{IL} to V _{IH}) | | | |
| | | 1024 FS | | 1 | ns |
| | | 512 FS/256 FS | | 3 | ns |
| t _{MCKF} | | MLBCLK Fall Time (V _{IH} to V _{IL}) | | | |
| | | 1024 FS | | 1 | ns |
| | | 512 FS/256 FS | | 3 | ns |
| t _{MPWV} ¹ | | MLBCLK Pulse Width Variation | | | |
| | | 1024 FS | | 0.7 | nspp |
| | | 512 FS/256 | | 2.0 | nspp |
| t _{DSMCF} | 1 | | | | ns |
| t _{DHMCf} | 2 | | | | ns |
| t _{MCFDZ} | 0 | | 15 | | ns |
| t _{MCDRV} | | | 8 | | ns |
| t _{MDZH} ² | 2 | Bus Hold Time | | | ns |
| | | 1024 FS | | | ns |
| | | 512 FS/256 | | | ns |
| C _{MLB} | | DAT/SIG Pin Load | | | |
| | | 1024 FS | | 40 | pf |
| | | 512 FS/256 | | 60 | pf |

¹ パルス幅変動は、1.25Vにおいて、MLBCLKの一方のエッジでトリガし、他方のエッジで拡散を測定することで測定しています。測定はピークtoピークでナノ秒を単位として行っています。

² ボード設計では、高インピーダンス・バスがこの期間、最終駆動ビットのロジック状態から逸脱しないようにする必要があります。そのため、記載した最大容量性負荷を維持しながらも、カップリングを最小限に抑える必要があります。

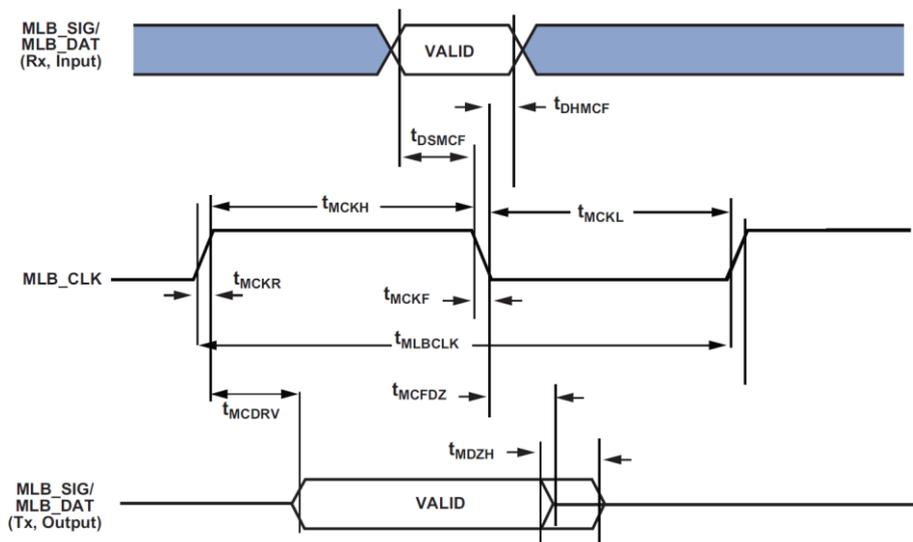


図56. MLBのタイミング (3ピン・インターフェース)

6ピンMLBインターフェースのACタイミング仕様を表84に詳しくまとめます。詳細については、Media Local Bus Specification Version 4.2を参照してください。

表84. 6ピンMLBインターフェースの仕様

| Parameter | Conditions | Min | Typ | Max | Unit |
|-------------|--|-----------------------------|--------|-------|------|
| t_{MT} | Differential Transition Time at the Input Pin (See Figure 57) | | | 1 | ns |
| f_{MCKE} | MLBCP/N External Clock Operating Frequency (See Figure 58) ¹ | 2048 × FS at 44.0 kHz | 90.112 | | MHz |
| | | 2048 × FS at 50.0 kHz | | 102.4 | MHz |
| f_{MCKR} | Recovered Clock Operating Frequency (Internal, Not Observable at Pins, Only for Timing References) (See Figure 58) | 2048 × FS at 44.0 kHz | 90.112 | | MHz |
| | | 2048 × FS at 50.0 kHz | | 102.4 | MHz |
| t_{DELAY} | Transmitter MLBSP/N (MLBDP/N) Output Valid From Transition of MLBCP/N (Low to High) (See Figure 59) | $f_{MCKR} = 2048 \times FS$ | 0.6 | 5 | ns |
| t_{PHZ} | Disable Turnaround Time From Transition of MLBCP/N (Low to High) (See Figure 60) | $f_{MCKR} = 2048 \times FS$ | 0.6 | 7 | ns |
| t_{PLZ} | Enable Turnaround Time From Transition of MLBCP/N (Low to High) (See Figure 60) | $f_{MCKR} = 2048 \times FS$ | 0.6 | 11.2 | ns |
| t_{SU} | MLBSP/N (MLBDP/N) Valid to Transition of MLBCP/N (Low to High) (See Figure 59) | $f_{MCKR} = 2048 \times FS$ | 1 | | ns |
| t_{HD} | MLBSP/N (MLBDP/N) Hold From Transition of MLBCP/N (Low to High) (See Figure 59) ² | | 0.6 | | ns |

¹ ビット・エラー・レートが10E-9の場合に、 f_{MCKE} (最大) および f_{MCKR} (最大) には、サイクルごとのシステム・ジッタ (U_{ITTER}) が最大で600psあります。

² レシーバーは、MLBCP/Nの立上がりエッジの t_{HD} (最小値) 内でMLBSP/N (MLBDP/N) データをラッチする必要があります。

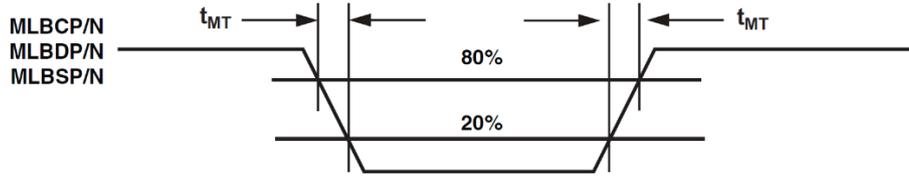


図57. MLB 6ピンの遷移時間

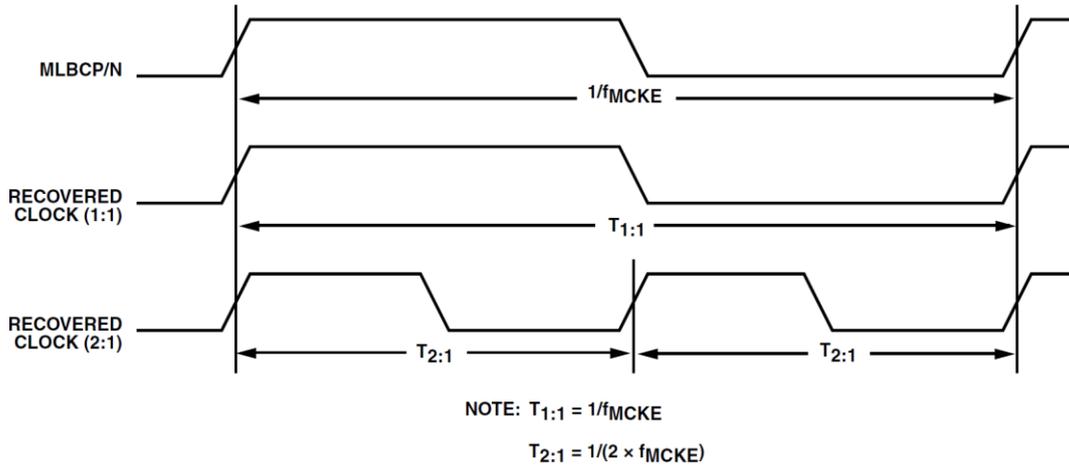


図58. MLB 6ピンのクロック定義

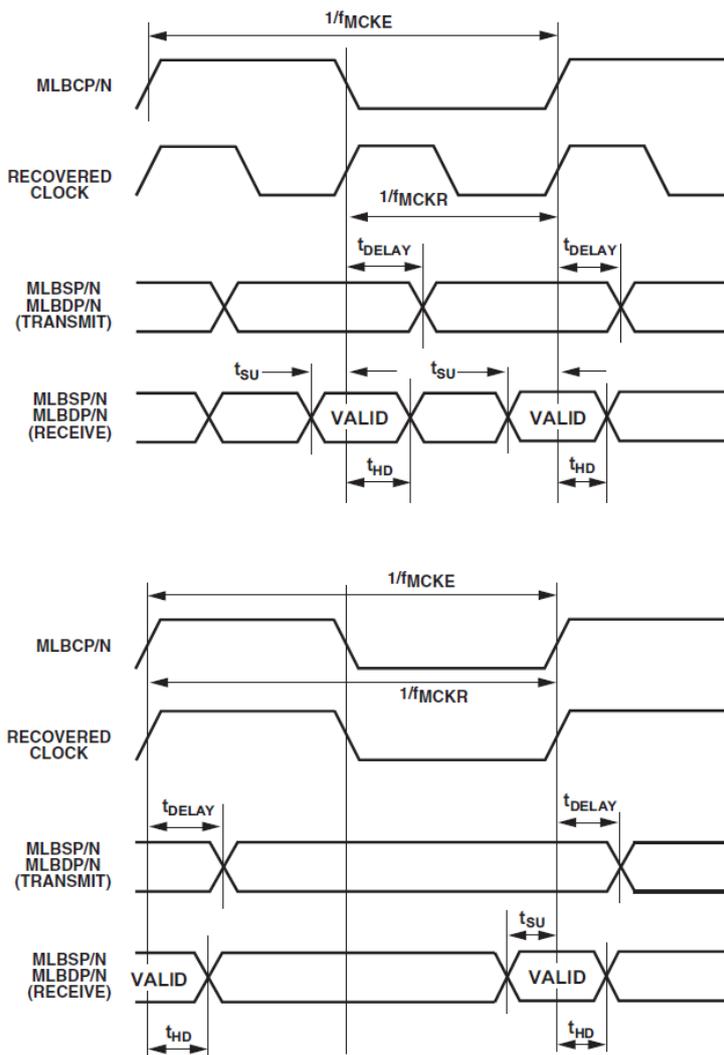


図59. MLB 6ピンの遅延時間、セットアップ時間、ホールド時間

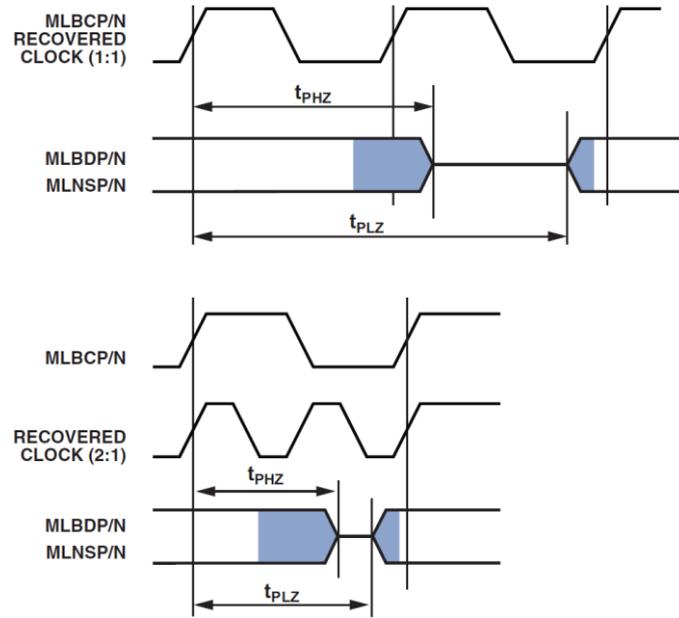


図60. MLB 6ピンのディスエーブルおよびイネーブルのターンアラウンド時間

プログラム・トレース・マクロセル (PTM) のタイミング

表85と図61に、PTMに関するI/Oのタイミングを示します。

表85. TRACE0のタイミング

| Parameter | Min | Max | Unit |
|---|----------------------------|----------------------------|------|
| <i>Switching Characteristics</i> | | | |
| t_{DTRD} TRACE0 Data Delay From Trace Clock Maximum | | $0.5 \times t_{SCLK0} + 3$ | ns |
| t_{HTRD} TRACE0 Data Hold From Trace Clock Minimum | $0.5 \times t_{SCLK0} - 2$ | | ns |
| t_{PTRCK} TRACE0 Clock Period Minimum | $2 \times t_{SCLK0} - 1$ | | ns |

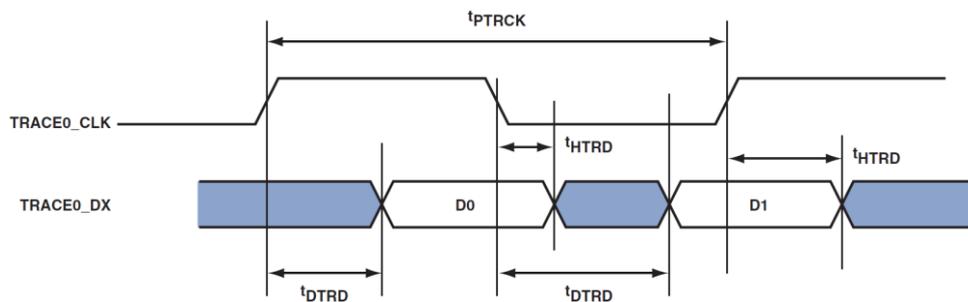


図61. トレースのタイミング

パルス密度変調 (PDM) のタイミング

表86、図62、図63に、PDMおよびI²S/TDMインターフェースのタイミングを示します。

表86. PDMのタイミング

| Parameter | Min | Max | Unit |
|---------------------------------|---|-----|------|
| <i>Timing Requirements</i> | | | |
| t_{LIS} | FSYNC Setup Before BCLK | 3 | ns |
| t_{LIH} | FSYNC Hold After BCLK | 4 | ns |
| t_{BIH} | BCLK Pulse Width High | 10 | ns |
| t_{BIL} | BCLK Pulse Width Low | 10 | ns |
| t_{SETUP} | Data Setup Before PDM_CLK | 12 | ns |
| t_{HOLD} | Data Hold After PDM_CLK | 4 | ns |
| <i>Switching Characteristic</i> | | | |
| t_{SODM} | SDATA Maximum Output Delay From BCLK Falling Edge | 12 | ns |

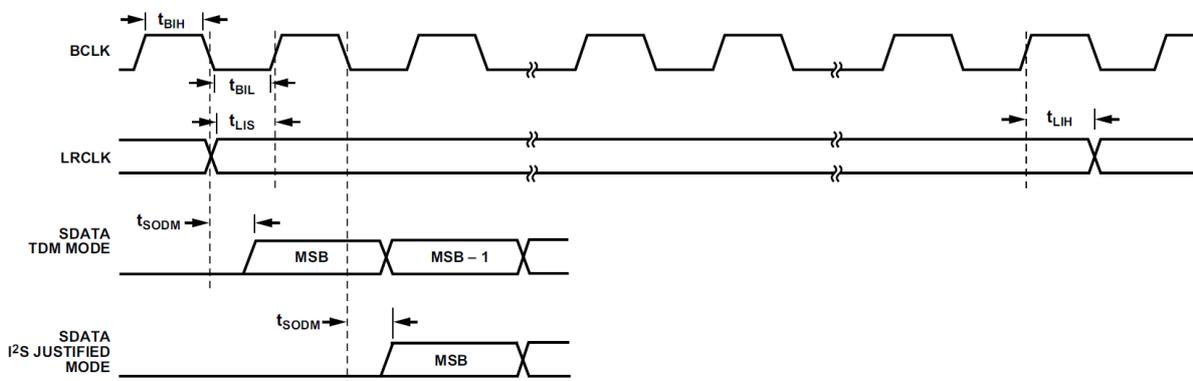


図62. シリアル・ポートのタイミング

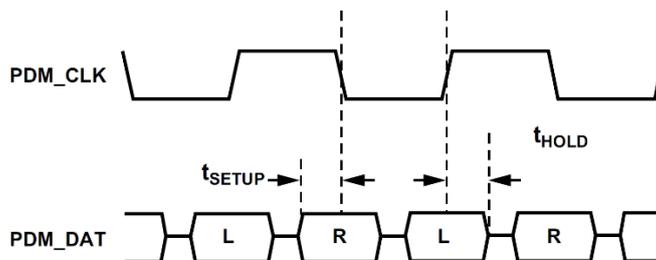


図63. PDMのタイミング

デバッグ・インターフェース (JTAGエミュレーション・ポート) のタイミング

表87と図64に、デバッグ・インターフェース (JTAGエミュレータ・ポート) に関するI/Oのタイミングを示します。

表87. JTAGエミュレーション・ポートのタイミング

| Parameter | | Min | Max | Unit |
|----------------------------------|--|-----|-----|----------|
| <i>Timing Requirements</i> | | | | |
| t_{TCK} | JTG_TCK Period | 20 | | ns |
| t_{STAP} | JTG_TDI, JTG_TMS Setup Before JTG_TCK High | 4 | | ns |
| t_{HTAP} | JTG_TDI, JTG_TMS Hold After JTG_TCK High | 4 | | ns |
| t_{SSYS} | System Inputs Setup Before JTG_TCK High ¹ | 4 | | ns |
| t_{HSYS} | System Inputs Hold After JTG_TCK High ¹ | 4 | | ns |
| t_{TRSTW} | $\overline{JTG_TRST}$ Pulse Width (Measured in JTG_TCK Cycles) ² | 4 | | T_{CK} |
| <i>Switching Characteristics</i> | | | | |
| t_{DTDO} | JTG_TDO Delay From JTG_TCK Low | | 12 | ns |
| t_{DSYS} | System Outputs Delay After JTG_TCK Low ³ | | 17 | ns |

¹ システム入力 = MLB0_CLKP, MLB0_DATP, MLB0_SIGP, DAI0_PIN20-1, DAI1_PIN20-1, DMC0_A15-0, DMC0_DQ15-0, $\overline{DMC0_RESET}$, PA_15-0, PB_15-0, PC_15-0, PD_15-0, PE_15-0, PF_15-0, PG_15-0, PH_15-0, PL_6-0, SYS_BMODE2-0, SYS_FAULT, $\overline{SYS_FAULT}$ 。

² 最大50MHz。

³ システム出力 = MLB0_CLKP, MLB0_DATP, MLB0_SIGP, DAI0_PIN20-1, DAI1_PIN20-1, DMC0_A15-0, DMC0_BA2-0, $\overline{DMC0_CAS}$, DMC0_CK, $\overline{DMC0_CKE}$, DMC0_CS0, DMC0_DQ15-0, DMC0_LDM, DMC0_LDQS, DMC0_ODT, $\overline{DMC0_RAS}$, $\overline{DMC0_RESET}$, DMC0_UDM, DMC0_UDQS, $\overline{DMC0_WE}$, PA_15-0, PB_15-0, PC_7-0, PD_15-0, PE_15-0, PF_15-0, PG_15-0, PH_15-0, PL_6-0, SYS_CLKOUT, $\overline{SYS_FAULT}$, $\overline{SYS_FAULT}$, SYS_RESOUT。

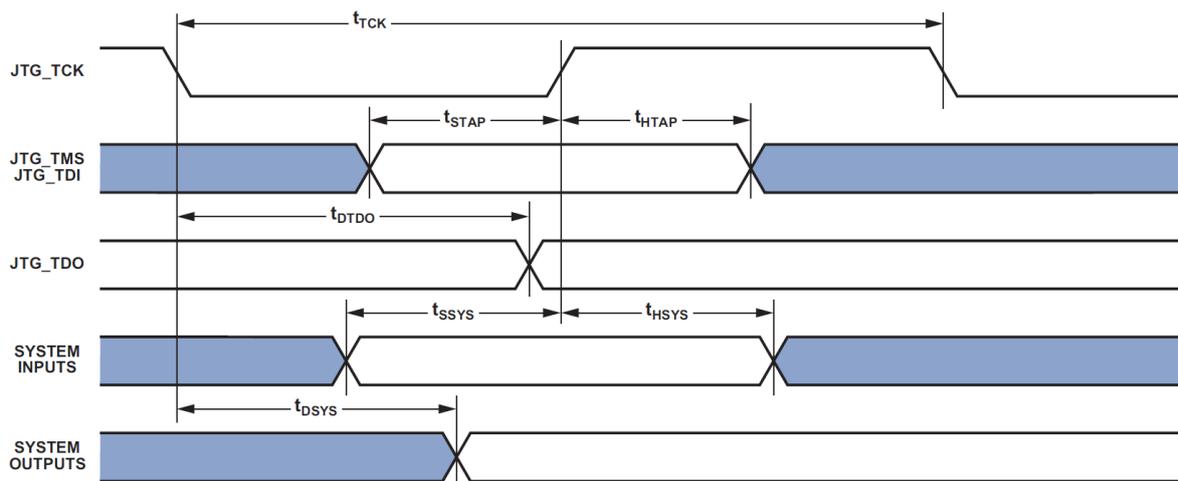


図64. JTAGポートのタイミング

出力駆動電流

図65～図82に、ADSP-2159x/ADSP-SC592/SC594プロセッサの出力ドライバの代表的な電流電圧特性を示します。これらの曲線は、出力ドライバの電流駆動能力を出力電圧の関数として示します。

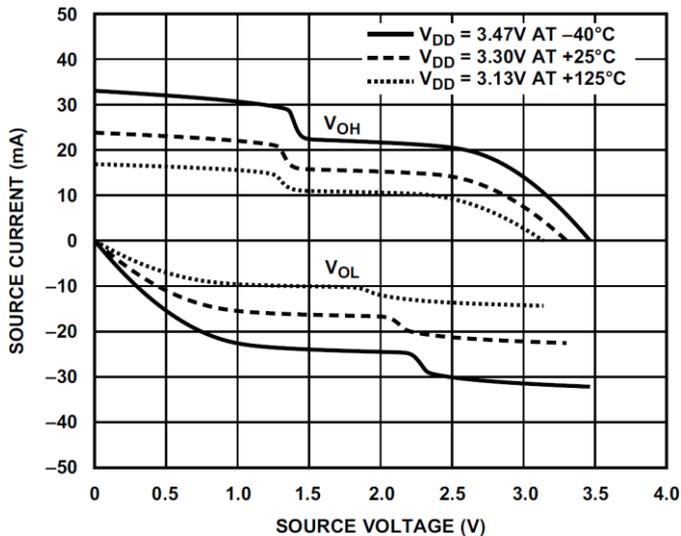


図65. すべてのピンが62.5MHz以下の周波数で動作している場合のドライバ・タイプAの電流 (V_{DD_EXT} は3.3V)

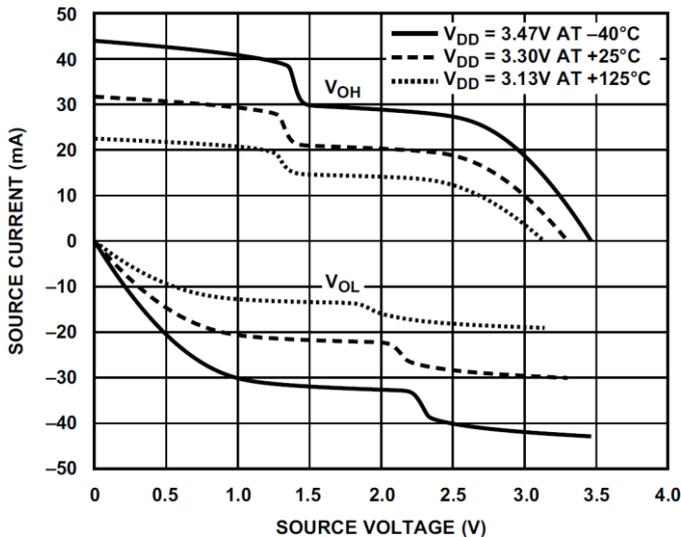


図66. すべてのピンが62.5MHzを超え125MHz以下の周波数で動作している場合のドライバ・タイプAの電流 (V_{DD_EXT} は3.3V)

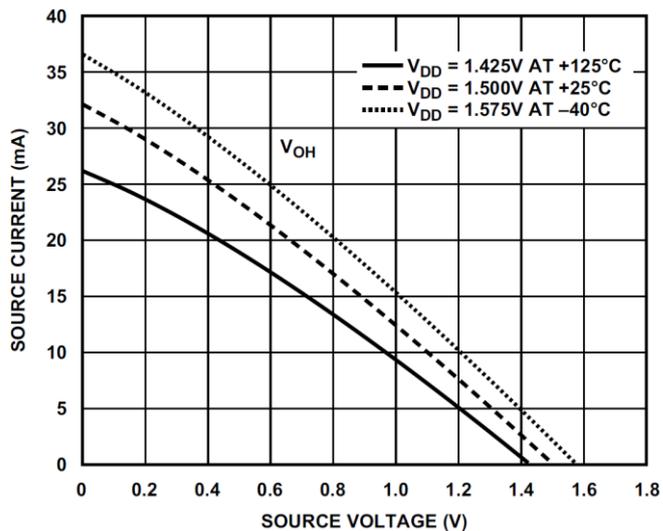


図67. ドライバ・タイプBおよびドライバ・タイプC (DDR3の駆動強度は40Ω)

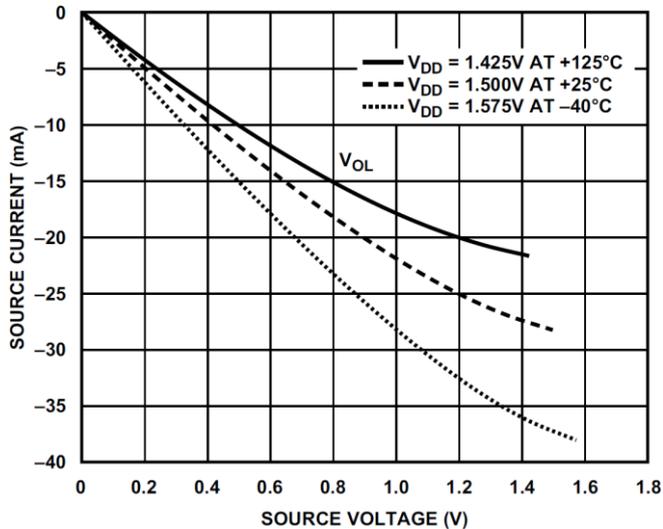


図68. ドライバ・タイプBおよびドライバ・タイプC (DDR3の駆動強度は40Ω)

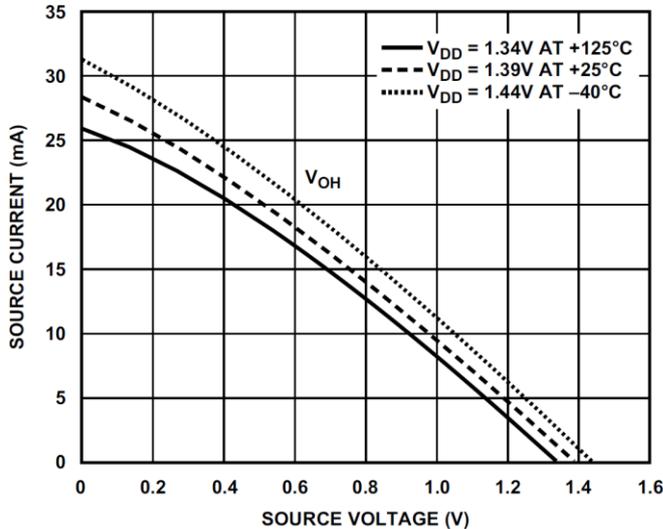


図69. ドライバ・タイプBおよびドライバ・タイプC (DDR3Lの駆動強度は40Ω)

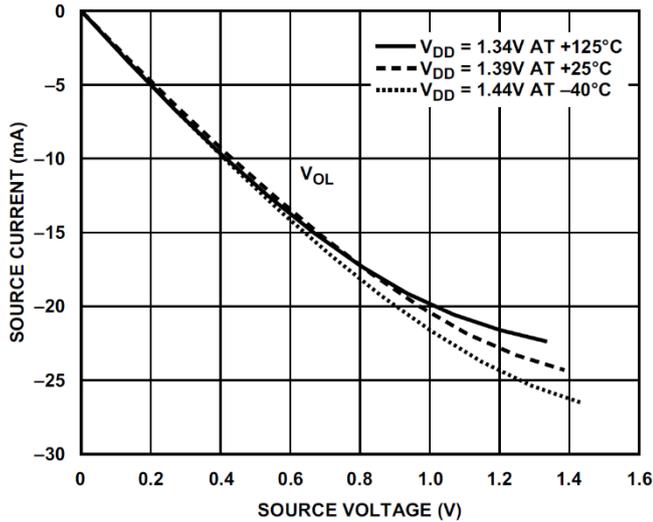


図70. ドライバ・タイプBおよびドライバ・タイプC (DDR3L)の駆動強度は40Ω

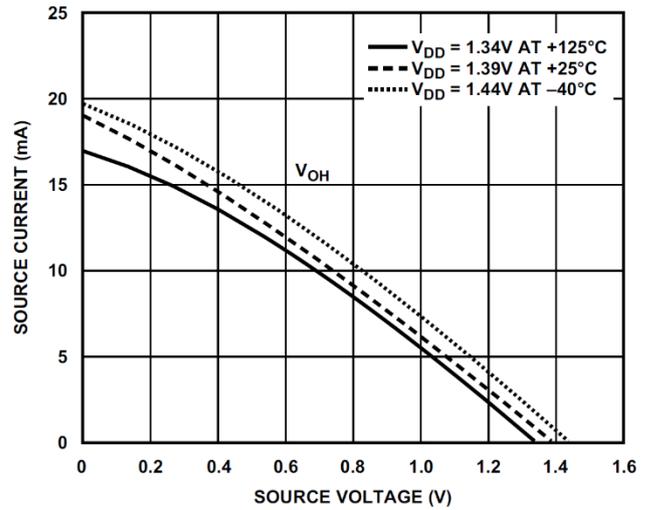


図73. ドライバ・タイプBおよびドライバ・タイプC (DDR3L)の駆動強度は60Ω

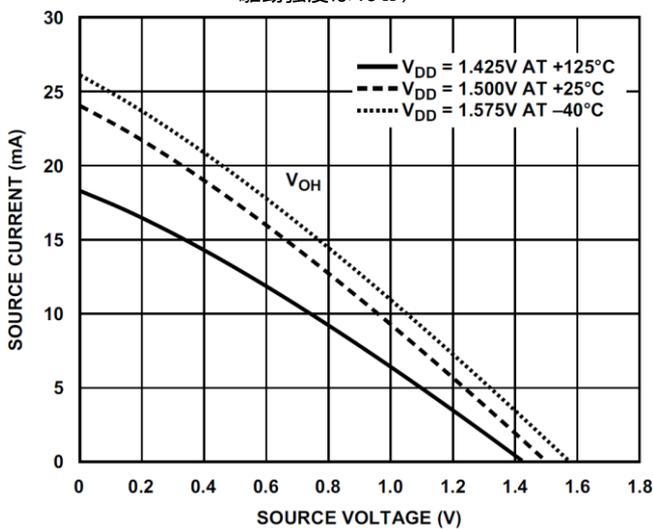


図71. ドライバ・タイプBおよびドライバ・タイプC (DDR3)の駆動強度は60Ω

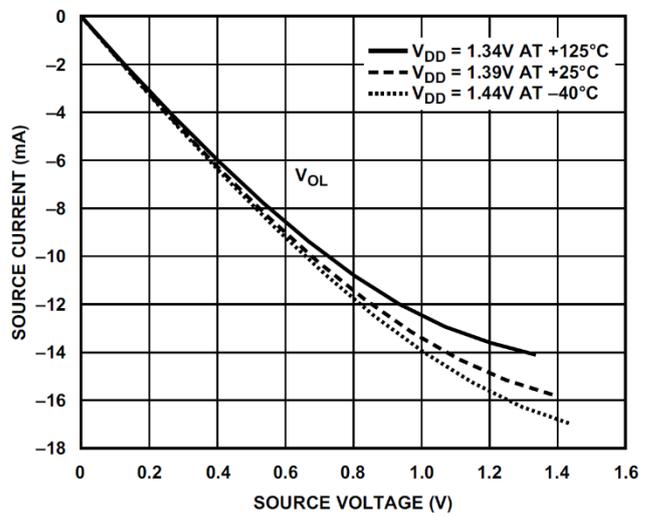


図74. ドライバ・タイプBおよびドライバ・タイプC (DDR3L)の駆動強度は60Ω

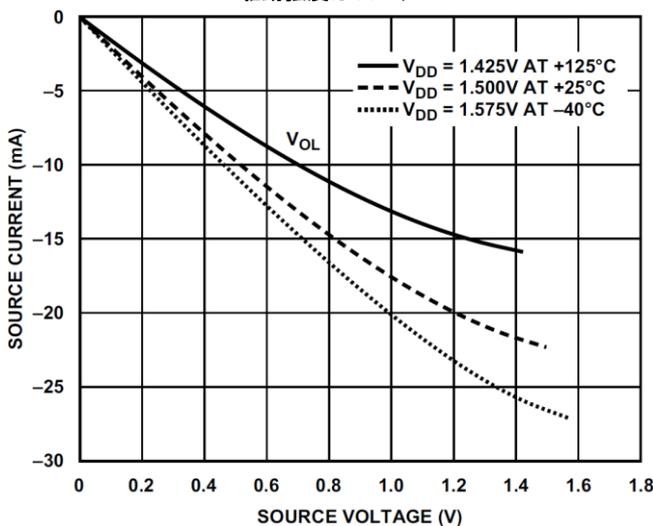


図72. ドライバ・タイプBおよびドライバ・タイプC (DDR3)の駆動強度は60Ω

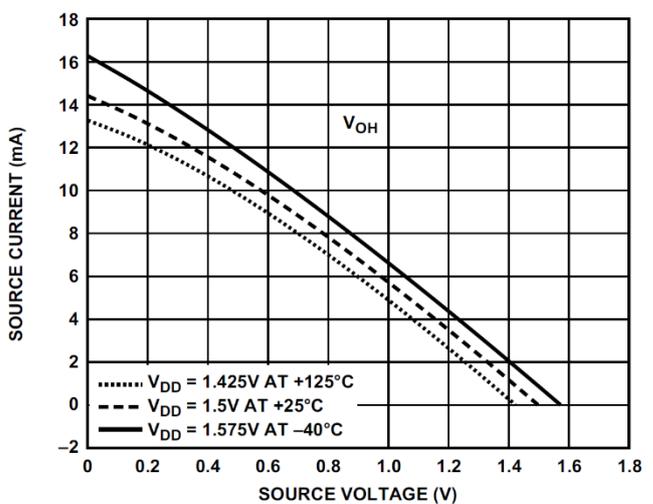


図75. ドライバ・タイプBおよびドライバ・タイプC (DDR3)の駆動強度は90Ω

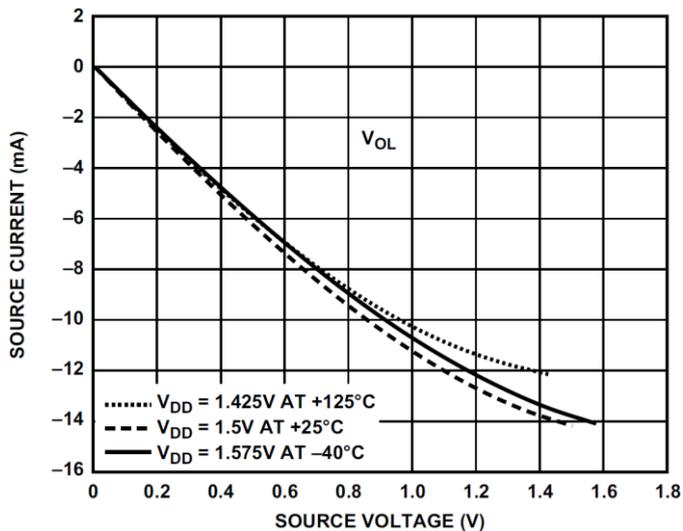


図76. ドライバ・タイプBおよびドライバ・タイプC (DDR3の駆動強度は90Ω)

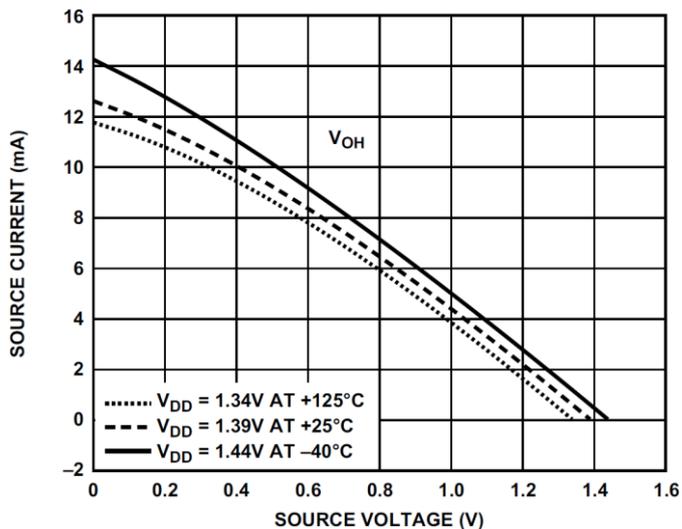


図79. ドライバ・タイプBおよびドライバ・タイプC (DDR3Lの駆動強度は90Ω)

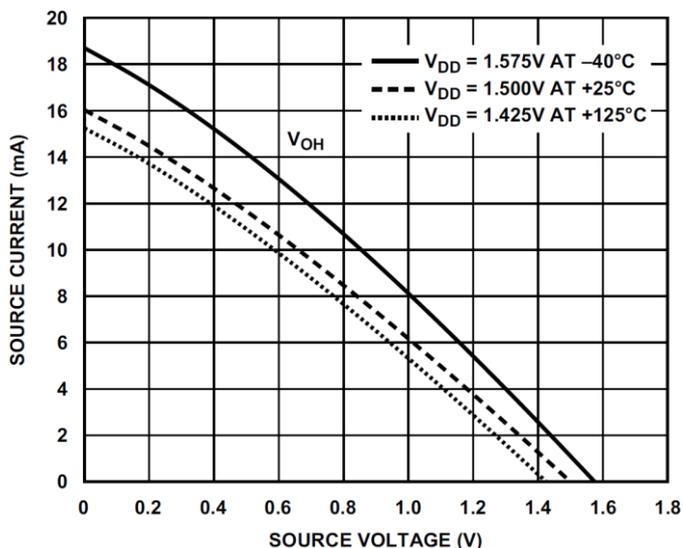


図77. ドライバ・タイプBおよびドライバ・タイプC (DDR3の駆動強度は100Ω)

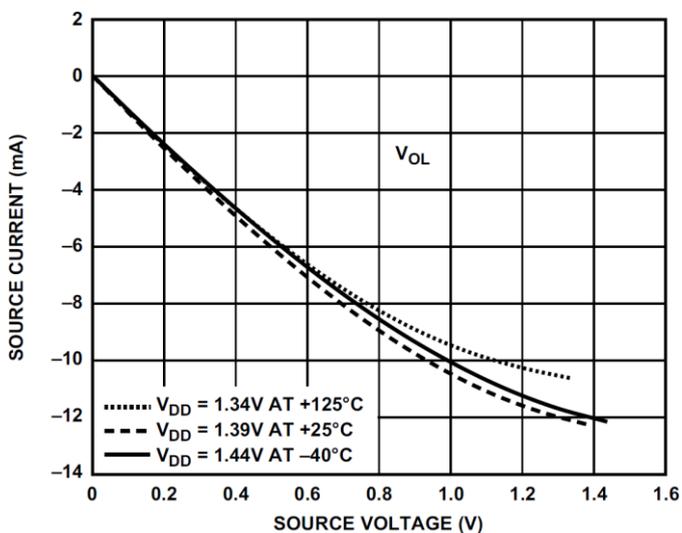


図80. ドライバ・タイプBおよびドライバ・タイプC (DDR3Lの駆動強度は90Ω)

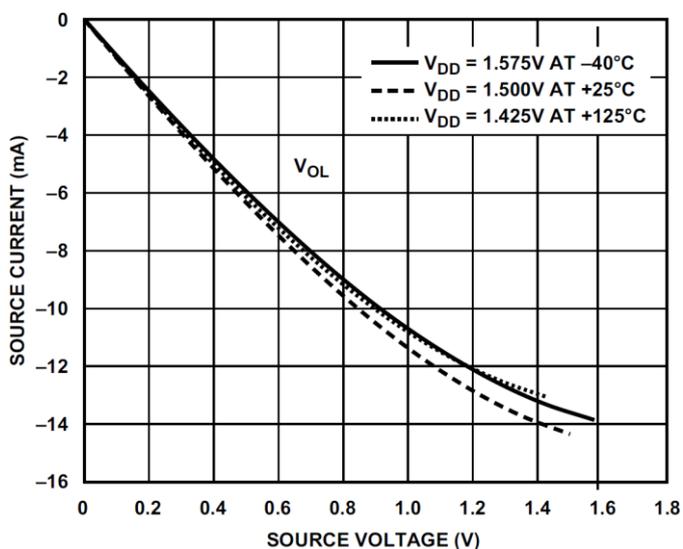


図78. ドライバ・タイプBおよびドライバ・タイプC (DDR3の駆動強度は100Ω)

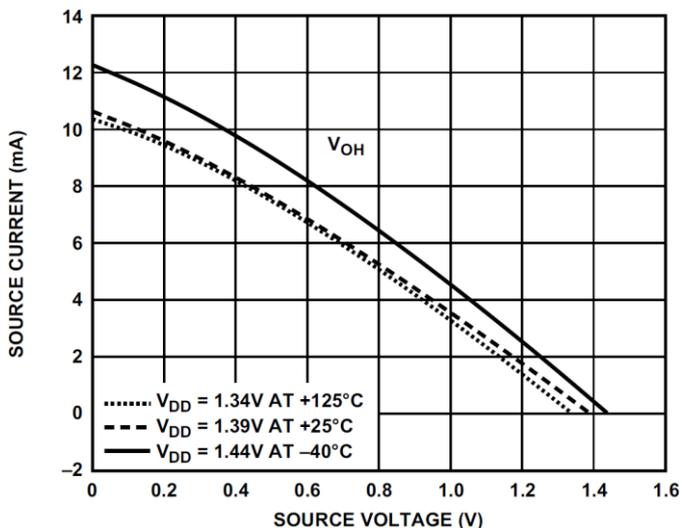


図81. ドライバ・タイプBおよびドライバ・タイプC (DDR3Lの駆動強度は100Ω)

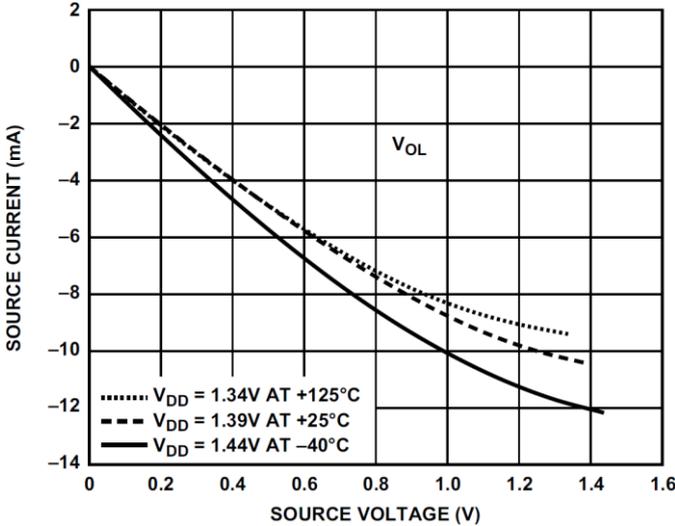


図82. ドライバ・タイプBおよびドライバ・タイプC (DDR3L)の駆動強度は100Ω

テスト条件

このデータシートのすべてのタイミング・パラメータは、このセクションで説明する条件で測定されています。図83に、AC測定の測定点を示します（出力イネーブル/ディスエーブルを除く）。測定点V_{MEAS}は、V_{DD_EXT}（公称値）= 3.3Vの場合、V_{DD_EXT}/2です。

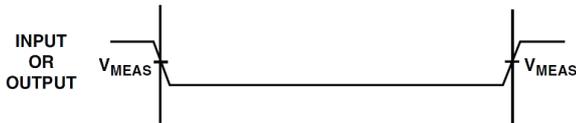


図83. AC測定の電圧リファレンス・レベル（出力イネーブル/ディスエーブルを除く）

出力イネーブル時間の測定

出力ピンは、高インピーダンス状態から駆動を開始するポイントに遷移した場合にイネーブルされるとみなします。

出力イネーブル時間 t_{ENA} は、図84の右側に示すように、リファレンス信号がハイまたはローの電圧レベルに達した時点から、出力が駆動を開始する時点までの時間間隔です。複数のピンがイネーブルされる場合、測定値は最初に駆動を開始したピンに対する測定値です。

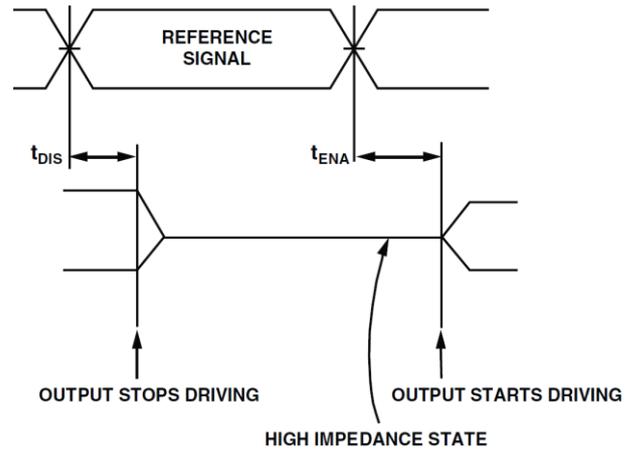


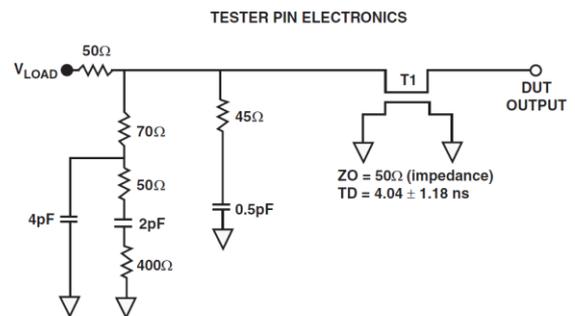
図84. 出力のイネーブル/ディスエーブル

出力ディスエーブル時間の測定

出力ピンは、駆動を停止し、高インピーダンス状態になり、出力ハイまたはローの電圧から低下を開始した場合に、ディスエーブルされるとみなします。出力ディスエーブル時間 t_{DIS} は、図84の左側に示すように、リファレンス信号がハイまたはローの電圧レベルに達した時点から、出力が駆動を停止する時点までの時間間隔です。

容量性負荷

出力の遅延とホールドは、すべてのピンについて、平均6pFの標準的な容量性負荷に基づきます（図85参照）。V_{LOAD}はV_{DD_EXT}/2です。図86～図91に、出力の立ち上がり時間が容量に対しどのように変化するかを示します。所定の遅延およびホールドの仕様は、これらの図から導かれる係数だけディレーティングする必要があります。図86～図91のグラフは、示した範囲外では直線的ではありません。



NOTES:
THE WORST-CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.

ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, THE SYSTEM CAN INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

図85. AC測定に使用する等価デバイス負荷（すべての部品を含む）

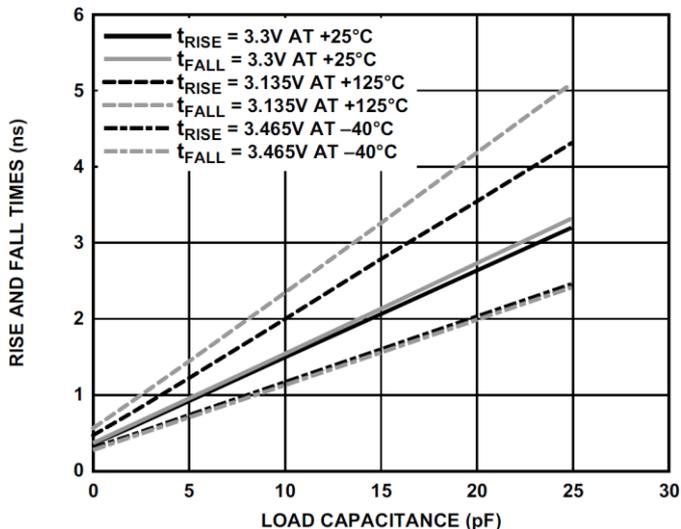


図86. すべてのピンが62.5MHzを超え125MHz以下の周波数で動作している場合の、ドライバ・タイプAの立上がりおよび立下がり時間（10%～90%）と負荷容量の関係

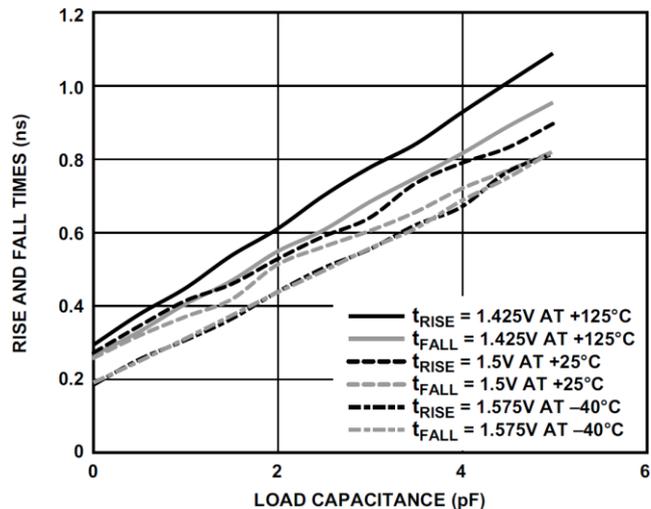


図89. DDR3が100Ωの場合の、ドライバ・タイプBおよびドライバ・タイプCの代表的な立上がり時間および立下がり時間（10%～90%）と負荷容量の関係

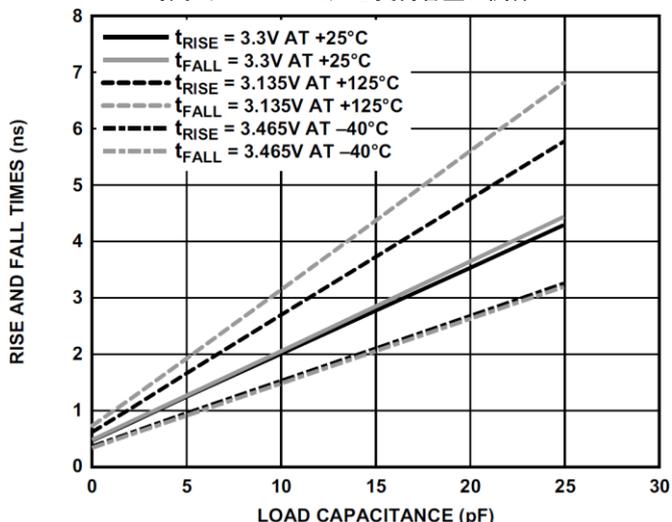


図87. すべてのピンが62.5MHz以下の周波数で動作している場合の、ドライバ・タイプAの立上がりおよび立下がり時間（10%～90%）と負荷容量の関係

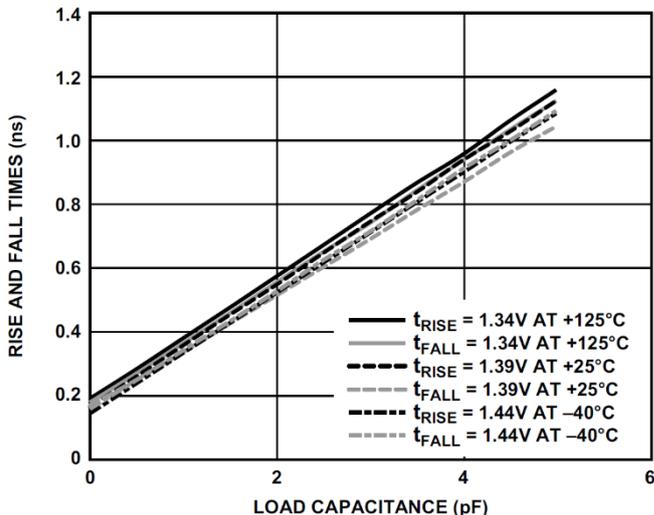


図90. DDR3Lが90Ωの場合の、ドライバ・タイプBおよびドライバ・タイプCの立上がり時間および立下がり時間（10%～90%）と負荷容量の関係

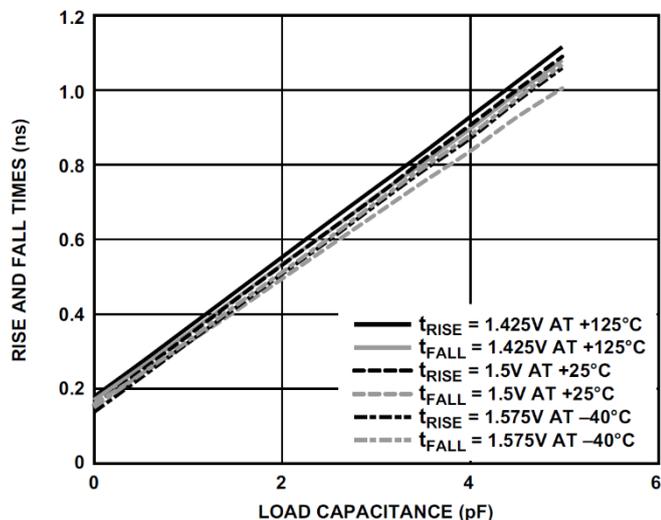


図88. DDR3が90Ωの場合の、ドライバ・タイプBおよびドライバ・タイプCの代表的な立上がり時間および立下がり時間（10%～90%）と負荷容量の関係

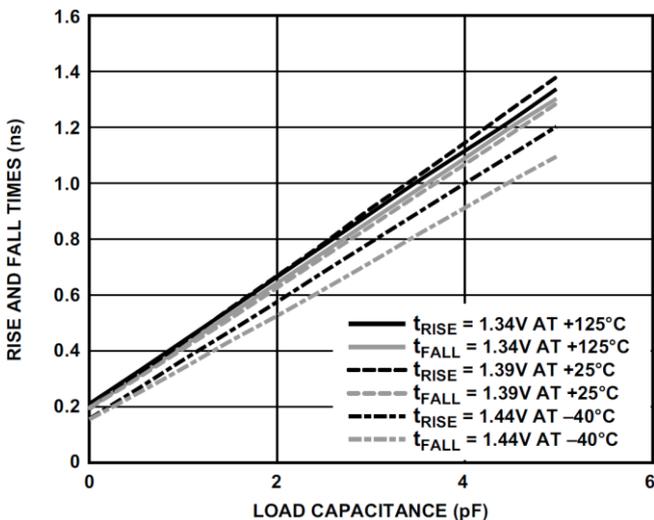


図91. DDR3Lが100Ωの場合の、ドライバ・タイプBおよびドライバ・タイプCの立上がり時間および立下がり時間（10%～90%）と負荷容量の関係

環境条件

ADSP-2159x/ADSP-SC592/SC594プロセッサ性能は、[動作条件](#)のセクションで規定された温度範囲全体に対して評価されています。

正確な温度解析を行うためには、アプリケーション・システムの熱シミュレーションが必要です。熱シミュレーションでは、3Dシステム設計の特定の特徴をすべて考慮する必要があります。これには、他の熱源、ヒート・シンクの使用、熱インターフェース材料の使用、システム・エンクロージャの詳細などがありますが、これらに限定されるわけではありません。パッケージの熱モデルは、アナログ・デバイセズの製品Webページの [\[ツールおよびシミュレーション\]](#) タブで入手できます。熱モデルは、すべての主要な熱シミュレーション・ツールに対応しています。

アプリケーション・システムの発熱を見積もるために、JEDECの θ_{JA} 、 θ_{JC} 、あるいは Ψ_{JT} の熱パラメータを用いることは、推奨されません。これは、JEDEC51の仕様に以下のように記されているとおりです：

「この方法論は、アプリケーション固有の環境でのパッケージの性能を予測することを目的としたものではなく、また、予測するものではありません。」

ADSP-SC592/594 400ボール高ペリフェラル・カウント (HPC) BGAのボール配置

ADSP-SC592/594 400ボールHPC BGAのボール配置 (ボール番号の数值順) の表では、パッケージをボール番号順に記載しています。ピン名のアルファベット順の表では、パッケージをピン名順に記載しています。

HPC BGAパッケージは、ADSP-2156xオーディオ・プロセッサにはない複雑なペリフェラルへの接続を可能にします。そのため、HPC BGAパッケージはどのADSP-2156xプロセッサともピン互換ではありません。

ADSP-SC592/594 400ボールHPC BGAのボール配置 (ボール番号の数值順)

| Ball No. | Pin Name |
|----------|------------|----------|------------|----------|------------|----------|------------|
| A01 | GND | C01 | PI_05 | E01 | SYS_XTAL1 | G01 | GND |
| A02 | PG_12 | C02 | PG_14 | E02 | SYS_CLKIN1 | G02 | SYS_BMODE1 |
| A03 | JTG_TDO | C03 | GND | E03 | PI_03 | G03 | PH_10 |
| A04 | JTG_TDI | C04 | PB_05 | E04 | PH_00 | G04 | PH_15 |
| A05 | DMC0_DQ00 | C05 | JTG_TRST | E05 | GND | G05 | PH_02 |
| A06 | DMC0_LDQS | C06 | DMC0_DQ01 | E06 | PB_04 | G06 | VDD_INT |
| A07 | DMC0_LDQS | C07 | DMC0_DQ05 | E07 | SYS_RESOUT | G07 | GND |
| A08 | DMC0_DQ08 | C08 | DMC0_DQ04 | E08 | DMC0_LDM | G08 | GND |
| A09 | DMC0_UDQS | C09 | DMC0_DQ11 | E09 | GND | G09 | GND |
| A10 | DMC0_UDQS | C10 | DMC0_A14 | E10 | VDD_DMC | G10 | GND |
| A11 | DMC0_VREF0 | C11 | DMC0_A10 | E11 | VDD_DMC | G11 | GND |
| A12 | DMC0_DQ12 | C12 | DMC0_A15 | E12 | VDD_DMC | G12 | VDD_INT |
| A13 | DMC0_A13 | C13 | DMC0_A09 | E13 | GND | G13 | VDD_INT |
| A14 | DMC0_A08 | C14 | DMC0_A04 | E14 | DMC0_A02 | G14 | VDD_INT |
| A15 | DMC0_A03 | C15 | DMC0_A00 | E15 | DMC0_BA2 | G15 | GND |
| A16 | DMC0_A01 | C16 | DMC0_CS0 | E16 | GND | G16 | SYS_FAULT |
| A17 | DMC0_CK | C17 | DMC0_CAS | E17 | PB_01 | G17 | PF_06 |
| A18 | DMC0_CK | C18 | GND | E18 | PF_10 | G18 | PE_15 |
| A19 | PB_00 | C19 | PF_14 | E19 | PF_03 | G19 | PE_11 |
| A20 | GND | C20 | PF_09 | E20 | PF_02 | G20 | DAI1_PIN18 |
| B01 | PG_13 | D01 | PI_01 | F01 | PH_08 | H01 | GND |
| B02 | GND | D02 | PI_04 | F02 | PH_04 | H02 | PH_05 |
| B03 | PG_11 | D03 | PG_15 | F03 | PH_11 | H03 | PH_09 |
| B04 | JTG_TCK | D04 | GND | F04 | PI_02 | H04 | PH_14 |
| B05 | JTG_TMS | D05 | PB_03 | F05 | PH_01 | H05 | PI_06 |
| B06 | DMC0_DQ02 | D06 | SYS_HWRST | F06 | GND | H06 | VDD_INT |
| B07 | DMC0_DQ07 | D07 | DMC0_DQ03 | F07 | VDD_DMC | H07 | VDD_EXT |
| B08 | DMC0_DQ06 | D08 | DMC0_DQ09 | F08 | VDD_DMC | H08 | VDD_INT |
| B09 | DMC0_DQ10 | D09 | DMC0_DQ13 | F09 | VDD_DMC | H09 | VDD_EXT |
| B10 | DMC0_DQ15 | D10 | DMC0_RESET | F10 | VDD_DMC | H10 | VDD_INT |
| B11 | DMC0_A12 | D11 | DMC0_WE | F11 | VDD_DMC | H11 | VDD_EXT |
| B12 | DMC0_DQ14 | D12 | DMC0_UDM | F12 | VDD_DMC | H12 | VDD_INT |
| B13 | DMC0_A11 | D13 | DMC0_BA0 | F13 | VDD_DMC | H13 | VDD_EXT |
| B14 | DMC0_A06 | D14 | DMC0_BA1 | F14 | VDD_DMC | H14 | VDD_EXT |
| B15 | DMC0_A07 | D15 | DMC0_A05 | F15 | GND | H15 | VDD_INT |
| B16 | DMC0_RZQ | D16 | DMC0_RAS | F16 | PB_02 | H16 | PF_12 |
| B17 | DMC0_CKE | D17 | GND | F17 | PF_11 | H17 | PF_04 |
| B18 | DMC0_ODT | D18 | SYS_FAULT | F18 | PF_01 | H18 | PE_12 |
| B19 | GND | D19 | PF_08 | F19 | PF_00 | H19 | DAI1_PIN17 |
| B20 | PF_13 | D20 | PF_07 | F20 | PE_10 | H20 | DAI1_PIN14 |

| Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name |
|----------|------------|----------|------------|----------|-------------|----------|------------|
| J01 | SYS_CLKINO | L09 | GND | N17 | DAI1_PIN11 | T05 | GND |
| J02 | SYS_CLKOUT | L10 | GND | N18 | DAI1_PIN07 | T06 | VDD_INT |
| J03 | PH_12 | L11 | GND | N19 | HADC0_VIN7 | T07 | VDD_INT |
| J04 | PH_13 | L12 | GND | N20 | HADC0_VREFN | T08 | GND |
| J05 | PI_00 | L13 | GND | P01 | GND | T09 | PA_15 |
| J06 | GND | L14 | GND | P02 | PA_08 | T10 | PF_15 |
| J07 | GND | L15 | GND | P03 | PC_12 | T11 | PG_06 |
| J08 | GND | L16 | DAI1_PIN01 | P04 | PD_02 | T12 | PG_10 |
| J09 | GND | L17 | DAI1_PIN04 | P05 | PD_09 | T13 | DAI0_PIN09 |
| J10 | GND | L18 | DAI1_PIN05 | P06 | VDD_INT | T14 | VDD_INT |
| J11 | GND | L19 | HADC0_VIN3 | P07 | GND | T15 | VDD_INT |
| J12 | GND | L20 | HADC0_VIN1 | P08 | GND | T16 | GND |
| J13 | GND | M01 | GND | P09 | GND | T17 | PC_07 |
| J14 | GND | M02 | PA_05 | P10 | VDD_REF | T18 | DAI0_PIN16 |
| J15 | GND | M03 | PA_06 | P11 | VDD_REF | T19 | DAI1_PIN12 |
| J16 | PF_05 | M04 | PC_08 | P12 | VDD_REF | T20 | DAI1_PIN19 |
| J17 | PE_13 | M05 | PA_10 | P13 | GND | U01 | PC_10 |
| J18 | DAI1_PIN16 | M06 | VDD_INT | P14 | GND | U02 | PD_00 |
| J19 | DAI1_PIN13 | M07 | VDD_EXT | P15 | VDD_INT | U03 | PD_06 |
| J20 | DAI1_PIN02 | M08 | VDD_PLL | P16 | PC_05 | U04 | GND |
| K01 | GND | M09 | VDD_PLL | P17 | DAI0_PIN15 | U05 | PB_10 |
| K02 | PA_00 | M10 | VDD_INT | P18 | DAI1_PIN08 | U06 | PB_11 |
| K03 | PH_03 | M11 | VDD_INT | P19 | HADC0_VIN4 | U07 | VDD_INT |
| K04 | PH_06 | M12 | VDD_INT | P20 | HADC0_VIN5 | U08 | PA_12 |
| K05 | PH_07 | M13 | VDD_INT | R01 | SYS_XTALO | U09 | PE_01 |
| K06 | VDD_INT | M14 | VDD_EXT | R02 | PC_09 | U10 | PE_06 |
| K07 | VDD_EXT | M15 | VDD_INT | R03 | PD_01 | U11 | PG_00 |
| K08 | VDD_PLL | M16 | DAI1_PIN10 | R04 | PD_10 | U12 | PG_07 |
| K09 | VDD_PLL | M17 | DAI1_PIN09 | R05 | PD_08 | U13 | DAI0_PIN01 |
| K10 | VDD_INT | M18 | DAI1_PIN06 | R06 | GND | U14 | DAI0_PIN10 |
| K11 | VDD_INT | M19 | HADC0_VIN6 | R07 | VDD_INT | U15 | VDD_INT |
| K12 | VDD_INT | M20 | GND | R08 | VDD_INT | U16 | PC_03 |
| K13 | VDD_INT | N01 | SYS_BMODE2 | R09 | VDD_INT | U17 | GND |
| K14 | VDD_EXT | N02 | PA_07 | R10 | VDD_INT | U18 | PC_04 |
| K15 | VDD_INT | N03 | PA_09 | R11 | VDD_INT | U19 | DAI0_PIN18 |
| K16 | PE_14 | N04 | PC_11 | R12 | VDD_INT | U20 | DAI1_PIN20 |
| K17 | DAI1_PIN15 | N05 | PC_15 | R13 | VDD_INT | V01 | PC_14 |
| K18 | DAI1_PIN03 | N06 | VDD_INT | R14 | VDD_INT | V02 | PD_04 |
| K19 | HADC0_VIN2 | N07 | VDD_EXT | R15 | GND | V03 | GND |
| K20 | HADC0_VIN0 | N08 | GND | R16 | PC_06 | V04 | PB_06 |
| L01 | SYS_BMODE0 | N09 | GND | R17 | DAI0_PIN14 | V05 | PB_12 |
| L02 | PA_02 | N10 | GND | R18 | DAI0_PIN17 | V06 | PA_14 |
| L03 | PA_01 | N11 | GND | R19 | HADC0_VREFP | V07 | PA_11 |
| L04 | PA_04 | N12 | GND | R20 | VDD_ANA | V08 | PE_02 |
| L05 | PA_03 | N13 | GND | T01 | GND | V09 | PE_08 |
| L06 | GND | N14 | VDD_EXT | T02 | PC_13 | V10 | PE_05 |
| L07 | GND | N15 | VDD_INT | T03 | PD_03 | V11 | PG_02 |
| L08 | GND | N16 | DAI0_PIN13 | T04 | PD_07 | V12 | PG_09 |

| Ball No. | Pin Name |
|----------|------------|
| V13 | PG_04 |
| V14 | DAIO_PIN08 |
| V15 | DAIO_PIN05 |
| V16 | DAIO_PIN11 |
| V17 | PC_02 |
| V18 | GND |
| V19 | PC_01 |
| V20 | PB_15 |
| W01 | PD_05 |
| W02 | GND |
| W03 | PD_11 |
| W04 | PD_12 |
| W05 | PB_13 |
| W06 | PD_14 |
| W07 | PE_00 |
| W08 | PE_03 |
| W09 | PE_04 |
| W10 | PE_09 |
| W11 | PG_01 |
| W12 | PE_07 |
| W13 | DAIO_PIN04 |
| W14 | PG_05 |
| W15 | DAIO_PIN02 |
| W16 | DAIO_PIN07 |
| W17 | PB_14 |
| W18 | DAIO_PIN20 |
| W19 | GND |
| W20 | PC_00 |
| Y01 | GND |
| Y02 | PB_08 |
| Y03 | PB_07 |
| Y04 | PB_09 |
| Y05 | PA_13 |
| Y06 | PD_15 |
| Y07 | PD_13 |
| Y08 | MLB0_CLKN |
| Y09 | MLB0_CLKP |
| Y10 | MLB0_DATN |
| Y11 | MLB0_DATP |
| Y12 | MLB0_SIGN |
| Y13 | MLB0_SIGP |
| Y14 | PG_03 |
| Y15 | PG_08 |
| Y16 | DAIO_PIN03 |
| Y17 | DAIO_PIN06 |
| Y18 | DAIO_PIN12 |
| Y19 | DAIO_PIN19 |
| Y20 | GND |

ADSP-SC592/594 400ボールHPC BGAのボール配置 (ピン名のアルファベット順)

| Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. |
|------------|----------|------------|----------|----------|----------|-------------|----------|
| DAI0_PIN01 | U13 | DMC0_A06 | B14 | GND | A01 | GND | N09 |
| DAI0_PIN02 | W15 | DMC0_A07 | B15 | GND | A20 | GND | N10 |
| DAI0_PIN03 | Y16 | DMC0_A08 | A14 | GND | B02 | GND | N11 |
| DAI0_PIN04 | W13 | DMC0_A09 | C13 | GND | B19 | GND | N12 |
| DAI0_PIN05 | V15 | DMC0_A10 | C11 | GND | C03 | GND | N13 |
| DAI0_PIN06 | Y17 | DMC0_A11 | B13 | GND | C18 | GND | P01 |
| DAI0_PIN07 | W16 | DMC0_A12 | B11 | GND | D04 | GND | P07 |
| DAI0_PIN08 | V14 | DMC0_A13 | A13 | GND | D17 | GND | P08 |
| DAI0_PIN09 | T13 | DMC0_A14 | C10 | GND | E05 | GND | P09 |
| DAI0_PIN10 | U14 | DMC0_A15 | C12 | GND | E09 | GND | P13 |
| DAI0_PIN11 | V16 | DMC0_BA0 | D13 | GND | E13 | GND | P14 |
| DAI0_PIN12 | Y18 | DMC0_BA1 | D14 | GND | E16 | GND | R06 |
| DAI0_PIN13 | N16 | DMC0_BA2 | E15 | GND | F06 | GND | R15 |
| DAI0_PIN14 | R17 | DMC0_CAS | C17 | GND | F15 | GND | T01 |
| DAI0_PIN15 | P17 | DMC0_CK | A17 | GND | G01 | GND | T05 |
| DAI0_PIN16 | T18 | DMC0_CK | A18 | GND | G07 | GND | T08 |
| DAI0_PIN17 | R18 | DMC0_CKE | B17 | GND | G08 | GND | T16 |
| DAI0_PIN18 | U19 | DMC0_CS0 | C16 | GND | G09 | GND | U04 |
| DAI0_PIN19 | Y19 | DMC0_DQ00 | A05 | GND | G10 | GND | U17 |
| DAI0_PIN20 | W18 | DMC0_DQ01 | C06 | GND | G11 | GND | V03 |
| DAI1_PIN01 | L16 | DMC0_DQ02 | B06 | GND | G15 | GND | V18 |
| DAI1_PIN02 | J20 | DMC0_DQ03 | D07 | GND | H01 | GND | W02 |
| DAI1_PIN03 | K18 | DMC0_DQ04 | C08 | GND | J06 | GND | W19 |
| DAI1_PIN04 | L17 | DMC0_DQ05 | C07 | GND | J07 | GND | Y01 |
| DAI1_PIN05 | L18 | DMC0_DQ06 | B08 | GND | J08 | GND | Y20 |
| DAI1_PIN06 | M18 | DMC0_DQ07 | B07 | GND | J09 | HADC0_VIN0 | K20 |
| DAI1_PIN07 | N18 | DMC0_DQ08 | A08 | GND | J10 | HADC0_VIN1 | L20 |
| DAI1_PIN08 | P18 | DMC0_DQ09 | D08 | GND | J11 | HADC0_VIN2 | K19 |
| DAI1_PIN09 | M17 | DMC0_DQ10 | B09 | GND | J12 | HADC0_VIN3 | L19 |
| DAI1_PIN10 | M16 | DMC0_DQ11 | C09 | GND | J13 | HADC0_VIN4 | P19 |
| DAI1_PIN11 | N17 | DMC0_DQ12 | A12 | GND | J14 | HADC0_VIN5 | P20 |
| DAI1_PIN12 | T19 | DMC0_DQ13 | D09 | GND | J15 | HADC0_VIN6 | M19 |
| DAI1_PIN13 | J19 | DMC0_DQ14 | B12 | GND | K01 | HADC0_VIN7 | N19 |
| DAI1_PIN14 | H20 | DMC0_DQ15 | B10 | GND | L06 | HADC0_VREFN | N20 |
| DAI1_PIN15 | K17 | DMC0_LDM | E08 | GND | L07 | HADC0_VREFP | R19 |
| DAI1_PIN16 | J18 | DMC0_LDQS | A06 | GND | L08 | JTG_TCK | B04 |
| DAI1_PIN17 | H19 | DMC0_LDQS | A07 | GND | L09 | JTG_TDI | A04 |
| DAI1_PIN18 | G20 | DMC0_ODT | B18 | GND | L10 | JTG_TDO | A03 |
| DAI1_PIN19 | T20 | DMC0_RAS | D16 | GND | L11 | JTG_TMS | B05 |
| DAI1_PIN20 | U20 | DMC0_RESET | D10 | GND | L12 | JTG_TRST | C05 |
| DMC0_A00 | C15 | DMC0_RZQ | B16 | GND | L13 | MLB0_CLKN | Y08 |
| DMC0_A01 | A16 | DMC0_UDM | D12 | GND | L14 | MLB0_CLKP | Y09 |
| DMC0_A02 | E14 | DMC0_UDQS | A09 | GND | L15 | MLB0_DATN | Y10 |
| DMC0_A03 | A15 | DMC0_UDQS | A10 | GND | M01 | MLB0_DATP | Y11 |
| DMC0_A04 | C14 | DMC0_VREF0 | A11 | GND | M20 | MLB0_SIGN | Y12 |
| DMC0_A05 | D15 | DMC0_WE | D11 | GND | N08 | MLB0_SIGP | Y13 |

| Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. |
|----------|----------|----------|----------|------------|----------|------------|----------|
| PA_00 | K02 | PD_00 | U02 | PG_00 | U11 | SYS_RESOUT | E07 |
| PA_01 | L03 | PD_01 | R03 | PG_01 | W11 | SYS_XTALO | R01 |
| PA_02 | L02 | PD_02 | P04 | PG_02 | V11 | SYS_XTAL1 | E01 |
| PA_03 | L05 | PD_03 | T03 | PG_03 | Y14 | VDD_ANA | R20 |
| PA_04 | L04 | PD_04 | V02 | PG_04 | V13 | VDD_DMC | E10 |
| PA_05 | M02 | PD_05 | W01 | PG_05 | W14 | VDD_DMC | E11 |
| PA_06 | M03 | PD_06 | U03 | PG_06 | T11 | VDD_DMC | E12 |
| PA_07 | N02 | PD_07 | T04 | PG_07 | U12 | VDD_DMC | F07 |
| PA_08 | P02 | PD_08 | R05 | PG_08 | Y15 | VDD_DMC | F08 |
| PA_09 | N03 | PD_09 | P05 | PG_09 | V12 | VDD_DMC | F09 |
| PA_10 | M05 | PD_10 | R04 | PG_10 | T12 | VDD_DMC | F10 |
| PA_11 | V07 | PD_11 | W03 | PG_11 | B03 | VDD_DMC | F11 |
| PA_12 | U08 | PD_12 | W04 | PG_12 | A02 | VDD_DMC | F12 |
| PA_13 | Y05 | PD_13 | Y07 | PG_13 | B01 | VDD_DMC | F13 |
| PA_14 | V06 | PD_14 | W06 | PG_14 | C02 | VDD_DMC | F14 |
| PA_15 | T09 | PD_15 | Y06 | PG_15 | D03 | VDD_EXT | H07 |
| PB_00 | A19 | PE_00 | W07 | PH_00 | E04 | VDD_EXT | H09 |
| PB_01 | E17 | PE_01 | U09 | PH_01 | F05 | VDD_EXT | H11 |
| PB_02 | F16 | PE_02 | V08 | PH_02 | G05 | VDD_EXT | H13 |
| PB_03 | D05 | PE_03 | W08 | PH_03 | K03 | VDD_EXT | H14 |
| PB_04 | E06 | PE_04 | W09 | PH_04 | F02 | VDD_EXT | K07 |
| PB_05 | C04 | PE_05 | V10 | PH_05 | H02 | VDD_EXT | K14 |
| PB_06 | V04 | PE_06 | U10 | PH_06 | K04 | VDD_EXT | M07 |
| PB_07 | Y03 | PE_07 | W12 | PH_07 | K05 | VDD_EXT | M14 |
| PB_08 | Y02 | PE_08 | V09 | PH_08 | F01 | VDD_EXT | N07 |
| PB_09 | Y04 | PE_09 | W10 | PH_09 | H03 | VDD_EXT | N14 |
| PB_10 | U05 | PE_10 | F20 | PH_10 | G03 | VDD_INT | G06 |
| PB_11 | U06 | PE_11 | G19 | PH_11 | F03 | VDD_INT | G12 |
| PB_12 | V05 | PE_12 | H18 | PH_12 | J03 | VDD_INT | G13 |
| PB_13 | W05 | PE_13 | J17 | PH_13 | J04 | VDD_INT | G14 |
| PB_14 | W17 | PE_14 | K16 | PH_14 | H04 | VDD_INT | H06 |
| PB_15 | V20 | PE_15 | G18 | PH_15 | G04 | VDD_INT | H08 |
| PC_00 | W20 | PF_00 | F19 | PI_00 | J05 | VDD_INT | H10 |
| PC_01 | V19 | PF_01 | F18 | PI_01 | D01 | VDD_INT | H12 |
| PC_02 | V17 | PF_02 | E20 | PI_02 | F04 | VDD_INT | H15 |
| PC_03 | U16 | PF_03 | E19 | PI_03 | E03 | VDD_INT | K06 |
| PC_04 | U18 | PF_04 | H17 | PI_04 | D02 | VDD_INT | K10 |
| PC_05 | P16 | PF_05 | J16 | PI_05 | C01 | VDD_INT | K11 |
| PC_06 | R16 | PF_06 | G17 | PI_06 | H05 | VDD_INT | K12 |
| PC_07 | T17 | PF_07 | D20 | SYS_BMODE0 | L01 | VDD_INT | K13 |
| PC_08 | M04 | PF_08 | D19 | SYS_BMODE1 | G02 | VDD_INT | K15 |
| PC_09 | R02 | PF_09 | C20 | SYS_BMODE2 | N01 | VDD_INT | M06 |
| PC_10 | U01 | PF_10 | E18 | SYS_CLKIN0 | J01 | VDD_INT | M10 |
| PC_11 | N04 | PF_11 | F17 | SYS_CLKIN1 | E02 | VDD_INT | M11 |
| PC_12 | P03 | PF_12 | H16 | SYS_CLKOUT | J02 | VDD_INT | M12 |
| PC_13 | T02 | PF_13 | B20 | SYS_FAULT | D18 | VDD_INT | M13 |
| PC_14 | V01 | PF_14 | C19 | SYS_FAULT | G16 | VDD_INT | M15 |
| PC_15 | N05 | PF_15 | T10 | SYS_HWRST | D06 | VDD_INT | N06 |

| Pin Name | Ball No. |
|----------|----------|
| VDD_INT | N15 |
| VDD_INT | P06 |
| VDD_INT | P15 |
| VDD_INT | R07 |
| VDD_INT | R08 |
| VDD_INT | R09 |
| VDD_INT | R10 |
| VDD_INT | R11 |
| VDD_INT | R12 |
| VDD_INT | R13 |
| VDD_INT | R14 |
| VDD_INT | T06 |
| VDD_INT | T07 |
| VDD_INT | T14 |
| VDD_INT | T15 |
| VDD_INT | U07 |
| VDD_INT | U15 |
| VDD_PLL | K08 |
| VDD_PLL | K09 |
| VDD_PLL | M08 |
| VDD_PLL | M09 |
| VDD_REF | P10 |
| VDD_REF | P11 |
| VDD_REF | P12 |

ADSP-SC592/594 400ボール高ペリフェラル・カウント (HPC) BGAの構成

図92に、ADSP-SC592/594 400ボールHPC BGAの信号配置の概要を示します。このパッケージは、ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換ではありません。

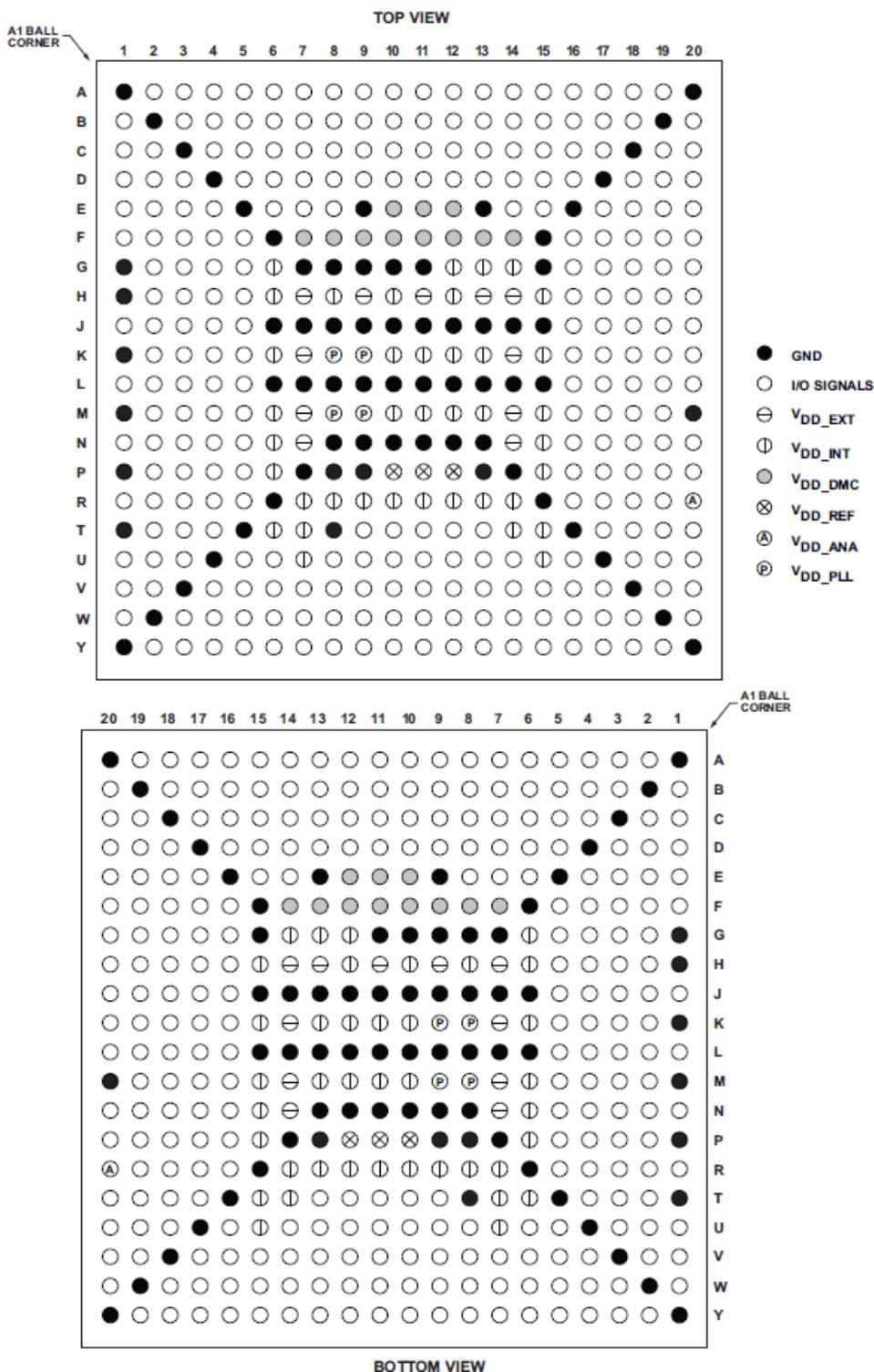


図92. ADSP-SC592/594 400ボールHPC BGAの構成

ADSP-21593/594 400ボール低ペリフェラル・カウント (LPC) BGAのボール配置

ADSP-21593/594 400ボールLPC BGAのボール配置（ボール番号の数值順）の表では、パッケージをボール番号順に記載しています。ピン名のアルファベット順の表では、パッケージをピン名順に記載しています。

LPC BGAパッケージのペリフェラルへの接続は、BGAパッケージで提供されるADSP-2156xプロセッサと同じです。そのため、LPCパッケージはADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換です。

ADSP-21593/594 400ボールLPC BGAのボール配置（ボール番号の数值順）

| Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name |
|----------|------------|----------|------------|----------|-----------|----------|------------|
| A01 | GND | C01 | DMC0_LDM | E01 | DMC0_DQ05 | G01 | DMC0_DQ04 |
| A02 | DMC0_DQ11 | C02 | DMC0_DQ08 | E02 | DMC0_DQ06 | G02 | DMC0_DQ02 |
| A03 | DMC0_DQ10 | C03 | GND | E03 | GND | G03 | GND |
| A04 | DMC0_UDQS | C04 | GND | E04 | VDD_INT | G04 | VDD_INT |
| A05 | DMC0_DQ15 | C05 | GND | E05 | VDD_INT | G05 | VDD_INT |
| A06 | DMC0_UDM | C06 | GND | E06 | VDD_INT | G06 | VDD_DMC |
| A07 | PB_00 | C07 | PB_03 | E07 | VDD_INT | G07 | VDD_DMC |
| A08 | SYS_BMODE2 | C08 | PB_05 | E08 | VDD_INT | G08 | VDD_DMC |
| A09 | SYS_HWRST | C09 | PB_01 | E09 | VDD_INT | G09 | VDD_DMC |
| A10 | JTG_TRST | C10 | SYS_RESOUT | E10 | VDD_INT | G10 | VDD_REF |
| A11 | SYS_FAULT | C11 | JTG_TDO | E11 | VDD_INT | G11 | VDD_REF |
| A12 | DMC0_WE | C12 | JTG_TMS | E12 | VDD_INT | G12 | VDD_DMC |
| A13 | DMC0_A14 | C13 | JTG_TDI | E13 | VDD_INT | G13 | VDD_DMC |
| A14 | DMC0_A13 | C14 | GND | E14 | VDD_INT | G14 | VDD_DMC |
| A15 | DMC0_A10 | C15 | GND | E15 | VDD_INT | G15 | VDD_DMC |
| A16 | DMC0_A08 | C16 | GND | E16 | VDD_INT | G16 | VDD_INT |
| A17 | DMC0_BA1 | C17 | GND | E17 | VDD_INT | G17 | VDD_INT |
| A18 | DMC0_A07 | C18 | GND | E18 | GND | G18 | GND |
| A19 | DMC0_A04 | C19 | DMC0_A03 | E19 | DMC0_BA2 | G19 | DMC0_RZQ |
| A20 | GND | C20 | DMC0_A02 | E20 | DMC0_CAS | G20 | DMC0_VREF1 |
| B01 | GND | D01 | DMC0_DQ07 | F01 | DMC0_LDQS | H01 | DMC0_DQ03 |
| B02 | GND | D02 | GND | F02 | DMC0_LDQS | H02 | GND |
| B03 | DMC0_DQ12 | D03 | DMC0_DQ09 | F03 | GND | H03 | GND |
| B04 | DMC0_UDQS | D04 | GND | F04 | VDD_INT | H04 | VDD_INT |
| B05 | DMC0_DQ14 | D05 | GND | F05 | VDD_INT | H05 | VDD_INT |
| B06 | DMC0_DQ13 | D06 | GND | F06 | VDD_DMC | H06 | VDD_DMC |
| B07 | PB_04 | D07 | GND | F07 | VDD_DMC | H07 | VDD_DMC |
| B08 | PB_02 | D08 | VDD_EXT | F08 | VDD_DMC | H08 | GND |
| B09 | SYS_BMODE1 | D09 | VDD_EXT | F09 | VDD_DMC | H09 | GND |
| B10 | SYS_BMODE0 | D10 | VDD_EXT | F10 | VDD_DMC | H10 | GND |
| B11 | JTG_TCK | D11 | VDD_EXT | F11 | VDD_DMC | H11 | GND |
| B12 | DMC0_RESET | D12 | GND | F12 | VDD_DMC | H12 | GND |
| B13 | DMC0_A15 | D13 | GND | F13 | VDD_DMC | H13 | GND |
| B14 | DMC0_A12 | D14 | GND | F14 | VDD_DMC | H14 | VDD_DMC |
| B15 | DMC0_A11 | D15 | GND | F15 | VDD_DMC | H15 | VDD_DMC |
| B16 | DMC0_A09 | D16 | GND | F16 | VDD_INT | H16 | VDD_INT |
| B17 | DMC0_BA0 | D17 | GND | F17 | VDD_INT | H17 | VDD_INT |
| B18 | DMC0_A06 | D18 | GND | F18 | GND | H18 | GND |
| B19 | GND | D19 | DMC0_A00 | F19 | DMC0_RAS | H19 | DMC0_ODT |
| B20 | DMC0_A05 | D20 | DMC0_A01 | F20 | DMC0_CS0 | H20 | DMC0_CKE |

| Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name |
|----------|------------|----------|-------------|----------|------------|----------|------------|
| J01 | DMC0_DQ01 | L09 | GND | N17 | GND | T05 | VDD_EXT |
| J02 | DMC0_DQ00 | L10 | GND | N18 | GND | T06 | VDD_REF |
| J03 | GND | L11 | GND | N19 | HADC0_VIN0 | T07 | VDD_REF |
| J04 | DMC0_VREF0 | L12 | GND | N20 | HADC0_VIN1 | T08 | VDD_REF |
| J05 | VDD_INT | L13 | GND | P01 | GND | T09 | VDD_REF |
| J06 | VDD_DMC | L14 | VDD_INT | P02 | PA_02 | T10 | VDD_REF |
| J07 | VDD_DMC | L15 | VDD_INT | P03 | PA_01 | T11 | VDD_REF |
| J08 | GND | L16 | GND | P04 | VDD_EXT | T12 | VDD_REF |
| J09 | GND | L17 | GND | P05 | VDD_REF | T13 | VDD_REF |
| J10 | GND | L18 | HADC0_VREFN | P06 | VDD_INT | T14 | VDD_REF |
| J11 | GND | L19 | VDD_ANA | P07 | VDD_INT | T15 | VDD_REF |
| J12 | GND | L20 | HADC0_VREFP | P08 | VDD_INT | T16 | VDD_EXT |
| J13 | GND | M01 | GND | P09 | VDD_INT | T17 | GND |
| J14 | VDD_INT | M02 | GND | P10 | VDD_INT | T18 | DAI1_PIN09 |
| J15 | VDD_INT | M03 | SYS_CLKOUT | P11 | VDD_INT | T19 | DAI1_PIN06 |
| J16 | VDD_INT | M04 | VDD_EXT | P12 | VDD_INT | T20 | DAI1_PIN04 |
| J17 | VDD_INT | M05 | VDD_INT | P13 | VDD_INT | U01 | GND |
| J18 | GND | M06 | VDD_INT | P14 | VDD_INT | U02 | PA_10 |
| J19 | DMC0_CK | M07 | VDD_PLL | P15 | VDD_REF | U03 | PA_08 |
| J20 | DMC0_CK | M08 | GND | P16 | VDD_EXT | U04 | GND |
| K01 | GND | M09 | GND | P17 | GND | U05 | GND |
| K02 | GND | M10 | GND | P18 | DAI1_PIN02 | U06 | VDD_EXT |
| K03 | GND | M11 | GND | P19 | GND | U07 | VDD_EXT |
| K04 | VDD_EXT | M12 | GND | P20 | GND | U08 | VDD_EXT |
| K05 | VDD_INT | M13 | GND | R01 | PA_04 | U09 | VDD_EXT |
| K06 | VDD_PLL | M14 | VDD_INT | R02 | GND | U10 | VDD_EXT |
| K07 | VDD_DMC | M15 | VDD_REF | R03 | PA_03 | U11 | VDD_EXT |
| K08 | GND | M16 | VDD_EXT | R04 | VDD_EXT | U12 | VDD_EXT |
| K09 | GND | M17 | GND | R05 | VDD_REF | U13 | VDD_EXT |
| K10 | GND | M18 | GND | R06 | VDD_INT | U14 | VDD_EXT |
| K11 | GND | M19 | HADC0_VIN2 | R07 | VDD_INT | U15 | VDD_EXT |
| K12 | GND | M20 | HADC0_VIN3 | R08 | VDD_INT | U16 | GND |
| K13 | GND | N01 | SYS_CLKIN0 | R09 | VDD_INT | U17 | GND |
| K14 | VDD_INT | N02 | GND | R10 | VDD_INT | U18 | DAI1_PIN10 |
| K15 | VDD_INT | N03 | PA_00 | R11 | VDD_INT | U19 | DAI1_PIN07 |
| K16 | VDD_INT | N04 | VDD_EXT | R12 | VDD_INT | U20 | DAI1_PIN05 |
| K17 | GND | N05 | VDD_REF | R13 | VDD_INT | V01 | PA_07 |
| K18 | GND | N06 | VDD_INT | R14 | VDD_INT | V02 | PA_09 |
| K19 | GND | N07 | VDD_INT | R15 | VDD_REF | V03 | GND |
| K20 | GND | N08 | GND | R16 | VDD_EXT | V04 | GND |
| L01 | SYS_XTALO | N09 | GND | R17 | GND | V05 | PB_06 |
| L02 | GND | N10 | GND | R18 | DAI1_PIN03 | V06 | PB_09 |
| L03 | GND | N11 | GND | R19 | DAI1_PIN08 | V07 | PB_12 |
| L04 | VDD_EXT | N12 | GND | R20 | DAI1_PIN01 | V08 | PA_11 |
| L05 | VDD_INT | N13 | GND | T01 | GND | V09 | DAI0_PIN02 |
| L06 | VDD_PLL | N14 | VDD_INT | T02 | PA_05 | V10 | DAI0_PIN06 |
| L07 | VDD_PLL | N15 | VDD_REF | T03 | PA_06 | V11 | DAI0_PIN09 |
| L08 | GND | N16 | VDD_EXT | T04 | GND | V12 | DAI0_PIN20 |

| Ball No. | Pin Name |
|----------|------------|
| V13 | PC_00 |
| V14 | PC_05 |
| V15 | GND |
| V16 | GND |
| V17 | DAI1_PIN19 |
| V18 | GND |
| V19 | DAI1_PIN11 |
| V20 | DAI1_PIN12 |
| W01 | GND |
| W02 | GND |
| W03 | PB_08 |
| W04 | PB_07 |
| W05 | PB_13 |
| W06 | PA_12 |
| W07 | PA_14 |
| W08 | PA_15 |
| W09 | DAI0_PIN03 |
| W10 | DAI0_PIN05 |
| W11 | DAI0_PIN08 |
| W12 | DAI0_PIN12 |
| W13 | DAI0_PIN19 |
| W14 | PB_15 |
| W15 | PC_01 |
| W16 | PC_03 |
| W17 | PC_06 |
| W18 | DAI1_PIN20 |
| W19 | GND |
| W20 | GND |
| Y01 | GND |
| Y02 | GND |
| Y03 | PB_10 |
| Y04 | PB_11 |
| Y05 | GND |
| Y06 | PA_13 |
| Y07 | GND |
| Y08 | DAI0_PIN01 |
| Y09 | DAI0_PIN04 |
| Y10 | DAI0_PIN07 |
| Y11 | DAI0_PIN10 |
| Y12 | DAI0_PIN11 |
| Y13 | GND |
| Y14 | PB_14 |
| Y15 | PC_02 |
| Y16 | GND |
| Y17 | PC_04 |
| Y18 | PC_07 |
| Y19 | GND |
| Y20 | GND |

ADSP-21593/594 400ボールLPC BGAのボール配置 (ピン名のアルファベット順)

| Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. |
|------------|----------|------------|----------|----------|----------|----------|----------|
| DAIO_PIN01 | Y08 | DMC0_BA2 | E19 | GND | C16 | GND | K13 |
| DAIO_PIN02 | V09 | DMC0_CAS | E20 | GND | C17 | GND | K17 |
| DAIO_PIN03 | W09 | DMC0_CK | J19 | GND | C18 | GND | K18 |
| DAIO_PIN04 | Y09 | DMC0_CK | J20 | GND | D02 | GND | K19 |
| DAIO_PIN05 | W10 | DMC0_CKE | H20 | GND | D04 | GND | K20 |
| DAIO_PIN06 | V10 | DMC0_CS0 | F20 | GND | D05 | GND | L02 |
| DAIO_PIN07 | Y10 | DMC0_DQ00 | J02 | GND | D06 | GND | L03 |
| DAIO_PIN08 | W11 | DMC0_DQ01 | J01 | GND | D07 | GND | L08 |
| DAIO_PIN09 | V11 | DMC0_DQ02 | G02 | GND | D12 | GND | L09 |
| DAIO_PIN10 | Y11 | DMC0_DQ03 | H01 | GND | D13 | GND | L10 |
| DAIO_PIN11 | Y12 | DMC0_DQ04 | G01 | GND | D14 | GND | L11 |
| DAIO_PIN12 | W12 | DMC0_DQ05 | E01 | GND | D15 | GND | L12 |
| DAIO_PIN19 | W13 | DMC0_DQ06 | E02 | GND | D16 | GND | L13 |
| DAIO_PIN20 | V12 | DMC0_DQ07 | D01 | GND | D17 | GND | L16 |
| DAI1_PIN01 | R20 | DMC0_DQ08 | C02 | GND | D18 | GND | L17 |
| DAI1_PIN02 | P18 | DMC0_DQ09 | D03 | GND | E03 | GND | M01 |
| DAI1_PIN03 | R18 | DMC0_DQ10 | A03 | GND | E18 | GND | M02 |
| DAI1_PIN04 | T20 | DMC0_DQ11 | A02 | GND | F03 | GND | M08 |
| DAI1_PIN05 | U20 | DMC0_DQ12 | B03 | GND | F18 | GND | M09 |
| DAI1_PIN06 | T19 | DMC0_DQ13 | B06 | GND | G03 | GND | M10 |
| DAI1_PIN07 | U19 | DMC0_DQ14 | B05 | GND | G18 | GND | M11 |
| DAI1_PIN08 | R19 | DMC0_DQ15 | A05 | GND | H02 | GND | M12 |
| DAI1_PIN09 | T18 | DMC0_LDM | C01 | GND | H03 | GND | M13 |
| DAI1_PIN10 | U18 | DMC0_LDQS | F01 | GND | H08 | GND | M17 |
| DAI1_PIN11 | V19 | DMC0_LDQS | F02 | GND | H09 | GND | M18 |
| DAI1_PIN12 | V20 | DMC0_ODT | H19 | GND | H10 | GND | N02 |
| DAI1_PIN19 | V17 | DMC0_RAS | F19 | GND | H11 | GND | N08 |
| DAI1_PIN20 | W18 | DMC0_RESET | B12 | GND | H12 | GND | N09 |
| DMC0_A00 | D19 | DMC0_RZQ | G19 | GND | H13 | GND | N10 |
| DMC0_A01 | D20 | DMC0_UDM | A06 | GND | H18 | GND | N11 |
| DMC0_A02 | C20 | DMC0_UDQS | A04 | GND | J03 | GND | N12 |
| DMC0_A03 | C19 | DMC0_UDQS | B04 | GND | J08 | GND | N13 |
| DMC0_A04 | A19 | DMC0_VREF0 | J04 | GND | J09 | GND | N17 |
| DMC0_A05 | B20 | DMC0_VREF1 | G20 | GND | J10 | GND | N18 |
| DMC0_A06 | B18 | DMC0_WE | A12 | GND | J11 | GND | P01 |
| DMC0_A07 | A18 | GND | A01 | GND | J12 | GND | P17 |
| DMC0_A08 | A16 | GND | A20 | GND | J13 | GND | P19 |
| DMC0_A09 | B16 | GND | B01 | GND | J18 | GND | P20 |
| DMC0_A10 | A15 | GND | B02 | GND | K01 | GND | R02 |
| DMC0_A11 | B15 | GND | B19 | GND | K02 | GND | R17 |
| DMC0_A12 | B14 | GND | C03 | GND | K03 | GND | T01 |
| DMC0_A13 | A14 | GND | C04 | GND | K08 | GND | T04 |
| DMC0_A14 | A13 | GND | C05 | GND | K09 | GND | T17 |
| DMC0_A15 | B13 | GND | C06 | GND | K10 | GND | U01 |
| DMC0_BA0 | B17 | GND | C14 | GND | K11 | GND | U04 |
| DMC0_BA1 | A17 | GND | C15 | GND | K12 | GND | U05 |

| Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. | Pin Name | Ball No. |
|-------------|----------|------------|----------|----------|----------|----------|----------|
| GND | U16 | PB_02 | B08 | VDD_DMC | G14 | VDD_INT | E17 |
| GND | U17 | PB_03 | C07 | VDD_DMC | G15 | VDD_INT | F04 |
| GND | V03 | PB_04 | B07 | VDD_DMC | H06 | VDD_INT | F05 |
| GND | V04 | PB_05 | C08 | VDD_DMC | H07 | VDD_INT | F16 |
| GND | V15 | PB_06 | V05 | VDD_DMC | H14 | VDD_INT | F17 |
| GND | V16 | PB_07 | W04 | VDD_DMC | H15 | VDD_INT | G04 |
| GND | V18 | PB_08 | W03 | VDD_DMC | J06 | VDD_INT | G05 |
| GND | W01 | PB_09 | V06 | VDD_DMC | J07 | VDD_INT | G16 |
| GND | W02 | PB_10 | Y03 | VDD_DMC | K07 | VDD_INT | G17 |
| GND | W19 | PB_11 | Y04 | VDD_EXT | D08 | VDD_INT | H04 |
| GND | W20 | PB_12 | V07 | VDD_EXT | D09 | VDD_INT | H05 |
| GND | Y01 | PB_13 | W05 | VDD_EXT | D10 | VDD_INT | H16 |
| GND | Y02 | PB_14 | Y14 | VDD_EXT | D11 | VDD_INT | H17 |
| GND | Y05 | PB_15 | W14 | VDD_EXT | K04 | VDD_INT | J05 |
| GND | Y07 | PC_00 | V13 | VDD_EXT | L04 | VDD_INT | J14 |
| GND | Y13 | PC_01 | W15 | VDD_EXT | M04 | VDD_INT | J15 |
| GND | Y16 | PC_02 | Y15 | VDD_EXT | M16 | VDD_INT | J16 |
| GND | Y19 | PC_03 | W16 | VDD_EXT | N04 | VDD_INT | J17 |
| GND | Y20 | PC_04 | Y17 | VDD_EXT | N16 | VDD_INT | K05 |
| HADC0_VIN0 | N19 | PC_05 | V14 | VDD_EXT | P04 | VDD_INT | K14 |
| HADC0_VIN1 | N20 | PC_06 | W17 | VDD_EXT | P16 | VDD_INT | K15 |
| HADC0_VIN2 | M19 | PC_07 | Y18 | VDD_EXT | R04 | VDD_INT | K16 |
| HADC0_VIN3 | M20 | SYS_BMODE0 | B10 | VDD_EXT | R16 | VDD_INT | L05 |
| HADC0_VREFN | L18 | SYS_BMODE1 | B09 | VDD_EXT | T05 | VDD_INT | L14 |
| HADC0_VREFP | L20 | SYS_BMODE2 | A08 | VDD_EXT | T16 | VDD_INT | L15 |
| JTG_TCK | B11 | SYS_CLKIN0 | N01 | VDD_EXT | U06 | VDD_INT | M05 |
| JTG_TDI | C13 | SYS_CLKOUT | M03 | VDD_EXT | U07 | VDD_INT | M06 |
| JTG_TDO | C11 | SYS_FAULT | A11 | VDD_EXT | U08 | VDD_INT | M14 |
| JTG_TMS | C12 | SYS_HWRST | A09 | VDD_EXT | U09 | VDD_INT | N06 |
| JTG_TRST | A10 | SYS_RESOUT | C10 | VDD_EXT | U10 | VDD_INT | N07 |
| PA_00 | N03 | SYS_XTAL0 | L01 | VDD_EXT | U11 | VDD_INT | N14 |
| PA_01 | P03 | VDD_ANA | L19 | VDD_EXT | U12 | VDD_INT | P06 |
| PA_02 | P02 | VDD_DMC | F06 | VDD_EXT | U13 | VDD_INT | P07 |
| PA_03 | R03 | VDD_DMC | F07 | VDD_EXT | U14 | VDD_INT | P08 |
| PA_04 | R01 | VDD_DMC | F08 | VDD_EXT | U15 | VDD_INT | P09 |
| PA_05 | T02 | VDD_DMC | F09 | VDD_INT | E04 | VDD_INT | P10 |
| PA_06 | T03 | VDD_DMC | F10 | VDD_INT | E05 | VDD_INT | P11 |
| PA_07 | V01 | VDD_DMC | F11 | VDD_INT | E06 | VDD_INT | P12 |
| PA_08 | U03 | VDD_DMC | F12 | VDD_INT | E07 | VDD_INT | P13 |
| PA_09 | V02 | VDD_DMC | F13 | VDD_INT | E08 | VDD_INT | P14 |
| PA_10 | U02 | VDD_DMC | F14 | VDD_INT | E09 | VDD_INT | R06 |
| PA_11 | V08 | VDD_DMC | F15 | VDD_INT | E10 | VDD_INT | R07 |
| PA_12 | W06 | VDD_DMC | G06 | VDD_INT | E11 | VDD_INT | R08 |
| PA_13 | Y06 | VDD_DMC | G07 | VDD_INT | E12 | VDD_INT | R09 |
| PA_14 | W07 | VDD_DMC | G08 | VDD_INT | E13 | VDD_INT | R10 |
| PA_15 | W08 | VDD_DMC | G09 | VDD_INT | E14 | VDD_INT | R11 |
| PB_00 | A07 | VDD_DMC | G12 | VDD_INT | E15 | VDD_INT | R12 |
| PB_01 | C09 | VDD_DMC | G13 | VDD_INT | E16 | VDD_INT | R13 |

| Pin Name | Ball No. |
|----------|----------|
| VDD_INT | R14 |
| VDD_PLL | K06 |
| VDD_PLL | L06 |
| VDD_PLL | L07 |
| VDD_PLL | M07 |
| VDD_REF | G10 |
| VDD_REF | G11 |
| VDD_REF | M15 |
| VDD_REF | N05 |
| VDD_REF | N15 |
| VDD_REF | P05 |
| VDD_REF | P15 |
| VDD_REF | R05 |
| VDD_REF | R15 |
| VDD_REF | T06 |
| VDD_REF | T07 |
| VDD_REF | T08 |
| VDD_REF | T09 |
| VDD_REF | T10 |
| VDD_REF | T11 |
| VDD_REF | T12 |
| VDD_REF | T13 |
| VDD_REF | T14 |
| VDD_REF | T15 |

ADSP-21593/594 400ボール低ペリフェラル・カウント（LPC）BGAの構成

図93に、ADSP-21593/594 400ボールLPC BGAの信号配置の概要を示します。このパッケージは、ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換です。

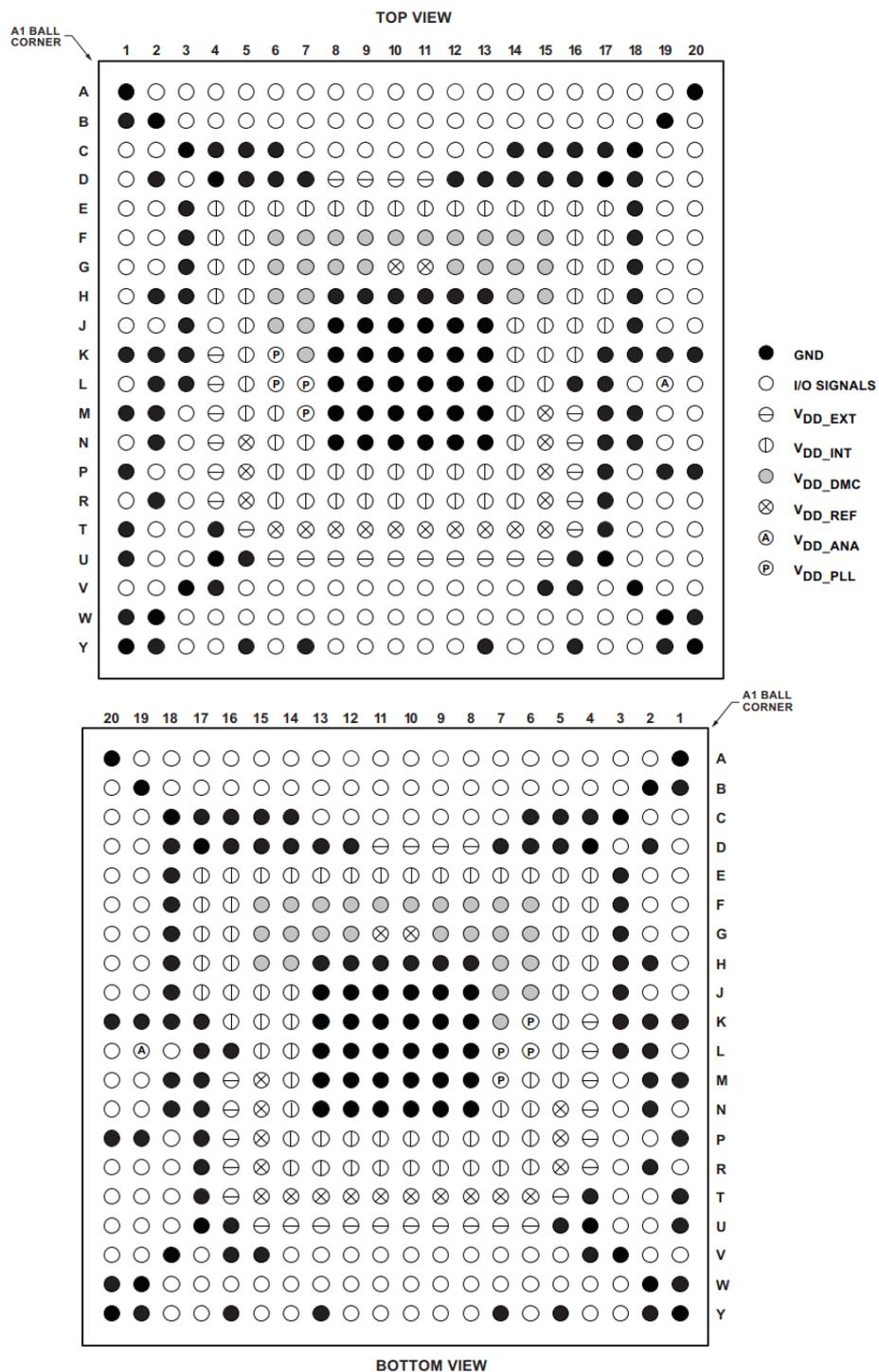


図93. ADSP-21593/594 400ボールLPC BGAの構成

外形寸法

図94に示す17mm × 17mm 400ボールBGA_EDパッケージの寸法単位はミリメートルです。

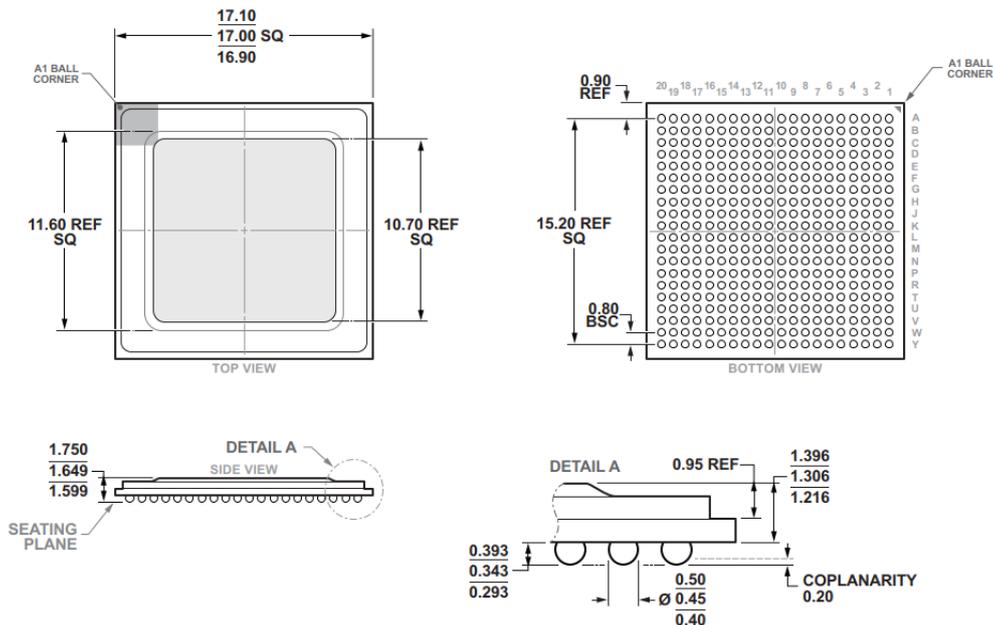


図94. 400ボールのボール・グリッド・アレイ、熱強化型 [BGA_ED]
 (BP-400-3)
 寸法 : mm

表面実装型設計

表88はPCB設計の補助として示すものです。業界標準の設計推奨事項については、IPC-7351, Generic Requirements for Surface-Mount Design and Land Pattern Standardを参照してください。

表88. 表面実装設計を用いるためのBGAデータ

| Package | Package Ball Attach Type | Package Solder Mask Opening | Package Ball Pad Size |
|----------|--------------------------|-----------------------------|-----------------------|
| BP-400-3 | Solder Mask Defined | 0.4 mm Diameter | 0.5 mm Diameter |

オートモーティブ製品

以下のモデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造工程により提供されています。これらのオートモーティブ・モデルの仕様は非オートモーティブ・モデルと異なる場合があるため、設計者はこのデータシートの仕様セクションを慎重に検討してください。オート

モーティブ・アプリケーション向けには、表89のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイセズまでお問い合わせください。

表89. オートモーティブ製品

| Model ^{1,2} | Processor Instruction Rate (Max) | Arm Instruction Rate (Max) ³ | Temperature Range ⁴ | L2 SRAM | Arm Cores | SHARC+ Cores | Package Description ⁵ | Package Option |
|----------------------|----------------------------------|---|--------------------------------|---------|-----------|--------------|----------------------------------|----------------|
| ADSP-21593WCBPZ8 | 800 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP-21593WCBPZ8RL | 800 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP-21593WCBPZ10 | 1000 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP21593WCBPZ10RL | 1000 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP-SC592WCBPZ10 | 1000 MHz | 1000 MHz | -40°C to +125°C | 2 MB | 1 | 1 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSPSC592WCBPZ10RL | 1000 MHz | 1000 MHz | -40°C to +125°C | 2 MB | 1 | 1 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC594WCBPZ10 | 1000 MHz | 1000 MHz | -40°C to +125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSPSC594WCBPZ10RL | 1000 MHz | 1000 MHz | -40°C to +125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |

¹ Z = RoHS準拠製品。

² RL = テープ&リールで提供。

³ N/Aは、該当なしを表します。

⁴ リファレンス温度はジャンクション温度です。ジャンクション温度 (T_j) の仕様については、動作条件のセクションを参照してください。

⁵ LPC = 低パリティフェラル・カウント (Low Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換HPC = 高パリティフェラル・カウント (High Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとは非ピン互換

製造予定オートモーティブ製品

| Model ^{1,2} | Processor Instruction Rate (Max) | Arm Instruction Rate (Max) ³ | Temperature Range ⁴ | L2 SRAM | Arm Cores | SHARC+ Cores | Package Description ⁵ | Package Option |
|----------------------|----------------------------------|---|--------------------------------|---------|-----------|--------------|----------------------------------|----------------|
| ADSP-21594WCBPZ10 | 1000 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP21594WCBPZ10RL | 1000 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC594WCBPZ8 | 800 MHz | 800 MHz | -40°C to +125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC594WCBPZ8RL | 800 MHz | 800 MHz | -40°C to +125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |

¹ Z = RoHS準拠製品。

² RL = テープ&リールで提供。

³ N/Aは、該当なしを表します。

⁴ リファレンス温度はジャンクション温度です。ジャンクション温度 (T_j) の仕様については、動作条件のセクションを参照してください。

⁵ LPC = 低パリティフェラル・カウント (Low Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換HPC = 高パリティフェラル・カウント (High Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとは非ピン互換

製造予定製品

| Model ¹ | Processor Instruction Rate (Max) | Arm Instruction Rate (Max) ² | Temperature Range ³ | L2 SRAM | Arm Cores | SHARC+ Cores | Package Description ⁴ | Package Option |
|--------------------|----------------------------------|---|--------------------------------|---------|-----------|--------------|----------------------------------|----------------|
| ADSP-21593BBPZ8 | 800 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP-21593BBPZ10 | 1000 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP-21593KBPZ8 | 800 MHz | N/A | 0°C to 125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP-21594BBPZ8 | 800 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-21594BBPZ10 | 1000 MHz | N/A | -40°C to +125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-21594KBPZ8 | 800 MHz | N/A | 0°C to 125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-21594KBPZ10 | 1000 MHz | N/A | 0°C to 125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC592BBPZ10 | 1000 MHz | 1000 MHz | -40°C to +125°C | 2 MB | 1 | 1 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC592KBPZ10 | 1000 MHz | 1000 MHz | 0°C to 125°C | 2 MB | 1 | 1 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC594BBPZ8 | 800 MHz | 800 MHz | -40°C to +125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC594BBPZ10 | 1000 MHz | 1000 MHz | -40°C to +125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |
| ADSP-SC594KBPZ8 | 800 MHz | 800 MHz | 0°C to 125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |

¹ Z = RoHS準拠製品。

² N/Aは、該当なしを表します。

³ リファレンス温度はジャンクション温度です。ジャンクション温度 (T_j) の仕様については、[動作条件](#)のセクションを参照してください。

⁴ LPC = 低ペリフェラル・カウント (Low Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換HPC = 高ペリフェラル・カウント (High Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとは非ピン互換

オーダー・ガイド

| Model ^{1,2} | Processor Instruction Rate (Max) | Arm Instruction Rate (Max) ³ | Temperature Range ⁴ | L2 SRAM | Arm Cores | SHARC+ Cores | Package Description ⁵ | Package Option |
|----------------------|----------------------------------|---|--------------------------------|---------|-----------|--------------|----------------------------------|----------------|
| ADSP-21593KBPZ10 | 1000 MHz | N/A | 0°C to 125°C | 2 MB | 0 | 2 | 400-Ball BGA_ED, LPC | BP-400-3 |
| ADSP-SC594KBPZ10 | 1000 MHz | 1000 MHz | 0°C to 125°C | 2 MB | 1 | 2 | 400-Ball BGA_ED, HPC | BP-400-3 |

¹ Z = RoHS準拠製品。

² RL = テープ&リールで提供。

³ N/Aは、該当なしを表します。

⁴ リファレンス温度はジャンクション温度です。ジャンクション温度 (T_j) の仕様については、[動作条件](#)のセクションを参照してください。

⁵ LPC = 低ペリフェラル・カウント (Low Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとピン互換HPC = 高ペリフェラル・カウント (High Peripheral Count) - ADSP-21566、ADSP-21567、ADSP-21569の各プロセッサとは非ピン互換

I²Cは、Philips Semiconductors (現在のNXP Semiconductors) が独自に開発した通信プロトコルです。