

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 3 月 3 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 3 月 2 日

製品名： ADRF6521

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 8 ページ

ピン説明の表 5 のうち、14, 15 番ピンの説明に誤りがあります。

【誤】

14,15 ピン OPP1, OMP1 の欄の説明 「チャンネル 2 の差動入力・・・」

【正】

14,15 ピン OPP1, OMP1 の欄の説明 「チャンネル 1 の差動入力・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 3 月 3 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 3 月 2 日

製品名： ADRF6521

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 32 ページ

ゲイン・ピン (VGN) のデカップリングの項目、上から 5 行目

【誤】

「・・・1000pF・・・」

【正】

「・・・100pF・・・」



出力コモンモードと DC オフセットの制御機能を備えた 低周波～3GHz のデュアル VGA

データシート

ADRF6521

特長

マッチングしたデュアル VGA
最大電圧ゲイン：18dB
ゲイン制御減衰範囲：21dB（代表値）（ $T_A = 25^\circ\text{C}$ の場合）
 $\pm 1\text{dB}$ ゲイン平坦性帯域幅：2.5GHz（代表値）
IMD2 および IMD3（1.5V p-p 出力レベル）
それぞれ -56.8dBc （代表値）および -75dBc （代表値）、
（ $V_{GN} = 1.5\text{V}$ 、980MHz トーンおよび 1000MHz トーン時）
HD2 および HD3（1.5V p-p 出力レベル）
それぞれ -75dBc （代表値）および -73.7dBc （代表値）、
（ $V_{GN} = 1.5\text{V}$ 、基本波、500MHz 時）
それぞれ -55.9dBc （代表値）および -57.5dBc （代表値）、
（ $V_{GN} = 1.5\text{V}$ 、基本波、1GHz 時）
ノイズ指数：
10.5dB（代表値）（最大ゲイン、500MHz 時）
14.8dB（最大ゲイン、2GHz 時）
ゲインのバックオフによってノイズ指数が
1dB 当たり 1dB の割合で減少
差動入力インピーダンス：100 Ω
差動出力インピーダンス：16 Ω 以下
プログラム可能
出力 DC オフセットの公称範囲： $\pm 400\text{mV}$
出力コモンモード制御： $\pm 200\text{mV}$ 以上
（ $V_{OCM} = \pm 0.2\text{V}$ の場合）
単電源または両電源動作（パワーダウン機能付き）
単電源： $V_{POS} = 5\text{V}$ 、 $V_{NEG} = 0\text{V}$ （公称値）
両電源： $V_{POS} = 3\text{V}$ 、 $V_{NEG} = -2\text{V}$ （公称値）

アプリケーション

ポイント to ポイントおよびポイント to マルチポイント無線
ベースバンド IQ レシーバー
ダイバーシティ・レシーバー
ADC 用ドライバ
計測器
医療

概要

ADRF6521 は、デュアル、完全差動、低ノイズ、および低歪みの可変ゲイン・アンプ（VGA）です。ADRF6521 は、ゲイン範囲にわたってスプリアスフリー・ダイナミック・レンジが高いため、高密度コンステレーション、マルチ・キャリア、および近傍干渉を伴う通信システムに最適です。

VGA の減衰範囲は 21dB で、電圧ゲインは 18dB（代表値）です。差動入力インピーダンスは 100 Ω で、差動出力インピーダンスは 16 Ω です。 $\pm 1\text{dB}$ ゲイン平坦性帯域幅は 2.5GHz です。低周波から 1GHz までの 2 次および 3 次相互変調歪み（IMD2 および IMD3）と、2 次および 3 次高調波歪み（HD2 および HD3）が 55dBc 以上であるとき、出力バッファは 100 Ω の負荷で 1.5V p-p 振らすこ

簡易化した機能ブロック図

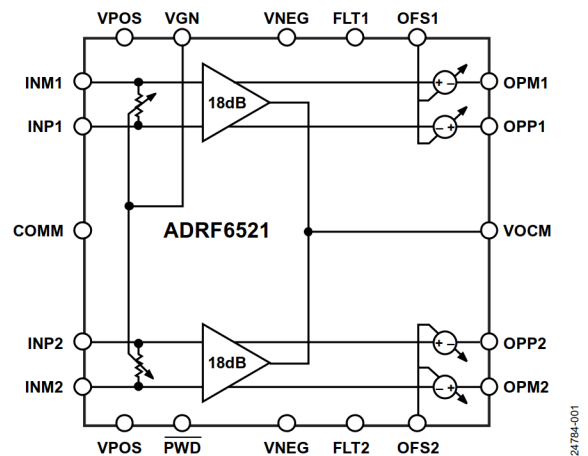


図 1.

とができます。調節可能な出力 DC オフセットは OFS1 ピンと OFS2 ピンを用いて制御でき、出力コモンモードは VOCM ピンを用いて制御できます。

ADRF6521 は +5V 単電源または様々な両電源で柔軟に動作し、全体で 200mA の電源電流を消費します。完全なディスイューブル時には、25mA（代表値）を消費します。ADRF6521 は、高度なシリコン・ゲルマニウム BiCMOS プロセスで製造されており、20 ピンおよび露出パッド付きの 3mm × 3mm LFCSP パッケージを採用しています。性能は、 $-40^\circ\text{C} \sim +85^\circ\text{C}$ の温度範囲で仕様規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	出力 DC オフセット回路	29
アプリケーション	1	DC オフセット・ループ・ハイパス・コーナ	30
簡易化した機能ブロック図	1	ゲイン制御インターフェース	30
概要	1	パワーダウン機能	30
改訂履歴	2	アプリケーション情報	31
仕様	3	基本的な接続方法	31
絶対最大定格	7	電源のデカップリング	31
熱抵抗	7	入力信号経路	31
静電放電 (ESD) 定格	7	出力信号経路	31
ESD に関する注意	7	イネーブルおよびディスエーブル機能	32
ピン配置およびピン機能の説明	8	ゲイン・ピン (VGN) のデカップリング	32
代表的な性能特性	9	出力のインピーダンス・マッチング	32
単電源動作	9	単電源動作	32
両電源動作	19	両電源動作	32
動作原理	29	ラッチアップの防止	32
入力 VVA	29	外形寸法	33
アンプ	29	オーダー・ガイド	33
出力コモンモード電圧	29		

改訂履歴

9/2020—Revision 0: Initial Version

仕様

特に指定のない限り、単電源動作の場合は、 $V_{POS} = 5V$ 、 $V_{NEG} = 0V$ （公称値）、および $V_{OCM} = 2.5V$ 、また、両電源動作の場合は、 $V_{POS} = 3V$ 、 $V_{NEG} = -2V$ （公称値）、および $V_{OCM} = 0V$ 。特に指定のない限り、 $T_A = 25^\circ C$ および負荷インピーダンス (Z_{LOAD}) = 186Ω 。 V_{OCM} 、 $OFS1$ 、および $OFS2$ の電圧は、 $COMM$ （アナログ・グラウンド）を基準にしています。

表 1.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
FREQUENCY RESPONSE	単電源動作				
±1 dB Gain Flatness Bandwidth	チャンネル 1 またはチャンネル 2、最大ゲイン		2.5		GHz
−3 dB Bandwidth	最大ゲイン		3.25		GHz
Pass-Band Flatness	100kHz 時の値と 1GHz 時の値の差として定義		0.5		dB
Gain Matching	チャンネル A およびチャンネル B（同一ゲイン時）				
	1GHz 未満		±0.2		dB
	3GHz 未満		±0.4		dB
Group Delay					
Variation	500MHz～1GHz		0.1		ns
Matching	周波数 = 1GHz		±25		ps
	周波数 = 3GHz		±40		ps
INPUT STAGE	INP1、INM1、INP2、INM2				
Maximum Input Swing	最小ゲイン、 $V_{GN} = 0V$ のとき		8		V p-p
Differential Input Impedance			100		Ω
Input Common-Mode	($V_{POS} + V_{NEG}$)/2、AC カップリングを推奨				
	V_{OCM} 非駆動、単電源動作		2.5		V
	V_{OCM} 非駆動、両電源動作		0.5		V
GAIN CONTROL	V_{GN} （グラウンドを基準）				
Voltage Range ^{1,2}	最小		0		V
	最大		1.5		V
Voltage Gain	$V_{GN} = 1.5V$ 、最大ゲイン		18		dB
	$V_{GN} = 0V$ 、最小ゲイン		−3		dB
Attenuation Range	$T_A = 25^\circ C$		21		dB
	$-40^\circ C \leq T_A \leq +85^\circ C$		>20		dB
Gain Slope			45		mV/dB
Gain Error	V_{GN} 電圧 (V_{VGN}) 範囲 = 500mV～1000mV		0.2		dB
VGA Step Response Time	全減衰範囲を通して				
Rise Time	出力の 10%～90%		240		ns
Fall Time	出力の 90%～10%		250		ns
COMMON-MODE CONTROL ³	V_{OCM} (V_{POS} および V_{NEG} 電源を基準)				
Default Value	V_{OCM} をフロート状態（公称値）		$(V_{VPOS} + V_{VNEG})/2$		V
Voltage Range ¹	最小		$(V_{VPOS} + V_{VNEG})/2$		V
			−1		
	最大		$(V_{VPOS} + V_{VNEG})/2$		V
			+1		
Output Common Mode ⁴	$(V_{OPP1} + V_{OPM1})/2$ または $(V_{OPP2} + V_{OPM2})/2$				
	$V_{OCM} = 0V$		0		V
	$V_{OCM} = 0.2V$		200		mV
	$V_{OCM} = -0.2V$		−200		mV
	$V_{OCM} = \pm 0.3V$ 、動作可能な最大値		±300		mV
DC OFFSET CONTROL	$OFS1$ および $OFS2$ （グラウンドを基準）				
Voltage Range ^{1,2}	最小		0		V
	最大		1.5		V

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
Output DC Offset	($V_{OPP1} - V_{OPM1}$) または ($V_{OPP2} - V_{OPM2}$) OFS1 および OFS2 = 0.75V (公称値) OFS1 および OFS2 = 1.2V OFS1 および OFS2 = 0.3V OFS1 および OFS2 = 0V OFS1 および OFS2 = 1.5V OFS1 および OFS2 = 0.75V		<20 400 -400 -600 600 6.2		mV mV mV mV mV mV
DC Offset Channel to Channel Mismatch					
OUTPUT STAGE	OPP1、OPM1、OPP2、および OPM2				
Maximum Output Swing	最大ゲイン、負荷抵抗 (R_{LOAD}) = 186 Ω のとき IMD2、IMD3、HD2、および HD3 が 55dB 以上 (100 Ω のインターフェース時 ⁵⁾)		5.64 1.5		V p-p V p-p
Output 1 dB Compression Point (OP1dB)	周波数 = 1GHz、ゲイン = 18dB、 R_{LOAD} = 186 Ω 100 Ω のインターフェース時 ⁵⁾		>6 >0.6		dBV ⁶⁾ dBV ⁶⁾
Differential Output Impedance			≤ 16		Ω
NOISE AND DISTORTION					
Single-Supply Operation					
Output Noise Density	入力インピーダンス (Z_{IN}) = 100 Ω (100 Ω のインターフェース時 ⁵⁾) VGN = 1.5V (500MHz 時) VGN = 0.75V (500MHz 時) VGN = 0V (500MHz 時) VGN = 1.5V (2GHz 時) VGN = 0.75V (2GHz 時) VGN = 0V (2GHz 時)		-159.9 -161 -161.5 -155 -157 -157.4		dBV/Hz dBV/Hz dBV/Hz dBV/Hz dBV/Hz dBV/Hz
Noise Figure	VGN = 1.5V (500MHz 時) VGN = 0.75V (500MHz 時) VGN = 0V (500MHz 時) VGN = 1.5V (2GHz 時) VGN = 0.75V (2GHz 時) VGN = 0V (2GHz 時)		12.3 21.5 31.5 16.3 24.5 34.3		dB dB dB dB dB dB
Second Harmonic Distortion, HD2	1.5V p-p の出力レベル VGN = 1.5V、基本波 (500MHz 時) VGN = 0.75V、基本波 (500MHz 時) VGN = 0V、基本波 (500MHz 時) VGN = 1.5V、基本波 (1GHz 時) VGN = 0.75V、基本波 (1GHz 時) VGN = 0V、基本波 (1GHz 時)		-75 -76 -77 -55.9 -54 -41		dBc dBc dBc dBc dBc dBc
Third Harmonic Distortion, HD3	1.5V p-p の出力レベル VGN = 1.5V、基本波 (500MHz 時) VGN = 0.75V、基本波 (500MHz 時) VGN = 0V、基本波 (500MHz 時) VGN = 1.5V、基本波 (1GHz 時) VGN = 0.75V、基本波 (1GHz 時) VGN = 0V、基本波 (1GHz 時)		-73.7 -72 -72.6 -57.5 -68 -62		dBc dBc dBc dBc dBc dBc
IMD2	1.5V p-p の出力レベル VGN = 1.5V、480MHz トーンおよび 500MHz トーン VGN = 0.75V、480MHz トーンおよび 500MHz トーン VGN = 0V、480MHz トーンおよび 500MHz トーン VGN = 1.5V、980MHz トーンおよび 1000MHz トーン VGN = 0.75V、980MHz トーンおよび 1000MHz トーン VGN = 0V、980MHz トーンおよび 1000MHz トーン		-74 -62 -53 -56.8 -54 -45		dBc dBc dBc dBc dBc dBc

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
IMD3	1.5V p-p の出力レベル				
	VGN = 1.5V、480MHz トーンおよび 500MHz トーン		-74		dBc
	VGN = 0.75V、480MHz トーンおよび 500MHz トーン		-77		dBc
	VGN = 0V、480MHz トーンおよび 500MHz トーン		-73		dBc
	VGN = 1.5V、980MHz トーンおよび 1000MHz トーン		-75		dBc
	VGN = 0.75V、980MHz トーンおよび 1000MHz トーン		-82		dBc
	VGN = 0V、980MHz トーンおよび 1000MHz トーン		-76		dBc
Input Second-Order Intercept Point (IIP2)					
	VGN = 1.5V、480MHz トーンおよび 500MHz トーン		44.9		dBV
	VGN = 0.75V、480MHz トーンおよび 500MHz トーン		44.5		dBV
	VGN = 0V、480MHz トーンおよび 500MHz トーン		45		dBV
	VGN = 1.5V、980MHz トーンおよび 1000MHz トーン		27.5		dBV
	VGN = 0.75V、980MHz トーンおよび 1000MHz トーン		36.3		dBV
Input Third-Order Intercept Point (IIP3)					
	VGN = 1.5V、480MHz トーンおよび 500MHz トーン		7.9		dBV
	VGN = 0.75V、480MHz トーンおよび 500MHz トーン		20.1		dBV
	VGN = 0V、480MHz トーンおよび 500MHz トーン		28.5		dBV
	VGN = 1.5V、980MHz トーンおよび 1000MHz トーン		8.2		dBV
	VGN = 0.75V、980MHz トーンおよび 1000MHz トーン		23.3		dBV
Dual-Supply Operation Output Noise Density					
	VGN = 0V、980MHz トーンおよび 1000MHz トーン		36.7		dBV
	Z _{IN} = 100Ω (100Ω のインターフェース時 ⁵⁾)				
	VGN = 1.5V (500MHz 時)		-161.7		dBV/Hz
	VGN = 0.75V (500MHz 時)		-162.2		dBV/Hz
	VGN = 0V (500MHz 時)		-162.1		dBV/Hz
	VGN = 1.5V (2GHz 時)		-158.2		dBV/Hz
Noise Figure					
	VGN = 0.75V (2GHz 時)		-158.4		dBV/Hz
	VGN = 0V (2GHz 時)		-158.7		dBV/Hz
	VGN = 1.5V (500MHz 時)		10.5		dB
	VGN = 0.75V (500MHz 時)		20		dB
	VGN = 0V (500MHz 時)		31.3		dB
	VGN = 1.5V (2GHz 時)		14.8		dB
HD2					
	VGN = 0.75V (2GHz 時)		24.5		dB
	VGN = 0V (2GHz 時)		34.4		dB
	1.5V p-p の出力レベル				
	VGN = 1.5V、基本波 (500MHz 時)		-79		dBc
	VGN = 0.75V、基本波 (500MHz 時)		-93		dBc
	VGN = 0V、基本波 (500MHz 時)		-79		dBc
HD3					
	VGN = 1.5V、基本波 (1GHz 時)		-59		dBc
	VGN = 0.75V、基本波 (1GHz 時)		-53		dBc
	VGN = 0V、基本波 (1GHz 時)		-40.5		dBc
	1.5V p-p の出力レベル				
	VGN = 1.5V、基本波 (500MHz 時)		-72		dBc
	VGN = 0.75V、基本波 (500MHz 時)		-75		dBc
HD3					
	VGN = 0V、基本波 (500MHz 時)		-72		dBc
	VGN = 1.5V、基本波 (1GHz 時)		-57		dBc
	VGN = 0.75V、基本波 (1GHz 時)		-70		dBc
	VGN = 0V、基本波 (1GHz 時)		-62.5		dBc

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
IMD2	1.5V p-p の出力レベル				
	VGN = 1.5V、480MHz トーンおよび 500MHz トーン		-74		dBc
	VGN = 0.75V、480MHz トーンおよび 500MHz トーン		-60.9		dBc
	VGN = 0V、480MHz トーンおよび 500MHz トーン		-53		dBc
	VGN = 1.5V、980MHz トーンおよび 1000MHz トーン		-58		dBc
	VGN = 0.75V、980MHz トーンおよび 1000MHz トーン		-55		dBc
	VGN = 0V、980MHz トーンおよび 1000MHz トーン		-46		dBc
IMD3	1.5V p-p の出力レベル				
	VGN = 1.5V、480MHz トーンおよび 500MHz トーン		-80		dBc
	VGN = 0.75V、480MHz トーンおよび 500MHz トーン		-86		dBc
	VGN = 0V、480MHz トーンおよび 500MHz トーン		-73.5		dBc
	VGN = 1.5V、980MHz トーンおよび 1000MHz トーン		-71.6		dBc
	VGN = 0.75V、980MHz トーンおよび 1000MHz トーン		-87		dBc
	VGN = 0V、980MHz トーンおよび 1000MHz トーン		-76		dBc
IIP2	VGN = 1.5V、480MHz トーンおよび 500MHz トーン		44.9		dBV
	VGN = 0.75V、480MHz トーンおよび 500MHz トーン		43.4		dBV
	VGN = 0V、480MHz トーンおよび 500MHz トーン		45		dBV
	VGN = 1.5V、980MHz トーンおよび 1000MHz トーン		28.7		dBV
	VGN = 0.75V、980MHz トーンおよび 1000MHz トーン		37.3		dBV
	VGN = 0V、980MHz トーンおよび 1000MHz トーン		37.7		dBV
IIP3	VGN = 1.5V、480MHz トーンおよび 500MHz トーン		10.9		dBV
	VGN = 0.75V、480MHz トーンおよび 500MHz トーン		25.5		dBV
	VGN = 0V、480MHz トーンおよび 500MHz トーン		28.7		dBV
	VGN = 1.5V、980MHz トーンおよび 1000MHz トーン		6.5		dBV
	VGN = 0.75V、980MHz トーンおよび 1000MHz トーン		25.8		dBV
	VGN = 0V、980MHz トーンおよび 1000MHz トーン		29.7		dBV
POWER AND ENABLE					
VPOS、VNEG、COMM、および PWD					
Supply Voltage Range	VPOS > COMM ≥ VNEG				
VPOS – VNEG	最小		4		V
	最大		5		V
VPOS	最小		2.5		V
	最大		5		V
VNEG	最小		-2.5		V
	最大		0		V
Total Supply Current	PWD に高電圧		200		mA
Disable Current	PWD = VNEG		25		mA
PWD Voltage Range	最小		VNEG		V
	最大		VNEG+3.3		V
Enable Threshold			VNEG+2.7		V
Disable Threshold			VNEG+0.3		V
Enable Response Time	PWD がローからハイに遷移した後の遅延		<20		ns
Disable Response Time	PWD がハイからローに遷移した後の遅延		<8		ns

¹ 絶対最大定格未満の電圧であっても、この範囲を超える電圧を加えると、ラッチアップ問題が発生する可能性があります。

² この電圧範囲は、ピンが動作可能な範囲です。

³ V_{VPOS} は VPOS の電圧で、V_{VNEG} は VNEG の電圧です。

⁴ V_{OPP1} は OPP1 の電圧で、V_{OPM1} は OPM1 の電圧で、V_{OPP2} は OPP2 の電圧で、V_{OPM2} は OPM2 の電圧です。

⁵ インターフェースの電圧レベルは、43Ω の逆終端抵抗と 100Ω の差動負荷との間の電圧レベルです。このインターフェースは、ADRF6521 の出力よりも電圧レベルが -5.4dB 低くなっています。

⁶ X dBV = 20 × log10(x V rms/1V rms)。0dBV は 1V rms に相当します。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltages: VPOS – VNEG PVD	5.25 V VNEG + 3.3 V
INP1, INM1, INP2, and INM2	VPOS + 0.5 V
OPP1, OPM1, OPP2, and OPM2	VPOS + 0.5 V
OF1S1, OF1S2	VPOS + 0.5 V
VOCM	VPOS + 0.5 V
VGN	VPOS + 0.5 V
Internal Power Dissipation	1.53 W
Temperature	
Maximum Junction	125°C
Operating Range	–40°C to +85°C
Storage Range	–65°C to +150°C
Lead (Soldering 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 3. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC} ²	Unit
CP-20-19	62.5	52.8	°C/W

¹ 2S2P ボードを使用した JEDEC 規格 JESD-51 によるシミュレーションに基づいています。

² 1S0P ボードを使用した JEDEC 規格 JESD-51 によるシミュレーションに基づいています。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘導帯電デバイス・モデル（FICDM）。

ADRF6521 の ESD 定格

表 4. ADRF6521、20 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±1000	1B
FICDM	±1250	4

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

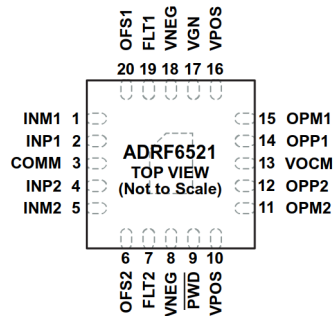


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 2	INM1, INP1	チャンネル 1 の差動入力、 100Ω の差動入力インピーダンス。 $(V_{POS} + V_{NEG})/2$ の公称コモンモード。
3	COMM	アナログ・グラウンド。
4, 5	INP2, INM2	チャンネル 2 の差動入力、 100Ω の差動入力インピーダンス。 $(V_{POS} + V_{NEG})/2$ の公称コモンモード。
6	OFS2	チャンネル 2 の出力 DC オフセット制御。公称制御範囲は、アナログ・グラウンドを基準として $0.3V \sim 1.2V$ です。OFSx を $0.75V$ にすると、出力オフセット電圧が $0V$ になります。OFS2 は自己バイアスされません。OFS2 は駆動する必要があります。OFS2 は $5k\Omega$ の内蔵抵抗を介してグラウンドに接続されているため、未接続のままにすると、出力 DC オフセットが強制的に $-700mV$ になります。絶対最大定格未満の電圧であっても、 $1.5V$ を超える電圧を加えると、ラッチアップが発生する可能性があります。
7	FLT2	チャンネル 2 のフィルタ・ピン。FLT2 を $1\mu F$ のコンデンサを介して負電源に接続します。
8, 18	VNEG	アナログ負電源電圧。単電源動作の場合は VNEG を $0V$ （公称値）に設定し、両電源動作の場合は VNEG を $-2V$ （公称値）に設定します。この電圧を VPOS ピンの電圧に関連した許容可能なピン電圧に保つために、 $(V_{POS} - V_{NEG}) \leq 5V$ 、 $V_{NEG} \leq COMM \leq V_{POS}$ 、および $-2.5V \leq V_{NEG} \leq 0V$ に保ってください。2 つの VNEG ピンはチップ上で電氣的に接続され、露出パッドにも接続されています。両方の VNEG ピンと露出パッドを負電源電圧に接続します。
9	PWD	チップ・パワーダウン。両方のチャンネルをディスエーブルするには、VNEG 電源に接続します。イネーブルするには、未接続のままにします。 $V_{PWD} \leq (V_{NEG} + 3.3V)$ に保ってください。
10, 16	VPOS	アナログ正電源電圧。単電源動作の場合は VPOS を $5V$ （公称値）に設定し、両電源動作の場合は VPOS を $3V$ （公称値）に設定します。この電圧を VNEG ピンの電圧に関連した許容可能なピン電圧に保つために、 $(V_{POS} - V_{NEG}) \leq 5V$ 、 $V_{NEG} \leq COMM \leq V_{POS}$ 、および $V_{POS} \geq 2.3V$ に保ってください。2 つの VPOS ピンはチップ上で電氣的に接続されています。両方の VPOS ピンを正電源電圧に接続します。
11, 12	OPM2, OPP2	チャンネル 2 の差動出力。これらの出力の差動出力インピーダンスは 16Ω です。
13	VOCM	出力コモンモード電圧制御。公称制御範囲は、 $(V_{POS} + V_{NEG})/2 - 200mV \sim (V_{POS} + V_{NEG})/2 + 200mV$ です。VOCM を $0V$ にすると、出力コモンモード電圧が $0V$ になります。 $(V_{POS} + V_{NEG})/2$ に自己バイアスされます。絶対最大定格未満の電圧であっても、 $(V_{VPOS} + V_{VNEG})/2 \pm 1V$ を超える電圧を加えると、ラッチアップが発生する可能性があります。
14, 15	OPP1, OPM1	チャンネル 2 の差動出力。これらの出力の差動出力インピーダンスは 16Ω です。
17	VGN	VGA アナログ・ゲイン制御。VGN ピンは、 $45mV/dB$ のゲイン・スケーリングの場合に $0V \sim 1.5V$ で動作します。絶対最大定格未満の電圧であっても、 $1.5V$ を超える電圧を加えると、ラッチアップが発生する可能性があります。
19	FLT1	チャンネル 1 のフィルタ・ピン。FLT1 を $1\mu F$ のコンデンサを介して負電源に接続します。
20	OFS1	チャンネル 1 の出力 DC オフセット制御。公称制御範囲は、アナログ・グラウンドを基準として $0.3V \sim 1.2V$ です。OFSx を $0.75V$ にすると、出力オフセット電圧が $0V$ になります。OFS1 は自己バイアスされません。OFS1 は駆動する必要があります。OFS1 は $5k\Omega$ の内蔵抵抗を介してグラウンドに接続されているため、未接続のままにすると、出力 DC オフセットが強制的に $-700mV$ になります。
EP		露出パッド。露出パッドは内部で VNEG に接続されているため、負電源にハンダ付けする必要があります。

代表的な性能特性

単電源動作

特に指定のない限り、 $V_{POS} = 5V$ 、 $V_{NEG} = 0V$ 、 $T_A = 25^\circ C$ 、 $Z_{LOAD} = 186\Omega$ 、 $V_{GN} = 1.5V$ 、 $V_{OCM} = 2.5V$ 、 $OFS1 = OFS2 = 0.75V$ 、出力レベル = $1.5V$ p-pで、 43Ω の逆終端抵抗は組み込まれていません。ノイズ指数は、差動入力を 100Ω で終端して測定しています。IMD2トーンおよびIMD3トーンは、最も厳しい場合を報告しています。 V_{OFSx} 掃引 = $0V$ 、 $0.4V$ 、 $0.75V$ 、または $1.2V$ 。 V_{OCM} 掃引 = $2.4V$ 、 $2.5V$ 、または $2.6V$ 。

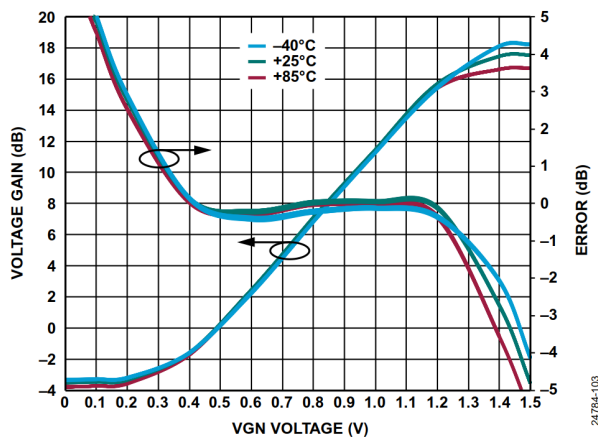


図 3. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、500MHz

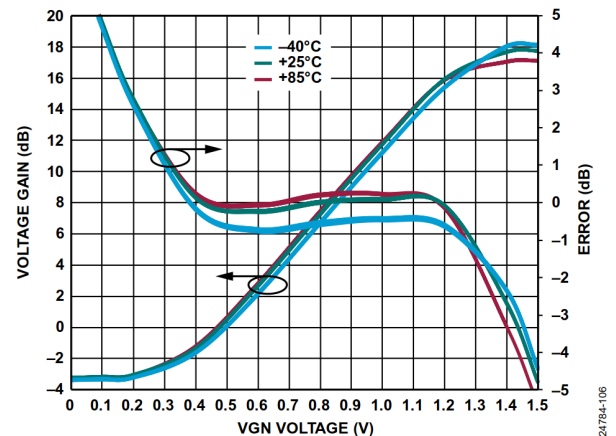


図 6. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、1GHz

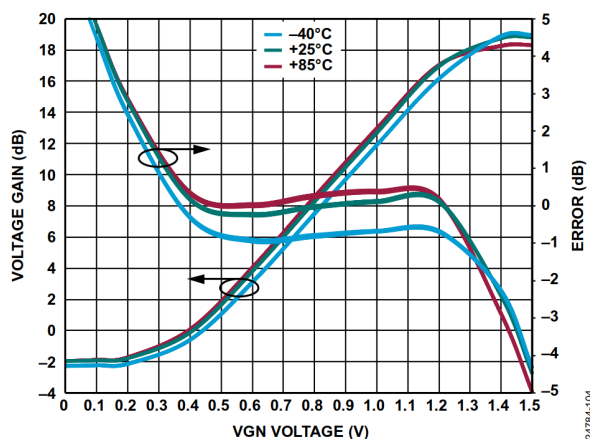


図 4. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、2GHz

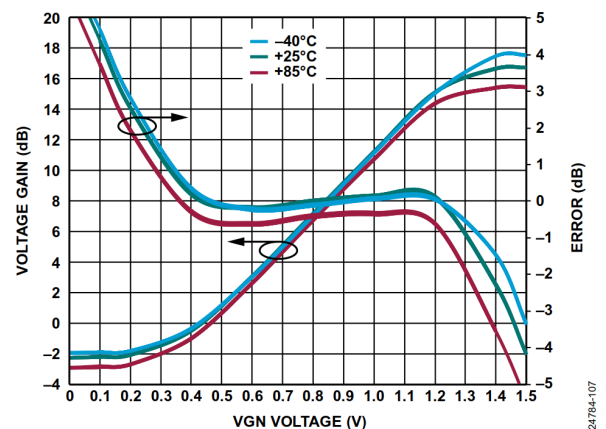


図 7. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、3GHz

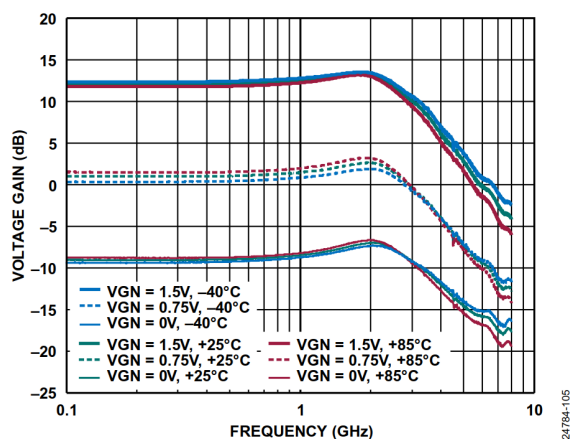


図 5. 様々な温度および VGN での電圧ゲインの周波数特性、 43Ω の逆終端抵抗が組み込まれている

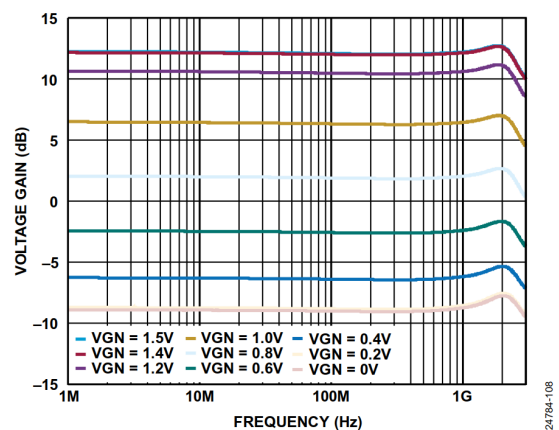


図 8. VGN を 200mV ステップで変化させた場合の電圧ゲインの周波数特性、 43Ω の逆終端抵抗が組み込まれている

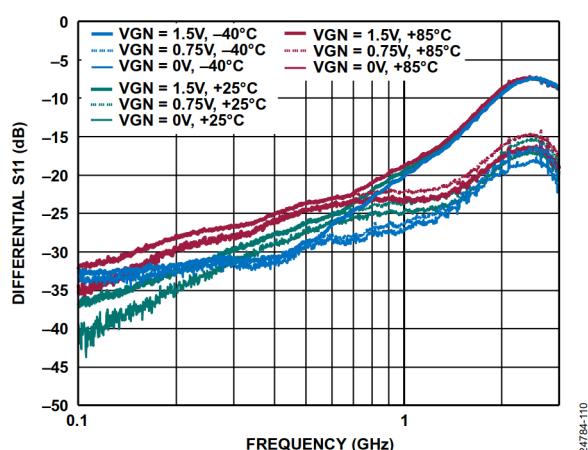


図 9. 様々な温度および VGN での
差動入力リターン・ロス (S11) の周波数特性

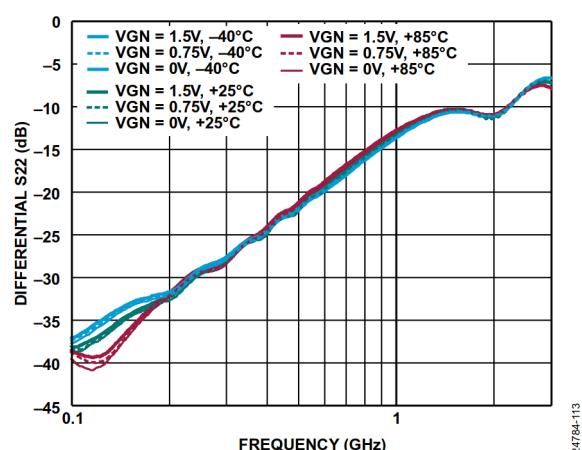


図 12. 様々な温度および VGN での
差動出力リターン・ロス (S22) の周波数特性

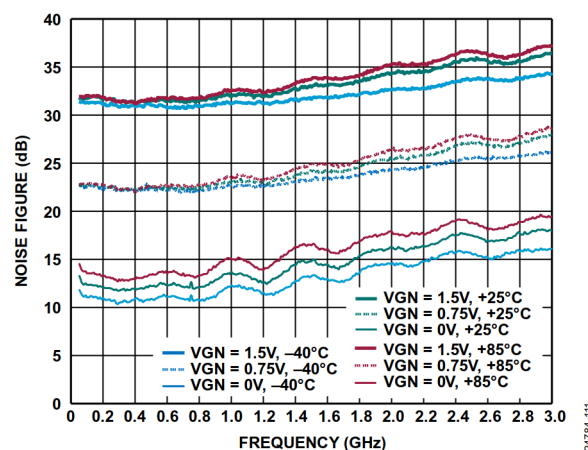


図 10. 様々な温度および VGN でのノイズ指数の周波数特性

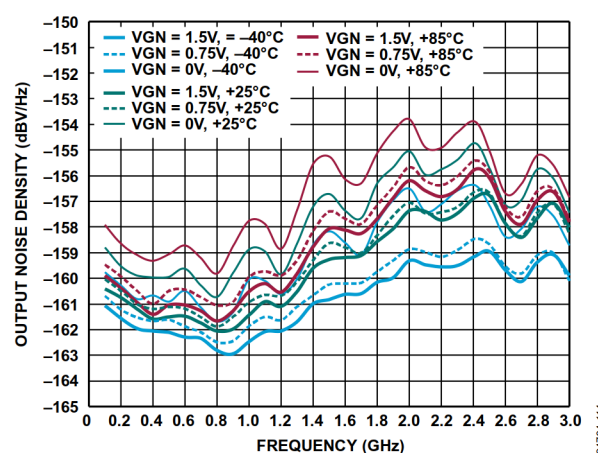


図 13. 様々な温度および VGN での出力ノイズ密度の周波数特性

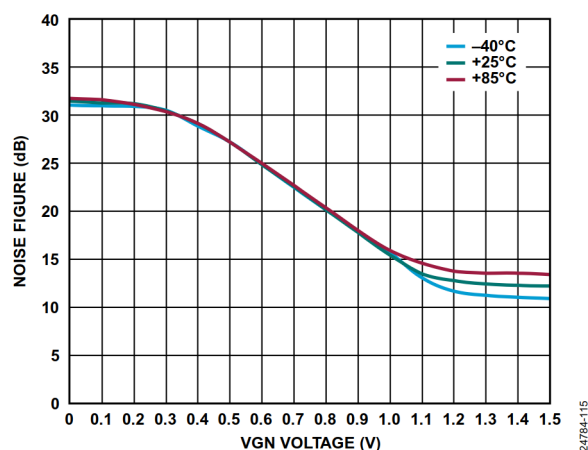


図 11. 様々な温度でのノイズ指数と VGN 電圧の関係、500MHz

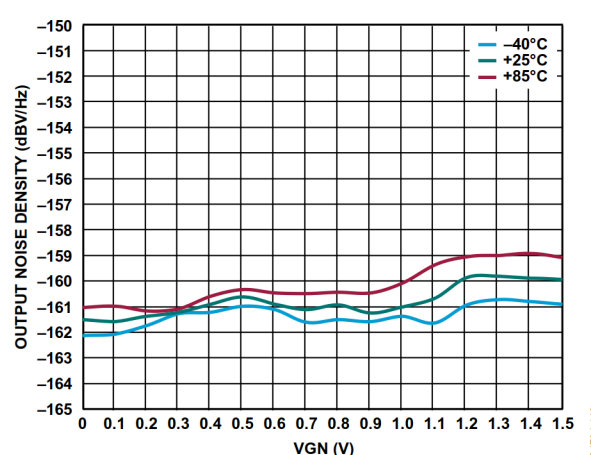


図 14. 様々な温度での出力ノイズ密度と VGN の関係、500MHz

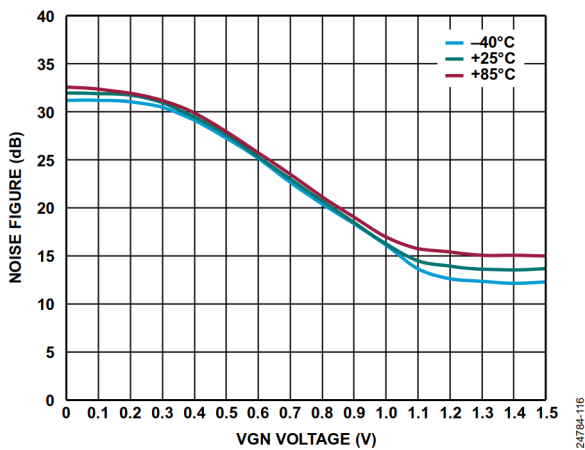


図 15. 様々な温度でのノイズ指数と VGN 電圧の関係、1GHz

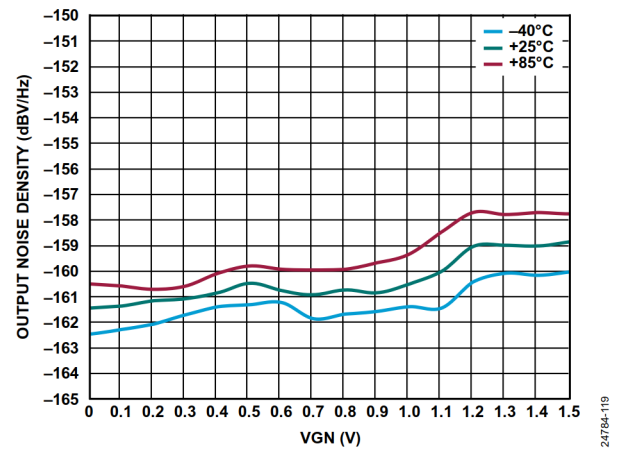


図 18. 様々な温度での出力ノイズ密度と VGN の関係、1GHz

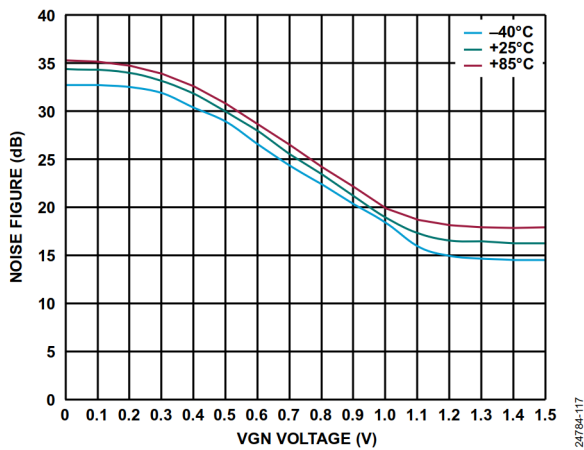


図 16. 様々な温度でのノイズ指数と VGN 電圧の関係、2GHz

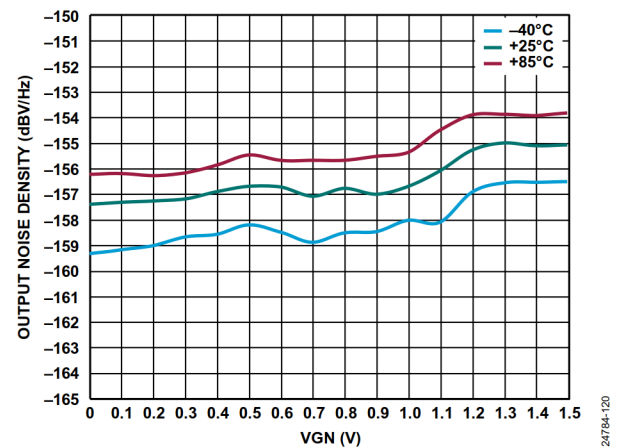


図 19. 様々な温度での出力ノイズ密度と VGN の関係、2GHz

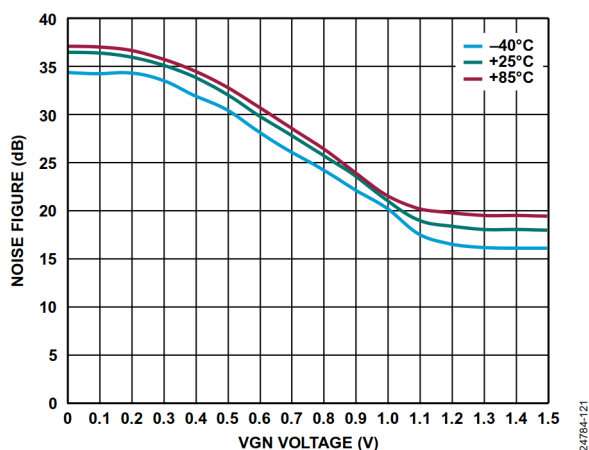


図 17. 様々な温度でのノイズ指数と VGN 電圧の関係、3GHz

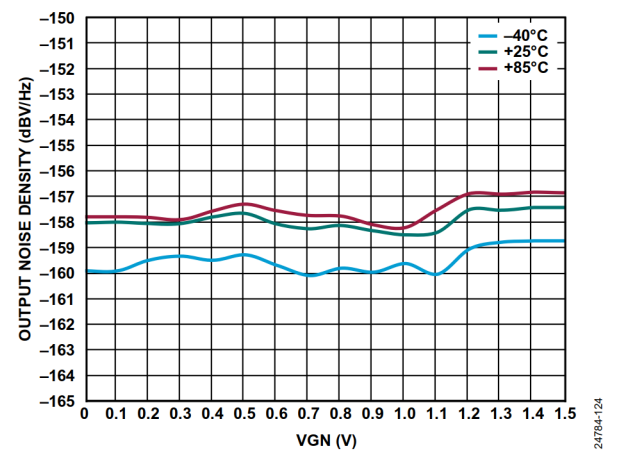


図 20. 様々な温度での出力ノイズ密度と VGN の関係、3GHz

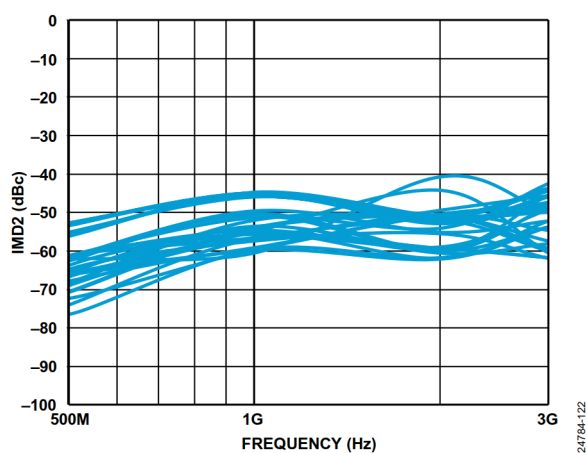


図 21. 様々な VGN および OFSx での IMD2 の周波数特性

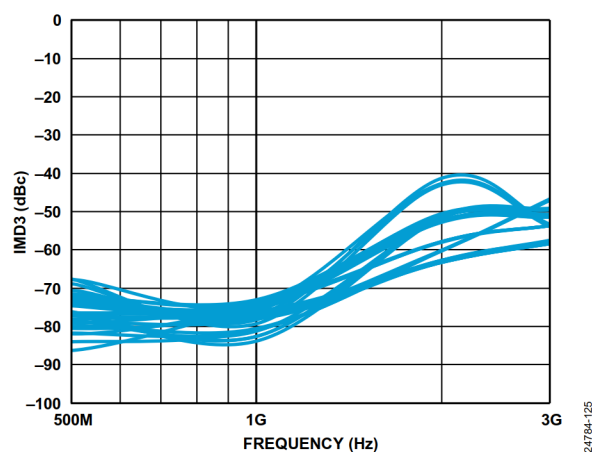


図 24. 様々な VGN および OFSx での IMD3 の周波数特性

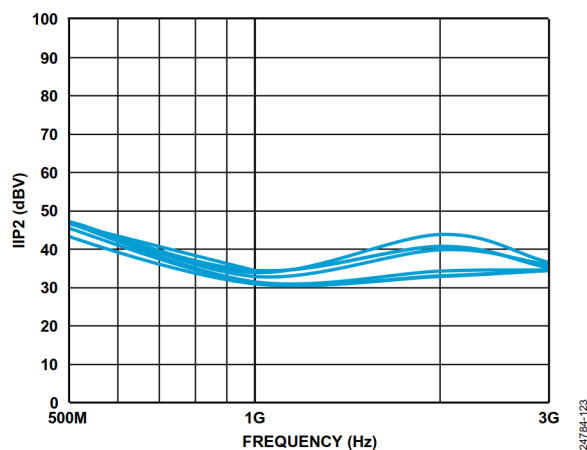


図 22. 様々な VGN での IIP2 の周波数特性

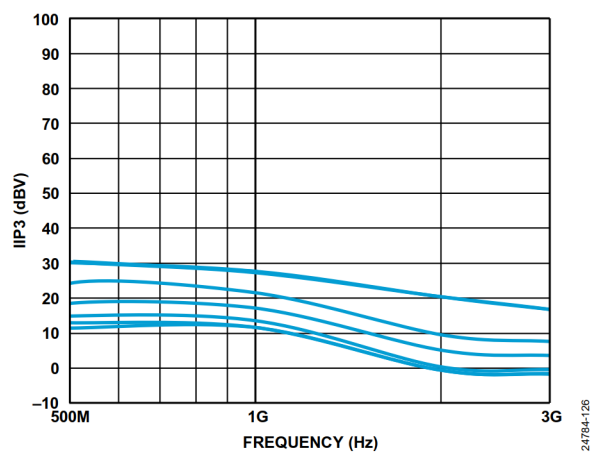


図 25. 様々な VGN での IIP3 の周波数特性

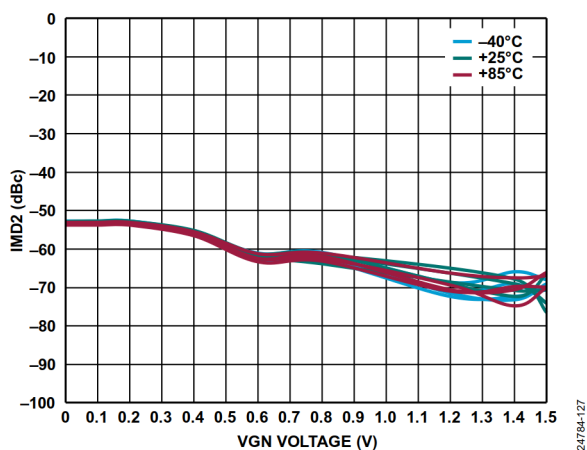


図 23. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、500MHz

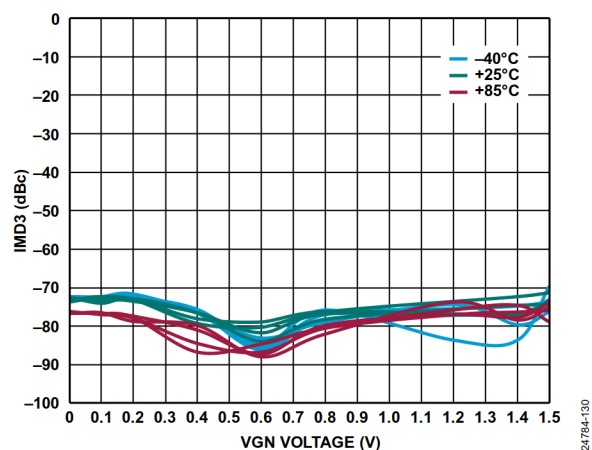


図 26. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、500MHz

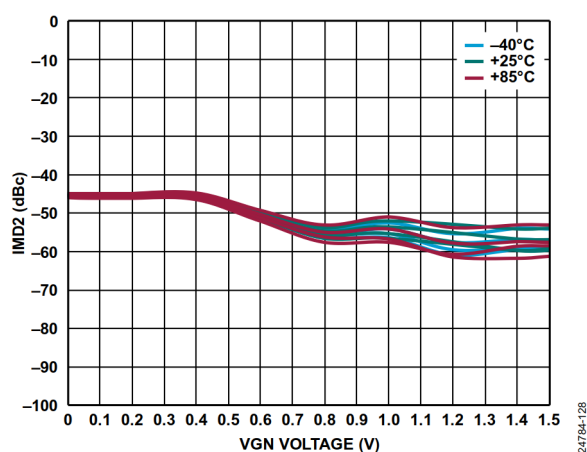


図 27. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、1GHz

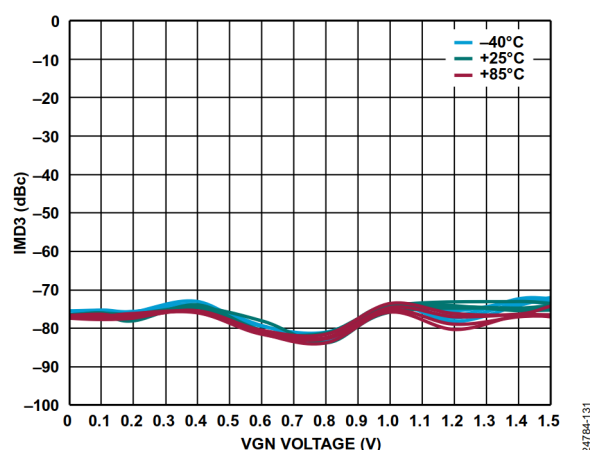


図 30. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、1GHz

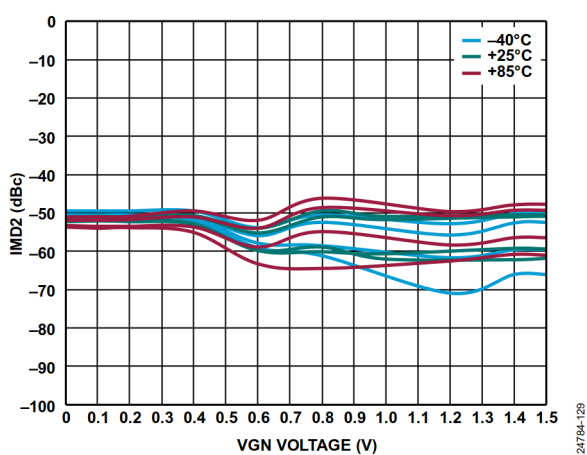


図 28. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、2GHz

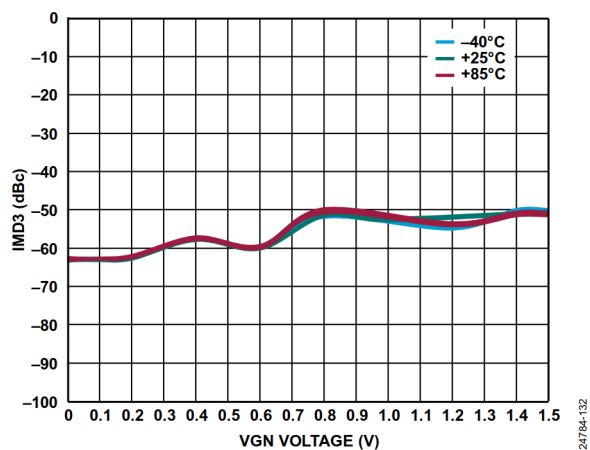


図 31. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、2GHz

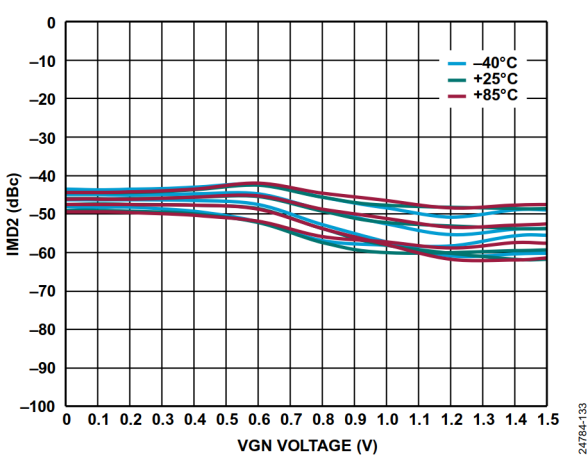


図 29. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、3GHz

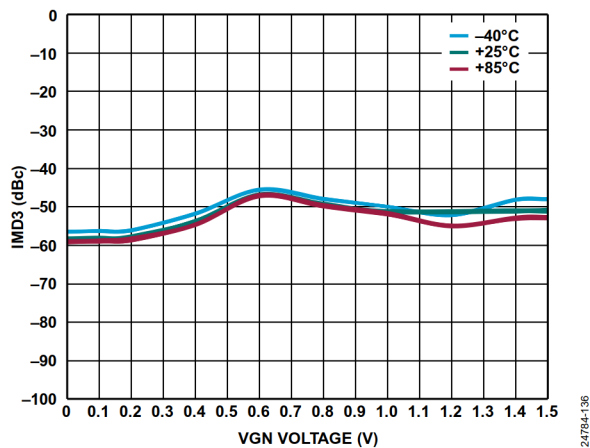


図 32. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、3GHz

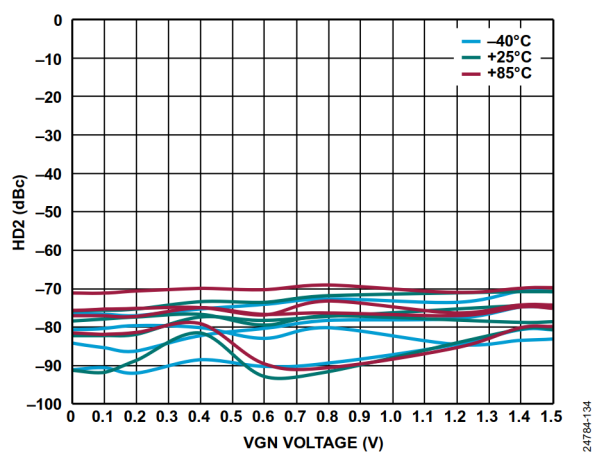


図 33. 様々な温度および OFSx での HD2 と VGN 電圧の関係、500MHz

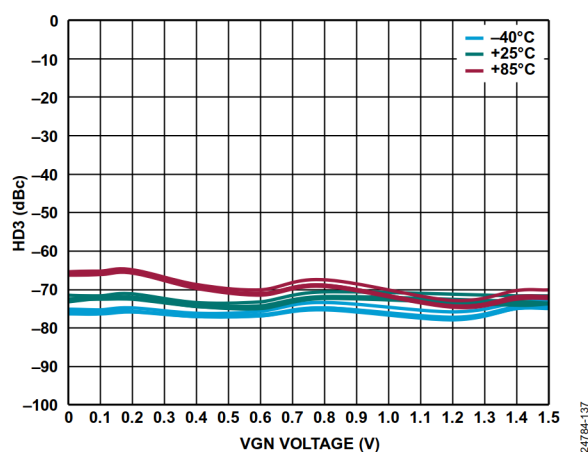


図 36. 様々な温度および OFSx での HD3 と VGN 電圧の関係、500MHz

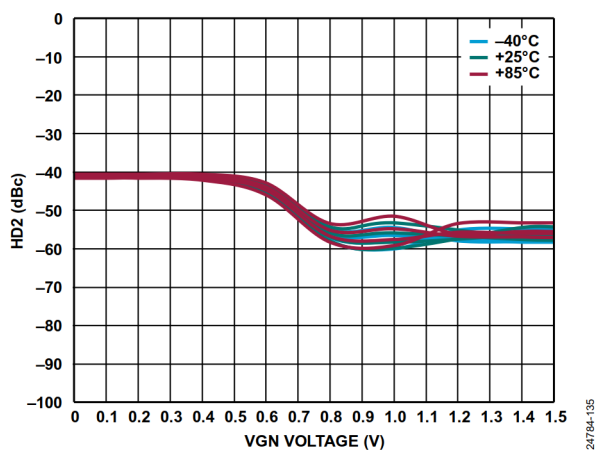


図 34. 様々な温度および OFSx での HD2 と VGN 電圧の関係、1GHz

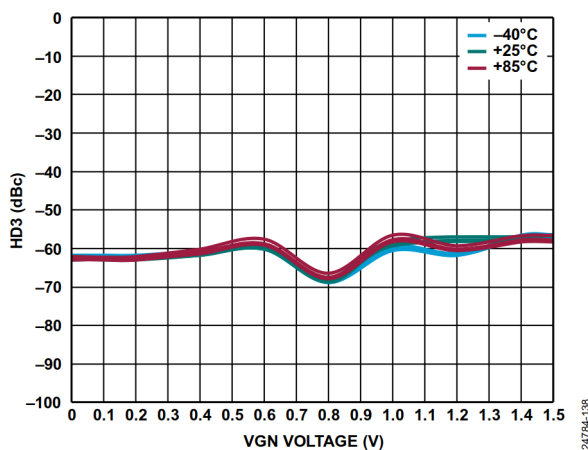


図 37. 様々な温度および VOCM での HD3 と VGN 電圧の関係、1GHz

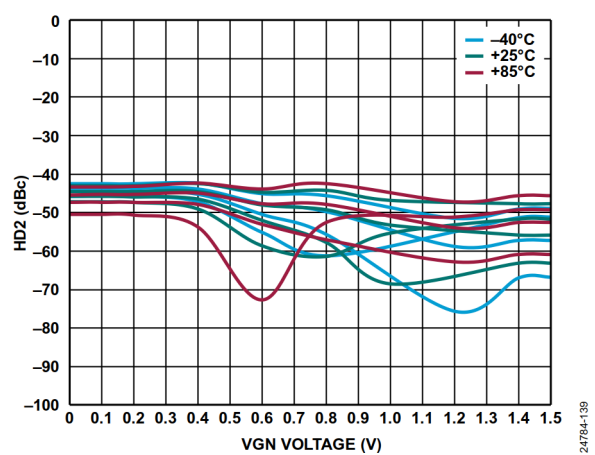


図 35. 様々な温度および OFSx での HD2 と VGN 電圧の関係、2GHz

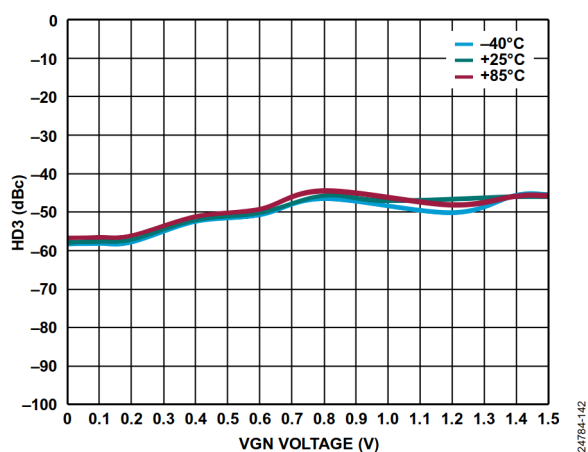


図 38. 様々な温度および OFSx での HD3 と VGN 電圧の関係、2GHz

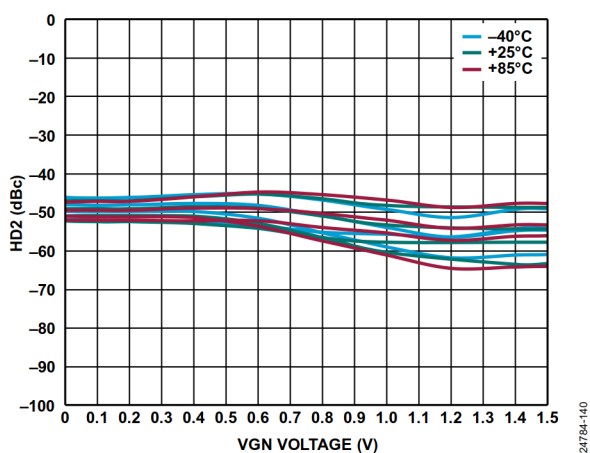


図 39. 様々な温度および OFSx での HD2 と VGN 電圧の関係、3GHz

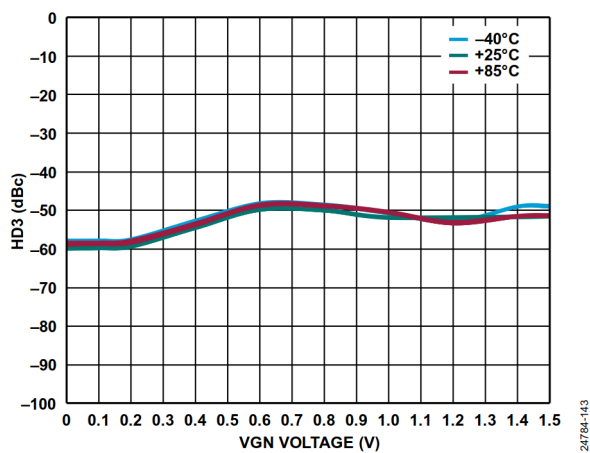


図 42. 様々な温度および OFSx での HD3 と VGN 電圧の関係、3GHz

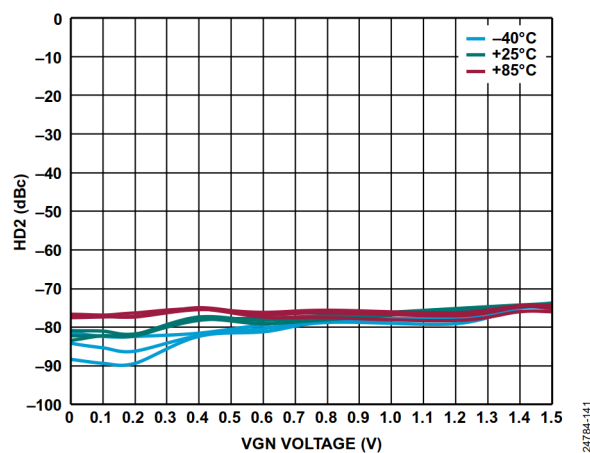


図 40. 様々な温度および VOCM での HD2 と VGN 電圧の関係、500MHz

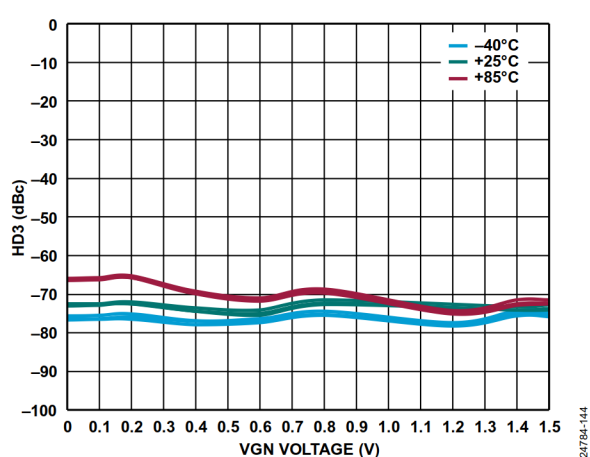


図 43. 様々な温度および VOCM での HD3 と VGN 電圧の関係、500MHz

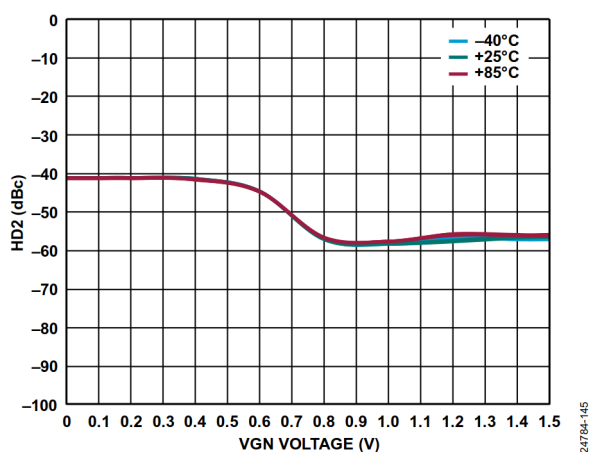


図 41. 様々な温度および VOCM での HD2 と VGN 電圧の関係、1GHz

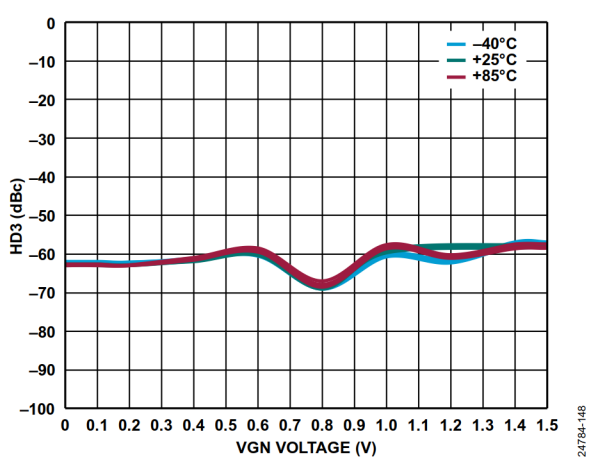


図 44. 様々な温度および VOCM での HD3 と VGN 電圧の関係、1GHz

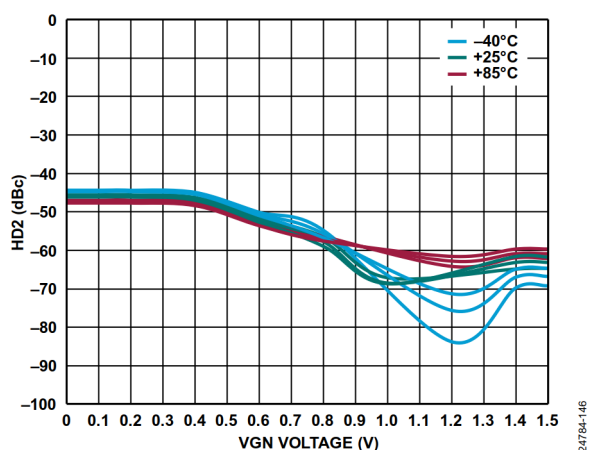


図 45. 様々な温度および VOCM での HD2 と VGN 電圧の関係、2GHz

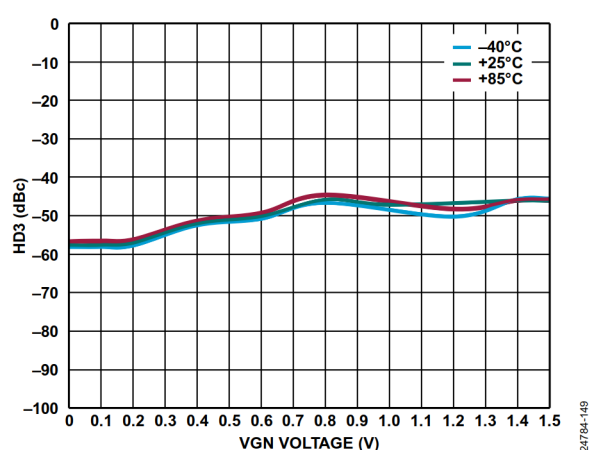


図 48. 様々な温度および VOCM での HD3 と VGN 電圧の関係、2GHz

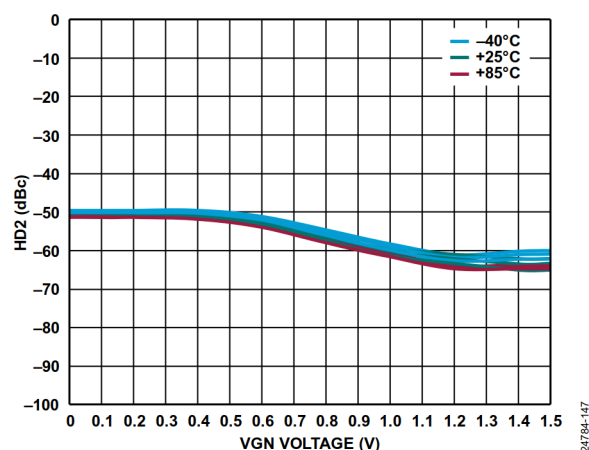


図 46. 様々な温度および VOCM での HD2 と VGN 電圧の関係、3GHz

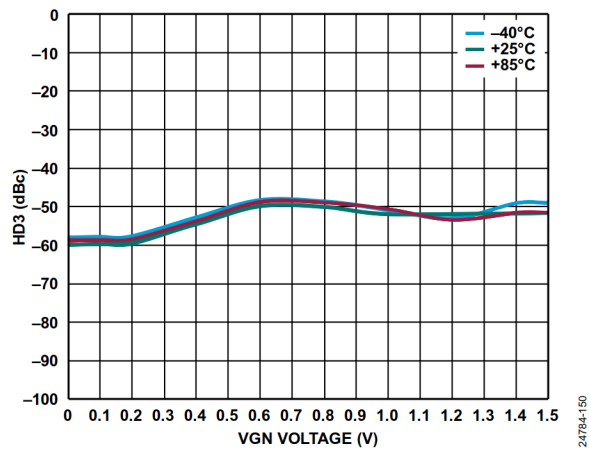


図 49. 様々な温度および VOCM での HD3 と VGN 電圧の関係、3GHz

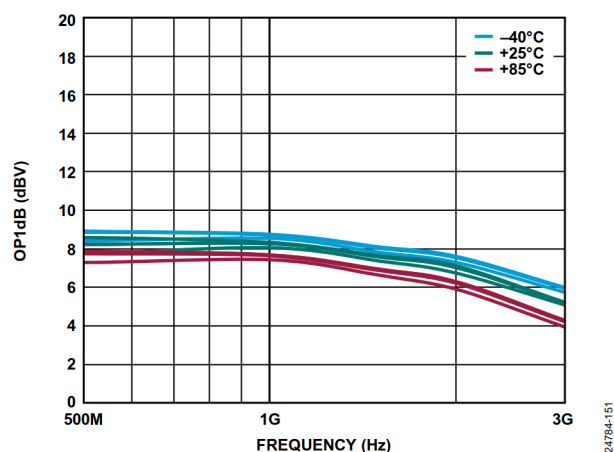


図 47. 様々な温度および OFSx での OP1dB の周波数特性

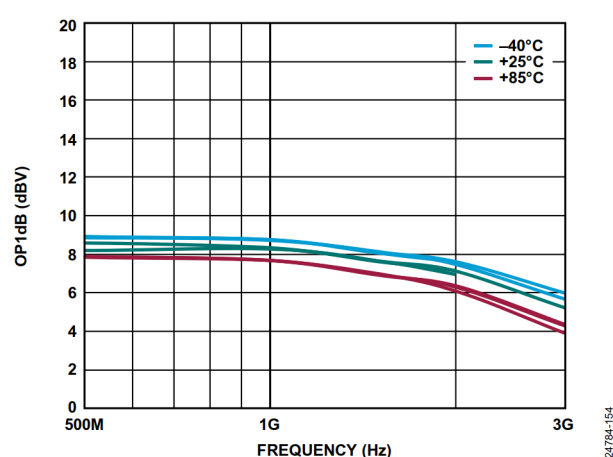


図 50. 様々な温度および VOCM での OP1dB の周波数特性

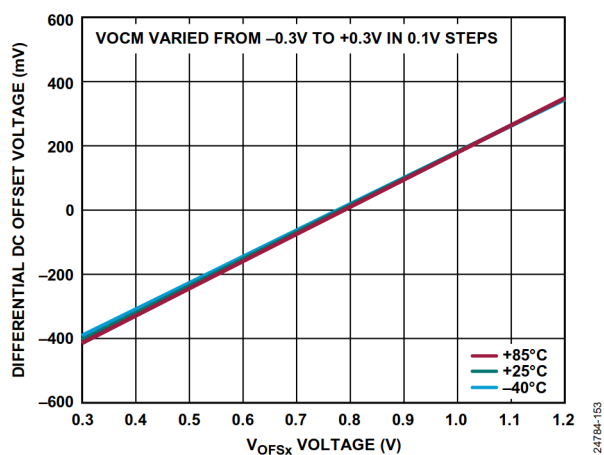


図 51. 様々な温度および V_OCM での差動 DC オフセット電圧と V_{OFSx} 電圧の関係

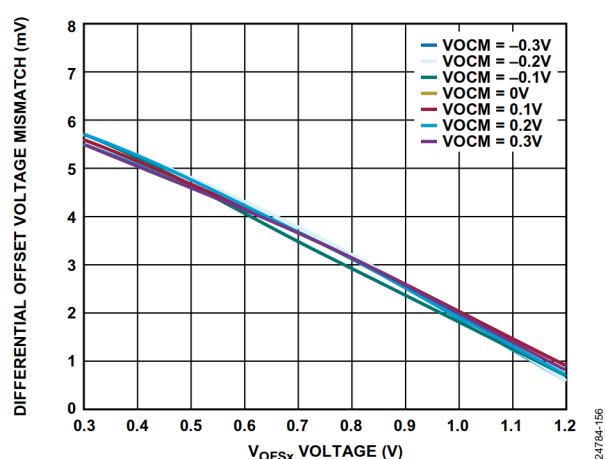


図 54. 様々な V_OCM での差動オフセット電圧ミスマッチ (チャンネル間) と V_{OFSx} 電圧の関係

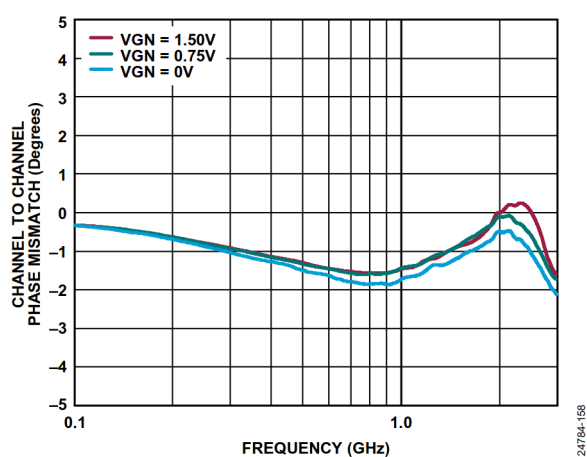


図 52. 様々な VGN でのチャンネル間位相ミスマッチの周波数特性

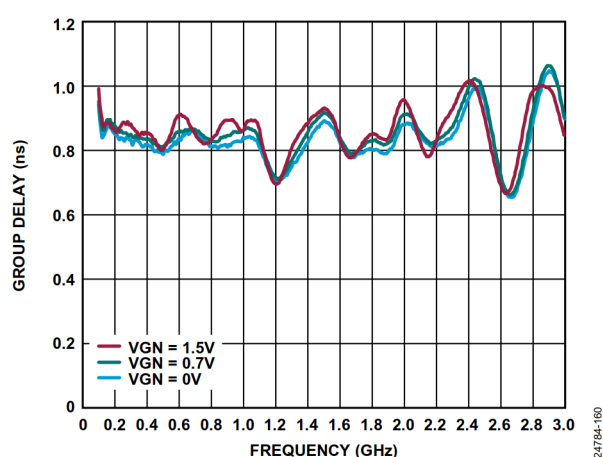


図 55. 様々な VGN での群遅延の周波数特性

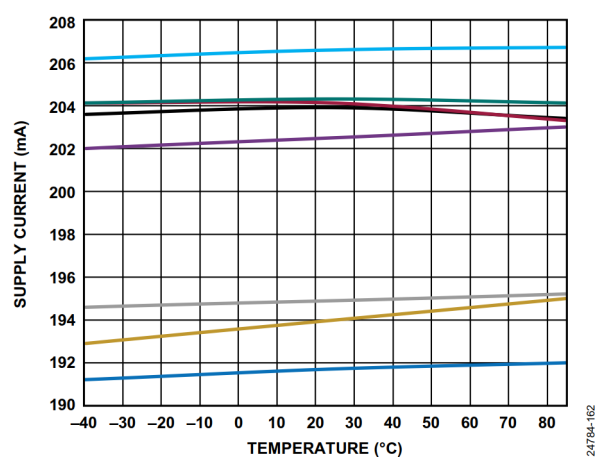


図 53. 多数のデバイスを対象とした電源電流の温度特性

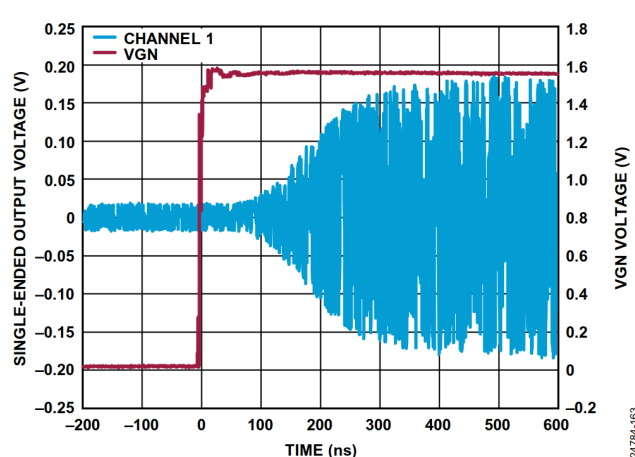


図 56. VGA ステップ応答の立上がり時間、最小ゲインから最大ゲインまで

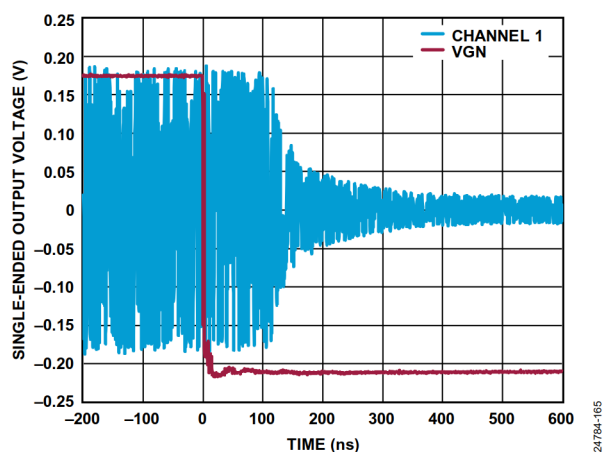


図 57. VGA ステップ応答の立下がり時間、
最大ゲインから最小ゲインまで

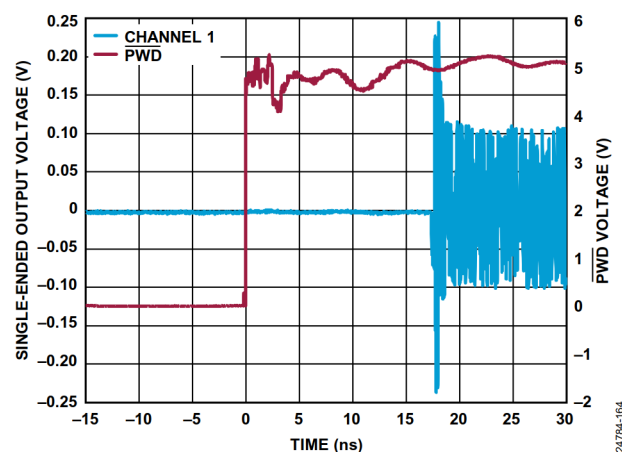


図 59. イネーブル応答時間

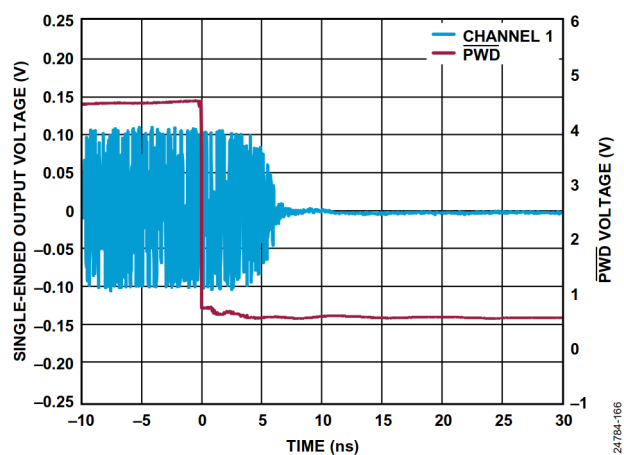


図 58. ディスエーブル応答時間

両電源動作

特に指定のない限り、 $V_{POS} = 3V$ 、 $V_{NEG} = -2V$ 、 $T_A = 25^\circ C$ 、 $Z_{LOAD} = 186\Omega$ 、 $V_{GN} = 1.5V$ 、 $V_{OCM} = 0V$ 、 $OFS1 = OFS2 = 0.75V$ 、出力レベル = $1.5V$ p-pで、 43Ω の逆終端抵抗は組み込まれていません。ノイズ指数は、差動入力を 100Ω で終端して測定しています。IMD2トーンおよびIMD3トーンは、最も厳しい場合を報告しています。 V_{OFSx} 掃引 = $0V$ 、 $0.4V$ 、 $0.75V$ 、または $1.2V$ 。 V_{OCM} 掃引 = $-0.1V$ 、 $0V$ 、または $+0.1V$ 。

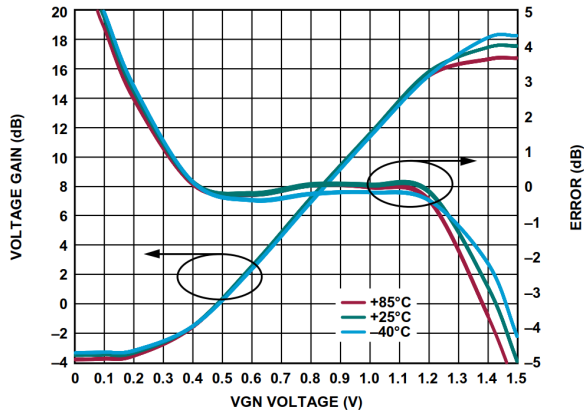


図 60. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、500MHz

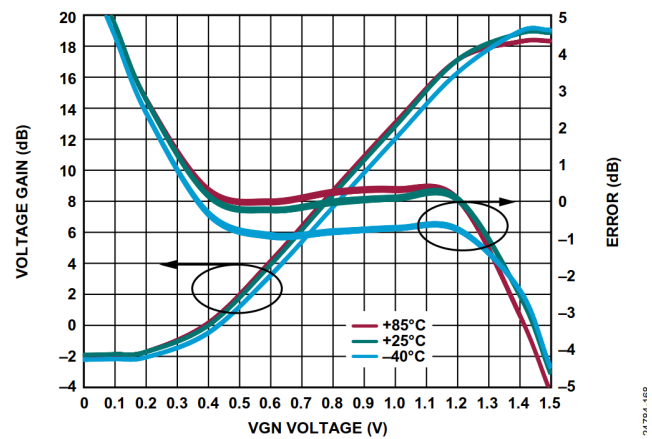


図 63. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、1GHz

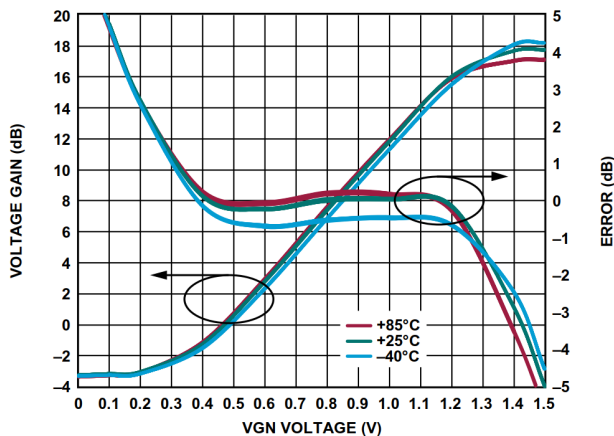


図 61. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、2GHz

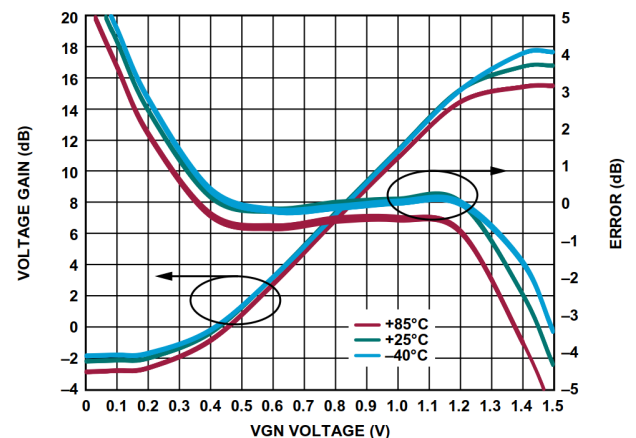


図 64. 様々な温度での電圧ゲインと VGN 電圧の関係、および誤差と VGN 電圧の関係、3GHz

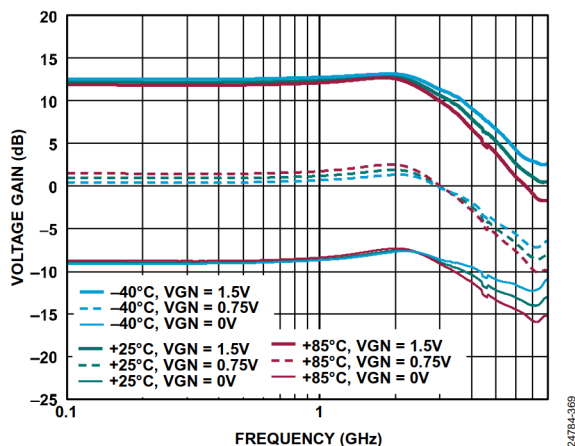


図 62. 様々な温度および VGN での電圧ゲインの周波数特性、 43Ω の逆終端抵抗が組み込まれている

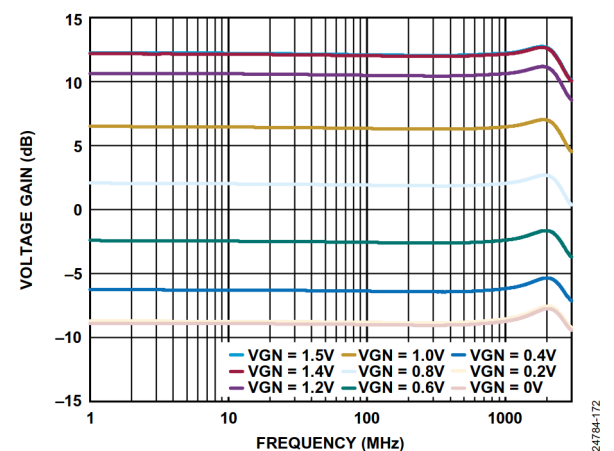


図 65. VGN を $200mV$ ステップで変化させた場合の電圧ゲインの周波数特性、 43Ω の逆終端抵抗が組み込まれている

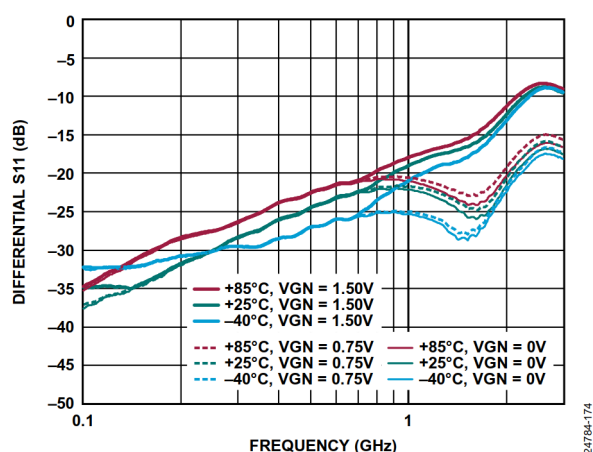


図 66. 様々な温度および VGN での差動 S11 の周波数特性

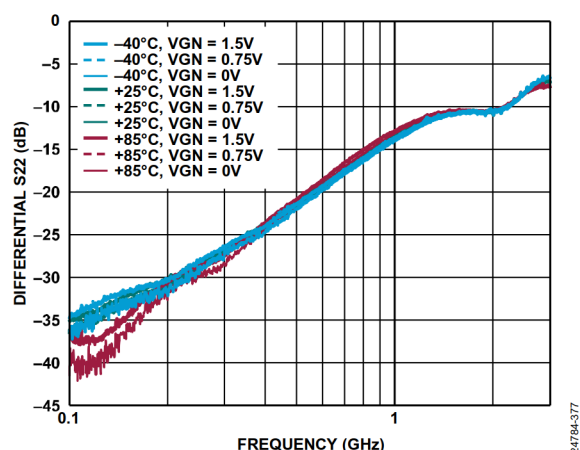


図 69. 様々な温度および VGN での差動 S22 の周波数特性、
43Ω の逆終端抵抗が組み込まれている

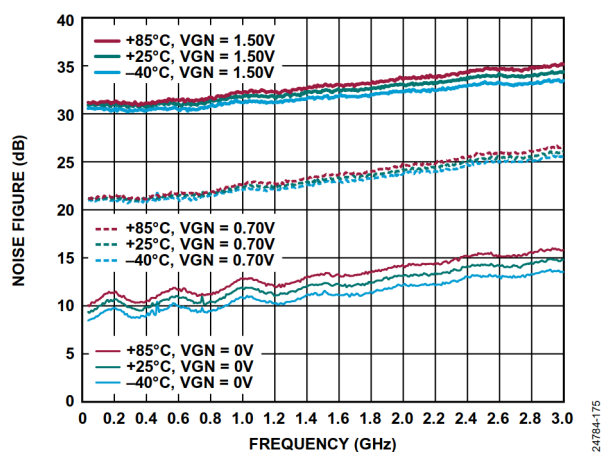


図 67. 様々な温度および VGN でのノイズ指数の周波数特性

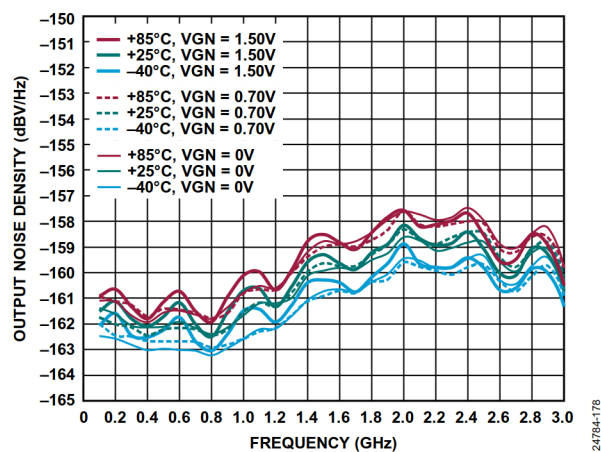


図 70. 様々な温度および VGN での出力ノイズ密度の周波数特性

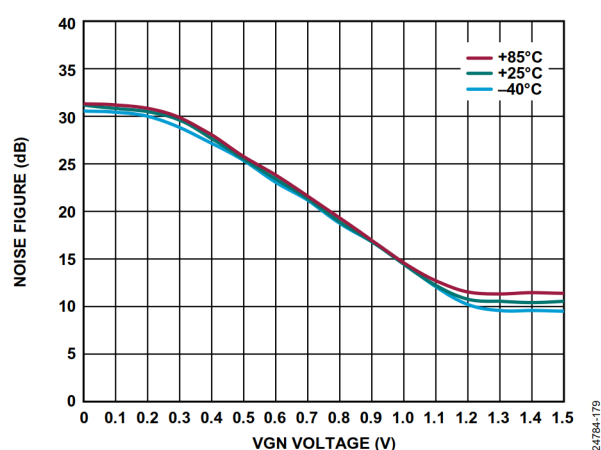


図 68. 様々な温度でのノイズ指数と VGN 電圧の関係、500MHz

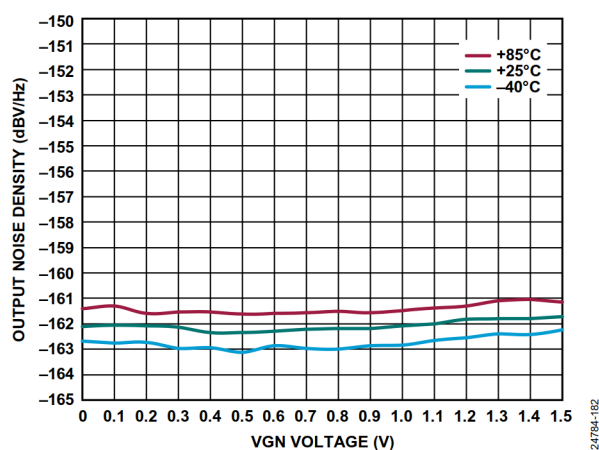


図 71. 様々な温度での出力ノイズ密度と VGN 電圧の関係、
500MHz

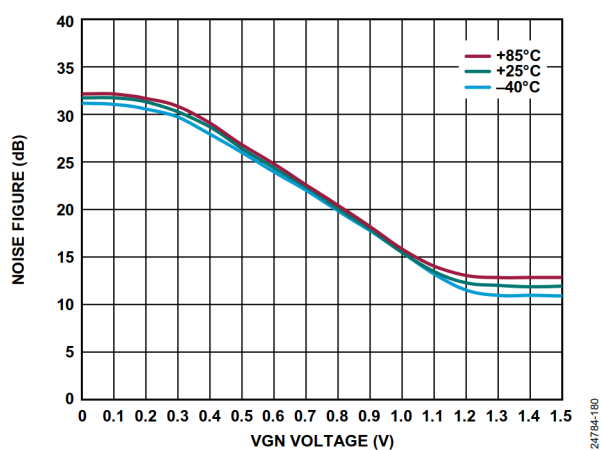


図 72. 様々な温度でのノイズ指数と VGN 電圧の関係、1GHz

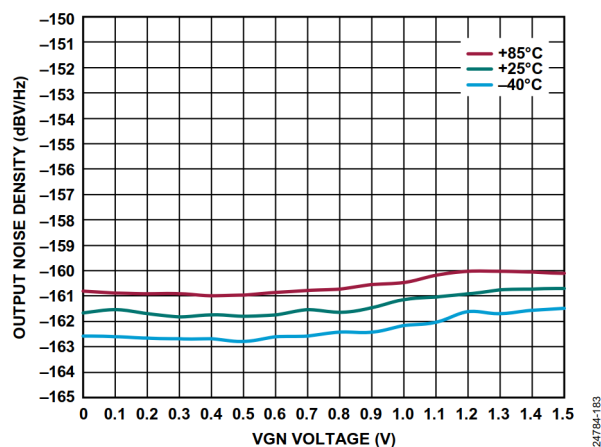


図 75. 様々な温度での出力ノイズ密度と VGN 電圧の関係、1GHz

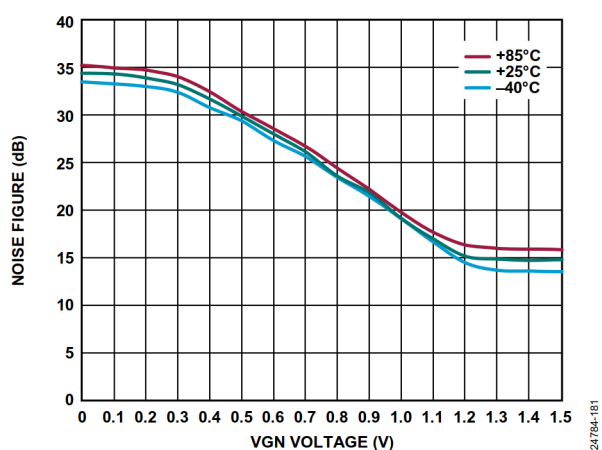


図 73. 様々な温度でのノイズ指数と VGN 電圧の関係、2GHz

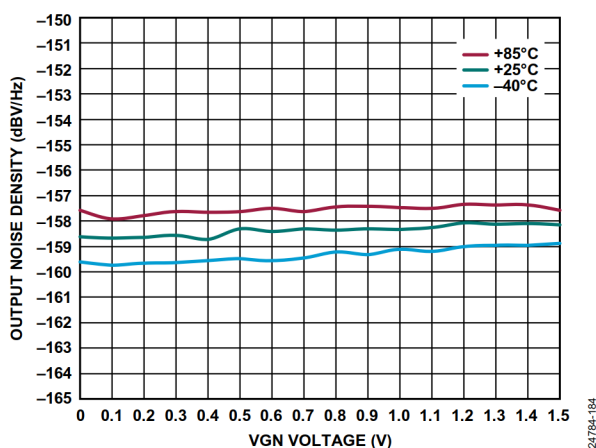


図 76. 様々な温度での出力ノイズ密度と VGN 電圧の関係、2GHz

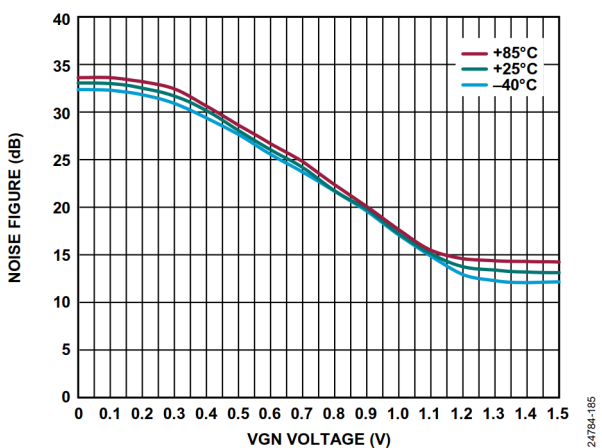


図 74. 様々な温度でのノイズ指数と VGN 電圧の関係、3GHz

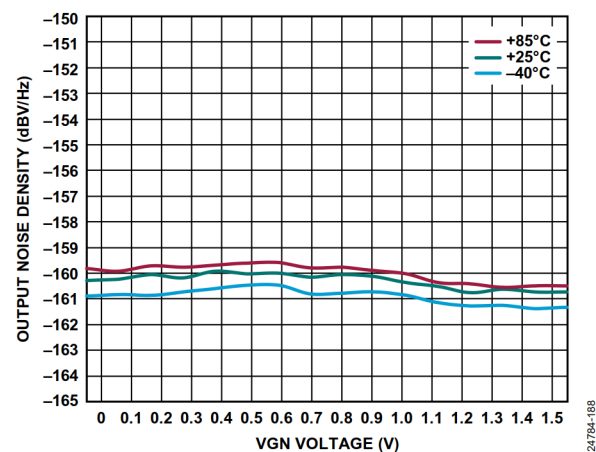


図 77. 様々な温度での出力ノイズ密度と VGN 電圧の関係、3GHz

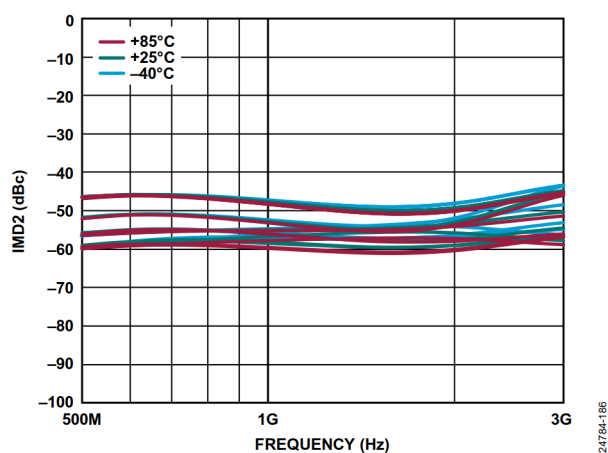


図 78. 様々な温度および VGN での IMD2 の周波数特性

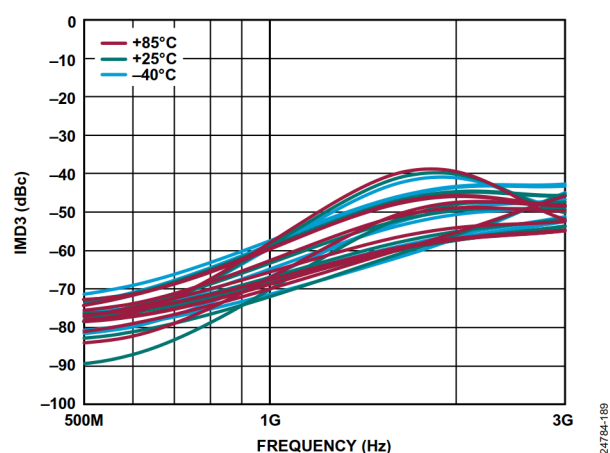


図 81. 様々な温度および VGN での IMD3 の周波数特性

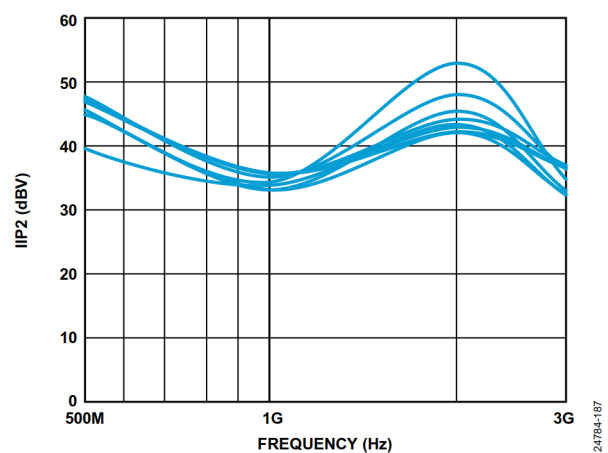


図 79. VGN を 200mV ステップで変化させた場合の IIP2 の周波数特性

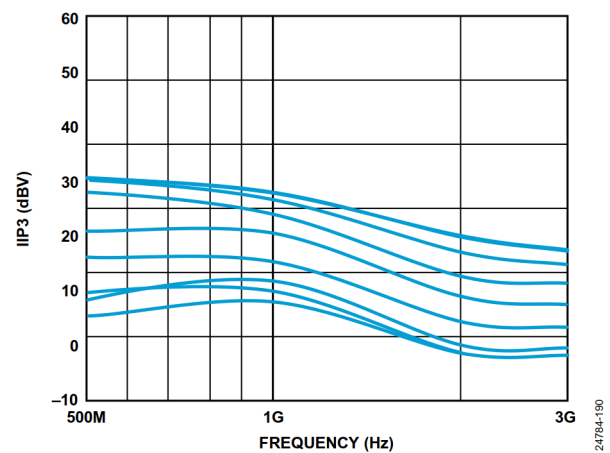


図 82. VGN を 200mV ステップで変化させた場合の IIP3 の周波数特性

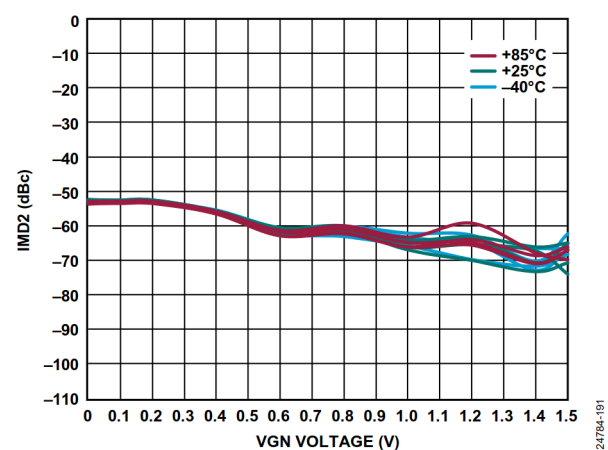


図 80. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、500MHz

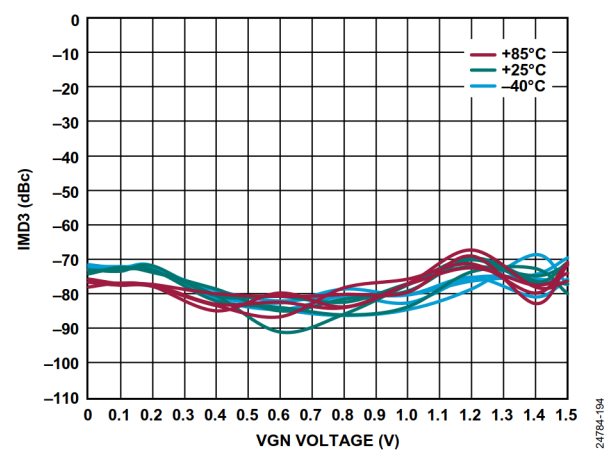


図 83. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、500MHz

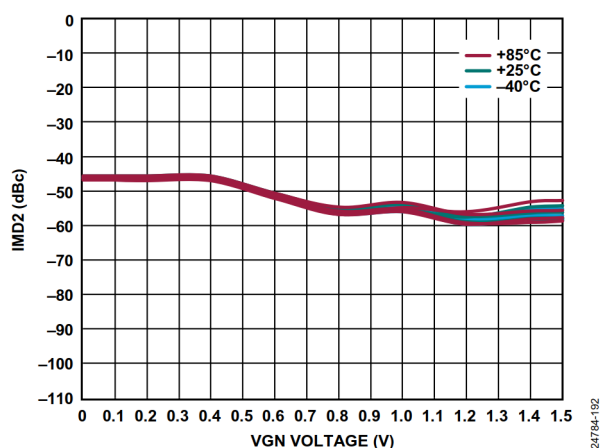


図 84. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、1GHz

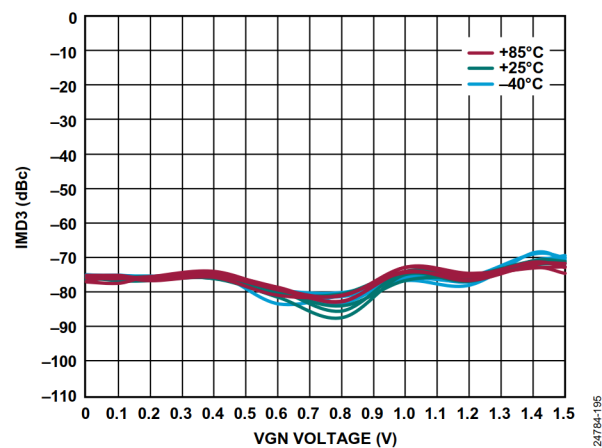


図 87. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、1GHz

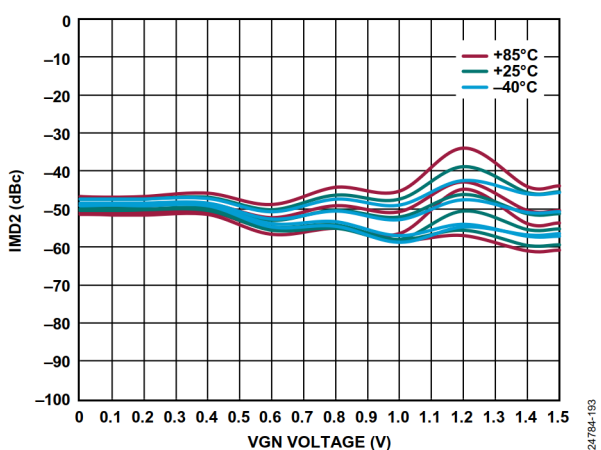


図 85. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、2GHz

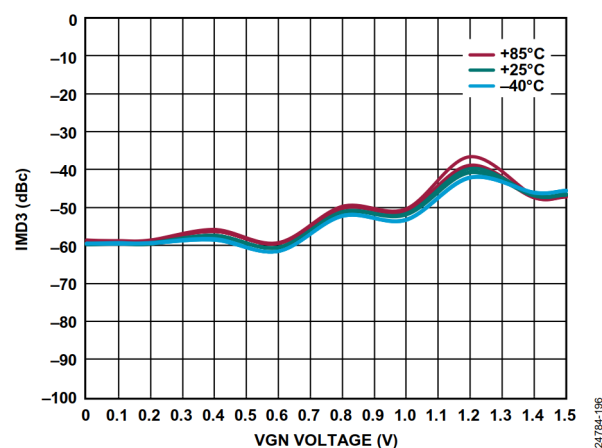


図 88. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、2GHz

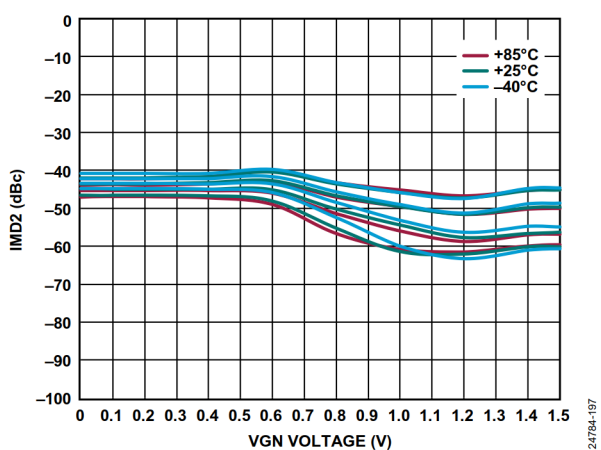


図 86. 様々な温度および OFSx での IMD2 と VGN 電圧の関係、3GHz

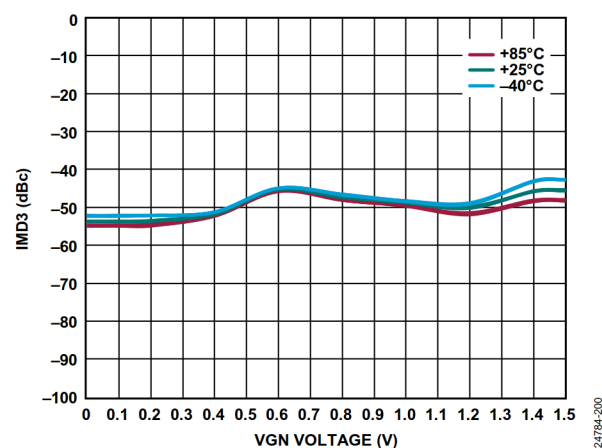


図 89. 様々な温度および OFSx での IMD3 と VGN 電圧の関係、3GHz

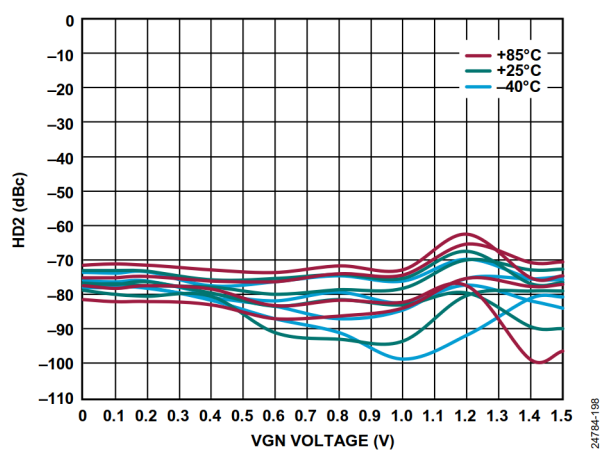


図 90. 様々な温度および OFSx での HD2 と VGN 電圧の関係、500MHz

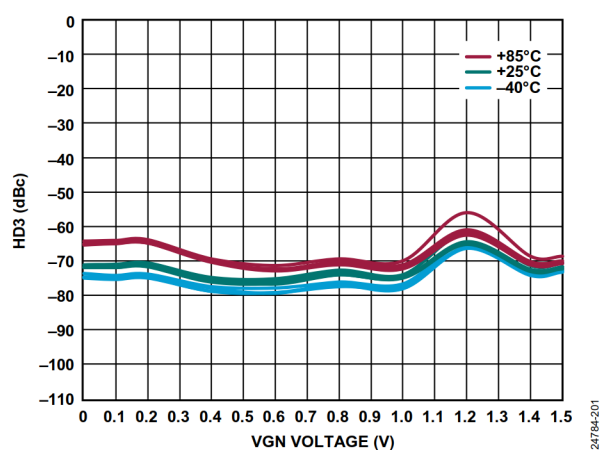


図 93. 様々な温度および OFSx での HD3 と VGN 電圧の関係、500MHz

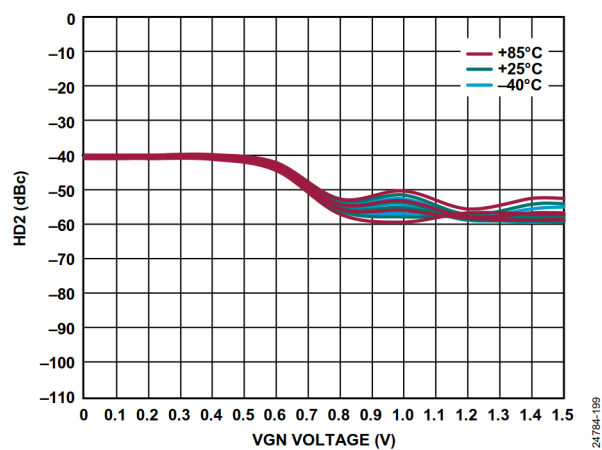


図 91. 様々な温度および OFSx での HD2 と VGN 電圧の関係、1GHz

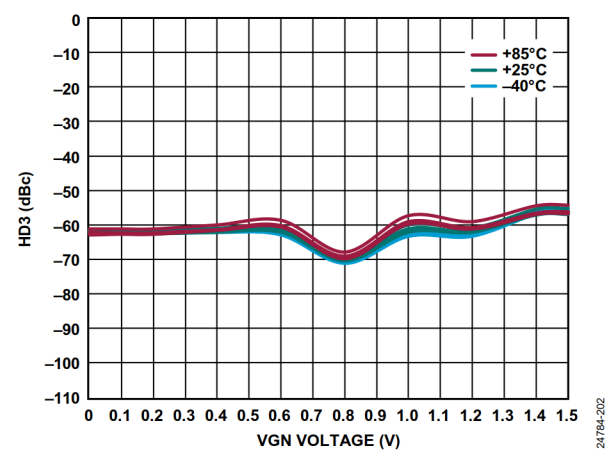


図 94. 様々な温度および OFSx での HD3 と VGN 電圧の関係、1GHz

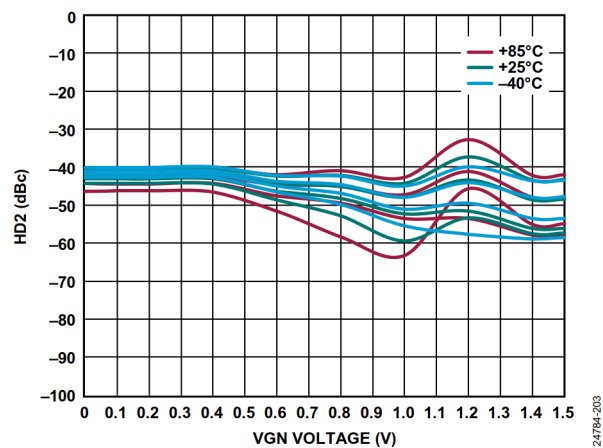


図 92. 様々な温度および OFSx での HD2 と VGN 電圧の関係、2GHz

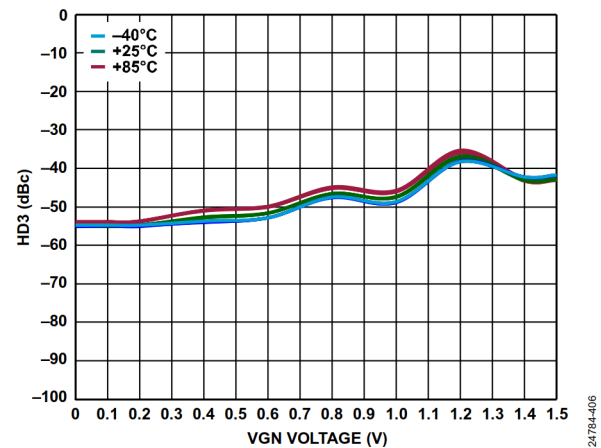


図 95. 様々な温度および OFSx での HD3 と VGN 電圧の関係、2GHz

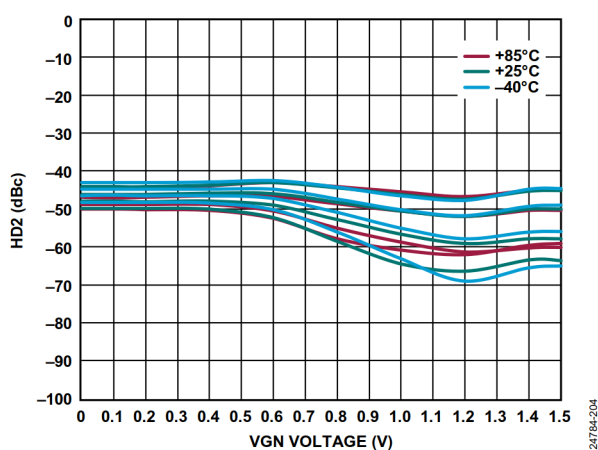


図 96. 様々な温度および OFSx での HD2 と VGN 電圧の関係、3GHz

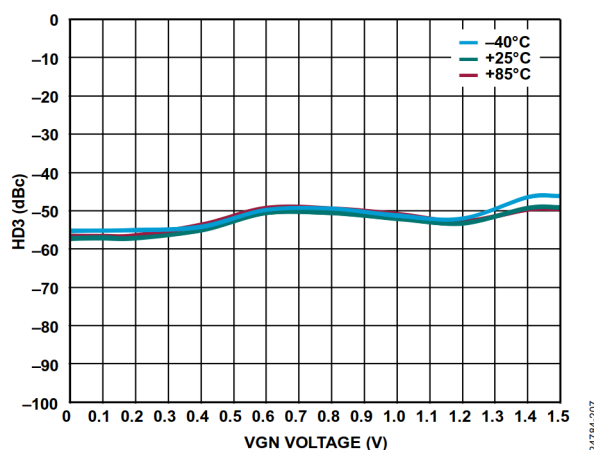


図 99. 様々な温度および OFSx での HD3 と VGN 電圧の関係、3GHz

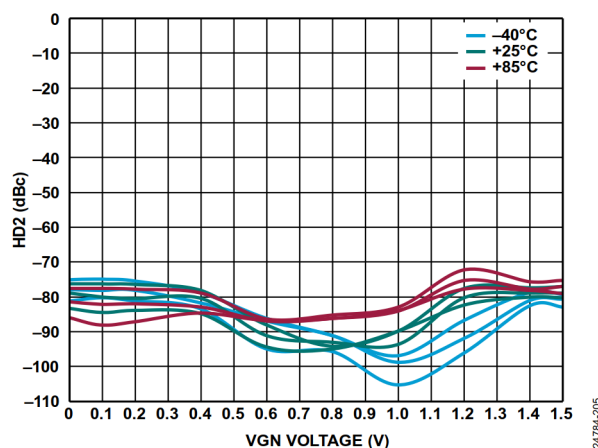


図 97. 様々な温度および VOCM での HD2 と VGN 電圧の関係、500MHz

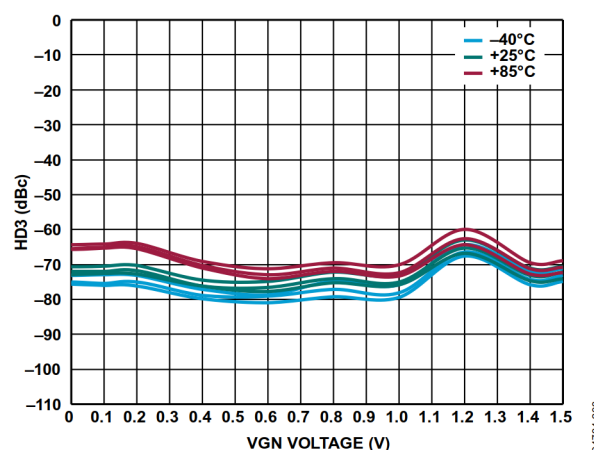


図 100. 様々な温度および VOCM での HD3 と VGN 電圧の関係、500MHz

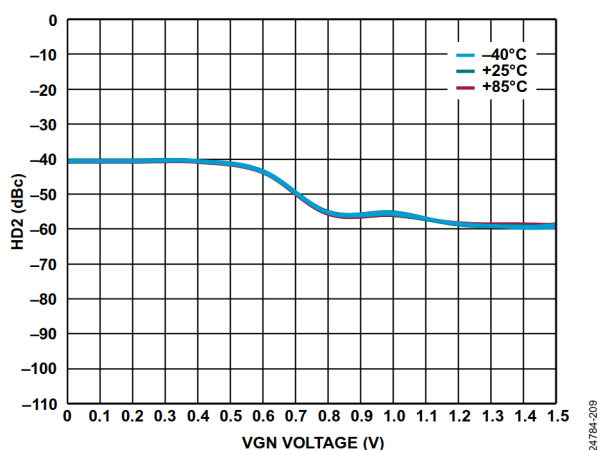


図 98. 様々な温度および VOCM での HD2 と VGN 電圧の関係、1GHz

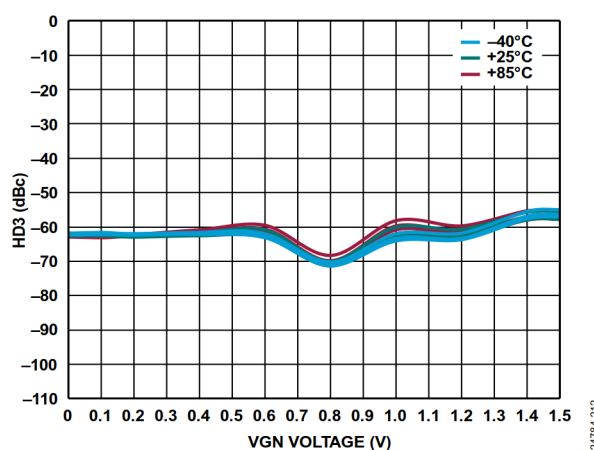


図 101. 様々な温度および VOCM での HD3 と VGN 電圧の関係、1GHz

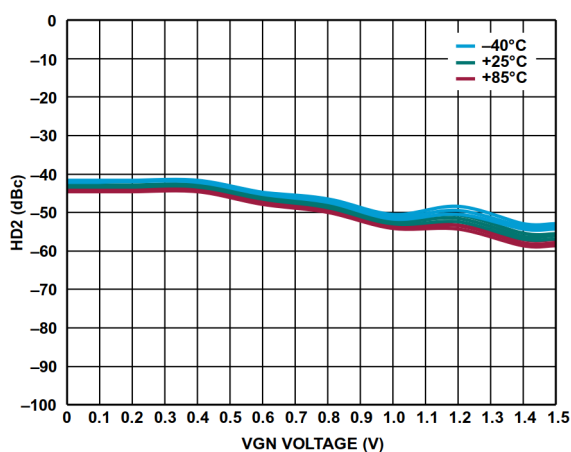


図 102. 様々な温度および VOCM での HD2 と VGN 電圧の関係、2GHz

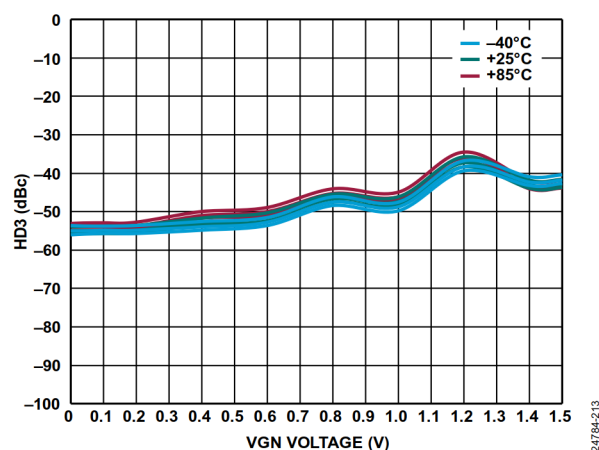


図 105. 様々な温度および VOCM での HD3 と VGN 電圧の関係、2GHz

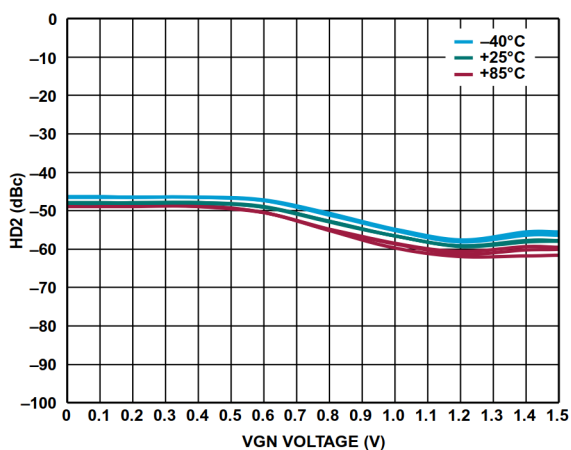


図 103. 様々な温度および VOCM での HD2 と VGN 電圧の関係、3GHz

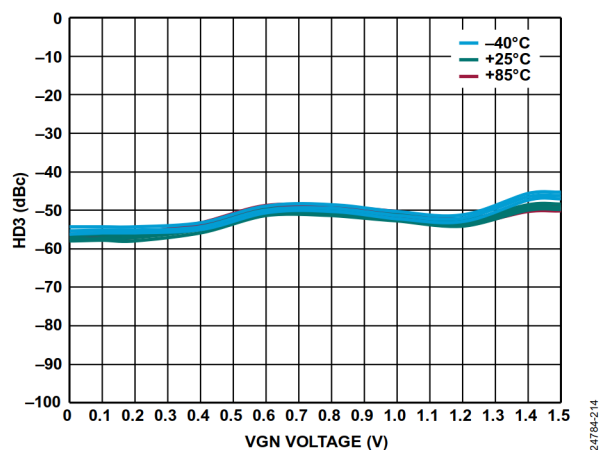


図 106. 様々な温度および VOCM での HD3 と VGN 電圧の関係、3GHz

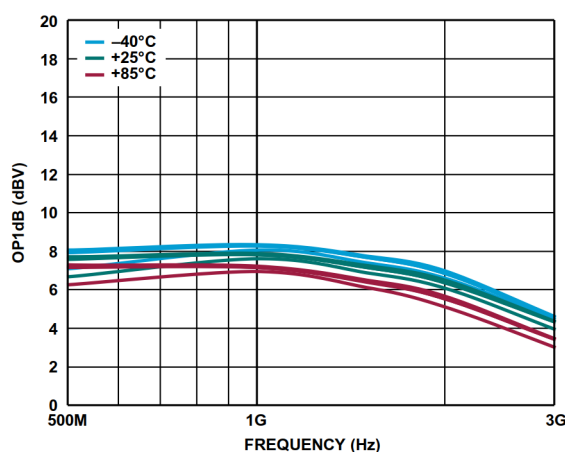


図 104. 様々な温度および OFSx での OP1dB の周波数特性、最大ゲイン

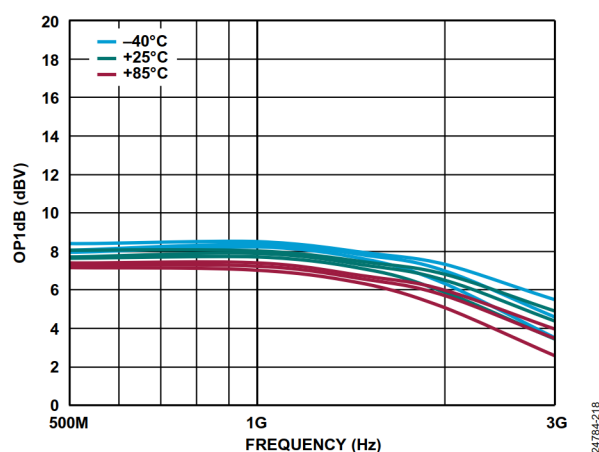


図 107. 様々な温度および VOCM での OP1dB の周波数特性、最大ゲイン

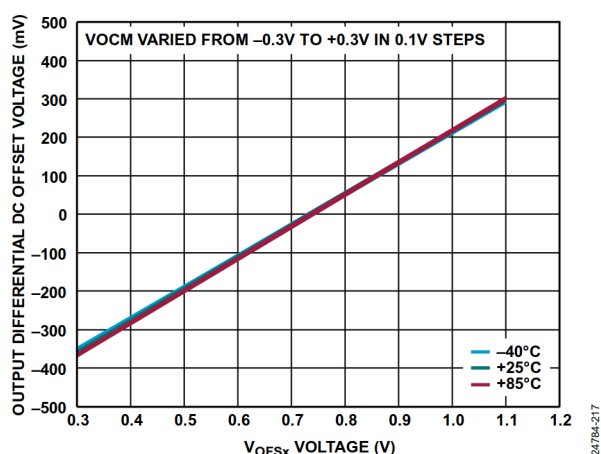


図 108. 様々な温度および VOCM での出力差動 DC オフセット電圧と V_{OFSx} 電圧の関係

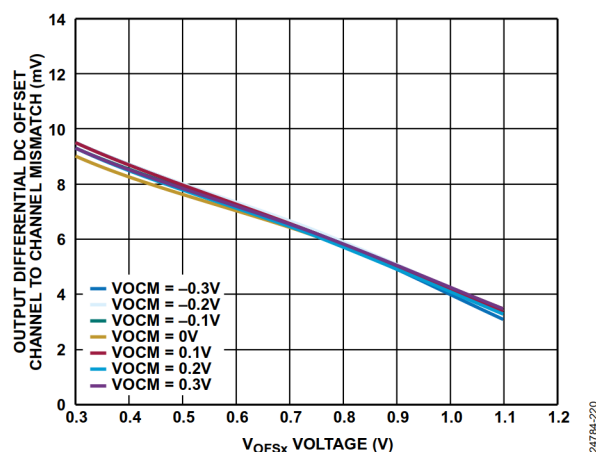


図 111. 様々な VOCM での出力差動 DC オフセットのチャンネル間ミスマッチと V_{OFSx} 電圧の関係

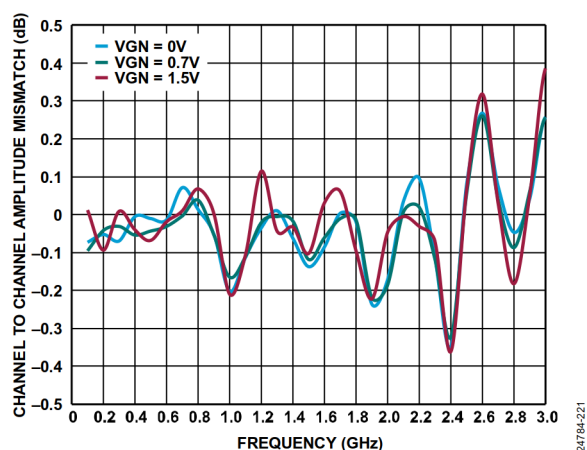


図 109. 様々な VGN でのチャンネル間振幅ミスマッチの周波数特性

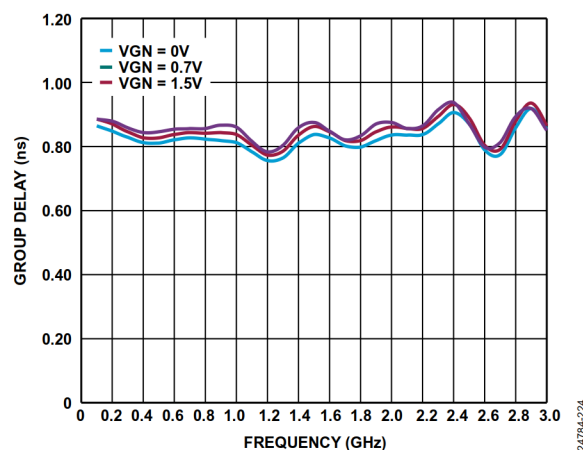


図 112. 様々な VGN での群遅延の周波数特性

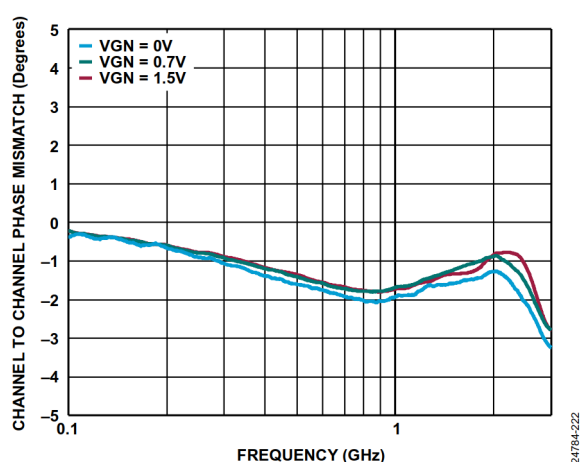


図 110. 様々な VGN でのチャンネル間位相ミスマッチの周波数特性

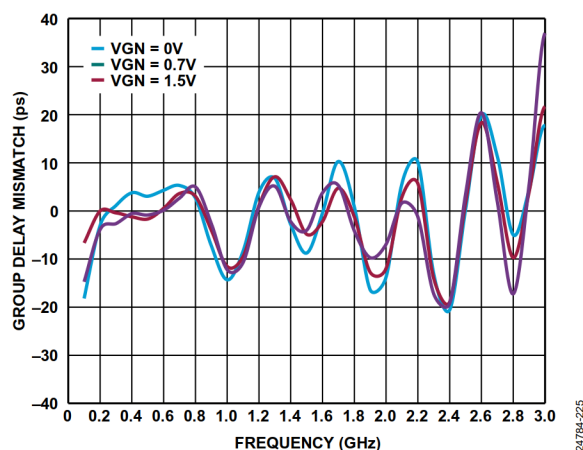


図 113. 様々な VGN での群遅延ミスマッチ（チャンネル間）の周波数特性

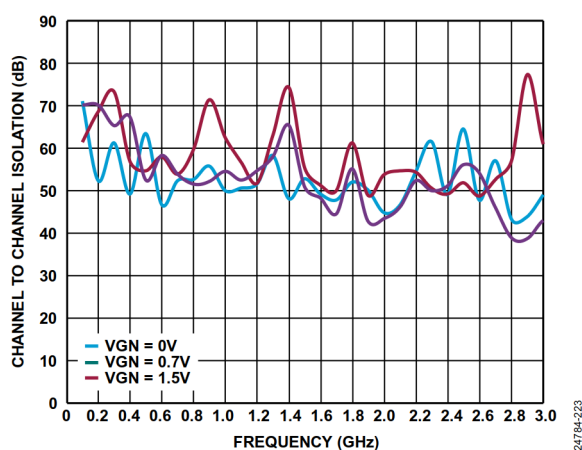


図 114. 様々な VGN でのチャンネル間アイソレーションの周波数特性

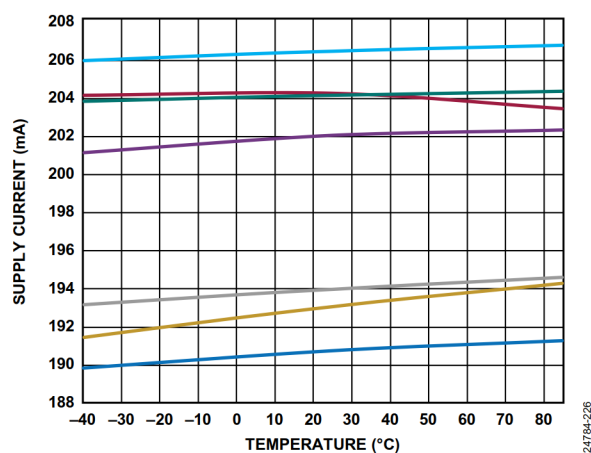


図 117. 多数のデバイスを対象とした電源電流の温度特性

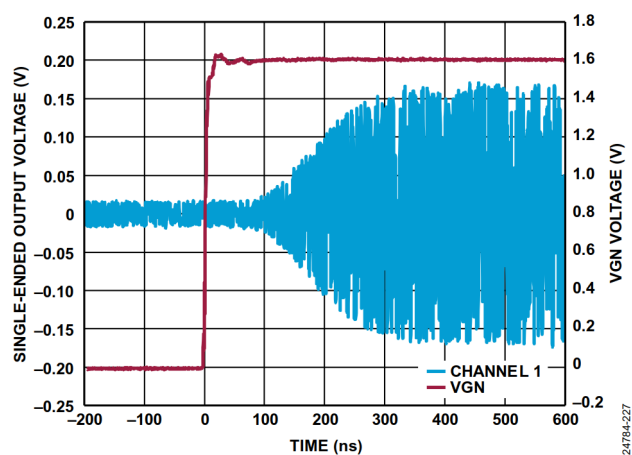


図 115. VGA ステップ応答時間、最小ゲインから最大ゲインまで

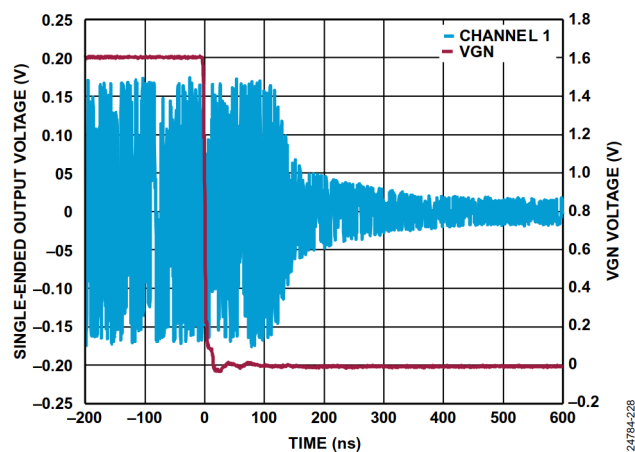


図 118. VGA ステップ応答時間、最大ゲインから最小ゲインまで

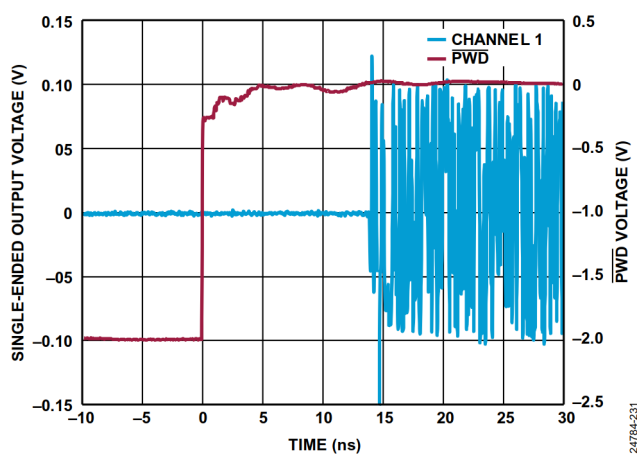


図 116. イネーブル応答時間

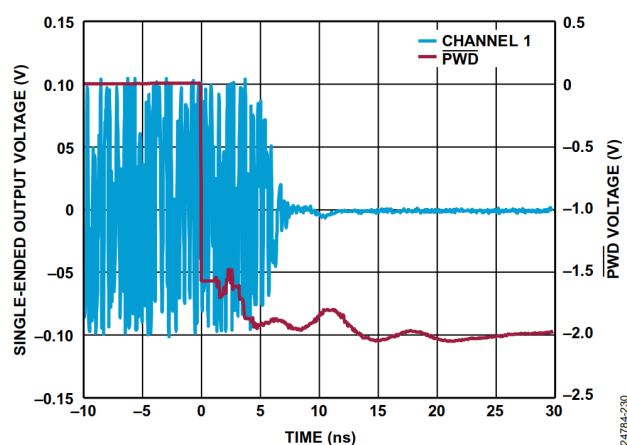


図 119. ディスエーブル応答時間

動作原理

ADRF6521 は直線性の高いデュアル・チャンネル VGA で、-3dB 周波数応答が 3.25GHz になっています。ADRF6521 は、一対のマッチングした VGA で構成されています。各 VGA は室温 ($T_A = 25^\circ\text{C}$) で 21dB の減衰範囲を実現するように設計された電圧可変アッテネータ (VVA) と、後段の 18dB アンプで構成され、+18dB~-3dB の範囲のゲインを実現します。

出力段は、コモンモード電圧を可変することができ、また、用途の広い DC オフセット電圧を生成できます。出力コモンモード電圧範囲は最大 $\pm 200\text{mV}$ まで調整でき、また、出力 DC オフセット電圧範囲は最大 $\pm 400\text{mV}$ まで調整できますが、同時に表 1 に示すような高い直線性も維持できます。これらの範囲は拡大できますが、直線性は悪化します。図 120 に、簡易化した個々のチャンネルのブロック図を示します。

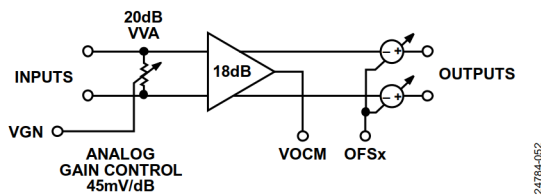


図 120. 簡易化した個々のチャンネルの機能ブロック図

差動信号チェーン全体が DC カップリングされています。但し、入力信号経路は AC カップリングすることを推奨します。2つのチャンネルのゲイン設定制御は共通ピン（VGN）で行われ、2つのチャンネルの振幅応答と位相応答が正確に一致するようになっています。 $\overline{\text{PWD}}$ を VNEG 電源に接続することによって、ADRF6521 は完全にディスエーブルされます。

入力 VVA

入力 VVA は、高い直線性と優れた対数適合度を持つように設計されています。VVA の差動入力インピーダンスは 100Ω で、減衰範囲は 21dB ですが、この減衰範囲は全温度範囲ではわずかに減少します。入力を DC カップリングする必要がある場合は、前段の出力コモンモード電圧を VOCM ピンの電圧に一致させる必要があります。入力 VGA のトポロジ（デバイスの入力に位置する VVA など）は、減衰量が 1dB 増加するにつれてノイズ指数が 1dB 劣化するようになっています。VVA は全減衰範囲にわたって高い直線性を維持します。

アンプ

ADRF6521 アンプは、ADL5569 のコアと同じコアを使用しています。アンプの出力インピーダンスが 20Ω 未満と低く、また、内蔵抵抗の RF と RG の比が 8 倍であるため、この比により 18dB の差動電圧ゲインが実現されます。アンプは次段のアンプを駆動できるように設計されており、1.5V p-p のツー・トーン信号で 100Ω の差動負荷を駆動した場合に高い直線性が得られます。

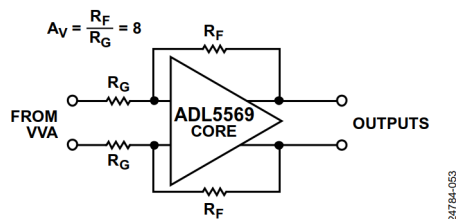


図 121. 個々のチャンネルの 18dB アンプ

出力コモンモード電圧

出力コモンモード電圧は、内蔵の抵抗分圧器によって内部で $(V_{POS} + V_{NEG})/2$ に設定されます（図 122 を参照）。この電圧は VOCM ピンによって $\pm 200\text{mV}$ に調整でき、更に ADRF6521 は IMD2、IMD3、HD2、および HD3 を -55dBc より良好に維持することもできます。VOCM ピンに加えられた制御電圧と出力コモンモード電圧は、1 対 1 でマッピングされます。

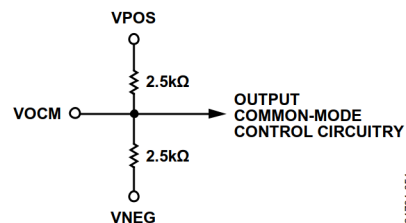


図 122. VOCM の簡易回路

出力 DC オフセット回路

VVA とアンプの小さな固有の DC オフセットを除去するため、ADRF6521 の各チャンネルの出力 DC オフセットを個別にゼロにすることができます。プリディストーションなどのアプリケーションでは、 $\pm 200\text{mV}$ の出力コモンモード電圧範囲に加えて、各チャンネルの出力 DC オフセット電圧を最大で $\pm 400\text{mV}$ まで意図的に増加できると同時に、高い直線性も維持できます。出力コモンモード電圧と出力 DC オフセット電圧をいずれかの出力ピンの公称電圧から合計 400mV 以上加減すると、直線性が悪化し、IMDx や HDx のレベルが -55dBc より悪化する可能性があります。

出力 DC オフセット電圧は以下のように定義されます。

$$V_{OFS_DC} = V_{OPP_x} - V_{OPM_x}$$

ここで、 V_{OPP_x} と V_{OPM_x} は、出力ピン OPP1 と OPM1 の DC 電圧、または出力ピン OPP2 と OPM2 の DC 電圧です。

出力 DC オフセット電圧は、図 120 と図 124 に示すように、汎用の OFSx ピンである OFS1 ピンと OFS2 ピンによって制御されます。出力 DC オフセット電圧は、基本的に差動電流がアンプの入流に流れ込むことによって生じます。差動電流には、以下の電流成分が含まれています。

- 差動経路の正と負の両方の経路に加算されるリファレンス電流 (I_{REF})
- 差動経路の一方の経路に加算され、もう一方の経路から減算されるバイポーラ・オフセット電流 (I_{OFS})

リファレンス電流は静的な電流ですが、バイポーラ・オフセット電流はそれぞれの OFSx ピンによって制御されます。両方の電流は、18dB アンプと VVA の間を流れます。オフセット電流は両極性であるため、出力 DC オフセット電圧は最大で $+400\text{mV}$ まで増加することも、 -400mV まで減少することもあります。FLTx ピンの制御電圧と出力 DC オフセット電圧の間の公称閉形式方程式を以下に示します。

$$V_{DC_OFFSET_DIFF} = 0.89 \times V_{OFSx} - 0.668 \text{ V}$$

DC オフセット・ループ・ハイパス・コーナ

ADRF6521 は、ローパス周波数コーナ未満のすべての信号をゼロにする DC オフセット・ループを搭載しており、ローパス周波数コーナは 35pF の内蔵コンデンサと、OFSx から VNEG をデカップリングする外付けコンデンサの組み合わせによって設定されます。

DC オフセット・ループはローパス応答をしますが、このループがローパス・コーナ未満のすべての低周波信号をゼロにするため、信号経路はハイパス応答になります。以下の式は、信号経路で観測されるハイパス・コーナと、C_{OFS} と呼ばれる VNEG をデカップリングする外付けコンデンサの値との関係を示しています。

$$f_{HP}(\text{Hz}) = 60 / (C_{OFS}(\mu\text{F}) + 35 \times 10^{-6})$$

C_{OFS} = 1μF の場合、ハイパス・コーナは Hz 単位で以下のように算出できます。

$$f_{HP}(\text{Hz}) = 60 / (1 + 35 \times 10^{-6}) = 60 \text{ Hz}$$

図 124 に示す帰還ループには、出力 DC オフセット電圧が発生します。差動/シングルエンド変換アンプが差動出力をサンプリングし、サンプリングされた信号がシングルエンド・モードに変換され、更に、変換された信号が VNEG に接続されたコンデンサによって平均化されます。この平均化された出力信号は、トランスコンダクタンス・アンプ (gm) によって、OFSx ピンに加えられた DC 電圧と比較されます。gm 段の出力差動電流は、18dB アンプの抵抗 R_F と R_G の間に流れ込みます。差動アンプからシングルエンド・アンプまでの平均電圧が加えられた OFSx 電圧と等しくなるまで、帰還ループは gm アンプの差動電流を強制的に増加または減少させます。アンプの入力に流入したこの差動電流によって、この入力に DC オフセット電圧が意図的に発生し、その後、この電圧は増幅されて出力ピンの OPPx と OPMx に現れます。

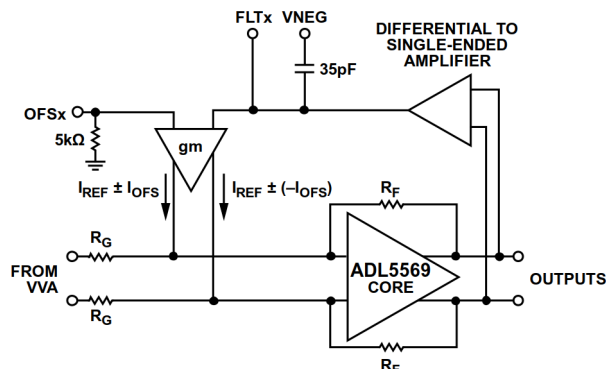


図 124. 信号チャンネル用の出力 DC オフセット回路

出力 DC オフセット回路ではチャンネルごとにフィルタリングが行われ、チャンネル 1 では FLT1 ピン、チャンネル 2 では FLT2 ピンによって行われます。両方のピンを 1μF のコンデンサ経由で負電源に接続します。各 FLT_x ノードには、35pF のコンデンサが内蔵されています。

ゲイン制御インターフェース

ADRF6521 には、デシベルリニアのゲイン制御インターフェースが搭載されています。ゲインが 250mV~1200mV の範囲で変化するとき、ゲイン制御スロープは温度、電源、およびプロセスの全範囲にわたって 22.2dB/V に維持されます。

ゲイン機能は、次式で与えられます。

$$\text{Gain (dB)} = 22.2 \times V_{VGN} - 8.5$$

ここで、V_{VGN} は VGN ゲイン・ピンの電圧で、単位はボルトです。

ゲイン制御電圧範囲は、アナログ・グラウンドを基準として 0V ~1.5V です。

パワーダウン機能

パワーダウン機能は PWD ピンによって行われます。デフォルトでは、デバイスは図 123 に示すように、抵抗分圧器によってイネーブルされます。PWD ピンを VNEG と同じ電位にすると、消費電流をおおよそ 25mA まで低減できます。PWD ピンに VNEG + 3.3V より高い電圧をかけないでください。これより高い電圧をかけると、デバイスに損傷を与えることがあります。

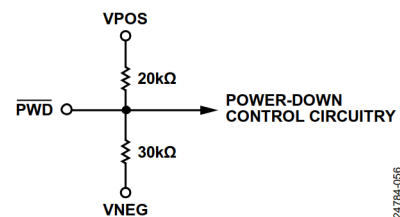


図 123. 簡易化したパワーダウン・インターフェース

アプリケーション情報

基本的な接続方法

ADRF6521 の代表的なアプリケーション用の基本的な接続方法を図 125 に示します。

電源のデカップリング

ADRF6521 デバイスのできるだけ近くに $0.1\mu\text{F}$ の低インダクタンスの表面実装セラミック・コンデンサを少なくとも 1 個配置して、各電源ピン (VPOS および VNEG) とグラウンドをデカップリングします。

入力信号経路

各信号経路には、INP1、INM1、INP2、および INM2 の各ピンを通してアクセスできる入力 VGA が搭載されており、この差動入力インピーダンスは 100Ω に設定されています。

これらの入力には DC カップリングまたは AC カップリングすることができますが、AC カップリングを強く推奨します。コモンモード電圧を変えるメカニズムはありません。したがって、DC カップリングを使用したい場合は、前段のコモンモード電圧を ADRF6521 入力のコモンモード電圧である $(VPOS + VNEG)/2V$ に一致させる必要があります。

出力信号経路

低インピーダンス (20Ω) の出力バッファは、 100Ω のインピーダンス負荷を駆動できるように設計されています。しかも、このバッファは更に大きな抵抗負荷も駆動できます。各出力ピン (OPP1、OPM1、OPP2、および OPM2) には、公称出力コモンモード電圧である $(VPOS + VNEG)/2V$ がかかっています。これらの出力には、DC カップリングまたは AC カップリングすることができます。ただし、DC カップリングでは、機能的に出力 DC オフセット電圧を利用する必要があります。出力コモンモード電圧を変えるには、VOCM ピンに $(VPOS + VNEG)/2V$ とは異なる DC 電圧を加える必要があります。オープンのままにすると、VOCM はデフォルトの $(VPOS + VNEG)/2V$ になります。出力 DC オフセット電圧を変えるには、OFS1 ピンと OFS2 ピンに $0.75V$ とは異なる電圧を加える必要があります。オープンのままにすると、これらのピンは $5k\Omega$ の内蔵抵抗を介してグラウンドに接続されているため、約 -670mV の DC 出力オフセットが発生します。

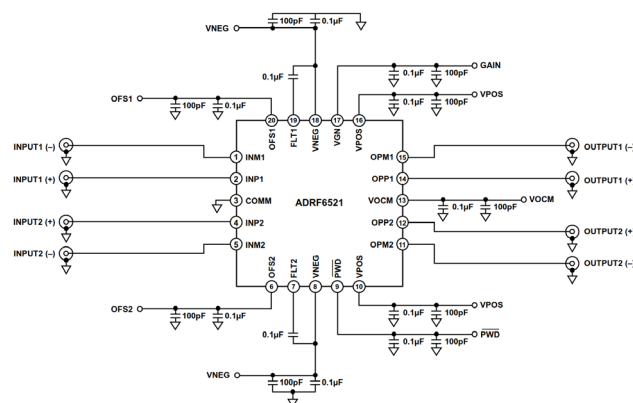


図 125. 基本的な接続方法

イネーブルおよびディスエーブル機能

ADRF6521 をイネーブルするには、 $\overline{\text{PWD}}$ ピンをオープンのままにするか、 $\text{VNEG} + 3.0\text{V}$ にします。 $\overline{\text{PWD}}$ ピンを VNEG と同じ電位にすると、デバイスがディスエーブルされ、室温で消費電流をおおよそ 25mA まで低減できます。

ゲイン・ピン (VGN) のデカップリング

ADRF6521 には、アナログ・ゲイン制御ピン (VGN) が 1 ピンあります。VGN に $0\text{V} \sim 1.5\text{V}$ の電圧が加えられたとき、ゲインが変化します。VGN ピンの最大電圧は、VPOS に加えられた電圧と同じです。ゲイン・ピン (VGN) とグラウンドの間に $0.1\mu\text{F}$ と 1000pF の低インダクタンスの表面実装セラミック・コンデンサを少なくとも各 1 個並列に配置して、グラウンドに対してデカップリングします。

出力のインピーダンス・マッチング

ADRF6521 固有の差動出力インピーダンスは、 16Ω 以下と低くなっています。PCB 設計と S22 条件に応じて、出力インピーダンスを 100Ω の差動にマッチングさせる必要があります。出力ピンの方向にマッチングを行うには、各出力ピン (OPP1、OPM1、OPP2、および OPM2) のできるだけ近くに一对の 43Ω の直列抵抗を配置します。

これらの 43Ω の抵抗を実装すると、信号の電圧レベルがおおよそ 6dB 低下するため、VGA の最大ゲインが 12dB まで低下します。ADRF6521 は直線性が高いため、この信号レベルの低下は通常許容できます。すなわち、ADRF6521 は (マッチング抵抗を実装しない場合) 2 倍の出力信号レベルで動作することができ、更に IMD2、IMD3、HD2、および HD3 のレベルも -55dBc より良好に維持されます。

直列のマッチング抵抗を使用する場合は、出力 DC オフセット電圧も RF 信号レベルと同じレベルだけ低下することに注意してください。

完全な 100Ω のマッチングを必要とせず、ゲイン値を 12dB より上げることがより重要な場合は、ゲインと出力マッチングの最適なトレードオフが得られるまで直列抵抗値を減少させることができます。

単電源動作

ADRF6521 は 5V 単電源で動作できます。 VNEG をアナログ・グラウンドに接続してください。この構成では、出力コモンモード電圧はデフォルトの 2.5V になります。 $\pm 200\text{mV}$ の公称範囲もそのまま適用されます。この範囲を拡大できますが、直線性の性能は悪化します。

両電源動作

電源ピン VPOS に $+2.5\text{V}$ の公称電源電圧を加えて、電源ピン VNEG に -2.5V を加えます。このセットアップを行うことによって 0V の公称出力コモンモード電圧が発生し、出力 DC オフセット電圧は OFSx ピンに加えられた電圧に応じて、グラウンドに対して上下に動きます。

両電源を使用する場合は、以下の電源の制約条件を守ってください。

- $4\text{V} \leq (\text{VPOS} - \text{VNEG}) \leq 5\text{V}$
- $\text{VNEG} \leq \text{COMM} \leq \text{VPOS}$
- $\text{VPOS} \geq 2.5\text{V}$

ラッチアップの防止

ラッチアップを防止するため、デバイスの動作中、またはデバイスのパワーアップ中に、以下に示す電圧を超える電圧を加えないでください。

- 各制御ピン (VGN、OFS1、および OFS2) に対して 1.5V (グラウンドを基準として)
- 制御ピン VOCM に対して $(\text{VPOS} + \text{VNEG})/2 \pm 1\text{V}$

RF 入力を DC カップリングする必要がある場合、コモンモード電圧は、 VOCM ピン電圧と同じ電圧にする必要があるため、 $(\text{VPOS} + \text{VNEG})/2 \pm 0.2\text{V}$ に制限する必要があります。パワーダウンおよび DC カップリングが行われている間に、 $(\text{VPOS} + \text{VNEG})/2 \pm 0.2\text{V}$ の範囲を超える DC 電圧が加えられた場合は、ADRF6521 をパワーアップする前に、この DC 電圧をコモンモードの制限範囲以内に戻す必要があります。

外形寸法

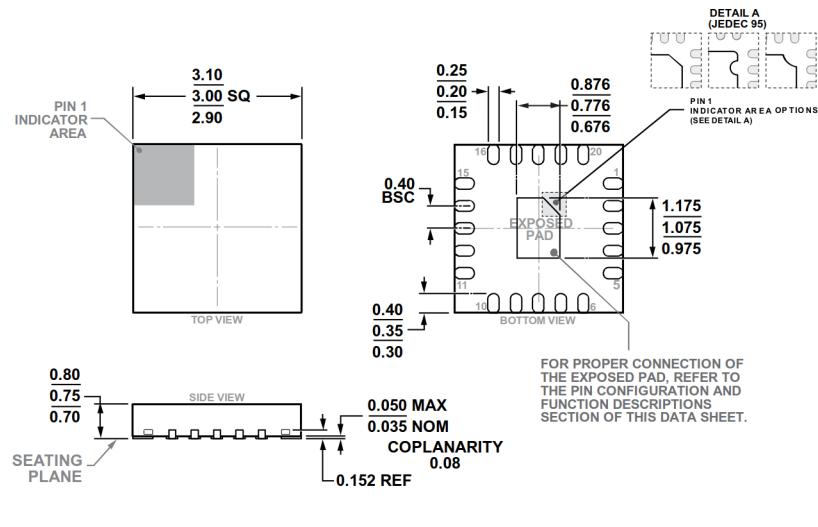


図 126. 20 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 3mm × 3mm ボディ、0.75mm パッケージ高
 (CP-20-19)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADRF6521ACPZ	−40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP]	CP-20-19
ADRF6521ACPZ-R7	−40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP], 7" Tape and Reel	CP-20-19
ADRF6521-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品