

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。 この正誤表は、2020年10月5日現在、アナログ・デバイセズ株式会社で確認した誤りを 記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

**正誤表作成年月日:** 2020年10月5日

製品名: ADRF5730

**対象となるデータシートのリビジョン(Rev)**: Rev.0 **訂正箇所:1ページ、左上**「機能と利点」の欄

### 【誤】

- インピーダンス整合性を備えた減衰精度
  - 18 GHz で ±(減衰状態 0.10 + 1.0 %)
  - 26 GHz で ±(減衰状態 0.15 + 0.8 %)
  - 40 GHz で ±(減衰状態 0.35 + 2.5 %)

### 【正】

- インピーダンス・マッチイングした減衰精度
  - 18 GHz まで ±(0.10 + 設定値の 1.0 %) dB
  - 26 GHz まで ±(0.15 + 設定値の 0.8 %) dB
  - 40 GHz まで ±(0.35 + 設定値の 2.5 %) dB

 アナログ・デバイセズ株式会社
 本 社/〒105-6891
 東京都港区海岸 1-16-1

 ニューピア竹芝サウスタワービル
 電話 03 (5402) 8200

 大阪営業所/〒532-0003
 大阪府大阪市市淀川区宮原 3-5-36

 新大阪トラストタワー
 電話 06 (6350) 6868



タシート

0.5dB LSB、6 ビット、シリコン デジタル・アッテネータ 100MHz~40GHz **ADRF5730** 

#### 特長

超広帯域周波数範囲:100MHz~40GHz 減衰範囲: 0.5dB ステップで 31.5dB まで インピーダンス整合性を備えた低挿入損失 18GHz まで 2.1dB 26GHz まで 2.9dB 40GHz まで 4.8dB 減衰精度(インピーダンス・マッチングあり) 18GHz まで±(0.10 + 減衰状態の 1.0%) 26 GHz まで±(0.15 + 減衰状態の 0.8%) 40 GHz まで±(0.35 + 減衰状態の 2.5%) ステップ誤差(代表値、インピーダンス・マッチングあり) 18GHz まで±0.18dB 26GHz まで±0.23dB 40GHz まで±0.51dB 高入力直線性 P0.1dB(挿入損失状態): 30dBm P0.1dB(他の減衰状態): 27dBm IP3:50dBm(代表值) 大 RF 入力電力処理: 27dBm(平均)、30dBm(ピーク) 緊密な分布の相対位相 低周波数スプリアス信号なし SPI およびパラレル・モード制御、CMOS/LVTTL 互換 RF のセトリング・タイム(最終 RF 出力の 0.1dB): 250ns 24 端子、4 mm × 4 mm の LGA パッケージ 低周波数カットオフ・バージョンの ADRF5720 とピン互換

アプリケーション

工業用スキャナ 試験および計測器 セルラ・インフラストラクチャ:5G ミリ波 防衛用無線、レーダー、電子対抗手段(ECM) マイクロ波無線および超小型地球局(VSAT)

#### 概要

ADRF5730 は、31.5dB の減衰制御範囲を 0.5dB ステップでカバー する、6ビット・シリコン・デジタル・アッテネータです。

このデバイスは 100MHz~40GHz で動作し、4.8dB 以下の挿入損失 と優れた減衰精度を備えています。また、全ての状態に対して平 均 27dBm、ピークで 30dBm の無線周波数 (RF) 入力電力処理能 力があります。

ADRF5730 は、+3.3V と-3.3V の両電源電圧を必要とし、シリア ル・パラレル・インターフェース (SPI) 、パラレル・モード制 御、相補型金属酸化物半導体(CMOS)/低電圧トランジスタ・ トランジスタ・ロジック(LVTTL)互換制御を備えています。

D3/SEROUT D4/SERIN D5/CLK 868 24 23 22 ٠ 21 20 19

機能ブロック図

日本語参考資料

最新版英語データシートはこちら



また、ADRF5730 は、9kHz~40GHz で動作する低周波数カット オフ・バージョンの ADRF5720 とピン互換性があります。

ADRF5730のRFポートは、50Ωの特性インピーダンスに一致する ように設計されています。広帯域幅のアプリケーションでは、RF 伝送ラインでのインピーダンス・マッチングにより、高周波挿入 損失、リターン・ロス、減衰精度の各特性を更に最適化すること ができます。詳細については、電気仕様、代表的な性能特性、ア プリケーション情報の各セクションを参照してください。

ADRF5730 は、24 端子の 4mm × 4mm、RoHS 準拠ランド・グリッ ド・アレイ (LGA) パッケージに収納され、-40℃~+105℃ で動 作可能です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって 生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示 的または明示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商構および登録商標は、それぞれの所有 者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved

	本	社/〒105-6891	東京都港区海岸 1-16-1 ニュー t 電話 03(5402)8200	ピア竹芝サウスタワービル 10F
アナログ・デバイセズ株式会社	大	阪営業所/〒532-0003	大阪府大阪市淀川区宮原 3-5-36 電話 06(6350)6868	혀 新大阪トラストタワー 10F
	名言	占屋営業所/〒451-6038	愛知県名古屋市西区牛島町 6-1 雷話 052 (569) 6300	名古屋ルーセントタワー 40F

## ADRF5730

## 目次

特長1
アプリケーション1
機能ブロック図1
概要1
改訂履歴2
仕様3
電気仕様
タイミング仕様5
絶対最大定格
熱抵抗6
パワー・ディレーティング曲線6
ESD に関する注意6
ピン配置およびピン機能の説明7
インターフェース回路図7
代表的な性能特性

挿入損失、リターン・ロス、状態誤差、ステップ誤差、 位相	相対 8
入力電力圧縮と3次インターセプト	12
動作原理	13
電源	13
RF入出力	13
シリアルまたはパラレル・モードの選択	13
シリアル・モード・インターフェース	14
SEROUT の使用	14
パラレル・モード・インターフェース	15
アプリケーション情報	16
評価用ボード	16
プローブ・マトリックス・ボード	18
外形寸法	19
オーダー・ガイド	19

### 改訂履歴

7/2018—Revision 0: Initial Version



### 仕様 <sub>電気仕様</sub>

特に指定のない限り、50 $\Omega$ システムに対し、 $V_{DD}$  = 3.3V、 $V_{SS}$  = -3.3V、デジタル電圧 = 0V または  $V_{DD}$ 、ケース温度( $T_{CASE}$ ) = 25 $^{\circ}$ C。

Parameter	Test Conditions/Comments	Min Typ	Max II	Jnit
FREQUENCY RANGE		100	40.000 M	MHz
INSERTION LOSS (IL)		100	40,000	V1112
With Impedance Match	See Figure 44			
White Impedance Whiten	100 MHz to 10 GHz	16	d	1B
	10 GHz to 18 GHz	2.1	d	1B
	18 GHz to 26 GHz	2.1	d	1B
	26 GHz to 35 GHz	3.8	di	iB iR
	35 GHz to 40 GHz	4.8	di	iB
Without Impedance Match	See Figure 43	1.0	u.	.D
While impedance while	100 MHz to 10 GHz	16	d	1B
	10 GHz to 18 GHz	2.1	d	iB
	18 GHz to 26 GHz	2.1	d	1B
	26 GHz to 35 GHz	3.7	d	1B
	35 GHz to 40 GHz	5.7	d	1B
RETURN LOSS	ATTIN and ATTOUT all attenuation states	5.2		ID .
With Impedance Match	See Figure 44			
What impedance Whaten	100 MHz to 10 GHz	20	d	1B
	10 GHz to 18 GHz	19	di	iB
	18 GHz to 26 GHz	13	di	iB
	26 GHz to 35 GHz	11	d	1B
	35 GHz to 40 GHz	11	d	1B
Without Impedance Match	See Figure 43	11	u.	.D
While inpedale watch	100 MHz to 10 GHz	19	d	1B
	10 GHz to 18 GHz	18	d	1B
	18 GHz to 26 GHz	16	d	1B
	26 GHz to 35 GHz	13	d	1B
	35 GHz to 40 GHz	9	d	1B
ATTENHATION		,		
Range	Between minimum and maximum attenuation states	31.5	d	iΒ
Step Size	Between any successive attenuation states	0.5	d	lB
Accuracy	Referenced to insertion loss			
With Impedance Match	See Figure 44			
I man in the second sec	100 MHz to 10 GHz	$\pm (0.10 + 0.6\% \text{ of sta})$	te) di	lB
	10 GHz to 18 GHz	$\pm (0.10 + 1.0\% \text{ of sta})$	ite) di	lB
	18 GHz to 26 GHz	$\pm (0.15 + 0.8\% \text{ of sta})$	dite) di	lB
	26 GHz to 35 GHz	$\pm (0.20 + 2.0\% \text{ of sta})$	dite) di	lB
	35 GHz to 40 GHz	$\pm (0.35 + 2.5\% \text{ of sta})$	dite) di	lB
Without Impedance Match	See Figure 43		,	
1	100 MHz to 10 GHz	$\pm (0.10 + 0.5\% \text{ of sta})$	tte) di	lB
	10 GHz to 18 GHz	$\pm (0.10 + 1.0\% \text{ of sta})$	tte) di	lB
	18 GHz to 26 GHz	$\pm (0.15 + 0.8\% \text{ of sta})$	tte) di	lB
	26 GHz to 35 GHz	$\pm (0.25 + 1.8\% \text{ of sta})$	tte) di	lB
	35 GHz to 40 GHz	+(0.40 + 5.0%  of sta)	dite)	1B

## ADRF5730

Parameter	Test Conditions/Comments	Min Typ	Max	Linit
Stan Error	Potween environeering stote	імпі тур	IVIdX	
With Impedance Match	See Figure 44			
with impedance Match	100 MHz to 10 GHz	+0.11		dB
	10 GHz to 18 GHz	±0.11		dB
	18 GHz to 26 GHz	+0.23		dB
	26 GHz to 35 GHz	+0.3		dB
	35 GHz to 40 GHz	+0.51		dB
Without Impedance Match	See Figure 43	10.51		Ш
White impedance which	100 MHz to 10 GHz	+0.11		dB
	10 GHz to 18 GHz	+0.19		dB
	18 GHz to 26 GHz	+0.23		dB
	26 GHz to 35 GHz	+0.26		dB
	35 GHz to 40 GHz	±0.65		dB
RELATIVE PHASE	Referenced to insertion loss			
With Impedance Match	See Figure 44			
······································	10 GHz	15		Degrees
	18 GHz	30		Degrees
	26 GHz	50		Degrees
	35 GHz	75		Degrees
	40 GHz	100		Degrees
Without Impedance Match	See Figure 43			
1	10 GHz	15		Degrees
	18 GHz	30		Degrees
	26 GHz	50		Degrees
	25 CHz	50		Degrees
		75		Degrees
	40 GHZ	110		Degrees
SWITCHING CHARACTERISTICS	All attenuation states at input power = $10 \text{ dBm}$			
Rise and Fall Time ( $t_{RISE}$ and $t_{FALL}$ )	10% to 90% of RF output	35		ns
On and Off Time ( $t_{ON}$ and $t_{OFF}$ )	50% triggered control (C1L) to 90% of RF output	125		ns
RF Amplitude Settling Time		250		
0.1 dB	50% triggered CTL to 0.1 dB of final RF output	250		ns
0.05 dB	50% triggered CTL to 0.05 dB of final RF output	350		ns
Overshoot		1		dB
Undershoot		-2.5		aв
RF Phase Settling Time		160		
5° 19	50% triggered CTL to 5° of final RF output	160		ns
	100 MHz to 20 CHz	180		ns
INPUT LINEARITT	100 MHZ 10 50 GHZ			
Insertion Loss State		20		dPm
Other Attenuation States		27		dBm
Third Order Intercent (IP3)	Two tone input power = $14  dBm$ per tone Af = 1	50		dBm
Third-Order Intercept (II 3)	MHz, all attenuation states $M = 1$	50		ubiii
DIGITAL CONTROL INPUTS	LE, PS, D0, D1, D2, D3/SEROUT, <sup>2</sup> D4/SERIN, D5/CLK pins			
Voltage	r ·			
Low (V <sub>INI</sub> )		0	0.8	v
High $(V_{\rm INH})$		1.2	3.3	V
Current				
Low (I <sub>INL</sub> )		<1		μA
High (I <sub>INH</sub> )	D0, D1, D2	33		μA
<b>-</b> · · ·	LE, PS, D3/SEROUT <sup>2</sup> , D4/SERIN, D5/CLK pins	<1		μA



### **ADRF5730**

Parameter	Test Conditions/Comments	Min	Тур	Max	Unit
DIGITAL CONTROL OUTPUT	D3/SEROUT pin <sup>2</sup>				
Voltage					
Low (V <sub>OUTL</sub> )			$0\pm0.3$		v
High (V <sub>OUTH</sub> )			$V_{\text{DD}}\pm0.3$		v
Current (I <sub>OUTL</sub> , I <sub>OUTH</sub> )				0.5	mA
SUPPLY CURRENT	VDD and VSS pins				
Positive Supply Current			117		μΑ
Negative Supply Current			-117		μΑ
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage					
Positive (V <sub>DD</sub> )		3.15		3.45	v
Negative (V <sub>ss</sub> )		-3.45		-3.15	V
Digital Control Voltage		0		$V_{\text{DD}}$	V
RF Input Power <sup>3</sup>	$f = 100 \text{ MHz to } 30 \text{ GHz}, T_{CASE} = 85^{\circ}\text{C},^4 \text{ all}$ attenuation states				
ATTIN	Steady state average			27	dBm
	Steady state peak			30	dBm
	Hot switching average			24	dBm
	Hot switching peak			27	dBm
ATTOUT (Bidirectional Use)	Steady state average			18	dBm
	Steady state peak			21	dBm
	Hot switching average			15	dBm
	Hot switching peak			18	dBm
Case Temperature (T <sub>CASE</sub> )		-40		+105	°C

1入力直線性の劣化と周波数の関係については、図 30 と図 31 を参照してください。

<sup>2</sup> D3/SEROUT ピンは、パラレル制御モードでは入力、シリアル制御モードでは出力です。ピン機能の説明については、表5を参照してください。 <sup>3</sup> パワー・ディレーティングと周波数の関係については、図2と図3を参照してください。ATTIN および ATTOUT の全ての電力仕様に適用されます。

<sup>4</sup>105℃での動作の場合、電力処理は T<sub>CASE</sub> = 85℃ での仕様より 3dB 低下します。

### タイミング仕様

タイミング図については、図 34~図 36 を参照してください。

表 2.

Parameter	Description	Min	Тур	Max	Unit
t <sub>SCK</sub>	Minimum serial period, see Figure 34	70			ns
t <sub>CS</sub>	Control setup time, see Figure 34	15			ns
t <sub>CH</sub>	Control hold time, see Figure 34		20		ns
t <sub>LN</sub>	LE setup time, see Figure 34	15			ns
t <sub>LEW</sub>	Minimum LE pulse width, see Figure 34 and Figure 36		10		ns
t <sub>LES</sub>	Minimum LE pulse spacing, see Figure 34		630		ns
t <sub>CKN</sub>	Serial clock hold time from LE, see Figure 34		0		ns
t <sub>PH</sub>	Hold time, see Figure 36		10		ns
t <sub>PS</sub>	Setup time, see Figure 36		2		ns
t <sub>CO</sub>	Clock to output (SEROUT) time, see Figure 35		20		ns

### **ADRF5730**

### 絶対最大定格

### 表 3.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Negative Supply Voltage	-3.6 V to +0.3 V
Digital Control Input Voltage	$-0.3~V$ to $V_{\text{DD}}+0.3~V$
RF Input Power <sup>1</sup> (f = 100 MHz to 30 GHz, $T_{CASE} = 85^{\circ}C^{2}$ )	
ATTIN	
Steady State Average	28 dBm
Steady State Peak	31 dBm
Hot Switching Average	25 dBm
Hot Switching Peak	28 dBm
ATTOUT	
Steady State Average	19 dBm
Steady State Peak	22 dBm
Hot Switching Average	16 dBm
Hot Switching Peak	19 dBm
Temperature	
Junction (T <sub>J</sub> )	135°C
Storage	-65°C to +150°C
Reflow	260°C
Continuous Power Dissipation (PDISS)	0.5 W
ESD Sensitivity	
Human Body Model (HBM)	
ATTIN and ATTOUT Pins	500 V
Digital Pins	2000 V
Charged Device Model (CDM)	1250 V

パワー・ディレーティングと周波数の関係については、図2と図3を参照してください。ATTIN および ATTOUT の全ての電力仕様に適用されます。

<sup>2</sup>105℃での動作の場合、電力処理は T<sub>CASE</sub> = 85℃ での仕様より 3dB 低下 します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに 恒久的な損傷を与えることがあります。この規定はストレス定 格のみを指定するものであり、この仕様の動作のセクションに 記載する規定値以上でのデバイス動作を定めたものではありま せん。デバイスを長時間にわたり絶対最大定格状態に置くと、 デバイスの信頼性に影響を与えることがあります。

#### 熱抵抗

熱性能は、プリント回路基板(PCB)の設計と動作環境に直接 関連しています。PCBの熱設計には、細心の注意を払う必要が あります。

**θ**<sub>IC</sub> は、ジャンクションからケース底部(チャンネルからパッケ ージ底部)への熱抵抗です。

#### 表 4. 熱抵抗

Package Type	$\theta_{JC}$	Unit
CC-24-5	100	°C/W



図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、 T<sub>CASE</sub> = 85°C



図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、 T<sub>CASE</sub> = 85°C

置を講じることをお勧めします。

#### ESD に関する注意



ESD(静電放電)の影響を受けやすいデバイスです。 電荷を帯びたデバイスや回路ボードは、検知されない まま放電することがあります。本製品は当社独自の特 許技術である ESD保護回路を内蔵してはいますが、デ バイスが高エネルギーの静電放電を被った場合、損傷 を生じる可能性があります。したがって、性能劣化や 機能低下を防止するため、ESD に対する適切な予防措

**ADRF5730** 

## ピン配置およびピン機能の説明



表 5. ピン機能の説明

Pin No.	Mnemonic	説明
1	LE	ラッチ・イネーブル入力。詳細については、動作原理のセクションを参照してください。
2	PS	制御インターフェースについてパラレルまたはシリアルの選択を入力。詳細については、動作原理のセ
		クションを参照してください。
3, 4, 6 to 13, 15, 16	GND	グラウンド。これらのピンは、PCBの RF/DC グラウンドに接続する必要があります。
5	ATTIN	アッテネータ入力。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ライン の電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。
14	ATTOUT	アッテネータ出力。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ライン の電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。
17	VSS	負電源入力。
18	VDD	正電源入力。
19	D0	0.5dB 減衰ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。
20	D1	1dB 減衰ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。
21	D2	2dB 減衰ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。
22	D3/SEROUT	4dB 減衰ビット用パラレル制御入力(D3)。
		シリアル・データ出力(SEROUT)。詳細については、動作原理のセクションを参照してください。
23	D4/SERIN	8dB 減衰ビット用パラレル制御入力(D4)。
		シリアル・データ入力(SERIN)。詳細については、動作原理のセクションを参照してください。
24	D5/CLK	16dB減衰ビット用パラレル制御入力(D5)。
		シリアル・クロック入力(CLK)。詳細については、動作原理のセクションを参照してください。
	EPAD	露出パッド。露出パッドは、PCBの RF/DC グラウンドに接続する必要があります。

### インターフェース回路図





### 代表的な性能特性

### 挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相

特に指定のない限り、50Ωシステムに対し、V<sub>DD</sub> = 3.3V、V<sub>SS</sub> = -3.3V、デジタル電圧 = 0V または V<sub>DD</sub>、T<sub>CASE</sub> = 25°C。測定は、プローブ・マトリックス・ボード上でグラウンド信号グラウンド(GSG)プローブを使用し、RF ピンの直近で行いました。評価用ボードとプローブ・マトリックス・ボードの詳細については、アプリケーション情報のセクションを参照してください。



(主要状態のみ、インピーダンス・マッチングあり)



**ADRF5730** 

5958-017

5958-018

5958-019



(インピーダンス・マッチングあり)

データシート



### **ADRF5730**





### **ADRF5730**

### 入力電力圧縮と3次インターセプト





### 動作原理

ADRF5730は、0.5dBステップで31.5dBの減衰範囲を備える6ビット固定のアッテネータ・アレイを内蔵しています。内蔵ドライバは、アッテネータ・アレイの制御をシリアル・モードとパラレル・モードのどちらででも行うことができます(図 32 参照)。

このセクションでは、多機能ピンのある 1 つの機能について説 明する場合、そのピン名の関係部分のみを示しています。多機 能ピンの完全なピン名については、ピン配置およびピン機能の 説明のセクションを参照してください。

### 電源

ADRF5730 は、VDD ピンに供給する正電源電圧と、VSS ピンに 供給する負電源電圧を必要とします。高周波ノイズをフィルタ リングするため、電源ラインにバイパス用コンデンサを設ける ことをお勧めします。

電源投入シーケンスは次のとおりです。

- 1. GND を接続。
- 2. VDD に電源投入。
- 3. VSS に電源投入。
- 4. デジタル制御入力を印加。デジタル制御入力間の相互の順 序は重要ではありません。ただし、VDDへの電源投入の前 にデジタル制御入力を印加すると、意図せぬバイアス電流 の原因となり、内蔵 ESD 保護構造に損傷を与えるおそれが あります。

#### 5. RF入力信号を ATTIN と ATTOUT に印加。

パワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

#### 表 7. 真理值表

### RF 入出力

両 RF ポート (ATTIN および ATTOUT) は 0V に DC カップリン グしており、RF ラインの電位が 0V に等しい場合、RF ポートで の DC 阻止は不要です。

**RF**ポートは内部で 50Ω に整合しています。そのため、外付けの マッチング部品は不要です。広帯域幅のアプリケーションでは、 インピーダンス・マッチングを使用すると、高周波数での挿入損 失、リターン・ロス、減衰精度の性能を改善できます。インピー ダンス・マッチングのセクションを参照してください。

ADRF5730 は、低消費電力レベルでは双方向動作に対応します。 ATTIN ポートと ATTOUT ポートの電力処理は異なります。その ため、双方向の電力処理は ATTOUT ポートで定義されます。表 1の RF 入力パワーの各仕様を参照してください。

#### シリアルまたはパラレル・モードの選択

ADRF5730 は、PS ピンをハイに設定することでシリアル・モードで、ローに設定することでパラレル・モードで制御できます(表6参照)。

#### 表 6. モード選択

PS	Control Mode
Low	Parallel
High	Serial

Digital Control Input <sup>1</sup>						
D5	D4	D3	D2	D1	D0	Attenuation State (dB)
Low	Low	Low	Low	Low	Low	0 (reference)
Low	Low	Low	Low	Low	High	0.5
Low	Low	Low	Low	High	Low	1.0
Low	Low	Low	High	Low	Low	2.0
Low	Low	High	Low	Low	Low	4.0
Low	High	Low	Low	Low	Low	8.0
High	Low	Low	Low	Low	Low	16.0
High	High	High	High	High	High	31.5

1表7に示す制御電圧入力状態をどのように組み合わせても、選択したビットの和に相当する減衰量が提供されます。



図 32. 簡素化した回路図

### シリアル・モード・インターフェース

ADRF5730 は、シリアル・データ入力(SERIN)、クロック (CLK)、ラッチ・イネーブル(LE)の3線式 SPI に対応しま す。シリアル制御インターフェースは、PS をハイに設定するこ とでアクティブ化できます。

ADRF5730の減衰状態は、6ビットまたは8ビットのSERINデー タで制御できます。8ビット・ワードを使用してアッテネータ の状態を制御する場合、最初の2ビット(D7とD6)はドント・ ケア・ビットとなります。これら2ビットは、ローのままでも ハイのままでも、あるいは完全に省略されてもかまいません。 ビット [D0:D5]のみで、アッテネータの状態は設定されます。 シリアル・モードでは、SERINデータは CLKの立上がりエッジ でクロックされ、最上位ビット(MSB)ファーストでシフト・ レジスタに入力されます。その後、新しい減衰状態をデバイス にラッチするため、LE がハイにトグルされる必要があります。 LE がハイのままでは CLK がマスクされて減衰状態が変更でき なくなるため、新しい SERIN データをクロックしてシフト・レ ジスタに入力するには、LE がローになる必要があります。表 2 および表7と照らし合わせながら図 34 を参照してください。

### SEROUT の使用

ADRF5730 にはシリアル・データ出力 SEROUT も備わっていま す。SEROUT は 8 番目のクロック・サイクルでシリアル入力デ ータを出力し、1 つの SPI バスを使用してカスケード接続された アッテネータを制御できます。図 35 にシリアル出力のタイミン グ図を示します。

アッテネータをデイジーチェーン動作で使用する場合、SERIN と SEROUT の間に 8 クロック・サイクル分の遅延があるため、 8 ビットの SERIN データを使用する必要があります。

最初のアッテネータの SEROUT と次のアッテネータの SERINの間に 1kΩの抵抗をオプションで使用すると、信号をフィルタリングできます(図 33 参照)。





### パラレル・モード・インターフェース

ADRF5730 には、D0 (LSB) ~D5 (MSB) の 6 ビットのデジタ ル制御入力があり、パラレル・モードで希望の減衰状態を選択 できます(表 7 参照)。パラレル制御インターフェースは、PS をローに設定することでアクティブ化できます。

パラレル動作には、直接パラレルとラッチド・パラレルの 2 つ のモードがあります。

#### 直接パラレル・モード

直接パラレル・モードを有効化するには、LE ピンがハイのまま であることが必要です。減衰状態は、制御電圧入力(D0~D5) で直接変更できます。このモードはアッテネータの手動制御に 最適です。

#### ラッチド・パラレル・モード

ラッチド・パラレル・モードを有効化するには、制御電圧入力 (D0~D5)を変更して減衰状態を設定する際に、LE ピンがロ ーのままである必要があります。目的の状態が設定されると、 LE をハイにトグルして、この 6 ビットのデータをアッテネー タ・アレイのバイパス・スイッチに転送し、その後、ローにト グルして、次の減衰状態変更が要求されるまでこの変更をデバ イスにラッチする必要があります(表 2 と照らし合わせて図 36 を参照)。



### ADRF5730

# アプリケーション情報

ADRF5730-EVALZ は、4 層の評価用ボードです。外側の銅(Cu) 層は 0.5oz (0.7mil) ではなく 1.5oz (2.2mil) の厚さにメッキさ れ、誘電体材料で分離されています。評価用ボードの層構成を 図 37 に示します。



図 37. 評価用ボードの層構成

RF と DC の全てのパターンが上面の銅層に配線されています。 一方、内部の層と底面の層はグランド・プレーンで、RF 伝送ラ インに安定したグラウンドを提供します。上部の誘電体材料は 12milの Rogers RO4003で、最適な高周波性能を実現します。中 間部および下部の誘電体材料によって、機械的な強度がもたら されます。ボード全体の厚さは 62mil なので、2.4mm の RF ラン チャをボード端に接続できます。



図 38. 評価ボードの上面図

Rf 伝送ラインは、パターン幅が 16mil、グラウンドとの間隙が 6mil で特性インピーダンスが 50Ω の共平面導波路 (CPWG) モ デルを使用して設計されています。RF 接地と熱接地を最適化す るため、伝送ラインの周囲とパッケージの露出パッド下には、 可能な限り多くのスルー・ビアが配置されています。

ADRF5730-EVALZ の RF 伝送ラインには、高周波インピーダン ス・マッチングは実装されていません。インピーダンス・マッ チング回路の詳細については、プローブ・マトリックス・ボー ドのセクションのインピーダンス・マッチングの項を参照して ください。 スルー・キャリブレーションを使用することで、ADRF5730-EVALZ 評価用ボードの測定データからボードの損失の影響を補 正し、IC の各ピンでデバイス性能を確認することができます。 ADRF5730-EVALZ 評価用ボードの室温での代表的なボード損失、 ボード損失を含んだ ADRF5730 の挿入損失、およびボード損失 を差し引いた ADRF5720 の挿入損失を図 39 に示します。



図 39. 挿入損失と周波数の関係

部品を配置した実際の ADRF5730 評価用ボードを図 38 に示します。

2つの電源ポートは VDD と VSS のテスト・ポイントである TP1 と TP2 に接続され、グラウンド・リファレンスは、GND のテス ト・ポイントである TP4 に接続されています。電源パターン (VDD と VSS) では、100pF のバイパス・コンデンサを使用し て高周波ノイズが除去されます。更に、未実装の部品位置には バイパス・コンデンサを追加実装できます。

デジタル制御ピンは全て、デジタル信号パターンを経由して 2 × 9 ピンのヘッダ、P1 に接続されます。DC カップリング・ノイズ を除去するため、抵抗コンデンサ(RC)フィルタが備わってい ます。ADRF5730 は外付けの RC フィルタを用いずに測定しまし た。すなわち、直列抵抗は 0Ωで、シャント・コンデンサは評価 用ボードには配置していません。

RF 入出力ポート(ATTIN および ATTOUT)は 50Ωの伝送ラインを通して、2.4mmの RF ランチャ J1 および J2 にそれぞれ接続 されています。これらの高周波 RF ランチャは、ボードに接触して接続されていますが、ハンダ処理はされていません。

スルー・キャリブレーション・ラインによって未実装のランチャ、J3 および J4 が接続されています。この伝送ラインは、評価対象の環境条件での PCB による損失を評価するために使用されます。

ADRF5730-EVALZ 評価用ボードの回路図を図 40 に示します。

### ADRF5730



図 40. 評価ボードの回路図

#### 表 8. 評価用ボードの部品

Component	Default Value	Description
C1, C2	100 pF	Capacitor, C0402 package
J1 to J4	Not applicable	2.4 mm end launch connector (Southwest Microwave: 1492-04A-5)
P1	Not applicable	$2 \times 9$ -pin header
R1 to R11	0 Ω	Resistor, 0402 package
TP1, TP2, TP4	Not applicable	Through-hole mount test point
U1	ADRF5730	ADRF5730 digital attenuator, Analog Devices, Inc.

### ADRF5730

### プローブ・マトリックス・ボード

プローブ・マトリックス・ボードは 4 層のボードです。評価用ボ ードと同様、このボードも 12milの Rogers RO4003 誘電体材料を使 用しています。上面と底面の銅層は 0.5oz (0.7mil) ではなく 1.5oz (2.2mil) の厚さにメッキされています。RF 伝送ラインは、パタ ーン幅が 16mil、グラウンドとの間隙が 6mil で特性インピーダ ンスが 50Ω の CPWG モデルを使用して設計されています。

ボードの断面図を図 41 に、上面図を図 42 に示します。測定は GSG プローブを使用し RF ピンの直近で行いました。評価用ボ ードとは異なり、プローブによる測定ではコネクタ、ケーブル、 ボード・レイアウトに起因する不整合によって生じる反射が減 少するため、より高い精度でデバイス性能を測定することがで きます。



プローブ・マトリックス・ボードには、ボード損失を除去できるスルー・リフレクト・ライン(TRL)キャリブレーション・ キットがあります。実際のボードでは同じレイアウトがマトリ ックス状に複製され、複数のデバイスが同時に実装されます。 このボードで全てのSパラメータが測定されました。

### インピーダンス・マッチング

RF ピンのインピーダンス・マッチングによって、高周波数での 挿入損失、リターン・ロス、減衰精度を改善できます。図 43 と 図 44 に、ATTIN ピンと ATTOUT ピンでの伝送ラインの違いを 示します。

50Ωラインのサイズは、幅が16mil、間隙が6milです。インピー ダンス・マッチング回路を実装するために、パッド長は5milだ け引き伸ばされ、17milから22milになります。キャリブレーシ ョン・リファレンス・キットにはこの5milのマッチング・ライ ンはありません。そのため、測定した挿入損失にはマッチング 回路の損失が含まれています。



図 44. インピーダンス・マッチングあり

図 42. プローブ・マトリックス・ボードの上面図

### 外形寸法



寸法:mm

### オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADRF5730BCCZN	-40°C to +105°C	24-Terminal Land Grid Array [LGA]	CC-24-5
ADRF5730BCCZN-R7	-40°C to +105°C	24-Terminal Land Grid Array [LGA]	CC-24-5
ADRF5730-EVALZ		Evaluation Board	

<sup>1</sup>Z=RoHS 準拠製品