

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020 年 10 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2020 年 10 月 5 日

製品名： **ADRF5720**

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 1 ページ、左上 「機能と利点」 の欄

【誤】

- 優れた減衰精度
 - 18 GHz で $0.20 \pm 0.4\%$
 - 26 GHz で $0.25 \pm 0.5\%$
 - 35 GHz で $0.30 \pm 2.0\%$
 - 40 GHz で $0.50 \pm 3.0\%$

【正】

- 優れた減衰精度（インピーダンス・マッチング有り）
 - 18 GHz まで $\pm(0.20 + \text{設定値の } 1\%) \text{ dB}$
 - 26 GHz まで $\pm(0.20 + \text{設定値の } 1.5\%) \text{ dB}$
 - 40 GHz まで $\pm(0.40 + \text{設定値の } 3.0\%) \text{ dB}$



0.5dB LSB、6 ビット、シリコン・ デジタル・アッテネータ 9kHz~40GHz

データシート

ADRF5720

特長

超広帯域周波数範囲：9kHz~40GHz

減衰範囲：0.5dB ステップで 31.5dB まで

インピーダンス・マッチングを備えた低挿入損失

18GHz まで 2.0dB

26GHz まで 2.8dB

40GHz まで 4.5dB

減衰精度（インピーダンス・マッチングあり）

18GHz まで $\pm (0.20 + \text{減衰状態の } 1.0\%)$

26GHz まで $\pm (0.20 + \text{減衰状態の } 1.5\%)$

40GHz まで $\pm (0.40 + \text{減衰状態の } 3.0\%)$

ステップ誤差（代表値、インピーダンス・マッチングあり）

26GHz まで $\pm 0.25\text{dB}$

40GHz まで $\pm 0.65\text{dB}$

高入力直線性

P0.1dB（挿入損失状態）：30dBm

P0.1dB（他の減衰状態）：27dBm

IP3：50dBm（代表値）

大 RF 入力電力処理：27dBm（平均）、30dBm（ピーク）

緊密な分布の相対位相

低周波数スプリアス信号なし

SPI およびパラレル・モード制御、CMOS/LVTTL 互換

RF 振幅のセトリング・タイム（最終 RF 出力の 0.1dB）：8 μ s

24 端子、4 mm $\times$ 4 mm の LGA パッケージ

高速スイッチング・バージョンの [ADRF5730](#) とピン互換

アプリケーション

工業用センサー

試験および計測器

セルラ・インフラストラクチャ：5G ミリ波

防衛用無線、レーダー、電子対抗手段（ECM）

マイクロ波無線および超小型地球局（VSAT）

概要

[ADRF5720](#) は、31.5dB の減衰制御範囲を 0.5dB ステップでカバーする、6 ビット・シリコン・デジタル・アッテネータです。

このデバイスは 9kHz~40GHz で動作し、4.5dB 以下の挿入損失と優れた減衰精度を備えています。ATTIN ポートには、全ての状態に対して平均 27dBm、ピークで 30dBm の無線周波数（RF）入力電力処理能力があります。

ADRF5720 は、+3.3V と -3.3V の両電源電圧を必要とし、シリアル・パラレル・インターフェース（SPI）、パラレル・モード制御、相補型金属酸化物半導体（CMOS）／低電圧トランジスタ・トランジスタ・ロジック（LVTTL）互換制御を備えています。

また、ADRF5720 は、100MHz~40GHz で動作する高速スイッチング・バージョンの [ADRF5730](#) とピン互換性があります。

ADRF5720 の RF ポートは、50 Ω の特性インピーダンスに一致するように設計されています。広帯域幅のアプリケーションでは、RF 伝送ラインでのインピーダンス・マッチングにより、高周波挿入損失、リターン・ロス、減衰精度の各特性を更に最適化することができます。詳細については、電気仕様、代表的な性能特性、アプリケーション情報の各セクションを参照してください。

ADRF5720 は、24 端子の 4mm $\times$ 4mm、RoHS 準拠、ランド・グリッド・アレイ（LGA）パッケージに収納され、-40°C~+105°C で動作可能です。

機能ブロック図

ADRF5720

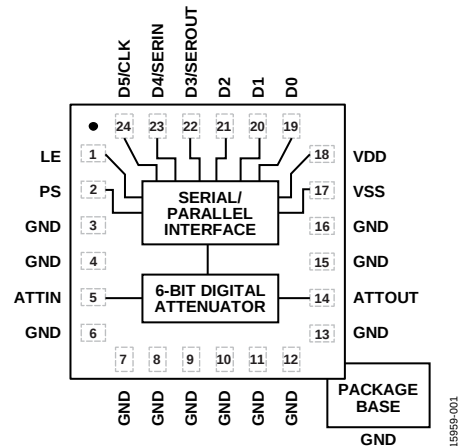


図 1.

目次

特長	1	挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相	8
アプリケーション	1	入力電力圧縮と 3 次インターセプト	12
機能ブロック図	1	動作原理	13
概要	1	電源	13
改訂履歴	2	RF 入出力	13
仕様	3	シリアルまたはパラレル・モードの選択	13
電気仕様	3	シリアル・モード・インターフェース	14
タイミング仕様	5	SEROUT の使用	14
絶対最大定格	6	パラレル・モード・インターフェース	15
熱抵抗	6	アプリケーション情報	16
パワー・ディレーティング曲線	6	評価用ボード	16
ESD に関する注意	6	プローブ・マトリックス・ボード	18
ピン配置およびピン機能の説明	7	外形寸法	19
インターフェース回路図	7	オーダー・ガイド	19
代表的な性能特性	8		

改訂履歴

7/2018—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、50Ω システムに対し、VDD = 3.3V、VSS = -3.3V、デジタル電圧 = 0V または VDD、ケース温度 (T_{CASE}) = 25°C。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE		0.009		40,000	MHz
INSERTION LOSS (IL)					
With Impedance Match	See Figure 44				
	9 kHz to 10 GHz		1.5		dB
	10 GHz to 18 GHz		2.0		dB
	18 GHz to 26 GHz		2.8		dB
	26 GHz to 35 GHz		3.7		dB
	35 GHz to 40 GHz		4.5		dB
Without Impedance Match	See Figure 43				
	9 kHz to 10 GHz		1.6		dB
	10 GHz to 18 GHz		2.1		dB
	18 GHz to 26 GHz		2.7		dB
	26 GHz to 35 GHz		3.6		dB
	35 GHz to 40 GHz		4.6		dB
RETURN LOSS	ATTIN and ATTOUT, all attenuation states				
With Impedance Match	See Figure 44				
	9 kHz to 10 GHz		18		dB
	10 GHz to 18 GHz		17		dB
	18 GHz to 26 GHz		17		dB
	26 GHz to 35 GHz		15		dB
	35 GHz to 40 GHz		15		dB
Without Impedance Match	See Figure 43				
	9 kHz to 10 GHz		18		dB
	10 GHz to 18 GHz		15		dB
	18 GHz to 26 GHz		15		dB
	26 GHz to 35 GHz		14		dB
	35 GHz to 40 GHz		11		dB
ATTENUATION					
Range	Between minimum and maximum attenuation states		31.5		dB
Step Size	Between any successive attenuation states		0.5		dB
Accuracy	Referenced to insertion loss				
With Impedance Match	See Figure 44				
	9 kHz to 10 GHz		±(0.15 + 1.0% of state)		dB
	10 GHz to 18 GHz		±(0.20 + 1.0% of state)		dB
	18 GHz to 26 GHz		±(0.20 + 1.5% of state)		dB
	26 GHz to 35 GHz		±(0.25 + 2.5% of state)		dB
	35 GHz to 40 GHz		±(0.40 + 3.0% of state)		dB
Without Impedance Match	See Figure 43				
	9 kHz to 10 GHz		±(0.15 + 1.0% of state)		dB
	10 GHz to 18 GHz		±(0.25 + 1.0% of state)		dB
	18 GHz to 26 GHz		±(0.20 + 1.5% of state)		dB
	26 GHz to 35 GHz		±(0.25 + 2.0% of state)		dB
	35 GHz to 40 GHz		±(0.40 + 5.0% of state)		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Step Error	Between any successive state				
With Impedance Match	See Figure 44				
	9 kHz to 10 GHz		±0.15		dB
	10 GHz to 18 GHz		±0.23		dB
	18 GHz to 26 GHz		±0.25		dB
	26 GHz to 35 GHz		±0.50		dB
	35 GHz to 40 GHz		±0.65		dB
Without Impedance Match	See Figure 43				
	9 kHz to 10 GHz		±0.15		dB
	10 GHz to 18 GHz		±0.23		dB
	18 GHz to 26 GHz		±0.25		dB
	26 GHz to 35 GHz		±0.40		dB
	35 GHz to 40 GHz		±0.70		dB
RELATIVE PHASE	Referenced to insertion loss				
With Impedance Match	See Figure 44				
	10 GHz		15		Degrees
	18 GHz		30		Degrees
	26 GHz		50		Degrees
	35 GHz		75		Degrees
	40 GHz		100		Degrees
Without Impedance Match	See Figure 43				
	10 GHz		15		Degrees
	18 GHz		30		Degrees
	26 GHz		50		Degrees
	35 GHz		80		Degrees
	40 GHz		105		Degrees
SWITCHING CHARACTERISTICS	All attenuation states at input power = 10 dBm				
Rise and Fall Time (t_{RISE} and t_{FALL})	10% to 90% of RF output		1.3		μs
On and Off Time (t_{ON} and t_{OFF})	50% triggered control (CTL) to 90% of RF output		3.9		μs
RF Amplitude Settling Time					
0.1 dB	50% triggered CTL to 0.1 dB of final RF output		8		μs
0.05 dB	50% triggered CTL to 0.05 dB of final RF output		10		μs
Overshoot			2		dB
Undershoot			-1.5		dB
RF Phase Settling Time	f = 5 GHz				
5°	50% triggered CTL to 5° of final RF output		3		μs
1°	50% triggered CTL to 1° of final RF output		4		μs
INPUT LINEARITY ¹	1 MHz to 30 GHz				
0.1 dB Power Compression (P0.1dB)			30		dBm
Insertion Loss State			27		dBm
Other Attenuation States			50		dBm
Third-Order Intercept (IP3)	Two-tone input power = 14 dBm per tone, Δf = 1 MHz, all attenuation states		50		dBm
DIGITAL CONTROL INPUTS	LE, PS, D0, D1, D2, D3/SEROUT ² , D4/SERIN, D5/CLK pins				
Voltage					
Low (V_{INL})		0		0.8	V
High (V_{INH})		1.2		3.3	V
Current					
Low (I_{INL})			<1		μA
High (I_{INH})	D0, D1, D2		33		μA
	LE, PS, D3/SEROUT ² , D4/SERIN, D5/CLK pins		<1		μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL CONTROL OUTPUT	D3/SEROUT pin ²				
Voltage					
Low (V_{OUTL})			0 ± 0.3		V
High (V_{OUTH})			$VDD \pm 0.3$		V
Current (I_{OUTL} , I_{OUTH})				0.5	mA
SUPPLY CURRENT	VDD and VSS pins				
Positive Supply Current			117		μ A
Negative Supply Current			-117		μ A
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage					
Positive (VDD)		3.15		3.45	V
Negative (VSS)		-3.45		-3.15	V
Digital Control Voltage		0		VDD	V
RF Input Power ³	$f = 1 \text{ MHz to } 30 \text{ GHz}$, $T_{CASE} = 85^{\circ}\text{C}^4$, all attenuation states				
ATTIN	Steady state average			27	dBm
	Steady state peak			30	dBm
	Hot switching average			24	dBm
	Hot switching peak			27	dBm
ATTOUT (Bidirectional Use)	Steady state average			18	dBm
	Steady state peak			21	dBm
	Hot switching average			15	dBm
	Hot switching peak			18	dBm
Case Temperature (T_{CASE})		-40		+105	$^{\circ}\text{C}$

¹ 入力直線性の劣化と周波数の関係については、図 30 と図 31 を参照してください。

² D3/SEROUT ピンは、パラレル制御モードでは入力、シリアル制御モードでは出力です。ピン機能の説明については、表 5 を参照してください。

³ パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。ATTIN および ATTOUT の全ての電力仕様に適用されます。

⁴ 105 $^{\circ}\text{C}$ での動作の場合、電力処理は $T_{CASE} = 85^{\circ}\text{C}$ での仕様より 3dB 低下します。

タイミング仕様

タイミング図については、図 34～図 36 を参照してください。

表 2.

Parameter	Description	Min	Typ	Max	Unit
t_{SCK}	Minimum serial period, see Figure 34	70			ns
t_{CS}	Control setup time, see Figure 34	15			ns
t_{CH}	Control hold time, see Figure 34		20		ns
t_{LN}	LE setup time, see Figure 34	15			ns
t_{LEW}	Minimum LE pulse width, see Figure 34 and Figure 36		10		ns
t_{LES}	Minimum LE pulse spacing, see Figure 34		630		ns
t_{CKN}	Serial clock hold time from LE, see Figure 34		0		ns
t_{PH}	Hold time, see Figure 36		10		ns
t_{PS}	Setup time, see Figure 36		2		ns
t_{CO}	Clock to output (SEROUT) time, see Figure 35		20		ns

絶対最大定格

表 3.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Negative Supply Voltage	-3.6 V to +0.3 V
Digital Control Input Voltage	-0.3 V to VDD + 0.3 V
RF Input Power ¹ (f = 1 MHz to 30 GHz, T _{CASE} = 85°C ²)	
ATTIN	
Steady State Average	28 dBm
Steady State Peak	31 dBm
Hot Switching Average	25 dBm
Hot Switching Peak	28 dBm
ATTOUT	
Steady State Average	19 dBm
Steady State Peak	22 dBm
Hot Switching Average	16 dBm
Hot Switching Peak	19 dBm
Temperature	
Junction (T _J)	135°C
Storage	-65°C to +150°C
Reflow	260°C
Continuous Power Dissipation (P _{DISS})	0.5 W
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	
ATTIN and ATTOUT Pins	1500 V
Digital Pins	2000 V
Charged Device Model (CDM)	1250 V

¹ パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。ATTIN および ATTOUT の全ての電力仕様に適用されます。

² 105°C での動作の場合、電力処理は T_{CASE} = 85°C での仕様より 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意が必要です。

θ_{JC} は、ジャンクションからケース底部（チャンネルからパッケージ底部）への熱抵抗です。

表 4. 熱抵抗

Package Type	θ _{JC}	Unit
CC-24-5	100	°C/W

パワー・ディレーティング曲線

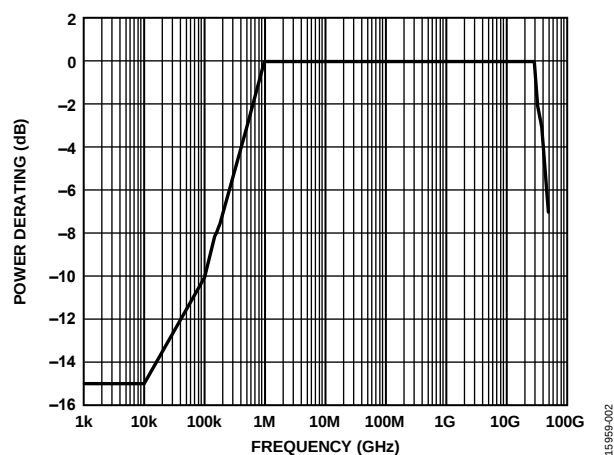


図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、
T_{CASE} = 85°C

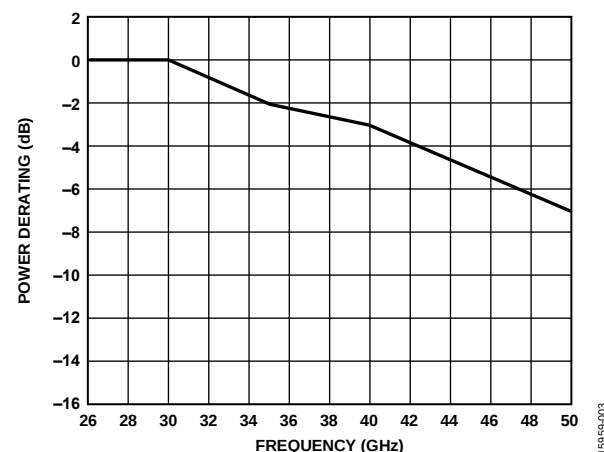


図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、
T_{CASE} = 85°C

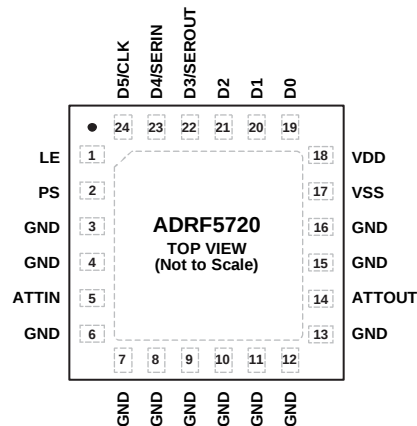
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND OF THE PCB.

15959-004

図 4. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	説明
1	LE	ラッチ・イネーブル入力。詳細については、動作原理のセクションを参照してください。
2	PS	制御インターフェースについてパラレルまたはシリアルを選択を入力。詳細については、動作原理のセクションを参照してください。
3, 4, 6 to 13, 15, 16	GND	グラウンド。これらのピンは、PCB の RF/DC グラウンドに接続する必要があります。
5	ATTIN	アッテネータ入力。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。
14	ATTOUT	アッテネータ出力。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。
17	VSS	負電源入力。
18	VDD	正電源入力。
19	D0	0.5dB 減衰ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。
20	D1	1dB 減衰ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。
21	D2	2dB 減衰ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。
22	D3/SEROUT	4dB 減衰ビット用パラレル制御入力 (D3)。
23	D4/SERIN	シリアル・データ出力 (SEROUT)。詳細については、動作原理のセクションを参照してください。
24	D5/CLK	シリアル・データ入力 (SERIN)。詳細については、動作原理のセクションを参照してください。
	EPAD	16dB 減衰ビット用パラレル制御入力 (D5)。
		シリアル・クロック入力 (CLK)。詳細については、動作原理のセクションを参照してください。
		露出パッド。露出パッドは、PCB の RF/DC グラウンドに接続する必要があります。

インターフェース回路図

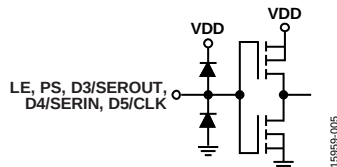


図 5. デジタル入力のインターフェース (LE、PS、D3/SEROUT、D4/SERIN、D5/CLK)

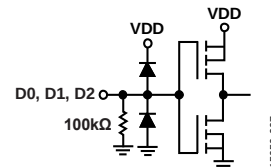


図 7. デジタル入力のインターフェース (D0、D1、D2)

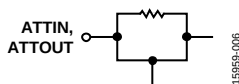


図 6. ATTIN と ATTOUT のインターフェース

代表的な性能特性

挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相

特に指定のない限り、50Ω システムに対し、VDD = 3.3V、VSS = -3.3V、デジタル電圧 = 0V または VDD、T_{CASE} = 25°C。測定は、プローブ・マトリックス・ボード上でグラウンド信号グラウンド (GSG) プローブを使用し、RF ピン (ATTIN と ATTOUT) の直近で行いました。評価用ボードとプローブ・マトリックス・ボードの詳細については、アプリケーション情報のセクションを参照してください。

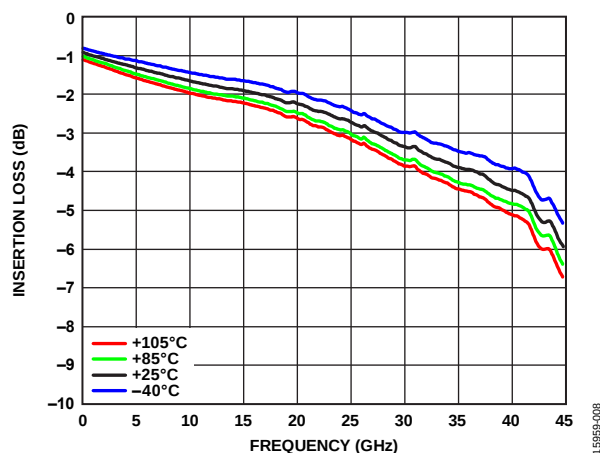


図 8. 挿入損失と周波数の関係
(インピーダンス・マッチングあり)

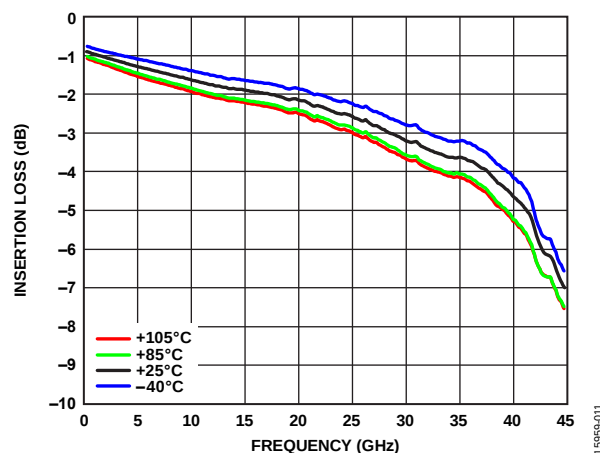


図 11. 各種温度での挿入損失と周波数の関係
(インピーダンス・マッチングなし)

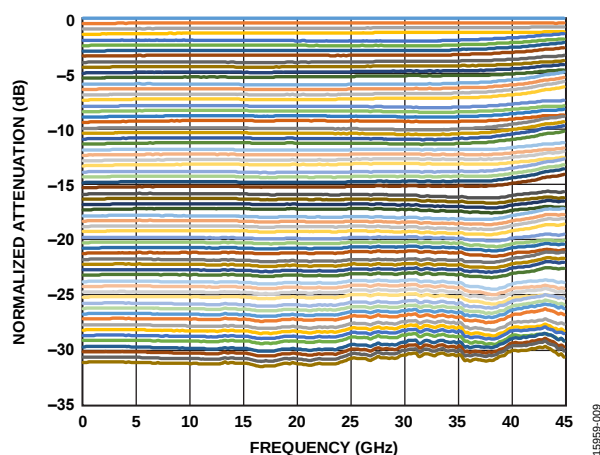


図 9. 全状態の規格化減衰量と周波数の関係
(室温、インピーダンス・マッチングあり)

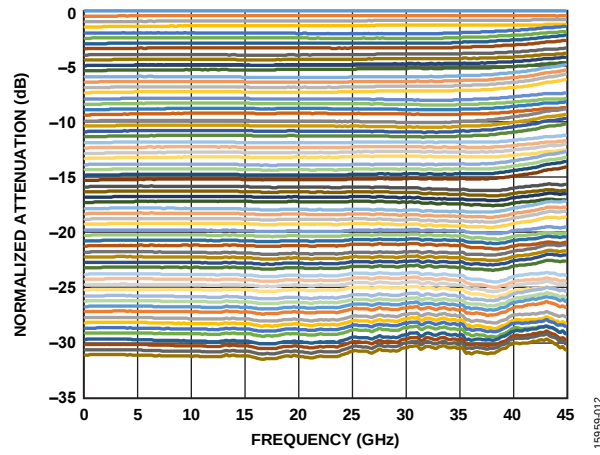


図 12. 全状態の規格化減衰量と周波数の関係
(室温、インピーダンス・マッチングなし)

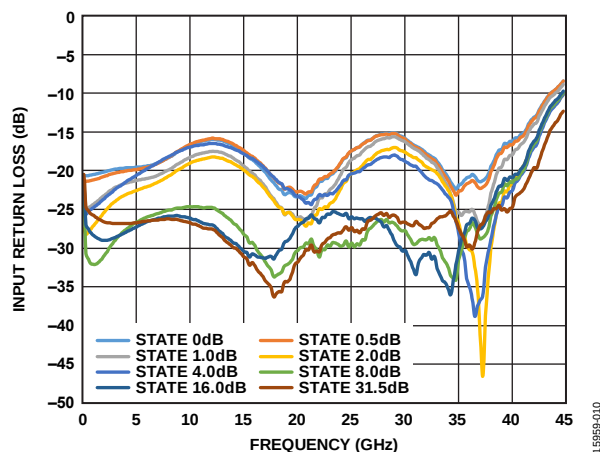


図 10. 入力リターン・ロスと周波数の関係
(主要状態のみ、インピーダンス・マッチングあり)

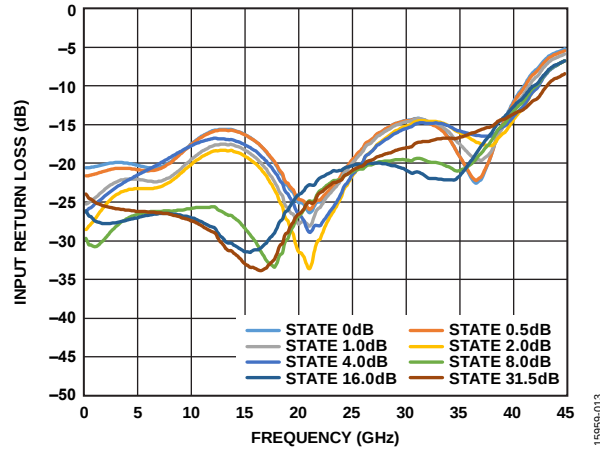


図 13. 入力リターン・ロスと周波数の関係
(主要状態のみ、インピーダンス・マッチングなし)

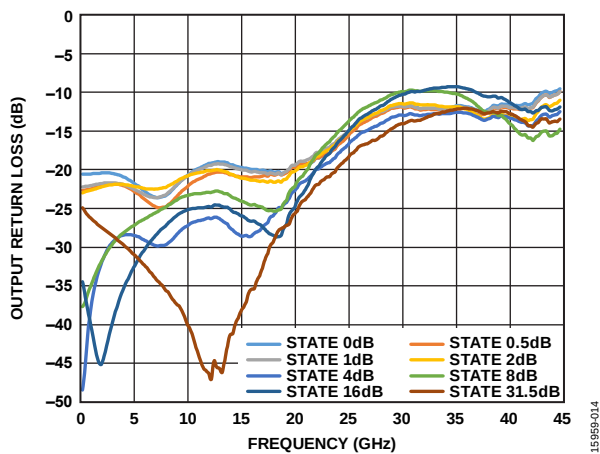


図 14. 出力リターン・ロスと周波数の関係
(主要状態のみ、インピーダンス・マッチングあり)

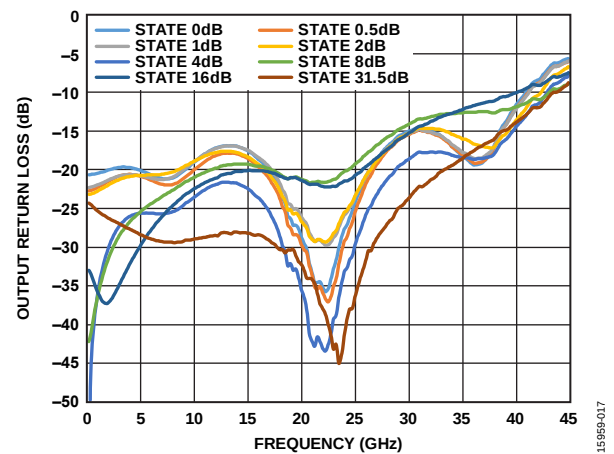


図 17. 出力リターン・ロスと周波数の関係
(主要状態のみ、インピーダンス・マッチングなし)

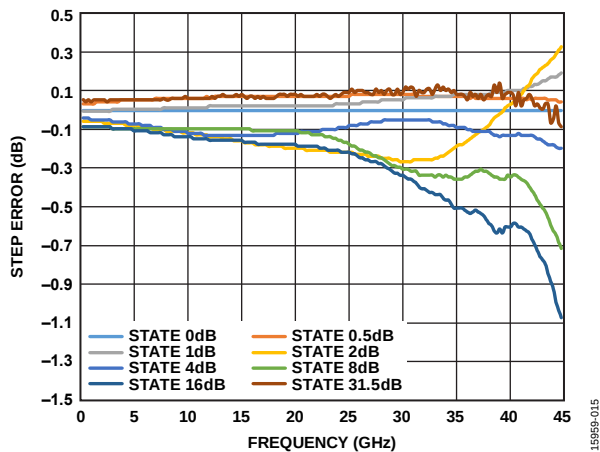


図 15. ステップ誤差と周波数の関係
(主要状態のみ、インピーダンス・マッチングあり)

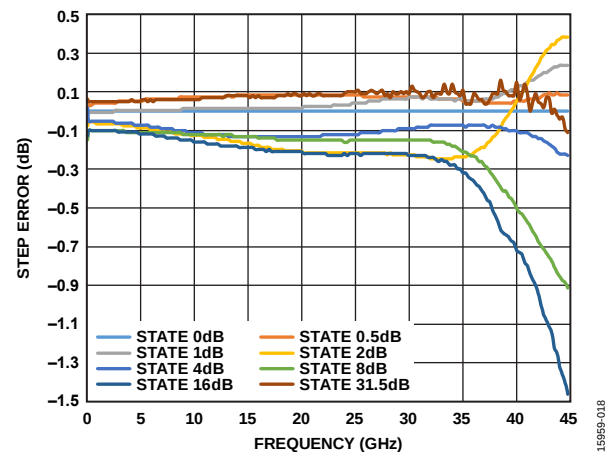


図 18. ステップ誤差と周波数の関係
(主要状態のみ、インピーダンス・マッチングなし)

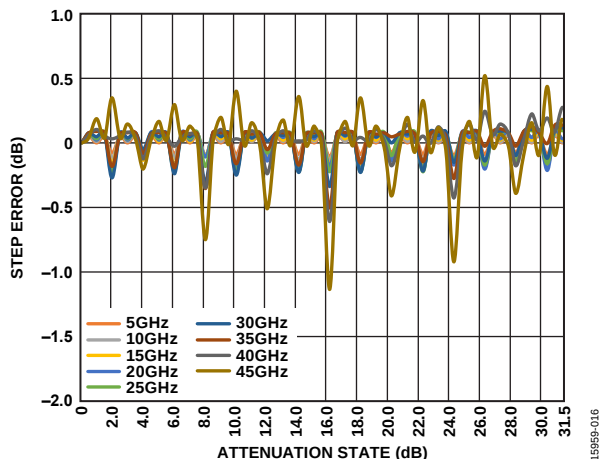


図 16. 各種周波数でのステップ誤差と減衰状態の関係
(インピーダンス・マッチングあり)

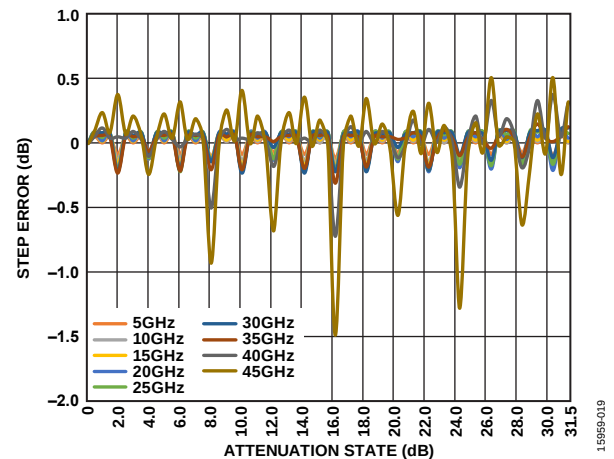


図 19. 各種周波数でのステップ誤差と減衰状態の関係
(インピーダンス・マッチングなし)

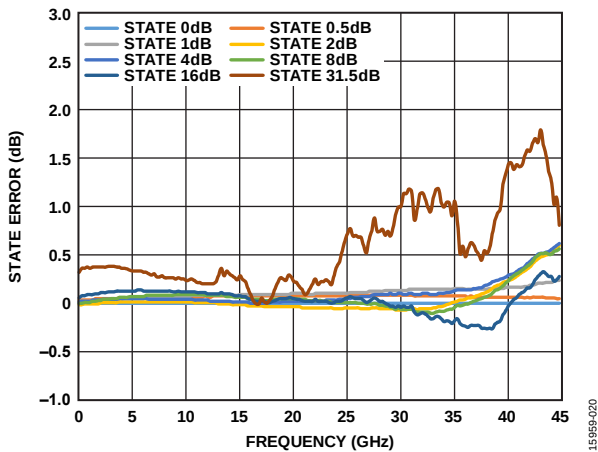


図 20. 状態誤差と周波数の関係
(主要状態のみ、インピーダンス・マッチングあり)

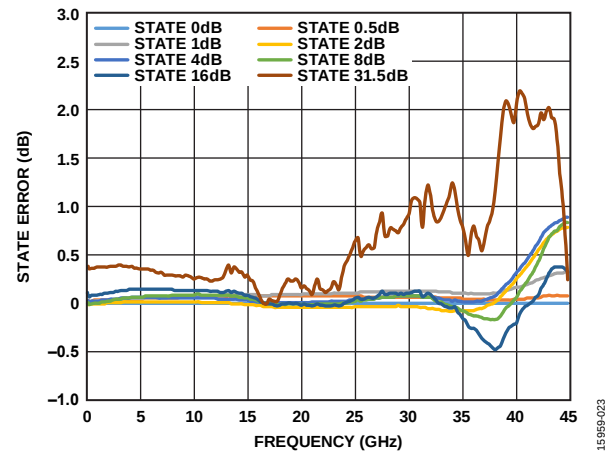


図 23. 状態誤差と周波数の関係
(主要状態のみ、インピーダンス・マッチングなし)

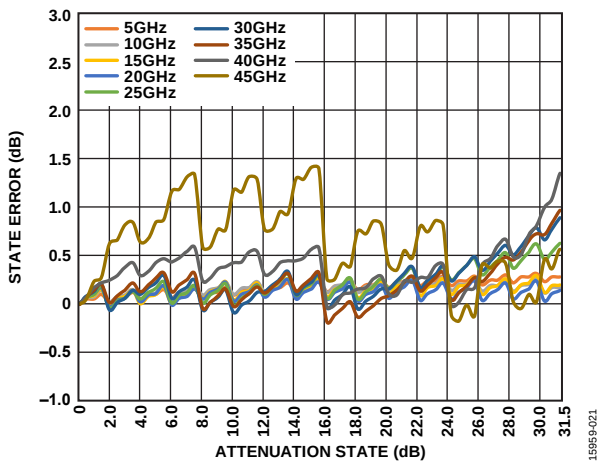


図 21. 各種周波数での状態誤差と減衰状態の関係
(インピーダンス・マッチングあり)

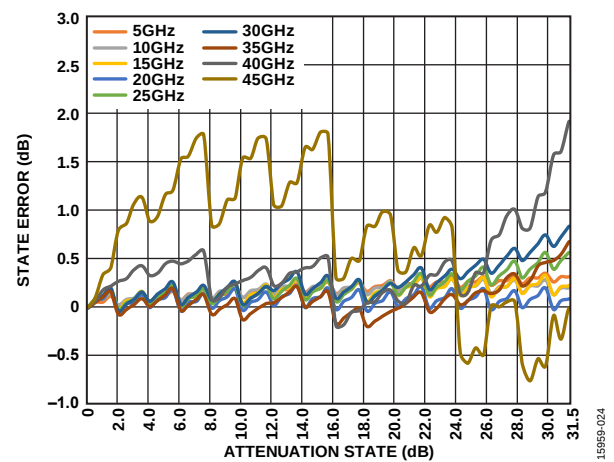


図 24. 各種周波数での状態誤差と減衰状態の関係
(インピーダンス・マッチングなし)

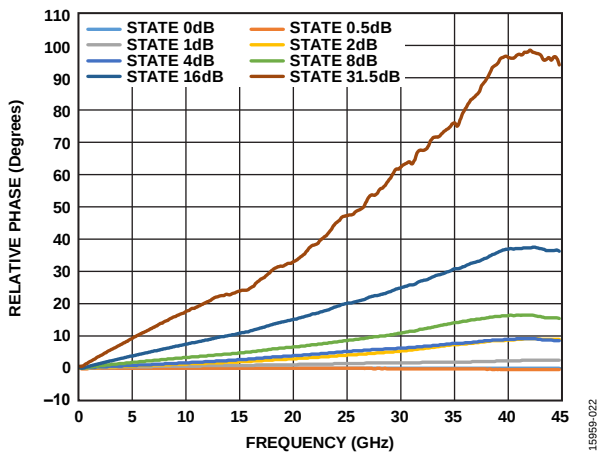


図 22. 相対位相と周波数の関係
(主要状態のみ、インピーダンス・マッチングあり)

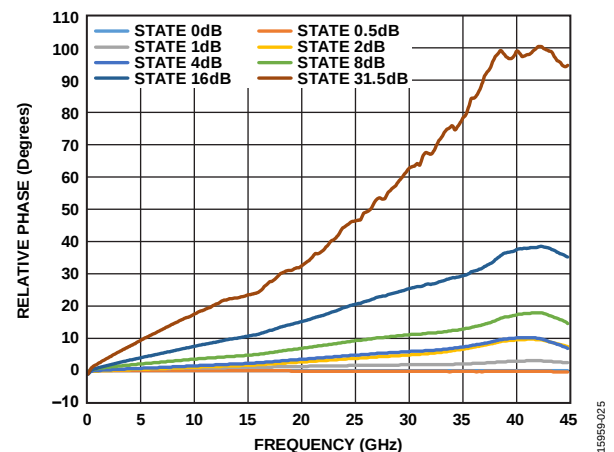


図 25. 相対位相と周波数の関係
(主要状態のみ、インピーダンス・マッチングなし)

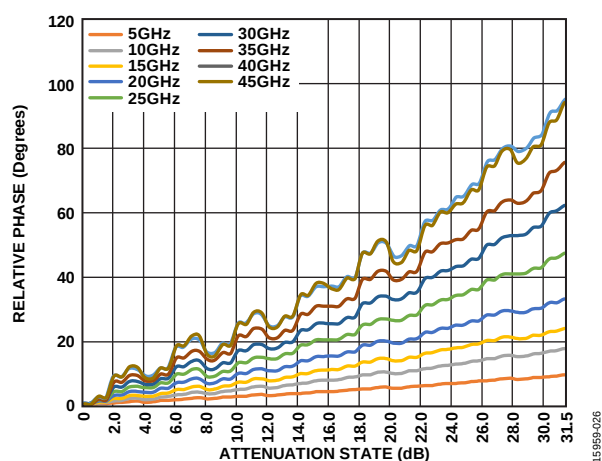


図 26. 各種周波数での相対位相と減衰状態の関係
(インピーダンス・マッチングあり)

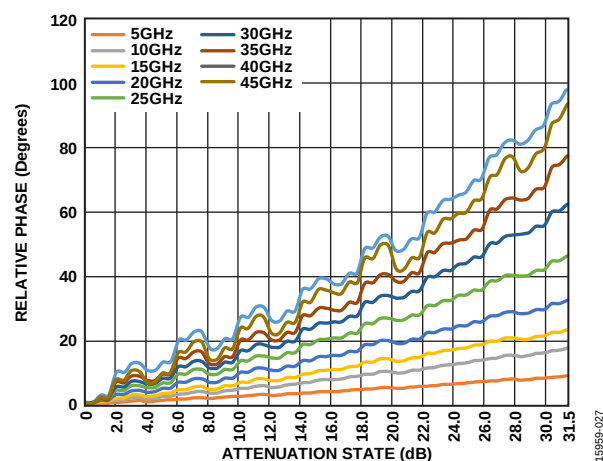


図 27. 各種周波数での相対位相と減衰状態の関係
(インピーダンス・マッチングなし)

入力電力圧縮と 3 次インターセプト

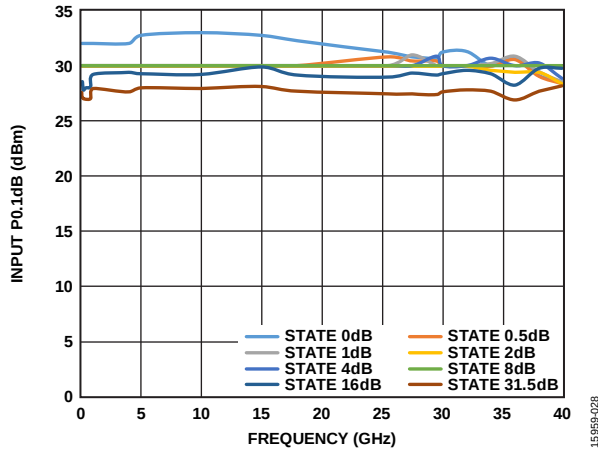


図 28. 入力 P0.1dB と周波数の関係（主要状態のみ）

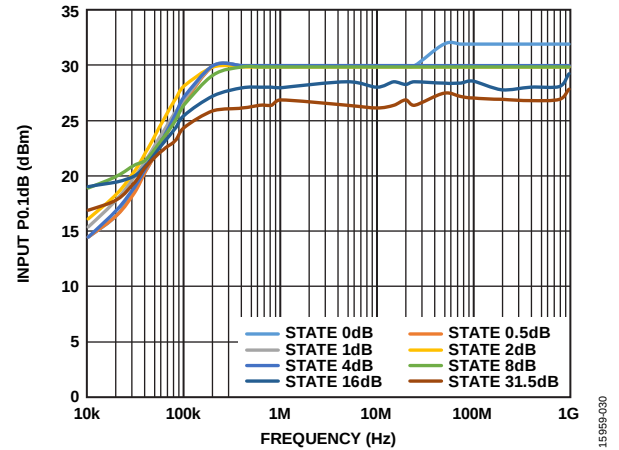


図 30. 入力 P0.1dB と周波数の関係（主要状態のみ、低周波数の詳細）

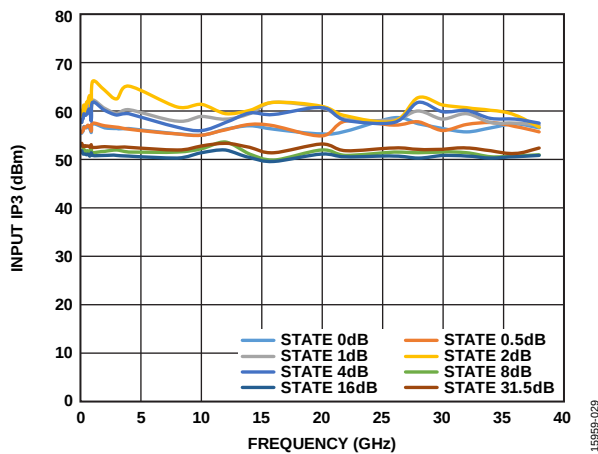


図 29. 入力 IP3 と周波数の関係（主要状態のみ）

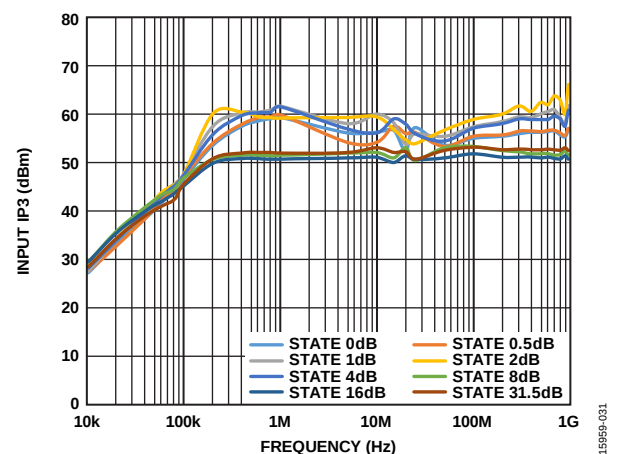


図 31. 入力 IP3 と周波数の関係（主要状態のみ、低周波数の詳細）

動作原理

ADRF5720 は、0.5dB ステップで 31.5dB の減衰範囲を備える 6 ビット固定のアッテネータ・アレイを内蔵しています。内蔵ドライバは、アッテネータ・アレイの制御をシリアル・モードとパラレル・モードのどちらでも行うことができます（図 32 参照）。

このセクションでは、多機能ピンのある 1 つの機能について説明する場合、そのピン名の関係部分のみを示しています。多機能ピンの完全なピン名については、ピン配置およびピン機能の説明のセクションを参照してください。

電源

ADRF5720 は、VDD ピンに供給する正電源電圧と、VSS ピンに供給する負電源電圧を必要とします。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを設けることをお勧めします。

電源投入シーケンスは次のとおりです。

1. GND を接続。
2. VDD に電源投入。
3. VSS に電源投入。
4. デジタル制御入力を印加。デジタル制御入力間の相互の順序は重要ではありません。ただし、VDD への電源投入の前にデジタル制御入力を印加すると、意図せぬバイアス電流の原因となり、内蔵 ESD 保護構造に損傷を与えるおそれがあります。
5. RF 入力信号を ATTIN と ATTOUT に印加。

パワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

表 7. 真理値表

Digital Control Input ¹						Attenuation State (dB)
D5	D4	D3	D2	D1	D0	
Low	Low	Low	Low	Low	Low	0 (reference)
Low	Low	Low	Low	Low	High	0.5
Low	Low	Low	Low	High	Low	1.0
Low	Low	Low	High	Low	Low	2.0
Low	Low	High	Low	Low	Low	4.0
Low	High	Low	Low	Low	Low	8.0
High	Low	Low	Low	Low	Low	16.0
High	High	High	High	High	High	31.5

¹ 表 7 に示す制御電圧入力状態をどのように組み合わせても、選択したビットの和に相当する減衰量が提供されます。

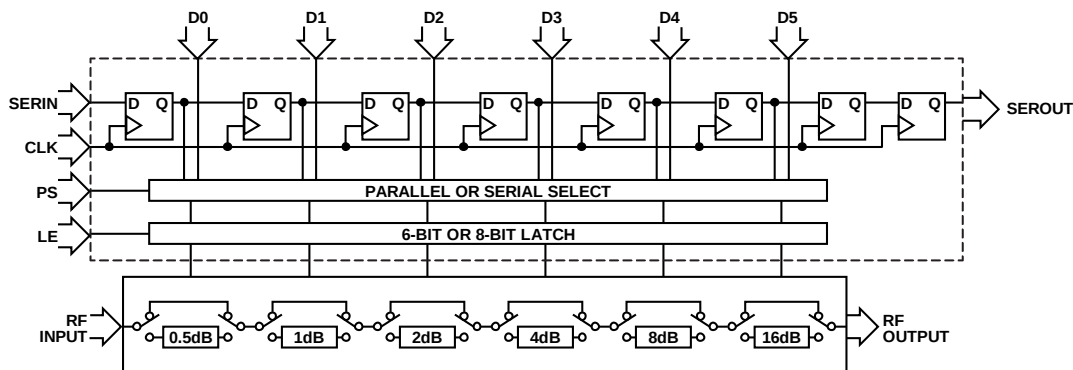


図 32. 簡略回路図

RF 入出力

両 RF ポート（ATTIN および ATTOUT）は 0V に DC カップリングしており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。

RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング部品は不要です。広帯域幅のアプリケーションでは、インピーダンス・マッチングを使用すると、高周波数での挿入損失、リターン・ロス、減衰精度の性能を改善できます。インピーダンス・マッチングのセクションを参照してください。

ADRF5720 は、低消費電力レベルでは双方向動作に対応します。ATTIN ポートと ATTOUT ポートの電力処理は異なります。そのため、双方向の電力処理は ATTOUT ポートで定義されます。表 1 の RF 入力パワーの各仕様を参照してください。

シリアルまたはパラレル・モードの選択

ADRF5720 は、PS ピンをハイに設定することでシリアル・モードで、ローに設定することでパラレル・モードで制御できます（表 6 参照）。

表 6. モード選択

PS	Control Mode
Low	Parallel
High	Serial

シリアル・モード・インターフェース

ADRF5720 は、シリアル・データ入力（SERIN）、クロック（CLK）、ラッチ・イネーブル（LE）の 3 線式 SPI に対応します。シリアル制御インターフェースは、PS をハイに設定することでアクティブ化できます。

ADRF5720 の減衰状態は、6 ビットまたは 8 ビットの SERIN データで制御できます。8 ビット・ワードを使用してアッテネータの状態を制御する場合、最初の 2 ビット（D7 と D6）はドント・ケア・ビットとなります。これら 2 ビットは、ローのままでもハイのままでも、あるいは完全に省略されてもかまいません。ビット [D0 : D5] のみで、アッテネータの状態は設定されます。

シリアル・モードでは、SERIN データは CLK の立上がりエッジでクロックされ、最上位ビット（MSB）ファーストでシフト・レジスタに入力されます。その後、新しい減衰状態をデバイスにラッチするため、LE がハイにトグルされる必要があります。LE がハイのままでは CLK がマスクされて減衰状態が変更できなくなるため、新しい SERIN データをクロックしてシフト・レジスタに入力するには、LE がローになる必要があります。表 2 および表 7 と照らし合わせながら図 34 を参照してください。

SEROUT の使用

ADRF5720 にはシリアル・データ出力 SEROUT も備わっています。SEROUT は 8 番目のクロック・サイクルでシリアル入力データを出力し、1 つの SPI バスを使用してカスケード接続されたアッテネータを制御できます。図 35 にシリアル出力のタイミング図を示します。

アッテネータをデジチェーン動作で使用する場合、SERIN と SEROUT の間に 8 クロック・サイクル分の遅延があるため、8 ビットの SERIN データを使用する必要があります。

最初のアッテネータの SEROUT と次のアッテネータの SERIN の間に $1\text{k}\Omega$ の抵抗をオプションで使用すると、信号をフィルタリングできます（図 33 参照）。

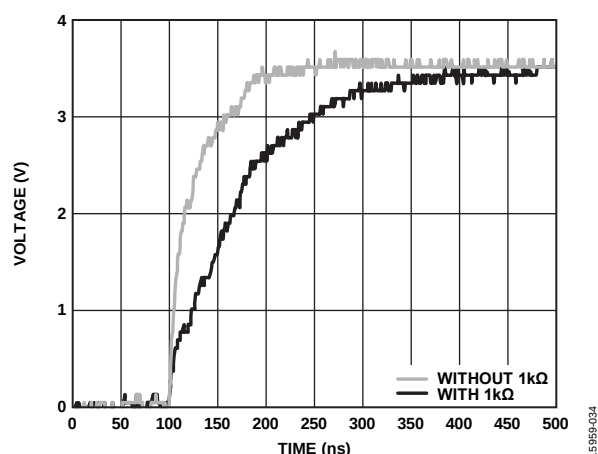


図 33. SEROUT に抵抗を使用

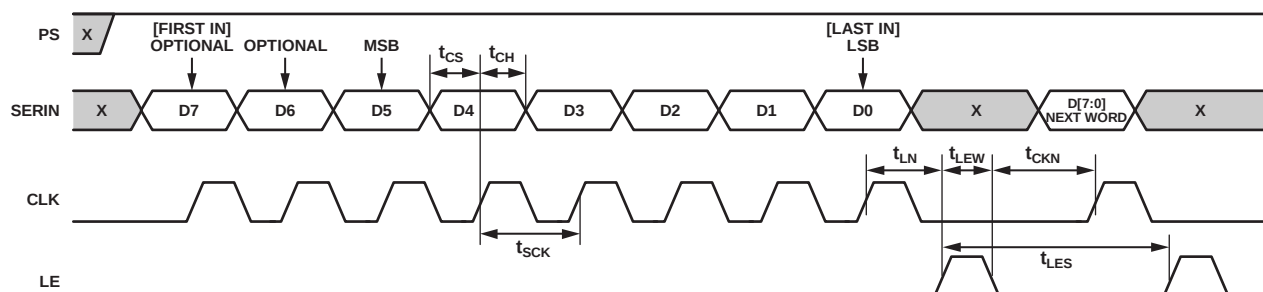


図 34. シリアル制御のタイミング図

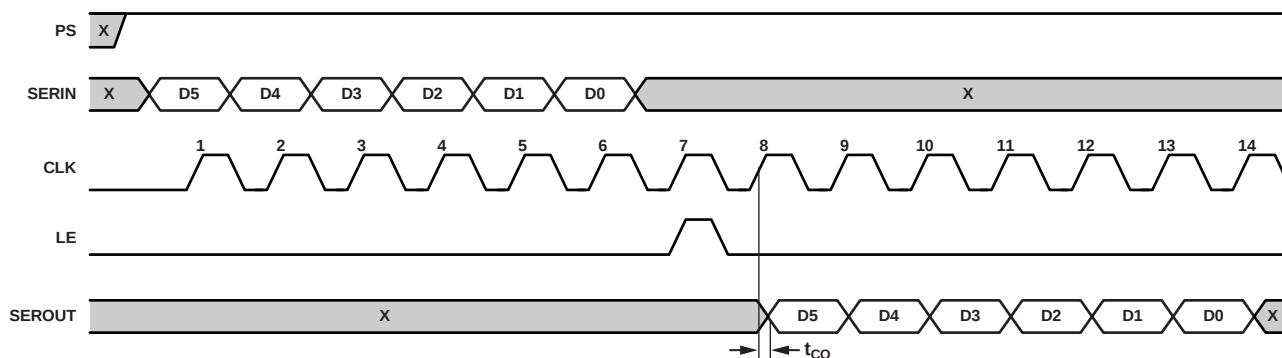


図 35. シリアル出力のタイミング図

パラレル・モード・インターフェース

ADRF5720 には、D0 (LSB) ～D5 (MSB) の 6 ビットのデジタル制御入力があり、パラレル・モードで希望の減衰状態を選択できます (表 7 参照)。パラレル制御インターフェースは、PS をローに設定することでアクティブ化できます。

パラレル動作には、直接パラレルとラッチド・パラレルの 2 つのモードがあります。

直接パラレル・モード

直接パラレル・モードを有効化するには、LE ピンがハイのままである必要があります。減衰状態は、制御電圧入力 (D0～D5) で直接変更できます。このモードはアッテネータの手動制御に最適です。

ラッチド・パラレル・モード

ラッチド・パラレル・モードを有効化するには、制御電圧入力 (D0～D5) を変更して減衰状態を設定する際に、LE ピンがローのままである必要があります。目的の状態が設定されると、LE をハイにトグルして、この 6 ビットのデータをアッテネータ・アレイのバイパス・スイッチに転送し、その後、ローにトグルして、次の減衰状態変更が要求されるまでこの変更をデバイスにラッチする必要があります (表 2 と照らし合わせて図 36 を参照)。

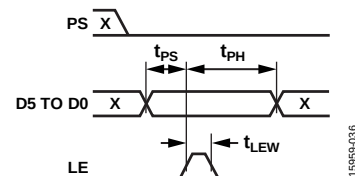


図 36. ラッチド・パラレル・モードのタイミング図

アプリケーション情報

評価用ボード

ADRF5720-EVALZ は、4 層の評価用ボードです。外側の銅 (Cu) 層は 0.5oz (0.7mil) ではなく 1.5oz (2.2mil) の厚さにメッキされ、誘電体材料で分離されています。評価用ボードの層構成を図 37 に示します。

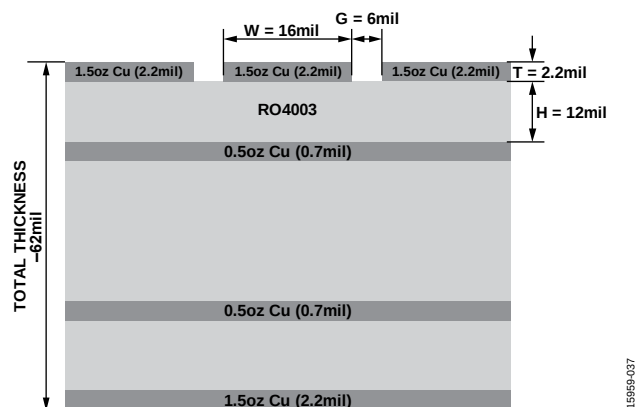


図 37. 評価用ボードの層構成

RF と DC の全てのパターンが上面の銅層に配線されています。一方、内部の層と底面の層はグラウンド・プレーンで、RF 伝送ラインに安定したグラウンドを提供します。上部の誘電体材料は 12mil の Rogers RO4003 で、最適な高周波性能を実現します。中間部および下部の誘電体材料によって、機械的な強度がもたらされます。ボード全体の厚さは 62mil なので、2.4mm の RF ランチャをボード端に接続できます。

Rf 伝送ラインは、パターン幅が 16mil、グラウンドとの間隙が 6mil で特性インピーダンスが 50Ω の共平面導波路 (CPWG) モデルを使用して設計されています。RF 接地と熱接地を最適化するため、伝送ラインの周囲とパッケージの露出パッド下には、可能な限り多くのスルー・ビアが配置されています。

ADRF5720-EVALZ の RF 伝送ラインには、高周波インピーダンス・マッチングは実装されていません。インピーダンス・マッチング回路の詳細については、プローブ・マトリックス・ボードのセクションのインピーダンス・マッチングの項を参照してください。

スルー・キャリブレーションを使用することで、ADRF5720-EVALZ 評価用ボードの測定データからボードの損失の影響を補正し、IC の各ピンでデバイス性能を確認することができます。

ADRF5720-EVALZ 評価用ボードの室温での代表的なボード損失、ボード損失を含んだ ADRF5720 の挿入損失、およびボード損失を差し引いた ADRF5720 の挿入損失を図 38 に示します。

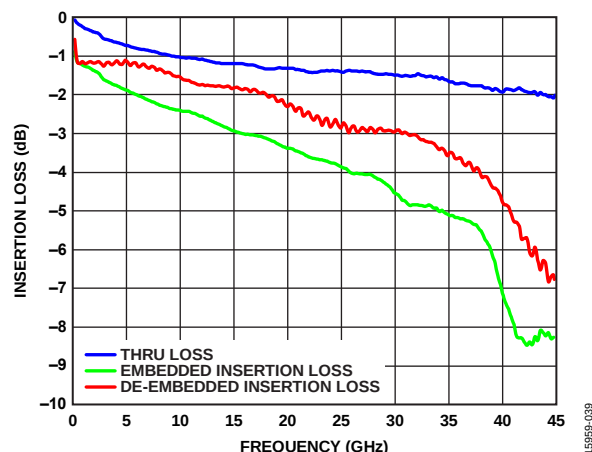


図 38. 挿入損失と周波数の関係

部品を配置した実際の ADRF5720 評価用ボードを図 39 に示します。

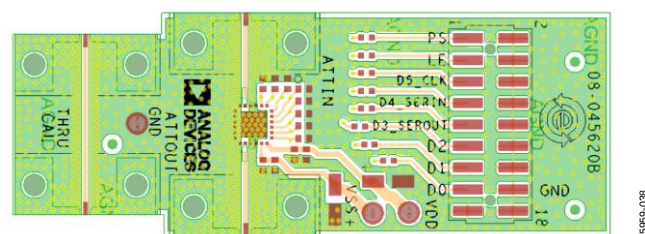


図 39. 評価ボードの上面図

2つの電源ポートは VDD と VSS のテスト・ポイントである TP1 と TP2 に接続され、グラウンド・リファレンスは、GND のテスト・ポイントである TP4 に接続されています。電源パターン (VDD と VSS) では、100pF のバイパス・コンデンサを使用して高周波ノイズが除去されます。更に、未実装の部品位置にはバイパス・コンデンサを追加実装できます。

デジタル制御ピンは全て、デジタル信号パターンを経由して 2×9 ピンのヘッダ、P1 に接続されます。DC カップリング・ノイズを除去するため、抵抗コンデンサ (RC) フィルタが備わっています。ADRF5720 は外付けの RC フィルタを用いずに測定しました。すなわち、直列抵抗は 0Ω で、シャント・コンデンサは評価用ボードには配置していません。

RF 入出力ポート (ATTIN および ATTOUT) は 50Ω の伝送ラインを通して、2.4mm の RF ランチャ J1 および J2 にそれぞれ接続されています。これらの高周波 RF ランチャは、ボードに接触して接続されていますが、ハンダ処理はされていません。

スルー・キャリブレーション・ラインによって未実装のランチャ、J3 および J4 が接続されています。この伝送ラインは、評価対象の環境条件での PCB による損失を評価するために使用されます。

ADRF5720-EVALZ 評価用ボードの回路図を図 40 に示します。

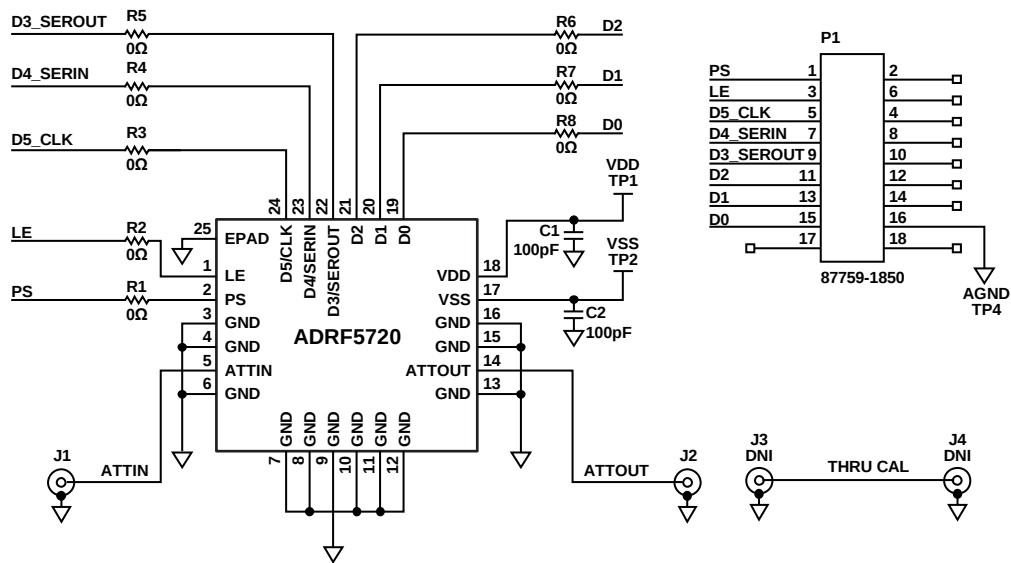


図 40. 評価用ボードの回路図

表 8. 評価用ボードの部品

Component	Default Value	Description
C1, C2	100 pF	Capacitors, C0402 package
J1 to J4	Not applicable	2.4 mm end launch connectors (Southwest Microwave: 1492-04A-5)
P1	Not applicable	2 × 9-pin header
R1 to R8	0 Ω	Resistors, 0402 package
TP1, TP2, TP4	Not applicable	Through hole mount test points
U1	ADRF5720	ADRF5720 digital attenuator, Analog Devices, Inc.

プローブ・マトリックス・ボード

プローブ・マトリックス・ボードは 4 層のボードです。評価用ボードと同様、このボードも 12mil の Rogers RO4003 誘電体材料を使用しています。上面と底面の銅層は 0.5oz (0.7mil) ではなく 1.5oz (2.2mil) の厚さにメッキされています。RF 伝送ラインは、パターン幅が 16mil、グラウンドとの間隙が 6mil で特性インピーダンスが 50Ω の CPWG モデルを使用して設計されています。

ボードの断面図を図 41 に、上面図を図 42 に示します。測定は GSG プローブを使用し、RF ピン (ATTIN および ATTOUT) の直近で行いました。評価用ボードとは異なり、プローブによる測定ではコネクタ、ケーブル、ボード・レイアウトに起因する不整合によって生じる反射が減少するため、より高い精度でデバイス性能を測定することができます。

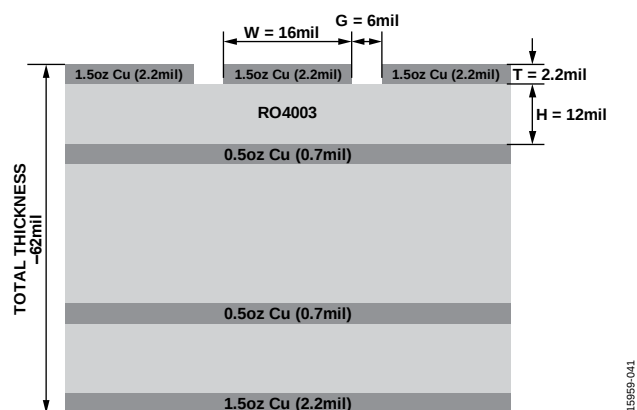


図 41. プローブ・マトリックス・ボードの層構成の断面図

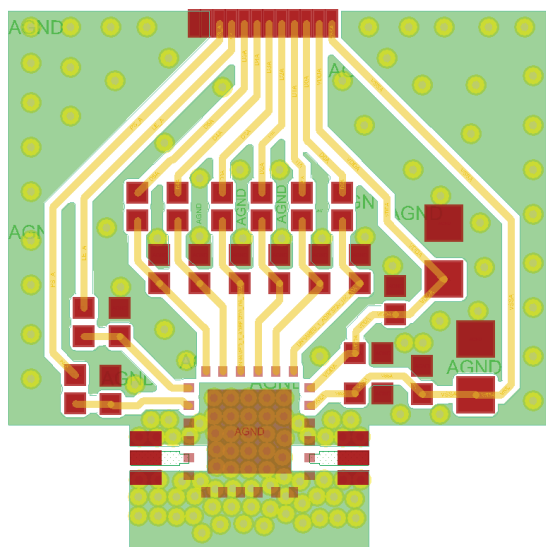


図 42. プローブ・マトリックス・ボードの上面図

プローブ・マトリックス・ボードには、ボード損失を除去できるスルー・リフレクト・ライン (TRL) キャリブレーション・キットがあります。実際のボードでは同じレイアウトがマトリックス状に複製され、複数のデバイスが同時に実装されます。このボードで全ての S パラメータが測定されました。

インピーダンス・マッチング

RF ピン (ATTIN および ATTOUT) のインピーダンス・マッチングによって、高周波数での挿入損失、リターン・ロス、減衰精度を改善できます。図 43 と図 44 に、ATTIN ピンと ATTOUT ピンでの伝送ラインの違いを示します。

50Ω ラインのサイズは、幅が 16mil、間隙が 6mil です。インピーダンス・マッチング回路を実装するために、パッド長は 5mil だけ引き伸ばされ、17mil から 22mil になります。キャリブレーション・リファレンス・キットにはこの 5mil のマッチング・ラインはありません。そのため、測定した挿入損失にはマッチング回路の損失が含まれています。

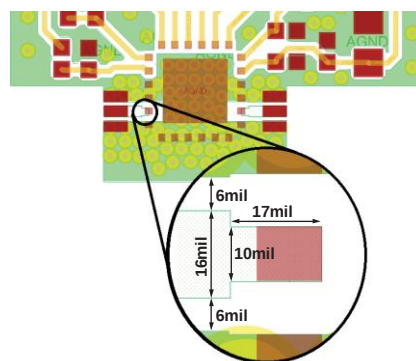


図 43. インピーダンス・マッチングなし

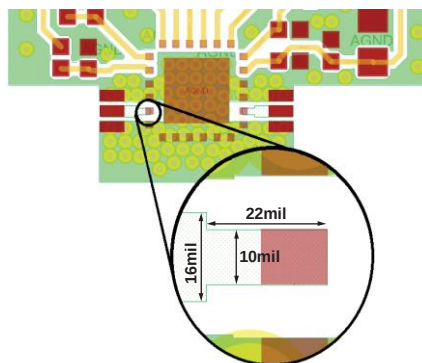


図 44. インピーダンス・マッチングあり

外形寸法

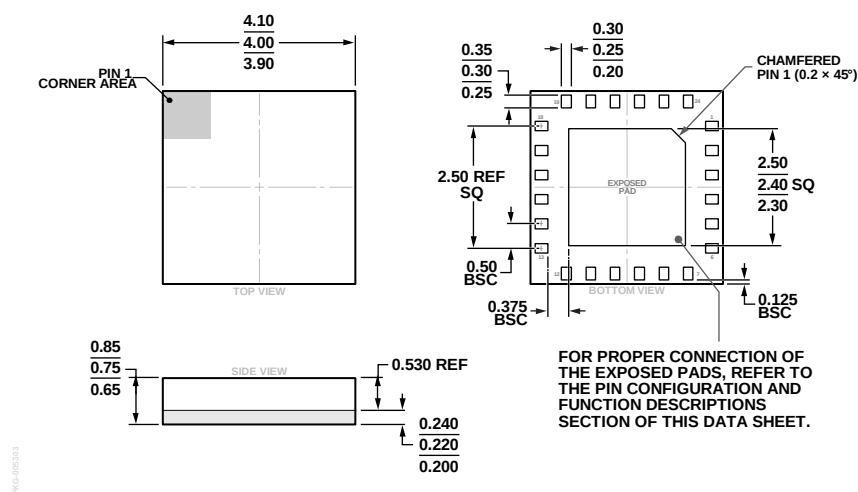


図 45. 24 端子・ランド・グリッド・アレイ [LGA]
4 mm × 4 mm ボディ、0.75mm パッケージ高
(CC-24-5)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADRF5720BCCZN	−40°C to +105°C	24-Terminal Land Grid Array [LGA]	CC-24-5
ADRF5720BCCZN-R7	−40°C to +105°C	24-Terminal Land Grid Array [LGA]	CC-24-5
ADRF5720-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品