

キャリア配置ダイ、 シリコン・デジタル減衰器、2dB LSB、 4ビット、10MHz～60GHz

特長

- ▶ 超広帯域周波数範囲：10MHz～60GHz
- ▶ 減衰範囲：22dB（2dB ステップ）
- ▶ ワイヤ・ボンドおよびリボン・ボンド用のボンド・パッド
- ▶ 低挿入損失
 - ▶ 1.3dB（代表値、20GHz まで）
 - ▶ 2.0dB（代表値、44GHz まで）
 - ▶ 2.7dB（代表値、55GHz まで）
- ▶ 減衰精度（インピーダンス・マッチング有り）
 - ▶ $\pm(0.3 + \text{減衰状態の } 1.0\%)$ （代表値、20GHz まで）
 - ▶ $\pm(0.4 + \text{減衰量状態の } 4.0\%)$ （代表値、44GHz まで）
 - ▶ $\pm(0.4 + \text{減衰量状態の } 6.0\%)$ （代表値、55GHz まで）
- ▶ ステップ誤差（代表値）
 - ▶ $\pm 0.30\text{dB}$ （代表値、20GHz まで）
 - ▶ $\pm 0.65\text{dB}$ （代表値、44GHz まで）
 - ▶ $\pm 1.10\text{dB}$ （代表値、55GHz まで）
- ▶ 高入力直線性
 - ▶ P0.1dB：25.5dBm（代表値）
 - ▶ IP3：45dBm（代表値）
- ▶ 大 RF 電力処理
 - ▶ 23dBm（定常状態およびホット・スイッチング、平均値）
 - ▶ 24dBm（定常状態およびホット・スイッチング、ピーク値）
- ▶ 相対位相の分布が緊密
- ▶ 低周波数スプリアス・シグナルなし
- ▶ パラレル・モード制御、CMOS/LVTTL 互換
- ▶ RF 振幅のセトリング・タイム（最終 RF 出力の 0.1dB）：175ns
- ▶ 16 パッド、2.770mm × 1.620mm、キャリア配置ダイ [CHIP]

アプリケーション

- ▶ 工業用スキャナ
- ▶ 試験および計測器
- ▶ セルラ・インフラ：5G ミリ波
- ▶ 防衛用無線、レーダー、電子対抗手段（ECM）
- ▶ マイクロ波無線および超小型地球局（VSAT）

機能ブロック図

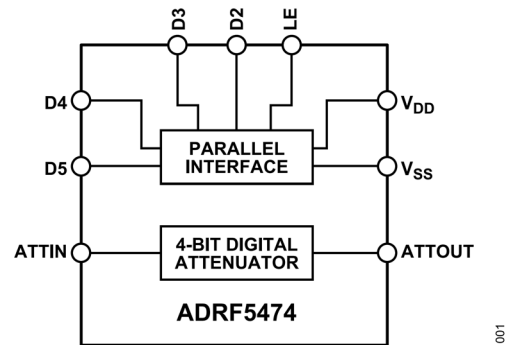


図 1. 代表的なアプリケーション回路

概要

ADRF5474 は、シリコン・プロセスで作製した 2dB ステップで 22dB の減衰制御範囲を持つ 4 ビット・デジタル減衰器で、ガリウム砒素 (GaAs) キャリア基板に取り付けられています。基板には、チップおよびワイヤ・アセンブリのためのボンド・パッドが備わっており、デバイスの底面は金属被覆されてグラウンドに接続されています。

このデバイスは 10MHz～60GHz で動作し、55GHz で 2.7dB 以下の低挿入損失と優れた減衰精度を実現します。ADRF5474 の RF 入力電力処理能力は、すべての状態に対して、平均値で 23dBm、ピーク値で 24dB です。

ADRF5474 には、+3.3V と -3.3V の両電源電圧が必要です。パラレル・モード制御と、CMOS（相補型金属酸化膜半導体）／LVTTL（低電圧トランジスタ・トランジスタ・ロジック）互換制御が可能です。

ADRF5474 は、50Ω の特性インピーダンスに適合するように設計されています。

目次

特長	1	代表的な性能特性	8
アプリケーション	1	挿入損失、リターン・ロス、状態誤差、ステップ誤差、 相対位相	8
機能ブロック図	1	入力電力圧縮と 3 次インターセプト	10
概要	1	動作原理	11
仕様	3	電源	11
電気仕様	3	RF 入出力	11
タイミング仕様	4	パラレル・モード・インターフェース	12
絶対最大定格	5	アプリケーション情報	13
熱抵抗	5	ダイのアセンブリ	13
パワー・ディレーティング曲線	5	ハンドリング、マウンティングおよびエポキシ樹脂による ダイ接着	13
静電放電 (ESD) 定格	5	外形寸法	14
ESD に関する注意	6	オーダー・ガイド	14
ピン配置およびピン機能の説明	7		
インターフェース回路図	7		

改訂履歴

5/2022—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、制御電圧 = 0V または V_{DD} 、ダイ温度 (T_{DIE}) = 25°C、50 Ω システム。

S パラメータは、マイクロストリップ・ランチャと 3 ミル幅リボン・ボンドを用いて、グラウンド-信号-グラウンド (GSG) プローブで測定します。このランチャはディエンベディングされています。アセンブリの詳細は、[アプリケーション情報](#)のセクションを参照してください。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE		10		60,000	MHz
INSERTION LOSS	10MHz~20GHz		1.3		dB
	20GHz~44GHz		2.0		dB
	44GHz~55GHz		2.7		dB
	55GHz~60GHz		4.0		dB
RETURN LOSS	ATTN および ATTOUT、全減衰状態				
	10MHz~20GHz		13		dB
	20GHz~44GHz		11		dB
	44GHz~55GHz		9		dB
	55GHz~60GHz		6		dB
ATTENUATION					
Range	最小減衰状態と最大減衰状態の間		22		dB
Step Size	連続する任意の減衰状態の間		2		dB
Accuracy	挿入損失を基準				
	10MHz~20GHz		$\pm(0.3 + 1.0\% \text{ of state})$		dB
	20GHz~44GHz		$\pm(0.4 + 4.0\% \text{ of state})$		dB
	44GHz~55GHz		$\pm(0.4 + 6.0\% \text{ of state})$		dB
	55GHz~60GHz		$\pm(0.4 + 12.0\% \text{ of state})$		dB
Step Error	連続する任意の減衰量状態の間				
	10MHz~20GHz		± 0.30		dB
	20GHz~44GHz		± 0.65		dB
	44GHz~55GHz		± 1.10		dB
	55GHz~60GHz		± 1.30		dB
RELATIVE PHASE	挿入損失を基準				
	10MHz~20GHz		25		Degrees
	20GHz~44GHz		60		Degrees
	44GHz~55GHz		75		Degrees
	55GHz~60GHz		85		Degrees
SWITCHING CHARACTERISTICS	全減衰状態 (入力電力 $P_{IN} = 10dBm$)				
Rise and Fall Time (t_{RISE} and t_{FALL})	RF 出力の 10~90%		50		ns
On and Off Time (t_{ON} and t_{OFF})	50%でトリガ制御されてから RF 出力の 90%に達するまでの時間		100		ns
RF Amplitude Settling Time					
	0.1 dB		175		ns
0.05 dB	50%でトリガ制御されてから最終 RF 出力の 0.1dB に達するまでの時間				
	50%でトリガ制御されてから最終 RF 出力の 0.05dB に達するまでの時間		225		ns
Overshoot			2		dB
Undershoot			0.75		dB
RF Phase Settling Time	周波数 = 40GHz				
	50%でトリガ制御されてから最終 RF 出力の 5° に達するまでの時間		105		ns
	50%でトリガ制御されてから最終 RF 出力の 1° に達するまでの時間		120		ns
INPUT LINEARITY ¹					
0.1 dB Power Compression (P0.1dB)	100MHz~50GHz		25.5		dbm

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Third-Order Intercept (IP3)	ツートーン $P_{IN} = 1$ トーンあたり 12dBm、 $\Delta f = 1\text{MHz}$ 、全減衰状態		45		dBm
DIGITAL CONTROL INPUTS	LE、D2、D3、D4、D5				
Voltage					
Low (V_{INL})		0		0.8	V
High (V_{INH})		1.2		3.3	V
Current					
Low (I_{INL})			-10		μA
High (I_{INH})			<1		μA
SUPPLY CURRENT					
Positive Supply Current					
Bias Low	LE、D2、D3、D4、D5 = 0V		52		μA
Bias High	LE、D2、D3、D4、D5 = 3.3V		2		μA
Negative Supply Current			-110		μA
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage					
Positive (V_{DD})		3.15		3.45	V
Negative (V_{SS})		-3.45		-3.15	V
Digital Control Voltage		0		V_{DD}	V
RF Power Handling ²	周波数 = 100MHz~50GHz、 $T_{DIE}^3 = 85^\circ\text{C}^4$ 、全減衰状態				
Input at ATTIN	定常状態、平均値			23	dBm
	定常状態、ピーク値			24	dBm
	ホット・スイッチング、平均値			23	dBm
	ホット・スイッチング、ピーク値			24	dBm
Input at ATTOUT	定常状態、平均値			15	dBm
	定常状態、ピーク値			16	dBm
	ホット・スイッチング、平均値			15	dBm
	ホット・スイッチング、ピーク値			16	dBm
T_{DIE}^3		-40		+105	$^\circ\text{C}$

¹ 入力直線性は周波数の増加と共に低下します (図 19 と 図 22 を参照)。

² パワー・ディレーティングと周波数の関係については、図 2 と 図 3 を参照してください。ATTIN および ATTOUT のすべての電力仕様に適用されます。

³ T_{DIE} はキャリア配置ダイの底面の温度です。

⁴ 105°C での動作の場合、電力処理能力は $T_{DIE} = 85^\circ\text{C}$ の仕様から 3dB 低下します。

タイミング仕様

タイミング図については、図 24 を参照してください。

表 2.

パラメータ	説明	最小値	代表値	最大値	単位
t_{LEW}	最小 LE パルス幅、図 24 を参照		10		ns
t_{PH}	ホールド・タイム、図 24 を参照		10		ns
t_{PS}	セットアップ・タイム、図 24 を参照		2		ns

絶対最大定格

表 3.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Negative Supply Voltage	-3.6 V to +0.3 V
Digital Control Inputs	
Voltage	-0.3 V to $V_{DD} + 0.3$ V
Current	3 mA
RF Power ¹ (Frequency = 100 MHz to 50 GHz, $T_{DIE} = 85^{\circ}\text{C}^2$)	
Input at ATTIN	
Steady State, Average	24 dBm
Steady State, Peak	25 dBm
Hot Switching, Average	24 dBm
Hot Switching, Peak	25 dBm
Input at ATTOUT	
Steady State, Average	16 dBm
Steady State, Peak	17 dBm
Hot Switching, Average	16 dBm
Hot Switching, Peak	17 dBm
RF Power Under Unbiased Condition (V_{DD} and $V_{SS} = 0$ V)	
Input at ATTIN	17 dBm
Input at ATTOUT	9 dBm
Temperature	
Junction (T_J)	135°C
Storage	-55°C to +150°C
Processing	170°C
Continuous Power Dissipation (P_{DISS})	0.20 W

¹ パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。ATTIN および ATTOUT のすべての電力仕様に適用されます。

² 105°C での動作の場合、電力処理能力は $T_{DIE} = 85^{\circ}\text{C}$ の仕様から 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース底部（チャンネルとキャリア底部）の間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JC}	Unit
C-16-5	250	°C/W

パワー・ディレーティング曲線

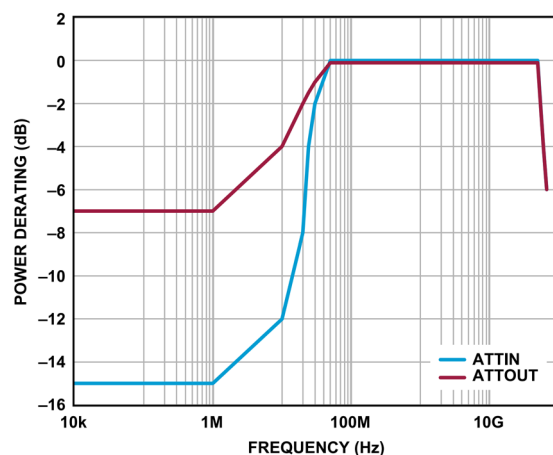


図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、 $T_{DIE} = 85^{\circ}\text{C}$

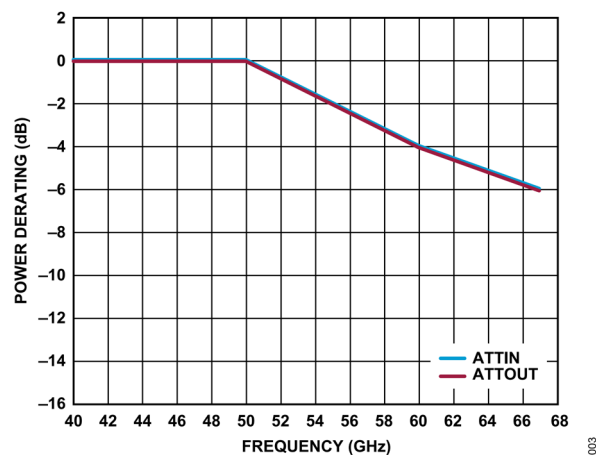


図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、 $T_{DIE} = 85^{\circ}\text{C}$

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したもののですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

絶対最大定格

ADRF5474 の ESD 定格

表 5. ADRF5474、16 パッド・キャリア配置ダイ [CHIP]

ESD Model	Withstand Threshold (V)
Human Body Model (HBM)	±250 ±250 for ATTIN and ATTOUT Pads ±2000 for Supply and Control Pads

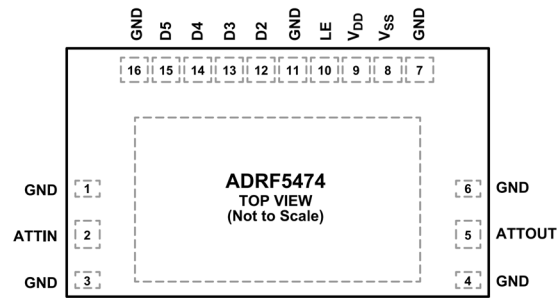
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. THE CARRIER BOTTOM IS GOLD METALIZED AND MUST BE DIRECTLY ATTACHED TO THE GROUND PLANE USING CONDUCTIVE EPOXY.

001

図 4. パッド構成

表 6. パッド機能の説明

パッド番号	記号	説明
1, 3, 4, 6, 7, 11, 16	GND	グラウンド。これらのグラウンド・パッドのボンディングは任意です。アプリケーション情報のセクションを参照してください。
2	ATTIN	減衰器入力。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェースの回路図については、図 5 を参照してください。
5	ATTOUT	減衰器出力。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェースの回路図については、図 5 を参照してください。
8	V _{SS}	負電源入力。インターフェースの回路図については、図 8 を参照してください。
9	V _{DD}	正電源入力。インターフェースの回路図については、図 7 を参照してください。
10	LE	ラッチ・イネーブル入力。詳細については、動作原理のセクションを参照してください。インターフェースの回路図については、図 6 を参照してください。
12	D2	2dB 減衰器ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。インターフェースの回路図については、図 6 を参照してください。
13	D3	4dB 減衰器ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。インターフェースの回路図については、図 6 を参照してください。
14	D4	8dB 減衰器ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。インターフェースの回路図については、図 6 を参照してください。
15	D5	8dB 減衰器ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。インターフェースの回路図については、図 6 を参照してください。
	Carrier Bottom	キャリア底部は金で金属被覆されており、導電性エポキシ樹脂を使用してグラウンド面に直接接着する必要があります。

インターフェース回路図

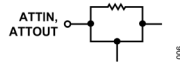
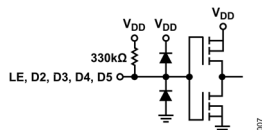
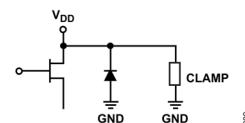
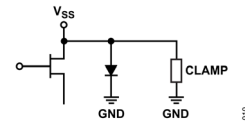


図 5. ATTIN および ATTOUT のインターフェース回路図

図 6. デジタル入力インターフェース回路図
(LE、D2、D3、D4、D5)図 7. V_{DD} 入力のインターフェース回路図図 8. V_{SS} 入力インターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、制御電圧 = 0V または V_{DD} 、 $T_{DIE} = 25^{\circ}C$ 、 50Ω システム。

S パラメータは、マイクロストリップ・ランチャと 3 ミル幅リボン・ボンドを用いて、GSG プローブで測定します。このランチャはディエンベディングされています。アセンブリの詳細は、[アプリケーション情報](#)のセクションを参照してください。

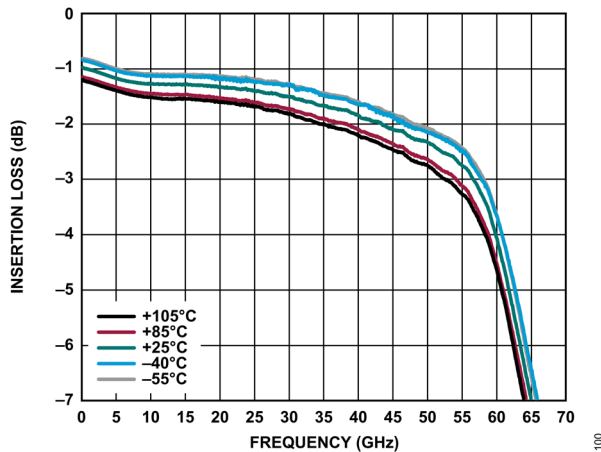


図 9. 各種温度での挿入損失と周波数の関係

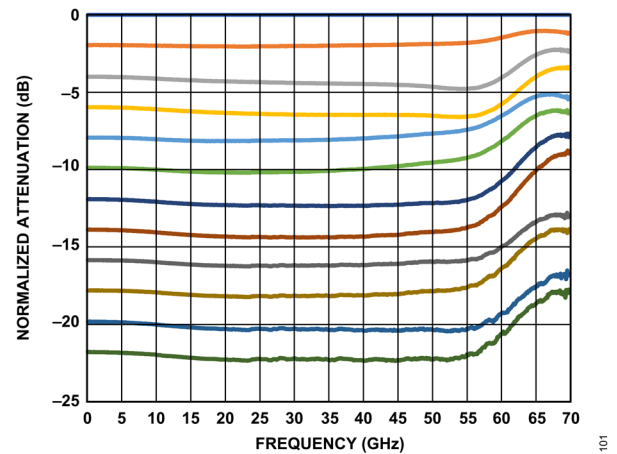


図 11. 全状態での規格化減衰量と周波数の関係

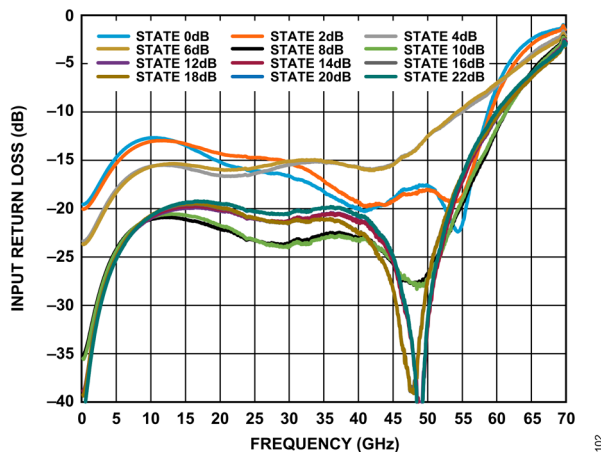


図 10. 入力リターン損失と周波数の関係

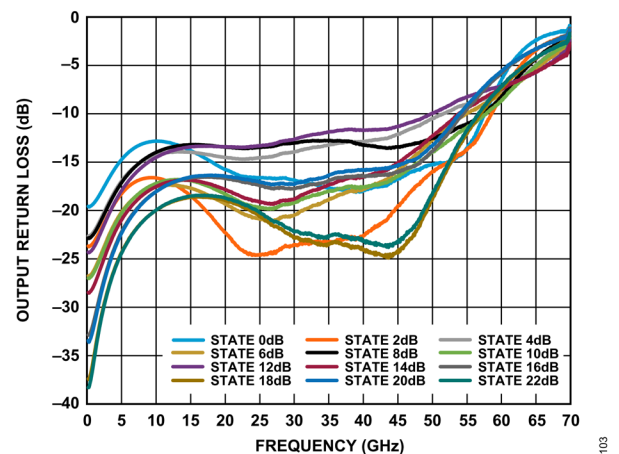


図 12. 出力リターン損失と周波数の関係

代表的な性能特性

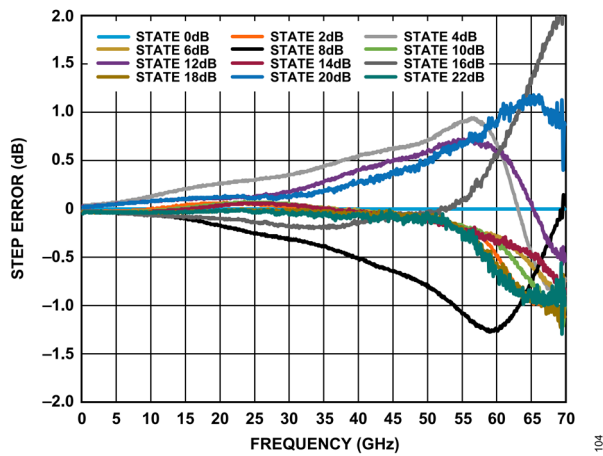


図 13. ステップ誤差と周波数の関係

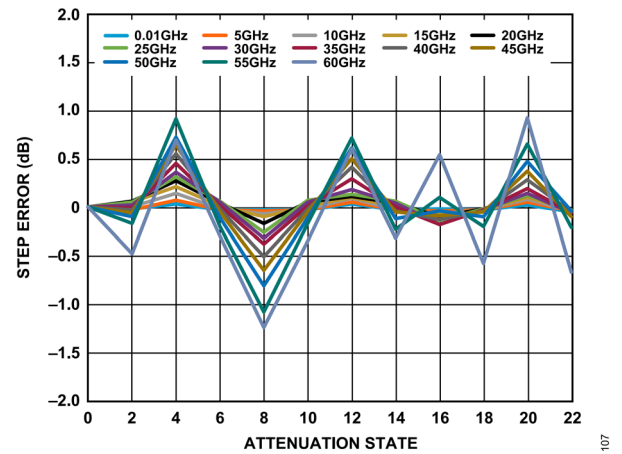


図 16. 各種周波数でのステップ誤差と減衰状態の関係

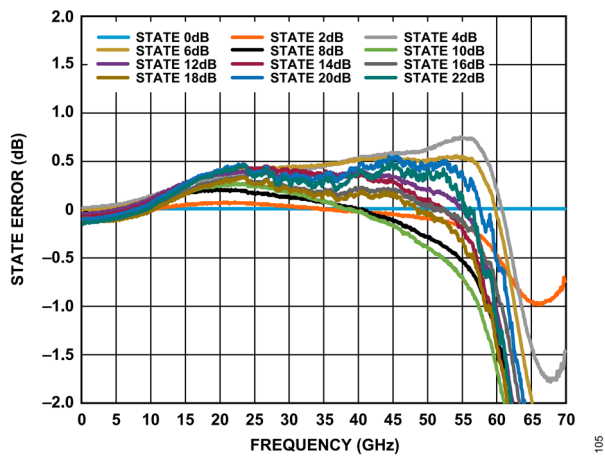


図 14. 状態誤差と周波数の関係

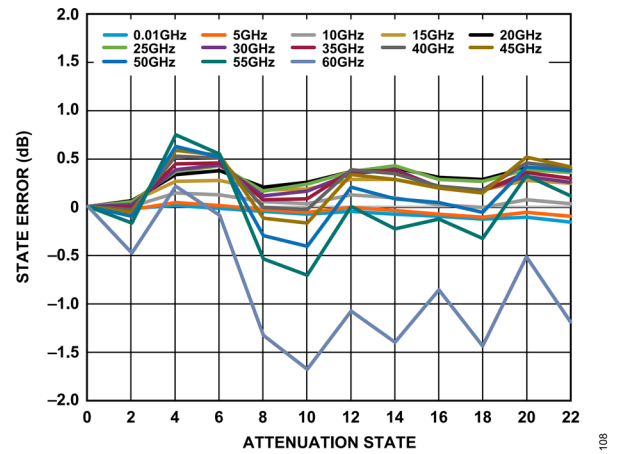


図 17. 各種周波数での状態誤差と減衰状態の関係

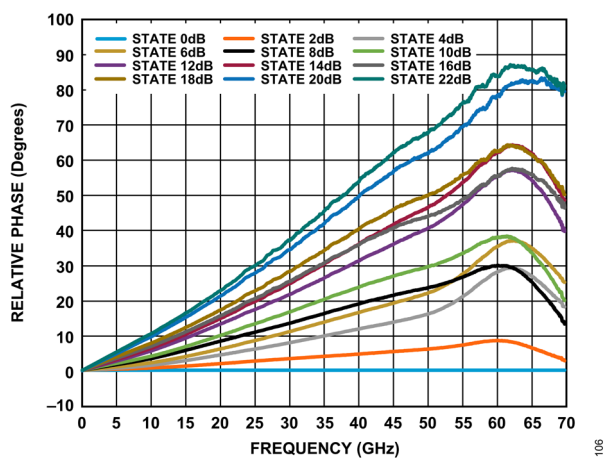


図 15. 相対位相と周波数の関係

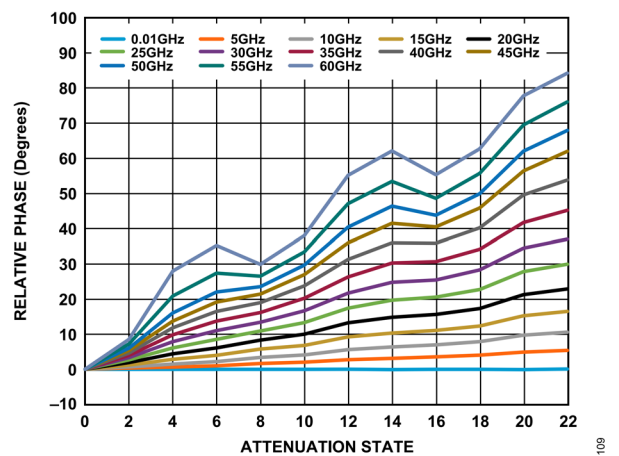


図 18. 各種周波数での相対位相と減衰状態の関係

代表的な性能特性

入力電力圧縮と 3 次インターセプト

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、制御電圧 = 0V または V_{DD} 、 $T_{DIE} = 25^{\circ}C$ 、 50Ω システム。

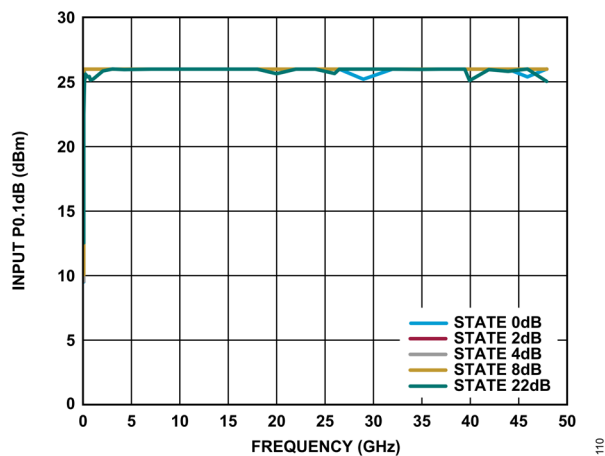


図 19. 入力 P0.1dB と周波数の関係

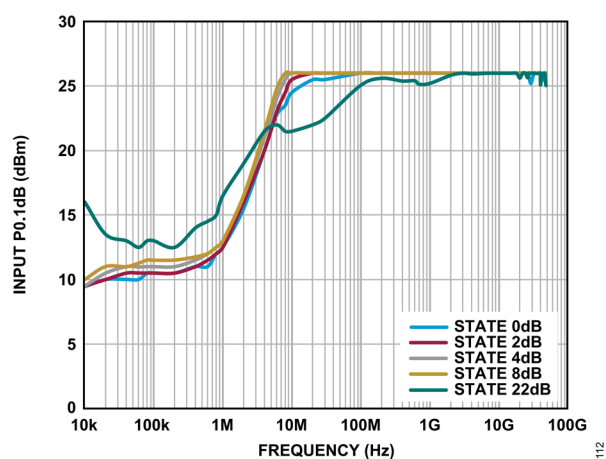


図 21. 入力 P0.1dB と周波数の関係、低周波数の詳細

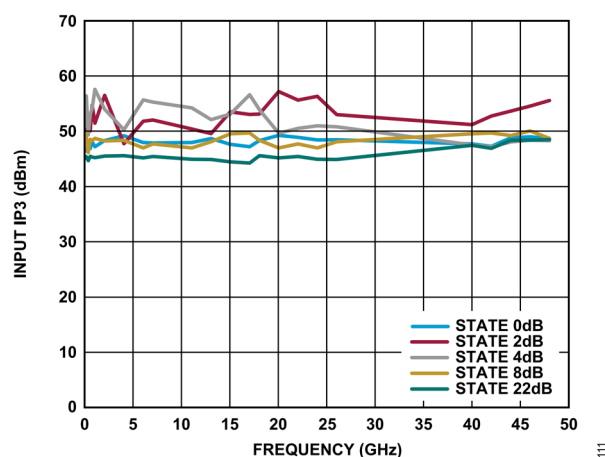


図 20. 入力 IP3 と周波数の関係

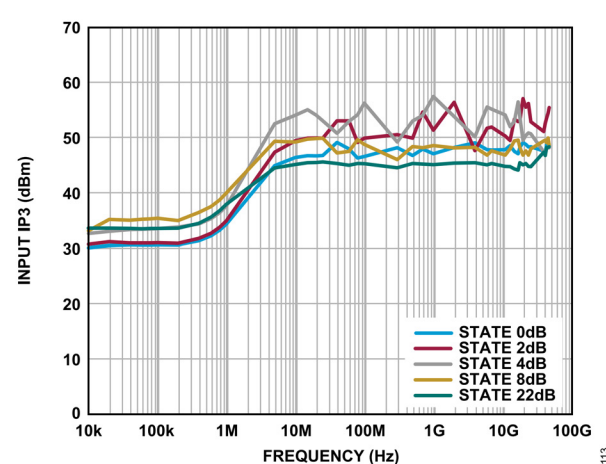


図 22. 入力 IP3 と周波数の関係、低周波数の詳細

動作原理

ADRF5474 は、2dB ステップで 22dB の減衰範囲を備えた 4 ビット固定の減衰器アレイを内蔵しています。内蔵のドライバが減衰器アレイの平行・モード制御を行います。

ADRF5474 には、D2 (LSB) ～D5 (MSB) の 4 つのデジタル制御入力があり、平行・モードで目的の減衰状態を選択できます (図 23 参照)。内部には 8dB のステージが 2 つあり、これらのステージは D4 ピンと D5 ピンで制御できます。

電源

ADRF5474 には、V_{DD} パッドに印加する正電源電圧と、V_{SS} パッドに印加する負電源電圧が必要です。高周波ノイズをフィルタリングするには、電源ラインにバイパス用コンデンサを接続することを推奨します。

電源投入シーケンスは次のとおりです。

- 1. GND を接続します。
- 2. V_{DD} 電圧と V_{SS} 電圧に電源投入します。ランプ・アップ中に V_{DD} で電流トランジェントが発生しないように、V_{DD} の電源投入後に V_{SS} に電源投入します。
- 3. デジタル制御入力に電源を投入します。デジタル制御入力の順序は重要ではありません。しかし、V_{DD} に電源を入れる前

に誤ってデジタル制御入力に電源を入れると、順方向バイアスがかかり、内部の ESD 構造を損傷するおそれがあります。この損傷を防ぐため、1kΩ の直列抵抗を用いて、制御パッドに流入する電流を制限します。

- 4. RF 入力信号を ATTIN と ATTOUT に印加します。

電源停止シーケンスは、電源投入シーケンスと逆の順序です。

電源投入状態

ADRF5474 はプルアップ抵抗を内蔵しています (図 6 を参照)。V_{DD} 電圧と V_{SS} 電圧が印加されると、この内蔵プルアップ抵抗によって、減衰器が最大減衰量状態 (22dB) に設定されます。

RF 入出力

両方の RF ポート (ATTIN および ATTOUT) は 0V に DC 結合しており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。

ADRF5474 は、低消費電力レベルでは双方向動作に対応します。ATTIN ポートと ATTOUT ポートの電力処理は異なります。そのため、双方向の電力処理は ATTOUT ポートで定義されます。表 1 の RF 入力電力の各仕様を参照してください。

表 7. 真理値表

Digital Control Input ¹				Attenuation State (dB)
D5 ²	D4 ²	D3	D2	
Low	Low	Low	Low	0 (reference)
Low	Low	Low	High	2.0
Low	Low	High	Low	4.0
Low	Low	High	High	6.0
Low	High	Low	Low	8.0
Low	High	Low	High	10.0
Low	High	High	Low	12.0
Low	High	High	High	14.0
High	High	Low	Low	16.0
High	High	Low	High	18.0
High	High	High	Low	20.0
High	High	High	High	22.0

¹ この表に示す制御電圧入力状態をどのように組み合わせても、選択したビットの和に等しい減衰量が得られます。

² D4 と D5 はいずれも、8dB の状態に対応します。D4 の状態の精度は、周波数が高いほどわずかに高くなります。

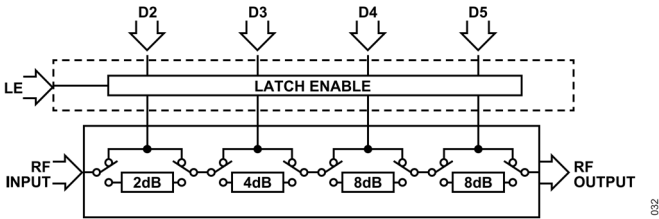


図 23. 簡素化した回路図

動作原理

パラレル・モード・インターフェース

ADRF5474 には、D2 (LSB) ～D5 (MSB) の 4 つのデジタル制御入力があり、パラレル・モードで目的の減衰状態を選択できます (表 7 参照)。

パラレル動作には、直接パラレルとラッチド・パラレルの 2 つのモードがあります。

直接パラレル・モード

パラレル・モードを有効にするには、LE パッドをハイのままにします。減衰状態を変更するには、制御電圧入力 (D2～D5) を直接使用します。直接パラレル・モードは、減衰器を手動で制御する場合に使用します。

ラッチド・パラレル・モード

ラッチド・パラレル・モードを有効にするには、制御電圧入力 (D2～D5) を変更して減衰状態を設定する際に、LE パッドをローのままにしておく必要があります。目的の状態を設定したら、LE をハイにトグルして、4 ビット・データを減衰器アレイのバイパス・スイッチに転送し、次に LE をローにトグルして、次の目的の減衰変更までデバイスに変更をラッチします (追加情報については図 24 と表 2 を参照)。

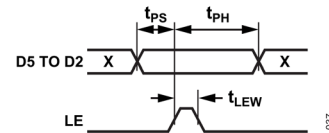


図 24. ラッチド・パラレル・モードのタイミング図

アプリケーション情報

ダイのアセンブリ

ADRF5474 のアセンブリ図を図 25 に示します。

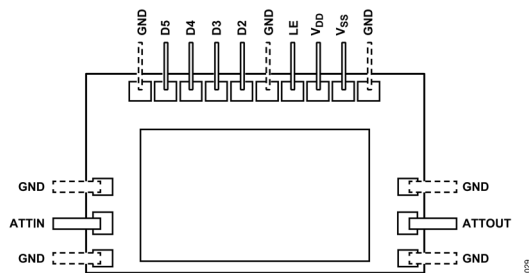


図 25. ダイのアセンブリ図

ADRF5474 は、3 ミル × 0.5 ミルの金リボン・ワイヤと 3 ミルのループ高さ（代表値）で、最適な RF 入力および出力インピーダンスが整合するように設計されています。図 26 と図 27 に、そのボンディング図を示します。あるいは、同等のインダクタンスを有する複数のワイヤ・ボンドを使用すると、同様のパフォーマンスが得られます。デバイスからの RF ルーティングには、コプラナ導波路またはマイクロストリップ伝送線を使用することができます。デバイスは推奨リボン・ボンドに内部で整合するよう設計されているため、伝送線パッド上でのインピーダンス整合は不要です。最適なパフォーマンスを得るには、RF 伝送ラインとデバイス・エッジの間隔を 3 ミルにすることを推奨します。

DC パッドは、配線長をできるだけ短くして寄生インダクタンスを最小限に抑えることにより、標準的な 1 ミル径のワイヤを使用して接続できます。DC パッドは十分な大きさがあるため、必要に応じて、リボン・ボンドを使用できます。

すべてのボンドは、150°C の公称ステージ温度でサーモソニック・ボンディングする必要があり、信頼性の高いボンドを実現するには最小量の超音波エネルギーを印加する必要があります。

デバイスは裏面が金属被覆されているため、グラウンド接続は、導電性エポキシ樹脂を用いてデバイスを RF グラウンド面に直接接着して行うことができます。この場合、グラウンド・パッドの接続は任意ですが、確実なグラウンド接続を確保するために推奨します。

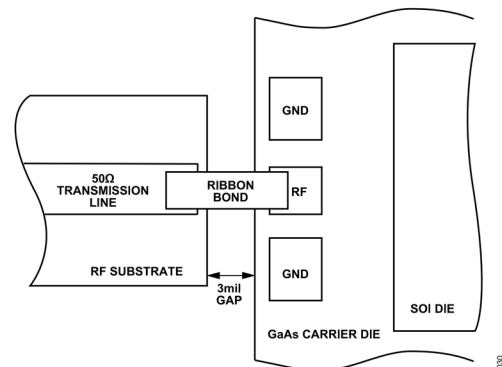


図 26. ボンディングの上面図

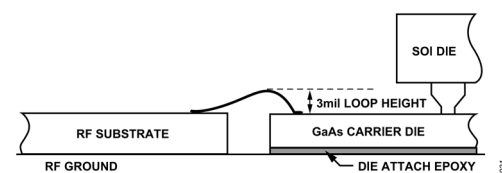


図 27. ボンディングの側面図

ハンドリング、マウンティングおよびエポキシ樹脂によるダイ接着

デバイスは、出荷用の ESD 保護密封袋に入れて保管し、すべてのベア・ダイは乾燥窒素環境で保管してください。

手作業でピッキングする場合、GaAs デバイス用のピンセットを使用することが一般的です。しかし、キャリア配置ダイのデバイスについては、デバイス基板上への損傷を避けるために、真空ツールの使用を推奨します。これらのデバイスのハンドリングは清浄な環境下で行ってください。

ダイをエポキシ樹脂で接着するには、チップを所定の位置に配置してから、チップ周辺に薄いエポキシ樹脂のフィレットが観察される程度に、一定量のエポキシ樹脂をマウント面に塗布します。エポキシ樹脂の硬化温度は、メーカーの推奨値およびデバイスの最大定格に従って設定して、アセンブリ後の機械的ストレスの蓄積を最小限に抑えます。

両方のダイがハンダ接合部で接着されるため、ユーザは、モジュール・アセンブリの熱機械的設計の最良のやり方に従う必要があります。基板材料の熱膨張係数は、GaAs およびシリコン (Si) ダイの熱膨張係数と一致する必要があります。基板には反りなどの機械的変形がないようにしてください。ダイ接着工程とエポキシ樹脂硬化温度は、アセンブリ後のストレスの蓄積が低くなるように設定します。

外形寸法

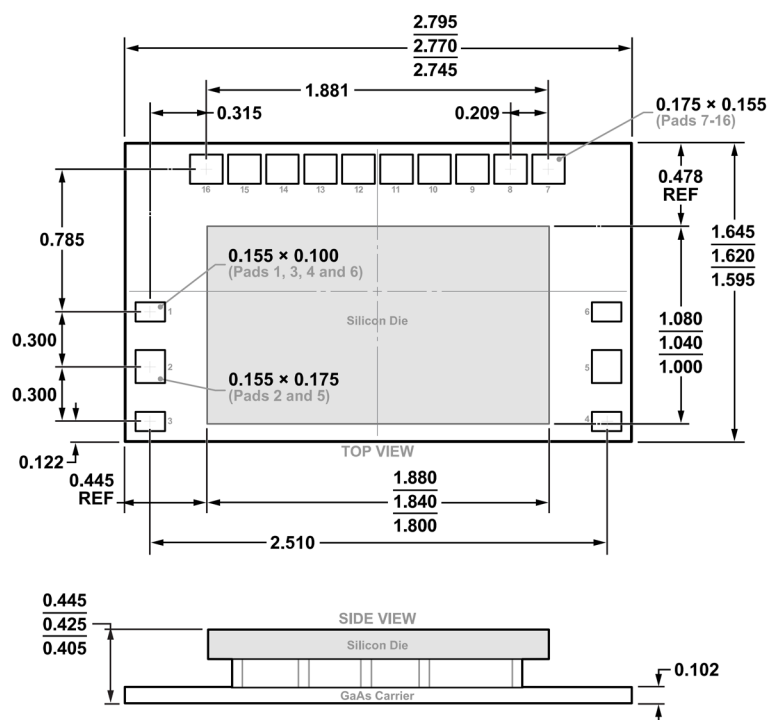


図 28.16 パッド・キャリア配置ダイ [CHIP]
(C-16-5)
単位 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADRF5474BCZ	-40°C to +105°C	16-Pad Die on Carrier [CHIP]	Waffle Pack, 50	C-16-5
ADRF5474BCZ-GP	-40°C to +105°C	16-Pad Die on Carrier [CHIP]	Gel Pack, 50	C-16-5
ADRF5474BCZ-SX	-40°C to +105°C	16-Pad Die on Carrier [CHIP]	Waffle Pack, 2	C-16-5

¹ Z = RoHS 準拠製品。