

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年4月18日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月18日

製品名：ADPD6000

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：10ページ、表8の項目の内 下から5行目、RLDの説明欄

【誤】

・・・右LED ドライバ

【正】

・・・右足ドライブ（中点ドライブ）

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年4月18日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月18日

製品名：ADPD6000

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：25 ページ、右の段 上から 2 行目

【誤】

どちらの割込みも、4本のGPIOxピンのいずれかを選択して駆動できます。

【正】

どちらの割込みも、3本のGPIOxピンのいずれかを選択して駆動できます。)

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年4月18日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月18日

製品名：ADPD6000

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：25 ページ、右の段 上から 12 行目

【誤】

Interrupt X と Interrupt Y で使用可能なすべての割込みのリストを表 1 に示します。

【正】

Interrupt X と Interrupt Y で使用可能なすべての割込みのリストを表 21 に示します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年4月18日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月18日

製品名：ADPD6000

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：25ページ、右の段 汎用IOの項目、一番下の行

【誤】

GPIOxピンで使用可能なすべての信号を**表 1**に示します。

【正】

GPIOxピンで使用可能なすべての信号を**表 21**に示します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年4月18日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月18日

製品名：ADPD6000

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：86ページ、表内 下から3個目の項目、BIOZ_NCHAN_xの説明欄

【誤】

Nチャンネルの選択。

00：HPTIA_nを **Buffer_p** に接続。

【正】

Nチャンネルの選択。

00：HPTIA_nを **Buffer_n** に接続

マルチモード・センサー・フロント・エンド

特長

- ▶ 光学チャンネル
 - ▶ 様々なセンサー計測に対応した複数の動作モードを備える4つの入力チャンネル
 - ▶ 同時サンプリングによるデュアル・チャンネル処理
 - ▶ 同期されたセンサー計測が可能な12のプログラマブル・タイム・スロット
 - ▶ シングルエンドのセンサー計測に対応する柔軟性に優れた入力マルチプレクス
 - ▶ 2個のLEDを同時に駆動できる4つのLEDドライバ
 - ▶ 内部発振器を使用した0.004Hz~9kHzの柔軟なサンプリング・レート
 - ▶ 送受信シグナル・チェーンのS/N比：117dB（オフチップ・フィルタ処理あり）
 - ▶ AC周辺光の除去：78dB（最大100Hz）
 - ▶ LEDのピーク駆動電流の合計：400mA
 - ▶ 9ビットの制御（最大300 μ A）に対応した、TIA入力での個別の周辺光除去DAC
 - ▶ 7ビットの制御（最大190 μ A）に対応した、TIA入力での個別LED DCキャンセルDAC
- ▶ ECGチャンネル
 - ▶ 診断フィルタ帯域幅（150Hz）での0.75 μ V rmsのRTIノイズ
 - ▶ 高入力インピーダンス：3G Ω
 - ▶ 最大1.2VのDC差動入力範囲に対応
 - ▶ 同相ノイズ除去比：116dB
 - ▶ 2電極および3電極構成
 - ▶ ACリード・オフ検出およびDCリード・オフ検出
- ▶ BIAチャンネル
 - ▶ 低消費電力、高精度励起パス
 - ▶ 最大250kHzまで設定可能な出力周波数
 - ▶ 12ビットDACによるサイン波励起
 - ▶ 大きな不平衡接触インピーダンスによる高精度
 - ▶ 低ノイズ設計の構成設定可能な受信フィルタ
 - ▶ 複素インピーダンス測定エンジン
 - ▶ 外部キャリブレーションおよび内部キャリブレーションの両方をサポート
- ▶ SPI通信に対応
- ▶ 640バイトのFIFO

アプリケーション

- ▶ ウェアラブルな健康/フィットネス・モニタ：心拍数、心拍数変化、SpO₂、生体インピーダンス解析、体内水分量、カフなし非侵襲的血压
- ▶ 自宅療養患者のモニタリング
- ▶ 工業用モニタリング：粒子およびエアロゾル、ガス、導電率検出

概要

ADPD6000は、様々な生体信号を測定するための高集積アナログ・フロント・エンド（AFE）です。

光学チャンネルは光トランシーバーとして設計され、最大4個の発光ダイオード（LED）を励起し、リターン信号を最大4つの個別の電流入力で測定します。シグナル・チェーンは、一般に周辺光によって生じる非同期的変調干渉に起因する信号のオフセットや破損を除去することができ、光学フィルタや外部制御のDCキャンセル回路は不要です。

心電図（ECG）信号の取得については、様々な干渉源がある状態で、低ノイズの診断レベル測定に対応できるように設計されています。ECGのシグナル・チェーンには、同相ノイズ除去用に駆動されるリファレンス機能、電極の接続解除を特定するリード・オフ検出機能など、ECG測定を支援する補完機能が数多く備わっています。

生体インピーダンス解析（BIA）のシグナル・チェーンは、構成設定可能な励起パスと測定パスを使用した、生体インピーダンスの測定用に設計されています。励起パスに12ビットのD/Aコンバータ（DAC）を使用してサイン波を生成し、構成設定可能なフィルタを使用した高精度測定によって刺激に対する体の反応を測定します。

データ出力と機能構成には、ADPD6000のシリアル・ポート・インターフェース（SPI）を利用します。制御回路には、柔軟なLED信号伝送および同期検出機能、デジタル・フィルタ、デジタル波形ジェネレータ、構成設定可能なフィルタが備わっています。

ADPD6000は、2.6mm × 2.6mm、0.4mmピッチの36ボール・ウェーハ・レベル・チップ・スケール・パッケージ（WLCSPP）を採用しています。

アナログ・デバイセズでは、文化的に適切な用語および言語を提供するよう、技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いいたします。

Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	BIAシグナル・チェーン.....	20
アプリケーション.....	1	FIFO.....	21
概要.....	1	クロッキング.....	23
機能ブロック図.....	3	タイム・スタンプ動作.....	23
仕様.....	4	実行モード.....	24
温度と電力の仕様.....	4	ホスト・インターフェース.....	24
性能仕様.....	4	アプリケーション情報.....	27
デジタル仕様.....	7	光路.....	27
タイミング仕様.....	7	ECGパス.....	30
絶対最大定格.....	9	BIAパス.....	32
熱抵抗.....	9	マルチモード.....	32
静電放電（ESD）定格.....	9	設計ガイド.....	35
ESDに関する注意.....	9	レジスタの一覧.....	36
ピン配置およびピン機能の説明.....	10	レジスタの詳細.....	65
代表的な性能特性.....	12	外形寸法.....	89
動作原理.....	16	オーダー・ガイド.....	89
はじめに.....	16	評価用ボード.....	89
タイム・スロット動作.....	16		
光シグナル・チェーン.....	17		
ECGシグナル・チェーン.....	18		

改訂履歴

4/2022–Revision 0: Initial Version

機能ブロック図

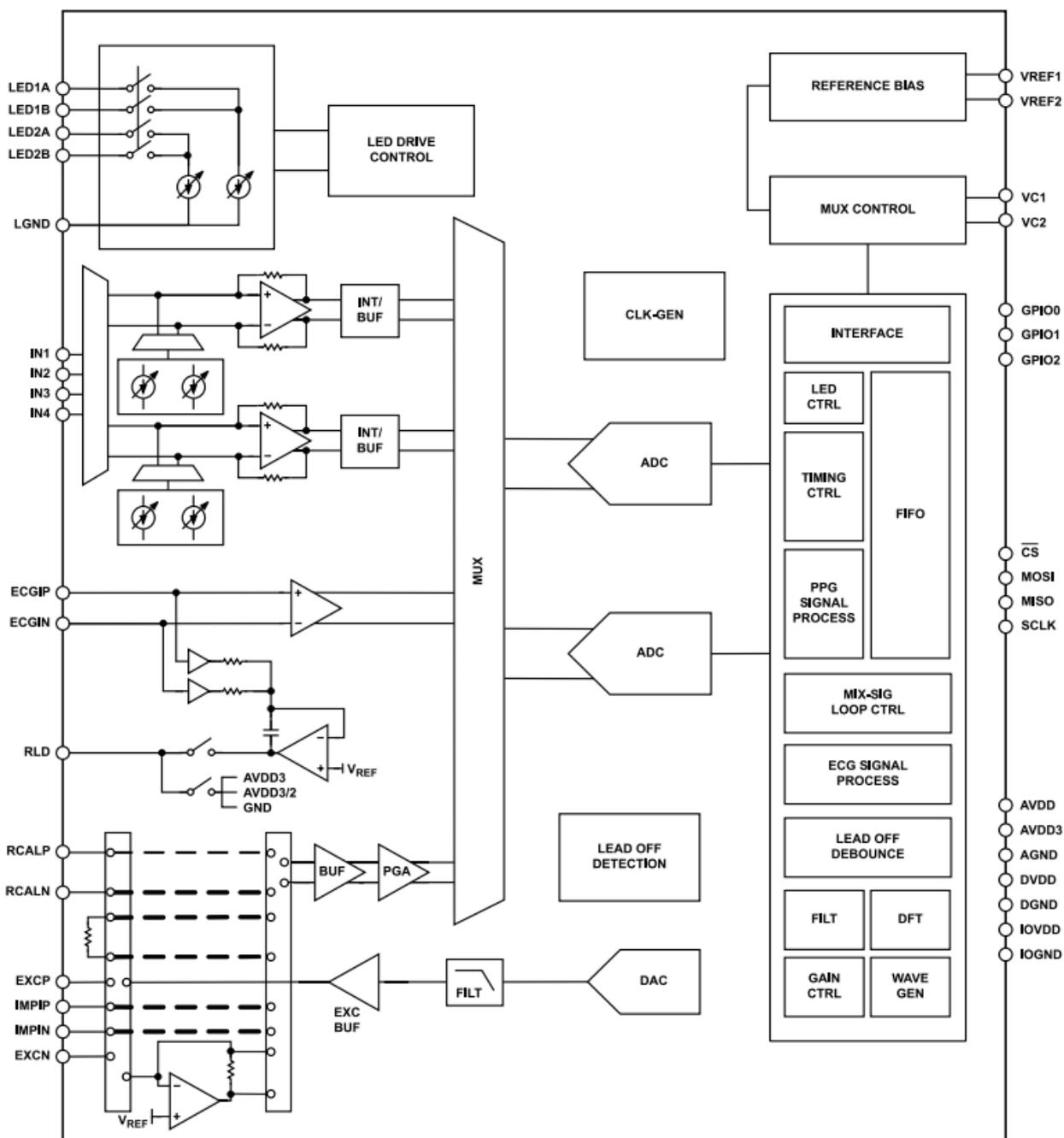


図 1. 機能ブロック図

001

仕様

温度と電力の仕様

表 1. 温度と電力の仕様

パラメータ	最小値	代表値	最大値	単位
TEMPERATURE RANGE				
Operating Range	-40		+85	°C
Storage Range	-65		+150	°C
POWER SUPPLY VOLTAGES				
AVDD	1.7	1.8	1.9	V
AVDD3	2.7	3.3	3.6	V
DVDD	1.7	1.8	1.9	V
IOVDD	1.7	1.8	3.6	V

性能仕様

特に指定のない限り、AVDD = DVDD = IOVDD = 1.8V、AVDD3 = 3.3V、T_A = 25°C。

表 2. 性能仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
DATA ACQUISITION					
Datapath Width				32	Bits
FIRST IN, FIRST OUT (FIFO) SIZE				640	Bytes
PHOTOPLETHYSMOGRAPHY (PPG) CHANNEL					
Transimpedance Amplifier (TIA) Gain		12.5		400	kΩ
DIGITAL INTEGRATION MODE					
Analog-to-Digital Converter (ADC) Resolution	TIAの帰還抵抗 (R _F)		5.84		nA/LSB
	25 kΩ		2.92		nA/LSB
	50 kΩ		1.46		nA/LSB
	100 kΩ		0.73		nA/LSB
	200 kΩ		0.365		nA/LSB
	400 kΩ		0.183		nA/LSB
ADC Saturation Level	TIAの帰還抵抗				
	12.5 kΩ		48		μA
	25 kΩ		24		μA
	50 kΩ		12		μA
	100 kΩ		6		μA
	200 kΩ		3		μA
	400 kΩ		1.5		μA
DC Ambient Light Rejection (ALR) ALR Range		0		300	μA
ALR Resolution			0.59		
LED DC Cancellation Range		0		190	μA
Resolution			1.48		
Dark Noise	パルス = 1、ADCサンプル = 20				μA
	TIAゲイン = 12.5kΩ		1490		pA rms
	TIAゲイン = 25kΩ		775		pA rms
	TIAゲイン = 50kΩ		401.5		pA rms
	TIAゲイン = 100kΩ		204.5		pA rms

仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Signal-to-Noise Ratio (SNR)	TIAゲイン = 200k Ω		120		pA rms
	TIAゲイン = 400k Ω		100		pA rms
	白色のカードの反射、パルス = 1、ADCサンプル = 20				
	TIAゲイン = 12.5k Ω		90		dB
	TIAゲイン = 25k Ω		90		dB
	TIAゲイン = 50k Ω		88		dB
	TIAゲイン = 100k Ω		87		dB
	TIAゲイン = 200k Ω		85		dB
AC ALR	TIAゲイン = 400k Ω		82		dB
DC Power Supply Rejection Ratio (PSRR)	最大100Hz		78		dB
	75%フルスケール (FS) 入力、最適設定、全ゲイン ¹		60		dB
LED DRIVER					
Peak Current per Driver	LEDパルス・イネーブル		200		mA
Peak Current, Total	複数のLEDドライバを同時に使用		400		mA
Current Step	高S/N比モード		1.57		mA
	低コンプライアンス・モード		0.52		mA
Compliance Voltage	高S/N比モード		400		mV
	低コンプライアンス・モード		200		mV
Power	AFE電流のみ、70% FSの出力データ・レート (ODR) = 25Hz				
	Standby	DVDD + AVDD		0.2	μ A
	Typical Heart Rate Monitor (HRM) Application	DVDD + AVDD		28.5	μ A
SAMPLING RATE		0.004		9000	Hz
ECG CHANNEL					
Input Bias Current	特に指定のない限り、分解能は286nV		300		pA
Input Impedance	ECG入力ピン、室温、リード・オフ検出オフ、DCで測定		3		G Ω
Differential Input Range	ECG入力ピン、DCで測定	-1.2		+1.2	V
Electrode Single-Ended Input Voltage Range		0.2		AVDD3 - 0.2	V
Input Common Mode Range		0.4		AVDD3 - 0.4	V
-3 dB Monitor Bandwidth	データ・レート = 250SPS	40			Hz
-3 dB Diagnostic Bandwidth	データ・レート = 500SPS	150			Hz
Gain Flatness	DC~5.3Hz (データ・レート = 250SPS)		\pm 1		%
	DC~19Hz (データ・レート = 500SPS)		\pm 1.5		%
Gain Error		-2		+2	%
Resolution			286		nV/LSB
			572		nV/LSB
Input Referred Noise					
10 Sec Measurement Using Internal Shorted Mode, Measured at Room Temperature	データ・レート = 250SPS、モニタリング・フィルタ帯域幅 (40Hz)		0.37		μ V rms
	データ・レート = 500SPS、診断フィルタ帯域幅 (150Hz)		0.75		μ V rms
10 Sec System Level Measurement with Proper Electrode Model and All Functions Enabled (DCLO, ACLO)	データ・レート = 250SPS、モニタリング・フィルタ帯域幅 (40Hz)		0.65		μ V rms
	データ・レート = 500SPS、診断フィルタ帯域幅 (150Hz)		0.95		μ V rms
Common-Mode Rejection Ratio (CMRR)	60Hzで測定		116		dB

仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Output Data Rate	フィルタ設計に一致	250		4000	Hz
Enable Time	データ・レート = 500SPS		15		ms
Overload Recovery Time			10		ms
Power			1.7		mW
DC LEAD OFF (DCLO) DETECTION					
Drive Circuit					
Lead Off Current Range	リード・フェール電流は仕様規定されている範囲でプログラマブル、プログラムされた電流設定値は全電極ピンに適用、電流極性は電極ごとにプログラマブル		±16		nA
Lead Off Current Step Size			2		nA
Measure Circuit					
RLD Lead Off Thresholds					
High		AVDD3 – 0.4		AVDD3 – 0.1	V
Low		0.1		0.4	V
AC LEAD OFF (ACLO) THRESHOLD					
Drive Circuit					
Excitation Frequency			4		kHz
Current		10		70	nA
Measure Circuit					
Threshold		0.04		2.33	nF
RIGHT LEG DRIVER (RLD)					
Output Voltage		GND	AVDD3/2	AVDD3	V
Stable Load Capacitance				2.2	nF
BIA CHANNEL	Z = 1kΩ (許容誤差0.1%の抵抗)、励起周波数 = 50kHz、サイン波振幅 = 0.6V p-p、TIA抵抗 (R _{TIA}) = 2kΩ、TIA容量 (C _{TIA}) = 7pF、アイソレーション・コンデンサ = 470nF、電流制限抵抗 (R _{LIMIT}) = 1kΩ				
SYSTEM PERFORMANCE					
Total System Accuracy					
Magnitude			0.26		%
Phase			1		Degrees
Body Impedance Magnitude Error	接触抵抗 < 1kΩ		0.26		%
	接触抵抗 < 10kΩ		5		%
Body Impedance Magnitude	室温、10回のテスト、接触抵抗 < 1 kΩ		0.1		%
Repeatability					
Body Phase Angle Error			1		Degrees
TRANSMIT STAGE					
Output Frequency Range			50	250	kHz
Output Frequency Resolution			0.48		Hz
Output Voltage Range				800	mV
Output Voltage Resolution			0.39		mV
RECEIVE STAGE					
Input Leakage Current					
Input Capacitance	グラウンド方向、電流検出用		10		pF
	グラウンド方向、電圧検出用		10		pF
ADC Saturation Level	電圧		±0.8		V
	電流 (TIA = 2kΩ)		±400		μA

仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
CALIBRATION RESISTOR					
External			2		kΩ
Internal			2		kΩ
Power Consumption			1.24		mW

1 $DC\ PSRR = 20 \times \log((Signal(LSB)/NUM_INT_x/NUM_REPEAT_x \times 0.146\ mV/LSB)/V_{IN})$ (mV)

デジタル仕様

特に指定のない限り、IOVDD = 1.7V~3.6V。

表 3. デジタル仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
LOGIC INPUTS					
Input Voltage Level					
GPIOx, MISO, MOSI, SCLK, \overline{CS}					
High		$0.7 \times IOVDD$		$IOVDD + 0.3$	V
Low		-0.3		$+0.3 \times IOVDD$	V
Input Current Level	すべてのロジック入力				
High				10	μA
Low		-10			μA
Input Capacitance			2		pF
LOGIC OUTPUTS					
Output Voltage Level					
GPIOx, MISO					
High	2mAのハイ・レベル出力電流	$IOVDD - 0.5$			V
Low	2mAのロー・レベル出力電流			0.5	V

タイミング仕様

表 4. タイミング仕様

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
SPI PORT						
SCLK						
Frequency	f_{SCLK}				10	MHz
Minimum Pulse Width						
High	$t_{SCLKPWH}$		15			ns
Low	$t_{SCLKPWL}$		15			ns
\overline{CS}						
Setup Time	t_{CSS}	SCLK立上がりエッジまでの \overline{CS} セットアップ時間	11			ns
Hold Time	t_{CSH}	SCLK立上がりエッジ後の \overline{CS} ホールド時間	5			ns
Pulse Width High	t_{CSPWH}	\overline{CS} パルス幅、ハイ	15			ns
MOSI						
Setup Time	t_{MOSIS}	SCLK立上がりエッジまでのMOSIセットアップ時間	5			ns
Hold Time	t_{MOSIH}	SCLK立上がりエッジ後のMOSIホールド時間	5			ns
SWITCHING CHARACTERISTICS						
MISO Output Delay	t_{MISOD}	SCLK立下がりエッジ後のMISO有効出力遅延 レジスタ0x0057 = 0x0050 (デフォルト) レジスタ0x0057 = 0x005F (最大スルー・レート、SPIの最大駆動強度)			21.5 14	ns ns

仕様

タイミング図

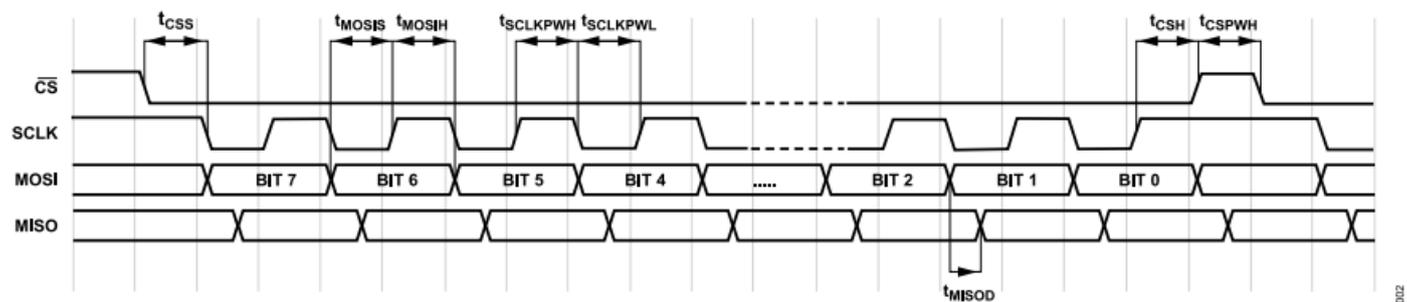


図 2. SPIタイミング図

絶対最大定格

表 5.

Parameter	Rating
AVDD to AGND	-0.3 V ~ +2.2 V
AVDD3 to AGND	-0.3 V ~ +3.9 V
DVDD to DGND	-0.3 V ~ +2.2 V
IOVDD to IOGND	-0.3 V ~ +3.9 V
GPIOx, MOSI, MISO, SCLK, \overline{CS} to DGND	-0.3 V ~ +3.9 V
LEDxx to LGND	-0.3 V ~ +3.9 V
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。

θ_{JA} は、1立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CB-36-10 ¹	42.15	0.98	°C/W

1 熱抵抗値は、JEESD51-12規格によって規定されています。

静電放電（ESD）定格

ESDに関する以下の情報は、ESDに敏感なデバイスをESD保護がなされた環境で取り扱う場合にのみ適用できます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

ANSI/ESD STM5.2によるマシン・モデル（MM）。MM電圧値は特性評価にのみ使われます。

ADPD6000のESD定格

表 7. ADPD6000、36ボールWLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
CDM	750	C2B
MM	100	Not applicable

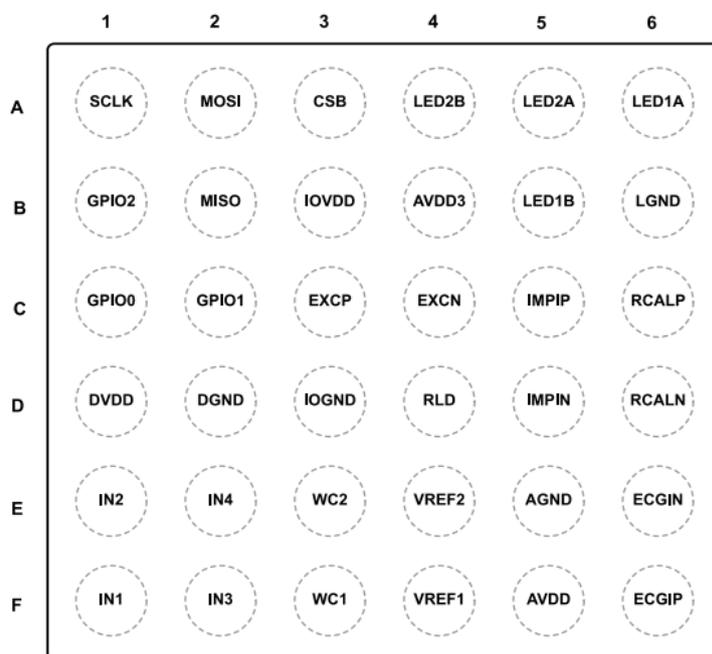
ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



TOP VIEW
(BALL SIDE DOWN)
Not to Scale

図 3. ピン配置

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
F5	AVDD	Power	1.8Vアナログ電源。
B4	AVDD3	Power	3.3Vアナログ電源。
E5	AGND	Power	アナログ・グラウンド。
D1	DVDD	Power	1.8Vデジタル電源。
D2	DGND	Power	デジタル・グラウンド。
B3	IOVDD	Power	I/O電源。
D3	IOGND	Power	I/Oグラウンド。
B6	LGND	Power	LEDグラウンド。
F4	VREF1	Analog	ADC1リファレンス。
E4	VREF2	Analog	ADC2リファレンス。
F3	VC1	Analog	フォトダイオードのコモン・カソード・バイアス、または他のセンサー励起用の出力電圧源1。
E3	VC2	Analog	フォトダイオードのコモン・カソード・バイアス、または他のセンサー励起用の出力電圧源2。
F1	IN1	Analog	電流入力1。
E1	IN2	Analog	電流入力2。
F2	IN3	Analog	電流入力3。
E2	IN4	Analog	電流入力4。
A6	LED1A	Analog	LEDドライバ1A。
B5	LED1B	Analog	LEDドライバ1B。
A5	LED2A	Analog	LEDドライバ2A。
A4	LED2B	Analog	LEDドライバ2B。
F6	ECGIP	Analog	ECG正入力。
E6	ECGIN	Analog	ECG負入力。
D4	RLD	Analog	右LEDドライバ。
C5	IMPIP	Analog	BIA正入力。
D5	IMPIN	Analog	BIA負入力。
C3	EXCP	Analog	BIA励起正出力。
C4	EXCN	Analog	BIA励起負出力。

ピン配置およびピン機能の説明

ピン番号	記号	タイプ	説明
C6	RCALP	Analog	キャリブレーション抵抗、正側。
D6	RCALN	Analog	キャリブレーション抵抗、負側。
A3	$\overline{\text{CS}}$	Digital	SPIチップ・セレクト入力。
A1	SCLK	Digital	SPIクロック入力。
B2	MISO	Digital	SPIマスタ入力/スレーブ出力。
A2	MOSI	Digital	SPIマスタ出力/スレーブ入力。
C1	GPIO0	Digital	汎用入出力0。
C2	GPIO1	Digital	汎用入出力1。
B1	GPIO2	Digital	汎用入出力2。

代表的な性能特性

特に指定のない限り、DVDD = AVDD = 1.8V、AVDD3 = 3.3V、LGND = DGND = AGND = IOGND = 0V、T_A = 25°C。

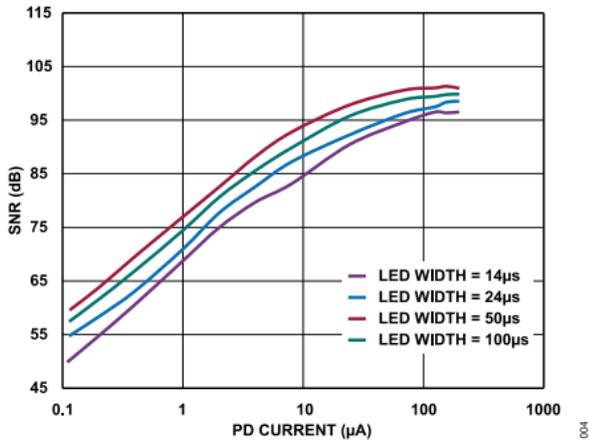


図 4. S/N比とフォトダイオード (PD) 電流の関係、シーケンスの繰返し回数 = 1、TIAゲイン = 100kΩ

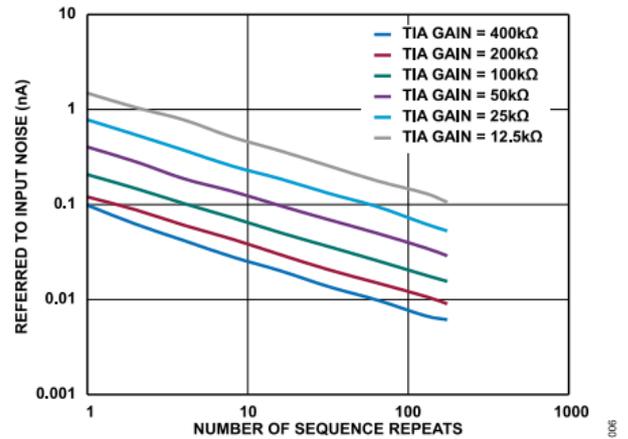


図 7. 入力換算ノイズとシーケンスの繰返し回数の関係

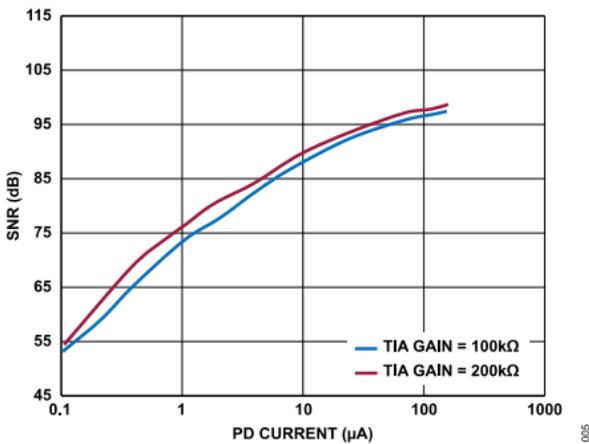


図 5. S/N比とPD電流の関係、LED幅 = 24µs、シーケンスの繰返し回数 = 1

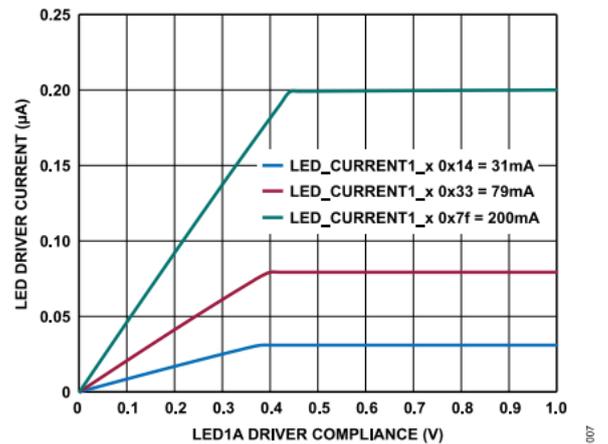


図 8. LEDドライバ電流とLED1Aドライバ・コンプライアンスの関係、高S/N比モード

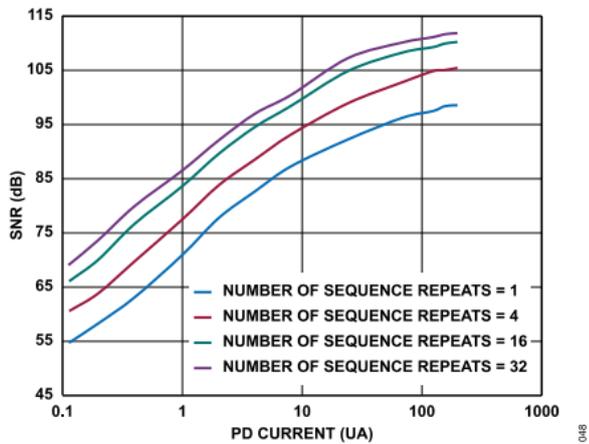


図 6. S/N比とPD電流の関係、LED幅 = 24µs、TIAゲイン = 100kΩ

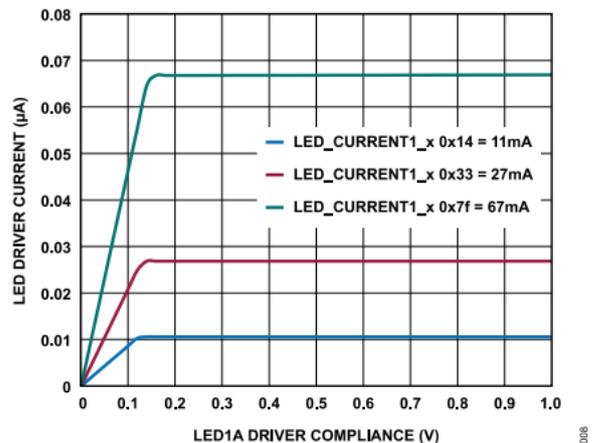


図 9. LEDドライバ電流とLED1Aドライバ・コンプライアンスの関係、低コンプライアンス・モード

代表的な性能特性

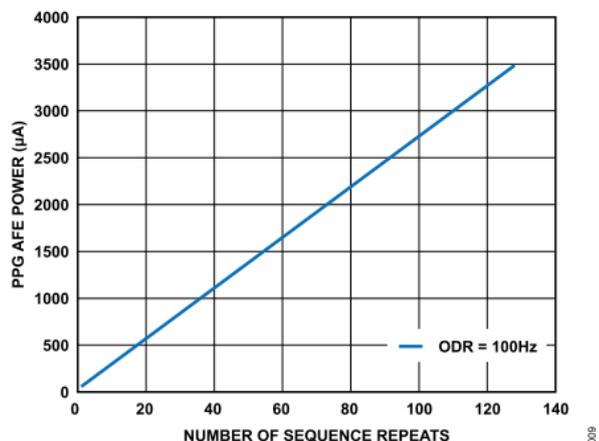


図 10. PPG AFE電力とシーケンスの繰返し回数の関係

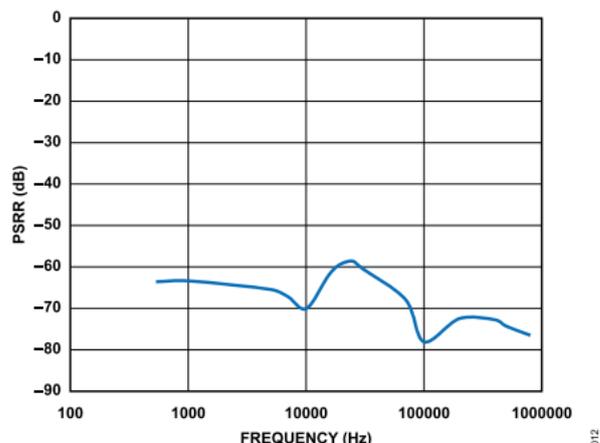


図 13. PSRRと周波数の関係、PD電流 = 8µA

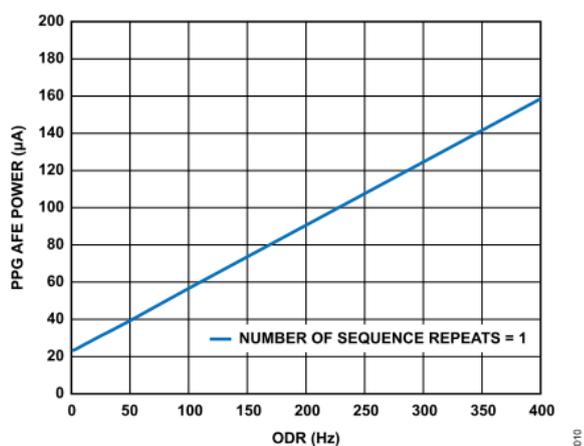


図 11. PPG AFE電力とODRの関係

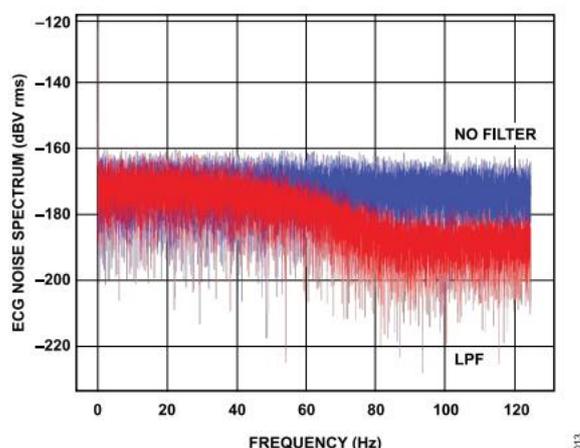


図 14. ECGノイズ・スペクトルと周波数の関係、入力を共通モード電圧 (V_{CM}) に短絡、分解能 = 286nV/LSB、サンプル・レート = 250Hz (LPFはローパス・フィルタ)

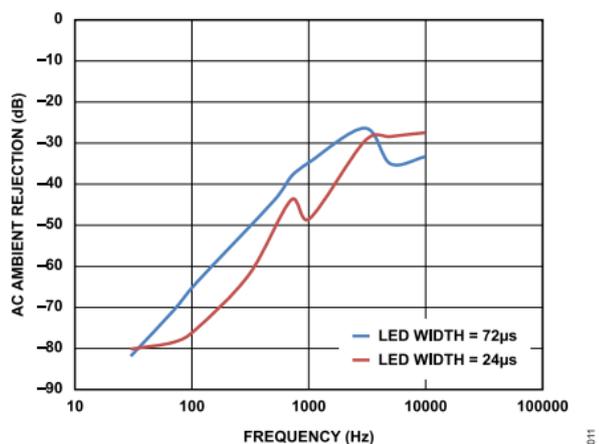


図 12. AC周辺光除去と周波数の関係

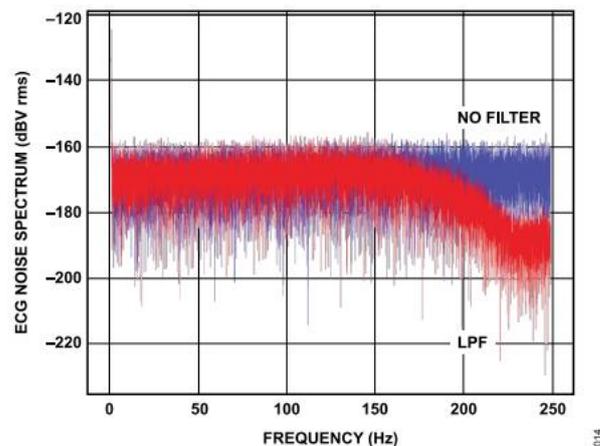


図 15. ECGノイズ・スペクトルと周波数の関係、入力を V_{CM} に短絡、分解能 = 286nV/LSB、サンプル・レート = 500Hz

代表的な性能特性

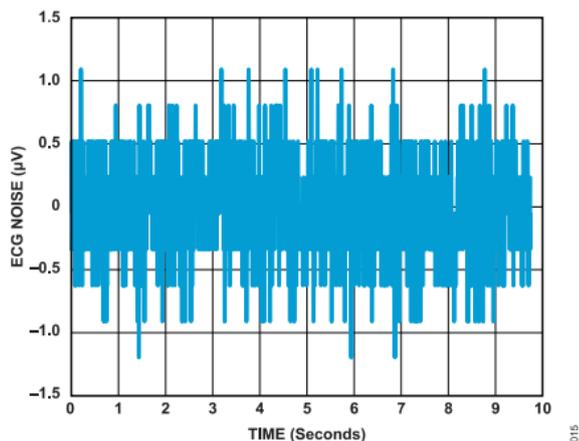


図 16. ECGノイズと時間の関係、入力を V_{CM} に短絡、分解能 = 286nV/LSB、サンプル・レート = 250Hz

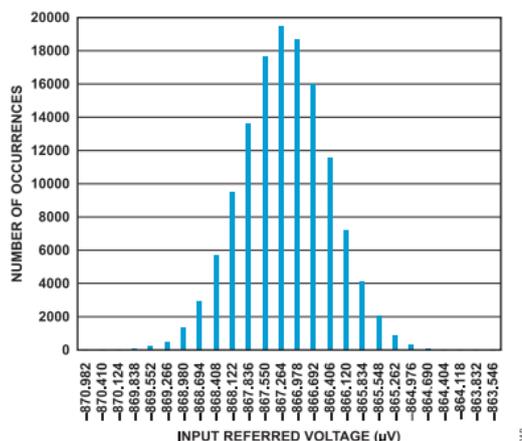


図 19. ECGノイズのヒストグラム、入力を V_{CM} に短絡、分解能 = 286nV/LSB、サンプル・レート = 500Hz

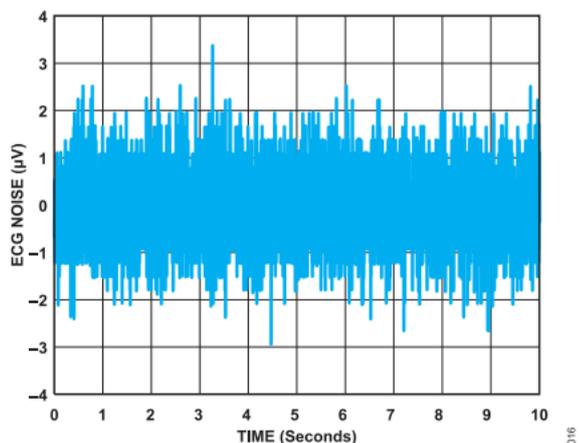


図 17. ECGノイズと時間の関係、入力を V_{CM} に短絡、分解能 = 286nV/LSB、サンプル・レート = 500Hz

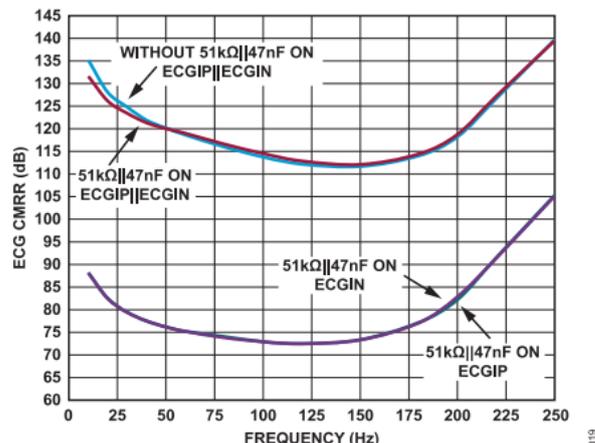


図 20. ECG CMRRと周波数の関係、分解能 = 286nV/LSB、サンプル・レート = 500Hz

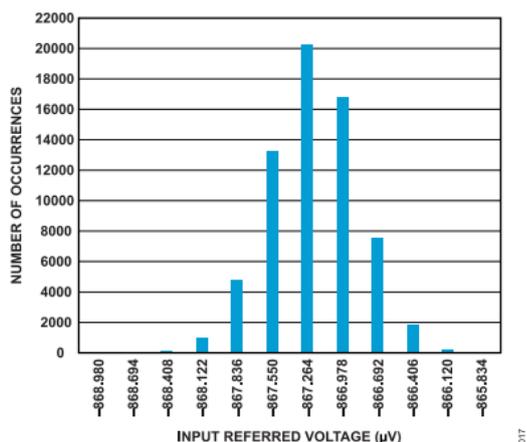


図 18. ECGノイズのヒストグラム、入力を V_{CM} に短絡、分解能 = 286nV/LSB、サンプル・レート = 250Hz

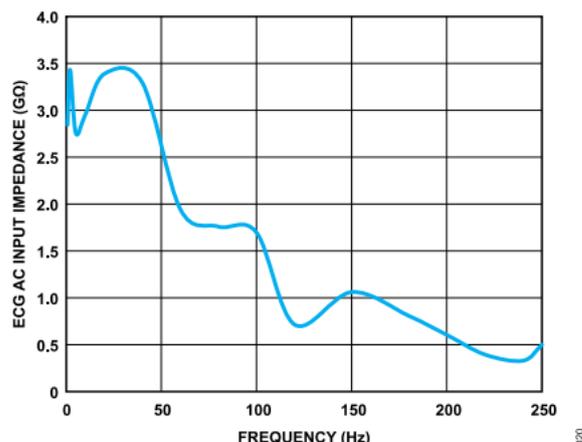


図 21. ECG AC入力インピーダンスと周波数の関係、分解能 = 286nV/LSB、サンプル・レート = 500Hz

代表的な性能特性

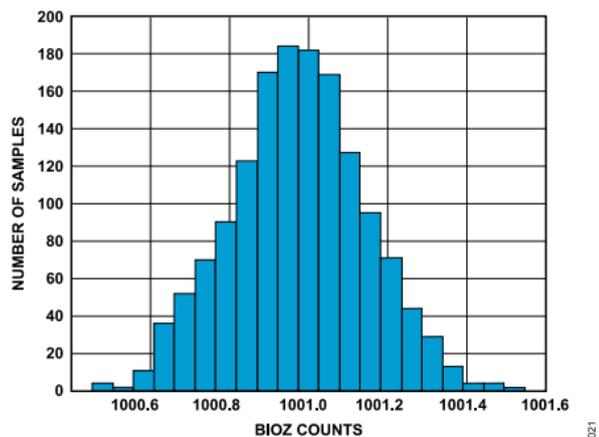


図 22. 生体インピーダンス (BIOZ) ノイズのヒストグラム

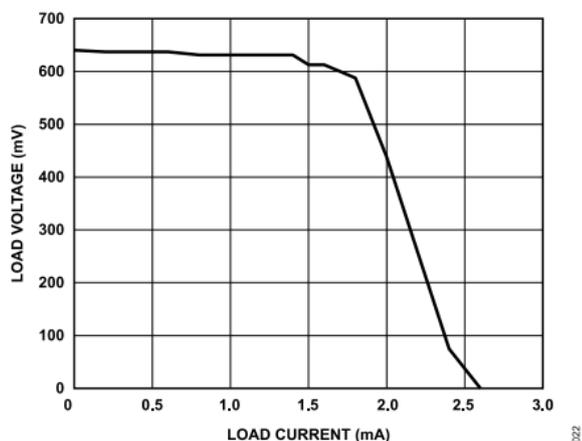


図 23. BIOZ駆動能力

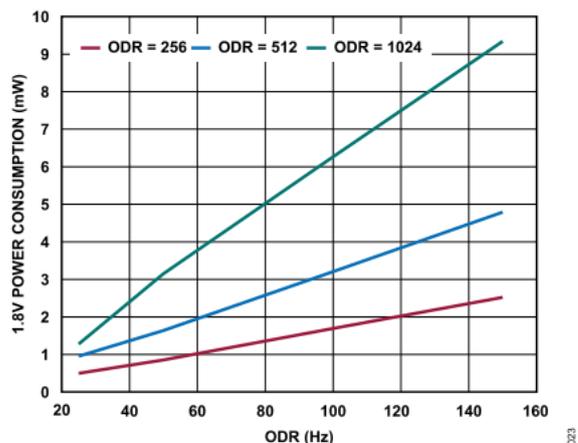


図 24. 1.8Vでの消費電力とODRの関係

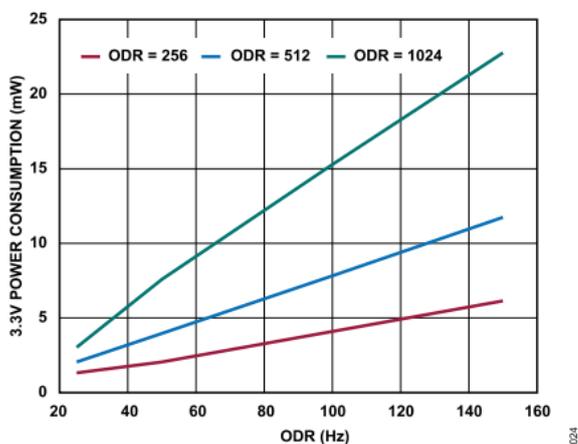


図 25. 3.3Vでの消費電力とODRの関係

動作原理

はじめに

ADPD6000は、マルチモードのバイタル信号モニタリングAFEで、光学測定パス (PPG)、ECG測定パス、BIA測定パスの3つの高性能シグナル・チェーンで構成されています。

PPG測定パスは、最大4個のLEDと4個のフォトダイオードの入力をサポートするトランシーバーとして機能します。LEDの電流は、2個の7ビットLEDドライバによって設定できます。レーザー・パスは、同時サンプリング可能で個別設定可能な2つの高性能読出しチャンネルを提供します。2個の高性能電流DAC

(IDAC) がチャンネルごとに備わっており、優れた周辺光除去と大きなダイナミック・レンジを様々なアプリケーションで提供します。

ECG測定パスは、高入力インピーダンス、低ノイズ、高ダイナミック・レンジのソリューションを提供し、ウェアラブル・デバイスでの高品質なECG信号アキュイジションを可能にします。DCLO検出とACLO検出の両方が内蔵されているため、適切な検出能力が確保されています。

BIAパスにおける刺激信号は、周波数、振幅、位相に関し様々なオプションを持つサイン波を供給するため、様々な状況でADPD6000を測定に最適なものにできます。低ノイズTIA、プログラマブル・ゲイン・アンプ (PGA)、フィルタ、ADCがレーザー・チャンネルに内蔵されているため、高性能なインピーダンス測定が可能です。ダイレクト・デジタル合成 (DDS) エンジンと離散フーリエ変換 (DFT) エンジンもこのパスに内蔵されています。

内蔵ステート・マシンが、これら3つの測定パスを柔軟に制御します。アキュイジション・データは640バイトのFIFOに格納されます。

タイム・スロット動作

内蔵の構成設定可能なコントローラがADPD6000の動作を処理します。このコントローラは、3つの測定パスとスリープ期間を組み合わせたサンプリング領域を生成するのに必要なタイミングを発生します。複数のシグナル・チェーンを使用しやすくするため、複数のタイム・スロットによって異なるトランスミッタやレーザーへのアクセスを処理します。

システムは、イネーブルされた各タイム・スロットの繰返し周期を決定するODRによって特性が決まります。イネーブルされたタイム・スロットは、TIME_SLOT_PERIOD_xビットで設定されるタイム・スロット・レートで繰り返されます。

ADPD6000には、図26に示すように19個のタイム・スロットがあります。

イネーブルされたPPGおよびBIAの各タイム・スロットは、タイム・スロット・レートで繰り返され、その後超低消費電力のスリープ期間が続きます。

ECG_TSはECGのタイム・スロットです。ECGシグナル・チェーンの動作は、タイム・スロット形式では行われません。ECGタイム・スロットがオンになった後、ECGシグナル・チェーンはシステムが停止するまで動作します。ただし、ECGシグナル・チェーンの出力データは、このタイム・スロット・レートでFIFOに同期します。

ECGタイム・スロットの後、12のPPGタイム・スロット

(PPG_TSA~PPG_TSL) が続きます。各PPGタイム・スロットでは、1つ以上のLEDパルスおよび変調パルスの生成と、その励起によるフォトダイオードや他のデバイスの電流のアキュイジションが可能です。各タイム・スロットの動作パラメータは、細かい設定が可能です。

最後の6個のタイム・スロットは、BIAタイム・スロット

(BIA_TSA~BIA_TSF) です。各BIAタイム・スロットでは励起電圧、周波数、レーザーの設定が可能です、生体インピーダンスの正確な測定が容易にできるようになります。

サンプリング・レート (タイム・スロット・レート) は、次の式1に示すとおりです。

$$\text{サンプリング・レート} = \text{タイマー・クロック周波数(Hz)} / \text{TIMESLOT_PERIOD}_x \quad (1)$$

表 9. 低周波数クロック (LFCLK) 源とタイマー・クロック源¹

LFCLK	Timer Clock	ALT_CLOCKS	TM_CLK_G PIO_SEL
960 kHz internal	960 kHz internal	0	N/A
960 kHz external	960 kHz external	1	N/A
960 kHz internal	960 kHz internal	2	N/A
1 MHz external (divided from 32 MHz)	1 MHz external (divided from 32 MHz)	3	N/A
960 kHz internal	960 kHz external	4	1
960 kHz internal	32 kHz external	4	0

¹ N/Aは該当なし

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
ECG_TS	PPG_TSA	PPG_TSB	PPG_TSC	PPG_TSD	PPG_TSE	PPG_TSF	PPG_TSG	PPG_TSH	PPG_TSI	PPG_TSJ	PPG_TSK	PPG_TSL	BIA_TSA	BIA_TSB	BIA_TSC	BIA_TSD	BIA_TSE	BIA_TSF

図 26. タイム・スロットの割当て

動作原理

光シグナル・チェーン

光信号パスは、最大4個のLEDを励起し、リターン信号を最大4つの別々の電流入力で測定します。光タイム・スロットは12個あるため、サンプリング周期ごとに最大12の光学測定ができます。

アナログ入力は、シングルエンドまたは差動ペアで駆動できます。4個のアナログ入力は、単一チャンネルまたは独立した2つのチャンネルにマルチプレクスされ、同時に2個のセンサーのサンプリングが可能です。

光シグナル・チェーンは、TIA、レジスタ設定によってバッファとしても設定可能な積分器、およびADCで構成されています。デジタル・ブロックは、複数の動作モード、プログラマブルなタイミング調整、およびブロック平均化が可能です。

最大200mAで駆動できる4個の独立したLEDドライバが備わっています。LEDドライバのうち2個は任意のタイム・スロットで使用でき、7ビットのレジスタ設定値により1.5mAから200mAまでの単調増加のプログラムが可能です。イネーブルされたLEDドライバは、いずれのタイム・スロットでも、組み合わせることで合計400mAまでのLED電流を供給できます。

光学測定を行う場合、ADPD6000は、1 μ sという短パルスを組み合わせた同期変調方式によって100dBのAC周辺光除去を実現します。周辺光の除去は、外部の制御ループ、DC電流の減算、あるいはデジタル・アルゴリズムなどを必要とせず、自動的に行われます。

LEDドライバは電流シンクなので、LED電源電圧やLEDの種類による影響を受けません。光学測定は、比較的小さなLED電力で高いS/N比を達成すると同時に、周辺光が測定信号に及ぼす影響を大幅に軽減します。

アナログ信号パス

光シグナル・チェーンのアナログ信号パスは4個の電流入力からなり、これらはシングルエンドまたは差動ペアとして構成され、2つの独立したチャンネルの1つに供給されます。この2つのチャンネルは同時にサンプリングすることが可能で、2個のセンサーを瞬時にサンプリングする必要があるアプリケーションに使用できます。

アナログ入力マルチプレクサ

光シグナル・チェーンは4個のアナログ入力ピンをサポートしています。各入力は、シングルエンド入力として、または差動ペアの一部として使用できます。図27に入力スイッチ・マトリックスの1つを示します。これにより、2つの光学チャンネルとのプログラマブルな接続が可能になります。各入力ペア (IN1とIN2、IN3とIN4) は、このマルチプレクサを複製した回路になっています。接続はタイム・スロットごとにプログラム可能です。

PAIR12ビットおよびPAIR34ビットを使用して、それぞれの入力ペアを2つのシングルエンド入力として使用するか、差動ペアとして使用するかを選択します。この選択は、すべてのアクティブなタイム・スロットに対して有効です。INP12_xビットおよびINP34_xビットによって、該当するタイム・スロットにおいて入力ペアをイネーブルするかどうかを設定できます。イネーブルされた場合は、どの入力をどの光学チャンネルに接続するかも設定します。

スリープ条件は、イネーブルされていないすべての入力に使用します。スリープ条件は、INP_SLEEP_12ビットおよびINP_SLEEP_34ビットによって決定し、これらのビットでスリープ期間中および入力アクティブになっていないときの入力ペアの状態を設定します。入力は、プリコンディショニングの間、および入力がイネーブルされたタイム・スロットのパルス領域でのみアクティブとみなされます。

入りに接続されたセンサーのプリコンディショニングは、サンプリングの前に入力の動作ポイントを設定するために使用します。プリコンディショニングにはいくつかの異なるオプションがあり、PRECON_xビットによって決定します。PRECON_xビットは各タイム・スロットに対して用意されており、対応するタイム・スロット期間におけるイネーブルされた入力、または入力ペアのプリコンディショニングを設定します。プリコンディショニングの選択肢として、フロート状態、VC1、VC2、入力共通モード電圧 (V_{ICM})、TIAの内部電圧リファレンス信号 (TIA_{VREF})、TIA入力、入力ペア短絡があります。各タイム・スロットの開始時のプリコンディショニング時間は、PRE_WIDTH_xビットを使用してプログラムできます。デフォルトのプリコンディショニング時間は8 μ sです。

図27のブロック図に、スリープ時とプリコンディショニング時に入力と接続可能なすべてのバイアス・レベルを示します。これらの接続は、入力を選択されているタイム・スロットのサンプリング・フェーズ中は使用できません。

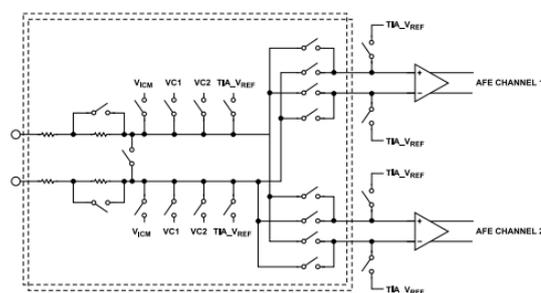


図 27. スイッチ・マトリックスのブロック図

周辺光キャンセル

ADPD6000には、次のように周辺光をキャンセルするモードが3つあります。

- ▶ 粗調整のみ
- ▶ 粗調整と微調整ループ
- ▶ 外部マイクロコントローラ・ユニット (MCU) 制御

粗調整のみのモードおよび粗調整と微調整ループのモードでは、ソフトウェアの助けを借りることなくADPD6000が自動で制御します。外部MCU制御モードでは、外部アルゴリズムを用いて周辺光除去が可能です。

モードを選択するにはAMBIENT_CANCELLATION_xビットを使用します。

各PPGタイム・スロットの開始時には粗調整モードで動作します。このモードでは、周辺光のレベルが測定され、周辺光DACコードが設定されます。この回路では、これらのアクティビティを完了し周辺光DACのベースラインを決定するのに48 μ sを要します。

動作原理

その後、PPGチャンネルは通常動作を開始できます。例えば、デジタル積分モードの場合、PPGレーザー・チャンネルは、暗サンプルの取得を開始できます。粗調整のみのモードが有効化されている場合、この周辺光ベースラインがそのタイム・スロットで使用されます。

粗調整と微調整ループのモードが有効化されている場合、粗調整回路は粗調整モードと同じように動作します。ただし、周辺光DACコードは暗サンプルの測定ごとに更新されます。

これら2つのモードをAMBIENT_CANCELLATION_xビットで選択することで、システム・レベルで柔軟な設計が可能になります。

粗調整ループ・モードでは、周辺光電流の正確な値を求める測定を行います。その後、周辺光DACが、シグナル・チェーンの開始時に周辺光電流を差し引くため、PPG信号測定に大きな誤差が生じることはありません。

アナログ積分モードとデジタル積分モードのどちらも、粗調整ループによる周辺光除去が可能です。

微調整ループは、暗サンプルの測定ごとに周辺光情報を更新します。この機能はデジタル積分モードでのみ利用できます。

MCUモードでは、ユーザが周辺光電流を差し引くことができます。DAC_AMBIENT_CH1_xビットおよびDAC_AMBIENT_CH2_xビットは、ユーザが周辺光電流値を入力できるよう設計されており、その後AFEがその値をシグナル・チェーンから差し引きします。DAC_AMBIENT_CH1_xおよびDAC_AMBIENT_CH2_xは9ビットのフィールドで、それぞれのLSBが $0\mu\text{A}$ ～ $300\mu\text{A}$ の範囲の $0.6\mu\text{A}$ ステップに相当します。

LED DCキャンセル機能

周辺光DACの他に、各シグナル・チェーンの入力にはもうひとつのIDACがあります。このIDACは、LEDの反射光の不要なDC成分を除去してレーザー・チャンネルのダイナミック・レンジを拡大するために用いられます。

これら2つのIDACは、MCUによってのみ制御されます。

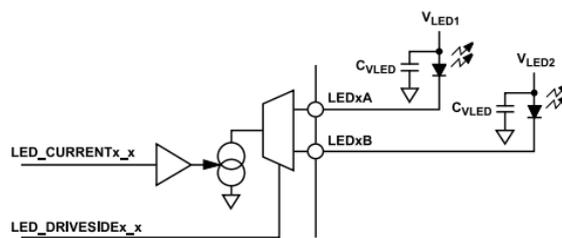
DAC_LED_DC_CH1_xビットおよびDAC_LED_DC_CH2_xビットは、LEDのDC成分をキャンセルする7ビットIDACをフルスケールで制御します。

このLED DCキャンセル機能は、デジタル積分モードでのみ利用できます。

上位レベルの光学およびシステム設計に基づき、特定の量のDC電流がAFEから差し引かれます。DAC_LED_DC_CH1_xおよびDAC_LED_DC_CH2_xは7ビットのフィールドで、それぞれのLSBが $0\mu\text{A}$ ～ $190\mu\text{A}$ の範囲の $1.5\mu\text{A}$ ステップに相当します。

LEDドライバ

光路には2つのLEDドライバがあり、それぞれが2つのLEDドライバ出力を備えているため、合計で4つのLED出力ドライバが使用可能です。ドライバ・ペアごとに1つを使用することで、最大2個のLEDを同時に駆動できます。LED出力ドライバは電流シンクです。図28に、1つのLEDドライバ出力ペアの例を示します。



NOTES
CVLED IS THE BYPASS CAPACITOR.

図 28. LEDドライバ出力ペア

LEDドライバ出力ピン (LED1A、LED1B、LED2A、LED2B) の最大許容電圧は3.6Vです。この定格を超える電圧を印加すると、デバイス動作の信頼性に影響を与え、特定の状況ではデバイスが正常に動作しなくなる場合があります。LEDドライバ出力ピンの電圧とLEDへの電源電圧を混同しないでください。VLEDxは外部LEDのアノードに印加する電圧です。これに対し、LED出力ドライバ・ピンは外部LEDのカソードに接続します。コンプライアンス電圧は、グラウンドを基準として測定したLEDドライバ・ピンのヘッドルームの総電圧で、設定したLED電流レベルを維持するために必要となります。このコンプライアンス電圧は、必要とする電流の関数になっています。

ECGシグナル・チェーン

ECGシグナル・チェーンは、2つの電極間の差動電圧を測定し、リード測定を行います。このチャンネルの出力は、測定したECG電圧を表す24ビットのデジタル・ワードです。最大入力差動信号は $\pm 1.2\text{V}$ で、LSBの大きさは 286nV です。出力データ・レートは、250SPS、500SPS、1kSPS、2kSPS、または4kSPSです。このフィルタの選択はデジタル処理には影響しますが、アナログ処理には影響しません。更に、4kHzのACリード・オフ信号は、アナログECGパスによって変換され、デジタル領域で差し引かれます。

ECGチャンネルには、帰還構成を備えた専用のADCパスがあり、ECG電極から生じるDCオフセットを除去します。ECGチャンネルは、高品質のECG信号処理を可能にすると同時に、複雑なシステム設計に起因する大きなDCオフセットを抑制するよう設計されています。

DCLO検出機能とACLO検出機能の両方を備えているため、様々な複合的リード接触条件に対応し信頼できるリード情報を提供できます。

RLDピンは、人体電位をよりよくバイアスし干渉を回避できるよう設計されています。

ECGIPおよびECGINはECGチャンネルの信号入力で、これらは入力リードに接続する必要があります。RLDピンはリファレンス・リードに接続する必要があります。

動作原理

ECGメイン・シグナル・チェーン

図29にECGのメイン・シグナル・チェーンの回路図を示します。

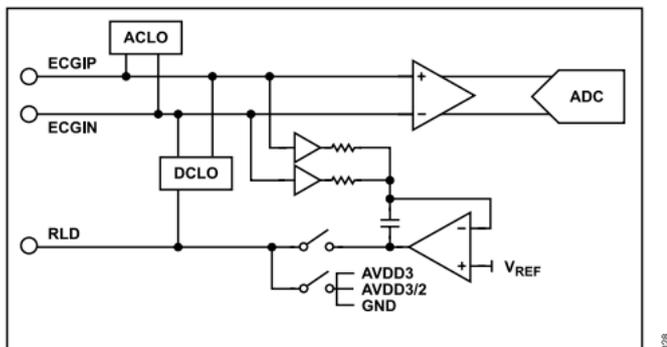


図 29. ECGメイン・シグナル・チェーン図

DCLO検出

DCLO回路は、設定可能な微小DC電流を各入力電極に注入し、その結果生じる電極の電圧をモニタします。図30にDCLO検出回路の図を示します。

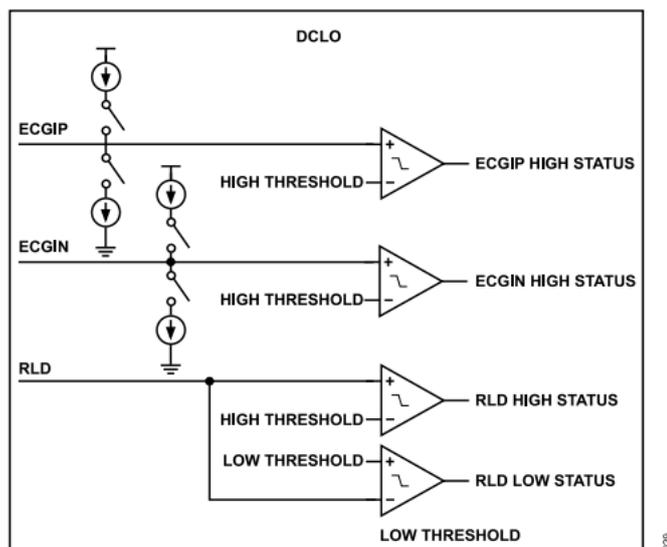


図 30. DCLO検出回路図

ECGIPとECGINがどちらも正しく接続されている場合、患者を通じてECG入力の一つからもう一つに電流が流れることで、微小な電圧シフトが生じます。このフェール電流の大きさは全ECG電極において共通で、この大きさはECG_DCLO_MAGビット・フィールドを用いて、 $\pm 16\text{nA}$ の範囲を 2nA 刻みで設定可能です。

フェール電流の極性は電極ごとに独立で、ECG_DCLO_POLARITY_INおよびECG_DCLO_POLARITY_IPを用いて設定できます。電極の接続が悪化した場合あるいはオフになった場合、設定されたフェール電流の極性に応じて、その電極のピン電圧がハイまたはローになります。

DCLO検出回路は、各電極入力（ECGIPおよびECGIN）を基盤としています。電極回路は、ECG入力に対する個別に設定可能な閾値に基づくコンパレータです。

各入力リード（ECGIPおよびECGIN）には、上限閾値を持つコンパレータが1つだけあります。RLDピンには、上限閾値と下限閾値を持つコンパレータが2つあります。

これらの閾値は、すべての閾値電圧が予想される信号範囲をカバーするよう選択されます。ウィンドウ・コンパレータは、電極入力電圧とこれに対応する閾値電圧を比較します。特定の電極の電圧変化が、フェール電流として設定されたいずれかの閾値電圧を超えた場合、電極接触のDC抵抗は、リード・オフをフラグ通知するレベルであると判定されます。

ACLO検出

ECGパスには、ACLO検出機能があり、異なる種類のリードを処理するDCLO検出回路と共に使用して、リード・オフ検出ができます。図31にACLO検出回路の図を示します。

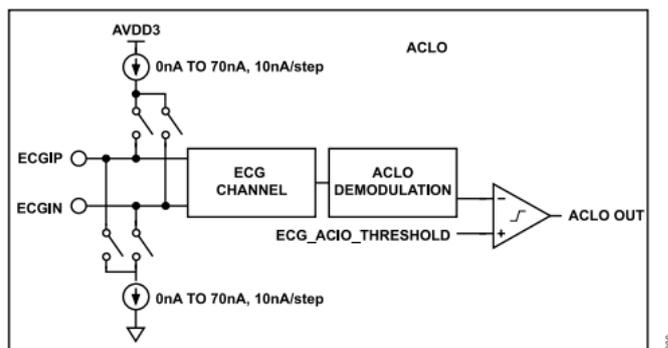


図 31. ACLO検出回路図

電極が患者に接続されているかどうかを検出するACLO法は、AC電流を各ECG電極に注入し、その結果生じるECGチャンネルの電圧の大きさを測定することを基本としています。ACLO機能を使用するには、ECGチャンネルをイネーブルする必要があります。

ACLO電流の大きさは、ECG_ACLO_MAGビット・フィールドで設定できます。AC電流はECG入力バスを流れ、測定するECGチャンネル入力間の電圧を生じます。測定された電圧は同期して復調され、コンパレータを通じて送られます。ユーザは、ECG_ACLO_THRESHOLDビット・フィールドを用いて閾値を設定できます。

ACLO検出は、ECG入力ピン（ECGIPおよびECGIN）でのみ使用でき、RLDピンには対応していません。駆動電流は右足（RL）に流れるため、電極が正しく接続されていれば信号は微小です。電極が適切に接続されていない、あるいは完全に乾燥している場合は、容量性分圧器で検出されるほどの大きな信号となります。

動作原理

右足ドライバ

駆動リファレンスを用いると、同相ノイズ除去や、電源ラインの干渉 (50Hz/60Hz) や患者に接続された他の機器などの外部ソースからの干渉が改善されるため、全体的な性能が向上します。また、駆動段は、ECG電極に注入されたリード・フェール電流を吸収する働きもあります。

リファレンス電極駆動回路は、患者のコモンモード電圧を検出し、その反転波形を体に与えることで、患者の周りに負帰還ループを形成します。RLDアンプは $V_{CM} = AVDD3/2$ を用います。これはADCの入力範囲の中央の電極電圧を中心とする値です。各電極入力は、バッファされ、スイッチを介してRLDアンプに供給されます。

RLDピンの容量は、RLDアンプに影響します。最高性能を発揮するために、このノードの容量は、2.2nF未満であることが必要です。通常動作では、RLDアンプの出力は、RLDピンとそれに関連する保護ネットワークを介してRL電極に印加されます。

RLDアンプはオフにすることができ、ユーザがECG_RLD_OUT_SELビット・フィールドで電圧を選択してRLDピンを駆動できます。

BIAシグナル・チェーン

BIAシグナル・チェーンは、生体インピーダンス測定用に設計されたものです。このシグナル・チェーンは、高周波数の高精度励起ループと測定チャンネルからなり、様々な生体インピーダンス構成に対し幅広い測定機能が利用できます。

励起ループは高速DACとも呼ばれる12ビットDACからなります。このDACは、最大250kHzの高周波励起信号を生成できます。

測定チャンネルは、入力バッファ付きADC、内蔵アンチエイリアス・フィルタ、PGAを備えています。

超低リークのプログラマブル・スイッチ・マトリックスが、センサーと内部のアナログ励起ブロックおよび測定ブロックを接続しています。このマトリックスは、外部の生体インピーダンスとキャリブレーション抵抗を接続するインターフェースとなっています。図32に、BIAシグナル・チェーンのブロック図を示します。

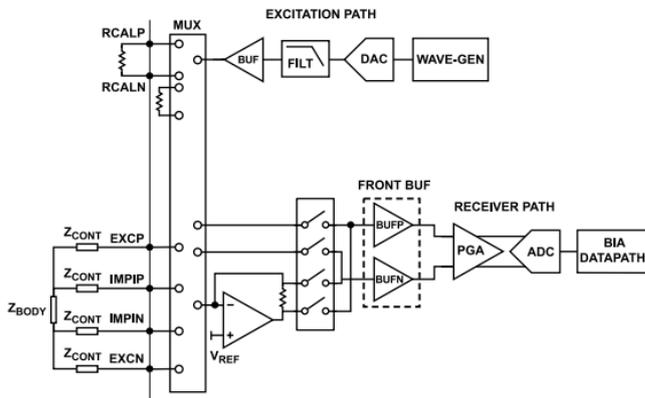


図 32. BIAチャンネル・ブロック図 (Z_{CONT} は接触インピーダンス、 Z_{BODY} は人体のインピーダンス)

励起ループの入力マルチプレクサ (mux) は、 $BIOZ_TSW_x$ 、 $BIOZ_TRSW_x$ 、 $BIOZ_DSW_x$ 、 $BIOZ_DRSW_x$ で制御されます。測定パスの入力マルチプレクサは、 $BIOZ_NCHAN_x$ および $BIOZ_PCHAN_x$ で制御されます。表10に入力マルチプレクサの接続とそれに関連するビット設定を示します。BIAチャンネルの柔軟な設計により、様々な構成で測定が可能となります。

表 10. BIAチャンネルのTIA接続

Bit Name	Setting	Connection
$BIOZ_TSW_x$	0001	IMPIP
	0010	IMPIN
	0100	EXCP
	1000	EXCN
	1000	EXCN
$BIOZ_TRSW_x$	1	RCALN
$BIOZ_RINT_SW_x$, Bit 1	1	$R_{INT_SN}^1$
$BIOZ_DSW_x$	0001	IMPIP
	0010	IMPIN
	0100	EXCP
	1000	EXCN
	1000	EXCN
$BIOZ_DRSW_x$	1	RCALP
$BIOZ_RINT_SW_x$, Bit 0	1	$R_{INT_SP}^1$
$BIOZ_PCHAN_x$ and $BIOZ_NCHAN_x$	00	TIA
	01	IMPIP and IMPIN
	10	RCALN and RCALP
	11	R_{INT}^1

1 R_{INT_SN} および R_{INT_SP} は、内部抵抗 (R_{INT}) の2つの端子を表します。

生成されたサイン波の周波数は $BI_OZ_SINEFCW_x_x$ で制御され、サイン波の振幅は $BIOZ_SINEAMPLITUDE_x$ で制御されます。 $BIOZ_SINE_PHASE_OFF_SET_x$ はサイン波の位相を制御するために用いられます。

式2および式3に、電圧出力 (V_{OUT}) の振幅とサイン波の周波数をこれらのビットを用いて設定する方法を示します。

動作原理

$$V_{OUT} = 0.8 \times \frac{BIOZ_SINEAMPLITUDE_x}{2^{11}} V_{p-p} \quad (2)$$

$$Frequency = \frac{32M \times BIOZ_SINEFCW_x}{2^{26}} Hz \quad (3)$$

BIOZ_DAC_GAIN_xとBIOZ_DAC_OFFSET_xを用いると、様々なアプリケーションで生成されるサイン波をより柔軟に制御できます。

TIAのゲインはBIOZ_TIA_RGAIN_xで設定できます。

測定値をデジタル化した後、ADC出力は、BIAチャンネルのデータバスに送られます。このバスにはフィルタ、ゲイン制御、DFTパスが含まれます（詳細についてはデータバスのセクションを参照）。DFTの結果は受信サイン波のIデータとQデータで、データ・フォーマットは18ビットです。

チェーンがオンの場合、DFTパスはDFTの実行まで待機することができます。待機時間はBIOZ_ADC_CONV_DLY_xで制御されます。

正確な測定のため、チップはレシオ測定を行う必要があります。つまり、チップはRCALPピンとRCALNピンの既知の外部抵抗を測定し、それから未知の抵抗を測定する必要があります。被験抵抗を計算するにはレシオ法を用います。

FIFO

FIFOにパケット・データの一部だけが書き込まれることはありません。イネーブルされたすべてのタイム・スロットおよび選択されたステータス・バイトのデータを書き込むだけのFIFO領域がない場合は、この期間は何のタイム・スロットのデータも書き込まれず、INT_FIFO_OFLOWのステータス・ビットがセットされます。

FIFOに書き込むサンプルの順番は（選択されている場合）、最初が暗データ、次が明データです。表11にマルチバイト・ワードのバイト順を示します。

表 11. FIFO書き込みのバイトの順番

Size	Byte Order (After Shift)
8	[7:0]
16	[15:8], [7:0]
24	[23:16], [15:8], [7:0]
32	[31:24], [23:16], [15:8], [7:0]

FIFOは640バイトです。FIFOが空のときは読出し動作で0xFFを返し、INT_FIFO_UFLOWのステータス・ビットがセットされます。

ECGデータのフォーマット

ECGチャンネルのデータは、ステータス・バイトをヘッダとする24ビットの符号なしデータです。図33にECGチャンネルのデータを示します。

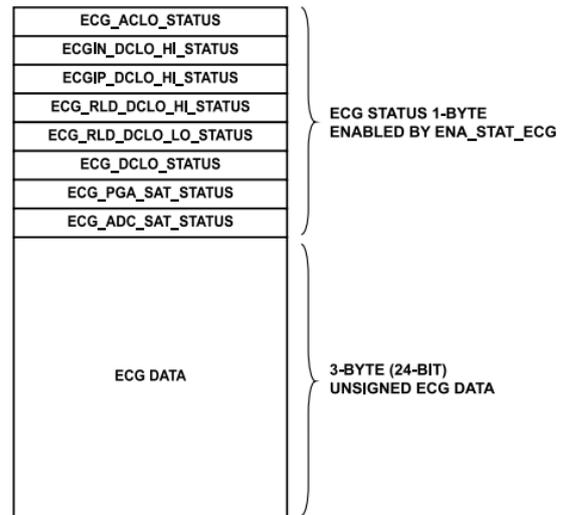


図 33. ECGデータのフォーマット

ENA_STAT_ECGが1に設定されている場合、ECG出力データは4バイト構造で、最上位バイトはECG関連のステータス情報です。ENA_STAT_ECGが0に設定されている場合、ECG出力データは3バイト構造でECGチャンネルの出力データのみが含まれます。

PPGデータのフォーマット

各タイム・スロットの最後で、選択されたデータがFIFOに書き込まれます。パケットには、0ビット、8ビット、16ビット、24ビット、または32ビットの暗データ値、信号データ値、または明データ値をそれぞれ含めることができます。FIFOに書き込むデータのビット・アライメントは、飽和情報を基に0ビットから31ビットでシフト量を選択できます。下位ビットは無視されます。

DARK_SIZE_x、LIT_SIZE_x、SIGNAL_SIZE_xの各ビットを使用して、フィールドごとに書き込むバイト数を0バイトから4バイトの間で選択します。0に設定した場合、そのデータ・タイプで書き込まれるデータはありません。DARK_SHIFT_x、LIT_SHIFT_x、SIGNAL_SHIFT_xの各ビットを使用して、FIFOに書き込む前に出力データを右にシフトするビット数を選択します。選択したビット位置より上位のビット位置に上位ビットがある場合は、FIFOに書き込まれるデータは飽和しています。

FIFOに書き込むサンプルの順番は（選択されている場合）、最初が信号データ、次が暗データ、その次は明データです。両方のチャンネルがイネーブルされている場合、チャンネル1で選択されたデータが最初にFIFOに書き込まれ、次にチャンネル2のデータが書き込まれます。

例えば、暗データを使用するモードでは、各タイム・スロットで暗データの上位8ビットが信号データから適正に選択された24ビットと共に保存されます。これにより、周辺光が増加しているかどうか検出できると同時に転送データ量を制限できます。

PPGデータのフォーマットのセクションに、FIFOのPPGデータ・フォーマットを示します。

動作原理

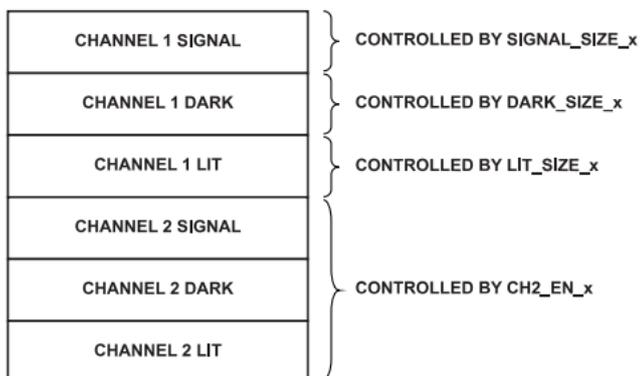


図 34. PPGデータのフォーマット

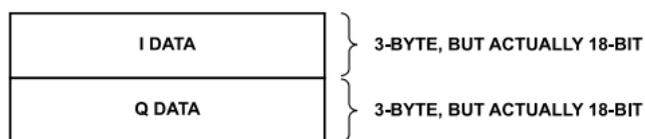


図 35. BIAデータのフォーマット

FIFOのデータ配列

FIFOのデータは、イネーブルされたタイム・スロットに従って構成され、同じシーケンスに従います。

例として、図36に、1つのECGタイム・スロット、3つのPPGタイム・スロット、2つのBIAタイム・スロットがイネーブルされている場合のFIFOを示します。

BIAデータのフォーマット

BIAデータのフォーマットは、3バイトのIデータとそれに続く3バイトのQデータです。図35にFIFOのBIAデータ・フォーマットを示します。

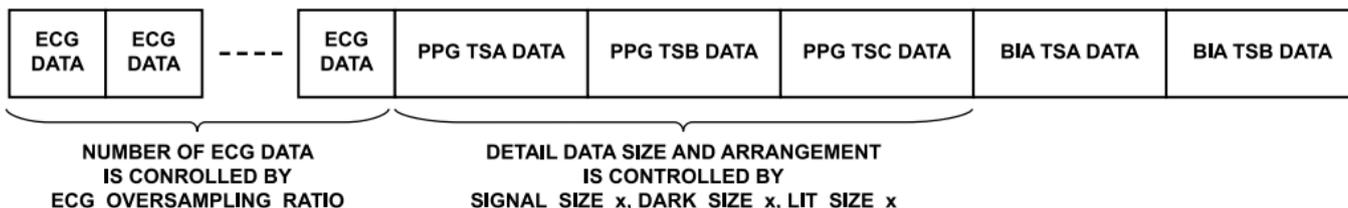


図 36. FIFOのデータ配列例 (TSAはタイム・スロットA、TSBはタイム・スロットB、TSCはタイム・スロットC)

動作原理

クロッキング

低周波発振器

低周波発振器は低速のステート・マシンのクロックを生成します。これにより、サンプリングのタイミングやウェイクアップ状態など、すべての動作の制御で使用されるタイム・ベースが設定されます。低周波発振器による生成には3つのオプションがあります。第1のオプションは、内部の960kHzの発振器です。第2のオプションは、ホストが外部の低周波発振器を使用することです。最後のオプションは、外部の32MHz高周波クロック源を32分周することによって低周波発振器を生成することです。デバイスの起動時には、低周波発振器がイネーブルされ、そのまま動作し続けるという想定になっています。

内蔵の低周波発振器を動作させるには、以下の書き込みを実施してください。OSC_960K_ENビットを1に設定して内部発振器をオンにします。内部の960kHzのクロック周波数は10ビットのOSC_960K_FREQ_ADJビットを使用して調整します。

内部の低周波発振器で供給できるタイミング精度より高い精度が必要な場合は、GPIOx入力を使用して外部ソースから低周波発振器を直接駆動することができます。外部の低周波クロックをイネーブルするには、以下の書き込みを実施してください。まず、GPIO_PIN_CFGxビットを使用してGPIOx入力の1つをイネーブルします。次に、ALT_CLK_GPIOビットを使用して、外部の低周波発振器を使用するためにイネーブルしたGPIOx入力を選択します。ALT_CLOCKSビットを0x1に設定し、外部低周波発振器を選択します。

第3の方法では、外部の32MHzクロックを用いて、高周波クロックを得ることと、分周することで低周波クロックを発生することの両方ができます。この方法を使用するには、前述した外部低周波クロックの手順に従います。ただし、ALT_CLOCKSビットは0x3に設定します。また、低周波クロック生成のために32分周を用います。これにより、32MHzの外部クロックから1MHzのクロックが生成されます。

高周波発振器

32MHzの高周波発振器は、内部で生成するか外部から供給します。この高周波クロックは、高速のステート・マシンのクロックを生成し、これにより、LEDタイミング、積分回数、BIA励起周波数など、タイム・スロットでのAFE動作を制御します。

高周波発振器は、ALT_CLOCKSビットを0x0または0x1に設定することにより、内部でクロックを生成できます。内部クロックを選択した場合、32MHzの内部発振器は、適切なウェイクアップ・タイム期間に、または32MHz発振器のキャリブレーション・ルーチンの期間に、低速ステート・マシンによって自動的にイネーブルされます。

高周波発振器は、外部ソースから駆動することもできます。外部の32MHz高周波発振器を使用するには、GPIO_PIN_CFGxビットを用いていずれかのGPIO入力をイネーブルします。次に、ALT_CLK_GPIOビットを使用して、外部の高周波発振器用にイネーブルしたGPIOx入力を選択します。最後に、0x2または0x3をALT_CLOCKSビットに書き込んで、外部高周波発振器を選択します。0x2を書き込むと、外部ソースから高周波クロックのみを供給するのに対して、0x3を書き込むと外部の32MHzソースから低

周波クロックと高周波クロックの両方を生成します。外部の32MHz発振器を使用する場合には、デバイスが適切に動作できるように、この外部発振器は継続的に動作しなければなりません。

タイム・スタンプ動作

タイム・スタンプ機能は、タイム・スロット動作中のタイミング情報をホストに供給するだけでなく、低周波発振器のキャリブレーションにも役立ちます。タイム・スタンプには、GPIOのいずれかをタイム・スタンプ・リクエスト入力として使用します。また、タイム・スタンプ・トリガの取得をイネーブルするCAPTURE_TIMESTAMPビット、低周波発振器の領域で動作するタイム・カウンタ、および2つの出力レジスタを使用します。出力ビットには、タイム・スタンプのトリガとトリガの間に生成された低周波発振器のサイクル数を保持するTIMESTAMP_COUNT_xビットと、次のタイム・スロットが開始するまでに残された低周波発振器のサイクル数を保持するTIMESTAMP_SLOT_DELTAビットが含まれます。

タイム・スタンプ動作を使用する設定は以下のとおりです。

1. OSC_CAL_ENABLE = 1に設定して、発振器のキャリブレーション回路をイネーブルします。
2. 適切なGPIO_PIN_CFG_xビットを使用して、GPIOのいずれかをタイム・スタンプ入力に対応できるように構成します。TIMESTAMP_GPIOビットを使用して、タイム・スタンプ供給用に構成したGPIOxを選択します。
3. ADPD6000の動作設定を行い、低周波発振器をイネーブルします。
4. TIMESTAMP_SLOT_DELTA機能が必要な場合は、OP_MODEビットを使用してデバイスをGoモードに設定することによってタイム・スロット動作を開始します。（表12参照）。低周波発振器のキャリブレーションは、低周波発振器をイネーブルするだけで実行できます。また、低周波発振器をキャリブレーションするためにデバイスをGoモードにする必要はありません。

タイム・スタンプを取得するには、次の手順に従います。

1. CAPTURE_TIMESTAMPビットを1に設定します。これにより、選択したGPIOx入力の次の立上がりエッジでタイム・スタンプの取得がイネーブルされます。
2. ホストは、適切なタイミングで最初のタイム・スタンプ・トリガをこのGPIOxに供給します。
3. タイム・スタンプ信号が取得されると、TIMESTAMP_ALWAYS_ENビットが設定されている場合を除き、CAPTURE_TIMESTAMPビットはクリアされます。TIMESTAMP_ALWAYS_ENビットが設定されている場合は、タイム・スタンプの取得は常にイネーブルされた状態になります。必要に応じてタイム・スタンプの取得を再度イネーブルします。
4. ホストは、適切なタイミングで次のタイム・スタンプ・トリガをこのGPIOxに供給します。
5. タイム・スタンプのトリガとトリガの間に発生する低周波発振器のサイクル数をTIMESTAMP_COUNT_xビットから読み出すことができます。

ホストは、タイム・スタンプ処理の間、FIFOのデータ処理を通常のとおり続ける必要があります。

動作原理

タイム・スタンプ以外の遷移がない、タイム・スタンプ専用のピンを使用する場合は、TIMESTAMP_ALWAYS_ENビットを設定してCAPTURE_TIMESTAMPビットが自動的にクリアされないようにします。この設定により、タイム・スタンプの取得を毎回イネーブルする必要がなくなります。

ホストは、TIMESTAMP_SLOT_DELTAを使用して、次のタイム・スロットが発生する時間を決めることもできます。TIMESTAMP_SLOT_DELTAによって、現在のサンプルがFIFOに到着する時間を決定できます。

タイム・スタンプ・トリガはエッジ・センシティブで、TIMESTAMP_INVを使用して立上がりエッジ（デフォルト）と立下がりエッジのどちらかでトリガするか設定できます。

低周波発振器のキャリブレーション

周波数をタイム・スタンプのトリガのタイミングに合わせることで、タイム・スタンプ回路を使用して960kHzの低周波発振器回路のキャリブレーションが可能です。低周波発振器のサイクルにおけるTIMESTAMP_COUNT_xの値と、タイム・スタンプの実際のトリガ周期を比較して、OSC_960K_FREQ_ADJの値を調整するだけです。

高周波発振器のキャリブレーション

高周波発振器は、システムの時刻でキャリブレーションした低周波発振器のサイクルの倍数と、高周波発振器のサイクルの倍数を比較することでキャリブレーションします。低周波発振器のキャリブレーションは、高周波発振器のキャリブレーションの前に実施しておきます。高周波発振器のキャリブレーション方法は、以下のとおりです。

1. OSC_CAL_ENABLE = 1に設定して、発振器のキャリブレーション回路をイネーブルします。
2. OSC_32M_CAL_STARTビットに1を書き込みます。
3. ADPD6000は、自動的に高周波発振器をパワーアップします。
4. その後、高周波発振器が安定するまで自動的に待機します。
5. 内部カウンタが、960kHz低周波発振器の128サイクルの間に発生する32MHzの高周波発振器のクロック数を自動的にカウントします。
6. OSC_32M_CAL_COUNTビットが最終的なカウント数で更新されます。
7. タイム・スロットがアクティブでなければ、32MHzの発振器はキャリブレーション後自動的にパワーダウンします。
8. デバイスはOSC_32M_CAL_STARTビットをリセットし、カウンタが更新されたことを示します。

OSC_32M_FREQ_ADJビットにより、32MHzの発振器周波数が正しい周波数に調整されます。外部の低周波発振器を使用する場合には、32MHz発振器のキャリブレーションは外部から供給される低周波発振器を基準に実施してください。

低周波発振器と高周波発振器のキャリブレーション完了後、CLK_CAL_ENA = 0に設定して発振器のキャリブレーション回路のクロッキングをディスエーブルすると消費電力を削減できます。CLK_CAL_ENAはデフォルトで0に設定されているので、キャリブレーション回路はデフォルトでディスエーブルです。

実行モード

低周波発振器のクロック領域におけるステート・マシンは、スリープ時間、ウェイクアップ・サイクル、およびタイム・スロット動作の開始を制御します。低周波発振器は、すべてのタイム・スロット動作のタイム・ベースとして機能すると共に、サンプリング・レートの制御、および低周波数のステート・マシンへのクロック供給を実行します。すべての動作を制御するこのステート・マシンを制御するには、OP_MODEビットを使用します。

表 12. OP_MODEビットの設定値の説明

OP_MODE Setting	Mode	Description
0	Standby	All operations stopped. Time slot actions reset. Low power standby state.
1	Go	Transitioning to this state from standby mode starts time slot operation.

パワーアップ時、およびその後リセット動作が行われた後はいつでも、ADPD6000はスタンバイ・モードになっています。OP_MODEビットに0を書き込むことで、すぐに動作を停止してスタンバイ・モードに戻すことができます。

タイム・スロットは、OP_MODEレジスタのECG_TIMESLOT_EN、PPG_TIMESLOT_EN、BIOZ_TIMESLOT_ENの各ビットでイネーブルできます。（表1参照） ECGタイム・スロットをイネーブルするにはECG_TIMESLOT_ENを1に設定します。BIOZタイム・スロットをイネーブルするにはBIOZ_TIMESLOT_ENの値、PPGタイム・スロットをイネーブルするにはPPG_TIMESLOT_ENの値を設定します。

目的のタイム・スロットをイネーブルしたら、OP_MODEビットを1に設定してチップ動作を開始します。

Goモードの間は、動作モードに影響を与えるレジスタ書き込みを行うことはできません。コントロール・レジスタを変更するには、その前にスタンバイ・モードに入る必要があります。スタンバイ・モードに入ると、ADCのデジタル部分、すべてのパルス・ジェネレータ、およびステート・マシンがリセットされます。

外部の同期トリガを使用しない場合は、OP_MODEが1にセットされると、デバイスはすぐに最初のウェイクアップ・シーケンスおよびタイム・スロット動作を開始します。外部の同期トリガを使用していると、デバイスは、最初のウェイクアップおよびタイム・スロット領域が始まる前にスリープ状態に入ります。

ホスト・インターフェース

ADPD6000は、SPIを使って他のデバイスとの通信を行います。また、大容量FIFO、エラー、および閾値のステータス・ビットを内蔵しており、これらは、GPIOからの割込み機能によって使用すること、ステータス・レジスタから読み出すこと、FIFOパケットの最後にオプションのステータス・バイトとして追加することが可能です。

割込みステータス・ビット

FIFO閾値割込み

INT_FIFO_THは、FIFO閾値割込みのステータス・ビットで、FIFO内のバイト数がFIFO_THレジスタに保存された値を超えるとセットされます。FIFOの読出しによってバイト数がFIFO_THレジ

動作原理

スタの値未満になると、INT_FIFO_THビットは自動的にクリアされます。これにより、ユーザはホストが必要とする適正なデータ・サイズを設定することができます。

データ全体の書き込みの途中でFIFOのバイト数が閾値を超えても、INT_FIFO_THビットはトリガしません。その代わりに、FIFOへの次の書き込み時にINT_FIFO_THビットがセットされます。例えば、PPG TSAのみが動作している場合、FIFOには4バイトの明データが書き込まれるだけです。図37に、FIFOのデータを示します。

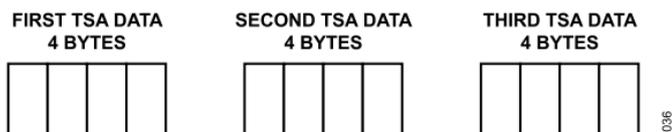


図 37. FIFO閾値割込みの例

閾値が4に設定されている場合、割込みは、FIFOへの2番目のTSAデータ書き込みの最初にトリガされます。閾値が5、6、または7に設定されている場合、3番目のTSAデータの書き込みまでINT_FIFO_THビットはトリガを発生しません。この方法により、FIFOから読み出されるのがデータの一部のみになってしまうのを防止できます。

割込みステータス・ビットのクリア

すべてのステータス・ビットは、割込み出力のInterrupt XとInterrupt Yのどちらかに接続されているかには無関係にセットされます。ステータス・ビットは、割込みイネーブル・ビットから独立しています。ステータス・ビットは、常に、該当するイベントによってセットされます。割込みビットは、手動または自動でクリアされるまでセットされた状態を維持します。

ユーザは、該当する割込みステータス・ビットに1を書き込むことにより、手動で割込みをクリアできます。また、データ割込みステータス・ビットは自動でクリアする設定にもできます。INT_ACLEAR_FIFOビットがセットされている場合、割込みステータス・ビットは、該当のFIFOレジスタが読み出されると自動的にクリアされます。割込みステータス・ビットが自動的にクリアされることで、手動で割込みをクリアする必要がなくなります。

オプションのステータス・バイト

各データ・パケットにステータス・ビットを追加するオプションがあります。このオプションは、ホストで割込みチャンネルを持つ余裕がない場合に有用です。ステータス・バイトはFIFO_STATUS_BYTESレジスタでそれぞれを個別に選択できます。FIFO_STATUS_BYTESレジスタの各ビットを使用して、FIFOのデータ・パケットに追加するステータス・バイトをイネーブルします。FIFO_STATUS_BYTESレジスタのいずれかのビットが1に設定されていると、ステータス・ビットを含むバイトがデータ・パケットに追加されます。

4ビットのシーケンス数は0から15のサイクルで順番に増加し、タイム・スロットのシーケンスが完了するたびにラップアラウンドします。また、このシーケンス数は、GPIOxピンでビットごとに利用できます。

割込み出力、Interrupt XおよびInterrupt Y

ADPD6000は、Interrupt XおよびInterrupt Yの2つの独立した割込み出力をサポートしています。どちらの割込みも、4本のGPIOxピンのいずれかを選択して駆動できます。この2つの割込み出力は、必要に応じてホスト・プロセッサに対して生成できます。例えば、FIFO閾値割込みのINT_FIFO_THをInterrupt Xに接続してホストのダイレクト・メモリ・アクセス (DMA) チャンネルを駆動すると同時に、INT_FIFO_OFLOWおよびINT_FIFO_UFLOW割込みをInterrupt Yに接続してホストに追加された割込みピンを駆動することが可能です。

割込みごとに、対応するInterrupt XおよびInterrupt Yイネーブル・ビットがあります。Interrupt XとInterrupt Yで使用可能なすべての割込みのリストを表1に示します。Interrupt XおよびInterrupt Y機能に対するロジックは、ステータス・ビットと該当するイネーブル・ビットのAND処理です。イネーブルされたすべてのステータス・ビットは、次に論理OR処理され割込み機能が生成されます。イネーブル・ビットはステータス・ビットに影響を与えません。

汎用I/O

ADPD6000は、GPIO0、GPIO1、GPIO2の3つの汎用I/Oピンを備えています。これらのGPIOは、割込み出力、Interrupt XおよびInterrupt Yのセクションで説明したように、割込み出力に使用するか、デバイスへの外部クロック信号供給に使用できます。また、GPIOは、外部デバイスの同期制御などの様々な制御信号や、システムのデバッグ時に便利なテスト信号に使用できます。GPIOxピンで使用可能なすべての信号を表1に示します。

IOVDD電源電圧に関する考慮事項

ADPD6000は、1.7V~3.6VのIOVDDで動作します。レジスタ0x0057のLOW_IOVDD_ENを0x1に設定すると、IOVDDは3V未満になります。IOVDDの代表値は1.8Vのため、0x1はこのビットのデフォルト値です。

3V以上の電源をIOVDDに供給する場合、正常に動作させるにはLOW_IOVDD_ENビットを0x0に設定してください。

SPI

ADPD6000には入力クロックと同期して動作するSPIポートがあります。

ADPD6000はパワーオン・リセット回路を内蔵しており、最初のパワーアップ時にデバイスを既知のアイドル状態にセットします。パワーオン・リセットがリリースされ、DVDD電源がアクティブになってから約2 μ s~6 μ s後に、初期化状態になり、レジスタがデフォルト値に設定されます。この初期化状態は約15 μ s~20 μ sの間続きます。その後デバイスはSPIを通じて読出しおよび書き込みができるようになります。

レジスタには、15ビットのアドレス空間内のアドレスを使用してアクセスします。各アドレスは、FIFO読出しアクセス用に割り当てられた1つのアドレスを使用して、15ビットのレジスタを参照

動作原理

します。SPIでは、同じアクセス・シーケンスにおいて追加ワードにアクセスすると、読出しと書込みは次のレジスタに自動的にインクリメントされます。このアドレスの自動インクリメントは、FIFOアドレス、FIFOアドレスより1つ小さいアドレス、および最後の使用済みアドレス（0x351）を除くすべてのアドレスで発生します。FIFOアドレスからの読出しでは、FIFOの次のバイトへのアクセスを継続します。

SPIの動作

SPIによる単一のレジスタ書込み動作を図38に示します。最初の2バイトには、15ビットのレジスタ・アドレスと書込みリクエストの指示が含まれています。次の2バイトは、レジスタに書き込む16個のデータ・ビットです。レジスタ書込みは、 \overline{CS} 信号がデアサートされる前に16ビットすべてがシフトした場合にのみ発生します。

また、 \overline{CS} 信号がデアサートされる前に追加の16ビット・データをシフトさせることで、複数のレジスタを書き込むことができます。各16ビット・データの後、レジスタ・アドレスは次のレジスタに自動的にインクリメントされます。

SPIによる単一のレジスタ読出し動作を図39に示します。最初の2バイトには、15ビットのレジスタ・アドレスと読出しリクエストの指示が含まれています。レジスタ・ビットはMSBからシフト・アウトします。また、 \overline{CS} 信号がデアサートされる前に追加の16ビット・データをシフト・アウトさせることで、複数のレジスタを読み出すことができます。

FIFOからの読出しはバイト単位で実行することを推奨します。16ビットの倍数で読み出す必要はありません。



図 38. SPI書込み動作

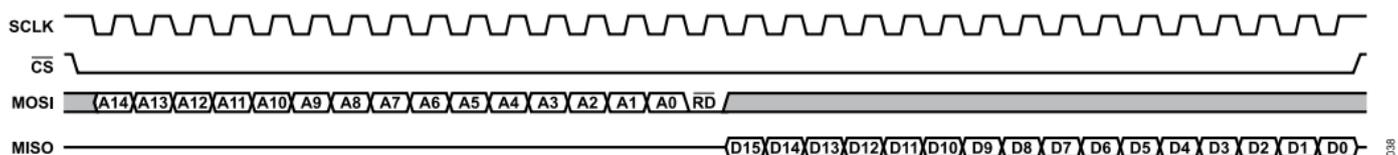


図 39. SPI読出し動作

アプリケーション情報

光路

デジタル積分モード

ADPD6000は、光路にデジタル積分モードが使用できるため、より長いパルスが必要なセンサーに対応できます。デジタル積分モードによって、より大きなLEDデューティ・サイクルを使用できます。これにより、実現し得る最高レベルのS/N比が得られるようになります。

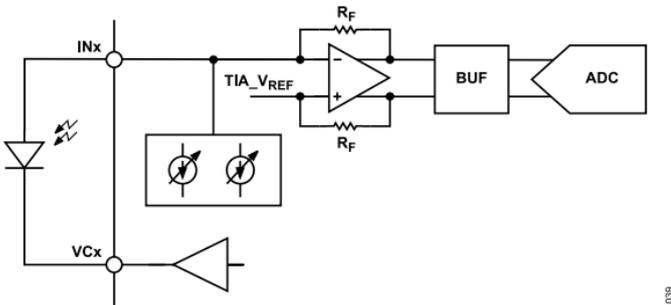


図 40. デジタル積分モードの信号パス

デジタル積分モードでは、積分器がバッファとして構成されます。その結果得られる信号パスを図40に示します。デジタル積分領域は、明領域と暗領域に分かれており、ユーザが設定します。LEDは明領域でパルス動作し、暗領域ではオフになります。ADCサンプルは、明領域内および暗領域内において1μs間隔で取得され、その後、デジタル積分されます。明領域のADCサンプルの積分値から暗領域のADCサンプルの積分値を減算し、その結果は対応するFIFOに書き込まれます。信号値と暗値は、どちらもFIFOに書き込むことができます。

ADPD6000は、1領域と2領域のデジタル積分モードをサポートしています。1領域のデジタル積分モードでは、等しい数の暗サンプルと明サンプルを取得し、暗サンプルは明領域の直前の暗領域ですべてを取得します。1領域のデジタル積分モードのタイミング図を図41に示します。

2領域のデジタル積分モードでも、暗サンプルと明サンプルは等しい数を取ります。ただし、暗領域は分割されており、暗サンプルの半分は明領域直前の暗領域で、残り半分は明領域直後の暗領域で取得するようになっています。周辺光レベルが変化する環境では、2領域のデジタル積分モードのほうが1領域のモードより高い周辺光除去性能を得られます。2領域のデジタル積分モードのタイミング図を図42に示します。

FIFOから読み出される1領域のデジタル積分モードの信号データは、式4に従います。

$$\text{信号} = (I_{PD} \times R_{TIA} \times TIA_Config \times Buf_Gain \times NUM_INT_x \times NUM_REPEAT_x) / (146\mu V / LSB) \quad (4)$$

ここで、
 I_{PD} はPD電流、
 TIA_Config はTIA設定、
 Buf_Gain はバッファ・ゲインです。

FIFOから読み出される2領域のデジタル積分モードの信号データは、式5に従います。

$$\text{信号} = ((I_{PD} \times R_{TIA} \times TIA_Config \times Buf_Gain \times NUM_INT_x \times NUM_REPEAT_x) / (146\mu V / LSB)) \times 2 \quad (5)$$

AFE_PATH_CFG_x、CHx_TRIM_INT_x、CHx_TRIM_INT_CAP_xの各ビットは、デジタル積分モードの（1領域モードおよび2領域モードのどちらにおいても）特定の組み合わせに従う必要があります。これらのビットの推奨設定を表13に示します。TIAのゲイン設定は、これらの設定とは無関係です。

表 13. デジタル積分モードのAFEパスに関するビット設定

Bit Name	Recommended Setting
AFE_INT_C_BUF_x	0x0
AFE_PATH_CFG_x	0x28
CHx_TRIM_INT_x	0x3
CHx_TRIM_INT_CAP_x	0x1

表13のビット設定の結果は、バッファ・ゲインが2の1×TIA構成です。

表14に、デジタル積分モードの動作に関連するレジスタ設定を示します。デジタル積分モードでは最小周期は自動的に計算されないため、MIN_PERIOD_xビットを使用して手動で適正な周期に設定する必要があります。

1領域のデジタル積分モードに推奨するMIN_PERIOD_x設定は次のとおりです。

$$MIN_PERIOD_x = NUM_INT_x \times 2 + (2 + t_D) \times 2$$

2領域のデジタル積分モードに推奨するMIN_PERIOD_x設定は次のとおりです。

$$MIN_PERIOD_x = NUM_INT_x \times 4 + t_D \times 2 + 6\mu s$$

t_D の値は、光学デバイスの応答時間です。周辺光の微調整ループを更新するには、6μsの時間が必要です。

アプリケーション情報

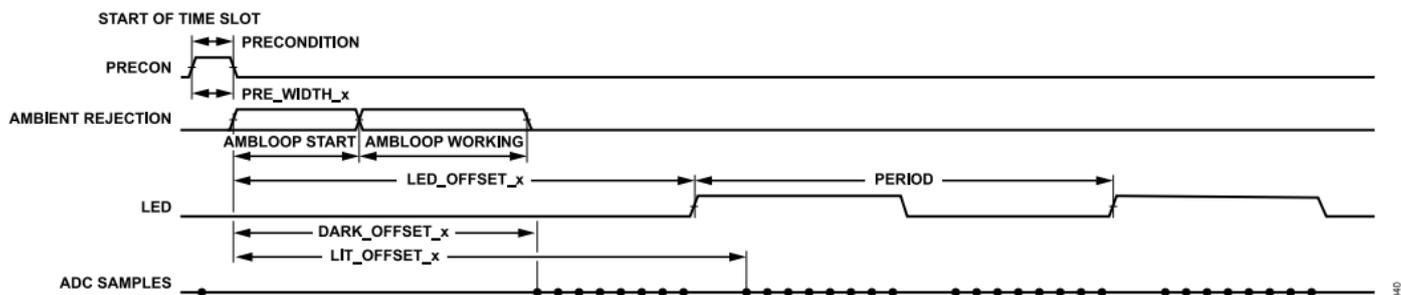


図 41. 1領域のデジタル積分モードのタイミング図

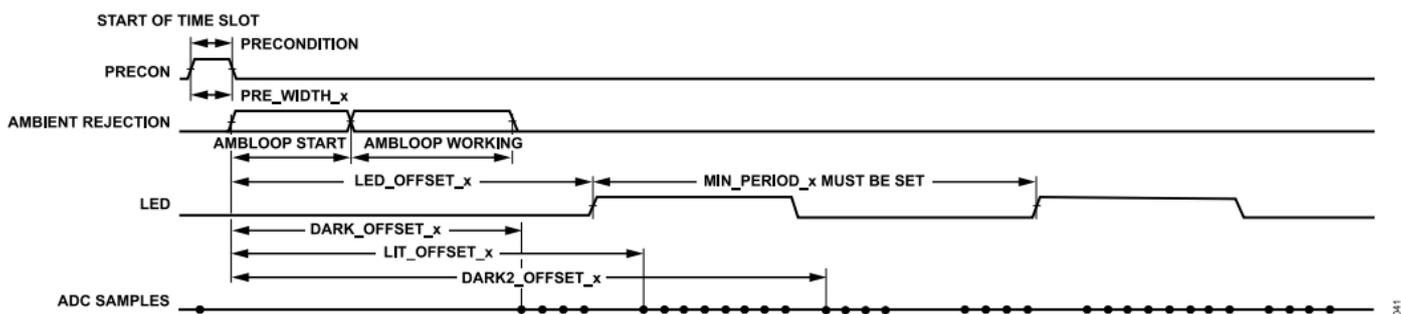


図 42. 2領域のデジタル積分モードのタイミング図

表 14. デジタル積分モードに関連する設定

Group	Time Slot A Register Address	Bit Field Name	Description
Signal Path Setup	0x0120, Bits[13:11]	SAMPLE_TYPE_x	Set to 0x2 for one-region digital integration mode. Set to 0x3 for two-region digital integration mode.
	0x0121, Bits[6:0]	AFE_PATH_CFG_x	Set to 0x28 for TIA, buffer, and ADC. Use 1x TIA configuration.
	0x0122, Bits[7:0]	INPxx_x	Enable desired inputs.
	0x0123, Bits[14:12]	PRECON_x	Set to 0x5 to precondition anode of photodiode to TIA_VREF.
	0x0123, Bits[7:6], Bits[1:0]	VCx_SELECT_x	Set to 0x2 to set ~215 mV reverse bias across photodiode.
	0x0124, Bits[5:0]	TIA_GAIN_CHx_x	Select TIA gain.
	0x0124, Bits[9:8]	AFE_TRIM_VREF_x	Set to 0x2 to set TIA_VREF = 0.8855 V.
	0x0124, Bits[12:11], Bits[14:13]	CH1_TRIM_INT_x	Set to 0x3 to set buffer gain = 2.
	0x125, Bits[13:12]	CH1_TRIM_INT_CAP_x	Set to 0x1 to 12.6 pF
Timing	0x012A, Bits[15:8]	NUM_INT_x	Set to the number of desired ADC conversions in the dark and lit regions.
	0x012A, Bits[7:0]	NUM_REPEAT_x	Number of sequence repeats.
	0x012B, Bits[9:0]	MIN_PERIOD_x	Set the period. Automatic period calculation is not supported in digital integration mode.
	0x0138, Bits[8:0]	LIT_OFFSET_x	Set to the time of the first ADC conversion in the lit region.
	0x0139, Bits[6:0]	DARK1_OFFSET_x	Set to the time of the first ADC conversion in the Dark 1 region.
	0x0139, Bits[15:7]	DARK2_OFFSET_x	Set to the time of the first ADC conversion in the Dark 2 region. Only used in two-region digital integration mode.
LED Settings	0x0129, Bits[1:0]	LED_MODEx_x	Select LED mode.
	0x0128, Bit 15 and Bit 7	LED_DRIVESIDEx_x	Select LED for time slot used.
	0x0128, Bits[14:8], Bits[6:0]	LED_CURRENTx_x	Set LED current for selected LED.
	0x012C, Bits[7:0]	LED_OFFSET_x	Sets start time of first LED pulse in 1 μs increments.
	0x012C, Bits[15:8]	LED_WIDTH_x	Sets width of LED pulse in 1 μs increments.

アプリケーション情報

デジタル積分モードで推奨されるタイミング

デジタル積分モードのタイミングを設定する際は、信号が安定化するだけの時間が経過してからADCサンプルを取得できるようにADCサンプルの時間設定を行うことが重要です。入力信号のセトリング時間は、フォトダイオードの容量とTIAのセトリング時間の影響を受けます。

自動周辺光除去がオンになっている（AMBIENT_CANCELLATION_xが1または2に設定されている）場合、周辺光除去ループをイネーブルするには、各タイム・スロットの開始時に一定の時間が必要です。このループのスタートアップ時間は18μsで、このループの動作時間は30μsです。

TIAのセトリングを高速化するには、TIA_SAT_DET内部ブロックがオンになっている必要があります。TIAのセトリングを高速化することで、TIAが短時間で通常の動作状態に入ることが容易になり、自動周辺光除去ループをより正確なものにすることができます。

周辺光除去ループが終了したら、暗データの最初のADCサンプルがイネーブルできます。DARK1_OFFSET_xの設定値は、周辺光除去ループの動作時間（48μs）以上であることが必要です。

図43にADCサンプリング・エッジの適切な配置例を示します。

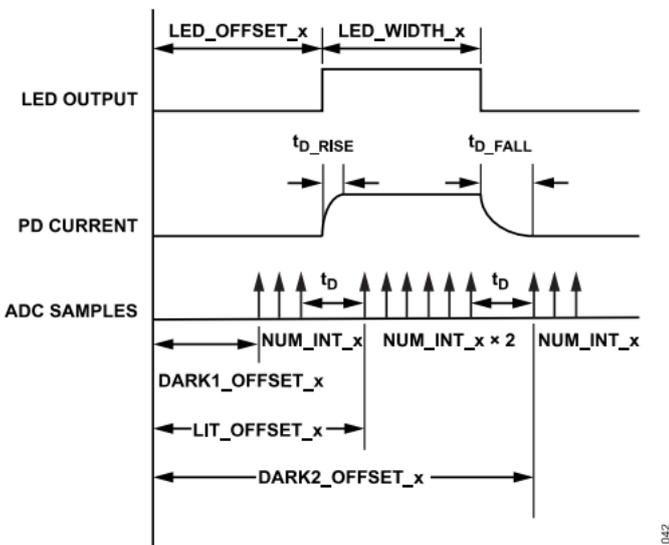


図 43. デジタル積分モードにおけるADCサンプリング・エッジの適切な位置

自動周辺光除去ループ終了後のDARK1_OFFSET_xの推奨設定値は、48μsです。自動周辺光除去をオンにしない場合は10μsです。

図43に示すように、LEDおよびフォトダイオードを含む様々な光学デバイスは異なる応答時間を持ちます。t_{D_RISE}はフォトダイオード電流の立上がり時間、t_{D_FALL}はフォトダイオード電流の立下がり時間、t_Dはt_{D_RISE}とt_{D_FALL}のいずれか大きいほうです。

次を参照してください。

$$LED_OFFSET_x = DARK1_OFFSET_x + (NUM_INT_x + t_D - t_{D_RISE}) \quad (6)$$

$$LIT_OFFSET_x = LED_OFFSET_x + t_{D_RISE} \quad (7)$$

$$DARK2_OFFSET_x = LED_OFFSET_x + LED_WIDTH_x + t_D \quad (8)$$

これらの値は、最終アプリケーションに合わせて決定する必要があります。これらの設定は、2領域のデジタル積分モードにのみ適用されます。

表 15. 2領域のデジタル積分モード用の経験値

Optical Device	Green (μs)	Red (μs)	Infrared (μs)
LED_WIDTH_x	24	24	36
PERIOD_x	58	60	138
NUM_INT_x	10	9	13
LED_OFFSET_x	60	59	91
LIT_OFFSET_x	64	65	101
DARK1_OFFSET_x	48	48	48
DARK2_OFFSET_x	90	91	167
t _{D_RISE}	4	6	10
t _{D_FALL}	6	8	40

サンプリング・シーケンスの最適化

この経験値が測定に適さない場合は、サンプリング・シーケンスを最適化します。

曲線を掃引するには次のリファレンス法を参照してください（この例は、暗環境でのTSAチャンネル1を基本としています）。

1. 以下の設定を有効にします。

- ▶ 1領域のデジタル積分モード
- ▶ 1× TIA構成
- ▶ AFE_TRIM_VREF_A = 3
- ▶ AMBIENT_CANCELLATION_A = 0
- ▶ NUM_INT_A = 1
- ▶ NUM_REPEAT_A = 1
- ▶ DARK1_OFFSET_A = 10
- ▶ LED_OFFSET_A = 20
- ▶ LED_WIDTH_A = 80
- ▶ LIT_OFFSET_A = 130
- ▶ MIN_PERIOD_A = 160

2. 光学デバイスをパワー・オンし、TSAチャンネル1をイネーブルします。
3. 約100個の明データを取得（最初の10データは破棄）し平均値を計算します。
4. LIT_OFFSET_Aビットを130から10まで掃引し、手順3の結果を再現します。
5. 明データの平均値とLIT_OFFSET_Aをプロットします。光学デバイス（例えばCT_DBLP3112）の応答時間を図44に示します。

アプリケーション情報

LIT_OFFSET_Aビットを変更して明データを収集する場合、データは16384未満（非飽和）です。

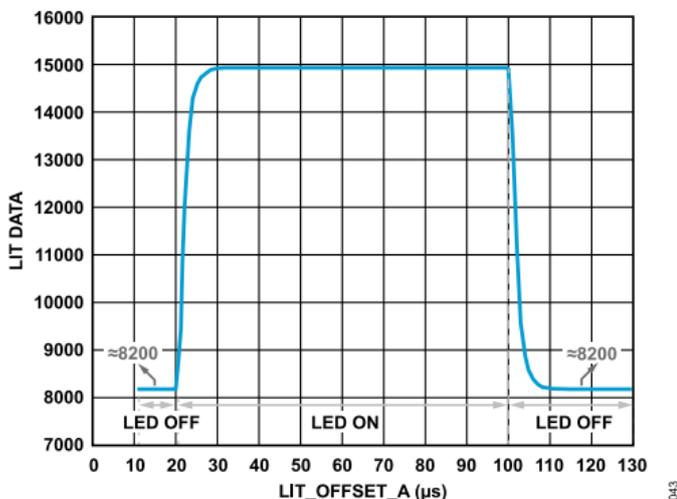


図 44. CT_DBLP3112（緑色LED）のタイミング

ECGパス

図45に、3電極ECGアプリケーションの代表的な接続図を示します。図45には、ECGチャンネル用の電流制限抵抗など、ADPD6000の周辺に必要な外部部品も記載されています。これらの部品値は、各チャンネルの最大電流を考慮して設計されたものです。例えば、リファレンスとして、ECGIP、ECGIN、RLDの各チャンネルには、それぞれ51kΩ、51kΩ、330kΩの抵抗を用いることを推奨します。

FIFOから読み出されるECG測定の信号データは、式9のようになります。

$$\text{信号} = \frac{V_{IN}(V)}{\text{Resolution}} + 8,388,608 \text{ (LSB)} \tag{9}$$

8,388,608はADCの中心のコードであることに注意してください。

表16に、基本的なECG測定に関連するレジスタ設定を示します。

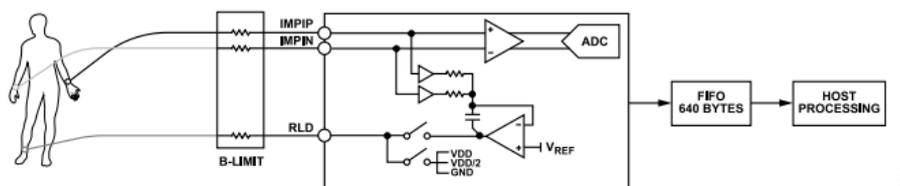


図 45. ECGチャンネル保護および外部部品条件を示すECG回路のシステム概要図

表 16. ECG測定に関連する設定

Group	Register Address	Bit Field Name	Description
ECG_ANA_CTRL	0x0100, Bit 10	ECG_INP_CONNECT	ECG input connection. Set 1 to connect the ECG inputs.
	0x0100, Bit 8	ECG_CHAN_RESOLUTION	Set to 0 for 286 nV/LSB, and set to 1 for 572 nV/LSB.
	0x0100, Bits[5:4]	ECG_RLD_OUT_SEL	Set to 0x3 to set regulated common-mode input.
	0x0100, Bit 3	ECG_RLD_SAT_EN	Set to 1 to enable DCLO for RLD.
	0x0100, Bits[2:1]	ECG_RLD_SAT_THRESHOLD	Select the DCLO threshold for RLD.
	0x0100, Bit 0	ECG_RLD_EN	Set to 1 to enable RLD.
ECG_LEADOFF_CTRL	0x0101, Bit 15	ECG_ACLO_EN	Set to 1 to enable the ACLO detector for the ECG inputs.
	0x0101, Bits[14:12]	ECG_ACLO_MAG	Select the ACLO excite current magnitude.
	0x0101, Bits[11:9]	ECG_ACLO_THRESHOLD	Select ACLO threshold for the ECG inputs.
	0x0101, Bit 8	ECG_DCLO_EN	Set to 1 to enable the DCLO detector for the ECG inputs.
	0x0101, Bits[7:4]	ECG_DCLO_MAG	Select the DCLO excite current magnitude.
	0x0101, Bit 3	ECG_DCLO_POLARITY_IN	Select DCLO output current polarity at ECGIN.
	0x0101, Bit 2	ECG_DCLO_POLARITY_IP	Select DCLO output current polarity at ECGIP.
	0x0101, Bits[1:0]	ECG_DCLO_THRESHOLD	Select DCLO threshold for the ECG inputs.
ECG_DIG_CTRL	0x0102, Bits[8:3]	ECG_OVERSAMPLE_RATIO	For ECG only mode, keep the default value. For multimodal, refer to the register description.
	0x0102, Bits[2:0]	ECG_ODR_SEL	Select the ECG ODR.

アプリケーション情報

リード・オフ

DCLO検出は、ECG_STATUSレジスタを用いてリード接続の状態を識別します。DCLO検出の例を図46に示します。この場合、R1、R2、R3は、それぞれECGIP、ECGIN、RLDの接触インピーダンスです。

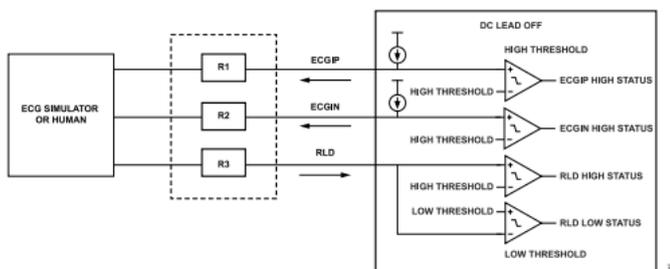


図 46. DCLO検出の例

ECGIPおよびECGINでソース電流を使用する場合、DC励起電流設定値 (ECG_DCLO_MAG) は式10のようになります。

R1 = R2 = R3 = 3Rの場合、

$$DCLO \text{ の電流の大きさ} > \text{上限閾値電圧} / 3R \tag{10}$$

一般に、DCLOの電流の大きさは、最も近いレジスタ値に切り上げられます。

表17はECG DCLOのステータスの真値表です。

表 17. ECG DCLOのステータスの真値表

Status	ECGIN_DCLO_HI_STATUS	ECGIP_DCLO_HI_STATUS	ECG_DCLO_STATUS
All Leads Failed	1	1	1
No Lead Failed	0	0	0
RLD Failed	1	1	1
ECGIN Right Arm (RA) Failed	0	1	1
ECGIP Left Arm (LA) Failed	1	0	1

ACLOの閾値の選択は、個々のケーブル、電極、保護スキームによって異なります。これらのパラメータは、通常使用事例ごとに固有のものであるためです。適切な閾値を特定するために、高い閾値から始めて、リード・オフが検出されるまでそれを小刻みに下げに行き、その後、一定の安全マージン分だけ閾値を上げる、という方法を採用することができます。

表18に、ACLO検出用の電極微分容量の下限閾値を示します。

表 18. ECG測定に関連する設定ACLO検出用の電極微分容量の下限閾値

ECG_ACLO_THRESHOLD	ECG_ACLO_MAG						
	0x1	0x2	0x3	0x4	0x5	0x6	0x7
0x0	0.04 nF	0.08 nF	0.13 nF	0.17 nF	0.21 nF	0.25 nF	0.29 nF
0x1	0.05 nF	0.1 nF	0.14 nF	0.19 nF	0.24 nF	0.29 nF	0.33 nF
0x2	0.06 nF	0.11 nF	0.17 nF	0.22 nF	0.28 nF	0.33 nF	0.39 nF
0x3	0.07 nF	0.13 nF	0.2 nF	0.27 nF	0.33 nF	0.4 nF	0.47 nF
0x4	0.08 nF	0.17 nF	0.25 nF	0.33 nF	0.42 nF	0.5 nF	0.58 nF
0x5	0.11 nF	0.22 nF	0.33 nF	0.44 nF	0.56 nF	0.67 nF	0.78 nF
0x6	0.17 nF	0.33 nF	0.5 nF	0.67 nF	0.83 nF	1 nF	1.17 nF
0x7	0.33 nF	0.67 nF	1 nF	1.33 nF	1.67 nF	2 nF	2.33 nF

アプリケーション情報

BIAパス

ADPD6000のBIAパスを使用すると、人体に対し4線式インピーダンス測定を実行できます。この手法は、高精度のAC電圧源を用い、既知のAC電圧（VAC）でセンサーを励起します。インピーダンスを計算するには、未知のインピーダンス（Z_{UNKNOWN}）から流れる電流（I）と未知のインピーダンスの両端の電圧

（V_{Z_UNKNOWN}）を測定します。次式を用いてインピーダンスを計算します。

$$|Z_{UNKNOWN}| = \frac{V_{Z_UNKNOWN}}{I} \quad (11)$$

実際のアプリケーションでは、医療機器がIEC 60601規格に適合する必要があります。この規格により、人体に加えることのできるDC電圧とAC電圧は制限されています。

図47では、ディスクリートのアイソレーション・コンデンサ（C_{ISO1}、C_{ISO2}、C_{ISO3}、C_{ISO4}）を用いて、人体にDC電圧が生じることのないようにしています。R_{LIMIT}は、IEC 60601規格に適合するように、センサーに供給される電流を制限します。

R_{CONTACT}は、未知のインピーダンスに接続された電極の抵抗を表します。

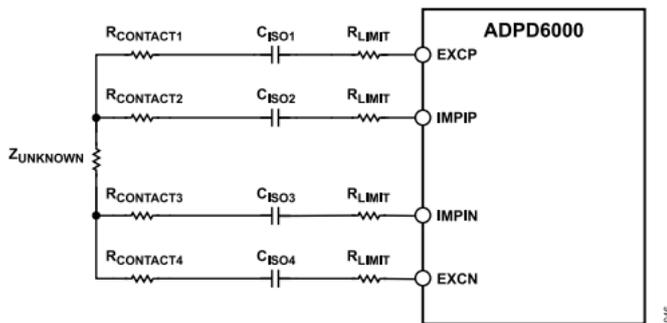


図 47. BIAパスの図

図47に示すように、4線式生体インピーダンス・ソリューションには、高精度のAC電圧源、高精度の電流計、および高精度の差動電圧計が必要です。

ADPD6000は、高速のDACおよび波形発生器を用いて高精度AC電圧を生成します。デバイスは、高速高精度のTIAを使用し、センサーからの電流をADCで測定した電圧に変換します。TIAチャンネルは応答電流を測定します。

ADCは、電流測定値を1MSPSの速度で変換します。データにはDFTが実行されます。DFTはADPD6000に備わっています。DFTのポイント数は、最大8192まで設定できます。ADPD6000は実部と虚部を計算し、ホスト・マイクロコントローラはセンサーの未知のインピーダンスを計算します。

システムには、安全性と精度を確保するため、多数のディスクリート部品が必要です。

IEC 60601規格に適合するためには、人体に加えられるAC電流量を制限する必要があります。最大許容AC電流は50kHzで500μA、60kHzで600μAです。抵抗値R_{LIMIT}を計算する場合、ADPD6000の最大出力電圧は、0.8V p-p (0.2828V rms) です。最大許容AC電流は最大値の80%、すなわち400μA rmsに設定します。次式はこれらの値の結果です。

$$R_{LIMIT} = \frac{0.2828V_{rms}}{400\mu A} = 707\Omega \quad (12)$$

従って、R_{LIMIT}には約1kΩを選択し、ADPD6000のEXCPピンに接続します。この計算では、値が小さいためC_{ISOx}は無視しています。

IEC 60601規格に適合するためには、人体に流すことのできる最大DC電流は10μAです。このアプリケーションでは、アイソレーション・コンデンサを追加することにより、DC電流をゼロにすることができます。このアイソレーション・コンデンサの値には0.47μFを選択します。0.47μFのコンデンサは、十分な大きさの容量を持ちながら、ウェアラブル電子機器に適した小型パッケージに収めることができるためです。

ADPD6000はBIAタイム・スロットを実行し、FIFOを電圧および電流両方の測定結果のDFTの実部と虚部（合計で4データ・ポイント）で満たします。ホスト・マイクロコントローラは、データFIFOを読み出し、実部と虚部のDFT結果を用いて未知のインピーダンスを計算します。センサーのインピーダンスの計算は次式を使用して行います。

$$\text{電圧測定値の大きさ} = \sqrt{r^2 + i^2} \quad (13)$$

$$\text{電圧測定値の位相} = \tan^{-1} \frac{i}{r} \quad (14)$$

インピーダンスを計算するには、オームの法則を用いて電圧の大きさを電流の大きさを除算します。R_{TIA}を用いて電流測定値を電圧に変換します。このゲインを考慮する必要があります。そのため、未知のインピーダンスを求める式は次のようになります。

$$|Z_{UNKNOWN}| = \frac{\text{電圧の大きさ}}{\text{電流の大きさ}} \times R_{TIA} \quad (15)$$

マルチモード

図48に、PPG、ECG、BIAのマルチモード・アプリケーション向け基本設計のリファレンス回路図を示します。

アプリケーション情報

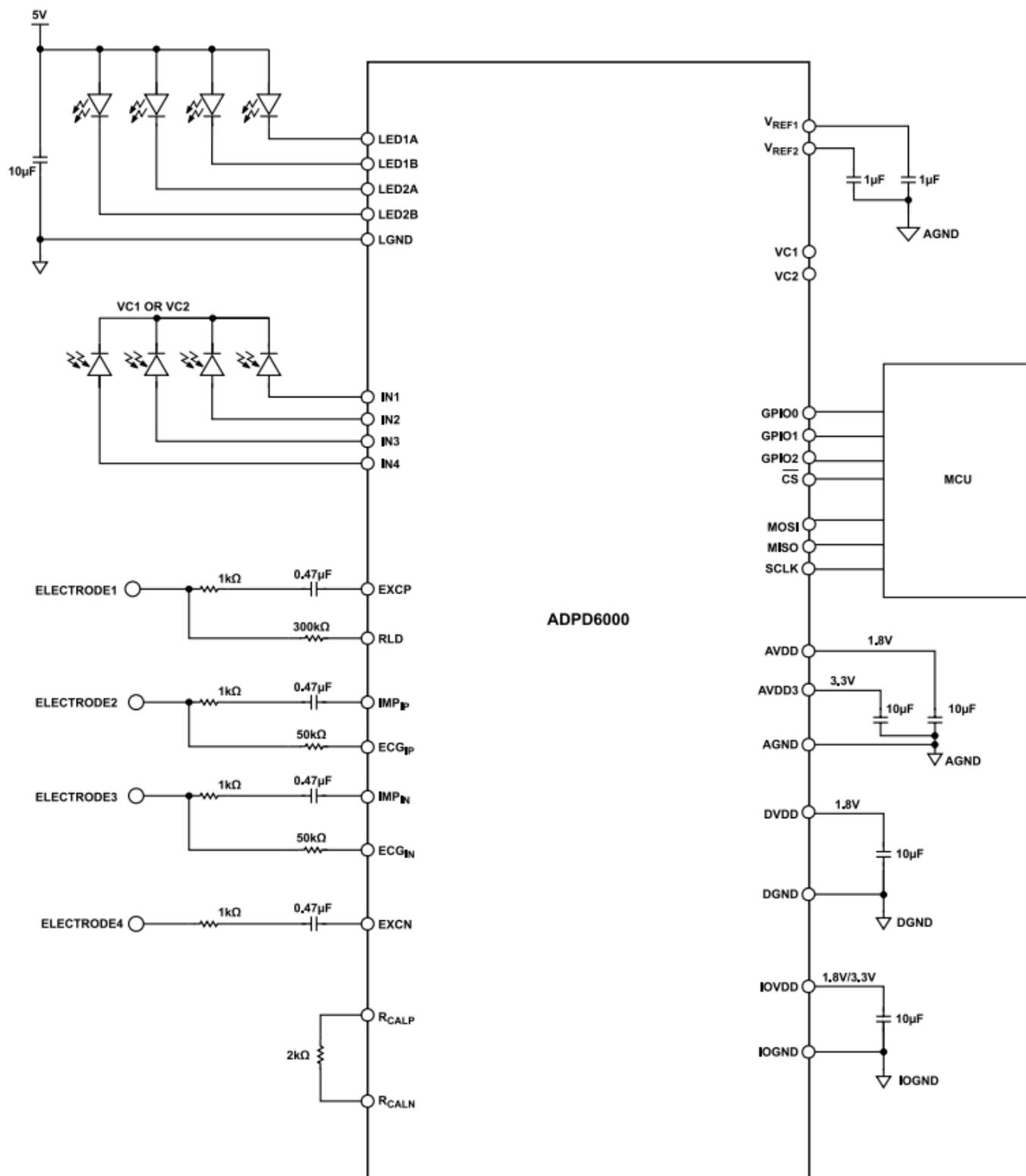


図 48. マルチモード・アプリケーションのリファレンス回路図

アプリケーション情報

マルチモード測定で推奨される設定

以下に、BIOZ、ECG、PPG測定を行う場合の推奨設定を示します。FIFOのデータ・パターンは、 $ECG \times 5 + PPG_A + PPG_B + BIOZ_A + BIOZ_B + BIOZ_C + BIOZ_D = 52$ バイトです。

```
#System configuration
0006 0034 # FIFO Interrupt Generation Threshold 52bytes
000F 0002 # Enable Low Frequency Oscillator 960KHz
0009 00B2 # High frequency oscillator Frequency control
000B 0206 # Low frequency oscillator Frequency control
0046 2004 # better ambient setting
004C 400B # lower current setting
005B 0C20 # better ambient settling
000D 2580 # 100Hz ODR = 960k/9600
0020 0022 # All the inputs connected to Cathode1 when input pair sleep
0021 0000 # Use as two single ended inputs & Cathode1 set to VDD during sleep

# Slot A with IR LED
0120 1800 # Two region digital integrate mode
0121 4528 # TIA + BUF + ADC (1x TIA config) & Enable coarse and fine ambient cancellation
0122 0001 # inp1 to channel 1
0123 5002 # Precondition with AFE_Vref & VC1 = V_Delta
0124 FAD2 # Enable tia saturation detection, AFE_Vref = 0.885V tia_gain_ch1&ch2=100k, channel1 & channel2 Buffer gain = 2 (Rfb/Rin = 100K/50K)
0125 3000 # Channel1 & channel2 integrator capacitor = 12.6pF
0128 8400 # LED current setting 4*1.57mA(=6.3mA) on output 2B
012A 0D02 # num_int=13, num_repeat=2
012B 008A # min_period=138
012C 245B # led_width=36, led_offset=91
0135 0004 # Dark size=0 & Signal size=4
0138 0065 # lit_offset=101
0139 53B0 # dark2_offset=167, dark1_offset=48

# Slot B with Green LED
0140 1800 # Two region digital integrate mode
0141 4528 # TIA + BUF + ADC (1x TIA config) & Enable coarse and fine ambient_cancellation
0142 0030 # inp4 to channel 1
0143 5002 # Precondition with AFE_Vref & VC1 = V_Delta
0144 FAD2 # Enable tia saturation detection,
```

```
AFE_Vref = 0.885V tia_gain_ch1&ch2=100k, channel1 & channel2 Buffer gain = 2 (Rfb/Rin = 100K/50K)
0145 3000 # Channel1 & channel2 integrator capacitor = 12.6pF
0148 000B # LED current setting 11*1.57mA(=17mA) on output 1A
014A 0A03 # num_int=10, num_repeat=3
014B 003A # min_period=58
014C 183C # led_width=24, led_offset=60
0155 0004 # Dark size=0 & Signal size=4
0158 0040 # lit_offset=64
0159 2D30 # dark2_offset=90, dark1_offset=48

#ECG setting
001E 0200 # Enable ECG sat status byte
0074 0028 # ECG ACLO LPF coefficient
0077 0100 # ECG PGA power optimization
0100 043F # ECG input connection, resolution 286nV/LSB, RLD output is Regulated common-mode input; enable RLD DCLO, RLD DCLO threshold AVDD3V-0.4V/0.4V, enable RLD loop
0101 9FAF # ACLO: enable, excite current 10nA, threshold max; DCLO: enable, excite current 6nA, threshold AVDD3V-0.4V, ECGIN source, ECGIP source
0102 0029 # ratio of ECG to PPG ODR is 5, ECG/PPG = 500Hz/100Hz

# BIOZ Time slot A configure #
02A0 0003 #tia/dacref enable
02A7 320D #exbuf enable
02AA 2E30 #amp/pag enable
02A2 0001 #sinewave frequency is 50kHz
02A1 99A2 #sinewave frequency is 50kHz
02AB 2803 #switch connection to measure external Rcal voltage
02AD 0004 #bypass the SINC filter
02AE 0008 #DFT number is 1024

# BIOZ Time slot B configure #
02C0 0003 #tia/dacref enable
02C7 320D #exbuf enable
02CA 2E30 #amp/pag enable
02C2 0001 #sinewave frequency is 50kHz
02C1 99A2 #sinewave frequency is 50kHz
02CB 0003 #switch connection to measure external Rcal current
02CD 0004 #bypass the SINC filter
02CE 0008 #DFT number is 1024

# BIOZ Time slot C configure #
02E0 0003 #tia/dacref enable
02E7 320D #exbuf enable
02EA 2E30 #amp/pag enable
02E2 0001 #sinewave frequency is 50kHz
```

アプリケーション情報

```

02E1 99A2 #sinewave frequency is 50kHz
02EB 5610 #switch connection to measure external Rdut voltage
02ED 0004 #bypass the SINC filter
02EE 0008 #DFT number is 1024

# BIOZ Time slot D configure #
0300 0003 #tia/dacref enable
0307 320D #exbuf enable
030A 2E30 #amp/pag enable
0302 0001 #sinewave frequency is 50kHz
0301 99A2 #sinewave frequency is 50kHz
030B 4210 #switch connection to measure external Rdut current
030D 0004 #bypass the SINC filter
030E 0008 #DFT number is 1024
0010 C201 # enable BIOZ timeslot ABCD, PPG timeslot AB and ECG, go

## Interrupt mapping of fifo_th
0014 8000 # FIFO_th to INX
0022 0003 # GPIO0 output invert
0023 0002 # gpio0 int x
0010 C201 # operation mode set to GO

```

パワーアップ・シーケンス

複数の電源を同時にオン/オフする必要がある点に注意してください。

FIFOのデータ構造

推奨するマルチモード測定設定に対するFIFOのデータ構造を表19に示します。すべてのデータ・パターンは52バイトです。

表 19. FIFOのデータ構造

Byte Order in FIFO	Description
Byte 0 to Byte 19	ECG data: 20 bytes
Byte 20 to Byte 23	PPG_A data: 4 bytes
Byte 24 to Byte 27	PPG_B data: 4 bytes
Byte 28 to Byte 33	BIOZ_A data: 6 bytes
Byte 34 to Byte 39	BIOZ_B data: 6 bytes
Byte 40 to Byte 45	BIOZ_C data: 6 bytes
Byte 46 to Byte 51	BIOZ_D data: 6 bytes

設計ガイド

ADPD6000はマルチモードのバイタル・サイン・モニタリングAFEです。デバイスの性能は、PCBレイアウト、特にアナログ入力インターフェースのPCBレイアウトから悪影響を受けることがあります。

電源レール

電源については、0.1 μ F以上のセラミック・チップ・コンデンサをAVDD、AVDD3、DVDD、IOVDDの各ピンの近くに配置して、これら電源ピンをPCBグラウンド・プレーンとデカップリングします。すべてのデカップリング・コンデンサは個別のビアを用いてPCBグラウンド・プレーンに接続し、ビアを共有した場合に生じるデカップリングした電源間の相互インピーダンス・カップリングを防止することを推奨します。

光学チャンネル

PPGチャンネルでは、1.0 μ Fのセラミック・コンデンサを用いてVREF1ピンおよびVREF2ピンをPCBグラウンド・プレーンとデカップリングします。VREF1ピンおよびVREF2ピンの電圧は公称1.2Vです。そのため、ここでの目的には、6.3V定格のセラミック・コンデンサが適しています。ADPD6000のPCBレイアウトで最も重要な要素は、IN1、IN2、IN3、IN4の各ノードの処理です。フォトダイオードの入力はノイズやピンにカップリングした寄生容量の影響を受けやすいため、レイアウトでのフォトダイオードの入力パターンはできるだけ短くし、またグラウンド・プレーンによって完全に保護されるようにすることを推奨します。

例えば、6層スタックの設計の場合、チップは最上層に配置され、光学部品は最下層に配置されます。そのため、最上層のIN1、IN2、IN3、IN4のパターン長は短くして寄生成分の影響を回避することを推奨します。最下層では、IN1、IN2、IN3、IN4の各パターンとフォトダイオードのアノードは、グラウンドの形状とパターンで完全に保護します。VC1、VC2、およびフォトダイオードのカソードも、グラウンド・プレーンで保護します。第5層はリファレンス用グラウンド・プレーンで占められます。アナログ入力信号は、他のデジタル信号やノイズの多い信号から遠ざけてください。

ECGチャンネル

ECGチャンネルでは、高CMRR性能を実現するために、ECGIPとECGINの両方のパターンが一致する必要があります。ECGIPとECGINには差動ペア・レイアウトを使用し、パターンの長さは短くします。

BIAチャンネル

BIAチャンネルについては、RCALPとRCALNの値がBIOZ測定の精度に極めて重要であるため、RCALPおよびRCALN用のPCBパターン長を最小限に抑えます。PCBパターンの抵抗は、RCALPとRCALNの抵抗の精度がPCBの配線抵抗を含めても0.1%となるよう設計します。

レジスタの一覧

表 20. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x0000	FIFO_STATUS	[15:8]	CLEAR_FIFO	INT_FIFO_UFLOW	INT_FIFO_OFLOW	INT_FIFO_TH	FIFO_INIT_DONE_STATUS	FIFO_BYTE_COUNT[10:8]			0x0000	R/W	
		[7:0]	FIFO_BYTE_COUNT [7:0]										
0x0004	ECG_STATUS	[15:8]	RESERVED									0x00FC	R/W
		[7:0]	ECG_ACLO_STATUS	ECGIN_DC_CLO_HI_STATUS	ECGIP_DC_LO_HI_STATUS	ECG_RLD_DC_CLO_HI_STATUS	ECG_RLD_DC_LO_LO_STATUS	ECG_DCL_O_STATUS	ECG_PGA_S_AT_STATUS	ECG_ADC_S_AT_STATUS			
0x0005	GLOBAL_STATUS	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED								INVALID_CFG_STATUS		
0x0006	FIFO_TH	[15:8]	RESERVED						FIFO_TH[9:8]		0x0000	R/W	
		[7:0]	FIFO_TH[7:0]										
0x0007	INT_ACLEAR	[15:8]	INT_ACLEAR_FIFO	RESERVED								0x8000	R/W
		[7:0]	RESERVED										
0x0008	CHIP_ID	[15:8]	VERSION									0x00C4	R
		[7:0]	CHIP_ID										
0x0009	OSC32M	[15:8]	RESERVED									0x0080	R/W
		[7:0]	OSC_32M_FREQ_ADJ										
0x000A	OSC32M_CAL	[15:8]	OSC_32M_CAL_START	OSC_32M_CAL_COUNT[14:8]								0x0000	R/W
		[7:0]	OSC_32M_CAL_COUNT[7:0]										
0x000B	OSC960K	[15:8]	CAPTURE_TIMESTAMP	RESERVED				OSC_CAL_ENABLE	OSC_960K_FREQ_ADJ[9:8]		0x02B2	R/W	
		[7:0]	OSC_960K_FREQ_ADJ[7:0]										
0x000D	TS_FREQ	[15:8]	TIMESLOT_PERIOD_L[15:8]									0x2580	R/W
		[7:0]	TIMESLOT_PERIOD_L[7:0]										
0x000E	TS_FREQH	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED	TIMESLOT_PERIOD_H									
0x000F	SYS_CTL	[15:8]	SW_RESET	RESERVED				ALT_CLOCKS			0x0000	R/W	
		[7:0]	ALT_CLK_GPIO	RESERVED	RESERVED	RESERVED	TM_CLK_GPIO_SEL	OSC_960K_EN	RESERVED				
0x0010	OPMODE	[15:8]	ECG_TIME_SLOT_EN	BIOZ_TIMESLOT_EN			PPG_TIMESLOT_EN			0x0000	R/W		
		[7:0]	RESERVED						OP_MODE				
0x0011	STAMP_L	[15:8]	TIMESTAMP_COUNT_L[15:8]									0x0000	R
		[7:0]	TIMESTAMP_COUNT_L[7:0]										
0x0012	STAMP_H	[15:8]	TIMESTAMP_COUNT_H[15:8]									0x0000	R
		[7:0]	TIMESTAMP_COUNT_H[7:0]										
0x0013	STAMPDELTA	[15:8]	TIMESTAMP_SLOT_DELTA[15:8]									0x0000	R
		[7:0]	TIMESTAMP_SLOT_DELTA[7:0]										

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x0014	INT_ENABLE_XD	[15:8]	INTX_EN_F IFO_TH	INTX_EN _FIFO_U FLOW	INTX_EN_F IFO_OFLO W	RESERVED					0x0000	R/W		
		[7:0]	RESERVED											
0x0015	INT_ENABLE_YD	[15:8]	INTY_EN_F IFO_TH	INTY_EN _FIFO_U FLOW	INTY_EN_F IFO_OFLO W	RESERVED					0x0000	R/W		
		[7:0]	RESERVED											
0x001E	FIFO_STAT US_BYTES	[15:8]	RESERVED						ENA_STAT_ ECG	ENA_STAT_ TSX	0x0200	R/W		
		[7:0]	ENA_STAT_ TS2	ENA_ST AT_TS1	RESERVED									
0x0020	INPUT_SLEEP	[15:8]	RESERVED										0x0000	R/W
		[7:0]	INP_SLEEP_34					INP_SLEEP_12						
0x0021	INPUT_CFG	[15:8]	RESERVED										0x0000	R/W
		[7:0]	VC2_SLEEP			VC1_SLEEP			RESERVED		PAIR34	PAIR12		
0x0022	GPIO_CFG	[15:8]	GPIO_SLEW			GPIO_DRV			RESERVED		GPIO_PIN_C FG2[2]	0x0000	R/W	
		[7:0]	GPIO_PIN_CFG2[1:0]			GPIO_PIN_CFG1			GPIO_PIN_CFG0					
0x0023	GPIO01	[15:8]	GPIOOUT1										0x0000	R/W
		[7:0]	GPIOOUT0											
0x0024	GPIO23	[15:8]	RESERVED										0x0000	R/W
		[7:0]	GPIOOUT2											
0x0025	GPIO_IN	[15:8]	RESERVED										0x0000	R
		[7:0]	RESERVED					GPIO_INPUT						
0x0026	GPIO_EXT	[15:8]	RESERVED								GOUT_SLEE P	0x0000	R/W	
		[7:0]	TIMESTAM P_INV	TIMESTA MP_ALW AYS_EN	TIMESTAMP_GPIO			RESERVED	EXT_SYNC _EN	EXT_SYNC_GPIO				
0x002F	FIFO_DATA	[15:8]	FIFO_DATA[15:8]										0x0000	R
		[7:0]	FIFO_DATA[7:0]											
0x0046	ADC_CONTROL	[15:8]	RESERVED			ECG_ADC_ CTRL	RESERVED					0x2007	R/W	
		[7:0]	RESERVED						PPG_ADC_ CTRL1	PPG_ADC_CTRL2				
0x004C	GLOBAL_BIAS_CONTROL	[15:8]	RESERVE D	TIA_DET ECT_CTR L	RESERVED								0x4000	R/W
		[7:0]	RESERVED					GLOBAL_BIAS_TRIM						
0x0057	IO_ADJUST	[15:8]	RESERVED										0x0050	R/W
		[7:0]	RESERVED	LOW_IO VDD_EN	RESERVED			SPL_SLEW		SPL_DRV				
0x005B	PPG_TIA_CONTROL	[15:8]	RESERVED					TIA_CEIL_DETECT_CTR L	RESERVED			0x0020	R/W	
		[7:0]	RESERVE D	TIA_MODE										
0x0074	ECG_ACLO_CONTROL	[15:8]	RESERVED					ECG_ACLO_LPF_COEF[10:8]				0x0050	R/W	
		[7:0]	ECG_ACLO_LPF_COEF[7:0]											

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x0077	ECG_PGA_CTRL	[15:8]	RESERVED							ECG_PGA_CTRL	0x0000	R/W	
		[7:0]	RESERVED										
0x0078	ECG_INPUT_CTRL	[15:8]	ECG_INPUT_BUF_EN	RESERVED			ECG_INPUT_BUF_CTRL	RESERVED			0x0000	R/W	
		[7:0]	RESERVED										
0x0100	ECG_ANAL_CTRL	[15:8]	RESERVED					ECG_INP_CONNECT	ECG_SHORT	ECG_CHAN_RESOLUTION	0x0430	R/W	
		[7:0]	RESERVED	ECG_RLD_OUT_DISCONNECT	ECG_RLD_OUT_SEL	ECG_RLD_SAT_T_EN	ECG_RLD_SAT_HOLD	ECG_RLD_EN					
0x0101	ECG_LEAD_OFF_CTRL	[15:8]	ECG_ACLO_EN	ECG_ACLO_MAG			ECG_ACLO_THRESHOLD			ECG_DCLO_EN	0x0004	R/W	
		[7:0]	ECG_DCLO_MAG			ECG_DCLO_POLARITY_IN	ECG_DCL_O_POLARITY_IP	ECG_DCLO_THRESHOLD					
0x0102	ECG_DIG_CTRL1	[15:8]	RESERVED							ECG_OVERSAMPLING_RATIO[5]	0x0018	R/W	
		[7:0]	ECG_OVERSAMPLING_RATIO[4:0]				ECG_ODR_SEL						
0x0103	ECG_DIG_CTRL2	[15:8]	RESERVED							0x0000	R/W		
		[7:0]	RESERVED	ECG_ACLO_INV	ECG_BYPASS_EQ_LZR	ECG_CAL_GAIN							
0x0120	TS_CTRL_A	[15:8]	SUBSAMPL_E_A	CH2_EN_A	SAMPLE_TYPE_A			RESERVE_D	TIMESLOT_OFFSET_A[9:8]	0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_A[7:0]										
0x0121	TS_PATH_A	[15:8]	PRE_WIDTH_A				AMBIENT_CANCELLATION_A		TS_GPIO_A	AFE_INT_BUF_A	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_A									
0x0122	INPUTS_A	[15:8]	RESERVED							0x0000	R/W		
		[7:0]	INP34_A				INP12_A						
0x0123	CATHODE_A	[15:8]	RESERVED	PRECON_A			VC2_PULSE_A		VC2_ALT_A		0x0000	R/W	
		[7:0]	VC2_SEL_A		VC1_PULSE_A		VC1_ALT_A		VC1_SEL_A				
0x0124	AFE_TRIM1_A	[15:8]	TIA_CEIL_DETECT_EN_A	CH2_TRIM_INT_A		CH1_TRIM_INT_A		VREF_PULSE_A	AFE_TRIM_VREF_A		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_A		TIA_GAIN_CH2_A			TIA_GAIN_CH1_A					
0x0125	AFE_TRIM2_A	[15:8]	RESERVED		CH2_TRIM_INT_CAP_A	CH1_TRIM_INT_CAP_A	RESERVED					0x0000	R/W
		[7:0]	RESERVED										
0x0126	AFE_DAC1_A	[15:8]	DAC_AMBIENT_CH1_A[8:1]							0x0000	R/W		
		[7:0]	DAC_AMBIENT_CH1_A[0]	DAC_LED_DC_CH1_A									
0x0127	AFE_DAC2_A	[15:8]	DAC_AMBIENT_CH2_A[8:1]							0x0000	R/W		

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	DAC_AMBI ENT_CH2_ A[0]	DAC_LED_DC_CH2_A									
0x0128	LED_POW1 2_A	[15:8]	LED_DRIV ESIDE2_A	LED_CURRENT2_A								0x0000	R/W
		[7:0]	LED_DRIV ESIDE1_A	LED_CURRENT1_A									
0x0129	LED_MOD E_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED						LED_MODE 2_A	LED_MODE 1_A			
0x012A	COUNTS_A	[15:8]	NUM_INT_A									0x0101	R/W
		[7:0]	NUM_REPEAT_A										
0x012B	PERIOD_A	[15:8]	RESERVED	RESERV ED	MOD_TYPE_A	RESERVED			MIN_PERIOD_A[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_A[7:0]										
0x012C	LED_PULS E1_A	[15:8]	LED_WIDTH_A									0x0210	R/W
		[7:0]	LED_OFFSET_A										
0x012D	LED_PULS E2_A	[15:8]	RESERVED									0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_A										
0x012E	INTEG_WI DTH_A	[15:8]	SINGLE_IN TEG_A	RESERVED		CH2_AMP_DISABLE_A		RESERVED		CH1_AMP_D ISABLE_A[1]	0x0003	R/W	
		[7:0]	CH1_AMP_ DISABLE_ A[0]	ADC_COUNT_A	INTEG_WIDTH_A								
0x012F	INTEG_OFF SET_A	[15:8]	RESERVED			INTEG_OFFSET_A[7:3]					0x01A0	R/W	
		[7:0]	INTEG_OFFSET_A[2:0]			INTEG_FINE_OFFSET_A							
0x0130	MOD_PULS E_A	[15:8]	MOD_WIDTH_A									0x0001	R/W
		[7:0]	MOD_OFFSET_A										
0x0131	PATTERN1 _A	[15:8]	LED_DISABLE_A				MOD_DISABLE_A				0x0000	R/W	
		[7:0]	SUBTRACT_A				REVERSE_INTEG_A						
0x0133	ADC_OFF1 _A	[15:8]	RESERVED		CH1_ADC_ADJUST_A[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_A[7:0]										
0x0134	ADC_OFF2 _A	[15:8]	RESERVED		CH2_ADC_ADJUST_A[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_A[7:0]										
0x0135	DATA1_A	[15:8]	DARK_SHIFT_A				DARK_SIZE_A				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_A				SIGNAL_SIZE_A						
0x0136	DATA2_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_A				LIT_SIZE_A						
0x0137	DECIMATE _A	[15:8]	RESERVED						DECIMATE_FACTOR_A[6:4]			0x0000	R/W
		[7:0]	DECIMATE_FACTOR_A[3:0]			RESERVED							
0x0138	DIGINT_LI T_A	[15:8]	RESERVED							LIT_OFFSET _A[8]		0x0026	R/W
		[7:0]	LIT_OFFSET_A[7:0]										
0x0139	DIGINT_D ARK_A	[15:8]	DARK2_OFFSET_A[8:1]									0x0086	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
		[7:0]	DARK2_OF FSET_A[0]	DARK1_OFFSET_A										
0x0140	TS_CTRL_ B	[15:8]	SUBSAMPL E_B	CH2_EN_ B	SAMPLE_TYPE_B			RESERVE D	TIMESLOT_OFFSET_B[9:8]		0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_B[7:0]											
0x0141	TS_PATH_ B	[15:8]	PRE_WIDTH_B			AMBIENT_CANCELLATIO N_B		TS_GPIO_B	AFE_INT_C_ BUF_B		0x4020	R/W		
		[7:0]	RESERVED	AFE_PATH_CFG_B										
0x0142	INPUTS_B	[15:8]	RESERVED											
		[7:0]	INP34_B					INP12_B						
0x0143	CATHODE_ B	[15:8]	RESERVED	PRECON_B			VC2_PULSE_B		VC2_ALT_B			0x0000	R/W	
		[7:0]	VC2_SEL_B		VC1_PULSE_B		VC1_ALT_B		VC1_SEL_B					
0x0144	AFE_TRIM 1_B	[15:8]	TIA_CEIL_ DETECT_E N_B	CH2_TRIM_INT_B		CH1_TRIM_INT_B		VREF_PUL SE_B	AFE_TRIM_VREF_B			0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_B		TIA_GAIN_CH2_B			TIA_GAIN_CH1_B						
0x0145	AFE_TRIM 2_B	[15:8]	RESERVED		CH2_TRIM _INT_CAP_ B	CH1_TRIM _INT_CAP_ B	RESERVED					0x0000	R/W	
		[7:0]	RESERVED											
0x0146	AFE_DAC1 _B	[15:8]	DAC_AMBIENT_CH1_B[8:1]									0x0000	R/W	
		[7:0]	DAC_AMBI ENT_CH1_ B[0]	DAC_LED_DC_CH1_B										
0x0147	AFE_DAC2 _B	[15:8]	DAC_AMBIENT_CH2_B[8:1]									0x0000	R/W	
		[7:0]	DAC_AMBI ENT_CH2_ B[0]	DAC_LED_DC_CH2_B										
0x0148	LED_POW1 2_B	[15:8]	LED_DRIV ESIDE2_B	LED_CURRENT2_B								0x0000	R/W	
		[7:0]	LED_DRIV ESIDE1_B	LED_CURRENT1_B										
0x0149	LED_MOD E_B	[15:8]	RESERVED											
		[7:0]	RESERVED						LED_MODE 2_B	LED_MODE 1_B				
0x014A	COUNTS_B	[15:8]	NUM_INT_B										0x0101	R/W
		[7:0]	NUM_REPEAT_B											
0x014B	PERIOD_B	[15:8]	RESERVED	RESERV ED	MOD_TYPE_B		RESERVED		MIN_PERIOD_B[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_B[7:0]											
0x014C	LED_PULS E1_B	[15:8]	LED_WIDTH_B										0x0210	R/W
		[7:0]	LED_OFFSET_B											
0x014D	LED_PULS E2_B	[15:8]	RESERVED										0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_B											
0x014E	INTEG_WI DTH_B	[15:8]	SINGLE_IN TEG_B	RESERVED		CH2_AMP_DISABLE_B		RESERVED		CH1_AMP_D ISABLE_B[1]	0x0003	R/W		

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	CH1_AMP_DISABLE_B[0]	ADC_COUNT_B	INTEG_WIDTH_B								
0x014F	INTEG_OFFSET_SET_B	[15:8]	RESERVED			INTEG_OFFSET_B[7:3]					0x01A0	R/W	
		[7:0]	INTEG_OFFSET_B[2:0]			INTEG_FINE_OFFSET_B							
0x0150	MOD_PULSE_B	[15:8]	MOD_WIDTH_B								0x0001	R/W	
		[7:0]	MOD_OFFSET_B										
0x0151	PATTERN1_B	[15:8]	LED_DISABLE_B			MOD_DISABLE_B					0x0000	R/W	
		[7:0]	SUBTRACT_B			REVERSE_INTEG_B							
0x0153	ADC_OFF1_B	[15:8]	RESERVED	CH1_ADC_ADJUST_B[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_B[7:0]										
0x0154	ADC_OFF2_B	[15:8]	RESERVED	CH2_ADC_ADJUST_B[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_B[7:0]										
0x0155	DATA1_B	[15:8]	DARK_SHIFT_B			DARK_SIZE_B					0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_B			SIGNAL_SIZE_B							
0x0156	DATA2_B	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LIT_SHIFT_B			LIT_SIZE_B							
0x0157	DECIMATE_B	[15:8]	RESERVED			DECIMATE_FACTOR_B[6:4]					0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_B[3:0]			RESERVED							
0x0158	DIGINT_LIT_B	[15:8]	RESERVED							LIT_OFFSET_B[8]		0x0026	R/W
		[7:0]	LIT_OFFSET_B[7:0]										
0x0159	DIGINT_DARK_B	[15:8]	DARK2_OFFSET_B[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_B[0]	DARK1_OFFSET_B									
0x0160	TS_CTRL_C	[15:8]	SUBSAMPLING_C	CH2_ENABLE_C	SAMPLE_TYPE_C		RESERVED	TIMESLOT_OFFSET_C[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_C[7:0]										
0x0161	TS_PATH_C	[15:8]	PRE_WIDTH_C			AMBIENT_CANCELLATION_C		TS_GPIO_C	AFE_INT_BUFFER_C		0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_C									
0x0162	INPUTS_C	[15:8]	RESERVED									0x0000	R/W
		[7:0]	INP34_C			INP12_C							
0x0163	CATHODE_C	[15:8]	RESERVED	PRECON_C		VC2_PULSE_C		VC2_ALT_C			0x0000	R/W	
		[7:0]	VC2_SEL_C		VC1_PULSE_C	VC1_ALT_C		VC1_SEL_C					
0x0164	AFE_TRIM1_C	[15:8]	TIA_CEILING_DETECT_ENABLE_C	CH2_TRIM_INT_C	CH1_TRIM_INT_C		VREF_PULSE_SELECT_C	AFE_TRIM_VREF_C			0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_C		TIA_GAIN_CH2_C		TIA_GAIN_CH1_C						
0x0165	AFE_TRIM2_C	[15:8]	RESERVED	CH2_TRIM_INT_CAP_C	CH1_TRIM_INT_CAP_C	RESERVED					0x0000	R/W	
		[7:0]	RESERVED										
0x0166	AFE_DAC1_C	[15:8]	DAC_AMBIENT_CH1_C[8:1]									0x0000	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
		[7:0]	DAC_AMBI ENT_CH1_ C[0]	DAC_LED_DC_CH1_C								
0x0167	AFE_DAC2 _C	[15:8]	DAC_AMBIENT_CH2_C[8:1]							0x0000	R/W	
		[7:0]	DAC_AMBI ENT_CH2_ C[0]	DAC_LED_DC_CH2_C								
0x0168	LED_POW1 2_C	[15:8]	LED_DRIV ESIDE2_C	LED_CURRENT2_C							0x0000	R/W
		[7:0]	LED_DRIV ESIDE1_C	LED_CURRENT1_C								
0x0169	LED_MOD E_C	[15:8]	RESERVED							0x0000	R/W	
		[7:0]	RESERVED					LED_MODE 2_C	LED_MODE 1_C			
0x016A	COUNTS_C	[15:8]	NUM_INT_C							0x0101	R/W	
		[7:0]	NUM_REPEAT_C									
0x016B	PERIOD_C	[15:8]	RESERVED	RESERV ED	MOD_TYPE_C	RESERVED		MIN_PERIOD_C[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_C[7:0]									
0x016C	LED_PULS E1_C	[15:8]	LED_WIDTH_C							0x0210	R/W	
		[7:0]	LED_OFFSET_C									
0x016D	LED_PULS E2_C	[15:8]	RESERVED							0x0013	R/W	
		[7:0]	LED_SECOND_OFFSET_C									
0x016E	INTEG_WI DTH_C	[15:8]	SINGLE_IN TEG_C	RESERVED		CH2_AMP_DISABLE_C	RESERVED		CH1_AMP_D ISABLE_C[1]	0x0003	R/W	
		[7:0]	CH1_AMP_ DISABLE_ C[0]	ADC_COUNT_C		INTEG_WIDTH_C						
0x016F	INTEG_OFF SET_C	[15:8]	RESERVED			INTEG_OFFSET_C[7:3]				0x01A0	R/W	
		[7:0]	INTEG_OFFSET_C[2:0]			INTEG_FINE_OFFSET_C						
0x0170	MOD_PULS E_C	[15:8]	MOD_WIDTH_C							0x0001	R/W	
		[7:0]	MOD_OFFSET_C									
0x0171	PATTERN1 _C	[15:8]	LED_DISABLE_C				MOD_DISABLE_C				0x0000	R/W
		[7:0]	SUBTRACT_C				REVERSE_INTEG_C					
0x0173	ADC_OFF1 _C	[15:8]	RESERVED		CH1_ADC_ADJUST_C[13:8]					0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_C[7:0]									
0x0174	ADC_OFF2 _C	[15:8]	RESERVED		CH2_ADC_ADJUST_C[13:8]					0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_C[7:0]									
0x0175	DATA1_C	[15:8]	DARK_SHIFT_C				DARK_SIZE_C				0x0003	R/W
		[7:0]	SIGNAL_SHIFT_C				SIGNAL_SIZE_C					
0x0176	DATA2_C	[15:8]	RESERVED							0x0000	R/W	
		[7:0]	LIT_SHIFT_C				LIT_SIZE_C					
0x0177	DECIMATE _C	[15:8]	RESERVED				DECIMATE_FACTOR_C[6:4]				0x0000	R/W
		[7:0]	DECIMATE_FACTOR_C[3:0]			RESERVED						

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x0178	DIGINT_LI T_C	[15:8]	RESERVED							LIT_OFFSET _C[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_C[7:0]										
0x0179	DIGINT_D ARK_C	[15:8]	DARK2_OFFSET_C[8:1]							0x0086	R/W		
		[7:0]	DARK2_OF FSET_C[0]	DARK1_OFFSET_C									
0x0180	TS_CTRL_ D	[15:8]	SUBSAMPL E_D	CH2_EN_ D	SAMPLE_TYPE_D			RESERVE D	TIMESLOT_OFFSET_D[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_D[7:0]										
0x0181	TS_PATH_ D	[15:8]	PRE_WIDTH_D			AMBIENT_CANCELLATIO N_D		TS_GPIO_D	AFE_INT_C_ BUF_D		0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_D									
0x0182	INPUTS_D	[15:8]	RESERVED							0x0000	R/W		
		[7:0]	INP34_D			INP12_D							
0x0183	CATHODE_ D	[15:8]	RESERVED	PRECON_D			VC2_PULSE_D		VC2_ALT_D		0x0000	R/W	
		[7:0]	VC2_SEL_D		VC1_PULSE_D		VC1_ALT_D		VC1_SEL_D				
0x0184	AFE_TRIM 1_D	[15:8]	TIA_CEIL_ DETECT_E N_D	CH2_TRIM_INT_D		CH1_TRIM_INT_D		VREF_PUL SE_D	AFE_TRIM_VREF_D		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_D		TIA_GAIN_CH2_D			TIA_GAIN_CH1_D					
0x0185	AFE_TRIM 2_D	[15:8]	RESERVED		CH2_TRIM _INT_CAP_ D	CH1_TRIM _INT_CAP_ D	RESERVED					0x0000	R/W
		[7:0]	RESERVED										
0x0186	AFE_DAC1 _D	[15:8]	DAC_AMBIENT_CH1_D[8:1]							0x0000	R/W		
		[7:0]	DAC_AMBI ENT_CH1_ D[0]	DAC_LED_DC_CH1_D									
0x0187	AFE_DAC2 _D	[15:8]	DAC_AMBIENT_CH2_D[8:1]							0x0000	R/W		
		[7:0]	DAC_AMBI ENT_CH2_ D[0]	DAC_LED_DC_CH2_D									
0x0188	LED_POW1 2_D	[15:8]	LED_DRIV ESIDE2_D	LED_CURRENT2_D							0x0000	R/W	
		[7:0]	LED_DRIV ESIDE1_D	LED_CURRENT1_D									
0x0189	LED_MOD E_D	[15:8]	RESERVED							0x0000	R/W		
		[7:0]	RESERVED					LED_MODE 2_D	LED_MODE 1_D				
0x018A	COUNTS_D	[15:8]	NUM_INT_D							0x0101	R/W		
		[7:0]	NUM_REPEAT_D										
0x018B	PERIOD_D	[15:8]	RESERVED	RESERV ED	MOD_TYPE_D		RESERVED		MIN_PERIOD_D[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_D[7:0]										
0x018C	LED_PULS E1_D	[15:8]	LED_WIDTH_D							0x0210	R/W		
		[7:0]	LED_OFFSET_D										

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x018D	LED_PULSE2_D	[15:8]	RESERVED									0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_D										
0x018E	INTEG_WIDTH_D	[15:8]	SINGLE_INTEG_D	RESERVED	CH2_AMP_DISABLE_D		RESERVED	CH1_AMP_DISABLE_D[1]		0x0003	R/W		
		[7:0]	CH1_AMP_DISABLE_D[0]	ADC_COUNT_D	INTEG_WIDTH_D								
0x018F	INTEG_OFFSET_D	[15:8]	RESERVED		INTEG_OFFSET_D[7:3]					0x01A0	R/W		
		[7:0]	INTEG_OFFSET_D[2:0]		INTEG_FINE_OFFSET_D								
0x0190	MOD_PULSE_D	[15:8]	MOD_WIDTH_D									0x0001	R/W
		[7:0]	MOD_OFFSET_D										
0x0191	PATTERN1_D	[15:8]	LED_DISABLE_D			MOD_DISABLE_D					0x0000	R/W	
		[7:0]	SUBTRACT_D			REVERSE_INTEG_D							
0x0193	ADC_OFF1_D	[15:8]	RESERVED	CH1_ADC_ADJUST_D[13:8]							0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_D[7:0]										
0x0194	ADC_OFF2_D	[15:8]	RESERVED	CH2_ADC_ADJUST_D[13:8]							0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_D[7:0]										
0x0195	DATA1_D	[15:8]	DARK_SHIFT_D				DARK_SIZE_D				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_D				SIGNAL_SIZE_D						
0x0196	DATA2_D	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_D				LIT_SIZE_D						
0x0197	DECIMATE_D	[15:8]	RESERVED					DECIMATE_FACTOR_D[6:4]			0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_D[3:0]			RESERVED							
0x0198	DIGINT_LIT_D	[15:8]	RESERVED							LIT_OFFSET_D[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_D[7:0]										
0x0199	DIGINT_DARK_D	[15:8]	DARK2_OFFSET_D[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_D[0]	DARK1_OFFSET_D									
0x01A0	TS_CTRL_E	[15:8]	SUBSAMPLE_E	CH2_EN_E	SAMPLE_TYPE_E		RESERVED	TIMESLOT_OFFSET_E[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_E[7:0]										
0x01A1	TS_PATH_E	[15:8]	PRE_WIDTH_E			AMBIENT_CANCELLATION_E		TS_GPIO_E	AFE_INT_CBUF_E		0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_E									
0x01A2	INPUTS_E	[15:8]	RESERVED									0x0000	R/W
		[7:0]	INP34_E				INP12_E						
0x01A3	CATHODE_E	[15:8]	RESERVED	PRECON_E		VC2_PULSE_E		VC2_ALT_E			0x0000	R/W	
		[7:0]	VC2_SEL_E		VC1_PULSE_E	VC1_ALT_E		VC1_SEL_E					
0x01A4	AFE_TRIM1_E	[15:8]	TIA_CEIL_DETECT_E	CH2_TRIM_INT_E	CH1_TRIM_INT_E		VREF_PULSE_E	AFE_TRIM_VREF_E			0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_E		TIA_GAIN_CH2_E			TIA_GAIN_CH1_E					

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x01A5	AFE_TRIM2_E	[15:8]	RESERVED		CH2_TRIM_INT_CAP_E	CH1_TRIM_INT_CAP_E	RESERVED					0x0000	R/W	
		[7:0]	RESERVED											
0x01A6	AFE_DAC1_E	[15:8]	DAC_AMBIENT_CH1_E[8:1]										0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_E[0]	DAC_LED_DC_CH1_E										
0x01A7	AFE_DAC2_E	[15:8]	DAC_AMBIENT_CH2_E[8:1]										0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_E[0]	DAC_LED_DC_CH2_E										
0x01A8	LED_POW12_E	[15:8]	LED_DRIVE_SIDE2_E	LED_CURRENT2_E									0x0000	R/W
		[7:0]	LED_DRIVE_SIDE1_E	LED_CURRENT1_E										
0x01A9	LED_MODE_E	[15:8]	RESERVED										0x0000	R/W
		[7:0]	RESERVED							LED_MODE2_E	LED_MODE1_E			
0x01AA	COUNTS_E	[15:8]	NUM_INT_E										0x0101	R/W
		[7:0]	NUM_REPEAT_E											
0x01AB	PERIOD_E	[15:8]	RESERVED	RESERVED	MOD_TYPE_E		RESERVED		MIN_PERIOD_E[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_E[7:0]											
0x01AC	LED_PULSE1_E	[15:8]	LED_WIDTH_E										0x0210	R/W
		[7:0]	LED_OFFSET_E											
0x01AD	LED_PULSE2_E	[15:8]	RESERVED										0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_E											
0x01AE	INTEG_WIDTH_E	[15:8]	SINGLE_INTEG_E	RESERVED		CH2_AMP_DISABLE_E		RESERVED		CH1_AMP_DISABLE_E[1]		0x0003	R/W	
		[7:0]	CH1_AMP_DISABLE_E[0]	ADC_COUNT_E		INTEG_WIDTH_E								
0x01AF	INTEG_OFFSET_E	[15:8]	RESERVED			INTEG_OFFSET_E[7:3]						0x01A0	R/W	
		[7:0]	INTEG_OFFSET_E[2:0]			INTEG_FINE_OFFSET_E								
0x01B0	MOD_PULSE_E	[15:8]	MOD_WIDTH_E										0x0001	R/W
		[7:0]	MOD_OFFSET_E											
0x01B1	PATTERN1_E	[15:8]	LED_DISABLE_E				MOD_DISABLE_E						0x0000	R/W
		[7:0]	SUBTRACT_E				REVERSE_INTEG_E							
0x01B3	ADC_OFF1_E	[15:8]	RESERVED		CH1_ADC_ADJUST_E[13:8]							0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_E[7:0]											
0x01B4	ADC_OFF2_E	[15:8]	RESERVED		CH2_ADC_ADJUST_E[13:8]							0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_E[7:0]											
0x01B5	DATA1_E	[15:8]	DARK_SHIFT_E					DARK_SIZE_E					0x0003	R/W
		[7:0]	SIGNAL_SHIFT_E					SIGNAL_SIZE_E						

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x01B6	DATA2_E	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	LIT_SHIFT_E				LIT_SIZE_E							
0x01B7	DECIMATE_E	[15:8]	RESERVED				DECIMATE_FACTOR_E[6:4]				0x0000	R/W		
		[7:0]	DECIMATE_FACTOR_E[3:0]			RESERVED								
0x01B8	DIGINT_LIT_E	[15:8]	RESERVED							LIT_OFFSET_E[8]	0x0026	R/W		
		[7:0]	LIT_OFFSET_E[7:0]											
0x01B9	DIGINT_DARK_E	[15:8]	DARK2_OFFSET_E[8:1]									0x0086	R/W	
		[7:0]	DARK2_OFFSET_E[0]	DARK1_OFFSET_E										
0x01C0	TS_CTRL_F	[15:8]	SUBSAMPL_E_F	CH2_EN_F	SAMPLE_TYPE_F			RESERVE_D	TIMESLOT_OFFSET_F[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_F[7:0]											
0x01C1	TS_PATH_F	[15:8]	PRE_WIDTH_F				AMBIENT_CANCELLATION_F		TS_GPIO_F	AFE_INT_CBUF_F		0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_F										
0x01C2	INPUTS_F	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	INP34_F				INP12_F							
0x01C3	CATHODE_F	[15:8]	RESERVED	PRECON_F			VC2_PULSE_F		VC2_ALT_F			0x0000	R/W	
		[7:0]	VC2_SEL_F		VC1_PULSE_F		VC1_ALT_F		VC1_SEL_F					
0x01C4	AFE_TRIM1_F	[15:8]	TIA_CEIL_DETECT_E_N_F	CH2_TRIM_INT_F		CH1_TRIM_INT_F		VREF_PULSE_F	AFE_TRIM_VREF_F			0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_F		TIA_GAIN_CH2_F			TIA_GAIN_CH1_F						
0x01C5	AFE_TRIM2_F	[15:8]	RESERVED		CH2_TRIM_INT_CAP_F	CH1_TRIM_INT_CAP_F	RESERVED					0x0000	R/W	
		[7:0]	RESERVED											
0x01C6	AFE_DAC1_F	[15:8]	DAC_AMBIENT_CH1_F[8:1]									0x0000	R/W	
		[7:0]	dac_ambient_ch1_f[0]	DAC_LED_DC_CH1_F										
0x01C7	AFE_DAC2_F	[15:8]	DAC_AMBIENT_CH2_F[8:1]									0x0000	R/W	
		[7:0]	dac_ambient_ch2_f[0]	DAC_LED_DC_CH2_F										
0x01C8	LED_POW12_F	[15:8]	led_driveside2_f	LED_CURRENT2_F									0x0000	R/W
		[7:0]	led_driveside1_f	LED_CURRENT1_F										
0x01C9	LED_MODE_F	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	RESERVED						LED_MODE2_F	LED_MODE1_F				
0x01CA	COUNTS_F	[15:8]	NUM_INT_F									0x0101	R/W	
		[7:0]	NUM_REPEAT_F											
0x01CB	PERIOD_F	[15:8]	RESERVED	RESERVED	MOD_TYPE_F		RESERVED		MIN_PERIOD_F[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_F[7:0]											

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x01CC	LED_PULSE1_F	[15:8]	LED_WIDTH_F								0x0210	R/W	
		[7:0]	LED_OFFSET_F										
0x01CD	LED_PULSE2_F	[15:8]	RESERVED								0x0013	R/W	
		[7:0]	LED_SECOND_OFFSET_F										
0x01CE	INTEG_WIDTH_F	[15:8]	SINGLE_INTEG_F	RESERVED	CH2_AMP_DISABLE_F		RESERVED	CH1_AMP_DISABLE_F[1]		0x0003	R/W		
		[7:0]	CH1_AMP_DISABLE_F[0]	ADC_COUNT_F	INTEG_WIDTH_F								
0x01CF	INTEG_OFFSET_F	[15:8]	RESERVED			INTEG_OFFSET_F[7:3]					0x01A0	R/W	
		[7:0]	INTEG_OFFSET_F[2:0]			INTEG_FINE_OFFSET_F							
0x01D0	MOD_PULSE_F	[15:8]	MOD_WIDTH_F								0x0001	R/W	
		[7:0]	MOD_OFFSET_F										
0x01D1	PATTERN1_F	[15:8]	LED_DISABLE_F				MOD_DISABLE_F				0x0000	R/W	
		[7:0]	SUBTRACT_F				REVERSE_INTEG_F						
0x01D3	ADC_OFF1_F	[15:8]	RESERVED	CH1_ADC_ADJUST_F[13:8]								0x0000	R/W
		[7:0]	CH1_ADC_ADJUST_F[7:0]										
0x01D4	ADC_OFF2_F	[15:8]	RESERVED	CH2_ADC_ADJUST_F[13:8]								0x0000	R/W
		[7:0]	CH2_ADC_ADJUST_F[7:0]										
0x01D5	DATA1_F	[15:8]	DARK_SHIFT_F				DARK_SIZE_F				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_F				SIGNAL_SIZE_F						
0x01D6	DATA2_F	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LIT_SHIFT_F				LIT_SIZE_F						
0x01D7	DECIMATE_F	[15:8]	RESERVED				DECIMATE_FACTOR_F[6:4]				0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_F[3:0]				RESERVED						
0x01D8	DIGINT_LIT_F	[15:8]	RESERVED							LIT_OFFSET_F[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_F[7:0]										
0x01D9	DIGINT_DARK_F	[15:8]	DARK2_OFFSET_F[8:1]								0x0086	R/W	
		[7:0]	DARK2_OFFSET_F[0]	DARK1_OFFSET_F									
0x01E0	TS_CTRL_G	[15:8]	SUBSAMPLE_G	CH2_EN_G	SAMPLE_TYPE_G			RESERVE_D	TIMESLOT_OFFSET_G[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_G[7:0]										
0x01E1	TS_PATH_G	[15:8]	PRE_WIDTH_G				AMBIENT_CANCELLATION_G		TS_GPIO_G	AFE_INT_CBUF_G		0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_G									
0x01E2	INPUTS_G	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	INP34_G				INP12_G						
0x01E3	CATHODE_G	[15:8]	RESERVED	PRECON_G			VC2_PULSE_G		VC2_ALT_G		0x0000	R/W	
		[7:0]	VC2_SEL_G		VC1_PULSE_G	VC1_ALT_G		VC1_SEL_G					

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01E4	AFE_TRIM1_G	[15:8]	TIA_CEIL_DETECT_EN_G	CH2_TRIM_INT_G	CH1_TRIM_INT_G		VREF_PULSE_G	AFE_TRIM_VREF_G		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_G		TIA_GAIN_CH2_G		TIA_GAIN_CH1_G					
0x01E5	AFE_TRIM2_G	[15:8]	RESERVED	CH2_TRIM_INT_CAP_G	CH1_TRIM_INT_CAP_G	RESERVED					0x0000	R/W
		[7:0]	RESERVED									
0x01E6	AFE_DAC1_G	[15:8]	DAC_AMBIENT_CH1_G[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_G[0]	DAC_LED_DC_CH1_G								
0x01E7	AFE_DAC2_G	[15:8]	DAC_AMBIENT_CH2_G[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_G[0]	DAC_LED_DC_CH2_G								
0x01E8	LED_POW12_G	[15:8]	LED_DRIVE_SIDE2_G	LED_CURRENT2_G							0x0000	R/W
		[7:0]	LED_DRIVE_SIDE1_G	LED_CURRENT1_G								
0x01E9	LED_MODE_G	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED						LED_MODE2_G	LED_MODE1_G		
0x01EA	COUNTS_G	[15:8]	NUM_INT_G								0x0101	R/W
		[7:0]	NUM_REPEAT_G									
0x01EB	PERIOD_G	[15:8]	RESERVED	RESERVED	MOD_TYPE_G	RESERVED		MIN_PERIOD_G[9:8]			0x0000	R/W
		[7:0]	MIN_PERIOD_G[7:0]									
0x01EC	LED_PULSE1_G	[15:8]	LED_WIDTH_G								0x0210	R/W
		[7:0]	LED_OFFSET_G									
0x01ED	LED_PULSE2_G	[15:8]	RESERVED								0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_G									
0x01EE	INTEG_WIDTH_G	[15:8]	SINGLE_INTEG_G	RESERVED	CH2_AMP_DISABLE_G		RESERVED	CH1_AMP_DISABLE_G[1]			0x0003	R/W
		[7:0]	CH1_AMP_DISABLE_G[0]	ADC_COUNT_G	INTEG_WIDTH_G							
0x01EF	INTEG_OFFSET_G	[15:8]	RESERVED			INTEG_OFFSET_G[7:3]					0x01A0	R/W
		[7:0]	INTEG_OFFSET_G[2:0]			INTEG_FINE_OFFSET_G						
0x01F0	MOD_PULSE_G	[15:8]	MOD_WIDTH_G								0x0001	R/W
		[7:0]	MOD_OFFSET_G									
0x01F1	PATTERN1_G	[15:8]	LED_DISABLE_G				MOD_DISABLE_G				0x0000	R/W
		[7:0]	SUBTRACT_G				REVERSE_INTEG_G					
0x01F3	ADC_OFF1_G	[15:8]	RESERVED	CH1_ADC_ADJUST_G[13:8]							0x0000	R/W
		[7:0]	CH1_ADC_ADJUST_G[7:0]									
0x01F4	ADC_OFF2_G	[15:8]	RESERVED	CH2_ADC_ADJUST_G[13:8]							0x0000	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	CH2_ADC_ADJUST_G[7:0]										
0x01F5	DATA1_G	[15:8]	DARK_SHIFT_G				DARK_SIZE_G				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_G				SIGNAL_SIZE_G						
0x01F6	DATA2_G	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_G				LIT_SIZE_G						
0x01F7	DECIMATE_G	[15:8]	RESERVED				DECIMATE_FACTOR_G[6:4]				0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_G[3:0]			RESERVED							
0x01F8	DIGINT_LIT_G	[15:8]	RESERVED							LIT_OFFSET_G[8]		0x0026	R/W
		[7:0]	LIT_OFFSET_G[7:0]										
0x01F9	DIGINT_DARK_G	[15:8]	DARK2_OFFSET_G[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_G[0]	DARK1_OFFSET_G									
0x0200	TS_CTRL_H	[15:8]	SUBSAMPL_E_H	CH2_EN_H	SAMPLE_TYPE_H			RESERVE_D	TIMESLOT_OFFSET_H[9:8]			0x0000	R/W
		[7:0]	TIMESLOT_OFFSET_H[7:0]										
0x0201	TS_PATH_H	[15:8]	PRE_WIDTH_H				AMBIENT_CANCELLATION_H		TS_GPIO_H	AFE_INT_CBUF_H		0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_H									
0x0202	INPUTS_H	[15:8]	RESERVED									0x0000	R/W
		[7:0]	INP34_H				INP12_H						
0x0203	CATHODE_H	[15:8]	RESERVED	PRECON_H			VC2_PULSE_H		VC2_ALT_H			0x0000	R/W
		[7:0]	VC2_SEL_H	VC1_PULSE_H		VC1_ALT_H		VC1_SEL_H					
0x0204	AFE_TRIM1_H	[15:8]	TIA_CEIL_DETECT_EN_H	CH2_TRIM_INT_H		CH1_TRIM_INT_H		VREF_PULSE_H	AFE_TRIM_VREF_H			0x02C9	R/W
		[7:0]	VREF_PULSE_VAL_H	TIA_GAIN_CH2_H			TIA_GAIN_CH1_H						
0x0205	AFE_TRIM2_H	[15:8]	RESERVED	CH2_TRIM_INT_CAP_H	CH1_TRIM_INT_CAP_H	RESERVED					0x0000	R/W	
		[7:0]	RESERVED										
0x0206	AFE_DAC1_H	[15:8]	DAC_AMBIENT_CH1_H[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_H[0]	DAC_LED_DC_CH1_H									
0x0207	AFE_DAC2_H	[15:8]	DAC_AMBIENT_CH2_H[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_H[0]	DAC_LED_DC_CH2_H									
0x0208	LED_POW12_H	[15:8]	LED_DRIVE_SIDE2_H	LED_CURRENT2_H								0x0000	R/W
		[7:0]	LED_DRIVE_SIDE1_H	LED_CURRENT1_H									
0x0209	LED_MODE_H	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED						LED_MODE2_H	LED_MODE1_H			
0x020A	COUNTS_H	[15:8]	NUM_INT_H									0x0101	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW				
		[7:0]	NUM_REPEAT_H													
0x020B	PERIOD_H	[15:8]	RESERVED	RESERVED	MOD_TYPE_H	RESERVED		MIN_PERIOD_H[9:8]			0x0000	R/W				
		[7:0]	MIN_PERIOD_H[7:0]													
0x020C	LED_PULSE1_H	[15:8]	LED_WIDTH_H										0x0210	R/W		
		[7:0]	LED_OFFSET_H													
0x020D	LED_PULSE2_H	[15:8]	RESERVED										0x0013	R/W		
		[7:0]	LED_SECOND_OFFSET_H													
0x020E	INTEG_WIDTH_H	[15:8]	SINGLE_INTEG_H	RESERVED	CH2_AMP_DISABLE_H		RESERVED		CH1_AMP_DISABLE_H[1]			0x0003	R/W			
		[7:0]	CH1_AMP_DISABLE_H[0]	ADC_COUNT_H	INTEG_WIDTH_H											
0x020F	INTEG_OFFSET_H	[15:8]	RESERVED			INTEG_OFFSET_H[7:3]						0x01A0	R/W			
		[7:0]	INTEG_OFFSET_H[2:0]			INTEG_FINE_OFFSET_H										
0x0210	MOD_PULSE_H	[15:8]	MOD_WIDTH_H										0x0001	R/W		
		[7:0]	MOD_OFFSET_H													
0x0211	PATTERN1_H	[15:8]	LED_DISABLE_H				MOD_DISABLE_H				RESERVED			0x0000	R/W	
		[7:0]	SUBTRACT_H				REVERSE_INTEG_H				RESERVED					
0x0213	ADC_OFF1_H	[15:8]	RESERVED		CH1_ADC_ADJUST_H[13:8]						RESERVED			0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_H[7:0]													
0x0214	ADC_OFF2_H	[15:8]	RESERVED		CH2_ADC_ADJUST_H[13:8]						RESERVED			0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_H[7:0]													
0x0215	DATA1_H	[15:8]	DARK_SHIFT_H					DARK_SIZE_H					0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_H					SIGNAL_SIZE_H								
0x0216	DATA2_H	[15:8]	RESERVED										0x0000	R/W		
		[7:0]	LIT_SHIFT_H					LIT_SIZE_H								
0x0217	DECIMATE_H	[15:8]	RESERVED						DECIMATE_FACTOR_H[6:4]				RESERVED		0x0000	R/W
		[7:0]	DECIMATE_FACTOR_H[3:0]				RESERVED									
0x0218	DIGINT_LIT_H	[15:8]	RESERVED								LIT_OFFSET_H[8]		0x0026	R/W		
		[7:0]	LIT_OFFSET_H[7:0]													
0x0219	DIGINT_DARK_H	[15:8]	DARK2_OFFSET_H[8:1]										0x0086	R/W		
		[7:0]	DARK2_OFFSET_H[0]	DARK1_OFFSET_H												
0x0220	TS_CTRL_I	[15:8]	SUBSAMPLE_I	CH2_ENABLE_I	SAMPLE_TYPE_I			RESERVED	TIMESLOT_OFFSET_I[9:8]			0x0000	R/W			
		[7:0]	TIMESLOT_OFFSET_I[7:0]													
0x0221	TS_PATH_I	[15:8]	PRE_WIDTH_I				AMBIENT_CANCELLATION_I			TS_GPIO_I	AFE_INT_CBUF_I		0x4020	R/W		
		[7:0]	RESERVED	AFE_PATH_CFG_I												
0x0222	INPUTS_I	[15:8]	RESERVED										0x0000	R/W		
		[7:0]	INP34_I					INP12_I								

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x0223	CATHODE_I	[15:8]	RESERVED	PRECON_I			VC2_PULSE_I		VC2_ALT_I		0x0000	R/W
		[7:0]	VC2_SEL_I		VC1_PULSE_I		VC1_ALT_I		VC1_SEL_I			
0x0224	AFE_TRIM1_I	[15:8]	TIA_CEIL_DETECT_EN_I	CH2_TRIM_INT_I	CH1_TRIM_INT_I		VREF_PULSE_I	AFE_TRIM_VREF_I			0x02C9	R/W
		[7:0]	VREF_PULSE_VAL_I		TIA_GAIN_CH2_I			TIA_GAIN_CH1_I				
0x0225	AFE_TRIM2_I	[15:8]	RESERVED	CH2_TRIM_INT_CAP_I	CH1_TRIM_INT_CAP_I	RESERVED					0x0000	R/W
		[7:0]	RESERVED									
0x0226	AFE_DAC1_I	[15:8]	DAC_AMBIENT_CH1_I[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_I[0]	DAC_LED_DC_CH1_I								
0x0227	AFE_DAC2_I	[15:8]	DAC_AMBIENT_CH2_I[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_I[0]	DAC_LED_DC_CH2_I								
0x0228	LED_POW12_I	[15:8]	LED_DRIVE_SIDE2_I	LED_CURRENT2_I							0x0000	R/W
		[7:0]	LED_DRIVE_SIDE1_I	LED_CURRENT1_I								
0x0229	LED_MODE_I	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED						LED_MODE2_I	LED_MODE1_I		
0x022A	COUNTS_I	[15:8]	NUM_INT_I								0x0101	R/W
		[7:0]	NUM_REPEAT_I									
0x022B	PERIOD_I	[15:8]	RESERVED	RESERVED	MOD_TYPE_I	RESERVED			MIN_PERIOD_I[9:8]		0x0000	R/W
		[7:0]	MIN_PERIOD_I[7:0]									
0x022C	LED_PULSE1_I	[15:8]	LED_WIDTH_I								0x0210	R/W
		[7:0]	LED_OFFSET_I									
0x022D	LED_PULSE2_I	[15:8]	RESERVED								0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_I									
0x022E	INTEG_WIDTH_I	[15:8]	SINGLE_INTEG_I	RESERVED	CH2_AMP_DISABLE_I		RESERVED	CH1_AMP_DISABLE_I[1]		0x0003	R/W	
		[7:0]	CH1_AMP_DISABLE_I[0]	ADC_COUNT_I	INTEG_WIDTH_I							
0x022F	INTEG_OFFSET_I	[15:8]	RESERVED			INTEG_OFFSET_I[7:3]					0x01A0	R/W
		[7:0]	INTEG_OFFSET_I[2:0]			INTEG_FINE_OFFSET_I						
0x0230	MOD_PULSE_I	[15:8]	MOD_WIDTH_I								0x0001	R/W
		[7:0]	MOD_OFFSET_I									
0x0231	PATTERN1_I	[15:8]	LED_DISABLE_I				MOD_DISABLE_I				0x0000	R/W
		[7:0]	SUBTRACT_I				REVERSE_INTEG_I					

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x0233	ADC_OFF1_I	[15:8]	RESERVED		CH1_ADC_ADJUST_I[13:8]						0x0000	R/W
		[7:0]	CH1_ADC_ADJUST_I[7:0]									
0x0234	ADC_OFF2_I	[15:8]	RESERVED		CH2_ADC_ADJUST_I[13:8]						0x0000	R/W
		[7:0]	CH2_ADC_ADJUST_I[7:0]									
0x0235	DATA1_I	[15:8]	DARK_SHIFT_I			DARK_SIZE_I			0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_I			SIGNAL_SIZE_I						
0x0236	DATA2_I	[15:8]	RESERVED						0x0000	R/W		
		[7:0]	LIT_SHIFT_I			LIT_SIZE_I						
0x0237	DECIMATE_I	[15:8]	RESERVED				DECIMATE_FACTOR_I[6:4]		0x0000	R/W		
		[7:0]	DECIMATE_FACTOR_I[3:0]		RESERVED							
0x0238	DIGINT_LIT_I	[15:8]	RESERVED						LIT_OFFSET_I[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_I[7:0]									
0x0239	DIGINT_DARK_I	[15:8]	DARK2_OFFSET_I[8:1]						0x0086	R/W		
		[7:0]	DARK2_OFFSET_I[0]	DARK1_OFFSET_I								
0x0240	TS_CTRL_J	[15:8]	SUBSAMPLE_J	CH2_EN_J	SAMPLE_TYPE_J		RESERVE_D	TIMESLOT_OFFSET_J[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_J[7:0]									
0x0241	TS_PATH_J	[15:8]	PRE_WIDTH_J			AMBIENT_CANCELLATION_J		TS_GPIO_J	AFE_INT_CBUF_J	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_J								
0x0242	INPUTS_J	[15:8]	RESERVED						0x0000	R/W		
		[7:0]	INP34_J			INP12_J						
0x0243	CATHODE_J	[15:8]	RESERVED	PRECON_J		VC2_PULSE_J		VC2_ALT_J		0x0000	R/W	
		[7:0]	VC2_SEL_J	VC1_PULSE_J		VC1_ALT_J		VC1_SEL_J				
0x0244	AFE_TRIM1_J	[15:8]	TIA_CEIL_DETECT_EN_J	CH2_TRIM_INT_J	CH1_TRIM_INT_J		VREF_PULSE_J	AFE_TRIM_VREF_J		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_J	TIA_GAIN_CH2_J			TIA_GAIN_CH1_J					
0x0245	AFE_TRIM2_J	[15:8]	RESERVED	CH2_TRIM_INT_CAP_J	CH1_TRIM_INT_CAP_J	RESERVED					0x0000	R/W
		[7:0]	RESERVED									
0x0246	AFE_DAC1_J	[15:8]	DAC_AMBIENT_CH1_J[8:1]						0x0000	R/W		
		[7:0]	DAC_AMBIENT_CH1_J[0]	DAC_LED_DC_CH1_J								
0x0247	AFE_DAC2_J	[15:8]	DAC_AMBIENT_CH2_J[8:1]						0x0000	R/W		
		[7:0]	DAC_AMBIENT_CH2_J[0]	DAC_LED_DC_CH2_J								
0x0248	LED_POW12_J	[15:8]	LED_DRIVE_SIDE2_J	LED_CURRENT2_J						0x0000	R/W	
		[7:0]	LED_DRIVE_SIDE1_J	LED_CURRENT1_J								
0x0249	LED_MODE_J	[15:8]	RESERVED						0x0000	R/W		

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	RESERVED						LED_MODE_2_J	LED_MODE_1_J			
0x024A	COUNTS_J	[15:8]	NUM_INT_J								0x0101	R/W	
		[7:0]	NUM_REPEAT_J										
0x024B	PERIOD_J	[15:8]	RESERVED	RESERVED	MOD_TYPE_J	RESERVED			MIN_PERIOD_J[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_J[7:0]										
0x024C	LED_PULSE1_J	[15:8]	LED_WIDTH_J								0x0210	R/W	
		[7:0]	LED_OFFSET_J										
0x024D	LED_PULSE2_J	[15:8]	RESERVED								0x0013	R/W	
		[7:0]	LED_SECOND_OFFSET_J										
0x024E	INTEG_WIDTH_J	[15:8]	SINGLE_INTEG_J	RESERVED		CH2_AMP_DISABLE_J		RESERVED		CH1_AMP_DISABLE_J[1]	0x0003	R/W	
		[7:0]	CH1_AMP_DISABLE_J[0]	ADC_COUNT_J		INTEG_WIDTH_J							
0x024F	INTEG_OFFSET_J	[15:8]	RESERVED			INTEG_OFFSET_J[7:3]					0x01A0	R/W	
		[7:0]	INTEG_OFFSET_J[2:0]			INTEG_FINE_OFFSET_J							
0x0250	MOD_PULSE_J	[15:8]	MOD_WIDTH_J								0x0001	R/W	
		[7:0]	MOD_OFFSET_J										
0x0251	PATTERN1_J	[15:8]	LED_DISABLE_J				MOD_DISABLE_J				0x0000	R/W	
		[7:0]	SUBTRACT_J				REVERSE_INTEG_J						
0x0253	ADC_OFFSET1_J	[15:8]	RESERVED		CH1_ADC_ADJUST_J[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_J[7:0]										
0x0254	ADC_OFFSET2_J	[15:8]	RESERVED		CH2_ADC_ADJUST_J[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_J[7:0]										
0x0255	DATA1_J	[15:8]	DARK_SHIFT_J				DARK_SIZE_J				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_J				SIGNAL_SIZE_J						
0x0256	DATA2_J	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LIT_SHIFT_J				LIT_SIZE_J						
0x0257	DECIMATE_J	[15:8]	RESERVED						DECIMATE_FACTOR_J[6:4]		0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_J[3:0]				RESERVED						
0x0258	DIGINT_LIT_J	[15:8]	RESERVED								LIT_OFFSET_J[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_J[7:0]										
0x0259	DIGINT_DARK_J	[15:8]	DARK2_OFFSET_J[8:1]								0x0086	R/W	
		[7:0]	DARK2_OFFSET_J[0]	DARK1_OFFSET_J									
0x0260	TS_CTRL_K	[15:8]	SUBSAMPLE_K	CH2_EN_K	SAMPLE_TYPE_K			RESERVE_D	TIMESLOT_OFFSET_K[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_K[7:0]										
0x0261	TS_PATH_K	[15:8]	PRE_WIDTH_K				AMBIENT_CANCELLATION_K		TS_GPIO_K	AFE_INT_CBUF_K	0x4020	R/W	

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	RESERVED	AFE_PATH_CFG_K									
0x0262	INPUTS_K	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	INP34_K				INP12_K						
0x0263	CATHODE_K	[15:8]	RESERVED	PRECON_K			VC2_PULSE_K		VC2_ALT_K		0x0000	R/W	
		[7:0]	VC2_SEL_K		VC1_PULSE_K		VC1_ALT_K		VC1_SEL_K				
0x0264	AFE_TRIM1_K	[15:8]	TIA_CEIL_DETECT_EN_K	CH2_TRIM_INT_K		CH1_TRIM_INT_K		VREF_PULSE_K	AFE_TRIM_VREF_K		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_K		TIA_GAIN_CH2_K			TIA_GAIN_CH1_K					
0x0265	AFE_TRIM2_K	[15:8]	RESERVED		CH2_TRIM_INT_CAP_K	CH1_TRIM_INT_CAP_K	RESERVED					0x0000	R/W
		[7:0]	RESERVED										
0x0266	AFE_DAC1_K	[15:8]	DAC_AMBIENT_CH1_K[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_K[0]	DAC_LED_DC_CH1_K									
0x0267	AFE_DAC2_K	[15:8]	DAC_AMBIENT_CH2_K[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_K[0]	DAC_LED_DC_CH2_K									
0x0268	LED_POW12_K	[15:8]	LED_DRIVE_SIDE2_K	LED_CURRENT2_K								0x0000	R/W
		[7:0]	LED_DRIVE_SIDE1_K	LED_CURRENT1_K									
0x0269	LED_MODE_E_K	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED						LED_MODE2_K	LED_MODE1_K			
0x026A	COUNTS_K	[15:8]	NUM_INT_K									0x0101	R/W
		[7:0]	NUM_REPEAT_K										
0x026B	PERIOD_K	[15:8]	RESERVED	RESERVED	MOD_TYPE_K		RESERVED		MIN_PERIOD_K[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_K[7:0]										
0x026C	LED_PULSE1_K	[15:8]	LED_WIDTH_K									0x0210	R/W
		[7:0]	LED_OFFSET_K										
0x026D	LED_PULSE2_K	[15:8]	RESERVED									0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_K										
0x026E	INTEG_WIDTH_K	[15:8]	SINGLE_INTEG_K	RESERVED		CH2_AMP_DISABLE_K		RESERVED		CH1_AMP_DISABLE_K[1]	0x0003	R/W	
		[7:0]	CH1_AMP_DISABLE_K[0]	ADC_COUNT_K		INTEG_WIDTH_K							
0x026F	INTEG_OFFSET_K	[15:8]	RESERVED				INTEG_OFFSET_K[7:3]				0x01A0	R/W	
		[7:0]	INTEG_OFFSET_K[2:0]			INTEG_FINE_OFFSET_K							

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x0270	MOD_PULSE_K	[15:8]	MOD_WIDTH_K								0x0001	R/W	
		[7:0]	MOD_OFFSET_K										
0x0271	PATTERN1_K	[15:8]	LED_DISABLE_K				MOD_DISABLE_K				0x0000	R/W	
		[7:0]	SUBTRACT_K				REVERSE_INTEG_K						
0x0273	ADC_OFF1_K	[15:8]	RESERVED		CH1_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_K[7:0]										
0x0274	ADC_OFF2_K	[15:8]	RESERVED		CH2_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_K[7:0]										
0x0275	DATA1_K	[15:8]	DARK_SHIFT_K				DARK_SIZE_K				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_K				SIGNAL_SIZE_K						
0x0276	DATA2_K	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LIT_SHIFT_K				LIT_SIZE_K						
0x0277	DECIMATE_K	[15:8]	RESERVED						DECIMATE_FACTOR_K[6:4]		0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_K[3:0]			RESERVED							
0x0278	DIGINT_LIT_K	[15:8]	RESERVED							LIT_OFFSET_K[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_K[7:0]										
0x0279	DIGINT_DARK_K	[15:8]	DARK2_OFFSET_K[8:1]								0x0086	R/W	
		[7:0]	DARK2_OFFSET_K[0]	DARK1_OFFSET_K									
0x0280	TS_CTRL_L	[15:8]	SUBSAMPLE_L	CH2_EN_L	SAMPLE_TYPE_L			RESERVE_D	TIMESLOT_OFFSET_L[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_L[7:0]										
0x0281	TS_PATH_L	[15:8]	PRE_WIDTH_L				AMBIENT_CANCELLATION_L		TS_GPIO_L	AFE_INT_CBUF_L		0x4020	R/W
		[7:0]	RESERVED		AFE_PATH_CFG_L								
0x0282	INPUTS_L	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	INP34_L				INP12_L						
0x0283	CATHODE_L	[15:8]	RESERVED	PRECON_L			VC2_PULSE_L		VC2_ALT_L		0x0000	R/W	
		[7:0]	VC2_SEL_L		VC1_PULSE_L		VC1_ALT_L		VC1_SEL_L				
0x0284	AFE_TRIM1_L	[15:8]	TIA_CEIL_DETECT_EN_L	CH2_TRIM_INT_L		CH1_TRIM_INT_L		VREF_PULSE_L	AFE_TRIM_VREF_L		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_L		TIA_GAIN_CH2_L			TIA_GAIN_CH1_L					
0x0285	AFE_TRIM2_L	[15:8]	RESERVED		CH2_TRIM_INT_CAP_L	CH1_TRIM_INT_CAP_L	RESERVED					0x0000	R/W
		[7:0]	RESERVED										
0x0286	AFE_DAC1_L	[15:8]	DAC_AMBIENT_CH1_L[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_L[0]	DAC_LED_DC_CH1_L									
0x0287	AFE_DAC2_L	[15:8]	DAC_AMBIENT_CH2_L[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_L[0]	DAC_LED_DC_CH2_L									

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x0288	LED_POW12_L	[15:8]	LED_DRIV ESIDE2_L	LED_CURRENT2_L								0x0000	R/W
		[7:0]	LED_DRIV ESIDE1_L	LED_CURRENT1_L									
0x0289	LED_MODE_L	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED							LED_MODE 2_L	LED_MODE 1_L		
0x028A	COUNTS_L	[15:8]	NUM_INT_L									0x0101	R/W
		[7:0]	NUM_REPEAT_L										
0x028B	PERIOD_L	[15:8]	RESERVED	RESERVED	MOD_TYPE_L	RESERVED			MIN_PERIOD_L[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_L[7:0]										
0x028C	LED_PULSE1_L	[15:8]	LED_WIDTH_L									0x0210	R/W
		[7:0]	LED_OFFSET_L										
0x028D	LED_PULSE2_L	[15:8]	RESERVED									0x0013	R/W
		[7:0]	LED_SECOND_OFFSET_L										
0x028E	INTEG_WIDTH_L	[15:8]	SINGLE_IN TEG_L	RESERVED		CH2_AMP_DISABLE_L		RESERVED		CH1_AMP_D ISABLE_L[1]	0x0003	R/W	
		[7:0]	CH1_AMP_ DISABLE_L [0]	ADC_COUNT_L		INTEG_WIDTH_L							
0x028F	INTEG_OFFSET_L	[15:8]	RESERVED			INTEG_OFFSET_L[7:3]					0x01A0	R/W	
		[7:0]	INTEG_OFFSET_L[2:0]			INTEG_FINE_OFFSET_L							
0x0290	MOD_PULSE_L	[15:8]	MOD_WIDTH_L									0x0001	R/W
		[7:0]	MOD_OFFSET_L										
0x0291	PATTERN1_L	[15:8]	LED_DISABLE_L				MOD_DISABLE_L				0x0000	R/W	
		[7:0]	SUBTRACT_L				REVERSE_INTEG_L						
0x0293	ADC_OFF1_L	[15:8]	RESERVED		CH1_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_L[7:0]										
0x0294	ADC_OFF2_L	[15:8]	RESERVED		CH2_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_L[7:0]										
0x0295	DATA1_L	[15:8]	DARK_SHIFT_L				DARK_SIZE_L				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_L				SIGNAL_SIZE_L						
0x0296	DATA2_L	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_L				LIT_SIZE_L						
0x0297	DECIMATE_L	[15:8]	RESERVED					DECIMATE_FACTOR_L[6:4]				0x0000	R/W
		[7:0]	DECIMATE_FACTOR_L[3:0]				RESERVED						
0x0298	DIGINT_LIT_L	[15:8]	RESERVED							LIT_OFFSET L[8]		0x0026	R/W
		[7:0]	LIT_OFFSET_L[7:0]										
0x0299	DIGINT_DARK_L	[15:8]	DARK2_OFFSET_L[8:1]									0x0086	R/W
		[7:0]	DARK2_OF FSET_L[0]	DARK1_OFFSET_L									

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x02A0	BIOZ_AFE CON_A	[15:8]	RESERVED				BIOZ_TIMESLOT_OFFSET_A[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_A[5:0]					BIOZ_TIAE N_A	BIOZ_DACR EFEN_A				
0x02A1	BIOZ_WGF CW_LOW_ A	[15:8]	BIOZ_SINEFCW_L_A[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_A[7:0]										
0x02A2	BIOZ_WGF CW_HI_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_A						
0x02A3	BIOZ_WGP HASE_LO W_A	[15:8]	BIOZ_SINE_PHASE_OFFSET_L_A[15:8]									0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_L_A[7:0]										
0x02A4	BIOZ_WGP HASE_HI_ A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINE_PHASE_OFFSET_H_A						
0x02A5	BIOZ_WGO FFSET_A	[15:8]	RESERVED				BIOZ_SINE_OFFSET_A[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_A[7:0]										
0x02A6	BIOZ_WGA MP LITUDE_A	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_A[10:8]			0x0600	R/W	
		[7:0]	BIOZ_SINEAMPLITUDE_A[7:0]										
0x02A7	BIOZ_DAC CON_A	[15:8]	RESERVED	BIOZ_EXB UFEN_A	BIOZ_DACBUFBW_A			BIOZ_BW25 0KEN_A	BIOZ_BW50 KEN_A	0x0120D	R/W		
		[7:0]	BIOZ_RATE_DIV_A										
0x02A8	BIOZ_DAC GAIN_A	[15:8]	RESERVED			BIOZ_DAC GAIN_EN_ A	BIOZ_DAC_GAIN_A[11:8]				0x1800	R/W	
		[7:0]	BIOZ_DAC_GAIN_A[7:0]										
0x02A9	BIOZ_DAC OFFSET_A	[15:8]	RESERVED			BIOZ_DAC OFFSET_E N_A	BIOZ_DAC_OFFSET_A[11:8]				0x1000	R/W	
		[7:0]	BIOZ_DAC_OFFSET_A[7:0]										
0x02AA	BIOZ_ANA CTRL1_A	[15:8]	BIOZ_TIA_RGAIN_A			BIOZ_TIA_CGAIN_A			BIOZ_RX_L P_MODE_A		0x2E3E	R/W	
		[7:0]	BIOZ_TIA_ LP_MODE_A	BIOZ_EX CBUF_LP MODE_A	BIOZ_CHOP_OFF_IN_A		BIOZ_AMP_OFF_A		BIOZ_PGA_ PD_A	BIOZ_DAC_ RCF_LOWB W_EN_A			
0x02AB	BIOZ_ANA CTRL2_A	[15:8]	RESERVED	BIOZ_CM _SW_A	BIOZ_NCHAN_A		BIOZ_PCHAN_A		BIOZ_TSW_A[3:2]		0x0000	R/W	
		[7:0]	BIOZ_TSW_A[1:0]		BIOZ_DSW_A				BIOZ_TRSW _A	BIOZ_DRSW _A			
0x02AC	BIOZ_ANA CTRL3_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED						BIOZ_RINT_SW_A				
0x02AD	BIOZ_ADC FILTERCO N_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED			BIOZ_AVRGNUM_A		BIOZ_AVRGE N_A	BIOZ_SINC 3BYP_A	BIOZ_SINC3OSR_A			
0x02AE	BIOZ_DFT CON_A	[15:8]	RESERVED									0x0009	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	RESERVED		BIOZ_WG_DFT_DIFF_PHASE_EN_A	BIOZ_HAN_NINGEN_A		BIOZ_DFTNUM_A					
0x02AF	BIOZ_ADC_CONV_DLY_A	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	RESERVED				BIOZ_ADC_CONV_DLY_A						
0x02B0	BIOZ_DFT_HASE_LO_W_A	[15:8]	BIOZ_DFT_PHASE_OFFSET_L_A[15:8]								0x0000	R/W	
		[7:0]	BIOZ_DFT_PHASE_OFFSET_L_A[7:0]										
0x02B1	BIOZ_DFT_HASE_HI_A	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	RESERVED			BIOZ_DFT_PHASE_OFFSET_H_A							
0x02C0	BIOZ_AFE_CON_B	[15:8]	RESERVED				BIOZ_TIMESLOT_OFFSET_B[9:6]				0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_B[5:0]					BIOZ_TIAE_N_B	BIOZ_DACR_EFEN_B				
0x02C1	BIOZ_WGF_CW_LOW_B	[15:8]	BIOZ_SINEFCW_L_B[15:8]								0x0000	R/W	
		[7:0]	BIOZ_SINEFCW_L_B[7:0]										
0x02C2	BIOZ_WGF_CW_HI_B	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	RESERVED			BIOZ_SINEFCW_H_B							
0x02C3	BIOZ_WGP_HASE_LO_W_B	[15:8]	BIOZ_SINE_PHASE_OFFSET_L_B[15:8]								0x0000	R/W	
		[7:0]	BIOZ_SINE_PHASE_OFFSET_L_B[7:0]										
0x02C4	BIOZ_WGP_HASE_HI_B	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	RESERVED			BIOZ_SINE_PHASE_OFFSET_H_B							
0x02C5	BIOZ_WGO_FFSET_B	[15:8]	RESERVED				BIOZ_SINE_OFFSET_B[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_B[7:0]										
0x02C6	BIOZ_WGA_MPLITUDE_B	[15:8]	RESERVED				BIOZ_SINEAMPLITUDE_B[10:8]				0x0600	R/W	
		[7:0]	BIOZ_SINEAMPLITUDE_B[7:0]										
0x02C7	BIOZ_DAC_CON_B	[15:8]	RESERVED		BIOZ_EXB_UFEN_B	BIOZ_DACBUFBW_B		BIOZ_BW250KEN_B	BIOZ_BW50KEN_B		0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_B										
0x02C8	BIOZ_DAC_GAIN_B	[15:8]	RESERVED			BIOZ_DAC_GAIN_EN_B	BIOZ_DAC_GAIN_B[11:8]					0x1800	R/W
		[7:0]	BIOZ_DAC_GAIN_B[7:0]										
0x02C9	BIOZ_DAC_OFFSET_B	[15:8]	RESERVED			BIOZ_DAC_OFFSET_E_N_B	BIOZ_DAC_OFFSET_B[11:8]					0x1000	R/W
		[7:0]	BIOZ_DAC_OFFSET_B[7:0]										
0x02CA	BIOZ_ANA_CTRL1_B	[15:8]	BIOZ_TIA_RGAIN_B			BIOZ_TIA_CGAIN_B				BIOZ_RX_LPMODE_B		0x2E3E	R/W
		[7:0]	BIOZ_TIA_LPMODE_B	BIOZ_EXCBUF_LP_MODE_B	BIOZ_CHOP_OFF_IN_B		BIOZ_AMP_OFF_B		BIOZ_PGA_PD_B	BIOZ_DAC_RCF_LOWBW_EN_B			

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x02CB	BIOZ_ANA_CTRL2_B	[15:8]	RESERVED	BIOZ_CM_SW_B	BIOZ_NCHAN_B		BIOZ_PCHAN_B		BIOZ_TSW_B[3:2]		0x0000	R/W		
		[7:0]	BIOZ_TSW_B[1:0]		BIOZ_DSW_B			BIOZ_TRSW_B	BIOZ_DRSW_B					
0x02CC	BIOZ_ANA_CTRL3_B	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	RESERVED						BIOZ_RINT_SW_B					
0x02CD	BIOZ_ADC_FILTERCON_B	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	RESERVED	BIOZ_AVRGNUM_B		BIOZ_AVRGE_N_B	BIOZ_SINC3BYP_B	BIOZ_SINC3OSR_B						
0x02CE	BIOZ_DFT_CON_B	[15:8]	RESERVED									0x0009	R/W	
		[7:0]	RESERVED	BIOZ_WG_DFT_DIFF_PHASE_EN_B	BIOZ_HAN_NINGEN_B	BIOZ_DFTNUM_B								
0x02CF	BIOZ_ADC_CONV_DLY_B	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	RESERVED						BIOZ_ADC_CONV_DLY_B					
0x02D0	BIOZ_DFTP_HASE_LO_W_B	[15:8]	BIOZ_DFT_PHASE_OFFSET_L_B[15:8]									0x0000	R/W	
		[7:0]	BIOZ_DFT_PHASE_OFFSET_L_B[7:0]											
0x02D1	BIOZ_DFTP_HASE_HI_B	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	RESERVED				BIOZ_DFT_PHASE_OFFSET_H_B							
0x02E0	BIOZ_AFE_CON_C	[15:8]	RESERVED				BIOZ_TIMESLOT_OFFSET_C[9:6]					0x0000	R/W	
		[7:0]	BIOZ_TIMESLOT_OFFSET_C[5:0]						BIOZ_TIAE_N_C	BIOZ_DACR_EFEN_C				
0x02E1	BIOZ_WGF_CW_LOW_C	[15:8]	BIOZ_SINEFCW_L_C[15:8]									0x0000	R/W	
		[7:0]	BIOZ_SINEFCW_L_C[7:0]											
0x02E2	BIOZ_WGF_CW_HI_C	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINEFCW_H_C							
0x02E3	BIOZ_WGP_HASE_LO_W_C	[15:8]	BIOZ_SINE_PHASE_OFFSET_L_C[15:8]									0x0000	R/W	
		[7:0]	BIOZ_SINE_PHASE_OFFSET_L_C[7:0]											
0x02E4	BIOZ_WGP_HASE_HI_C	[15:8]	RESERVED									0x0000	R/W	
		[7:0]	RESERVED				BIOZ_SINE_PHASE_OFFSET_H_C							
0x02E5	BIOZ_WGOFFSET_C	[15:8]	RESERVED				BIOZ_SINE_OFFSET_C[11:8]					0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_C[7:0]											
0x02E6	BIOZ_WGAMPLITUDE_C	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_C[10:8]					0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_C[7:0]											
0x02E7	BIOZ_DAC_CON_C	[15:8]	RESERVED	BIOZ_EXB_UFEN_C	BIOZ_DACBUF_BW_C			BIOZ_BW250KEN_C	BIOZ_BW50KEN_C	0x120D	R/W			
		[7:0]	BIOZ_RATE_DIV_C											

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x02E8	BIOZ_DAC_GAIN_C	[15:8]	RESERVED			BIOZ_DAC_GAIN_EN_C	BIOZ_DAC_GAIN_C[11:8]					0x1800	R/W	
		[7:0]	BIOZ_DAC_GAIN_C[7:0]											
0x02E9	BIOZ_DAC_OFFSET_C	[15:8]	RESERVED			BIOZ_DAC_OFFSET_EN_C	BIOZ_DAC_OFFSET_C[11:8]					0x1000	R/W	
		[7:0]	BIOZ_DAC_OFFSET_C[7:0]											
0x02EA	BIOZ_ANA_CTRL1_C	[15:8]	BIOZ_TIA_RGAIN_C			BIOZ_TIA_CGAIN_C			BIOZ_RX_LPMODE_C		0x2E3E	R/W		
		[7:0]	BIOZ_TIA_LPMODE_C	BIOZ_EXCBUF_LP_MODE_C	BIOZ_CHOP_OFF_IN_C		BIOZ_AMP_OFF_C		BIOZ_PGA_PD_C	BIOZ_DAC_RCF_LOWBW_EN_C				
0x02EB	BIOZ_ANA_CTRL2_C	[15:8]	RESERVED	BIOZ_CM_SW_C	BIOZ_NCHAN_C		BIOZ_PCHAN_C		BIOZ_TSW_C[3:2]		0x0000	R/W		
		[7:0]	BIOZ_TSW_C[1:0]		BIOZ_DSW_C			BIOZ_TRSW_C	BIOZ_DRSW_C					
0x02EC	BIOZ_ANA_CTRL3_C	[15:8]	RESERVED										0x0000	R/W
		[7:0]	RESERVED							BIOZ_RINT_SW_C				
0x02ED	BIOZ_ADC_FILTERCON_C	[15:8]	RESERVED										0x0000	R/W
		[7:0]	RESERVED		BIOZ_AVRGNUM_C		BIOZ_AVRGE_N_C	BIOZ_SINC3BYP_C	BIOZ_SINC3OSR_C					
0x02EE	BIOZ_DFTCON_C	[15:8]	RESERVED										0x0009	R/W
		[7:0]	RESERVED		BIOZ_WG_DFT_DIFF_PHASE_EN_C	BIOZ_HAN_NINGEN_C	BIOZ_DFTNUM_C							
0x02EF	BIOZ_ADC_CONV_DLY_C	[15:8]	RESERVED										0x0000	R/W
		[7:0]	RESERVED						BIOZ_ADC_CONV_DLY_C					
0x02F0	BIOZ_DFTP_HASE_LOW_C	[15:8]	BIOZ_DFT_PHASE_OFFSET_L_C[15:8]										0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_L_C[7:0]											
0x02F1	BIOZ_DFTP_HASE_HI_C	[15:8]	RESERVED										0x0000	R/W
		[7:0]	RESERVED					BIOZ_DFT_PHASE_OFFSET_H_C						
0x300	BIOZ_AFE_CON_D	[15:8]	RESERVED				BIOZ_TIMESLOT_OFFSET_D[9:6]						0x0000	R/W
		[7:0]	BIOZ_TIMESLOT_OFFSET_D[5:0]							BIOZ_TIAE_N_D	BIOZ_DACREFEN_D			
0x301	BIOZ_WGFCW_LOW_D	[15:8]	BIOZ_SINEFCW_L_D[15:8]										0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_D[7:0]											
0x302	BIOZ_WGFCW_HI_D	[15:8]	RESERVED										0x0000	R/W
		[7:0]	RESERVED					BIOZ_SINEFCW_H_D						
0x303	BIOZ_WGPHASE_LOW_D	[15:8]	BIOZ_SINE_PHASE_OFFSET_L_D[15:8]										0x0000	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	BIOZ_SINE_PHASE_OFFSET_L_D[7:0]										
0x304	BIOZ_WGPHASE_HI_D	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINE_PHASE_OFFSET_H_D						
0x305	BIOZ_WGFFSET_D	[15:8]	RESERVED				BIOZ_SINE_OFFSET_D[11:8]				0x0000	R/W	
		[7:0]	BIOZ_SINE_OFFSET_D[7:0]										
0x306	BIOZ_WGAMPLITUDE_D	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_D[10:8]				0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_D[7:0]										
0x307	BIOZ_DACCON_D	[15:8]	RESERVED	BIOZ_EXBUFEN_D	BIOZ_DACBUFBW_D			BIOZ_BW250KEN_D	BIOZ_BW50KEN_D		0x120D	R/W	
		[7:0]	BIOZ_RATE_DIV_D										
0x308	BIOZ_DACGAIN_D	[15:8]	RESERVED			BIOZ_DACGAIN_EN_D	BIOZ_DAC_GAIN_D[11:8]					0x1800	R/W
		[7:0]	BIOZ_DAC_GAIN_D[7:0]										
0x309	BIOZ_DACOFFSET_D	[15:8]	RESERVED			BIOZ_DACOFFSET_EN_D	BIOZ_DAC_OFFSET_D[11:8]					0x1000	R/W
		[7:0]	BIOZ_DAC_OFFSET_D[7:0]										
0x30A	BIOZ_ANA_CTRL1_D	[15:8]	BIOZ_TIA_RGAIN_D			BIOZ_TIA_CGAIN_D				BIOZ_RX_LPMODE_D		0x2E3E	R/W
		[7:0]	BIOZ_TIA_LPMODE_D	BIOZ_EXCBUF_LP_MODE_D	BIOZ_CHOP_OFF_IN_D		BIOZ_AMP_OFF_D		BIOZ_PGA_PD_D	BIOZ_DAC_RCF_LOWBW_EN_D			
0x030B	BIOZ_ANA_CTRL2_D	[15:8]	RESERVED	BIOZ_CM_SW_D	BIOZ_NCHAN_D		BIOZ_PCHAN_D		BIOZ_TSW_D[3:2]			0x0000	R/W
		[7:0]	BIOZ_TSW_D[1:0]		BIOZ_DSW_D				BIOZ_TRSW_D	BIOZ_DRSW_D			
0x030C	BIOZ_ANA_CTRL3_D	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED						BIOZ_RINT_SW_D				
0x030D	BIOZ_ADCFILTERCON_D	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED		BIOZ_AVRGNUM_D	BIOZ_AVRGEN_D	BIOZ_SINC3BYP_D	BIOZ_SINC3OSR_D					
0x030E	BIOZ_DFTCON_D	[15:8]	RESERVED									0x0009	R/W
		[7:0]	RESERVED		BIOZ_WG_DFT_DIFF_PHASE_EN_D	BIOZ_HAN_NINGEN_D	BIOZ_DFTNUM_D						
0x030F	BIOZ_ADC_CONV_DLY_D	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED					BIOZ_ADC_CONV_DLY_D					
0x0310	BIOZ_DFTP_HASE_LOW_D	[15:8]	BIOZ_DFT_PHASE_OFFSET_L_D[15:8]									0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_L_D[7:0]										
0x0311	BIOZ_DFTP_HASE_HI_D	[15:8]	RESERVED									0x0000	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x0320	BIOZ_AFE CON_E	[7:0]	RESERVED				BIOZ_DFT_PHASE_OFFSET_H_D				0x0000	R/W
		[15:8]	RESERVED				BIOZ_TIMESLOT_OFFSET_E[9:6]					
0x0321	BIOZ_WGF CW_LOW_ E	[7:0]	BIOZ_TIMESLOT_OFFSET_E[5:0]						BIOZ_TIAE N_E	BIOZ_DACR EFEN_E	0x0000	R/W
		[15:8]	BIOZ_SINEFCW_L_E[15:8]									
0x0322	BIOZ_WGF CW_HI_E	[7:0]	BIOZ_SINEFCW_L_E[7:0]							0x0000	R/W	
		[15:8]	RESERVED									
0x0323	BIOZ_WGP HASE_LO W_E	[7:0]	RESERVED							0x0000	R/W	
		[15:8]	BIOZ_SINE_PHASE_OFFSET_L_E[15:8]									
0x0324	BIOZ_WGP HASE_HI_E	[7:0]	BIOZ_SINE_PHASE_OFFSET_L_E[7:0]							0x0000	R/W	
		[15:8]	RESERVED									
0x0325	BIOZ_WGO FFSET_E	[7:0]	RESERVED				BIOZ_SINE_PHASE_OFFSET_H_E				0x0000	R/W
		[15:8]	RESERVED				BIOZ_SINE_OFFSET_E[11:8]					
0x0326	BIOZ_WGA MPLITUDE _E	[7:0]	BIOZ_SINE_OFFSET_E[7:0]						0x0600	R/W		
		[15:8]	RESERVED				BIOZ_SINEAMPLITUDE_E[10:8]					
0x0327	BIOZ_DAC CON_E	[7:0]	BIOZ_SINEAMPLITUDE_E[7:0]								0x120D	R/W
		[15:8]	RESERVED	BIOZ_EXB UFEN_E	BIOZ_DACBUFBW_E			BIOZ_BW25 0KEN_E	BIOZ_BW50 KEN_E			
0x0328	BIOZ_DAC GAIN_E	[7:0]	BIOZ_RATE_DIV_E								0x1800	R/W
		[15:8]	RESERVED			BIOZ_DAC GAIN_EN_ E	BIOZ_DAC_GAIN_E[11:8]					
0x0329	BIOZ_DAC OFFSET_E	[7:0]	BIOZ_DAC_GAIN_E[7:0]								0x1000	R/W
		[15:8]	RESERVED			BIOZ_DAC OFFSET_E N_E	BIOZ_DAC_OFFSET_E[11:8]					
0x032A	BIOZ_ANA CTRL1_E	[7:0]	BIOZ_DAC_OFFSET_E[7:0]								0x2E3E	R/W
		[15:8]	BIOZ_TIA_RGAIN_E			BIOZ_TIA_CGAIN_E				BIOZ_RX_L PMODE_E		
0x032B	BIOZ_ANA CTRL2_E	[7:0]	BIOZ_TIA_ LPMODE_E	BIOZ_EX CBUF_LP MODE_E	BIOZ_CHOP_OFF_IN_E		BIOZ_AMP_OFF_E		BIOZ_PGA_ PD_E	BIOZ_DAC_ RCF_LOWB W_EN_E	0x0000	R/W
		[15:8]	RESERVED	BIOZ_CM _SW_E	BIOZ_NCHAN_E		BIOZ_PCHAN_E		BIOZ_TSW_E[3:2]			
0x032C	BIOZ_ANA CTRL3_E	[7:0]	BIOZ_TSW_E[1:0]		BIOZ_DSW_E				BIOZ_TRSW _E	BIOZ_DRSW _E	0x0000	R/W
		[15:8]	RESERVED									
0x032D	BIOZ_ADC FILTERCO N_E	[7:0]	RESERVED								0x0000	R/W
		[15:8]	RESERVED	BIOZ_AVRGNUM_E		BIOZ_AVRGE N_E	BIOZ_SINC 3BYP_E	BIOZ_SINC3OSR_E				

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x032E	BIOZ_DFT CON_E	[15:8]	RESERVED								0x0009	R/W
		[7:0]	RESERVED		BIOZ_WG_ DFT_DIFF_ PHASE_EN _E	BIOZ_HAN NINGEN_E	BIOZ_DFTNUM_E					
0x032F	BIOZ_ADC _CONV_DL Y_E	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED					BIOZ_ADC_CONV_DLY_E				
0x0330	BIOZ_DFTP HASE_LO W_E	[15:8]	BIOZ_DFT_PHASE_OFFSET_L_E[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_L_E[7:0]									
0x0331	BIOZ_DFTP HASE_HI_E	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED				BIOZ_DFT_PHASE_OFFSET_H_E					
0x0340	BIOZ_AFE CON_F	[15:8]	RESERVED				BIOZ_TIMESLOT_OFFSET_F[9:6]				0x0000	R/W
		[7:0]	BIOZ_TIMESLOT_OFFSET_F[5:0]						BIOZ_TIAE N_F	BIOZ_DACR EFEN_F		
0x0341	BIOZ_WGF CW_LOW_ F	[15:8]	BIOZ_SINEFCW_L_F[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINEFCW_L_F[7:0]									
0x0342	BIOZ_WGF CW_HI_F	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINEFCW_H_F					
0x0343	BIOZ_WGP HASE_LO W_F	[15:8]	BIOZ_SINE_PHASE_OFFSET_L_F[15:8]								0x0000	R/W
		[7:0]	BIOZ_SINE_PHASE_OFFSET_L_F[7:0]									
0x0344	BIOZ_WGP HASE_HI_F	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED				BIOZ_SINE_PHASE_OFFSET_H_F					
0x0345	BIOZ_WGO FFSET_F	[15:8]	RESERVED				BIOZ_SINE_OFFSET_F[11:8]				0x0000	R/W
		[7:0]	BIOZ_SINE_OFFSET_F[7:0]									
0x0346	BIOZ_WGA MPLITUDE _F	[15:8]	RESERVED					BIOZ_SINEAMPLITUDE_F[10:8]			0x0600	R/W
		[7:0]	BIOZ_SINEAMPLITUDE_F[7:0]									
0x0347	BIOZ_DAC CON_F	[15:8]	RESERVED		BIOZ_EXB UFEN_F	BIOZ_DACBUF _{BW} _F			BIOZ_BW ₂₅ OKEN_F	BIOZ_BW ₅₀ KEN_F	0x120D	R/W
		[7:0]	BIOZ_RATE_DIV_F									
0x0348	BIOZ_DAC GAIN_F	[15:8]	RESERVED			BIOZ_DAC GAIN_EN_ F	BIOZ_DAC_GAIN_F[11:8]				0x1800	R/W
		[7:0]	BIOZ_DAC_GAIN_F[7:0]									
0x0349	BIOZ_DAC OFFSET_F	[15:8]	RESERVED			BIOZ_DAC OFFSET_E N_F	BIOZ_DAC_OFFSET_F[11:8]				0x1000	R/W
		[7:0]	BIOZ_DAC_OFFSET_F[7:0]									
0x034A	BIOZ_ANA _CTRL1_F	[15:8]	BIOZ_TIA_RGAIN_F			BIOZ_TIA_CGAIN_F				BIOZ_RX_L P_MODE_F	0x2E3E	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
		[7:0]	BIOZ_TIA_LPMODE_F	BIOZ_EX_CBUF_LP_MODE_F	BIOZ_CHOP_OFF_IN_F		BIOZ_AMP_OFF_F		BIOZ_PGA_PD_F	BIOZ_DAC_RCF_LOWBW_EN_F		
0x034B	BIOZ_ANA_CTRL2_F	[15:8]	RESERVED	BIOZ_CM_SW_F	BIOZ_NCHAN_F		BIOZ_PCHAN_F		BIOZ_TSW_F[3:2]		0x0000	R/W
		[7:0]	BIOZ_TSW_F[1:0]		BIOZ_DSW_F			BIOZ_TRSW_F	BIOZ_DRSW_F			
0x034C	BIOZ_ANA_CTRL3_F	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED					BIOZ_RINT_SW_F				
0x034D	BIOZ_ADC_FILTERCON_F	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED	BIOZ_AVRGNUM_F		BIOZ_AVRGEN_F	BIOZ_SINC3BYP_F	BIOZ_SINC3OSR_F				
0x034E	BIOZ_DFTCON_F	[15:8]	RESERVED								0x0009	R/W
		[7:0]	RESERVED	BIOZ_WGDFT_DIFF_PHASE_EN_F	BIOZ_HAN_NINGEN_F	BIOZ_DFTNUM_F						
0x034F	BIOZ_ADC_CONV_DLY_F	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED				BIOZ_ADC_CONV_DLY_F					
0x0350	BIOZ_DFTPHASE_LOW_F	[15:8]	BIOZ_DFT_PHASE_OFFSET_L_F[15:8]								0x0000	R/W
		[7:0]	BIOZ_DFT_PHASE_OFFSET_L_F[7:0]									
0x0351	BIOZ_DFTPHASE_HI_F	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED			BIOZ_DFT_PHASE_OFFSET_H_F						

レジスタの詳細

表 21. レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス	
0x0000	FIFO_STATUS	15	CLEAR_FIFO	FIFOをクリア。1を書き込むと、FIFOが動作していないときにFIFOを空にします。これにより、FIFO_BYTE_COUNTがリセットされ、また、INT_FIFO_OFLOW、INT_FIFO_UFLOW、およびINT_FIFO_THの各ステータス・ビットもクリアされます。FIFOのクリア後、FIFOを機能させるにはCLEAR_FIFOを0に設定する必要があります。	0x0	R0/W
		14	INT_FIFO_UFLOW	FIFOのアンダーフロー・エラー。FIFOが空のときに読み出すと、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。CLEAR_FIFOビットを使用してFIFOをクリアした場合も、このビットはクリアされます。	0x0	R/WIC
		13	INT_FIFO_OFLOW	FIFOのオーバーフロー・エラー。FIFOに空きスペースがないためにデータが書き込まれなかったとき、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。CLEAR_FIFOビットを使用してFIFOをクリアした場合も、このビットはクリアされます。	0x0	R/WIC
		12	INT_FIFO_TH	FIFO_TH割込みステータス。FIFO書き込み時にFIFO内のバイト数がFIFO_THレジスタの値を超えると、このビットがセットされます。このビットに1を書き込むと、この割込みはクリアされます。また、INT_ACLEAR_FIFOビットがセットされているときにFIFO_DATAレジスタが読み出されると、このビットは自動的にクリアされます。	0x0	R/WIC
		11	FIFO_INIT_DONE_STATUS	FIFOの初期化プロセスが終了。このビットはステータス・ビットであり、割込みのために送信されるものではないことに注意してください。このビットがセットされるのはFIFOの自己初期化プロセス後です。	0x0	R
		[10:0]	FIFO_BYTE_COUNT	FIFO内のバイト数。このフィールドは、FIFO内のバイト数を示します。	0x0	R
0x0004	ECG_STATUS	[15:8]	RESERVED	予備。	0x0	R
		7	ECG_ACLO_STATUS	ECG ACLOステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x1	R/WIC
		6	ECGIN_DCLO_HI_STATUS	ECGIN DCLO HIステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x1	R/WIC
		5	ECGIP_DCLO_HI_STATUS	ECGIP DCLO HIステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x1	R/WIC
		4	ECG_RLD_DCLO_HI_STATUS	ECG RLD DCLO HIステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x1	R/WIC
		3	ECG_RLD_DCLO_LO_STATUS	ECG RLD DCLO LOステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x1	R/WIC
		2	ECG_DCLO_STATUS	ECG DCLOステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x1	R/WIC
		1	ECG_PGA_SAT_STATUS	ECG PGA飽和ステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x0	R/WIC
		0	ECG_ADC_SAT_STATUS	ECG ADC飽和ステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x0	R/WIC
0x0005	GLOBAL_STATUS	[15:1]	RESERVED	予備。	0x0	R
		0	INVALID_CFG_STATUS	TIMESLOT_PERIOD_xが正しく設定されていないことを示すステータス・ビット。このビットに1を書き込むと、このステータスはクリアされます。	0x0	R/WIC
0x0006	FIFO_TH	[15:10]	RESERVED	予備。	0x0	R
		[9:0]	FIFO_TH	FIFO割込みを生成する閾値。このビットは、FIFO書き込み時にFIFO内のバイト数がこの値を超えると、FIFO割込みを生成します。	0x0	R/W
0x0007	INT_ACLEAR	15	INT_ACLEAR_FIFO	FIFO閾値割込みの自動クリア・イネーブル。このビットをセットすると、FIFOが読み出されるたびにFIFO_THビット割込みが自動的にクリアされます。	0x1	R/W
		[14:0]	RESERVED	予備。	0x0	R
0x0008	CHIP_ID	[15:8]	RESERVED	予備。	0x0	R
		[7:0]	CHIP_ID	チップID。	0xC4	R
0x0009	OSC32M	[15:8]	RESERVED	予備。	0x0	R
		[7:0]	OSC_32M_FREQ_ADJ	高周波発振器の周波数制御。最小周波数は0x00、最大周波数は0xFFです。	0x80	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス	
0x000A	15	OSC_32M_CAL_START	高周波発振器のキャリブレーション・サイクルを開始。このビットに1を書き込むと、高周波発振器のキャリブレーション・サイクルを開始します。1MHzの低周波発振器を使用している場合は低周波発振器の128サイクルの期間、32kHzの低周波発振器を使用している場合は低周波発振器の4サイクルの期間、32MHz発振器のサイクルをカウントします。 OSC_32M_CAL_COUNTビットにこのカウント数が更新されます。キャリブレーション・サイクルが完了すると、キャリブレーション回路がOSC_32M_CAL_STARTビットをクリアします。32kHzの低周波発振器を使用している場合は、シリコン・バージョン0が低周波発振器の32サイクルをカウントします。	0x0	R/W	
	[14:0]	OSC_32M_CAL_COUNT	高周波発振器のキャリブレーション・カウンタ。これらのビットには、最後に行われた高周波発振器のキャリブレーション・サイクル中に発生した32MHzサイクルのカウント数の合計が格納されます。	0x0	R	
0x000B	15	CAPTURE_TIME_STAMP	タイム・スタンプの取得をイネーブル。このビット・フィールドを使用して、タイム・スタンプ取得機能を有効にします。このビットがセットされている場合、タイム・スタンプ入力（デフォルトでGPIO0）の次の立上がりエッジでタイム・スタンプを取得します。タイム・スタンプが生成されるとこのビットはクリアされます。	0x0	R/W	
	[14:11]	RESERVED	予備。	0x0	R	
	10	OSC_CAL_ENABLE	クロック・キャリブレーション・クロッキングをイネーブル。このビットに1を書き込むと、低周波数および高周波数のキャリブレーション回路のクロッキングがイネーブルされます。	0x0	R/W	
	[9:0]	OSC_960K_FREQ_ADJ	低周波発振器の周波数制御。最小周波数は0x000、最大周波数は0x3FFです。	0x2B2	R/W	
0x000D	TS_FREQ	[15:0]	TIMESLOT_PERIOD_L	低周波発振器サイクルでのタイム・スロット周期の下位16ビット。タイム・スロット・レートは(タイマー・クロック周波数)/(TIMESLOT_PERIOD_x)です。960kHzのクロックを使用したときのデフォルト値は100Hzです。タイマー・クロックがGPIOからの外部ソースに設定されている場合、960kHzまたは32kHzのどちらであっても、TM_CLK_GPIO_SELは実際のクロック周波数に一致するよう設定する必要があります。	0x2580	R/W
0x000E	[15:7]	RESERVED	予備。	0x0	R	
	[6:0]	TIMESLOT_PERIOD_H	低周波発振器サイクルでのタイム・スロット周期の上位7ビット。タイム・スロット・レートは(タイマー・クロック周波数)/(TIMESLOT_PERIOD_x)です。960kHzのクロックを使用したときのデフォルト値は100Hzです。タイマー・クロックがGPIOからの外部ソースに設定されている場合、960kHzまたは32kHzのどちらであっても、TM_CLK_GPIO_SELは実際のクロック周波数に一致するよう設定する必要があります。	0x0	R/W	
0x000F	15	SW_RESET	ソフトウェア・リセット。ソフトウェア・リセットをアサートするには、このビットに1を書き込みます。これにより、チップはデフォルト値にリセットされ、すべてのAFE動作が停止します。ソフトウェア・リセットではSPI（またはオプションのI ² C）ポートはリセットされません。	0x0	R0/W	
	[14:11]	RESERVED	予備。	0x0	R	
	[10:8]	ALT_CLOCKS	外部クロックの選択。 000：内部クロックを使用 001：低周波発振器（960kHz）にGPIOを使用。タイマー・クロックもソースにこれを用います。 010：高周波発振器（32MHz）にGPIOを使用。 011：高周波発振器（32MHz）にGPIOを使用し、高周波発振器で低周波発振器（1MHz）を生成。ECGがイネーブルされている場合は、この機能を無効化する必要があります。 100：タイマー・クロック（32kHzまたは960kHz）にGPIOを使用。	0x0	R/W	

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス	
	[7:6]	ALT_CLK_GPIO	代替クロック用GPIOの選択。 00：代替クロックにGPIO0を使用。 01：代替クロックにGPIO1を使用。 10：代替クロックにGPIO2を使用。 11：予備。	0x0	R/W	
	[5:3]	RESERVED	予備。	0x0	R	
	2	TM_CLK_GPIO_SEL	低周波クロックを960kHz～32kHzの間で選択。ALT_CLOCKSが3'b100の場合は、このビットを使用する必要があります。 0：タイマー・クロックとしてGPIOから32kHzの外部ソースを使用。 1：低周波クロックとしてGPIOから960kHzの外部ソースを使用。	0x0	R/W	
	1	OSC_960K_EN	低周波発振器をイネーブル。このビットを使用して960kHzの低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンにしておく必要があります。	0x0	R/W	
	0	RESERVED	予備。	0x0	R	
0x0010	OPMODE	15	ECG_TIMESLOT_EN	ECGタイム・スロットのイネーブル制御。 0：ECGタイム・スロットをディスエーブル。 1：ECGタイム・スロットをイネーブル。	0x0	R/W
		[14:12]	BIOZ_TIMESLOT_EN	BIOZタイム・スロットのイネーブル制御。 000：BIOZタイム・スロットなし。 001：BIOZタイム・スロット・シーケンスAのみ。 010：BIOZタイム・スロット・シーケンスAB。 011：BIOZタイム・スロット・シーケンスABC。 100：BIOZタイム・スロット・シーケンスABCD。 101：BIOZタイム・スロット・シーケンスABCDE。 110：BIOZタイム・スロット・シーケンスABCDEF。 111：予備。	0x0	R/W
		[11:8]	PPG_TIMESLOT_EN	PPGタイム・スロットのイネーブル制御。 0000：PPGタイム・スロットなし。 0001：PPGタイム・スロット・シーケンスA。 0010：PPGタイム・スロット・シーケンスAB。 0011：PPGタイム・スロット・シーケンスABC。 0100：PPGタイム・スロット・シーケンスABCD。 0101：PPGタイム・スロット・シーケンスABCDE。 0110：PPGタイム・スロット・シーケンスABCDEF。 0111：PPGタイム・スロット・シーケンスABCDEF。 1000：PPGタイム・スロット・シーケンスABCDEFGH。 1001：PPGタイム・スロット・シーケンスABCDEFGHI。 1010：PPGタイム・スロット・シーケンスABCDEFGHIJ。 1011：PPGタイム・スロット・シーケンスABCDEFGHIJK。 1100：PPGタイム・スロット・シーケンスABCDEFGHIJKL。	0x0	R/W
		[7:3]	RESERVED	予備。	0x0	R
		[2:0]	OP_MODE	動作モードの選択。 000：スタンバイ。 001：選択したタイム・スロットで動作。	0x0	R/W
0x0011	STAMP_L	[15:0]	TIMESTAMP_COUNT_L	最後のタイム・スタンプ時のカウント。下位16ビット。	0x0	R
0x0012	STAMP_H	[15:0]	TIMESTAMP_COUNT_H	最後のタイム・スタンプ時のカウント。上位16ビット。	0x0	R
0x0013	STAMPDELTA	[15:0]	TIMESTAMP_SLOT_DELTA	カウントは次のタイム・スロットが開始されるまで保持されます。	0x0	R
0x0014	INT_ENABLE_XD	15	INTX_EN_FIFO_TH	INT_FIFO_TH割込みをイネーブル。このビットに1を書き込むと、Interrupt XでFIFO閾値ステータスの駆動をイネーブルします。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
	14	INTX_EN_FIFO_UFLOW	Interrupt XでINT_FIFO_UFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt XでFIFOアンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
	13	INTX_EN_FIFO_OFLOW	Interrupt XでINT_FIFO_OFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt XでFIFOオーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
	[12:0]	RESERVED	予備。	0x0	R
0x0015	15	INTY_EN_FIFO_TH	INT_FIFO_TH割込みをイネーブル。このビットに1を書き込むと、Interrupt YでFIFO閾値ステータスの駆動をイネーブルします。	0x0	R/W
	14	INTY_EN_FIFO_UFLOW	Interrupt YでINT_FIFO_UFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt YでFIFOアンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
	13	INTY_EN_FIFO_OFLOW	Interrupt YでINT_FIFO_OFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt YでFIFOオーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
	[12:0]	RESERVED	予備。	0x0	R
0x001E	[15:10]	RESERVED	予備。	0x0	R
	9	ENA_STAT_ECG	ECGステータス・バイトをイネーブル。	0x1	R/W
	8	ENA_STAT_TSX	チャンネル1およびチャンネル2のTIA割込みステータス・バイトの上位バイトをイネーブル。このバイトには、タイム・スロットIからタイム・スロットLまでのチャンネル1割込みおよびチャンネル2割込みの割込みステータスが格納されます。	0x0	R/W
	7	ENA_STAT_TS2	チャンネル2のTIA割込みステータス・バイトの下位バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのチャンネル2割込みの割込みステータスが格納されます。	0x0	R/W
	6	ENA_STAT_TS1	チャンネル1のTIA割込みステータス・バイトの下位バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのチャンネル1割込みの割込みステータスが格納されます。	0x0	R/W
	[5:0]	RESERVED	予備。	0x0	R
0x0020	[15:8]	RESERVED	予備。	0x0	R
	[7:4]	INP_SLEEP_34	入力ペアIN3およびIN4のスリープ状態。 0x0：どちらの入力もフロート状態。 0x1：フロート状態でIN3とIN4を短絡。PAIR34が1に設定されている場合のみ。 0x2：IN3とIN4をVC1に接続。PAIR34が1に設定されている場合は互いに短絡されます。 0x3：IN3とIN4をVC2に接続。PAIR34が1に設定されている場合は互いに短絡されます。 0x4：IN3をVC1に接続。IN4はフロート状態。 0x5：IN3をVC1に接続。IN4をVC2に接続。 0x6：IN3をVC1に接続。IN4はフロート状態。 0x7：IN3をVC2に接続。IN4をVC1に接続。 0x8：IN3はフロート状態。IN4をVC1に接続。 0x9：IN3はフロート状態。IN4をVC2に接続。	0x0	R/W
	[3:0]	INP_SLEEP_12	入力ペアIN1およびIN2のスリープ状態。 0x0：どちらの入力もフロート状態。 0x1：フロート状態でIN1とIN2を短絡。PAIR12が1に設定されている場合のみ。 0x2：IN1とIN2をVC1に接続。PAIR12が1に設定されている場合は互いに短絡されます。 0x3：IN1とIN2をVC2に接続。PAIR12が1に設定されている場合は互いに短絡されます。 0x4：IN1をVC1に接続。IN2はフロート状態。 0x5：IN1をVC1に接続。IN2をVC2に接続。 0x6：IN1をVC2に接続。IN2はフロート状態。 0x7：IN1をVC2に接続。IN2をVC1に接続。 0x8：IN1はフロート状態。IN2をVC1に接続。 0x9：IN1はフロート状態。IN2をVC2に接続。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス	
0x0021	INPUT_CFG	[15:8]	RESERVED	予備。	0x0	R
		[7:6]	VC2_SLEEP	VC2のスリープ状態。 00：スリープ期間中、VC2をAVDDに設定します。 01：スリープ期間中、VC2をGNDに設定します。 10：スリープ期間中、VC2をフロート状態にします。	0x0	R/W
		[5:4]	VC1_SLEEP	VC1のスリープ状態。 00：スリープ期間中、VC1をAVDDに設定します。 01：スリープ期間中、VC1をGNDに設定します。 10：スリープ期間中、VC1をフロート状態にします。	0x0	R/W
		[3:2]	RESERVED	予備。	0x0	R
		1	PAIR34	入力ペアの設定。 0：2個のシングルエンド入力として使用。 1：差動ペアとして使用。	0x0	R/W
		0	PAIR12	入力ペアの設定。 0：2個のシングルエンド入力として使用。 1：差動ペアとして使用。	0x0	R/W
0x0022	GPIO_CFG	[15:14]	GPIO_SLEW	GPIOxピンのスルー制御。 00：最も遅い。 01：遅い。 10：最も速い。 11：速い。	0x0	R/W
		[13:12]	GPIO_DRV	GPIOxピンの駆動制御。 00：中間。 01：弱い。 10：強い。 11：強い。	0x0	R/W
		[11:9]	RESERVED	予備。	0x0	R/W
		[8:6]	GPIO_PIN_CFG2	GPIO2ピンの設定。 000：ディセーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力-通常。 011：出力-反転。 100：プルダウンのみ-通常。 101：プルダウンのみ-反転。 110：プルアップのみ-通常。 111：プルアップのみ-反転。	0x0	R/W
		[5:3]	GPIO_PIN_CFG1	GPIO1ピンの設定。 000：ディセーブル（トライステート、入力バッファ・オフ）。 001：入力をイネーブル。 010：出力-通常。 011：出力-反転。 100：プルダウンのみ-通常。 101：プルダウンのみ-反転。 110：プルアップのみ-通常。 111：プルアップのみ-反転。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
	[2:0]	GPIO_PIN_CFG0	GPIO0ピンの設定。 000 : ディスエーブル (トライステート、入力バッファ・オフ)。 001 : 入力をイネーブル。 010 : 出力-通常。 011 : 出力-反転。 100 : プルダウンのみ-通常。 101 : プルダウンのみ-反転。 110 : プルアップのみ-通常。 111 : プルアップのみ-反転。	0x0	R/W
0x0023	[15:8]	GPIOOUT1	GPIO1出力信号の選択。 0x00 : 出力ロジック0。 0x01 : 出力ロジック1。 0x02 : Interrupt X。 0x03 : Interrupt Y。 0x08 : LED1xアンプをイネーブル。 0x09 : LED2xアンプをイネーブル。 0x0C : 任意のLEDアンプをイネーブル。 0x0F : 32MHz発振器を64分周した出力 (500kHz)。 0x10 : TS_GPIO_XビットとTS_GPIO_SLEEPビットで定義されたタイム・スロット固有の出力パターン。 0x16 : 低周波発振器の出力。 0x17 : 32MHz発振器の出力。 0x18 : 32MHz発振器を32分周した出力 (1MHz)。 0x20 : タイム・スロットAをアクティブ。 0x21 : タイム・スロットBをアクティブ。 0x22 : タイム・スロットCをアクティブ。 0x23 : タイム・スロットDをアクティブ。 0x24 : タイム・スロットEをアクティブ。 0x25 : タイム・スロットFをアクティブ。 0x26 : タイム・スロットGをアクティブ。 0x27 : タイム・スロットHをアクティブ。 0x28 : タイム・スロットIをアクティブ。 0x29 : タイム・スロットJをアクティブ。 0x2A : タイム・スロットKをアクティブ。 0x2B : タイム・スロットLをアクティブ。 0x31 : タイム・スロットAのLEDパルス。 0x32 : タイム・スロットBのLEDパルス。 0x33 : タイム・スロットCのLEDパルス。 0x34 : タイム・スロットDのLEDパルス。 0x35 : タイム・スロットEのLEDパルス。 0x36 : タイム・スロットFのLEDパルス。 0x37 : タイム・スロットGのLEDパルス。 0x38 : タイム・スロットHのLEDパルス。 0x39 : タイム・スロットIのLEDパルス。 0x3A : タイム・スロットJのLEDパルス。 0x3B : タイム・スロットKのLEDパルス。 0x3C : タイム・スロットLのLEDパルス。 0x3F : タイム・スロットxのLEDパルス。 0x40 : タイム・スロットAの変調パルス。 0x41 : タイム・スロットBの変調パルス。 0x42 : タイム・スロットCの変調パルス。 0x43 : タイム・スロットDの変調パルス。 0x44 : タイム・スロットEの変調パルス。 0x45 : タイム・スロットFの変調パルス。 0x46 : タイム・スロットGの変調パルス。 0x47 : タイム・スロットHの変調パルス。 0x48 : タイム・スロットIの変調パルス。 0x49 : タイム・スロットJの変調パルス。 0x4A : タイム・スロットKの変調パルス。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
			0x4B : タイム・スロットLの変調パルス。 0x4F : タイム・スロットxの変調パルス。 0x50 : タイム・スロットAで発生したデータ・サイクルを出力。 0x51 : タイム・スロットBで発生したデータ・サイクルを出力。 0x52 : タイム・スロットCで発生したデータ・サイクルを出力。 0x53 : タイム・スロットDで発生したデータ・サイクルを出力。 0x54 : タイム・スロットEで発生したデータ・サイクルを出力。 0x55 : タイム・スロットFで発生したデータ・サイクルを出力。 0x56 : タイム・スロットGで発生したデータ・サイクルを出力。 0x57 : タイム・スロットHで発生したデータ・サイクルを出力。 0x58 : タイム・スロットIで発生したデータ・サイクルを出力。 0x59 : タイム・スロットJで発生したデータ・サイクルを出力。 0x5A : タイム・スロットKで発生したデータ・サイクルを出力。 0x5B : タイム・スロットLで発生したデータ・サイクルを出力。 0x5F : 任意のタイム・スロットで発生したデータ・サイクルを出力。		
	[7:0]	GPIOOUT0	GPIO0出力信号の選択。出力の選択肢はGPIOOUT1で説明した内容と同じです。	0x0	R/W
0x0024	[15:8]	RESERVED	予備。	0x0	R/W
	[7:0]	GPIOOUT2	GPIO2出力信号の選択。出力の選択肢はGPIOOUT1で説明した内容と同じです。	0x0	R/W
0x0025	[15:4]	RESERVED	予備。	0x0	R
	[3:0]	GPIO_INPUT	GPIO入力値 (イネーブルの場合)。	0x0	R
0x0026	[15:9]	RESERVED	予備。	0x0	R
	8	GOUT_SLEEP	タイム・スロット固有GPIO信号のスリープ値。	0x0	R/W
	7	TIMESTAMP_IN V	タイム・スタンプ・トリガの反転。 0 : タイム・スタンプ・トリガは立上がりエッジ。 1 : タイム・スタンプ・トリガは立下がりエッジ。	0x0	R/W
	6	TIMESTAMP_AL WAYS_EN	タイム・スタンプを常にオン。このビットがセットされている場合、TIMESTAMP_CAPTUREは自動的にクリアされません。このビットによって、タイム・スタンプは常にアクティブになります。	0x0	R/W
	[5:4]	TIMESTAMP_GPI O	タイム・スタンプに使用するGPIOの選択。 00 : タイム・スタンプにGPIO0を使用 (デフォルト)。 01 : タイム・スタンプにGPIO1を使用。 10 : タイム・スタンプにGPIO2を使用。	0x0	R/W
	3	RESERVED	予備。	0x0	R
	2	EXT_SYNC_EN	外部同期をイネーブル。イネーブルされた場合、時間カウンタではなく、EXT_SYNC_GPIOで選択したGPIOを使用してサンプルをトリガします。	0x0	R/W
	[1:0]	EXT_SYNC_GPIO	外部同期GPIOの選択。 00 : 外部同期にGPIO0を使用 (デフォルト)。 01 : 外部同期にGPIO1を使用。 10 : 外部同期にGPIO2を使用。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
0x002F	[15:0]	FIFO_DATA	FIFOデータ・ポート。	0x0	R
0x0046	[15:14]	RESERVED	予備。	0x0	R
	13	ECG_ADC_CTRL	1を書き込む必要があります。	0x1	R/W
	[12:3]	RESERVED	予備。	0x0	R
	2	PPG_ADC_CTRL1	1を書き込む必要があります。	0x1	R/W
	[1:0]	PPG_ADC_CTRL2	PPGのイネーブル時に0x0に設定すると周辺光除去性能が向上します。	0x3	R/W
0x004C	[15]	RESERVED	予備。	0x0	R
	14	TIA_DETECT_CTRL	1を書き込む必要があります。	0x1	R/W
	[13:4]	RESERVED	予備。	0x0	R
	[3:0]	GLOBAL_BIAS_TRIM	0xBに設定するとグローバル電流バイアスを低減できます。	0x0	R/W
0x0057	[15:7]	RESERVED	予備。	0x0	R
	6	LOW_IOVDD_EN	3V以上のIOVDDを使用する場合は0x0に設定します。IOVDDの代表値は1.8Vであるため、デフォルト値の0x1は3V未満のIOVDDで使います。	0x1	R/W
	[5:4]	RESERVED	予備。	0x1	R/W
	[3:2]	SPI_SLEW	SPIピンのスルー制御。 00：最も遅い。 01：遅い。 10：最も速い。 11：速い。	0x0	R/W
	[1:0]	SPI_DRV	SPIピンの駆動制御。 00：中間。 01：弱い。 10：強い。 11：強い。	0x0	R/W
0x005B	[15:12]	RESERVED	予備。	0x0	R
	[11:10]	TIA_DETECT_CTRL	PPGのイネーブル時に0x3に設定すると周辺光除去性能が向上します。	0x0	R/W
	[9:7]	RESERVED	予備。	0x0	R
	[6:0]	TIA_MODE	0x20を書き込む必要があります。	0x20	R/W
0x0074	[15:11]	RESERVED	予備。	0x0	R
	[10:0]	ECG_ACLO_LPF_COEF	ECGをイネーブルする場合は、0x28に設定します。	0x50	R/W
0x0077	[15:9]	RESERVED	予備。	0x0	R
	8	ECG_PGA_CTRL	ECGのイネーブル時に0x1に設定すると電力の最適化ができます。	0x0	R/W
	[7:0]	RESERVED	予備。	0x0	R
0x0078	15	ECG_INPUT_BUF_EN	ECG入力バッファをイネーブルする場合には、0x1に設定します。	0x0	R/W
	[14:12]	RESERVED	予備。	0x0	R
	11	ECG_INPUT_BUF_CTRL	ECG入力バッファをイネーブルする場合は、0x1に設定します。	0x0	R/W
	[10:0]	RESERVED	予備。	0x0	R
0x0100	[15:11]	RESERVED	予備。	0x0	R
	10	ECG_INP_CONNECT	ECG入力接続。ECG入力を接続するには1に設定します。	0x1	R/W
	9	ECG_SHORT	ECG短絡スイッチ。ECG_SHORTビットを1に設定すると、ECGの入力が内部で短絡されます。この機能はECGのノイズ測定に使用できます。	0x0	R/W
	8	ECG_CHANNEL_RESOLUTION	ECGチャンネルの分解能を選択。 0：288 nV/LSB。	0x0	R

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
			1 : 576 nV/LSB		
	7	RESERVED	予備。	0x0	R
	6	ECG_RLD_OUT_DISCONNECT	テスト・モード用にRLD出力を切断。	0x0	R/W
	[5:4]	ECG_RLD_OUT_SEL	RLD出力を選択。 00 : AGND。 01 : AVDD3 10 : AVDD3/2。 11 : レギュレーションされた共通モード入力。	0x3	R/W
	3	ECG_RLD_SAT_EN	RLDピンのDCリード・オフをイネーブル。 0 : RLDのDCリード・オフをディスエーブル。 1 : RLDのDCリード・オフをイネーブル。	0x0	R/W
	[2:1]	ECG_RLD_SAT_THRESHOLD	RLDのDCリード・オフ閾値の選択。 00 : 上限閾値 = AVDD3 - 0.1V、下限閾値 = 0.1V。 01 : 上限閾値 = AVDD3 - 0.2V、下限閾値 = 0.2V。 10 : 上限閾値 = AVDD3 - 0.3V、下限閾値 = 0.3V。 11 : 上限閾値 = AVDD3 - 0.4V、下限閾値 = 0.4V。	0x0	R/W
	0	ECG_RLD_EN	RLD回路をイネーブル。	0x0	R/W
0x0101	15	ECG_ACLO_EN	ECG入力のACリード・オフ検出器をイネーブル。	0x0	R/W
	[14:12]	ECG_ACLO_MARG	ACリード・オフ励起電流の大きさ。 000 : 0nA。 001 : 10nA。 010 : 20nA。 011 : 30nA。 100 : 40nA。 101 : 50nA。 110 : 60nA。 111 : 70nA。	0x0	R/W
	[11:9]	ECG_ACLO_THRESHOLD	ECG入力のACリード・オフ閾値の選択。	0x0	R/W
	8	ECG_DCLO_EN	ECG入力のDCリード・オフ検出器をイネーブル。	0x0	R/W
	[7:4]	ECG_DCLO_MARG	DCリード・オフ励起電流の大きさ。 0000 : 0nA。 0001 : 予備。 0010 : 予備。 0011 : 予備。 0100 : 予備。 0101 : 予備。 0110 : 予備。 0111 : 予備。 1000 : 2nA。 1001 : 4nA。 1010 : 6nA。 1011 : 8nA。 1100 : 10nA。 1101 : 12nA。 1110 : 14nA。 1111 : 16nA。	0x0	R/W
	3	ECG_DCLO_POLARITY_IN	ECGINでのDCリード・オフ出力電流の極性 0 : シンク電流。 1 : ソース電流。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス	
	2	ECG_DCLO_POLARITY_IP	ECGIPでのDCリード・オフ出力電流の極性 0 : シンク電流。 1 : ソース電流。	0x1	R/W	
	[1:0]	ECG_DCLO_THRESHOLD	ECG入力のDCリード・オフ閾値の選択。 00 : 上限閾値 = AVDD3 - 0.1V。 01 : 上限閾値 = AVDD3 - 0.2V。 10 : 上限閾値 = AVDD3 - 0.3V。 11 : 上限閾値 = AVDD3 - 0.4V。	0x0	R/W	
0x0102	[15:9]	RESERVED	予備。	0x0	R	
	[8:3]	ECG_OVERSAMPLING_RATIO	このフィールドは、内部低周波発振器を用いる場合は、比 = ECG_ODR_SEL/(960 kHz/TIMESLOT_PERIOD_x)、外部トリガを用いる場合は、比 = ECG_ODR_SEL/(外部同期レート)となるよう設定する必要があります。結果は最も近い整数に切り上げられます。	0x3	R/W	
	[2:0]	ECG_ODR_SEL	ECG ODR。 000 : 250Ω。 001 : 500Ω。 010 : 1kΩ。 011 : 2kΩ。 100 : 4kΩ。	0x0	R/W	
0x0103	[15:6]	RESERVED	予備。	0x0	R	
	5	ECG_ACLO_INV	ACLO信号の極性は反転可能です。これを使用してチャンネルの信号を1つおきに反転させることができます。セットした (1) 場合ACLOは反転し、クリアした (0) 場合はACLOは反転しません。	0x0	R/W	
	4	ECG_BYPASS_EQLZR	ECG後処理パスのエコライザ・フィルタをバイパス。	0x0	R/W	
	[3:0]	ECG_CAL_GAIN	ECGのキャリブレーション済みゲイン。 0000 : 1.0000。 0001 : 1.0039。 0010 : 1.0078。 0011 : 1.0117。 0100 : 1.0156。 0101 : 1.0195。 0110 : 1.0234。 0111 : 1.0273。 1000 : 0.9688。 1001 : 0.9727。 1010 : 0.9766。 1011 : 0.9805。 1100 : 0.9844。 1101 : 0.9883。 1110 : 0.9922。 1111 : 0.9961。	0x0	R/W	
0x0120	TS_CTRL_A	15	SUBSAMPLE_x	DECIMATE_FACTOR_xを使用したサブサンプリング。このビットがセットされている場合は、タイム・スロットを、タイム・スロット・シーケンス (DECIMATE_FACTOR_X + 1) 回ごとに1回だけ実行します。このサブサンプリングは、同じデシメーション・ファクタを用いて他のタイム・スロットに揃えることができます。サブサンプリングによりDECIMATE_FACTOR_x回のスキップが行われ、その後そのタイム・スロットが実行されます。	0x0	R/W
0x0140 0x0160 0x0180	TS_CTRL_B TS_CTRL_C TS_CTRL_D	14	CH2_EN_x	チャンネル2イネーブル。 0 : チャンネル2をディスエーブル。 1 : チャンネル2をイネーブル。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
0x01A0	[13:11]	SAMPLE_TYPE_x	タイム・スロットのサンプリング・タイプ。 000 : 通常のサンプリング・モード。 001 : 2相の通常サンプリング・モード。 010 : 1領域のデジタル積分モード。 011 : 2領域のデジタル積分モード。 100 : 予備 101 : 予備。 110 : 予備。 111 : 予備。	0x0	R/W
0x01C0					
0x01E0					
0x0200					
0x0220					
0x0240					
0x0260					
0x0280	10	RESERVED	予備	0x0	R/W
	[9:0]	TIMESLOT_OFFS ET_x	64 × 960kHzまたは64 × (外部960kHz)サイクルでのタイム・スロットXのオフセット。	0x0	R/W
0x0121	[15:12]	PRE_WIDTH_x	このタイム・スロットのプリコンディショニング期間。この値は2μs刻みで設定します。値を0にするとプリコンディショニング状態をスキップします。	0x4	R/W
0x0141	[11:10]	AMBIENT_CANC ELLATION_x	周辺光キャンセルDACの制御タイプを選択。 00 : 周辺光キャンセル・ループをディスエーブル。 01 : 粗調整と微調整ループをイネーブル。 10 : 粗調整ループのみをイネーブル。 11 : MCU制御をイネーブル。	0x0	R/W
0x0161					
0x0181					
0x01A1					
0x01C1	9	TS_GPIO_x	このタイム・スロットのタイム・スロット固有GPIO。	0x0	R/W
0x01E1	8	AFE_INT_C_BUF _x	積分器をバッファに変換。	0x0	R/W
0x0201	7	RESERVED	予備。	0x0	R
0x0221	[6:0]	AFE_PATH_CFG_ x	バイパスおよび入力マルチプレクサの選択。積分器は、アクティブなタイム・スロットのモードおよびAFE_INT_C_BUFに基づいて、積分器またはバッファのいずれかになります。 0x20 : TIA、積分器/バッファ、およびADC (2 × TIA構成)。 0x28 : TIA、バッファ、およびADC (1 × TIA構成)。 0x31 : TIA、積分器、およびADC (1 × TIA構成)。 0x35 : 積分器およびADC。 0x41 : ADC。	0x20	R/W
0x0241					
0x0261	TS_PATH_K				
0x0281	TS_PATH_L				
0x0122	[15:8]	RESERVED	予備。	0x0	R
0x0142	[7:4]	INP34_x	IN3とIN4の入力ペアのイネーブル。 0000 : 入力ペアをディスエーブル。IN3とIN4はどちらも接続されません。 0001 : IN3はチャンネル1に接続。IN4は接続されません。 0010 : IN3はチャンネル2に接続。IN4は接続されません。 0011 : IN4はチャンネル1に接続。IN3は接続されません。 0100 : IN4はチャンネル2に接続。IN3は接続されません。 0101 : IN3はチャンネル1に接続。IN4はチャンネル2に接続。 0110 : IN4はチャンネル1に接続。IN3はチャンネル2に接続。 0111 : IN3とIN4はチャンネル1に接続。シングルエンド入力か差動入力かはPAIR34に基づいて決定します。チャンネル2には何も接続されません。 1000 : IN3とIN4はチャンネル2に接続。シングルエンド入力か差動入力かはPAIR34に基づいて決定します。	0x0	R/W
0x0162					
0x0182					
0x01A2					
0x01C2					
0x01E2					
0x0202					
0x0222					
0x0242					
0x0262					
0x0282					

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス	
			1000 : IN1とIN2はチャンネル2に接続。シングルエンド入力か差動入力かはPAIR12に基づいて決定します。			
0x0123	15	RESERVED	予備。	0x0	R	
0x0143	[14:12]	PRECON_x	このタイム・スロットでイネーブルされた入力のプリコンディショニング値。 000 : 入力フロート状態。 001 : VC1にプリコンディショニング。 010 : VC2にプリコンディショニング。 011 : V _{ICM} にプリコンディショニング。 100 : TIA入力を使用してプリコンディショニング。 101 : TIA_V _{REF} を使用してプリコンディショニング。 110 : 短絡している差動ペアによってプリコンディショニング。	0x0	R/W	
0x0163			CATHODE_C			
0x0183			CATHODE_D			
0x01A3			CATHODE_E			
0x01C3			CATHODE_F			
0x01E3			CATHODE_G			
0x0203			CATHODE_H			
0x0223			CATHODE_I			
0x0243			CATHODE_J			
0x0263			CATHODE_K			
0x0283			CATHODE_L			
	[11:10]	VC2_PULSE_x	VC2パルスの制御。 00 : パルスなし。 01 : 奇数/偶数のタイム・スロットを切替え。 10 : 変調パルスを使用してオルタネート値にパルスを出力。 11 : VC2はフロート状態のまま。	0x0	R/W	
	[9:8]	VC2_ALT_x	このタイム・スロットにおけるVC2のオルタネート・パルス・ステート。 00 : AVDD。 01 : TIA_V _{REF0} 。 10 : TIA_V _{REF} + 215mV (V _{DELTA})。 11 : GND。	0x0	R/W	
	[7:6]	VC2_SEL_x	このタイム・スロットにおけるVC2のアクティブ・ステート。 00 : AVDD。 01 : TIA_V _{REF0} 。 10 : V _{DELTA0} 。 11 : GND。	0x0	R/W	
	[5:4]	VC1_PULSE_x	VC1パルスの制御。 00 : パルスなし。 01 : 奇数/偶数のタイム・スロットを切替え。 10 : 変調パルスを使用してオルタネート値にパルスを出力。 11 : VC1はフロート状態のまま。	0x0	R/W	
	[3:2]	VC1_ALT_x	タイム・スロットxにおけるVC1のオルタネート・パルス・ステート。 00 : AVDD。 01 : TIA_V _{REF0} 。 10 : V _{DELTA0} 。 11 : GND。	0x0	R/W	
	[1:0]	VC1_SEL_x	タイム・スロットxにおけるVC1のアクティブ・ステート。 00 : AVDD。 01 : TIA_V _{REF0} 。 10 : V _{DELTA0} 。 11 : GND。	0x0	R/W	
0x0124	15	TIA_CEIL_DETE CT_EN_x	TIA飽和検出をイネーブル。1に設定すると、TIAの飽和検出回路をイネーブルします。チャンネル1のTIA飽和検出回路と共に、チャンネル2がイネーブルされている場合はチャンネル2のTIA飽和検出回路もイネーブルされます。	0x0	R/W	

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
0x0144 0x0164 0x0184 0x01A4 0x01C4 0x01E4 0x0204 0x0224 0x0244 0x0264 0x0284	[14:13]	CH2_TRIM_INT_x	チャンネル2の積分器の抵抗またはバッファ・ゲイン。 00 : $R_{IN} = 400k\Omega$ またはバッファ・ゲイン = 1 ($R_F/R_{IN} = 200k\Omega/200k\Omega$)。 01 : $R_{IN} = 200k\Omega$ またはバッファ・ゲイン = 2 ($R_F/R_{IN} = 200k\Omega/100k\Omega$)。 10 : $R_{IN} = 100k\Omega$ またはバッファ・ゲイン = 1 ($R_F/R_{IN} = 100k\Omega/100k\Omega$)。 11 : $R_{IN} = 50k\Omega$ またはバッファ・ゲイン = 2 ($R_F/R_{IN} = 100k\Omega/50k\Omega$)。	0x0	R/W
	[12:11]	CH1_TRIM_INT_x	チャンネル1の積分器の抵抗またはバッファ・ゲイン。 00 : $R_{IN} = 400k\Omega$ またはバッファ・ゲイン = 1 ($R_F/R_{IN} = 200k\Omega/200k\Omega$)。 01 : $R_{IN} = 200k\Omega$ またはバッファ・ゲイン = 2 ($R_F/R_{IN} = 200k\Omega/100k\Omega$)。 10 : $R_{IN} = 100k\Omega$ またはバッファ・ゲイン = 1 ($R_F/R_{IN} = 100k\Omega/100k\Omega$)。 11 : $R_{IN} = 50k\Omega$ またはバッファ・ゲイン = 2 ($R_F/R_{IN} = 100k\Omega/50k\Omega$)。	0x0	R/W
	10	VREF_PULSE_x	TIA_VREFのパルス制御。 0 : パルスなし。 1 : TIA_VREFに変調パルスをベースにしたパルスを印加。	0x0	R/W
	[9:8]	AFE_TRIM_VREF_x	リファレンス・バッファの電圧調整。 00 : TIA_VREF = 0.8855V、 P_D 逆バイアス = 600mV。 01 : TIA_VREF = 0.8855V、 P_D 逆バイアス = 400mV 10 : TIA_VREF = 0.8855V、 P_D 逆バイアス = 200mV 11 : TIA_VREF = 1.265V、 P_D 逆バイアス = 200mV	0x2	R/W
	[7:6]	VREF_PULSE_VAL_x	TIA_VREFパルスのオルタネート値。 00 : TIA_VREF = 0.8855Vに変調、 P_D 逆バイアス = 600mV。 01 : TIA_VREF = 0.8855Vに変調、 P_D 逆バイアス = 400mV。 10 : TIA_VREF = 0.8855Vに変調、 P_D 逆バイアス = 200mV。 11 : TIA_VREF = 1.265Vに変調、 P_D 逆バイアス = 200mV。	0x3	R/W
	[5:3]	TIA_GAIN_CH2_x	チャンネル2のTIA抵抗のゲイン設定 000 : 400k Ω 。 001 : 200k Ω 。 010 : 100k Ω 。 011 : 50k Ω 。 100 : 25k Ω 。 101 : 12.5k Ω 。	0x1	R/W
	[2:0]	TIA_GAIN_CH1_x	チャンネル1のTIA抵抗のゲイン設定 000 : 400k Ω 。 001 : 200k Ω 。 010 : 100k Ω 。 011 : 50k Ω 。 100 : 25k Ω 。 101 : 12.5k Ω 。	0x1	R/W
0x0125 0x0145 0x0165 0x0185 0x01A5 0x01C5 0x01E5 0x0205 0x0225 0x0245 0x0265 0x0285	[15:14]	RESERVED	予備。	0x0	R
	13	CH2_TRIM_INT_CAP_x	チャンネル2の積分器のコンデンサ。 0 : 6.3pF。 1 : 12.6pF。	0x0	R/W
	12	CH1_TRIM_INT_CAP_x	チャンネル1の積分器のコンデンサ。 0 : 6.3pF。 1 : 12.6pF。	0x0	R/W
	[11:0]	RESERVED	予備。	0x0	R

レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x0126	AFE_DAC1_A	[15:7]	DAC_AMBIENT_CH1_x	チャンネル1の周辺光キャンセルDACコード。0 μ A \sim 300 μ Aの範囲で0.6 μ A/LSB刻み。	0x0	R/W
0x0146	AFE_DAC1_B	[6:0]	DAC_LED_DC_C H1_x	チャンネル1のLED DCオフセット・キャンセルDACコード。0 μ A \sim 190 μ Aの範囲で1.5 μ A/LSB刻み。0に設定するとディスプレイされます。	0x0	R/W
0x0166	AFE_DAC1_C					
0x0186	AFE_DAC1_D					
0x01A6	AFE_DAC1_E					
0x01C6	AFE_DAC1_F					
0x01E6	AFE_DAC1_G					
0x0206	AFE_DAC1_H					
0x0226	AFE_DAC1_I					
0x0246	AFE_DAC1_J					
0x0266	AFE_DAC1_K					
0x0286	AFE_DAC1_L					
0x0127	AFE_DAC2_A	[15:7]	DAC_AMBIENT_CH2_x	チャンネル2の周辺光キャンセルDACコード。0 μ A \sim 300 μ Aの範囲で0.6 μ A/LSB刻み。	0x0	R/W
0x0147	AFE_DAC2_B	[6:0]	DAC_LED_DC_C H2_x	チャンネル2のLED DCオフセット・キャンセルDACコード。0 μ A \sim 190 μ Aの範囲で1.5 μ A/LSB刻み。0に設定するとディスプレイされます。	0x0	R/W
0x0167	AFE_DAC2_C					
0x0187	AFE_DAC2_D					
0x01A7	AFE_DAC2_E					
0x01C7	AFE_DAC2_F					
0x01E7	AFE_DAC2_G					
0x0207	AFE_DAC2_H					
0x0227	AFE_DAC2_I					
0x0247	AFE_DAC2_J					
0x0267	AFE_DAC2_L					
0x0287	AFE_DAC2_L					
0x0128	LED_POW12_A	15	LED_DRIVESIDE 2_x	LED出力LED2xの選択。 0：出力LED2AのLEDを駆動。 1：出力LED2BのLEDを駆動。	0x0	R/W
0x0148	LED_POW12_B					
0x0168	LED_POW12_C					
0x0188	LED_POW12_D	[14:8]	LED_CURRENT2_x	出力LED2AまたはLED2BのLED電流の設定値。0に設定するとディスプレイされます。出力電流は、0x01 \sim 0x7Fの範囲で設定することにより、1.57mAから200mAまで単調増加で変化します。	0x0	R/W
0x01A8	LED_POW12_E	7	LED_DRIVESIDE 1_x	LED出力LED1xの選択。 0：出力LED1AのLEDを駆動。 1：出力LED2BのLEDを駆動。	0x0	R/W
0x01C8	LED_POW12_F					
0x01E8	LED_POW12_G					
0x0208	LED_POW12_H	[6:0]	LED_CURRENT1_x	出力LED1AまたはLED1BのLED電流の設定値。0に設定するとディスプレイされます。出力電流は、0x01 \sim 0x7Fの範囲で設定することにより、1.57mAから200mAまで単調増加で変化します。	0x0	R/W
0x0228	LED_POW12_I					
0x0248	LED_POW12_J					
0x0268	LED_POW12_K					
0x0288	LED_POW12_L					
0x0129	LED_MODE_A	[15:2]	RESERVED	予備。	0x0	R
0x0149	LED_MODE_B	1	LED_MODE2_x	LED2xの動作モードを選択。 0：高S/N比モード。 1：低コンプライアンス・モード。	0x0	R/W
0x0169	LED_MODE_C					
0x0189	LED_MODE_D					

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス				
0x01A9	0	LED_MODE1_x	LED1xの動作モードを選択 0：高S/N比モード。	0x0	R/W				
0x01C9		LED_MODE_F							
0x01E9		LED_MODE_G							
0x0209		LED_MODE_H							
0x0229		LED_MODE_I							
0x0249		LED_MODE_J							
0x0269		LED_MODE_K							
0x0289	LED_MODE_L								
0x012A	[15:8]	NUM_INT_x	ADCサイクル数またはアキュイジション幅。ADC変換ごとのアナログ積分サイクル数、またはデジタル積分でのアキュイジション幅です。0に設定することはできません。	0x1	R/W				
0x014A	[7:0]	NUM_REPEAT_x	シーケンスの繰返し回数。パルスの総数 = NUM_INT_x × NUM_REPEAT_x。0に設定することはできません。	0x1	R/W				
0x016A		COUNTS_C							
0x018A		COUNTS_D							
0x01AA		COUNTS_E							
0x01CA		COUNTS_F							
0x01EA		COUNTS_G							
0x020A		COUNTS_H							
0x022A		COUNTS_I							
0x024A		COUNTS_J							
0x026A		COUNTS_K							
0x028A		COUNTS_L							
0x012B		15				RESERVED	予備。	0x0	R
0x014B		14				RESERVED	予備	0x0	R/W
0x016B	RESERVED								
0x018B	[13:12]	MOD_TYPE_x	変調接続タイプ。 00：TIAは、プリコンディショニング後、常に入力と接続し続けます。接続の変調はありません。 01：フロート・タイプの動作。変調パルスを使用して入力からTIAにパルス接続します。パルスとパルスの間はフロート状態です。 10：非フロート・タイプの接続変調。入力からTIAにパルス接続します。パルスとパルスの間はプリコンディショニング値に接続します。	0x0	R/W				
0x01AB		PERIOD_E							
0x01CB		PERIOD_F							
0x01EB		PERIOD_G							
0x020B		PERIOD_H							
0x022B		PERIOD_I							
0x024B		PERIOD_J							
0x026B		PERIOD_K							
0x028B		PERIOD_L							
		[11:10]				RESERVED	予備。	0x0	R
	[9:0]	MIN_PERIOD_x	パルス繰返しの最小周期。自動計算の周期にオーバーライドします。フロート・タイプ動作で使用し、次式を使用して2番目以降のフロートのフロート時間を設定します。フロート時間 = MIN_PERIOD_x - MOD_WIDTH_x。	0x0	R/W				
0x012C	[15:8]	LED_WIDTH_x	LEDのパルス幅。	0x2	R/W				
0x014C	[7:0]	LED_OFFSET_x	LEDパルスのオフセット。	0x10	R/W				
0x016C		LED_PULSE1_C							
0x018C		LED_PULSE1_D							
0x01AC		LED_PULSE1_E							
0x01CC		LED_PULSE1_F							
0x01EC		LED_PULSE1_G							
0x020C		LED_PULSE1_H							
0x022C		LED_PULSE1_I							
0x024C		LED_PULSE1_J							
0x026C		LED_PULSE1_K							
0x028C		LED_PULSE1_L							

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス					
0x12D	[15:8]	RESERVED	予備。	0x0	R					
0x014D	[7:0]	LED_SECOND_O FFSET_x	2番目のLEDフェーズのLEDパルス・オフセット	0x13	R/W					
0x016D										
0x018D										
0x01AD										
0x01CD										
0x01ED										
0x020D										
0x022D										
0x024D										
0x026D										
0x028D										
0x012E						15	SINGLE_INTEG_ x	シングル積分パルスの使用。 0：生成された積分器のクロックを両方使用します。 1：積分器の2番目のクロックをスキップします。	0x0	R/W
0x014E										
0x016E	[14:13]	RESERVED	予備。	0x0	R					
0x018E										
0x01AE										
	[12:11]	CH2_AMP_DISA BLE_x	アンプをディスエーブルしてパワーを制御。タイム・スロットxに該当するビットを設定して、チャンネル2のアンプをディスエーブルします。 0：TIA。 1：積分器。	0x0	R/W					
0x01CE	[10:9]	RESERVED	予備。	0x0	R					
0x01EE										
	[8:7]	CH1_AMP_DISA BLE_x	アンプをディスエーブルしてパワーを制御。タイム・スロットxに該当するビットを設定して、チャンネル1のアンプをディスエーブルします。 0：TIA。 1：積分器。	0x0	R/W					
0x020E	[6:5]	ADC_COUNT_x	パルスごとのADC変換数。変換数 = ADC_COUNT + 1。	0x0	R/W					
0x022E	[4:0]	INTEG_WIDTH_x	積分器のクロック幅。	0x3	R/W					
0x024E										
0x026E										
0x028E										
0x012F	[15:13]	RESERVED	予備。	0x0	R					
0x014F	[12:5]	INTEG_OFFSET_ x	積分器のクロックの粗調整オフセット。	0xD	R/W					
0x016F										
0x018F	[4:0]	INTEG_FINE_OF FSET_x	積分器のクロックの微調整オフセット。	0x0	R/W					
0x01AF										
0x01CF										
0x01EF										
0x020F										
0x022F										
0x024F										
0x026F										
0x028F										

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
0x130	[15:8]	MOD_WIDTH_x	変調パルス幅。0 = ディスエーブル。	0x0	R/W
0x0150	[7:0]	MOD_OFFSET_x	変調パルス・オフセット。	0x1	R/W
0x0170		MOD_PULSE_C			
0x0190		MOD_PULSE_D			
0x01B0		MOD_PULSE_E			
0x01D0		MOD_PULSE_F			
0x01F0		MOD_PULSE_G			
0x0210		MOD_PULSE_H			
0x0230		MOD_PULSE_I			
0x0250		MOD_PULSE_J			
0x0270		MOD_PULSE_K			
0x0290		MOD_PULSE_L			
0x0131	[15:12]	LED_DISABLE_x	4パルスのLEDディスエーブル・パターン。1に設定すると、マッチング位置での4パルス・グループによるLEDパルスをディスエーブルします。LSBは最初のパルスにマップされます。	0x0	R/W
0x0151	[11:8]	MOD_DISABLE_x	4パルスの変調ディスエーブル・パターン。1に設定すると、マッチング位置での4パルス・グループによる変調パルスをディスエーブルします。LSBは最初のパルスにマップされます。	0x0	R/W
0x0171	[7:4]	SUBTRACT_x	4パルスの減算パターン。1に設定すると、マッチング位置における4パルス・グループでの計算を無効にします。LSBは最初のパルスにマップされます。	0x0	R/W
0x0191	[3:0]	REVERSE_INTEG_x	4パルス積分の反転パターン。1に設定すると、マッチング位置において積分器の4パルス・グループ内の正パルスと負パルスの順序を逆にします。LSBは最初のパルスにマップされます。	0x0	R/W
0x01B1		PATTERN1_E			
0x01D1		PATTERN1_F			
0x01F1		PATTERN1_G			
0x0211		PATTERN1_H			
0x0231		PATTERN1_I			
0x0251		PATTERN1_J			
0x0271		PATTERN1_K			
0x0291		PATTERN1_L			
0x0133		[15:14]	RESERVED		
0x0153	[13:0]	CH1_ADC_ADJUST_x	ADCの値を調整。ここで設定した値が、チャンネル1のADCの値から減算されます。	0x0	R/W
0x0173		ADC_OFF1_C			
0x0193		ADC_OFF1_D			
0x01B3		ADC_OFF1_E			
0x01D3		ADC_OFF1_F			
0x01F3		ADC_OFF1_G			
0x0213		ADC_OFF1_H			
0x0233		ADC_OFF1_I			
0x0253		ADC_OFF1_J			
0x0273		ADC_OFF1_K			
0x0293		ADC_OFF1_L			
0x0134	[15:14]	RESERVED	予備。	0x0	R/W
0x0154	[13:0]	CH2_ADC_ADJUST_x	ADCの値を調整。ここで設定した値が、チャンネル2のADCの値から減算されます。	0x0	R/W
0x0174		ADC_OFF2_C			
0x0194		ADC_OFF2_D			
0x01B4		ADC_OFF2_E			
0x01D4		ADC_OFF2_F			
0x01F4		ADC_OFF2_G			
0x0214		ADC_OFF2_H			
0x0234		ADC_OFF2_I			
0x0254		ADC_OFF2_J			
0x0274		ADC_OFF2_K			
0x0294		ADC_OFF2_L			

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
0x0135	[15:11]	DARK_SHIFT_x	暗データのシフト。	0x0	R/W
0x0155	[10:8]	DARK_SIZE_x	暗データのサイズ。	0x0	R/W
0x0175	[7:3]	SIGNAL_SHIFT_x	信号データのシフト。	0x0	R/W
0x0195	[2:0]	SIGNAL_SIZE_x	信号データのサイズ。	0x3	R/W
0x01B5					
0x01D5					
0x01F5					
0x0215					
0x0235					
0x0255					
0x0275					
0x0295					
0x0136	[15:8]	RESERVED	予備。	0x0	R
0x0156	[7:3]	LIT_SHIFT_x	明データのシフト。	0x0	R/W
0x0176	[2:0]	LIT_SIZE_x	明データのサイズ。	0x0	R/W
0x0196					
0x01B6					
0x01D6					
0x01F6					
0x0216					
0x0236					
0x0256					
0x0276					
0x0296					
0x0137	[15:11]	RESERVED	予備。	0x0	R
0x0157	[10:4]	DECIMATE_FACTOR_x	サンプル分周器をデシメーション。出力データ・レートは、 サンプリング・レート/(DECIMATE_FACTOR_x + 1)。	0x0	R/W
0x0177	[3:0]	RESERVED	予備。	0x0	R
0x0197					
0x01B7					
0x01D7					
0x01F7					
0x0217					
0x0237					
0x0257					
0x0277					
0x0297					
0x0138	[15:9]	RESERVED	予備。	0x0	R
0x0158	[8:0]	LIT_OFFSET_x	タイム・スロットxにおけるアクイジション・ウィンドウの明 オフセット。	0x26	R/W
0x0178					
0x0198					
0x01B8					
0x01D8					
0x01F8					
0x0218					
0x0238					
0x0258					
0x0278					
0x0298					

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
0x0139	[15:7]	DARK2_OFFSET_x	タイム・スロットxにおけるアクイジション・ウィンドウの暗オフセット2。	0x1	R/W
0x0159					
0x0179	[6:0]	DARK1_OFFSET_x	タイム・スロットxにおけるアクイジション・ウィンドウの暗オフセット1。	0x6	R/W
0x0199					
0x01B9					
0x01D9					
0x01F9					
0x0219					
0x0239					
0x0259					
0x0279					
0x0299					
0x02A0	[15:12]	RESERVED	予備。	0x0	R
0x02C0	[11:2]	BIOZ_TIMESLOT_OFFSET_x	64 × 960kHzまたは64 × (外部960kHz)サイクルでのBIOZタイム・スロットXのオフセット。	0x0	R/W
0x02E0	1	BIOZ_TIAEN_x	高出力TIAイネーブル。高出力TIAをイネーブルします。	0x0	R/W
0x0300	0	BIOZ_DACREFE_N_x	DACリファレンスのイネーブル。 0 : DACリファレンス・ブロックをディセーブル。 1 : DACリファレンス・ブロックをイネーブル。	0x0	R/W
0x0320					
0x0340					
0x02A1	[15:0]	BIOZ_SINEFCW_L_x	サイン波発生器周波数制御ワード。BIOZ_SI-NEFCW_H_xおよびBIOZ_SINEFCW_L_xがBIOZ_SINEFCW_x_xのビット[19:0]を構成します。BIOZ_SI-NEFCW_x_xのビット[19:0] = $2^{26} \times F/32e6$ です。ここで、Fはサイン波の周波数 (Hz) です。正確なDFT結果を得、スペクトルの漏れを回避するには、 $F/(DFT_FS/N)$ を整数として用います (NはDFTの入力データ数、DFT_FSはDFTの入力データ・レート)。DFT_FSは入力データ・ソースに応じて異なる可能性があります。	0x0	R/W
0x02C1					
0x02E1					
0x0301					
0x0321					
0x0341					
0x02A2	[15:4]	RESERVED	予備。	0x0	R
0x02C2	[3:0]	BIOZ_SINEFCW_H_x	サイン波発生器周波数制御ワード。BIOZ_SINEFCW_H_xおよびBIOZ_SINEFCW_L_xがBIOZ_SINEFCW_x_xのビット[19:0]を構成します。BIOZ_SINEFCW_x_xのビット[19:0] = $2^{26} \times F/32e6$ です。ここで、Fはサイン波の周波数 (Hz) です。正確なDFT結果を得、スペクトルの漏れを回避するには、 $F/(DFT_FS/N)$ を整数として用います (NはDFTの入力データ数、DFT_FSはDFTの入力データ・レート)。DFT_FSは入力データ・ソースに応じて異なる可能性があります。	0x0	R/W
0x02E2					
0x0302					
0x0322					
0x0342					

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
0x02A3	[15:0]	BIOZ_SINE_PHASE_OFFSET_L	サイン波位相オフセット。BIOZ_SINE_PHASE_OFFSET_H _x およびBIOZ_SINE_PHASE_OFFSET_L _x が BIOZ_SINE_PHASE_OFFSET_x_xのビット[19:0]を構成します。 BIOZ_SINE_PHASE_OFFSET_x_xのビット[19:0] = 位相 (°) /360 × 2 ²⁰ です。例えば、位相オフセットを45° には、BIOZ_SINE_PHASE_OFFSET_x_xのBits[19:0] = 45/360 × 2 ²⁰ となります。	0x0	R/W
0x02C3		BIOZ_WGPHASE_LOW_B			
0x02E3		BIOZ_WGPHASE_LOW_C			
0x0303		BIOZ_WGPHASE_LOW_D			
0x0323		BIOZ_WGPHASE_LOW_E			
0x0343		BIOZ_WGPHASE_LOW_F			
0x02A4	[15:4]	RESERVED	予備。	0x0	R
0x02C4	[3:0]	BIOZ_SINE_PHASE_OFFSET_H	サイン波位相オフセット。BIOZ_SINE_PHASE_OFFSET_H _x およびBIOZ_SINE_PHASE_OFFSET_L _x が BIOZ_SINE_PHASE_OFFSET_x_xのビット[19:0]を構成します。 BIOZ_SINE_PHASE_OFFSET_x_xのビット[19:0] = 位相 (°) /360 × 2 ²⁰ です。例えば、位相オフセットを45° には、BIOZ_SINE_PHASE_OFFSET_x_xのビット[19:0] = 45/360 × 2 ²⁰ となります。	0x0	R/W
0x02E4		BIOZ_WGPHASE_HI_C			
0x0304		BIOZ_WGPHASE_HI_D			
0x0324		BIOZ_WGPHASE_HI_E			
0x0344		BIOZ_WGPHASE_HI_F			
0x02A5	[15:12]	RESERVED	予備。	0x0	R
0x02C5	[11:0]	BIOZ_SINE_OFFSET_x	サイン波のオフセット。サイン波モードの波形発生器出力に加えられます。2の補数フォーマットで表した符号付きの数です。	0x0	R/W
0x02E5		BIOZ_WGOFFSET_C			
0x0305		BIOZ_WGOFFSET_D			
0x0325		BIOZ_WGOFFSET_E			
0x0345		BIOZ_WGOFFSET_F			
0x02A6	[15:11]	RESERVED	予備。	0x0	R
0x02C6	[10:0]	BIOZ_SINEAMPLITUDE_x	サイン波の振幅。符号なしの数値。サイン波モードの波形発生器をスケールリングします。ゲイン係数 = SINEAMPLITUDEのビット[10:0]/2 ¹¹ 。	0x60 0	R/W
0x02E6		BIOZ_WGAMPLITUDE_C			
0x0306		BIOZ_WGAMPLITUDE_D			
0x0326		BIOZ_WGAMPLITUDE_E			
0x0346		BIOZ_WGAMPLITUDE_F			
0x02A7	[15:14]	RESERVED	予備。	0x0	R
0x02C7	13	BIOZ_EXBUFEN_x	励起バッファをイネーブル。励起バッファをイネーブルして測定時の抵抗を発生させます。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
0x02E7		BIOZ_DACCON_C			
0x0307		BIOZ_DACCON_D			
0x0327	[12:10]	BIOZ_DACBUFBW_x	DAC再構成フィルタの消費電力調整。 001 : 30 μA。 010 : 40 μA。 100 : 111 μA。	0x4	R/W
0x0347	9	BIOZ_BW250KEN_x	再構成フィルタの250kHzのカットオフ周波数。 0 : 250kHzのカットオフ周波数をディスエーブル。 1 : 250kHzのカットオフ周波数をイネーブル。	0x1	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
	8	BIOZ_BW50KEN_x	再構成フィルタの50kHzのカットオフ周波数。 0 : 50kHzのカットオフ周波数をディスエーブル。 1 : 50kHzのカットオフ周波数をイネーブル。	0x0	R/W
	[7:0]	BIOZ_RATE_DIV_x	DAC更新レート。DAC更新レート = 32MHz/ BIOZ_RATE_DIV_x。	0xD	R/W
0x02A8	[15:13]	RESERVED	予備。	0x0	R
0x02C8	12	BIOZ_DACGAIN_EN_x	DACゲインをイネーブル。 0 : DACゲイン補正をディスエーブル。 1 : DACゲイン補正を実行。	0x1	R/W
0x02E8		BIOZ_DACGAIN_C			
0x0308		BIOZ_DACGAIN_D			
0x0328		BIOZ_DACGAIN_E			
0x0348	[11:0]	BIOZ_DAC_GAIN_x	DACゲイン補正係数。符号なしの数値。 0x000 : 負の最大ゲイン調整が発生。 0x001 : $1/2^{11}$ 。 0x800 : ゲイン調整なし。 0xFFF : 正の最大ゲイン調整が発生。	0x800	R/W
0x02A9	[15:13]	RESERVED	予備。	0x0	R
0x02C9	12	BIOZ_DACOFFSE_T_EN_x	DACオフセットをバイパス。キャリブレーション・ルーチンで計算したDACオフセットを使用。 0 : DACオフセット補正をバイパス。 1 : DACオフセット補正を実行。	0x1	R/W
0x02E9		BIOZ_DACOFFSET_C			
0x0309		BIOZ_DACOFFSET_D			
0x0329		BIOZ_DACOFFSET_E			
0x0349	[11:0]	BIOZ_DAC_OFFSE_T_x	DACオフセット補正係数。2の補数フォーマットで表し0.5LSBの精度を持つ符号付きの数。アッテネータがディスエーブル時に用います。正の最大調整時は、正のフルスケール/ $2^{10} - 0.5$ LSBの調整となります。 0.5の場合は0.5LSBの調整となります。 0の場合はオフセット調整は行われません。 -0.5の場合は-0.5LSBの調整となります。 - 2^{10} の場合は負の最大調整となり、負のフルスケール/2の調整となります。	0x0	R/W
0x02AA	[15:13]	BIOZ_TIA_RGAI_N_x	HPTIA帰還抵抗の制御信号。 000 : 1k Ω 。 001 : 2k Ω 。 010 : 3k Ω 。 011 : 4k Ω 。 100 : 6k Ω 。 101 : 8k Ω 。 110 : 10k Ω 。	0x1	R/W
0x02CA		BIOZ_TIA_CGAI_N_x	HPTIA帰還コンデンサの制御信号。 0000 : オフ。 0001 : 1pF。 0010 : 2pF。 0011 : 3pF。 0100 : 4pF (低消費電力時のデフォルト値)。 0101 : 5pF。 0110 : 6pF。 0111 : 7pF (高消費電力時のデフォルト値)。 1000 : 8pF。 1001 : 9pF。 1010 : 10pF。 1011 : 11pF。 1100 : 12pF。 1101 : 13pF。 1110 : 14pF。 1111 : 15pF。	0x7	R/W
0x02EA		BIOZ_TIA_CGAI_N_x			
0x030A		BIOZ_TIA_CGAI_N_x			
0x032A		BIOZ_TIA_CGAI_N_x			
0x034A		BIOZ_TIA_CGAI_N_x			

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
	8	BIOZ_RX_LPMODE_x	ADCレシーバー・チャンネルの低消費電力モードを有効化。 0：高消費電力モード。 1：低消費電力モード。	0x0	R/W
	7	BIOZ_TIA_LPMODE_x	TIAの低消費電力モードを有効化。 0：高消費電力モード。 1：低消費電力モード。	0x0	R/W
	6	BIOZ_EXCBUF_LPMODE_x	励起バッファの低消費電力モードを有効化。 0：高消費電力モード。 1：低消費電力モード。	0x0	R/W
	[5:4]	BIOZ_CHOP_OFF_IN_x	フロント・バッファおよびPGAのチョップ・オフをディスエーブル。 00：フロント・バッファおよびPGAのチョッピングをイネーブル。 01：PGAチョッピングのみをイネーブル。 10：フロント・バッファ・チョッピングのみをイネーブル。 11：フロント・バッファおよびPGAのチョッピングをディスエーブル。	0x3	R/W
	[3:2]	BIOZ_AMP_OFF_x	フロント・バッファをディスエーブル。 00：すべてイネーブル。 01：Buffer_pのみをイネーブル。 10：Buffer_nのみをイネーブル。 11：Buffer_pおよびBuffer_nをディスエーブル。	0x3	R/W
	1	BIOZ_PGA_PD_x	PGA P _D 制御。 0：イネーブル。 1：ディスエーブル。	0x1	R/W
	0	BIOZ_DAC_RCF_LOWBW_EN_x	DAC RCフィルタの帯域幅調整。ハイに設定すると帯域幅が元の値の80%に減少。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
0x02AB	15	RESERVED	予備。	0x0	R
0x02CB 0x02EB 0x030B 0x032B 0x034B	14	BIOZ_CM_SW_x	IMPIPおよびIMPIN用の弱いV _{CM} 駆動。 0：弱いV _{CM} 駆動をディスエーブル。 1：IMPIPおよびIMPINを弱いCMで駆動。	0x0	R/W
	[13:12]	BIOZ_NCHAN_x	Nチャンネルの選択。 00：HPTIA_nをBuffer_pに接続。 01：IMPINをBuffer_nに接続。 10：RCALNをBuffer_nに接続。 11：R _{INT_SN} をBuffer_nに接続。	0x0	R/W
	[11:10]	BIOZ_PCHAN_x	Pチャンネルの選択。 00：HPTIA_pをBuffer_pに接続。 01：IMPIPをBuffer_pに接続。 10：RCALPをBuffer_pに接続。 11：R _{INT_SP} をBuffer_pに接続。	0x0	R/W
	[9:6]	BIOZ_TSW_x	TIA入力のスイッチ・マルチプレクサ。 0001：TIA入力をIMPIPに接続。 0010：TIA入力をIMPINに接続。 0100：TIA入力をEXCPに接続。 1000：TIA入力をEXCNに接続。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
	[5:2]	BIOZ_DSW_x	励起バッファ出力のスイッチ・マルチプレクサ。 0001：励起バッファ出力をIMPIPに接続。 0010：励起バッファ出力をIMPINに接続。 0100：励起バッファ出力をEXCPIに接続。 1000：励起バッファ出力をEXCNに接続。	0x0	R/W
	1	BIOZ_TRSW_x	RCALx用マルチプレクサのTスイッチ。 0：RCALxとHPTIAを切断。 1：RCALxとHPTIAを接続。	0x0	R/W
	0	BIOZ_DRSW_x	RCALx用マルチプレクサのDスイッチ。 0：RCALxと励起バッファを切断。 1：RCALxと励起バッファを接続。	0x0	R/W
0x02AC 0x02CC	[15:2]	RESERVED	予備。	0x0	R
0x02EC 0x030C	[1:0]	BIOZ_RINT_SW_x	内部キャリブレーション抵抗をサポート。0x11に設定すると、内部キャリブレーションの分解能がイネーブルされます。 00：内部キャリブレーション抵抗がフロート状態。 11：内部キャリブレーション抵抗を励起バッファおよびHPTIAに接続。	0x0	R/W
0x032C 0x034C		BIOZ_ANA_CTRL3_E BIOZ_ANA_CTRL3_F			
0x02AD 0x02CD 0x02ED 0x030D	[15:6]	RESERVED	予備。	0x0	R
0x032D	[5:4]	BIOZ_AVRGNUM_x	平均化関数で使用するサンプル数。 00：2個のADCサンプル。 01：4個のADCサンプル。1回の平均の入力データ数が4。 10：8個のADCサンプル。1回の平均の入力データ数が8。 11：16個のADCサンプル。1回の平均の入力データ数が16。	0x0	R/W
0x034D	3	BIOZ_AVRGEN_x	平均化関数を有効化。SINC3フィルタ出力の平均化動作をイネーブル。 0：ディスエーブル。SINC3フィルタの出力は次の段に直接供給されます。 1：イネーブル。平均化された結果が次段に供給されます。	0x0	R/W
	2	BIOZ_SINC3BYP_x	SINC3フィルタをバイパス。 0：SINC3フィルタをイネーブル。 1：SINC3フィルタをバイパス。	0x0	R/W
	[1:0]	BIOZ_SINC3OSR_x	SINC3フィルタのオーバーサンプリング・レート。 00：オーバーサンプリング・レートは5。 01：オーバーサンプリング・レートは4。 10：オーバーサンプリング・レートは2。 11：オーバーサンプリング・レートは5。	0x0	R/W
0x02AE 0x02CE	[15:6]	RESERVED	予備。	0x0	R
0x02EE 0x030E 0x032E 0x034E	5	BIOZ_WG_DFT_DIFF_PHASE_EN_x	波形発生器ブロックのサイン波とDFTブロックのサイン波が異なるオフセットを使用。 0：同じオフセットを使用。 1：異なるオフセットを使用。	0x0	R/W
	4	BIOZ_HANNING_EN_x	ハニング・ウィンドウをイネーブル。 0：ディスエーブル。 1：イネーブル。	0x0	R/W

レジスタの詳細

レジスタ 名前	ビット	ビット名	説明	リセット	アクセス
	[3:0]	BIOZ_DFTNUM_x	使用するADCサンプル。DFT数は4~8192です。 0000 : DFTのポイントは4。 0001 : DFTのポイントは8。 0010 : DFTのポイントは16。 0011 : DFTのポイントは32。 0100 : DFTのポイントは64。 0101 : DFTのポイントは128。 0110 : DFTのポイントは256。 0111 : DFTのポイントは512。 1000 : DFTのポイントは1024。 1001 : DFTのポイントは2048。 1010 : DFTのポイントは4096。 1011 : DFTのポイントは8192。	0x9	R/W
0x02AF 0x02CF	[15:3]	RESERVED	予備。	0x0	R
0x02EF 0x030F 0x032F 0x034F	[2:0]	BIOZ_ADC_CONV_DLY_x	ADCがイネーブルされてからSINC3がイネーブルされるまでの時間。デフォルト値は約25μsです。 000 : 25μs。 001 : 50μs。 010 : 100μs。 011 : 200μs。 100 : 400μs。 101 : 800μs。 110 : 1.6ms。 111 : 3.2ms。	0x0	R/W
0x02B0 0x02D0 0x02F0 0x0310 0x0330 0x0350	[15:0]	BIOZ_DFT_PHASE_OFFSET_L_x	DFT_PHASE_OFFSETのビット[19:0] = 位相 (°) / 360 × 2 ²⁰ 。例えば、位相オフセットを45°にするには、DFTOFFSETのビット[19:0] = 45/360 × 2 ²⁰ となります。	0x0	R/W
0x02B1 0x02D1	[15:4]	RESERVED	予備。	0x0	R
0x02F1 0x0311 0x0331 0x0351	[3:0]	BIOZ_DFT_PHASE_OFFSET_H_x	DFT_PHASE_OFFSETのビット[19:0] = 位相 (°) / 360 × 2 ²⁰ 。例えば、位相オフセットを45°にするには、DFTOFFSETのビット[19:0] = 45/360 × 2 ²⁰ となります。	0x0	R/W

外形寸法

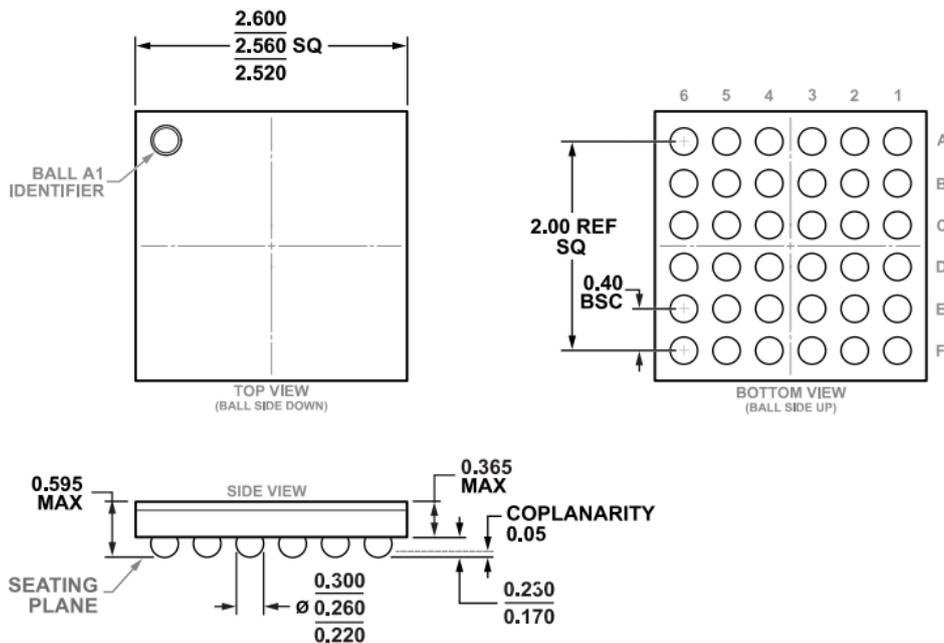


図 49. 36ボール・ウェーハ・レベル・チップ・スケール・パッケージ[WLCSP]、裏面コート付き (CB-36-10)
寸法 : mm

更新 : 2022年4月22日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADPD6000BCBZR7	-40°C to +85°C	CHIPS W/SOLDER BUMPS/WLCSP	Reel, 1500	CB-36-10

¹ Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADPD6000Z	Evaluation Board

¹ Z = RoHS準拠製品。