

### 20GHz~54GHz、GaAs、pHEMT、MMIC、29dBm (0.5W) パワー・アンプ

#### 特長

- ▶ 電源用コンデンサとバイアス・インダクタを内蔵
- ▶ ACカップリング・コンデンサを内蔵
- ▶ ゲイン：20GHz~35GHzで17.5dB（代表値）
- ▶ 入力リターン・ロス：20GHz~35GHzで14dB（代表値）
- ▶ 出力リターン・ロス：20GHz~35GHzで15dB（代表値）
- ▶ OP1dB：20GHz~35GHzで28dBm（代表値）
- ▶ P<sub>SAT</sub>：20GHz~35GHzで28.5dBm（代表値）
- ▶ OIP3：20GHz~35GHzで34.5dBm（代表値）
- ▶ ノイズ指数：20GHz~35GHzで7.5dB（代表値）
- ▶ 電源電圧：5V/850mA
- ▶ 50Ωに整合した入出力
- ▶ 5.00mm×5.00mm、24端子チップ・アレイ、スモール・アウトライン、リードなしキャビティ [LGA\_CAV] パッケージ

#### 機能ブロック図

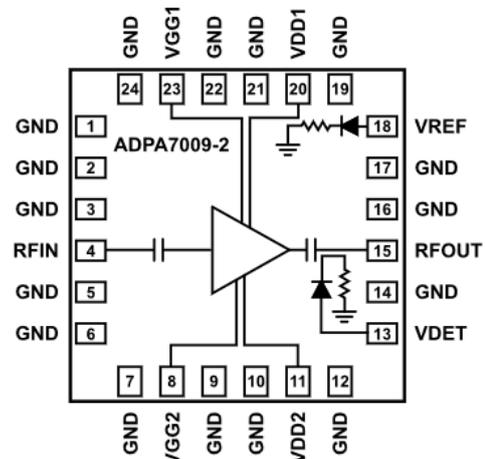


図 1 機能ブロック図

101

#### アプリケーション

- ▶ 防衛および宇宙
- ▶ 試験用計測器

#### 概要

ADPA7009-2は、ガリウム・ヒ素（GaAs）の擬似格子整合型高電子移動度トランジスタ（pHEMT）を使用したモノリシック・マイクロ波集積回路（MMIC）による0.5Wパワー・アンプで、温度補償されたパワー・ディテクタを内蔵し、20GHz~54GHzで動作します。20GHz~35GHzの帯域におけるこのアンプのゲインは17.5dB、1dB圧縮ポイント出力電力（OP1dB）は28dBm、出力3次インターセプト（OIP3）は34.5dBです。ADPA7009-2は5V電源（VDDx）から850mAを必要とします。上位のアセンブリに組み込みやすくするため、RF入出力は内部で整合され、DCブロックされています。動作のために通常必要な外付け受動部品（ACカップリング・コンデンサおよび電源デカップリング・コンデンサ）がほとんど内蔵されているため、プリント基板（PCB）のフットプリントを容易に小型化・コンパクト化できます。ADPA7009-2は、5.00 mm×5.00mm、24端子チップ・アレイ、スモール・アウトラインのリードなしキャビティ [LGA\_CAV] パッケージを採用しています。

#### Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社の提供する情報は、「そのまま」正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

## 目次

特長.....	1	低バイアス動作.....	15
アプリケーション.....	1	動作原理.....	18
概要.....	1	アプリケーション情報.....	19
機能ブロック図.....	1	HMC980LP4EによるADPA7009-2のバイアシング.....	20
仕様.....	3	アプリケーション回路のセットアップ.....	20
周波数範囲：20GHz～35GHz.....	3	ADPA7009-2のVGGxの絶対最大定格条件を満たすためのVGATE制限.....	20
周波数範囲：35GHz～43GHz.....	3	HMC980LP4Eのバイアス・シーケンス.....	21
周波数範囲：43GHz～54GHz.....	4	定ドレイン電流バイアスと定ゲート電圧バイアス.....	22
絶対最大定格.....	5	定IDD動作.....	22
熱抵抗.....	5	外形寸法.....	24
静電放電（ESD）定格.....	5	オーダー・ガイド.....	24
ESDに関する注意.....	5	評価用ボード.....	24
ピン配置およびピン機能の説明.....	6		
インターフェース回路図.....	7		
代表的な性能特性.....	8		

## 改訂履歴

2022年8月 Revision 0: 初版

## 仕様

### 周波数範囲 : 20GHz~35GHz

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、電源電圧 ( $V_{DD}$ ) = 5V、静止ドレイン電流 ( $I_{DQ}$ ) = 850mA、50Ω整合入出力。ゲート電圧 ( $V_{GG}$ ) を-1.5V ~ 0Vの範囲で調整して $I_{DQ} = 850mA$  (代表値) に設定。

表 1. 周波数範囲 : 20GHz~35GHz

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
FREQUENCY RANGE		20		35	GHz	
GAIN		15	17.5		dB	
Gain Flatness			±1.3		dB	
Gain Variation over Temperature			0.028		dB/°C	
NOISE FIGURE			7.5		dB	
RETURN LOSS						
Input			14		dB	
Output			15		dB	
OUTPUT						
Output Power for 1 dB Compression	OP1dB	25.5	28.0		dBm	
Saturated Output Power	$P_{SAT}$		28.5		dBm	
Output Third-Order Intercept	OIP3		34.5		dBm	トーンあたり出力電力 ( $P_{OUT}$ ) = 14 dBm (1MHzのトーン間隔)
SUPPLY						
Quiescent Drain Current	$I_{DQ}$		850		mA	$V_{GG}$ を調整して $I_{DQ} = 850mA$ (代表値) に設定
Voltage	$V_{DD}$	3	5		V	

### 周波数範囲 : 35GHz~43GHz

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$ 、50Ω整合入出力。 $V_{GG}$ を-1.5V~0Vの範囲で調整して $I_{DQ} = 850mA$  (代表値) に設定。

表 2. 周波数範囲 : 35GHz~43GHz

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
FREQUENCY RANGE		35		43	GHz	
GAIN		14.5	17		dB	
Gain Flatness			±1.0		dB	
Gain Variation over Temperature			0.046		dB/°C	
NOISE FIGURE			7		dB	
RETURN LOSS						
Input			15		dB	
Output			13		dB	
OUTPUT						
Output Power for 1 dB Compression	OP1dB	24	26.5		dBm	
Saturated Output Power	$P_{SAT}$		27.5		dBm	
Output Third-Order Intercept	OIP3		34.5		dBm	トーンあたりの $P_{OUT} = 14dBm$ (1MHzのトーン間隔)
SUPPLY						
Quiescent Drain Current	$I_{DQ}$		850		mA	$V_{GG}$ を調整して $I_{DQ} = 850mA$ (代表値) に設定
Voltage	$V_{DD}$	3	5		V	

## 周波数範囲 : 43GHz~54GHz

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$ 、 $50\Omega$ 整合入出力。 $V_{GG}$ を $-1.5V \sim 0V$ の範囲で調整して $I_{DQ} = 850mA$ （代表値）に設定。

表 3. 周波数範囲 : 43GHz~54GHz

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
FREQUENCY RANGE		43		54	GHz	
GAIN			16.5		dB	
Gain Flatness			$\pm 1.3$		dB	
Gain Variation over Temperature			0.055		dB/ $^{\circ}C$	
NOISE FIGURE			7.0		dB	
RETURN LOSS						
Input			13		dB	
Output			12		dB	
OUTPUT						
Output Power for 1 dB Compression	OP1dB		24.0		dBm	
Saturated Output Power	$P_{SAT}$		25.0		dBm	
Output Third-Order Intercept	OIP3		34.0		dBm	トーンあたりの $P_{OUT} = 14dBm$ (1MHzのトーン間隔)
SUPPLY						
Quiescent Drain Current	$I_{DQ}$		850		mA	$V_{GG}$ を調整して $I_{DQ} = 850mA$ （代表値）に設定
Voltage	$V_{DD}$	3	5		V	

## 絶対最大定格

表 4. 絶対最大定格

Parameter	Rating
V <sub>DD</sub>	6.0 V
V <sub>GG</sub>	-1.6 V to 0 V
RF Input Power (RFIN)	20 dBm
Continuous Power Dissipation (P <sub>DISS</sub> ), T <sub>CASE</sub> = 85°C (Derate 13.6 mW/°C above 85°C)	6.6 W
Temperature	
Maximum Channel	175°C
Quiescent Channel (T <sub>CASE</sub> = 85°C, V <sub>DD</sub> = 5 V) I <sub>DQ</sub> = 850 mA, P <sub>IN</sub> = Off	143°C
Storage Range	-65°C to +150°C
Operating Range	-40°C to +85°

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。長時間にわたり最大動作条件を超えて動作させると、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、システムの設計と動作環境に直接関連します。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$ はチャンネルからケース（チャンネルからデバイス下側の露出金属グラウンド・パッド）への熱抵抗です。

表 5. 熱抵抗

Package Type	$\theta_{JC}$ <sup>1</sup>	Unit
CE-24-2	13.6	°C/W

<sup>1</sup>  $\theta_{JC}$ は、以下の条件でのシミュレーションによって求めました。すなわち、熱伝達はチャンネルからグラウンド・パッドを通過してPCBまでの熱伝導のみに起因し、グラウンド・パッドは85°Cの動作温度で一定に保たれるものとします。

## 静電放電（ESD）定格

以下のESD情報はESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

## ADPA7009-2のESD定格

表 6. ADPA7009-2、24端子LGA\_CAV

ESD Model	Withstand Voltage (V)	Class
HBM	±500	1B

## ESDに関する注意



ESD（静電気放電）に敏感なデバイスです。帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。この製品は特許取得済みまたは独自の保護回路を備えていますが、高エネルギーESDにさらされるとデバイスに損傷が生じる可能性があります。したがって、性能低下や機能低下を避けるために、適切なESD予防措置を講じる必要があります。

## ピン配置およびピン機能の説明

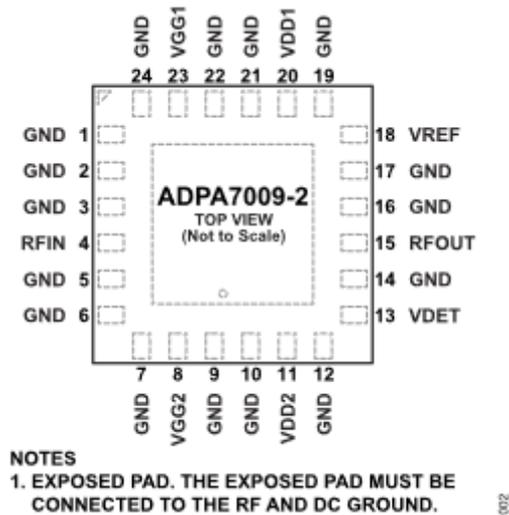


図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1, 2, 3, 5, 6, 7, 9, 10, 12, 14, 16, 17, 19, 21, 22, 24	GND	グラウンド。電気インピーダンスと熱インピーダンスが低いグラウンド・プレーンに接続します。インターフェース回路図については図3を参照してください。
4	RFIN	RF信号入力。RFINピンはACカップリングされ、50Ωに整合されています。インターフェース回路図については図4を参照してください。
8, 23	VGG1, VGG2	負のゲート・バイアス制御。ゲート電圧はVGGxに印加する必要があります。VGGxピンに印加する負電圧を調整して、 $I_{DQ}$ を必要なレベルに設定します。インターフェース回路図については図5を参照してください。
11, 20	VDD1, VDD2	アンプのドレイン・バイアス。インターフェース回路図については図6を参照してください。
13	VDET	RF出力電力測定用のディテクタ・ダイオード。VDETピンによる検出を行うには、外付けの直列抵抗を通じてDCバイアス電圧をかける必要があります。VREFと組み合わせて使用することで、ディテクタの電圧差 $V_{REF} - V_{DET}$ はRF出力電力に比例し、かつ温度補償されたDC電圧になります。インターフェース回路図については図7を参照してください。
15	RFOUT	RF信号出力。RFOUTピンはACカップリングされ、50Ωに整合されています。インターフェース回路図については図9を参照してください。
18	VREF	リファレンス・ダイオード電圧。VREFピンは、VDETでのRF出力電力測定の温度補償に使用します。VDETと組み合わせて使用した場合、この電圧によって、VDETでのRF出力電力測定の際に温度補償を行うことができます。インターフェース回路図については図8を参照してください。
	EPAD	露出パッド。露出パッドはRF/DCグラウンドに接続する必要があります。

## インターフェース回路図



図 3. GNDのインターフェース回路図

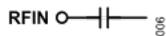


図 4. RFINのインターフェース回路図

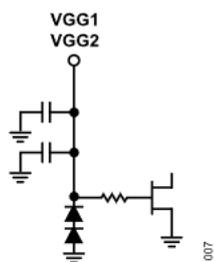


図 5. VGG1とVGG2のインターフェース回路図

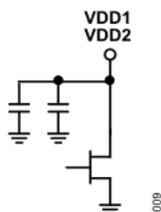


図 6. VDD1とVDD2のインターフェース回路図

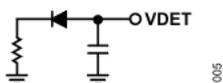


図 7. VDETのインターフェース回路図

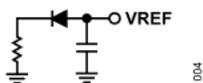


図 8. VREFのインターフェース回路図



図 9. RFOUTのインターフェース回路図

## 代表的な性能特性

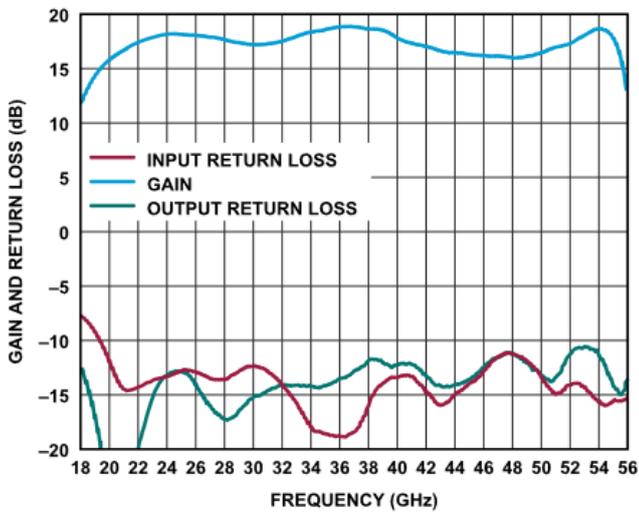


図 10. ゲインとリターン・ロスの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

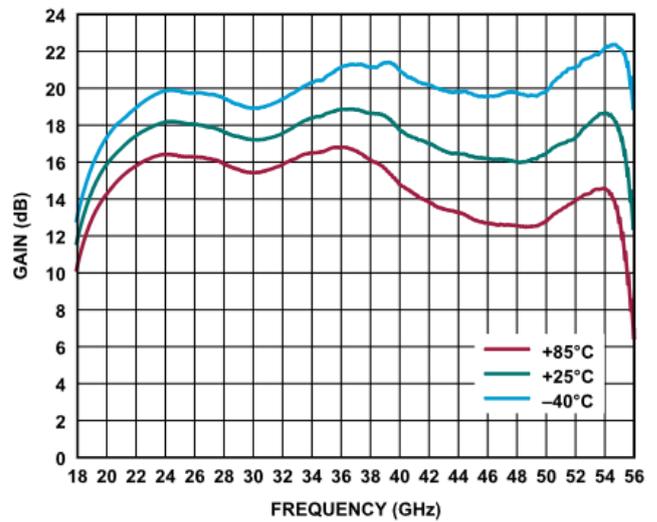


図 13. 様々な温度でのゲインの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

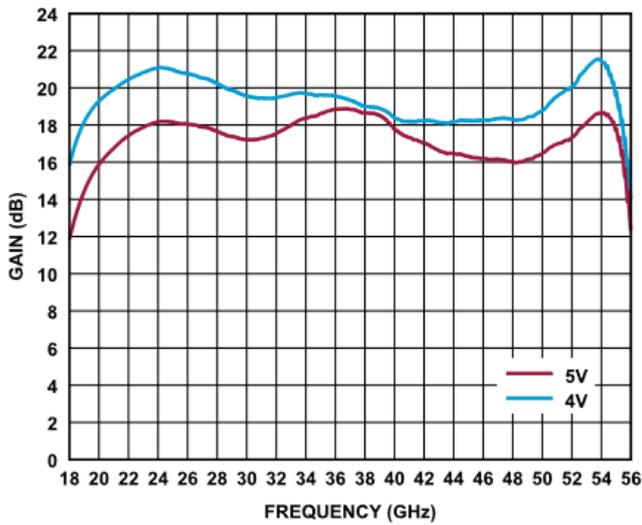


図 11. 様々な $V_{DD}$ 値でのゲインの周波数特性、 $I_{DQ} = 850mA$

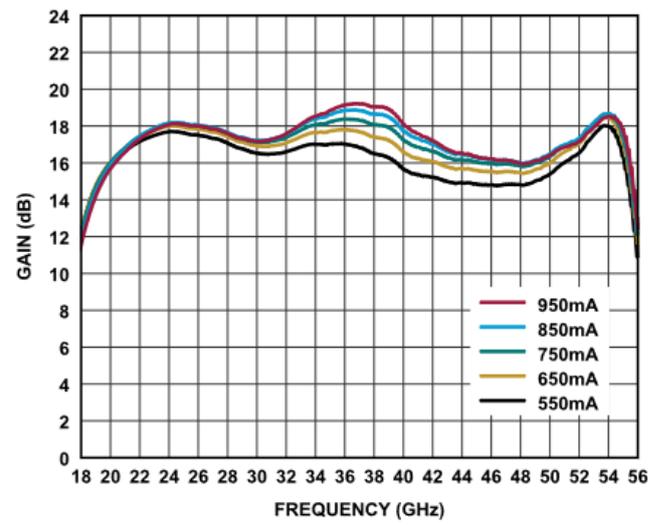


図 14. 様々な $I_{DQ}$ 値でのゲインの周波数特性、 $V_{DD} = 5V$

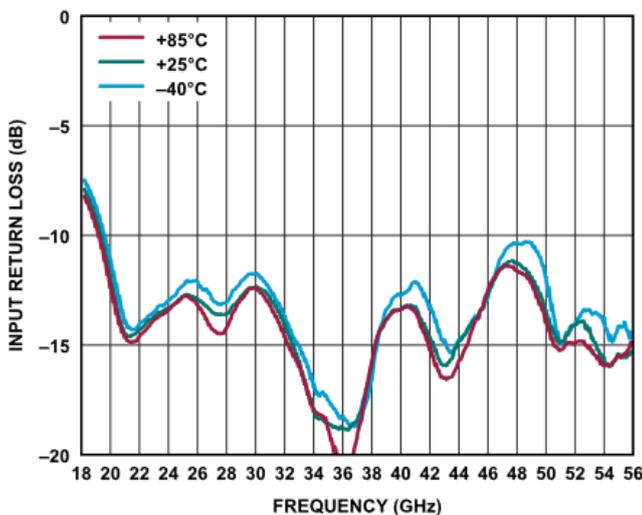


図 12. 様々な温度での入力リターン・ロスの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

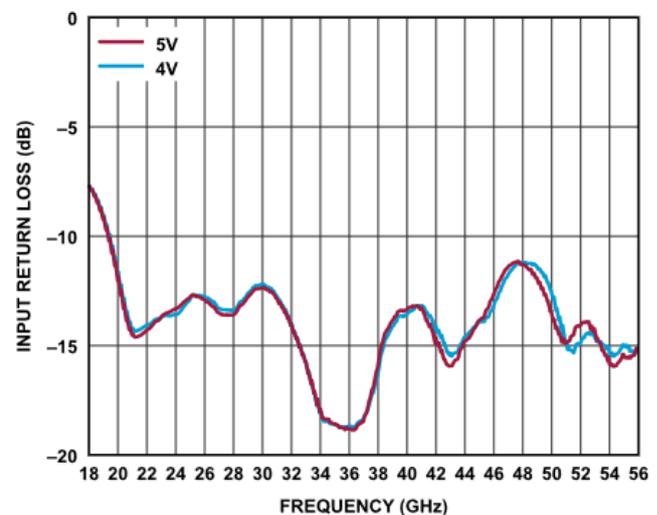


図 15. 様々な $V_{DD}$ 値での入力リターン・ロスの周波数特性、 $I_{DQ} = 850mA$

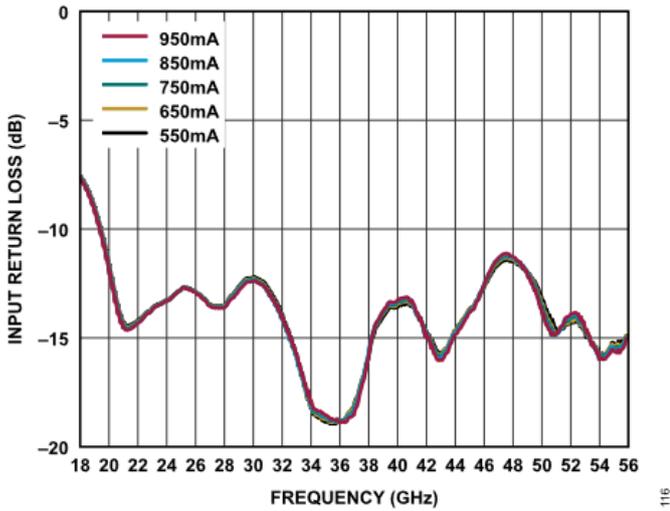


図 16. 様々な $I_{DQ}$ 値での入力リターン・ロスの周波数特性、 $V_{DD} = 5V$

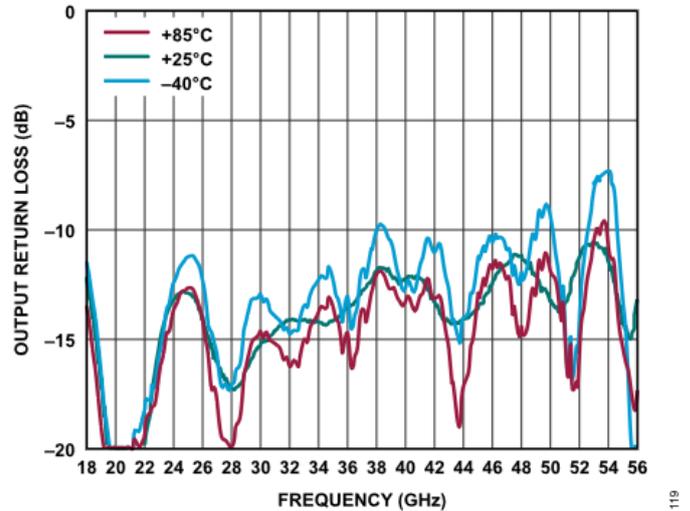


図 19. 様々な温度での出力リターン・ロスの周波数特性、  
 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

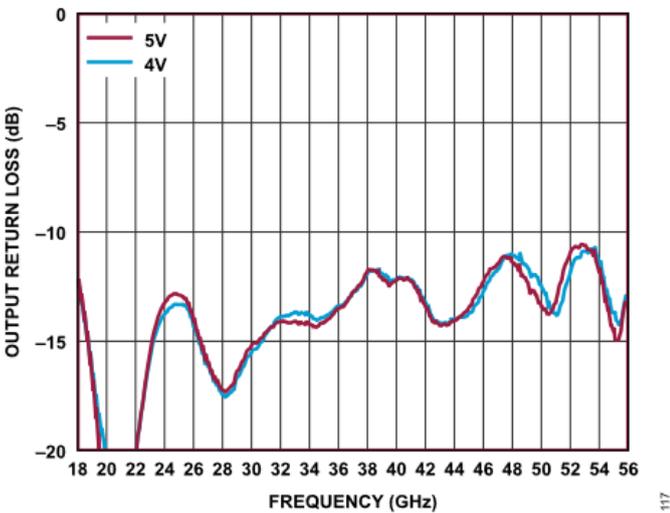


図 17. 様々な $V_{DD}$ 値での出力リターン・ロスの周波数特性、  
 $I_{DQ} = 850mA$

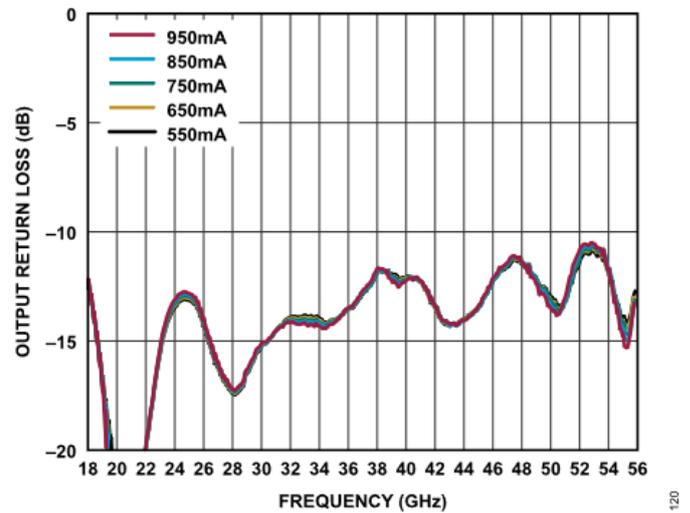


図 20. 様々な $I_{DQ}$ 値での出力リターン・ロスの周波数特性、  
 $V_{DD} = 5V$

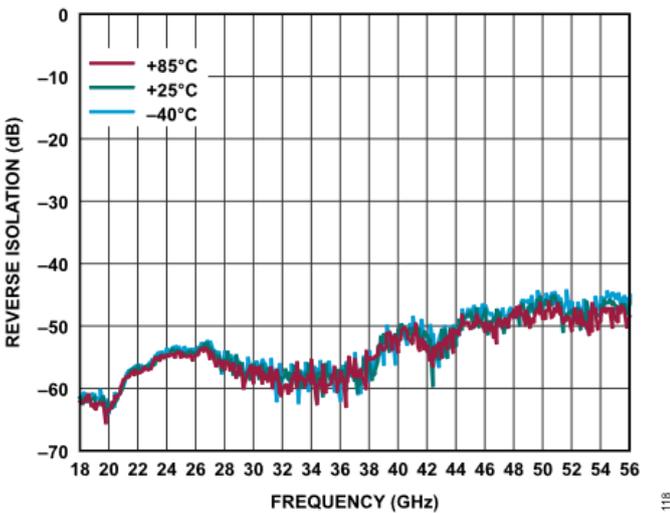


図 18. 様々な温度でのリバース・アイソレーションの周波数特性、  
 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

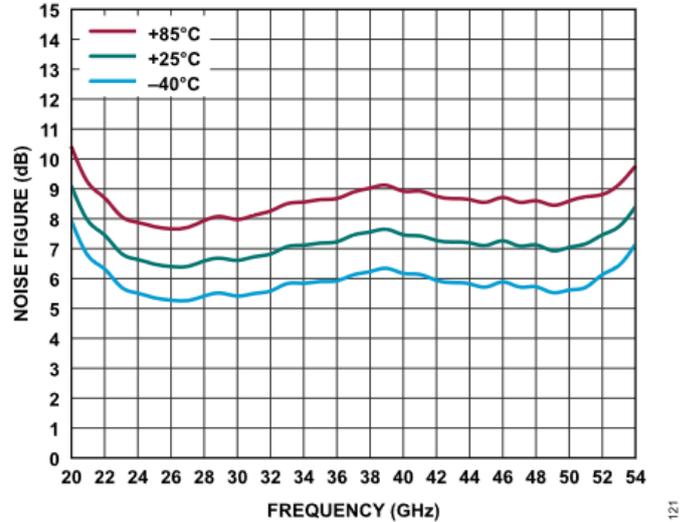


図 21. 様々な温度でのノイズ指数の周波数特性、  
 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

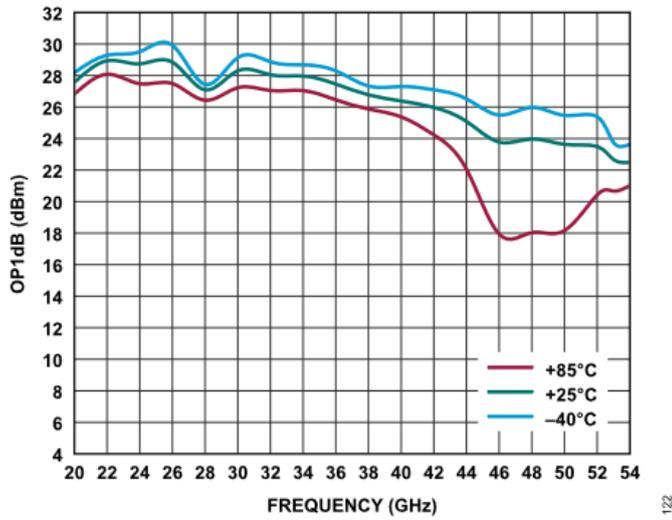


図 22. 様々な温度でのOP1dBの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

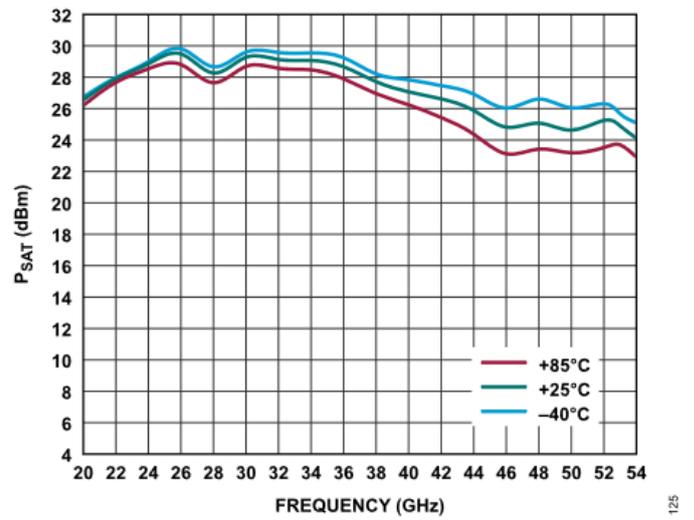


図 25. 様々な温度でのPsatの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

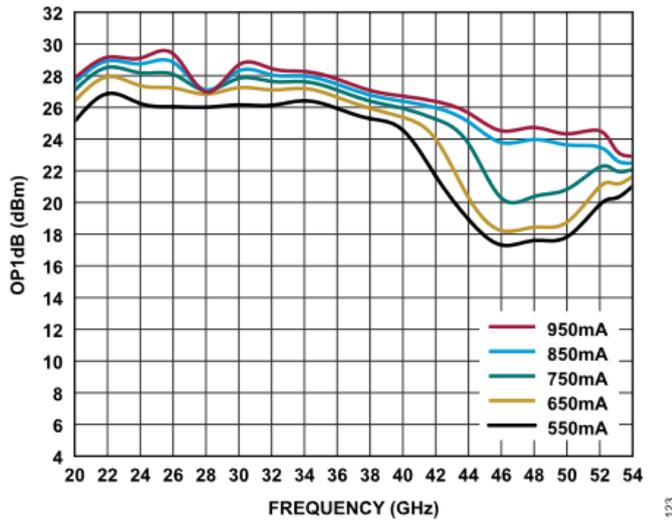


図 23. 様々なIdq値でのOP1dBの周波数特性、 $V_{DD} = 5V$

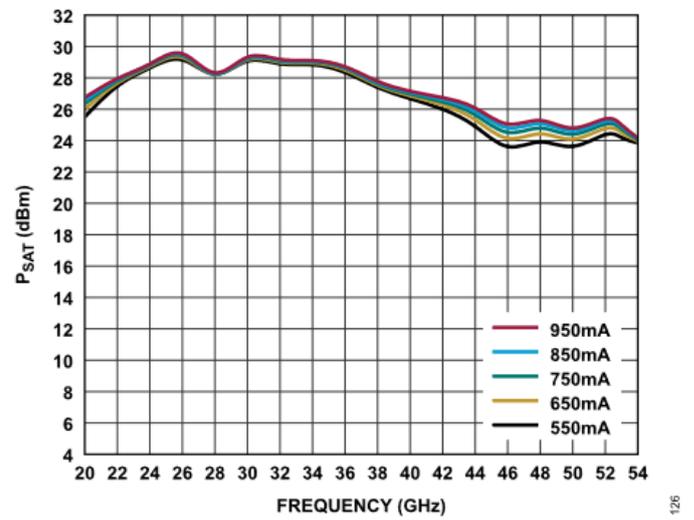


図 26. 様々なIdq値でのPsatの周波数特性、 $V_{DD} = 5V$

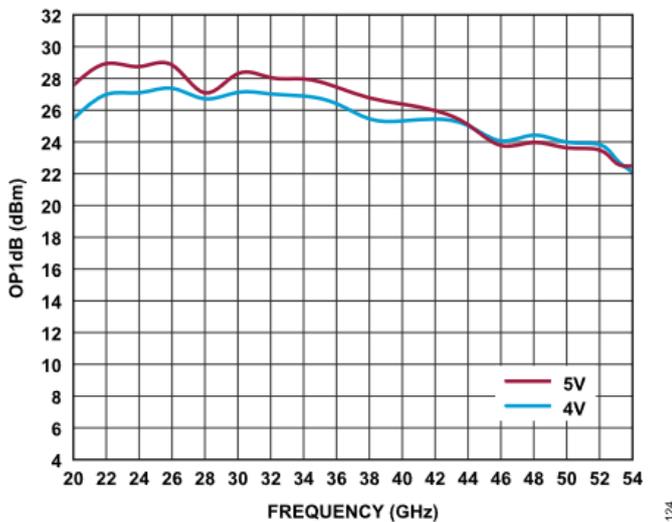


図 24. 様々なVDD値でのOP1dBの周波数特性、 $I_{DQ} = 850mA$

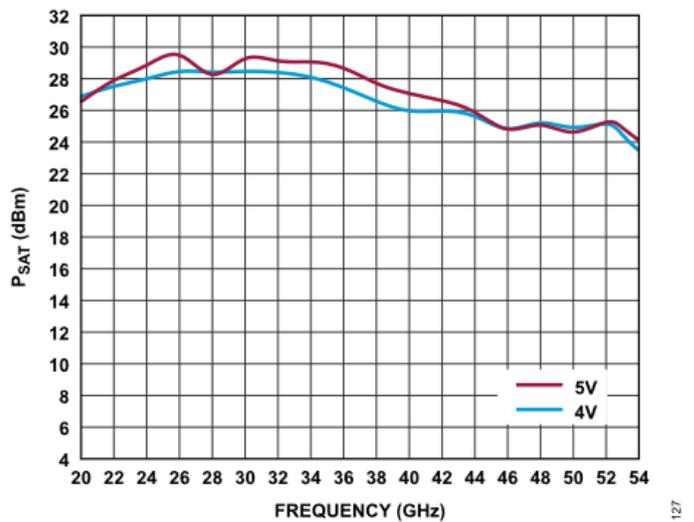


図 27. 様々なVDD値でのPsatの周波数特性、 $I_{DQ} = 850mA$

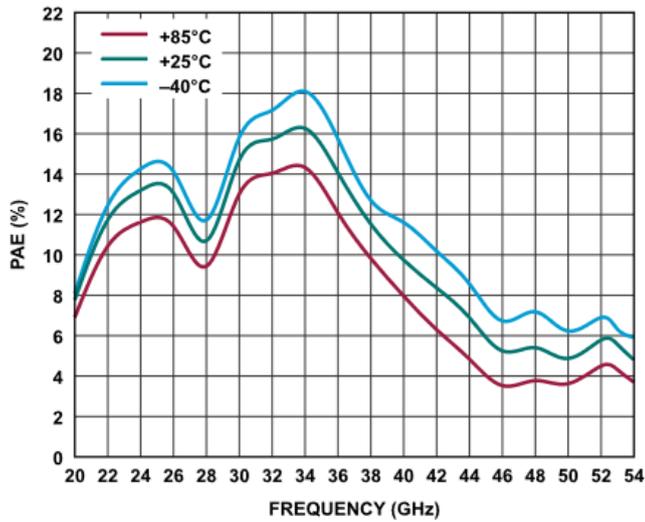


図 28. 様々な温度での電力付加効率 (PAE) の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$ 、PAEは $P_{SAT}$ で測定

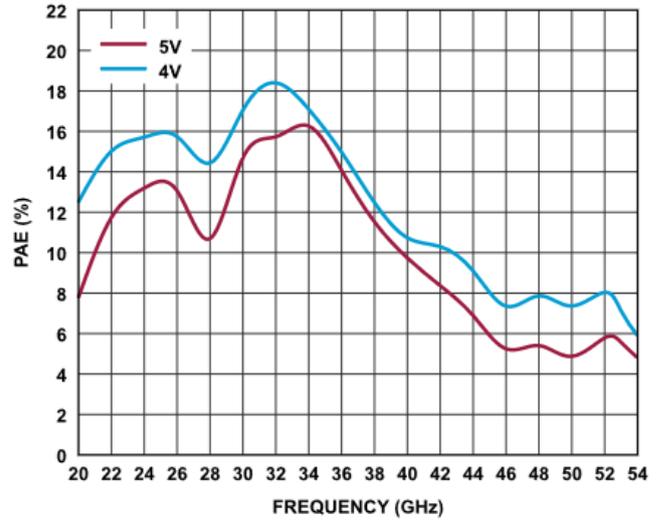


図 31. 様々な $V_{DD}$ 値でのPAEの周波数特性、 $I_{DQ} = 850mA$ 、PAEは $P_{SAT}$ で測定

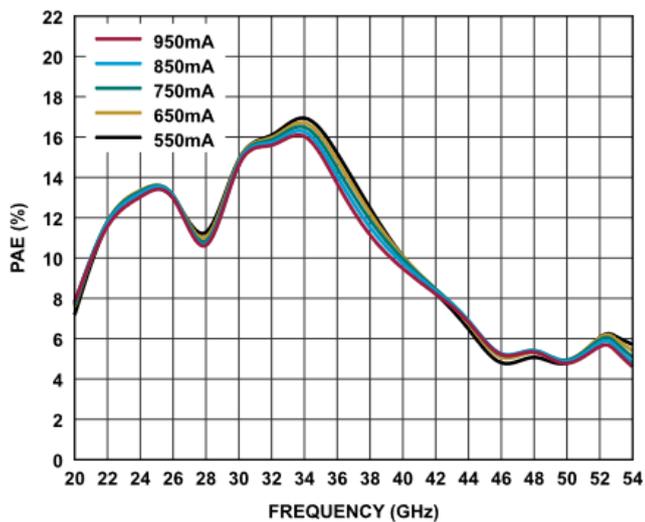


図 29. 様々な $I_{DQ}$ 値でのPAEの周波数特性、 $V_{DD} = 5V$ 、PAEは $P_{SAT}$ で測定

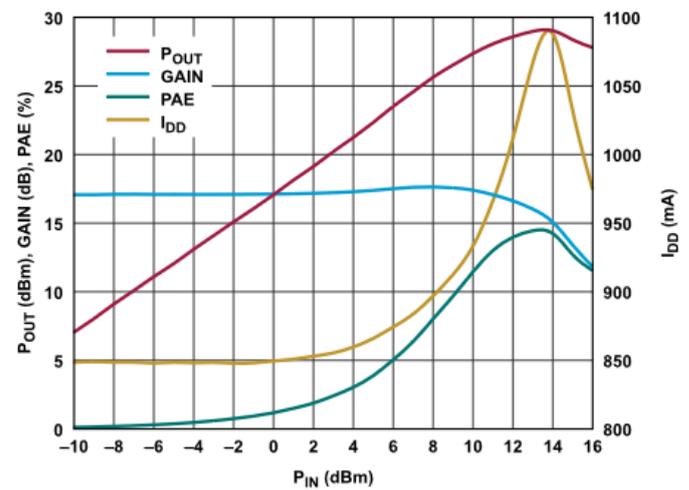


図 32.  $P_{OUT}$ 、ゲイン、PAE、および $I_{DD}$ と $P_{IN}$ の関係、22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

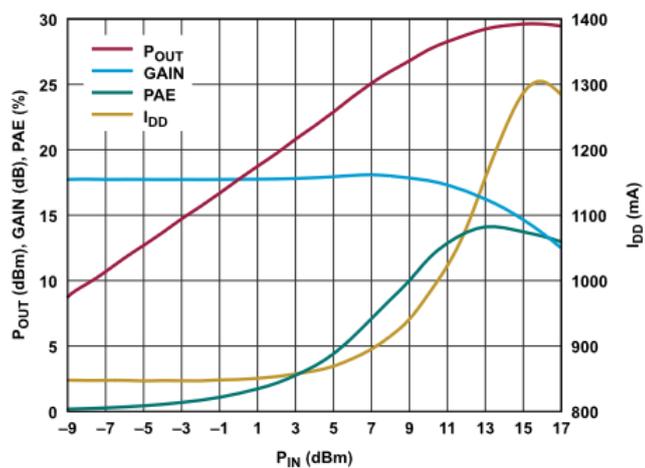


図 30.  $P_{OUT}$ 、ゲイン、PAE、およびRF印加時のドレイン電流 ( $I_{DD}$ ) と $P_{IN}$ の関係、26GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

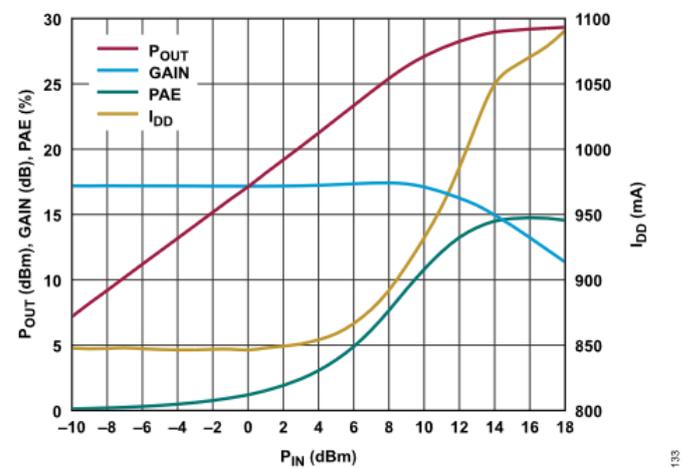


図 33.  $P_{OUT}$ 、ゲイン、PAE、および $I_{DD}$ と $P_{IN}$ の関係、30GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

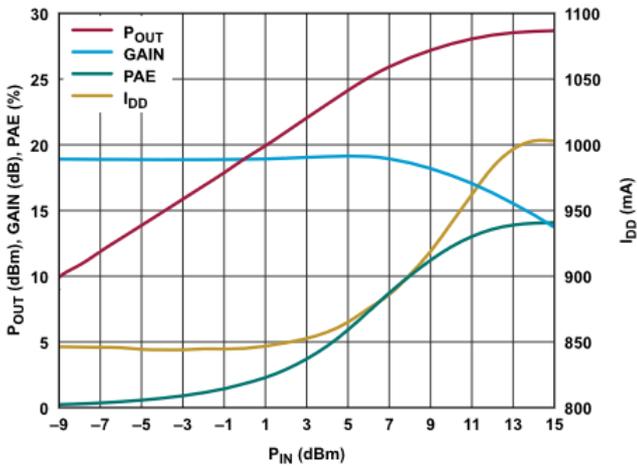


図 34.  $P_{OUT}$ 、ゲイン、PAE、および $I_{DD}$ と $P_{IN}$ の関係、36GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 850mA$

134

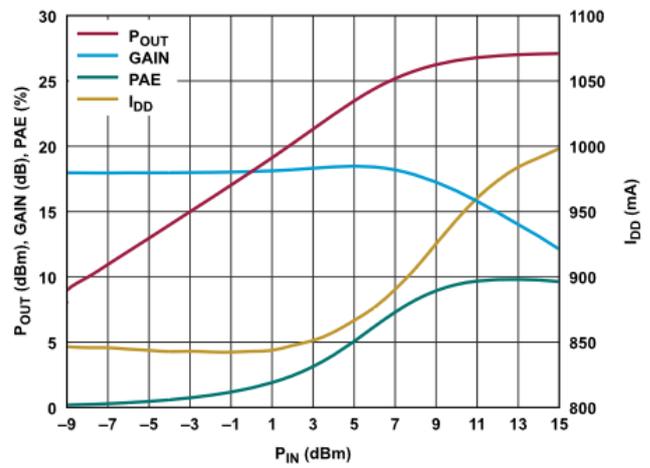


図 37.  $P_{OUT}$ 、ゲイン、PAE、および $I_{DD}$ と $P_{IN}$ の関係、40GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 850mA$

137

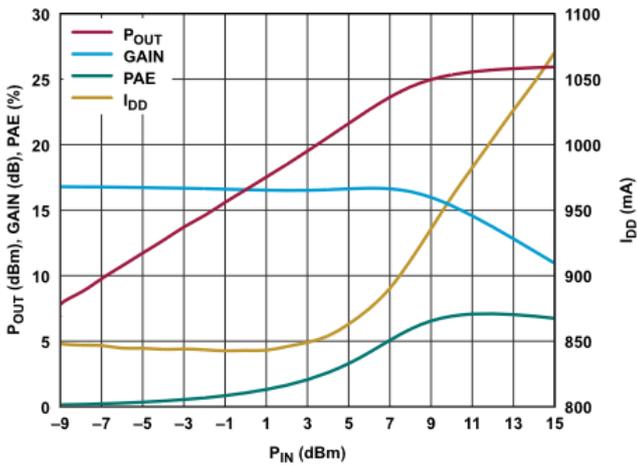


図 35.  $P_{OUT}$ 、ゲイン、PAE、および $I_{DD}$ と $P_{IN}$ の関係、44GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 850mA$

135

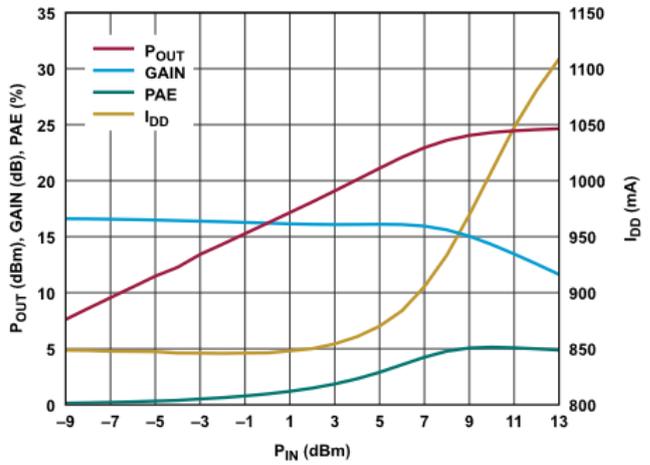


図 38.  $P_{OUT}$ 、ゲイン、PAE、および $I_{DD}$ と $P_{IN}$ の関係、50GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 850mA$

138

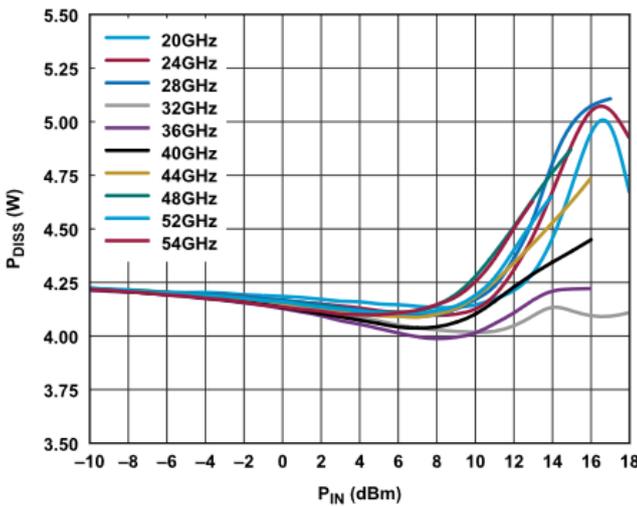


図 36. 様々な周波数での $P_{DISS}$ と $P_{IN}$ の関係、 $T_{CASE} = 85^{\circ}C$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

136

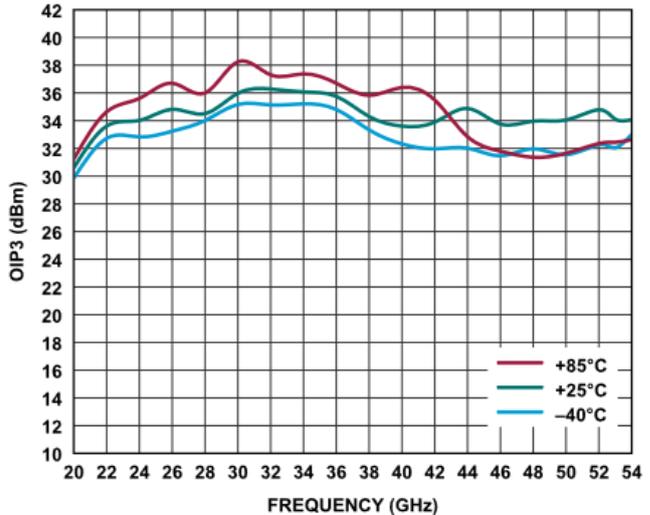


図 39. 様々な温度でのOIP3の周波数特性、トーンあたりの $P_{OUT} = 14dBm$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

139

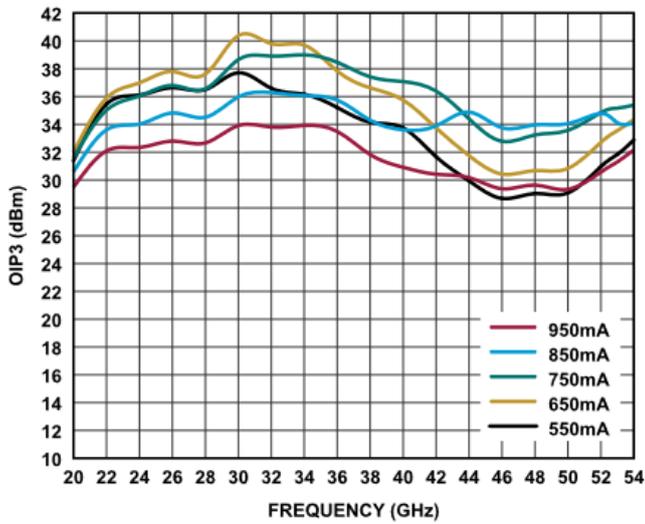


図 40. 様々な $I_{DQ}$ 値でのOIP3の周波数特性、トーンあたりの $P_{OUT} = 14\text{dBm}$ 、 $V_{DD} = 5\text{V}$

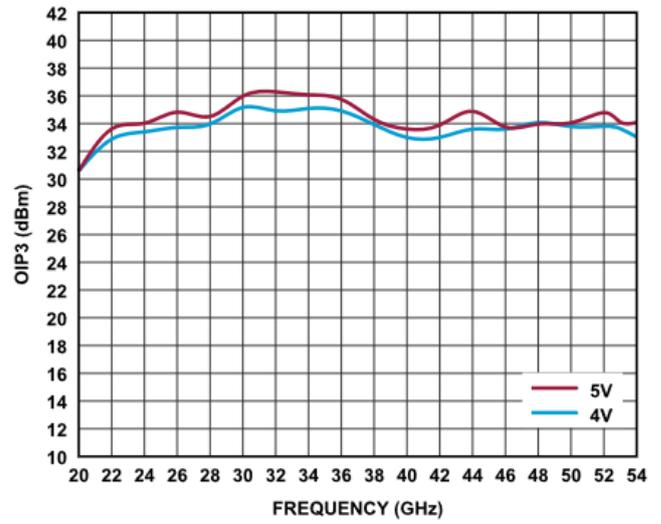


図 43. 様々な $V_{DD}$ 値でのOIP3の周波数特性、トーンあたりの $P_{OUT} = 14\text{dBm}$ 、 $I_{DQ} = 850\text{mA}$

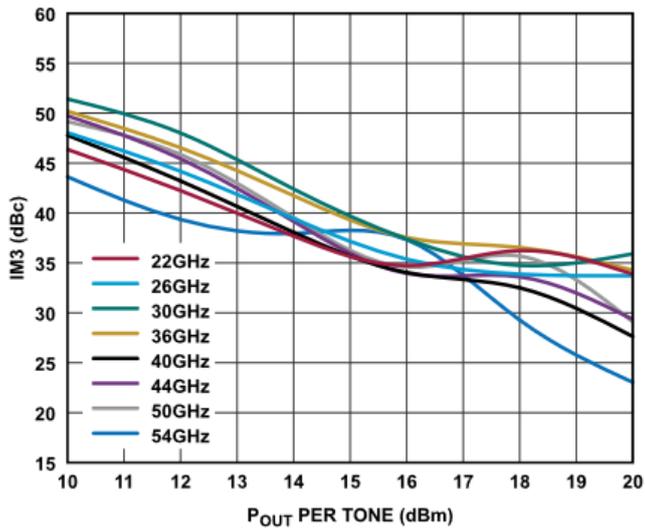


図 41. 様々な周波数での3次相互変調歪み (IM3) とトーンあたりの $P_{OUT}$ の関係、 $V_{DD} = 4\text{V}$ 、 $I_{DQ} = 850\text{mA}$

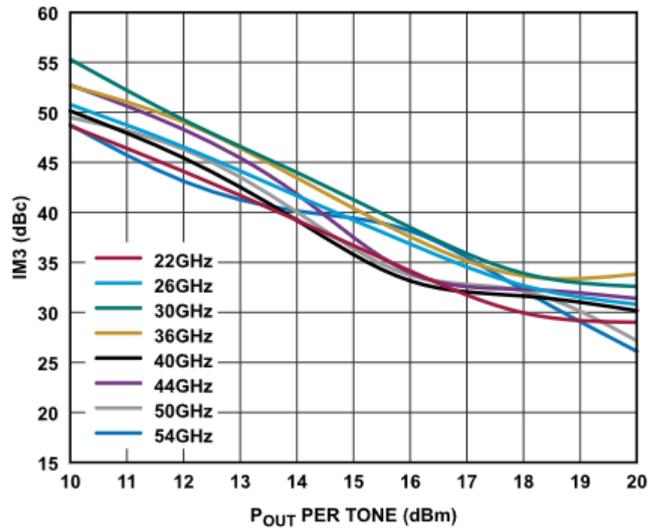


図 44. 様々な周波数でのIM3とトーンあたりの $P_{OUT}$ の関係、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 850\text{mA}$

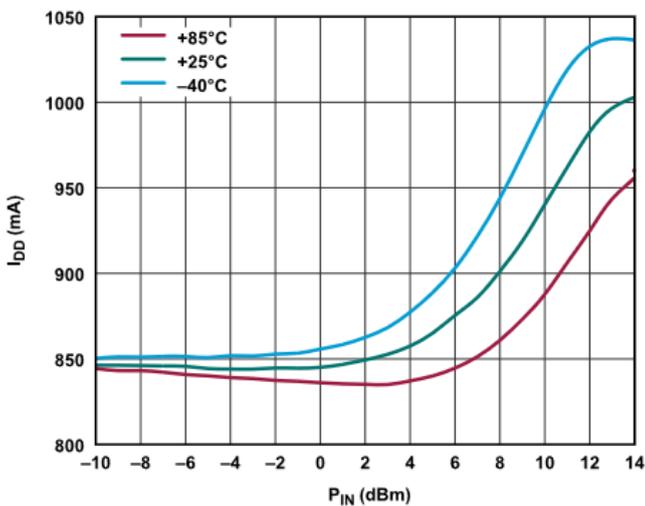


図 42. 様々な温度での $I_{DD}$ と $P_{IN}$ の関係、36GHz、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 850\text{mA}$

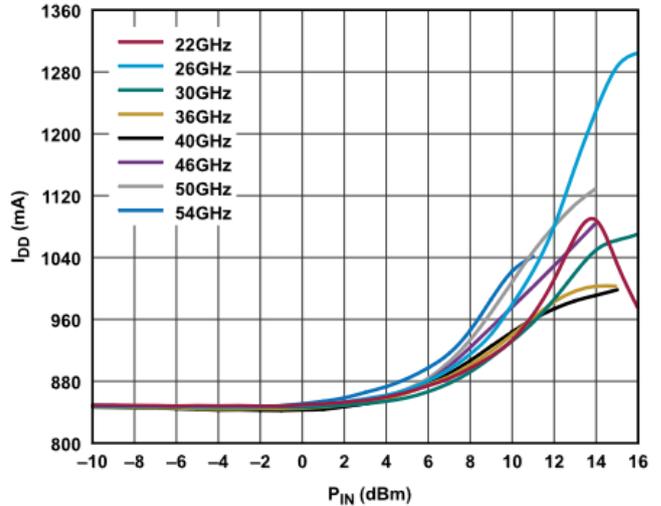


図 45. 様々な周波数での $I_{DD}$ と $P_{IN}$ の関係、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 850\text{mA}$

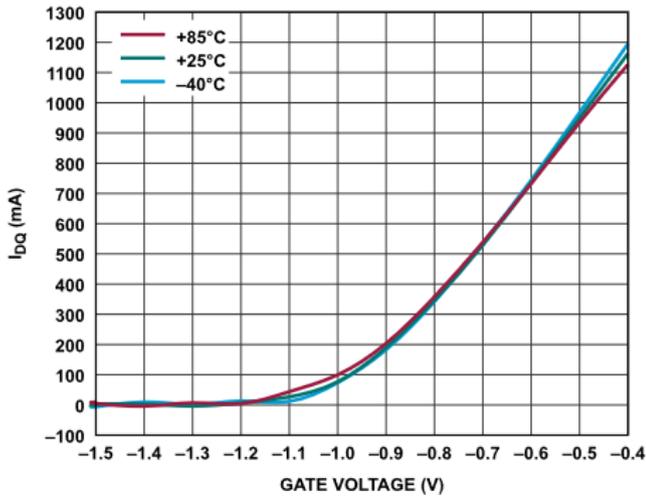


図 46. 様々な温度での $I_{DQ}$ とゲート電圧の関係、 $V_{DD} = 5V$

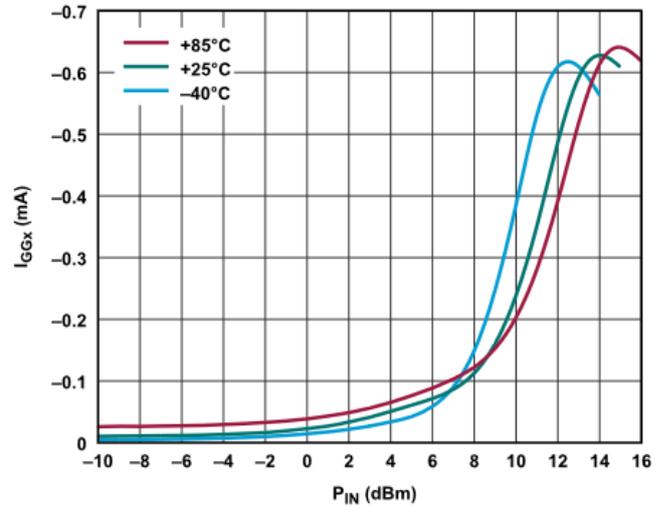


図 49. 様々な温度での $V_{GGx}$ 電流 ( $I_{GGx}$ ) と $P_{IN}$ の関係、36GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

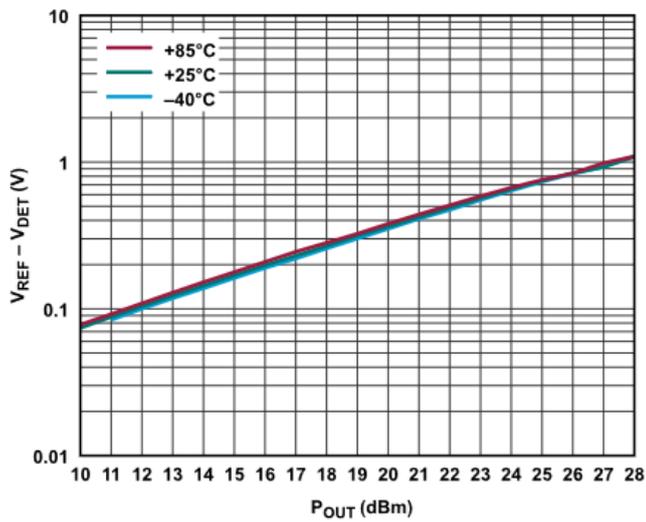


図 47. 様々な温度でのディテクタ電圧 ( $V_{REF} - V_{DET}$ ) と $P_{OUT}$ の関係、36GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

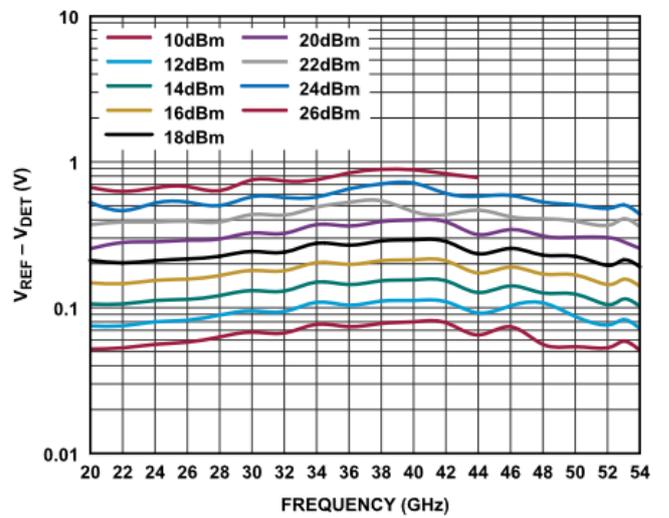


図 50. 様々な $P_{OUT}$ 値での $V_{REF} - V_{DET}$ の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

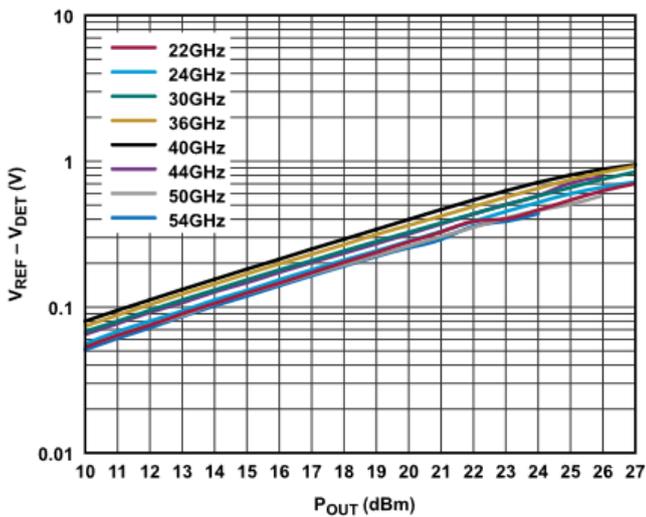


図 48. 様々な周波数での $V_{REF} - V_{DET}$ と $P_{OUT}$ の関係、 $V_{DD} = 5V$ 、 $I_{DQ} = 850mA$

## 低バイアス動作

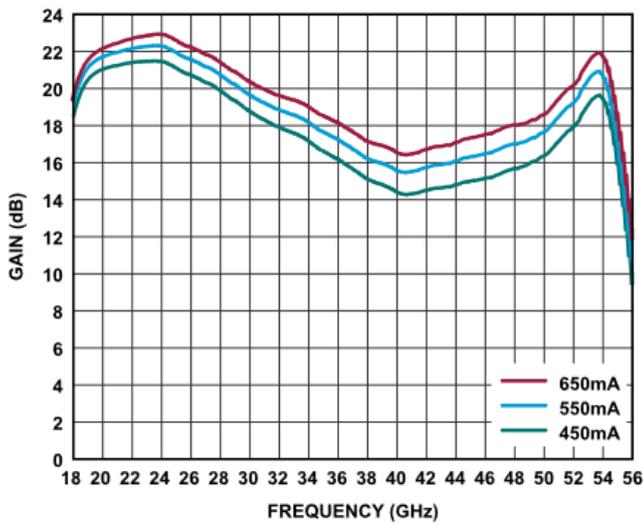


図 51. 様々な $I_{DQ}$ 値でのゲインの周波数特性、 $V_{DD} = 3V$

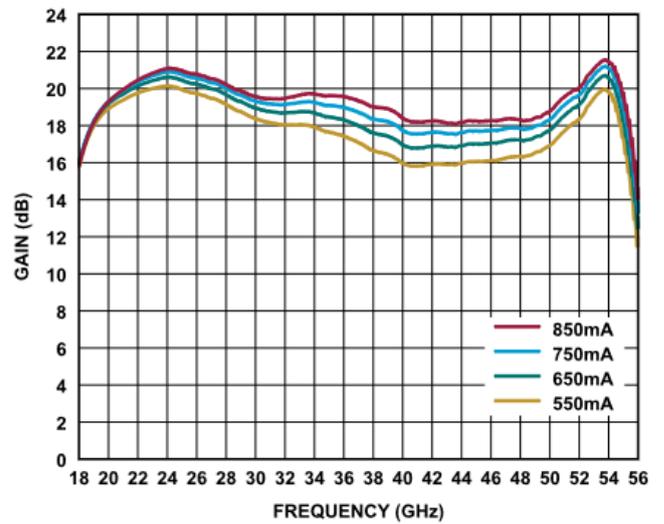


図 54. 様々な $I_{DQ}$ 値でのゲインの周波数特性、 $V_{DD} = 4V$

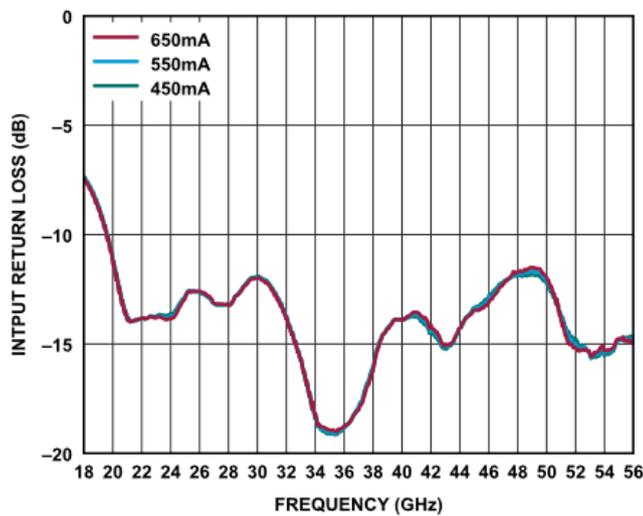


図 52. 様々な $I_{DQ}$ 値での入力リターン・ロスの周波数特性、 $V_{DD} = 3V$

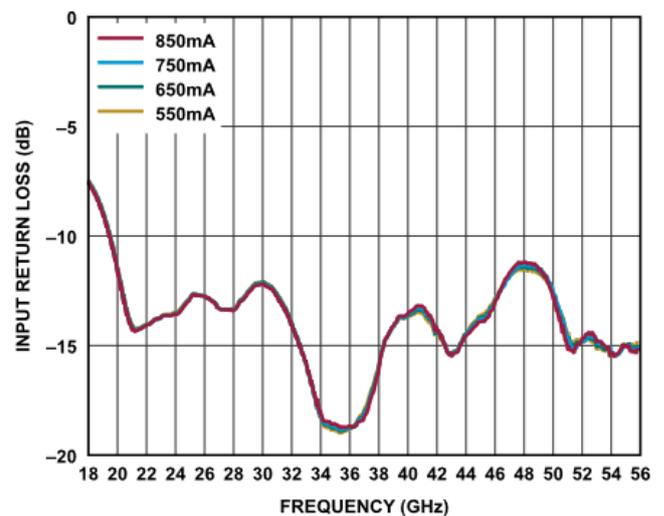


図 55. 様々な $I_{DQ}$ 値での入力リターン・ロスの周波数特性、 $V_{DD} = 4V$

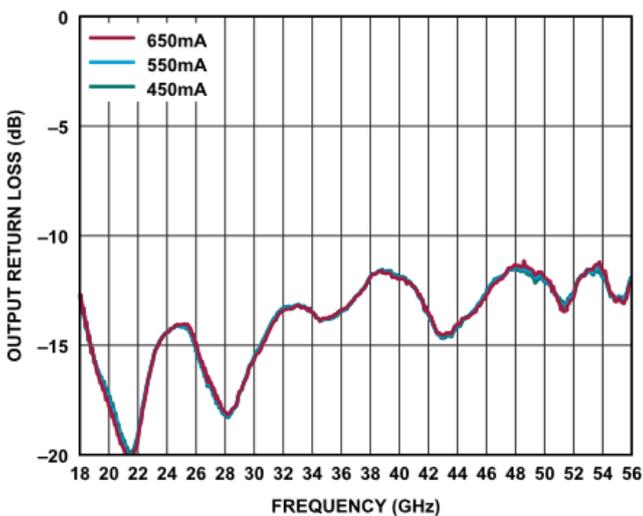


図 53. 様々な $I_{DQ}$ 値での出力リターン・ロスの周波数特性、 $V_{DD} = 3V$

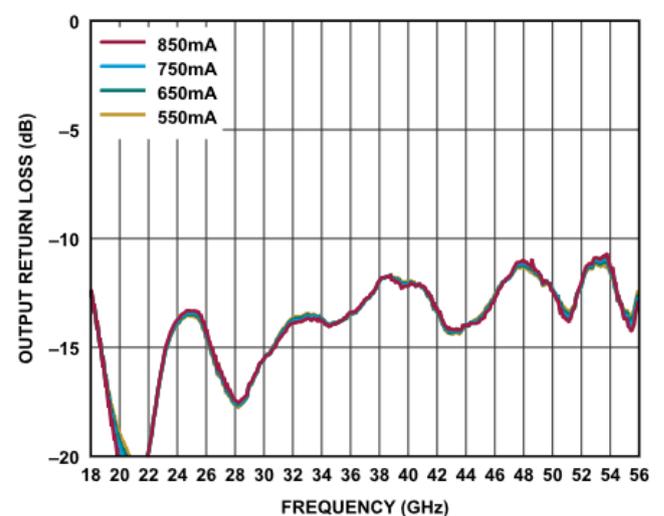


図 56. 様々な $I_{DQ}$ 値での出力リターン・ロスの周波数特性、 $V_{DD} = 4V$

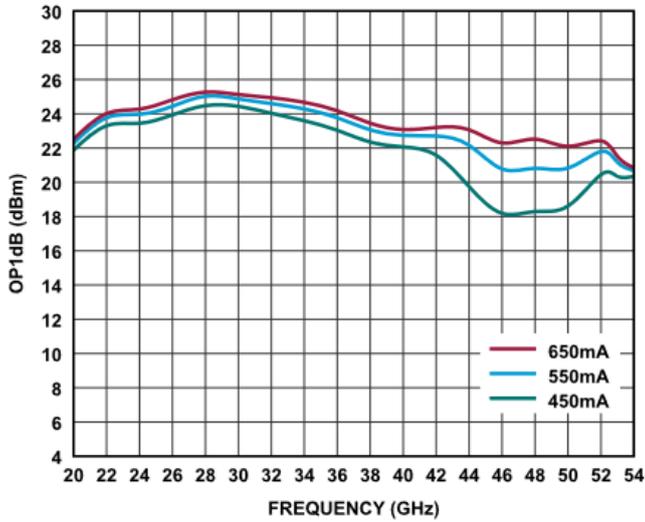


図 57. 様々な $I_{DQ}$ 値でのOP1dBの周波数特性、 $V_{DD} = 3V$

157

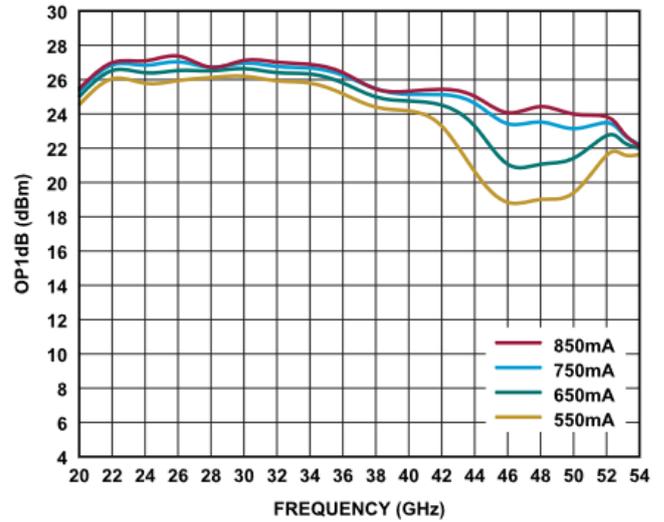


図 60. 様々な $I_{DQ}$ 値でのOP1dBの周波数特性、 $V_{DD} = 4V$

160

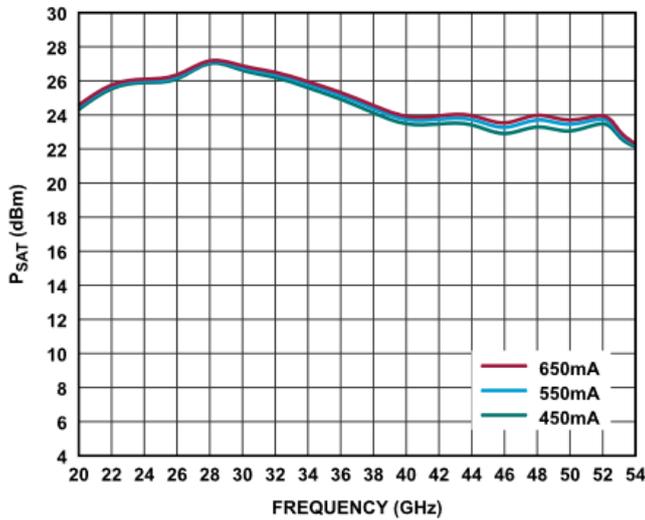


図 58. 様々な $I_{DQ}$ 値での $P_{SAT}$ の周波数特性、 $V_{DD} = 3V$

158

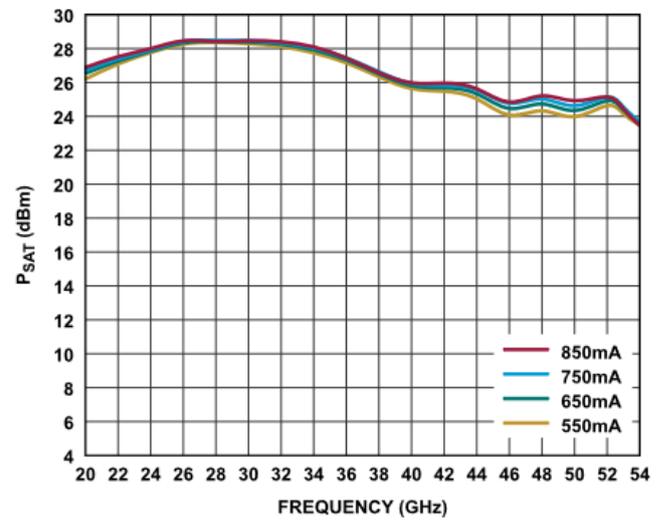


図 61. 様々な $I_{DQ}$ 値での $P_{SAT}$ の周波数特性、 $V_{DD} = 4V$

161

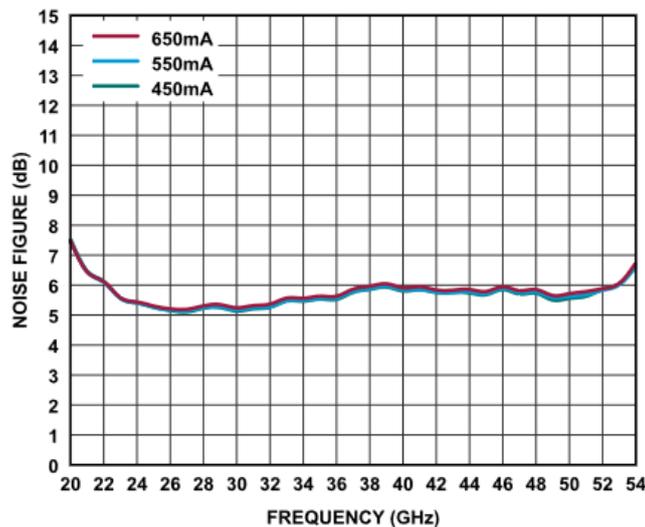


図 59. 様々な $I_{DQ}$ 値でのノイズ指数の周波数特性、 $V_{DD} = 3V$

159

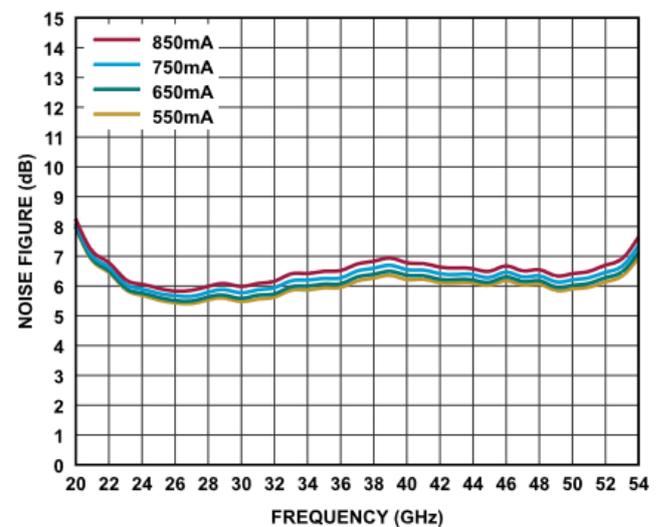


図 62. 様々な $I_{DQ}$ 値でのノイズ指数の周波数特性、 $V_{DD} = 4V$

162

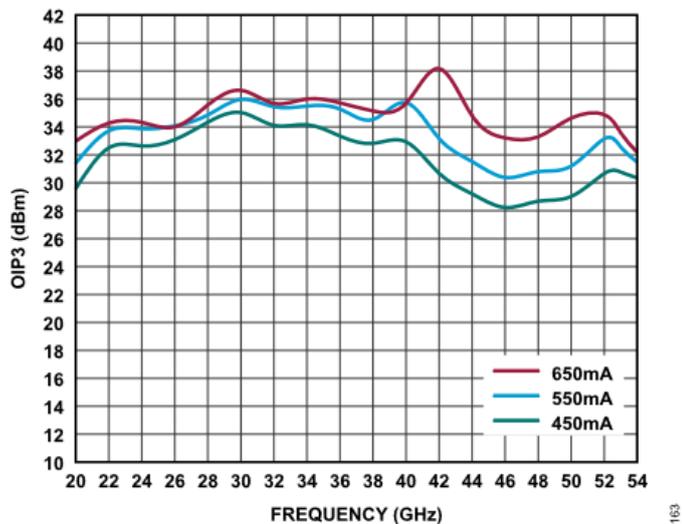


図 63. 様々な $I_{DQ}$ 値でのOIP3の周波数特性、トーンあたりの $P_{OUT} = 14\text{dBm}$ 、 $V_{DD} = 3\text{V}$

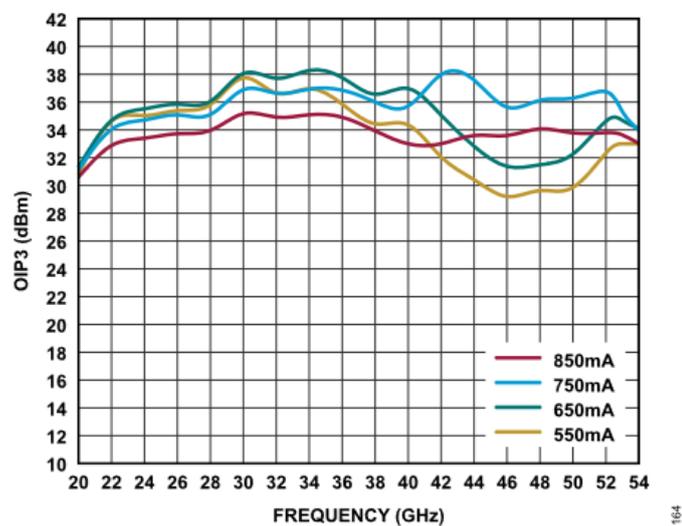


図 64. 様々な $I_{DQ}$ 値でのOIP3の周波数特性、トーンあたりの $P_{OUT} = 14\text{dBm}$ 、 $V_{DD} = 4\text{V}$

## 動作原理

ADPA7009-2はGaAsのpHEMTを使用した中電力パワー・アンプで、デカップリング部品を内蔵しています。図65に簡略化したブロック図を示します。ドレイン電流はVGG1ピンに印加する負電圧によって設定され、ドレイン・バイアス電圧はVDD1ピンを通じて印加されます。ゲートとドレインは、VGG2ピンとVDD2ピンを通じて交互にバイアスすることができます。バイアス・インダクタと、0.1 $\mu$ Fおよび100pFのデカップリング・コンデンサを内蔵しています。ADPA7009-2はカスケード接続された4段構成のアンプを使用しており、このアンプは2つの90°ハイブリッド間にあって直交位相で動作します。

入力信号は2つに均等分割され、各パスは4つの独立したゲイン段を通じて増幅されます。その後、増幅された信号は出力で合成されます。

このバランスド・アンプの手法により、17.5dBの結合ゲインと28.5dBmの $P_{SAT}$ 値を備えたアンプを形成します。ゲート・ピンは内部で接続されており、回路の上側または下側からバイアスできます。

RF出力信号の一部は、RF出力電力検出用のダイオードに方向性結合されます。このダイオードにDCバイアスを加えるとRF電力が整流され、VDETでのDC電圧として測定できるようになります。VREFを通じて同一の回路を対称に配置し、カップリングされたRF電力を差し引くことにより、VDETの温度補償を行うことができます。 $V_{REF} - V_{DET}$ による差分から、RF出力に比例する温度補償信号が得られます（図65を参照）。

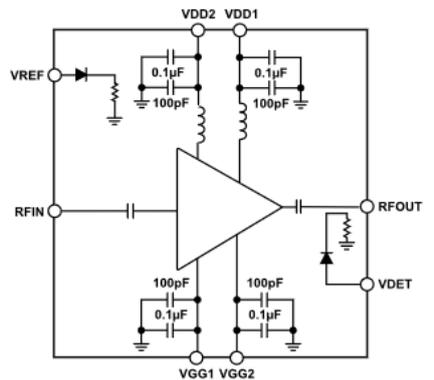


図 65. ADPA7009-2のアーキテクチャ

## アプリケーション情報

ADPA7009-2は、VGG1とVDD1（上側）またはVGG2とVDD2（下側）を通じてバイアスすることができます。上側バイアスによる基本的なアプリケーション回路を図66に示します。図67は下側バイアスによる回路です。RFINピンとRFOUTピンは内部でACカップリングされています。

VDD1、VDD2、VGG1、VGG2は内部でデカップリングされているため、これらのピンに必要な外付けデカップリング部品は最小限に抑えられています。

VGG1とVGG2はアンプのゲート・バイアス・ピン、VDD1とVDD2はアンプのドレイン・バイアス・ピンです。

このデバイスのすべての測定は、図66に示す基本的なアプリケーション回路を使用して行いました（図66を参照）。

評価用ボードの使用に関する詳細は、ADPA7009-2-EVALZのユーザー・ガイドを参照してください。

デバイスを損傷させないように、VDD1をオンにする前にVGG1を-1.5Vに設定します。VGG1は、目的のIDQ値が得られるように後で調

表 8. 電力の選択

I <sub>Q</sub> (mA) <sup>1</sup>	Gain (dB)	OP1dB (dBm)	OIP3 (dBm)	P <sub>DISS</sub> (W) at P <sub>SAT</sub>
650	18.5	26.5	38.0	3.80
750	19.0	27.0	37.0	4.08
850	19.5	27.5	34.5	4.30
950	19.7	27.8	32.5	4.49

1 V<sub>Gx</sub>を-1.5V~0Vの範囲で調整して、必要なドレイン電流を設定します。

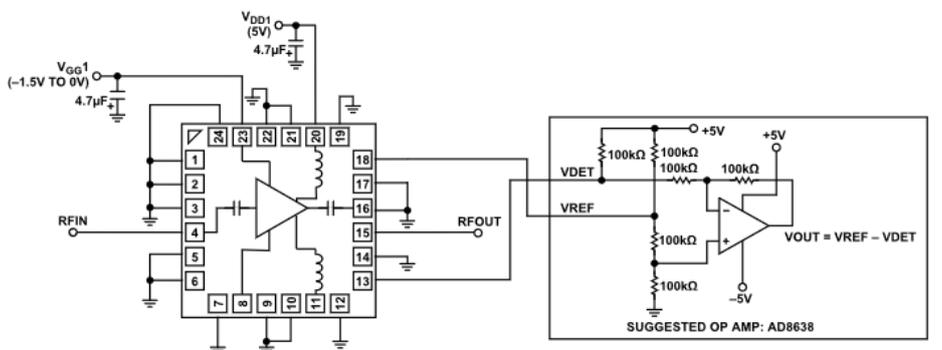


図 66. 基本的なアプリケーション回路（上側バイアス）

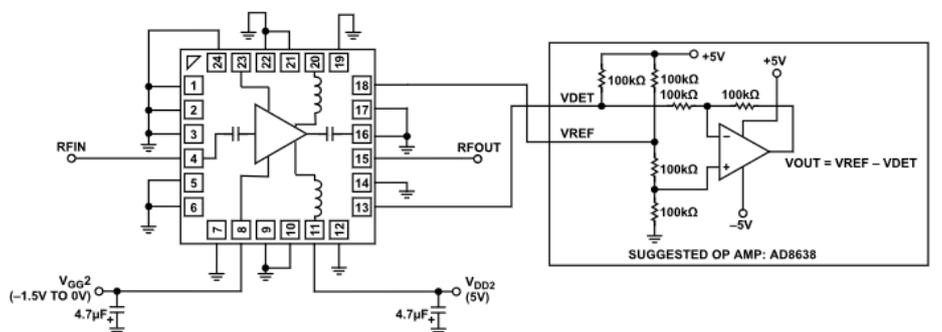


図 67. 別のアプリケーション回路（下側バイアス）

整できます。その後、RF入力信号を印加します。必要なゲート電圧が分かっている場合は、VGG1をピンチオフ電圧（-1.5V）にすることなく、直接その値に設定できます。

デバイスをオフにするには、まずRF入力信号をオフにしてからVDD1をオフにし、更にVGG1をオフにします。

デバイス全体の性能を最適化するには、V<sub>DD</sub> = 5V、I<sub>DQ</sub> = 850mAのバイアス条件を推奨します。特に指定のない限り、ここに示すデータは推奨バイアス条件を使用して取得しました。

ADPA7009-2を異なるバイアス条件で動作させると、表1から表3までに示した性能とは異なる性能となる可能性があります。ADPA7009-2に高いドレイン電流をバイアスすると、一般的にOP1dBとゲインは大きくなりますが、その代わりに消費電力が増加します（表8を参照）。

表8のデータは次のバイアス条件（公称値）で測定しています：V<sub>DD</sub> = 5V、T<sub>CASE</sub> = 25°C、周波数 = 36GHz。

## HMC980LP4EによるADPA7009-2のバイアシング

HMC980LP4Eは、ADPA7009-2のようなエンハンス型およびデプレッション型アンプのバイアス条件を満たすために設計された、アクティブ・バイアス・コントローラです。このコントローラは、温度変化やデバイス特性のばらつきがあっても一定したドレイン電流バイアスを実現し、ゲート電圧とドレイン電圧を正確にシーケンスして、アンプの安全な動作を保証します。HMC980LP4Eは、短絡時の自己保護機能、ADPA7009-2のゲートに必要な負電圧を生成する内部チャージ・ポンプ、および外部負電源を使用するためのオプションも備えています。HMC980LP4Eは、HMC980-Dieとしてダイ形態でも提供されています。

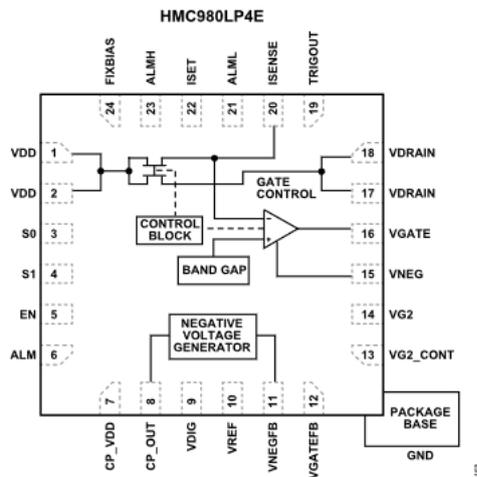


図 68. HMC980LP4Eアクティブ・バイアス・コントローラ

### アプリケーション回路のセットアップ

図69に、HMC980LP4Eを使用してADPA7009-2を制御するアプリケーション回路を示します。VNEG用に外部負電源を使用する場合は、図70に示すアプリケーション回路を参照してください。

図69に示すアプリケーション回路の場合、ADPA7009-2のドレイン電圧 ( $V_{DRAIN}$ ) とドレイン電流 ( $I_{DRAIN}$ ) は次式により設定されます：

$$V_{DD} = V_{DRAIN} + (I_{DRAIN} \times 0.85\Omega)$$

$$V_{DD} = 5\text{ V} + (0.95\text{ A} \times 0.85\Omega) = 5.81\text{ V}$$

ここで、

$V_{DD}$ と $V_{DRAIN}$ の単位はボルト、

$I_{DRAIN}$ の単位はアンペアです。

$$R_{10} = (150\Omega \times A) \div (I_{DRAIN})$$

$$R_{10} = (150\Omega \times A) \div (0.95\text{ A}) = 158\Omega$$

ここで、

$R_{10}$ の単位はオーム、

$I_{DRAIN}$ の単位はアンペアです。

### ADPA7009-2のVGGxの絶対最大定格条件を満たすためのVGATE制限

ADPA7009-2の制御にHMC980LP4Eを使用する場合は、ADPA7009-2のVGGxピンの電圧を絶対最大定格内に抑えるために、VNEGとVGATEの最小電圧を-1.5Vとする必要があります。最小電圧を設定するには、抵抗R15とR16を図69と図70に示す値に設定します。R15とR16の計算方法と詳細については、アプリケーション・ノートAN-1363「Meeting Biasing Requirements of Externally Biased RF/Microwave Amplifiers with Active Bias Controllers」を参照してください。

アプリケーション・ノートAN-1363には、バイアス用にHMC980LP4Eを使用するアプリケーション回路として、HMC980LP4Eをアクティブ・バイアス・コントローラとして使用する2つの例が記載されています。アプリケーション・ノートAN-1363のアプリケーション回路にはどちらも抵抗R5とR7が使われていますが、これらは、このデータシートの図69と図70に示す抵抗R15およびR16と同じです。

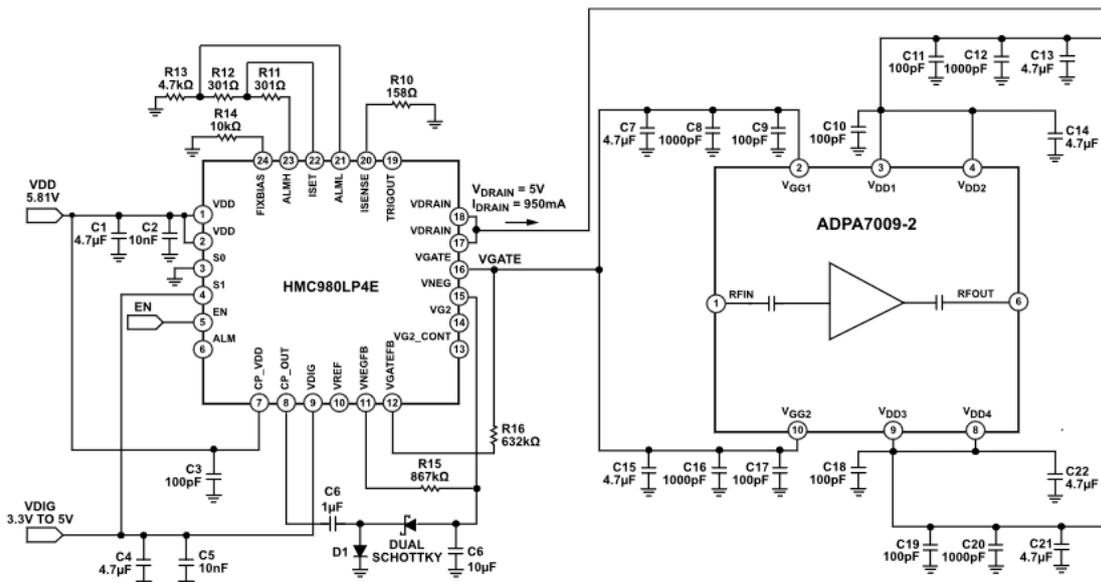


図 69. HMC980LP4EとADPA7009-2を使用したアプリケーション回路（内部負電圧源）

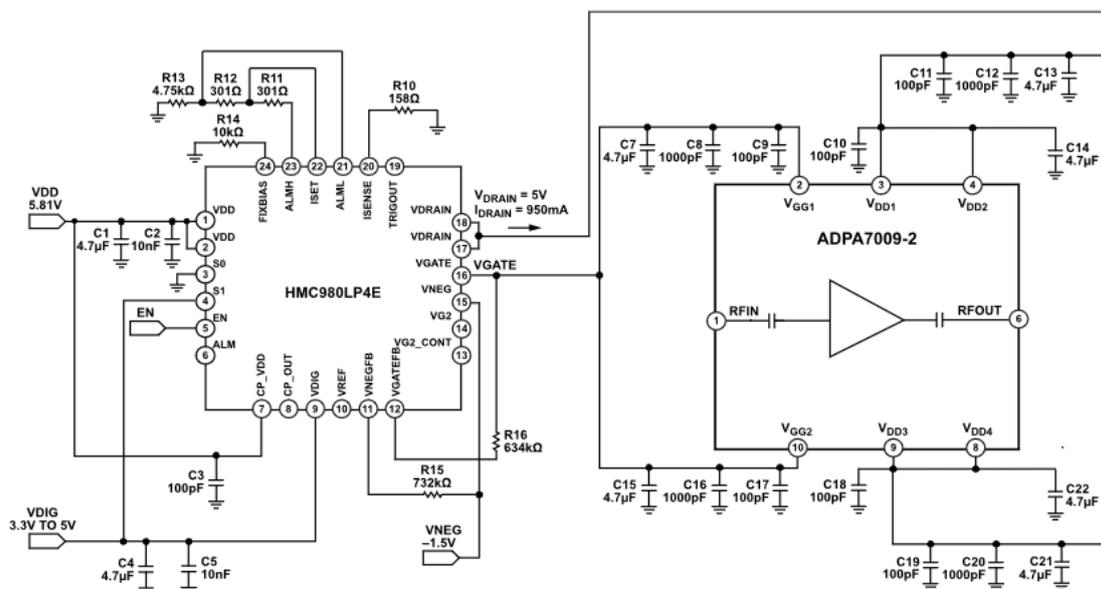


図 70. HMC980LP4EとADPA7009-2を使用したアプリケーション回路（外部負電圧源）

### HMC980LP4Eのバイアス・シーケンス

HMC980LP4Eを使用してADPA7009-2を制御する場合は、HMC980LP4Eの損傷を避けるために、このセクションに示すDC電源シーケンスに従う必要があります。

#### パワーアップ・シーケンス

HMC980LP4Eのパワーアップ・シーケンスは次のとおりです：

1. VDIG = 3.3Vに設定します。
2. S0 = 3.3Vに設定します。
3. VDD = 5.81Vに設定します。
4. VNEG = -1.5Vに設定します（内部生成電圧を使用する場合、このステップは必要ありません）。

5. EN = 3.3Vに設定します（0Vから3.3Vに遷移するとVGATEとVDRAINがオンになります）。

#### パワーダウン・シーケンス

HMC980LP4Eのパワーダウン・シーケンスは次のとおりです：

1. EN = 0Vに設定します（3.3Vから0Vに遷移するとVDRAINとVGATEがオフになります）。
2. VNEG = 0Vに設定します（内部生成電圧を使用する場合、このステップは必要ありません）。
3. VDD = 0Vに設定します。
4. S0 = 0Vに設定します。
5. VDIG = 0Vに設定します。

HMC980LP4Eのバイアス制御回路のセットアップ完了後は、ENピンに3.3Vを印加するとADPA7009-2へのバイアスがオンになり、0Vを印加するとバイアスがオフになります。EN = +3.3VではVGATEピンが-1.5Vまで低下し、VDRAINがオンになって5Vになります。その後、 $I_{DRAIN} = 950\text{mA}$ になるまでVGATEが増加し、クローズド制御ループが $I_{DRAIN}$ を950mAに調節します。EN = 0VのときはVGATEが-1.5Vに設定され、VDRAINは0Vに設定されます。

## 定ドレイン電流バイアスと定ゲート電圧バイアス

HMC980LP4Eは、クローズドループ・フィードバックを使用して連続的にVGATEをレギュレーションすることで、DC電源の変動、温度変化、および部品ごとのばらつきがある場合でもドレイン電流バイアスを一定に保ちます。更に、キャリブレーション手順に要する時間を短縮し、常に安定した性能を維持する方法としては、定ドレイン電流バイアスが最も適しています。RF電力が加えられると電流が増加する定ゲート電圧バイアスを定ドレイン電流バイアスと比較すると、定ドレイン電流バイアスではOP1dBがわずかに低下します。このOP1dBを図78に示します。この図では、高い入力電力ではデバイスが1dB圧縮に達してドレイン電流が小さくなるため、RF性能が定ゲート電圧バイアス動作の場合よりわずかに低下しています。

定ドレイン電流バイアスのOP1dB性能を向上させて定ゲート電圧バイアスに近い性能を得るには、図78に示すように、設定電流を増やして最大IDD電流に近づけます。定ドレイン電流動作時にIDQを増加できる限界は、表4に示す温度制限および最大消費電力仕様によって規定されます。IDDを増加し続けても実際のOP1dBが無制限に増加し続けることはありませんが、消費電力は増加します。したがって、定ドレイン電流バイアスを使用する場合は消費電力とOP1dB性能のトレードオフを考慮する必要があります。

## 定IDD動作

特に指定のない限り、通常動作で $T_{CASE} = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 950\text{mA}$ です。図71～図78は、HMC980LP4Eアクティブ・バイアス・コントローラによってバイアスされています。バイアシングの詳細については、HMC980LP4EによるADPA7009-2のバイアシングのセクションを参照してください。

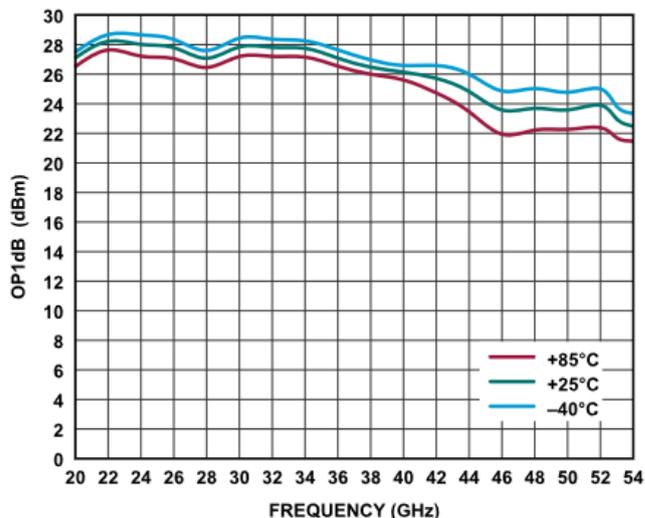


図 71. 様々な温度でのOP1dBの周波数特性、 $V_{DD} = 5\text{V}$ 、データは定 $I_{DD} = 950\text{mA}$ で測定

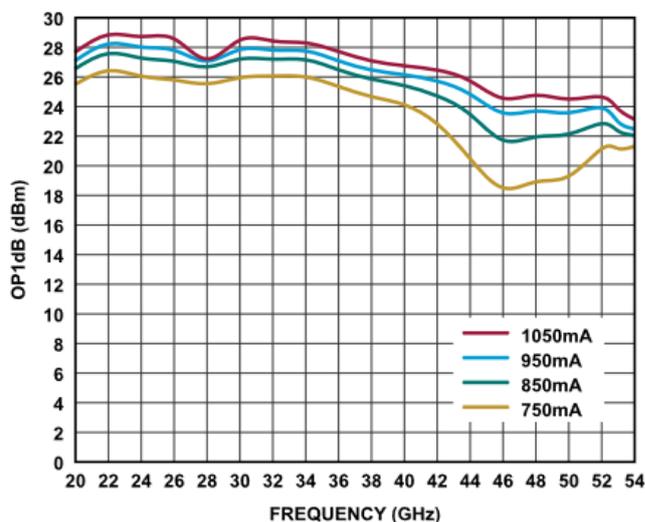


図 72. 様々な $I_{DQ}$ 値でのOP1dBの周波数特性、 $V_{DD} = 5\text{V}$ 、データは定 $I_{DD} = 950\text{mA}$ で測定

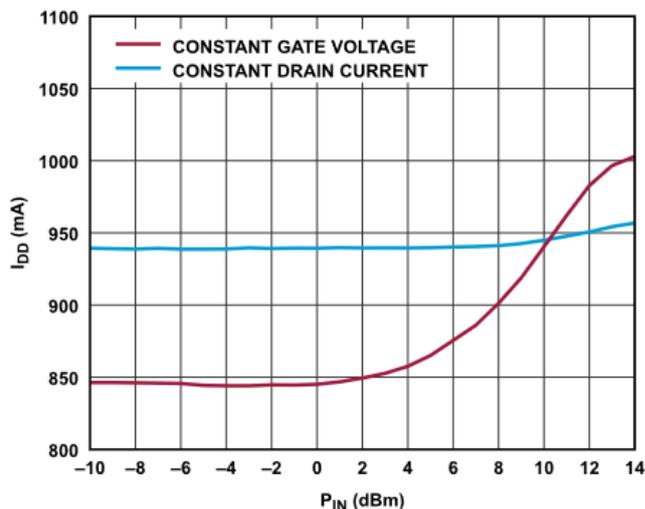


図 73.  $I_{DD}$ と $P_{IN}$ の関係、 $V_{DD} = 5\text{V}$ 、周波数 = 36GHz、定ドレイン電流 ( $I_{DRAIN}$ セットポイント = 950mA) および定ゲート電圧 ( $I_{DQ} = 850\text{mA}$ )

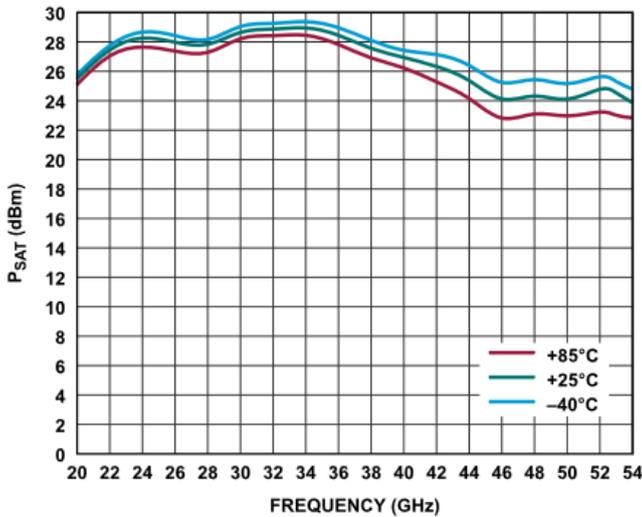


図 74. 様々な温度での $P_{SAT}$ の周波数特性、 $V_{DD} = 5V$ 、データは定 $I_{DD} = 950mA$ で測定

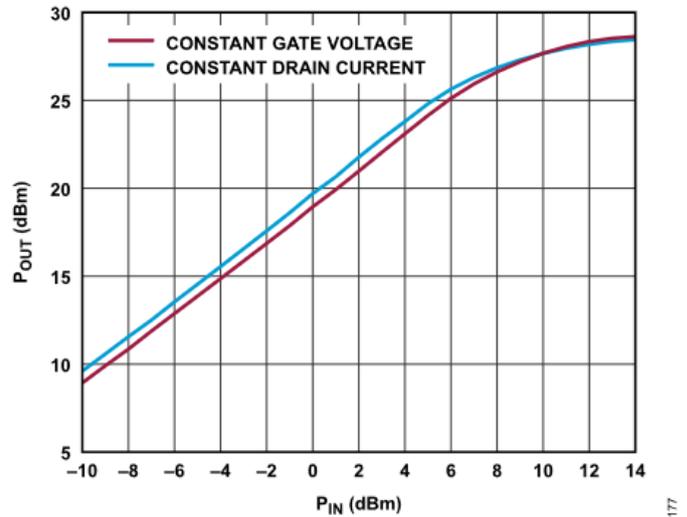


図 77.  $P_{OUT}$ と $P_{IN}$ の関係、 $V_{DD} = 5V$ 、周波数 = 36GHz、定ドレイン電流 ( $I_{DRAIN}$ セットポイント = 950mA) および定ゲート電圧 ( $I_{DQ} = 850mA$ )

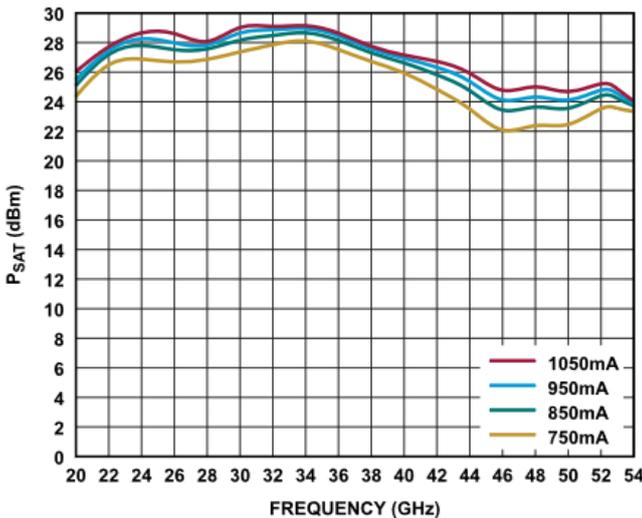


図 75. 様々な $I_{DQ}$ 値での $P_{SAT}$ の周波数特性、 $V_{DD} = 5V$ 、データは定 $I_{DD}$ で測定

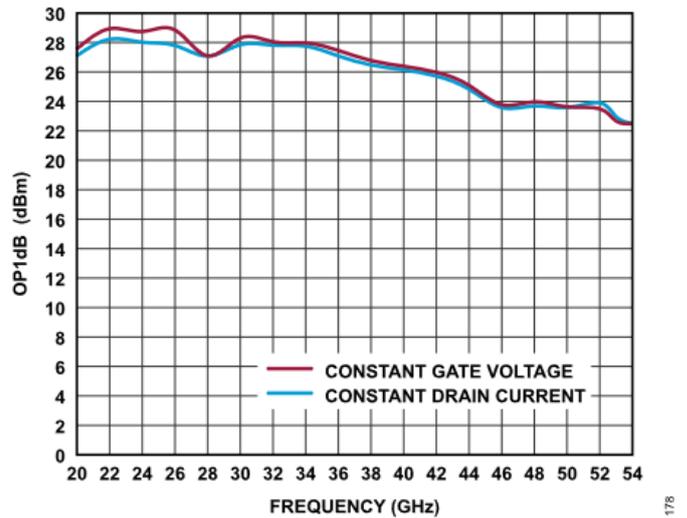


図 78. OP1dBの周波数特性、 $V_{DD} = 5V$ 、定ドレイン電流 ( $I_{DRAIN}$ セットポイント = 950mA) および定ゲート電圧 ( $I_{DQ} = 850mA$ )

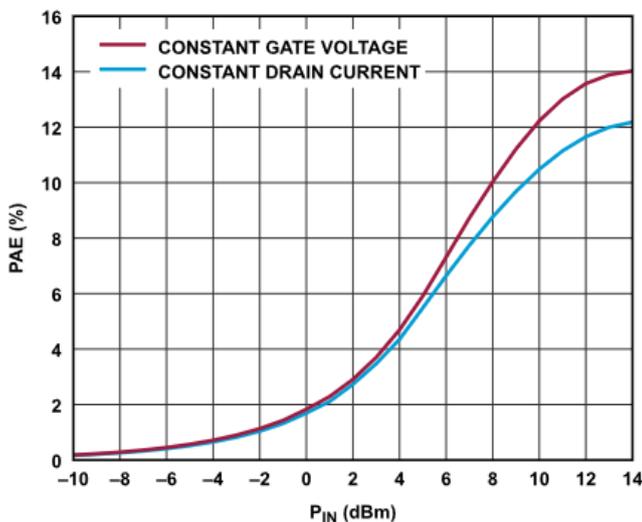
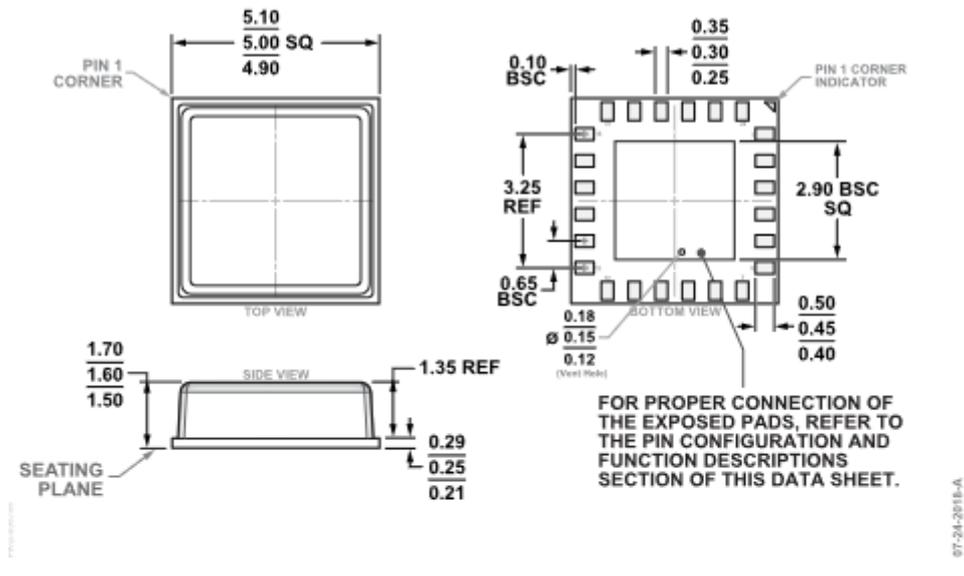


図 76. PAEと $P_{IN}$ の関係、 $V_{DD} = 5V$ 、周波数 = 36GHz、定ドレイン電流 ( $I_{DRAIN}$ セットポイント = 950mA) および定ゲート電圧 ( $I_{DQ} = 850mA$ )

## 外形寸法



### SOLDERING FOOTPRINT DIMENSIONS (Dimensions shown in millimeters)

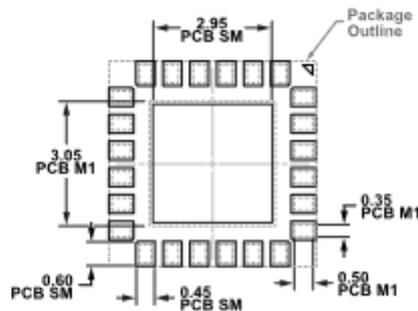


図 79. 24端子チップ・アレイ、スモール・アウトライン、リードなしキャビティ [LGA\_CAV]  
5.00mm×5.00mmボディ、1.60mmパッケージ高  
(CE-24-2)  
寸法：mm

更新：2022年8月09日

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADPA7009-2ACEZ	-40°C to +85°C	24-Terminal Chip Array Small Outline No Lead Cavity [LGA_CAV]	Tray, 1	CE-24-2
ADPA7009-2ACEZ-R7	-40°C to +85°C	24-Terminal Chip Array Small Outline No Lead Cavity [LGA_CAV]	Reel, 500	CE-24-2

<sup>1</sup> Z = RoHS 準拠製品。

## 評価用ボード

Model <sup>1</sup>	Description
ADPA7009-2-EVALZ	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。