



負電圧 LDO レギュレータを備えた インターリーブ型 反転チャージ・ポンプ

データシート

ADP5600

特長

入力電圧：2.7V～16V
最大出力電流：-100mA
パワー・MOSFET 内蔵
選択可能な 4 つの LDO 出力電圧
-0.505V、-1.5V、-2.5V、-5V
可変出力電圧範囲：-0.505V～-V_{IN} + 0.5V
プログラマブルなチャージ・ポンプのスイッチング周波数範囲
100kHz～1MHz
SYNC ピンを介して周波数を同期可能
高精度なイネーブルとパワーグッド
ソフト・スタート機能を内蔵
出力短絡保護および過負荷保護
チャージ・ポンプ・フライ・コンデンサの短絡保護
LDO 出力放電抵抗を内蔵
16 ピン、4mm × 4mm、LFCSP

アプリケーション

バイポーラ／分離電源 ADC／DAC／AMP／マルチプレクサ・
アプリケーションにおける負側レールの電源

代表的なアプリケーション回路

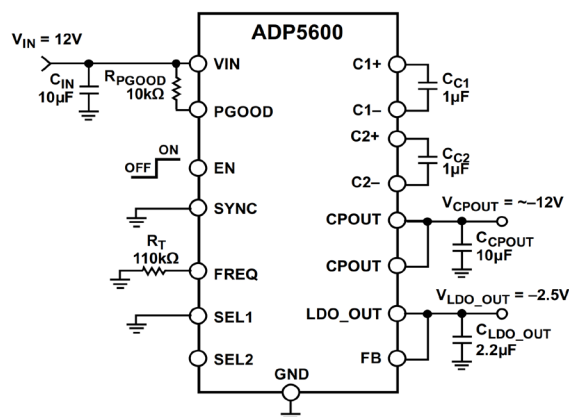


図 1. 固定出力電圧、V_{LDO_OUT} = -2.5V

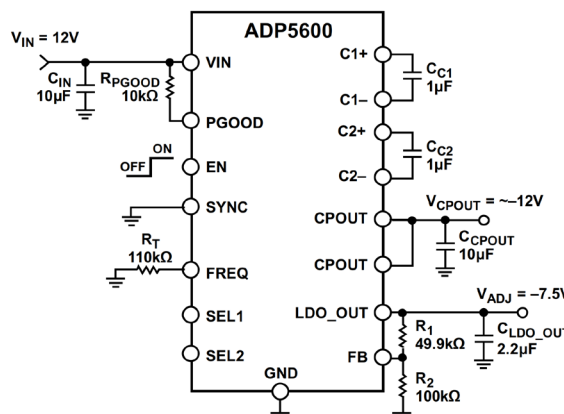


図 2. 可変出力電圧、V_{ADJ} = -7.5V

概要

ADP5600 は、負電圧の低ドロップアウト (LDO) リニア電圧レギュレータを内蔵したインターリーブ型チャージ・ポンプ・インバータで、誘電型や静電容量型に基づく従来のソリューションと比較して、出力電圧リップルと入力電流の反射ノイズが低減されています。内蔵の LDO により、安定性に優れた電源レールを十分な電源電圧変動除去比 (PSRR) で提供します。

ADP5600 チャージ・ポンプは、抵抗を使用して設定するか外部クロックで同期させることにより、100kHz～1MHz のスイッチング周波数範囲で動作させることができます。高いスイッチング周波数で動作させることで、小型の入力／出力／フライ・コンデンサを使用できます。高いスイッチング周波数に、内蔵の電界効果トランジスタ (FET)、補償回路、ソフト・スタート回路を組み合わせることで、負電圧レールを発生するためのクラス最高レベルのソリューション・サイズを実現できます。

また、ADP5600 には包括的な故障保護機能が搭載されており、堅牢性が要求されるアプリケーションにも適しています。保護機能として、過負荷保護、フライ・コンデンサの短絡保護、低電圧ロックアウト (UVLO)、サーマル・シャットダウンなどが搭載されています。パワーグッド・ピンを備えており、シーケンシングも容易にできます。

ADP5600 の内蔵 LDO にはアナログ・デバイセズ独自の最新アーキテクチャが採用されており、高い電源除去比を実現します。また、2.2μF の小型セラミック出力コンデンサを 1 個使用するだけで優れたライン過渡応答と負荷過渡応答を実現できます。出力は、SEL1 ピンと SEL2 ピンを使用して 4 つの固定出力電圧のいずれかに設定するか、外付けの帰還抵抗分圧器を使用して -0.505V～-V_{IN} + 0.5V の範囲で調整できます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	発振器	17
アプリケーション	1	同期	17
代表的なアプリケーション回路	1	電流制限および出力短絡保護 (SCP)	18
概要	1	パワーグッド	18
改訂履歴	2	低電圧ロックアウト (UVLO)	18
仕様	3	熱に対する考慮事項	19
チャージ・ポンプ・レギュレータの仕様	4	アプリケーション情報	20
LDO レギュレータの仕様	4	コンデンサの選択	20
入出力コンデンサの推奨仕様	5	出力電圧の設定	20
絶対最大定格	6	ノイズの低減	21
熱抵抗	6	クロック源の随時変更	21
ESD に関する注意	6	設計例	23
ピン配置およびピン機能の説明	7	チャージ・ポンプのスイッチング周波数の設定	23
代表的な性能特性	8	チャージ・ポンプ・フライ・コンデンサの選定	23
動作原理	14	LDO レギュレータの出力電圧の設定	23
反転チャージ・ポンプの動作	14	最小 V_{IN} 電圧の決定	23
インターリーブ型反転チャージ・ポンプの動作	15	推奨回路基板レイアウト	24
チャージ・ポンプの出力抵抗	16	外形寸法	25
負電圧 LDO レギュレータ	16	オーダー・ガイド	25
起動およびソフト・スタート	16		
高精度イネーブル/シャットダウン	17		

改訂履歴

7/2020—Revision 0: Initial Version

仕様

特に指定のない限り、仕様の最小値／最大値については、 $V_{IN} = V_{EN} = 2.7V$ または $|V_{LDO_OUT} - 0.5V|$ のどちらか高い値～16V、 $V_{LDO_OUT} = -2.5V$ 、 $C_{IN} = C_{CPOUT} = 10\mu F$ 、 $C1 = C2 = 1\mu F$ 、 $C_{LDO_OUT} = 2.2\mu F$ 、 $I_{LDO_OUT} = -10mA$ 、 $f_{OSC} = 500kHz$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ 。仕様の代表値については、 $V_{IN} = V_{EN} = 12V$ 、 $T_A = 25^{\circ}C$ 。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
POWER SUPPLY REQUIREMENTS						
Input Voltage	V_{IN}	2.7		16	V	
Active Switching Current	I_{SW}		3.75	4	mA	$V_{IN} = 5V$ 、 $f_{OSC} = 100kHz$
			5	5.6	mA	$V_{IN} = 5V$ 、 $f_{OSC} = 500kHz$
			7.7	8.5	mA	$V_{IN} = 5V$ 、 $f_{OSC} = 1MHz$
			6.5		mA	$V_{IN} = 16V$ 、 $f_{OSC} = 500kHz$
Shutdown Current	I_{SHDN}			26.1	μA	$EN = GND$ 、 $V_{IN} = 16V$
VIN Undervoltage Lockout Threshold	$UVLO_{RISING}$		2.58	2.63	V	V_{IN} の立上がり
	$UVLO_{FALLING}$	2.46	2.5		V	V_{IN} の立下がり
	$UVLO_{HYS}$		90		mV	V_{IN} の立下がり
SEL1, SEL2 PULL-UP CURRENT	I_{SEL}	4.5	5	5.7	μA	$V_{SELx} = 0.5V$
THERMAL SHUTDOWN						
Threshold	TSD_{RISING}		150		$^{\circ}C$	
Hysteresis	TSD_{HYS}		20		$^{\circ}C$	
EN						
EN Shutdown Threshold (High to Low)	EN_{SD2}	0.5	0.71		V	シャットダウンに入る閾値
EN Rising Threshold, Precision	EN_{TH}	1.17		1.26	V	高精度閾値
EN Input Hysteresis, Precision	EN_{HYS}		70		mV	
EN Noise Filter Time	EN_{FILT_LO-HI}		5.4		μs	ノイズ・フィルタの EN ロー～ハイ
EN Leakage Current			3.5	5.2	μA	$V_{IN} = V_{EN} = 16V$
OSCILLATOR (FREQ)						
Oscillator Frequency Range	f_{OSC}	0.1		1.1	MHz	抵抗で設定可能な内部発振器の周波数範囲
FREQ Resistor Range	R_T	0		530	$k\Omega$	
FREQ = GND Frequency Range	f_{OSC_GND}	0.85		1.1	MHz	$R_T = 0\Omega$
FREQ Voltage	V_{FREQ}		1		V	バッファ付き出力
SYNC						
Synchronization Range	f_{SYNC}	0.2		2.2	MHz	$f_{OSC} = f_{SYNC}/2$
SYNC Minimum Pulse Width	$t_{SYNC_MIN_ON}$	100			ns	
SYNC Minimum Off Time	$t_{SYNC_MIN_OFF}$	150			ns	
SYNC Input High Voltage	V_{IH_SYNC}	1.3			V	
SYNC Input Low Voltage	V_{IL_SYNC}			0.5	V	
SYNC Leakage Current	I_{SYNC_LKG}		4.5	100	nA	$V_{SYNC} = 5.5V$
POWER-GOOD OUTPUT						
Rising Threshold	PG_{TH}	91	93	95	%	公称 V_{LDO_OUT}
Hysteresis	PG_{HYS}		3		%	
Power-Good Rising Deglitch Time	t_{PG}		16		$1/f_{OSC}$	
Power-Good Leakage Current	I_{PG_LKG}		5	100	nA	$V_{PG} = 16V$
Power-Good Output Low Voltage	V_{OL}		130	209	mV	$I_{PG} = 1mA$

チャージ・ポンプ・レギュレータの仕様

表 2.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
CHARGE PUMP OUTPUT IMPEDANCE	R_{OUT}		9.5		Ω	$I_{CP\text{OUT}} = -50\text{mA}$
ON RESISTANCES						
VIN to Cx+ PFET Switch	R_{CPHx}		2.9	4.55	Ω	x = 反転チャージ・ポンプ 1 または チャージ・ポンプ 2
Cx- to GND PFET Switch	R_{CPGx}		1.95	3.69	Ω	
Cx+ to GND NFET Switch	R_{FNGx}		1.81	3.41	Ω	
Cx- to CPOUT NFET Switch	R_{FNOx}		1.83	2.9	Ω	
CURRENT LIMIT						
Charge Pump Input Current Limit	$I_{PMOSLIMIT}$		235	280	mA	
Charge Pump Output Current Limit	$I_{NMOSLIMIT}$		270	330	mA	
OFF STATE ISOLATION LEAKAGE	I_{CPOUT_LKG}		4	6	μA	$V_{IN} = 16\text{V}$, $V_{EN} = 0\text{V}$
POWER EFFICIENCY			88		%	$V_{IN} = 16\text{V}$, $I_{CPOUT} = -100\text{mA}$

LDO レギュレータの仕様

表 3.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
POWER-GOOD THRESHOLD						
Rising Threshold	PG_{TH_CP}	-1.87	-2	-2.1	V	
Hysteresis	PG_{HYS_CP}		130		mV	
LDO OUTPUT VOLTAGE						LDO_OUT を FB に短絡、 $V_{IN} = +12\text{V}$, $I_{LDO_OUT} = -10\text{mA}$
SEL1 = GND SEL2 = GND	V_{LDO_OUT1}	-0.487	-0.505	-0.523	V	
SEL1 = NC SEL2 = GND	V_{LDO_OUT2}	-1.47	-1.5	-1.53	V	
SEL1 = GND SEL2 = NC	V_{LDO_OUT3}	-2.465	-2.5	-2.535	V	
SEL1 = NC SEL2 = NC	V_{LDO_OUT4}	-4.925	-5.0	-5.075	V	
LDO LINE REGULATION	$\Delta V_{LDO_OUT}/\Delta V_{IN}$		-0.59 -1.04 -1.42 -2.33		mV/V mV/V mV/V mV/V	$V_{LDO_OUT1} = -0.505\text{V}$ $V_{LDO_OUT2} = -1.5\text{V}$ $V_{LDO_OUT3} = -2.5\text{V}$ $V_{LDO_OUT4} = -5\text{V}$
LDO LOAD REGULATION	$\Delta V_{LDO_OUT}/\Delta I_{LDO_OUT}$		-0.10 -0.12 -0.13 -0.16		mV/mA mV/mA mV/mA mV/mA	$I_{LDO_OUT} = -1\text{mA} \sim -100\text{mA}$ $V_{LDO_OUT1} = -0.505\text{V}$ $V_{LDO_OUT2} = -1.5\text{V}$ $V_{LDO_OUT3} = -2.5\text{V}$ $V_{LDO_OUT4} = -5\text{V}$
FB BIAS CURRENT	I_{FB}		5	100	nA	
LDO CURRENT LIMIT	I_{LIM_LDO}	110	160		mA	
DROPOUT VOLTAGE ¹	$V_{DROPOUT}$		-21 -111	-58 -190	mV mV	$I_{LDO_OUT} = -10\text{mA}$ $I_{LDO_OUT} = -100\text{mA}$
LDO_OUT DISCHARGE RESISTOR			400	430	Ω	$V_{EN} = 0\text{V}$, $I_{LDO_OUT} = -1\text{mA}$
SOFT START TIME ²	t _{SS}		160		μs	$V_{LDO_OUT3} = -2.5\text{V}$
TOTAL START-UP TIME ³	t _{START-UP}		900		μs	$V_{LDO_OUT3} = -2.5\text{V}$

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
OUTPUT NOISE	LDO_OUT _{NOISE}		59		μV rms	10Hz～100kHz、V _{LDO_OUT3} = -2.5V
			57		μV rms	100Hz～100kHz、V _{LDO_OUT3} = -2.5V
			163		μV rms	10Hz～100kHz、V _{ADJ} = -7.5V、 C _{NR} = オープン、R _{NR} = オープン、 R ₁ = 150kΩ、R ₂ = 75kΩ
			158		μV rms	100 Hz～100kHz、V _{ADJ} = -7.5V、 C _{NR} = オープン、R _{NR} = オープン、 R ₁ = 150kΩ、R ₂ = 75kΩ
			99		μV rms	10Hz～100kHz、V _{ADJ} = -7.5V、 C _{NR} = 100nF、R _{NR} = 75kΩ、 R ₁ = 150kΩ、R ₂ = 75kΩ
			96		μV rms	100Hz～100kHz、V _{ADJ} = -7.5V、 C _{NR} = 100nF、R _{NR} = 75kΩ、 R ₁ = 150kΩ、R ₂ = 75kΩ
POWER SUPPLY REJECTION RATIO	PSRR		45		dB	10kHz、V _{LDO_OUT3} = -2.5V、 V _{IN} = +4.5V
			41		dB	100kHz、V _{LDO_OUT3} = -2.5V、 V _{IN} = +4.5V
			69		dB	1MHz、V _{LDO_OUT} = -2.5V、V _{IN} = +4.5V
			45		dB	10kHz、V _{LDO_OUT4} = -5V、V _{IN} = +6V
			39		dB	100kHz、V _{LDO_OUT4} = -5V、V _{IN} = +6V
			70		dB	1MHz、V _{LDO_OUT4} = -5V、V _{IN} = +6V
			40		dB	10kHz、V _{ADJ} = -7.5V、V _{IN} = +16V、 可変モード、R ₁ = 150kΩ、R ₂ = 75kΩ
			43		dB	100kHz、V _{ADJ} = -7.5V、V _{IN} = +16V、 可変モード、R ₁ = 150kΩ、R ₂ = 75kΩ
			68		dB	1MHz、V _{ADJ} = -7.5V、V _{IN} = +16V、 可変モード、R ₁ = 150kΩ、R ₂ = 75kΩ

¹ ドロップアウト電圧は、C_{POUT}の入力電圧を LDO_OUT の公称出力電圧に等しくして測定しています。ドロップアウト電圧は、-2.7V を下回る出力電圧に対してのみ適用されます。

² ソフト・スタート時間は、V_{LDO_OUT} の 0% から 98% までにかかる時間として定義されます。

³ スタートアップ時間の合計は、EN がハイになってから PG_{TH} がハイになるまでの時間として定義されます。

入出力コンデンサの推奨仕様

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CAPACITANCE ¹		T _A = -40°C to +125°C				
VIN	C _{IN}		4.7	10		μF
C1	C _{C1}		0.47	1		μF
C2	C _{C2}		0.47	1		μF
C _{POUT}	C _{C_{POUT}}		4.7	10		μF
LDO_OUT	C _{LDO_OUT}		1.0	2.2		μF
CAPACITOR EQUIVALENT SERIES RESISTANCE (ESR)	R _{ESR}	T _A = -40°C to +125°C				
C _{IN} , C _{C_{POUT}}			0.001		0.1	Ω
C _{LDO_OUT}			0.001		0.1	Ω

¹ 容量の最小値は、全動作範囲で最小仕様より大きな値にする必要があります。容量の最小仕様を満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R と X5R のタイプのコンデンサを推奨します。Y5V および Z5U コンデンサは推奨できません。

絶対最大定格

表 5.

Parameter	Rating
VIN, C1+, C2+, EN to GND	−0.3 V to +20 V
PGOOD to GND	−0.3V to +20 V
SYNC to GND	−0.3V to +5.5 V
FREQ to GND	−0.3V to +2.5 V
SEL1, SEL2 to GND	−0.3V to +2.5 V
C1−, C2−, CPOUT, LDO_OUT to GND	−20 V to +0.3 V
FB to GND	−5.5 V to +0.3 V
Operating Junction Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Soldering Conditions	JEDEC J-STD-020

¹ GND は、すべての GNDx ピンが接続される共通のグラウンドです。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は、最も厳しい条件、すなわち、回路基板（JEDEC 規格の 4 層）に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Ψ_{JT}	Unit
CP-16-17 ¹	45.42	2.22	0.52	°C/W

¹ θ_{JA} 、 θ_{JC} 、 Ψ_{JT} は、4 層 PCB（2 つの信号プレーンと 2 つの電源プレーン）に基づいており、露出パッドとグラウンド・プレーンは 4 つのサーマル・ビアで接続されています。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

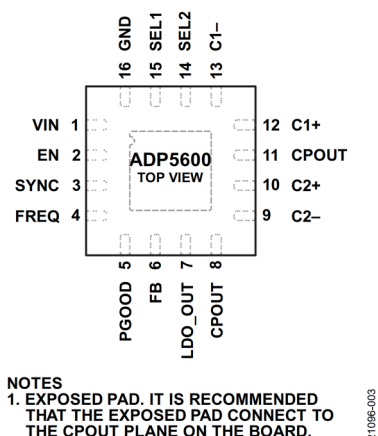


図 3. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	VIN	電源入力。1 番ピンは入力電源に接続し、1 番ピンと GND の間に 10 μ F のバイパス・コンデンサを接続します。
2	EN	高精度イネーブル・ピン。EN をハイにプルアップすると ADP5600 はイネーブルに、EN をローにプルダウンすると ADP5600 はディスエーブルになります。EN ピンには、GND に接続されたプルダウン抵抗が内蔵されており、EN がフロート状態のときに動作しないようになっています。
3	SYNC	同期入力 (SYNC)。このピンは 180kHz~2.2MHz の範囲の外部クロックに接続し、チャージ・ポンプの発振器を $f_{\text{SYNC}}/2$ に同期します。このピンを GND に短絡するか一定時間変化がない場合には、SYNC ピンと接続した外部クロックの代わりに、FREQ ピンで設定された内部クロック周波数が使用されます。詳細については、 発振器 と 同期 のセクションを参照してください。SYNC ピンはフローティングのままにしないでください。3 番ピンを使用しない場合は GND に短絡してください。
4	FREQ	周波数の設定。FREQ と GND の間に抵抗を接続して、100kHz~1.0MHz の範囲で発振周波数を設定します。FREQ を GND に短絡した場合は、チャージ・ポンプのスイッチング周波数は 1MHz (代表値) に設定されます。このピンをフロート状態のままにしないでください。
5	PGOOD	パワーグッド出力 (オープン・ドレイン)。10k Ω ~100k Ω のプルアップ抵抗を接続することを推奨します。このピンを使用しない場合は、フロート状態のままにするか GND に接続してください。
6	FB	帰還電圧の検出入力。固定出力電圧の場合、FB ピンは LDO_OUT に短絡します。可変モードの場合、FB ピンをはさんで LDO_OUT と GND の間に外付けの抵抗分圧器を接続し、出力電圧を設定します。
7	LDO_OUT	LDO の出力。LDO_OUT と GND の間には 2.2 μ F 以上のコンデンサを接続してください。
9	C2-	C2 フライ・コンデンサの負端子。
10	C2+	C2 フライ・コンデンサの正端子。
8, 11	CPOUT	反転チャージ・ポンプ出力。CPOUT は露出パッドに接続します。CPOUT と GND の間には 10 μ F 以上のコンデンサを接続してください。
12	C1+	C1 フライ・コンデンサの正端子。
13	C1-	C1 フライ・コンデンサの負端子。
14	SEL2	出力電圧セクタ 2。SEL2 ピンを GND に短絡するかフロート状態にすることで、4 つの LDO_OUT 電圧から 1 つを選択します。
15	SEL1	出力電圧セクタ 1。SEL1 ピンを GND に短絡するかフロート状態にすることで、4 つの LDO_OUT 電圧から 1 つを選択します。
16	GND	グラウンド。
	EP	露出パッド。露出パッドは基板の CPOUT プレーンに接続することを推奨します。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{LDO_OUT} = -2.5\text{V}$ 、 $I_{LDO_OUT} = -10\text{mA}$ 、 $C_{IN} = C_{CPOUT} = 10\mu\text{F}$ 、 $C_{LDO_OUT} = 2.2\mu\text{F}$ 、 $C1 = C2 = 1\mu\text{F}$ 、 $f_{OSC} = 500\text{kHz}$ 。

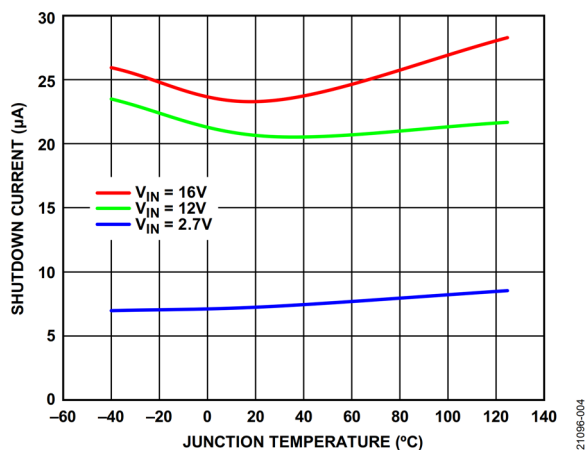


図 4. 様々な入力電圧 (V_{IN}) でのシャットダウン電流 (I_{SHDN}) とジャンクション温度 (T_J) の関係

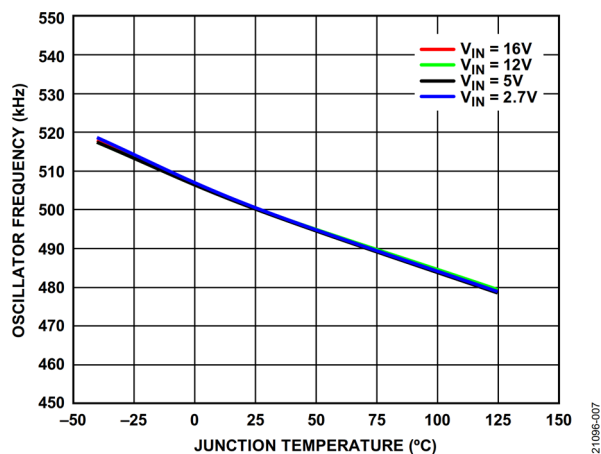


図 7. 様々な入力電圧 (V_{IN}) での発振周波数 (f_{OSC}) とジャンクション温度 (T_J) の関係

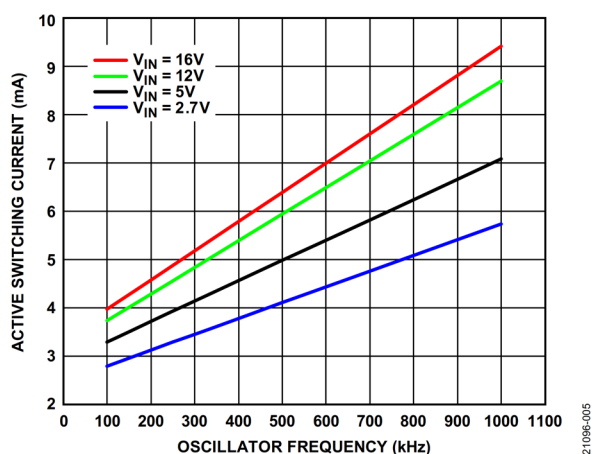


図 5. 様々な入力電圧 (V_{IN}) での有効スイッチング電流 (I_{SW}) と発振周波数 (f_{OSC}) の関係

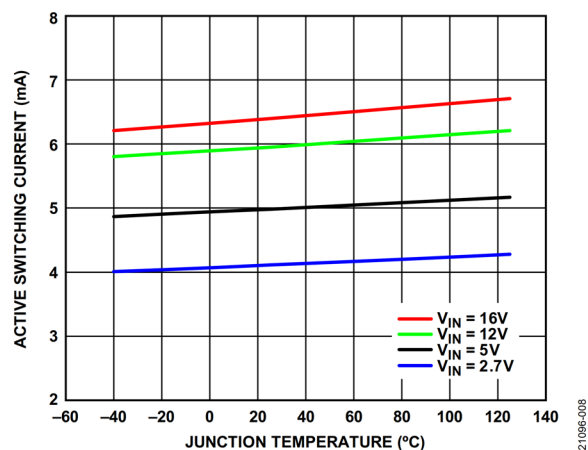


図 8. 様々な入力電圧 (V_{IN}) での有効スイッチング電流 (I_{SW}) とジャンクション温度 (T_J) の関係

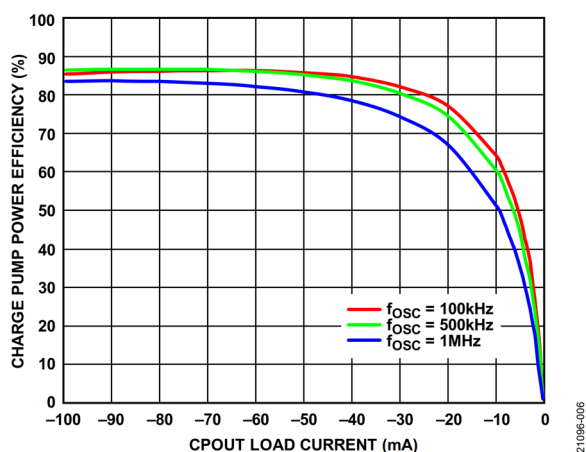


図 6. 様々な発振周波数 (f_{OSC}) でのチャージ・ポンプの電力効率と CPOUT 負荷電流 (I_{CPOUT}) の関係、 $V_{IN} = 12\text{V}$

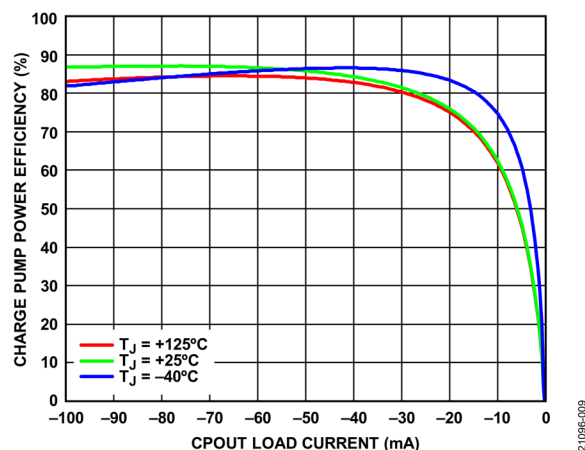


図 9. 様々なジャンクション温度 (T_J) でのチャージ・ポンプの電力効率と CPOUT 負荷電流 (I_{CPOUT}) の関係、 $V_{IN} = 12\text{V}$

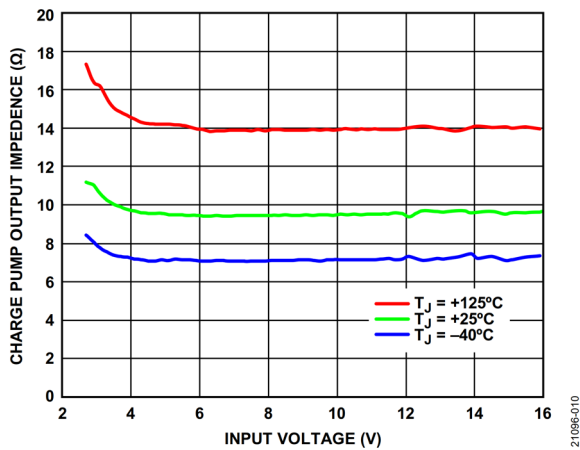


図 10. 様々なジャンクション温度 (T_J) でのチャージ・ポンプの出力インピーダンス (R_{OUT}) と入力電圧 (V_{IN}) の関係

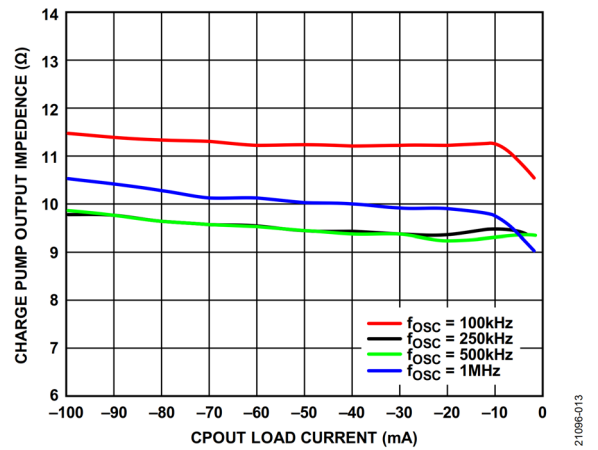


図 13. 様々な発振周波数 (f_{OSC}) でのチャージ・ポンプの出力インピーダンス (R_{OUT}) と CPOUT 負荷電流 (I_{CPOUT}) の関係

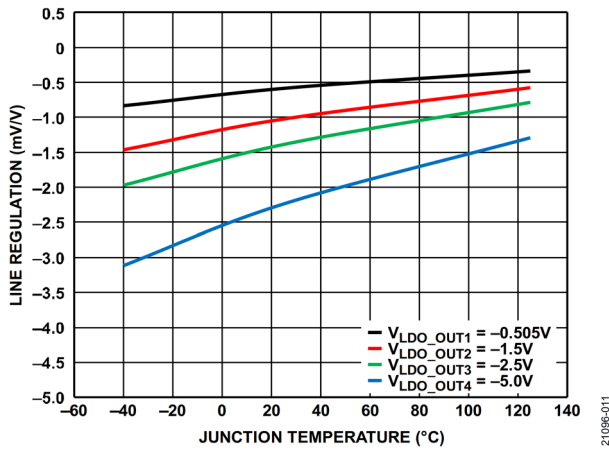


図 11. LDO ライン・レギュレーションとジャンクション温度 (T_J) の関係

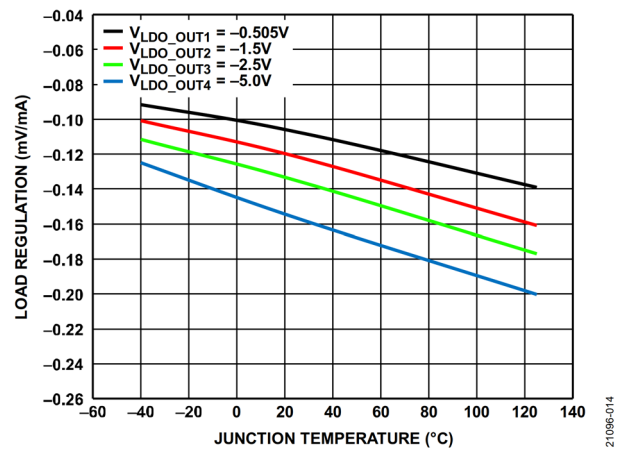


図 14. LDO 負荷レギュレーションとジャンクション温度 (T_J) の関係

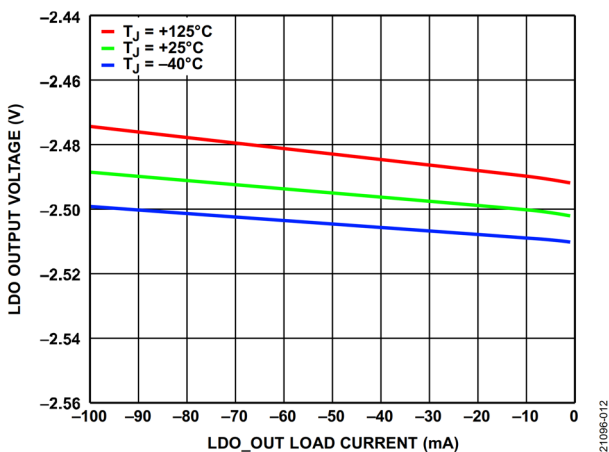


図 12. 様々なジャンクション温度 (T_J) での LDO 出力電圧 (V_{LDO_OUT2}) と LDO_OUT 負荷電流

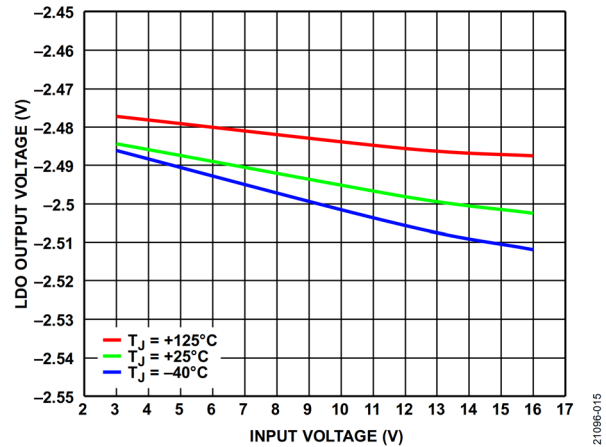


図 15. 様々なジャンクション温度 (T_J) での LDO 出力電圧 (V_{LDO_OUT2}) と入力電圧 (V_{IN}) の関係

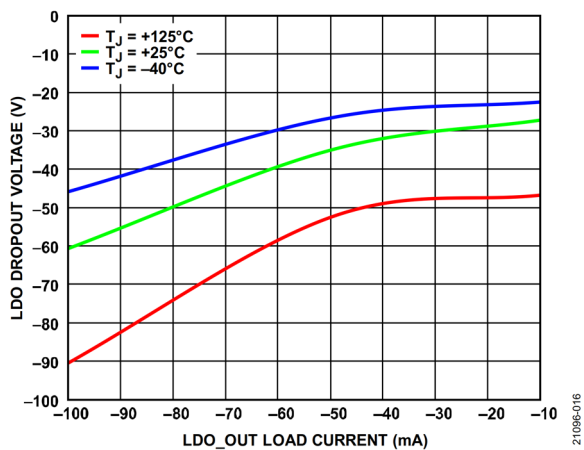


図 16. 様々なジャンクション温度 (T_J) での LDO ドロップアウト電圧と LDO_OUT 負荷電流 (I_{LDO_OUT}) の関係、 $V_{LDO_OUT4} = -5\text{V}$

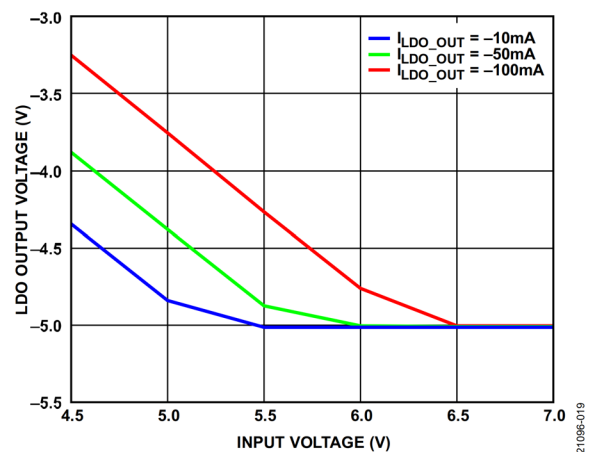


図 19. ドロップアウト時における様々な LDO 負荷電流 (I_{LDO_OUT}) での LDO 出力電圧 V (LDO_OUT) と入力電圧 (V_{IN}) の関係、 $V_{LDO_OUT4} = -5\text{V}$

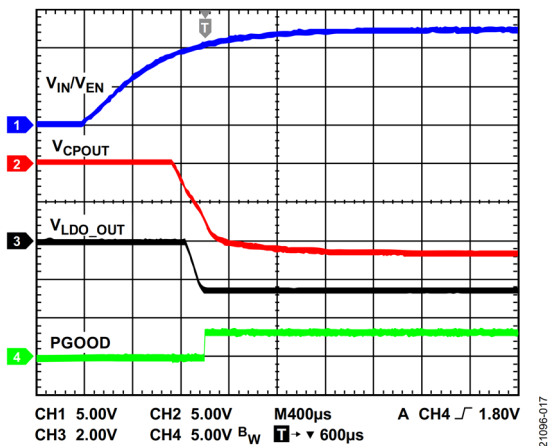


図 17. スタートアップ応答

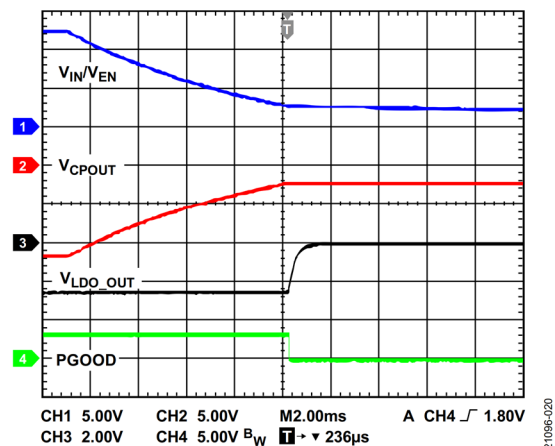


図 20. パワーダウン応答

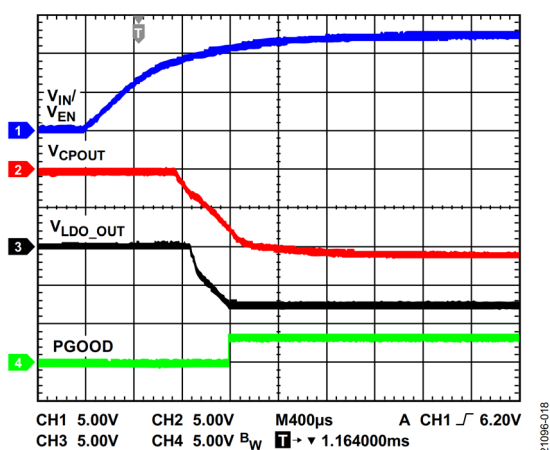


図 18. スタートアップ応答、可変出力動作時、 $V_{ADJ} = -7.5\text{V}$ 、 $I_{LDO_OUT} = -100\text{mA}$

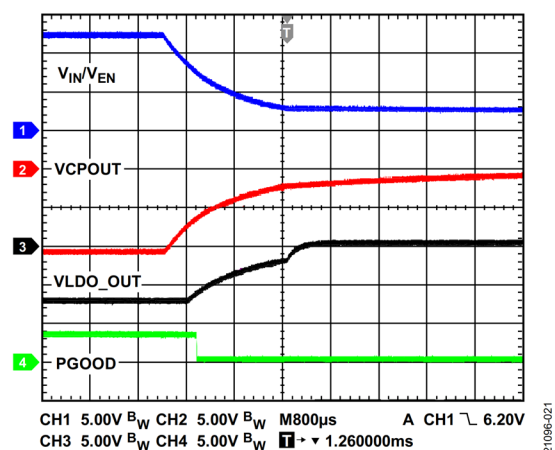


図 21. パワーダウン応答、可変出力動作時、 $V_{ADJ} = -7.5\text{V}$ 、 $I_{LDO_OUT} = -100\text{mA}$

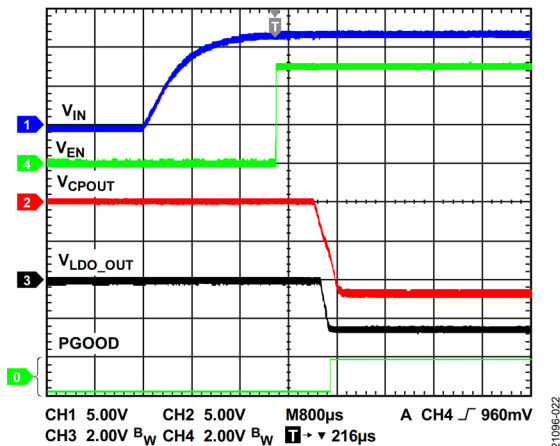


図 22. スタートアップ応答、 V_{IN} で起動

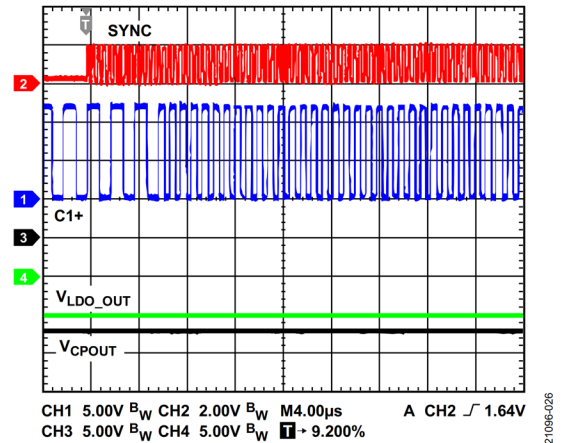


図 25. $R_T = 110k\Omega$ から $f_{SYNC} = 2.2MHz$ に切り替えたときの発振周波数 (f_{OSC}) の遷移、 $I_{CPOUT} = -100mA$

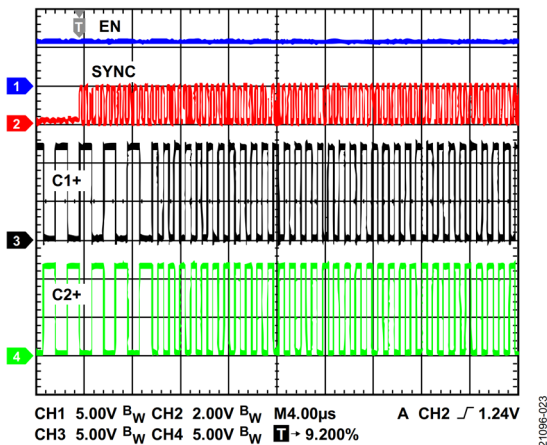


図 23. $R_T = 110k\Omega$ から $f_{SYNC} = 2.2MHz$ に切り替えたときの発振周波数 (f_{OSC}) の遷移

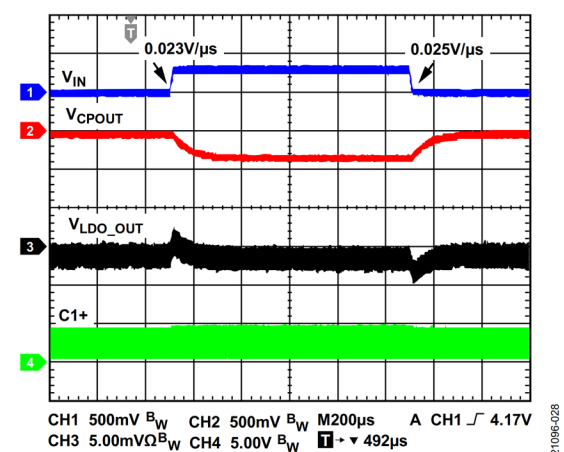


図 26. ライン過渡応答、 $V_{IN} = 4V \sim 4.2V$ 、 $I_{LDO_OUT} = -100mA$

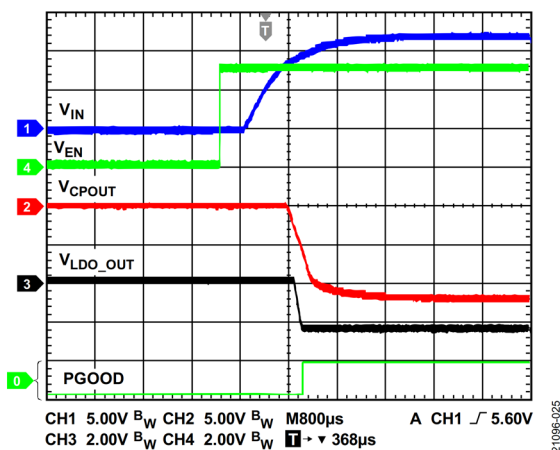


図 24. スタートアップ応答、 V_{EN} で起動

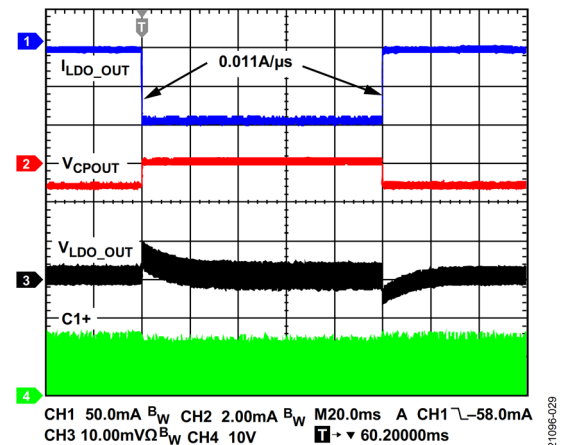


図 27. 負荷過渡応答、 $I_{LDO_OUT} = -10mA \sim -100mA$

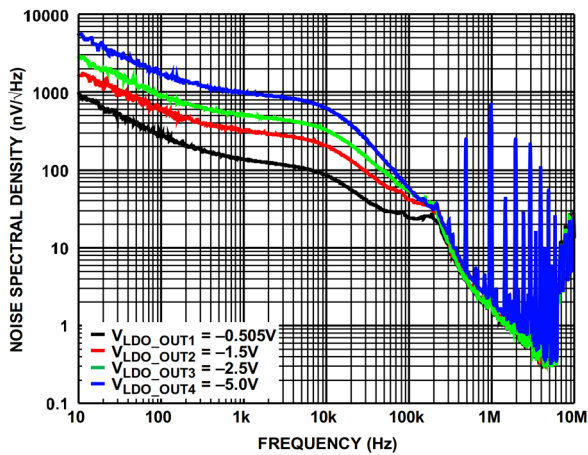


図 28. 様々な LDO 出力電圧でのノイズ・スペクトル密度の周波数特性

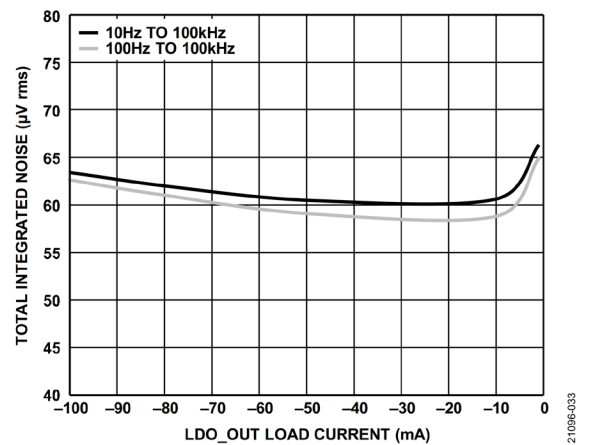


図 31. 総合積分ノイズと LDO_OUT 負荷電流 (I_{LDO_OUT}) の関係

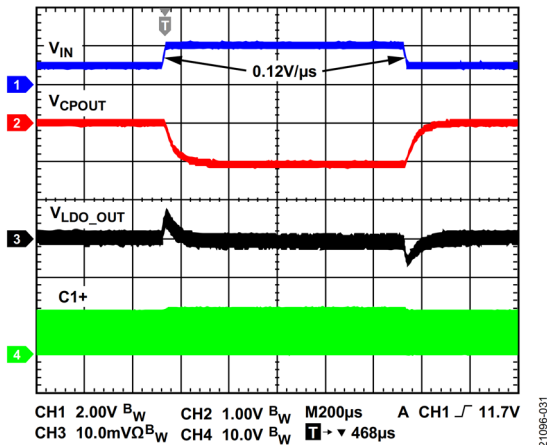


図 29. ライン過渡応答、 $V_{IN} = 11V \sim 12V$ 、 $I_{LDO_OUT} = -100mA$

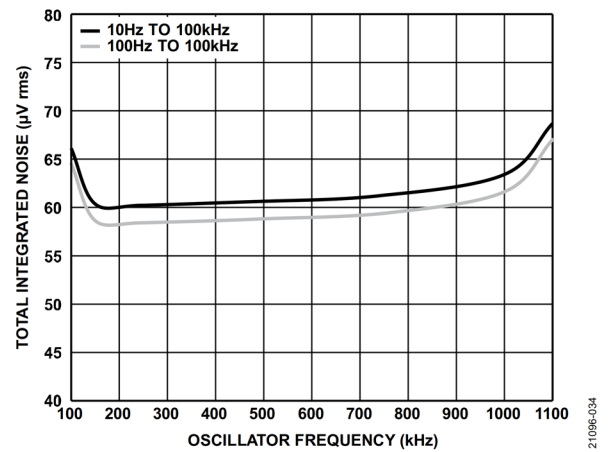


図 32. 総合積分ノイズと発振周波数 (f_{OSC}) の関係

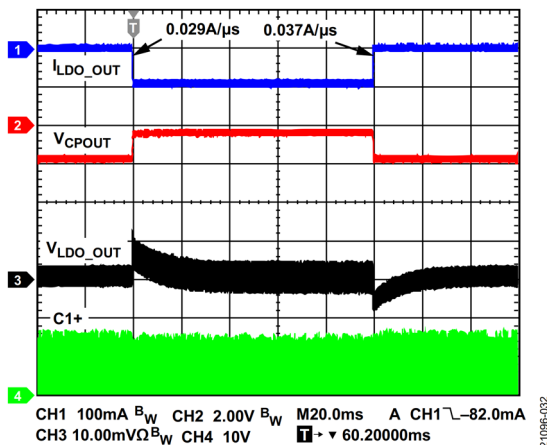


図 30. 負荷過渡応答、 $I_{LDO_OUT} = -1mA \sim -100mA$

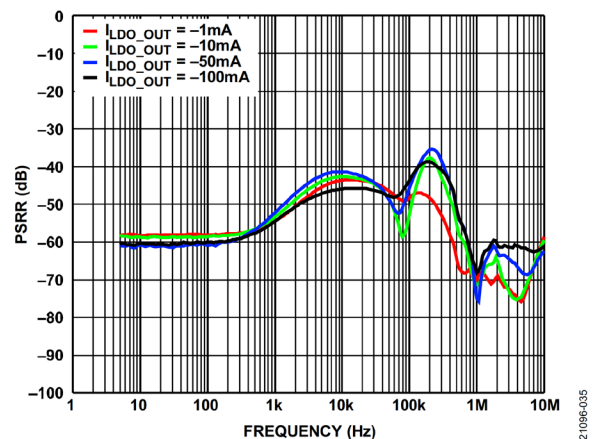


図 33. 様々な I_{LDO_OUT} での V_{IN} と LDO_OUT の PSRR の周波数特性

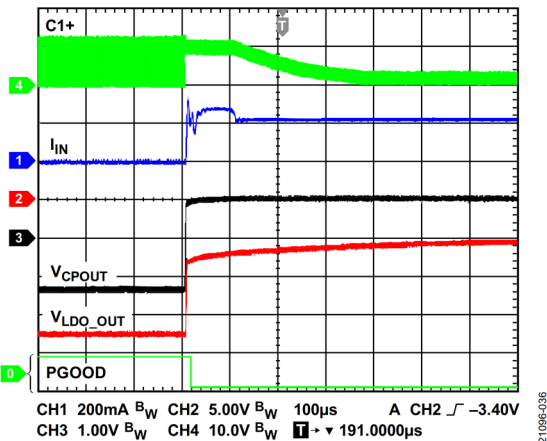


図 34. CPOUT 短絡時の遷移

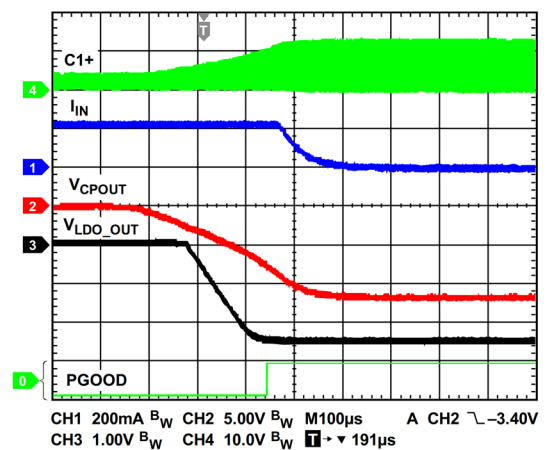


図 37. CPOUT を短絡から回復させたときの遷移

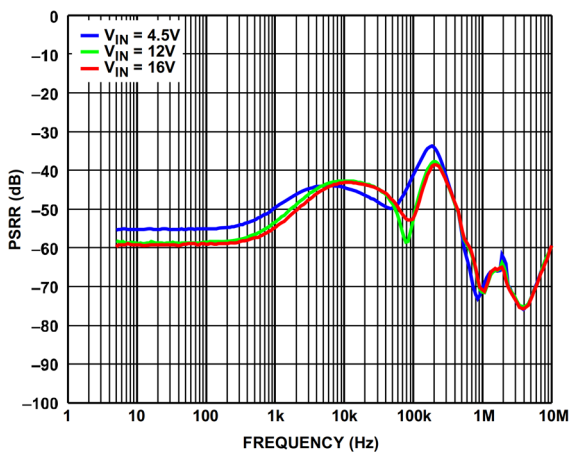


図 35. 様々な入力電圧 (V_{IN}) での VIN と LDO_OUT の PSRR の周波数特性

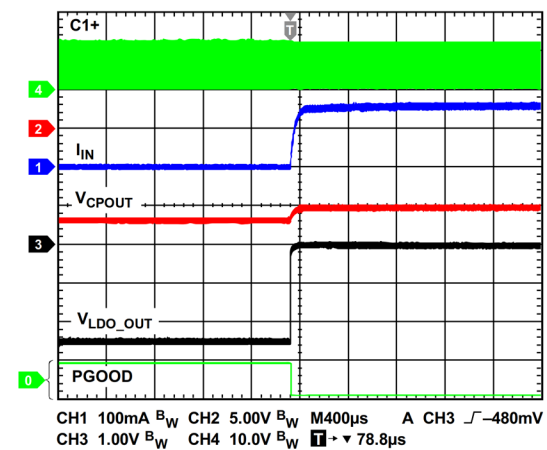


図 38. LDO_OUT 短絡時の遷移

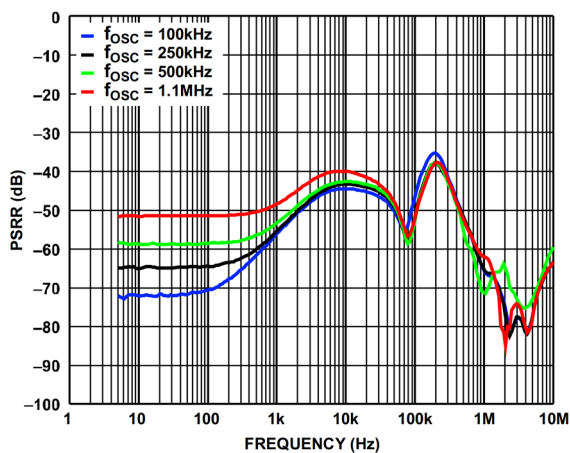


図 36. 様々な発振周波数 (f_{osc}) での VIN と LDO_OUT の PSRR の周波数特性

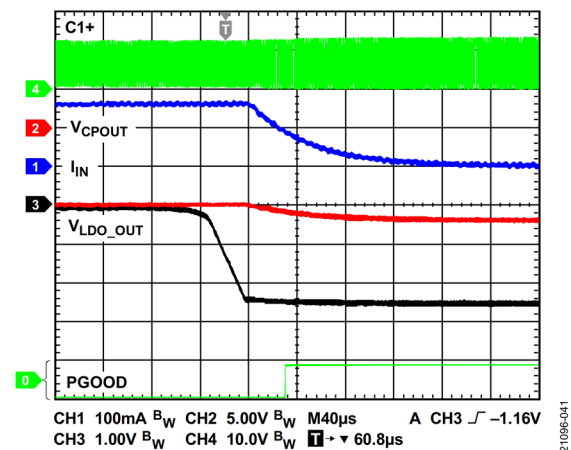


図 39. LDO_OUT を短絡から回復させたときの遷移

動作原理

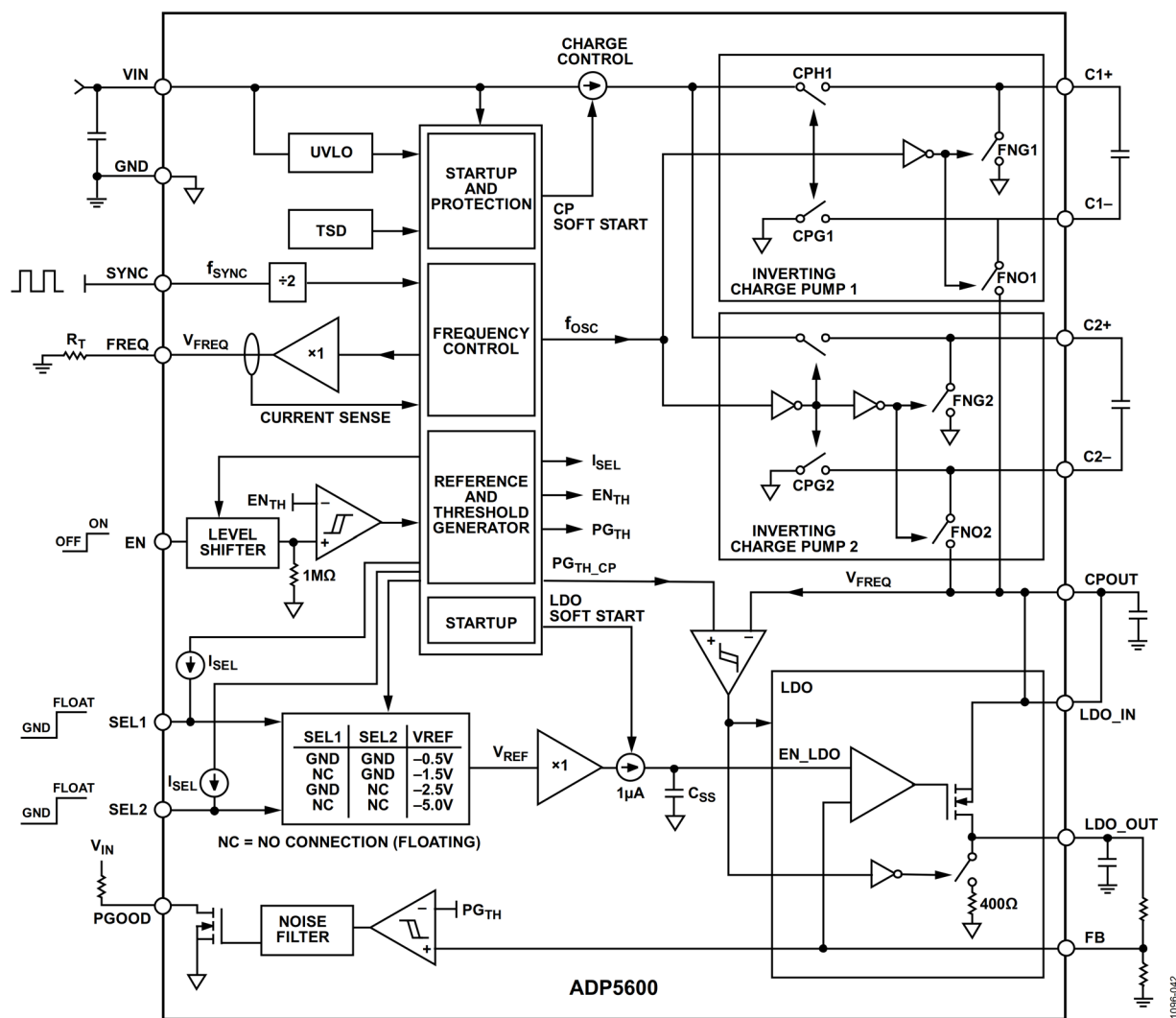


図 40. 機能ブロック図

ADP5600 は、インターリーブ方式で動作する 2 つのチャージ・ポンプ・ブロックを備えた、ユニークな反転レギュレータです。インターリーブ動作によって、効率、出力抵抗、使いやすさ等を犠牲にすることなく、入出力電圧リップルをインダクタ・ベースのソリューションよりも大幅に低減することができます。LDO が出力電圧の安定化と低周波数スプリアス信号のフィルタリングを実現します。

反転チャージ・ポンプの動作

電圧変換の基本的な動作は、電荷蓄積用の 2 つの外付けコンデンサを使用したスイッチド・キャパシタ技術によって実現します。内部発振器とスイッチング回路を使用し、2 つの蓄電コンデンサ間で電荷を移動させます。電圧を反転させる方式の基本原理を図 41 に示します。

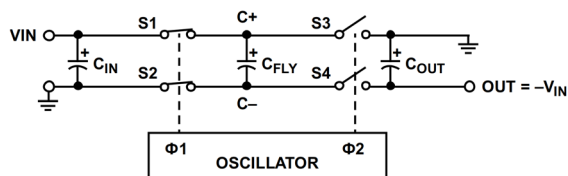


図 41. 反転チャージ・ポンプの基本原理

図 41 において、発振器が生成する逆相信号（ $\phi 1$ と $\phi 2$ ）が S1、S2 スイッチと S3、S4 スイッチを制御します。充電フェーズの $\phi 1$ では、S1 および S2 スイッチが閉じられ、 C_{FLY} が V_{IN} 電圧まで充電されます。出力フェーズの $\phi 2$ では、S1 および S2 が開かれ、S3 および S4 が閉じられます。 C_{FLY} の正端子は S3 を介して GND に接続され、 C_{FLY} の負端子は S4 を介して OUT に接続されます。 C_{FLY} の電荷は $\phi 2$ の間に C_{OUT} に移動します。

最終的に定常状態では、GND を基準として OUT で電圧が反転します。理想的には、 $\phi 1$ の間、コンデンサ C_{OUT} の電圧は一定値を保ちます。しかし、蓄電容量には制限があるため、 $\phi 2$ になるまで負荷（ I_{OUT} ）によってこのコンデンサの電圧は低下します。この C_{OUT} の充放電動作が出力リップルになります。電荷の移動効率は、スイッチのオン抵抗、スイッチング周波数、および外付けコンデンサの等価直列抵抗（ESR）に依存します。損失を最小に抑え効率を最大にするため、低 ESR のコンデンサを使用することを推奨します。

充放電時の電流は常に不連続です。また、チャージ・ポンプの出力電圧リップルは、常に次式で表すことができます。

$$\Delta V_{OUT} = \frac{I_{OUT}}{2 \times f_{OSC} \times C_{OUT}}$$

同様に、入力電圧リップルは常に次式で表すことができます。

$$\Delta V_{IN} = \frac{I_{OUT}}{2 \times f_{OSC} \times C_{IN}}$$

ここで、
 ΔV_{OUT} は出力電圧リップル、
 ΔV_{IN} は入力電圧リップル、
 I_{OUT} はチャージ・ポンプの負荷電流、
 f_{OSC} はチャージ・ポンプのスイッチング周波数、
 C_{IN} はチャージ・ポンプの入力コンデンサ、
 C_{OUT} はチャージ・ポンプの出力コンデンサです。

これにより、電圧リップル（ノイズ）は、 I_{OUT} の低減（非実用的）、スイッチング周波数の増加（効率低下）、またはコンデンサ容量の増加（コスト増）によってのみ改善できることが分かります。

ADP5600 は、逆位相のチャージ・ポンプをもう 1 つ追加することにより、入出力ノードに電流をほぼ連続的に流し電圧リップルを大幅に低減するソリューションを実現します。

インターリーブ型反転チャージ・ポンプの動作

ADP5600 には、インターリーブ方式で動作する 2 つの反転チャージ・ポンプが搭載されています。これには、通常、同じ容量を持つ 2 つの小さなフライ・コンデンサ（ C_{C1} および C_{C2} ）を使用する必要があります。2 つのフライ・コンデンサは、互いに逆相で動作する 2 つチャージ・ポンプ・インバータでそれぞれ動作します。そして、その出力が C_{POUT} で結合されます（図 42 参照）。このインターリーブ動作によって、発振器周波数の倍の周期のリップルが発生します。

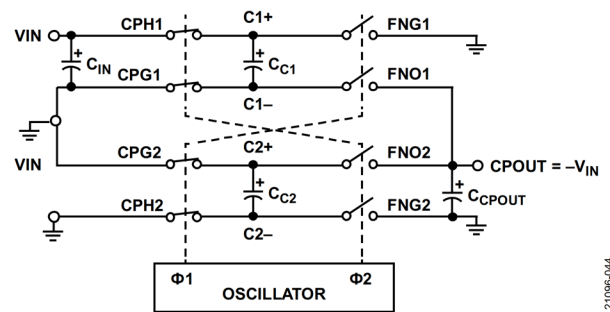


図 42. インターリーブ動作

この方法を使用すると、電圧リップルが大幅に減少したほぼ一定の入出力電流を供給できます。インターリーブ型反転チャージ・ポンプの出力電圧リップルは、次式で求められます。

$$\Delta V_{CPOUT} = \frac{I_{CPOUT}}{4 \times f_{OSC} \times C_{CPOUT}} - I_{CPOUT} \times (R_{OUT} - 2 \times R_{ON}) \times \frac{C_{CI}}{C_{CPOUT}} \times \frac{\beta - 1}{\sqrt{\beta}}$$

ここで、
 ΔV_{CPOUT} は C_{POUT} のリップル電圧、
 I_{CPOUT} は C_{POUT} の負荷電流、
 f_{OSC} はチャージ・ポンプのスイッチング周波数、
 C_{CPOUT} は C_{POUT} の出力コンデンサ、
 C_{CI} はフライ・コンデンサ、
 R_{OUT} はチャージ・ポンプの等価出力抵抗、
 R_{ON} は 4 つのスイッチの抵抗の平均値です。

$$\beta = \frac{1}{e^8 \times f_{OSC} \times R_{ON} \times C_{CI}}$$

図 43 と図 44 で、従来のチャージ・ポンプ回路とインターリーブ型回路を比較することができます。

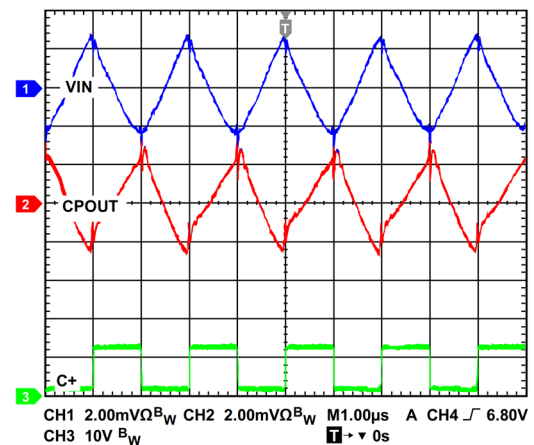


図 43. 非インターリーブ型チャージ・ポンプの動作
 $(f_{OSC} = 500\text{kHz}, C_{IN} = 10\mu\text{F}, C_1 = 1\mu\text{F}, C_2 = \text{フロート状態}, C_{CPOUT} = 10\mu\text{F})$

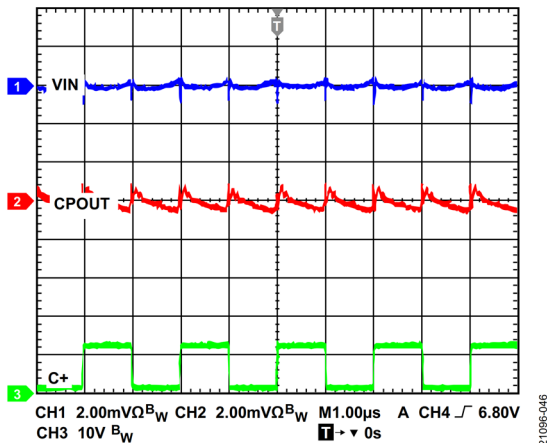


図 44. インターリーブ型チャージ・ポンプの動作
($f_{OSC} = 500\text{kHz}$, $C_{IN} = 10\mu\text{F}$, $C_1 = C_2 = 1\mu\text{F}$, $C_{CPOUT} = 10\mu\text{F}$)

チャージ・ポンプの出力抵抗

出力抵抗は、チャージ・ポンプ・スイッチング・コンバータにおける損失の主要因です。出力抵抗を出力コンデンサのすぐ前に配置した簡略化モデルを図 45 に示します。このモデルから、負荷電流 I_{CPOUT} が V_{CPOUT} から引き出されると電圧降下が発生することが分かります。

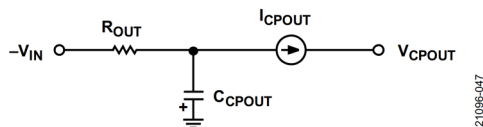


図 45. 出力抵抗の簡略化モデル

チャージ・ポンプ全体での電圧降下は負荷電流に比例するため、目的の出力電圧を得るには、常に出力抵抗を考慮して設計する必要があります。

ADP5600 の出力抵抗 R_{OUT} は、次式を使用して求められます。

$$R_{OUT} = 1 / (2 \times C1 \times f_{OSC}) + 4 \times R_{ON} + 2 \times R_{CL_ESR}$$

ここで、

R_{ON} は 4 つのスイッチの抵抗の平均で、代表値は約 2.1Ω 、 R_{CL_ESR} は $C1$ の ESR です。

負電圧 LDO レギュレータ

ADP5600 は負電圧 LDO レギュレータを内蔵しており、このレギュレータはリファレンス、誤差アンプ、帰還分圧器、および N チャンネル金属酸化半導体 (NMOS) パス・トランジスタで構成されています。電流は NMOS パス・トランジスタを通じて $CPOUT$ から LDO_OUT に流れます。ここで、NMOS パス・トランジスタは誤差アンプによって制御されます。

誤差アンプは、リファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より高いと、NMOS トランジスタのゲート電圧が GND にプルダウンされるので、通過する電流が増え、出力電圧が上昇します。帰還電圧がリファレンス電圧より低いと、NMOS トランジスタのゲート電圧は V_{CPOUT} に近づくので、通過する電流が減り、出力電圧が低下します。

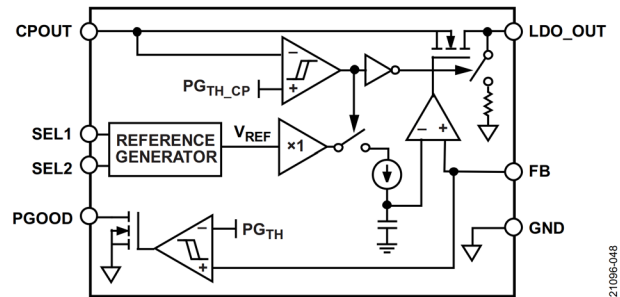


図 46. LDO の簡略化モデル

起動およびソフト・スタート

チャージ・ポンプの起動

ADP5600 は、 $V_{IN} \geq UVLO_{RISING}$ および $V_{EN} \geq EN_{TH}$ になるとスイッチングを開始します。保護されていない場合、大きな突入電流が C_{IN} から $C1$ と $C2$ に流れる可能性があり、その電流はコンデンサが定常状態の値になるまで流れます。そのため、ADP5600 は、起動中の最大入力電流を 200mA に制限するソフト・スタート制御プロファイルを備えています。

$V_{IN} \geq UVLO_{RISING}$ および $V_{EN} < EN_{TH}$ になると、出力プルダウン抵抗がイネーブルになり、出力を放電します。そして、 $V_{IN} < UVLO_{RISING}$ になると、出力プルダウン抵抗はディスエーブルになります。

LDO ソフト・スタート

$CPOUT$ の電圧が PG_{TH_CP} を超えると、LDO がイネーブルされ、誤差アンプの入力でリファレンス電圧のランプ・アップを開始します。これにより、 LDO_OUT のソフト・スタート応答が開始します。LDO のソフト・スタート時間 t_{SS} は以下の式を使って計算します。

$$t_{SS} = (C_{SS} \times V_{LDO_OUT}) / I_{SS}$$

ここで、

V_{LDO_OUT} は $SEL1$ および $SEL2$ で決まる出力電圧、 C_{SS} は内部ソフト・スタート・コンデンサで、 98.4pF 、 I_{SS} は C_{SS} に流れる内部ソース電流で、 $1\mu\text{A}$ です。

V_{CPOUT} が PG_{TH_CP} より高いと、LDO はディスエーブルされ、出力プルダウン抵抗がイネーブルされます。

図 47 に、様々な LDO 出力電圧での ADP5600 の起動時の応答を示します。

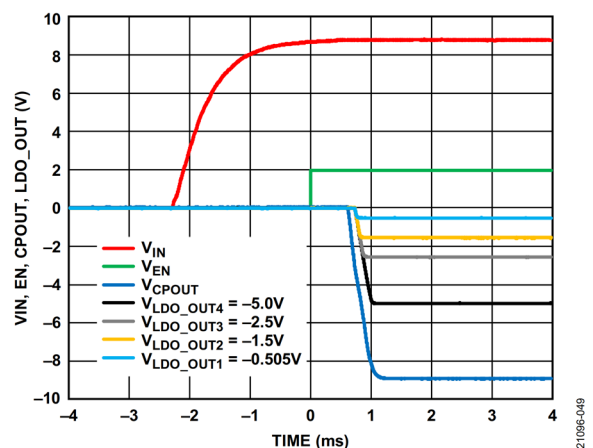


図 47. 様々な LDO 出力電圧での起動時の応答

高精度イネーブル／シャットダウン

EN 入力ピンは、1.2V（代表値）の高精度アナログ閾値と 70mV のヒステリシスを備えています。イネーブル電圧が 1.2V を超えると、レギュレータがオンになります。この電圧が 1.13V（代表値）を下回ると、レギュレータはオフになります。入力電力を加えたときにレギュレータを自動的に始動させるには、EN を VIN に接続します。

高精度 EN ピンには、内部スイッチを介し、EN ピンがオープン のときにデフォルトでオフになるプルダウン抵抗（約 1MΩ）が内蔵されています。しかし、EN をオープンにしておくことは推奨しません。EN をハイにしてデバイスをイネーブルするか、ローにしてデバイスをディスエーブルするか、どちらかにしておく必要があります。

EN ピンの電圧が 0.8V（代表値）を超えると、ADP5600 は起動し、ハウスキーピング・ブロックをイネーブルします。この電圧を下回ると、デバイスはシャットダウン・モードに入り最低限の消費電流で動作します。EN 電圧が 1.2V まで上昇すると、高精度イネーブルがトリガされ、発振器、チャージ・ポンプ、および LDO ブロックがオンになります。

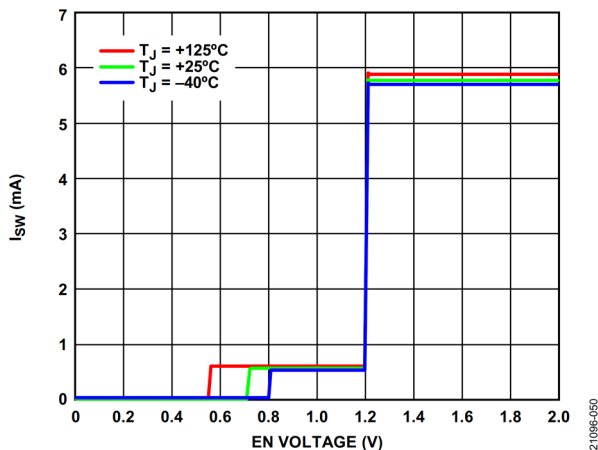


図 48. I_{sw} と EN 電圧の関係

また、ADP5600 は出力放電抵抗を内蔵しており、デバイスがディスエーブルされると CPOUT と LDO 出力電圧を強制的にゼロにします。これにより、デバイスがイネーブルされてもディスエーブルされても CPOUT および LDO 出力を常に明確な状態に維持することができます。

発振器

ADP5600 の発振周波数 f_{osc} は、FREQ ピンとグラウンドの間に抵抗 R_T を接続して、100kHz～1MHz の値に設定できます。発振周波数は、次式で計算できます。

$$f_{osc} \text{ [kHz]} = 64,700 / R_T \text{ [k}\Omega\text{]}$$

R_T が約 50kΩ 以下の場合、発振周波数はほぼ 1MHz にクランプされます。

図 49 に f_{osc} と R_T の代表的な関係を示します。周波数を調整することで、効率とソリューション・サイズのトレード・オフに基づいた決定をすることができます。

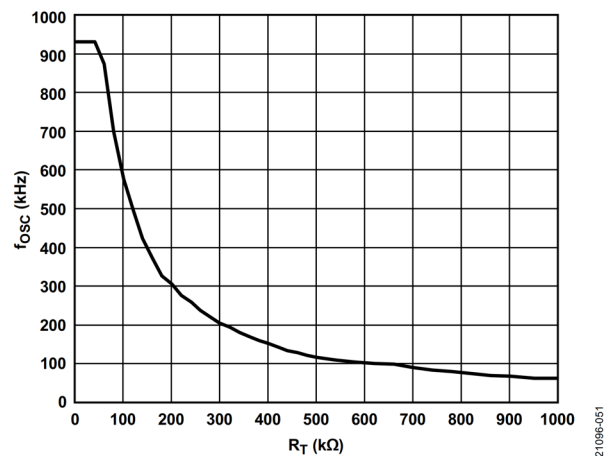


図 49. f_{osc} と R_T の関係

同期

ADP5600 を同期するには、外部クロックを SYNC ピンに接続します。外部クロックの周波数は、180kHz～2.2MHz の範囲で設定できます。ADP5600 は、この信号の立上がりエッジを使用して、50%デューティ・サイクルのチャージ・ポンプ用のクロックを生成します。したがって、2 つのチャージ・ポンプはそれぞれ SYNC 周波数の半分で動作し、入出力電圧リップルの周波数は正確に SYNC 入力周波数と同じになります。

EN より先に外部クロックを SYNC ピンに印加すると、ADP5600 は SYNC 信号で発振器を動作させながら起動します。ADP5600 の起動後に外部クロックが印加される場合は、SYNC 信号が印加されるまでの間、ADP5600 は FREQ ピンの条件で設定された発振器を使用します。これにより、ADP5600 がイネーブルされてから外部同期クロックが印加されるまでに遅延があった場合でもチャージ・ポンプは正常に起動します。

電流制限および出力短絡保護（SCP）

ADP5600 には電流制限保護回路が内蔵されており、入出力電流を制限できます。電流制限回路は、充電フェーズと出力フェーズの両方で、電流を 200mA でクランプします。C1 と C2 は逆相のため、VIN と CPOUT には連続的に 200mA が流れます（図 50 および図 51）。

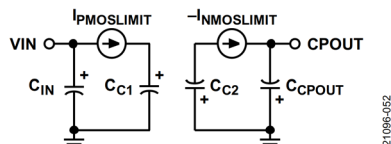


図 50. 電流制限、C1 は充電フェーズ、C2 は出力フェーズ

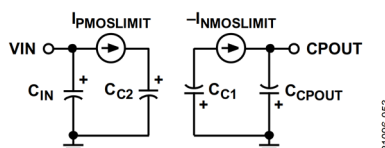


図 51. 電流制限、C2 は充電フェーズ、C1 は出力フェーズ

図 52 に、CPOUT がグラウンドと短絡したときの ADP5600 の応答を示します。

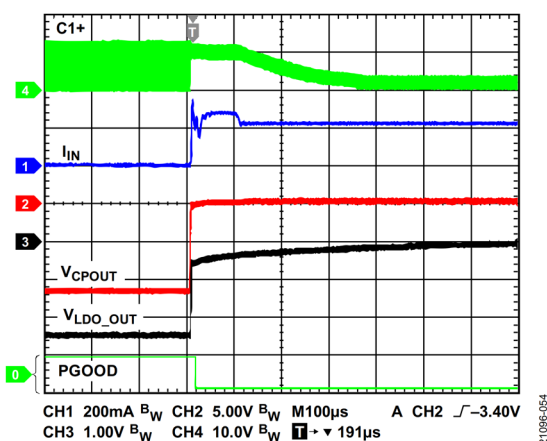


図 52. CPOUT 短絡時の遷移

LDO_OUT が GND に短絡すると、ADP5600 の LDO 電流が最初に制限されるため、短絡部に流れる電流は -160mA にとどまります。

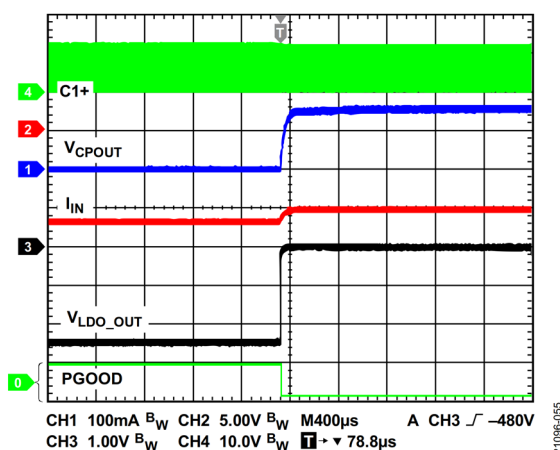


図 53. LDO_OUT 短絡時の遷移

パワーグッド

パワーグッド（PGOOD）はアクティブ・ハイのオープンドレイン出力で、所定の電圧にプルアップする抵抗が必要です。PGOOD がハイのときは、FB ピンの電圧と LDO 出力電圧がほぼ目的の値になっていることを示しています。PGOOD ピンがローのときは、FB ピンの電圧が目的の範囲にないことを示しています。FB が PG_{TH} を下回り PGOOD がローにアサートされてから、8 スイッチング・サイクルの待機時間があります。8 スイッチング・サイクルの間に V_{FB} が PG_{TH} を上回っても、PGOOD 回路によって無視されます。

低電圧ロックアウト（UVLO）

ADP5600 には低電圧ロックアウト回路が内蔵されており、パワーオン・グリッチの発生を防止します。VIN 電圧が $UVLO_{FALLING}$ を下回ると、ADP5600 は発振器、チャージ・ポンプ、LDO レギュレータをオフし、部分的に停止します。VIN 電圧が再び $UVLO_{RISING}$ を上回ると、ソフト・スタートが開始され、ADP5600 は完全にイネーブルになります。

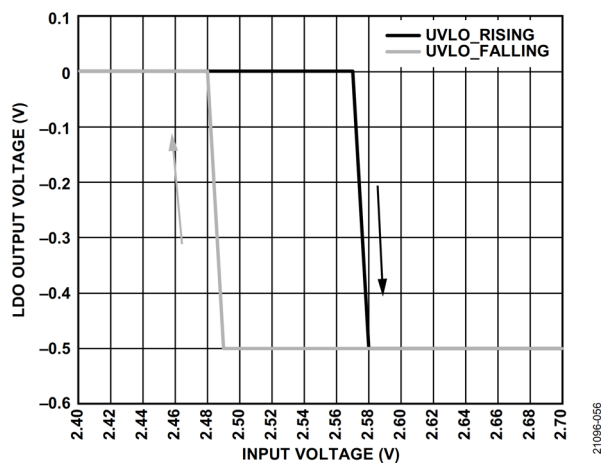


図 54. UVLO 閾値

熱に対する考慮事項

ADP5600 のジャンクション温度が 150°Cを上回ると、内部サーマル・シャットダウン回路によって発振器、チャージ・ポンプ、および LDO がオフになり、自己保護機能が有効になります。ジャンクション温度が極端に高くなる要因には、高電流動作、回路基板の熱設計の不備、高い周囲温度などがあります。サーマル・シャットダウン回路には TSD_{HYS} のヒステリシスが存在するため、過熱状態が生じると、ADP5600 は内部温度が 135°Cを下回るまでは通常動作に戻りません。回復時には、通常動作に戻る前にチャージ・ポンプと LDO のソフト・スタートが開始されます。

ADP5600 のジャンクション温度は次のように計算します。

$$T_J = T_A + (P_D \times \theta_{JA})$$

ここで、

T_A は周囲温度、

θ_{JA} は JEDEC の熱抵抗、

P_D はダイの消費電力で、次式で与えられます。

$$P_D = ((V_{IN} - V_{LDO_OUT}) \times I_{LDO_OUT}) + (V_{IN} \times I_{SW})$$

ここで、

V_{IN} は入力電圧、 V_{LDO_OUT} は出力電圧、

I_{LDO_OUT} は LDO の負荷電流、

I_{SW} は有効スイッチング電流です。

図 55 に、様々な周囲温度で計算したジャンクション温度と消費電力の関係を示します。

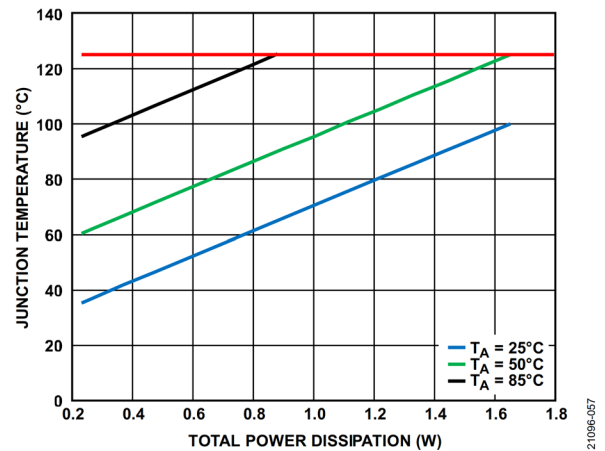


図 55. 様々な周囲温度でのジャンクション温度と総消費電力の関係

アプリケーション情報

コンデンサの選択

チャージ・ポンプの入出力コンデンサの選択

入出力コンデンサによって、各ノードに現れるリップル電圧の大きさが決まります。入出力リップルを適切な範囲に維持するために必要な実効容量の最小値は $4.7\mu\text{F}$ です。C_{IN} と C_{CPOUT} には、目的の入力電圧に対して 2 倍の電圧定格を持つ $10\mu\text{F}$ の 10% X7R セラミック・コンデンサを推奨します。

チャージ・ポンプ・フライ・コンデンサの選択

フライ・コンデンサの容量は、図 56 に示すようにチャージ・ポンプの出力抵抗に影響を与えます。低容量のフライ・コンデンサを使用した場合、小さな蓄電容量と高い抵抗のために入力から出力への電荷の移動で電圧降下が生じます。一般的には、高容量のフライ・コンデンサを使用することで負荷過渡応答と定常状態のリップルを改善できます。

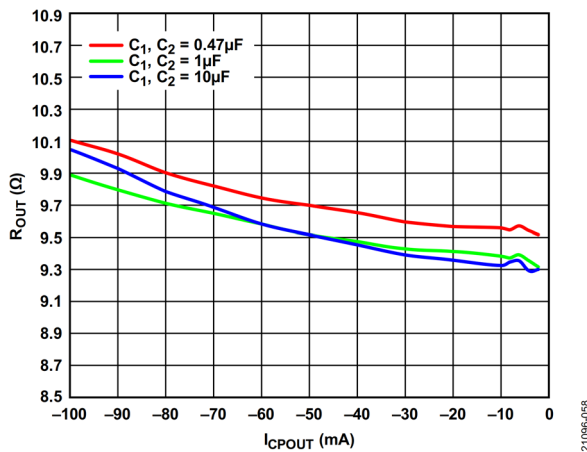


図 56. 様々な C_{FLY} 値での R_{OUT} と I_{CPOUT} の関係、f_{OSC} = 500kHz

LDO のコンデンサの選択

ADP5600 は、ESR 値が考慮されている限りにおいて、省スペースの小型セラミック・コンデンサで動作するように設計されています。出力コンデンサの ESR は、LDO 制御ループの安定性に影響します。ADP5600 を安定に動作させるには、ESR が 0.1Ω 以下で最小 $2.2\mu\text{F}$ のコンデンサの使用を推奨します。負荷電流の変化に対する過渡応答も、出力コンデンサの影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADP5600 の過渡応答を改善することができます。図 57 に C_{LDO_OUT} = $10\mu\text{F}$ を使用した場合の過渡応答を示します。

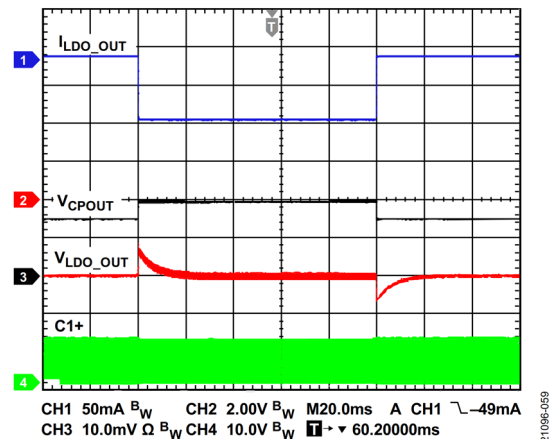


図 57. 出力過渡応答、C_{LDO_OUT} = $10\mu\text{F}$

出力電圧の設定

反転チャージ・ポンプが出力する CPOUT の電圧は、入力電圧と損失の符号をマイナスにした値にほぼ等しく、損失は、出力電流 I_{CPOUT} と出力抵抗 R_{OUT} で決まります。具体的には、CPOUT 電圧は次式で与えられます。

$$V_{CPOUT} = -(V_{IN} + I_{CPOUT} \times R_{OUT})$$

ここで、

V_{CPOUT} は CPOUT の電圧、

V_{IN} は V_{IN} の電圧、

I_{CPOUT} は CPOUT の負荷電流、

R_{OUT} はチャージ・ポンプの出力抵抗です。

ADP5600 の LDO 出力電圧は、予め設定した固定の電圧値にするか、帰還抵抗を使用して調整することができます。LDO の固定出力電圧は、表 8 に従って SEL1 と SEL2 を設定することで変更します。

表 8. LDO の固定出力電圧の設定

SEL1	SEL2	V _{LDO_OUT}
GND	GND	-0.505 V
Floating	GND	-1.5 V
GND	Floating	-2.5 V
Floating	Floating	-5.0 V

必要な LDO 出力電圧が -0.505V、-1.5V、-2.5V、-5.0V のいずれかの場合は、SEL1 ピンと SEL2 ピンを表 8 のように設定し、FB ピンを直接に LDO_OUT に接続します。-0.505V から -V_{IN} までの任意の電圧にしたい場合は、図 58 に示すように抵抗分圧器を FB ピンに接続します。

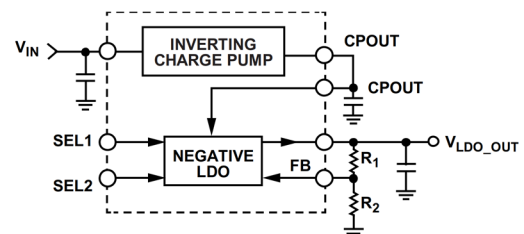


図 58. LDO 出力電圧のセットアップ

最良のノイズ性能を実現するには、目的の可変 LDO 出力電圧に近い値で、かつこれを超えない LDO 出力電圧を選択してください。例えば、可変 LDO 出力電圧を-3.3Vにしたい場合は、-2.5Vの LDO 出力電圧 (SEL1 = GND、SEL2 = フローティング) を選択し、LDO_OUT、FB、グラウンドの間に抵抗分圧器を配置します。可変出力電圧の設定値 V_{ADJ} は、次のように計算できます。

$$V_{ADJ} = V_{LDO_OUT} \times \left(1 + \frac{R1}{R2}\right)$$

ここで、
 V_{ADJ} は可変 LDO 出力電圧の設定値、
 V_{LDO_OUT} は、LDO_OUT ピンを FB ピンに短絡した場合の LDO 出力電圧、
 $R1$ は LDO_OUT と FB の間の帰還抵抗、
 $R2$ は FB と GND の間の帰還抵抗 ($R2$ は 40kΩ 以上を推奨) です。

ノイズの低減

LDO 誤差アンプをユニティ・ゲインに保ち、リファレンス電圧と出力電圧を同じ値に設定すれば、ADP5600 の出力ノイズは低減できます。ADP5600 では、2 個の帰還抵抗を使用して LDO の出力を調整しますが、この方式の欠点は、出力電圧ノイズが帰還抵抗の合計値と誤差アンプのゲインに比例することです。

LDO 回路を少し修正することで、出力を固定した場合のノイズに近いレベルまで出力電圧ノイズを低減させることができます。図 59 に示すように、出力電圧設定用の抵抗分圧器に 2 つの部品を追加します。 C_{NR} と R_{NR} を $R2$ に並列に追加で接続することで、誤差アンプの AC ゲインを低減します。 R_{NR} を $R2$ とほぼ等しい値にすることで、誤差アンプの AC ゲインを約 6dB に制限します。実際のゲインは、並列接続された R_{NR} と $R1$ を $R2$ で除算した値です。この抵抗により、誤差アンプは常にユニティ・ゲインより大きなゲインで動作します。

C_{NR} は、10Hz~100Hz の周波数範囲のリアクタンスが $R1 - R_{NR}$ になるものを選定します。この容量によって、誤差アンプの AC ゲインが DC ゲインより 3dB 低くなる周波数に設定されます。

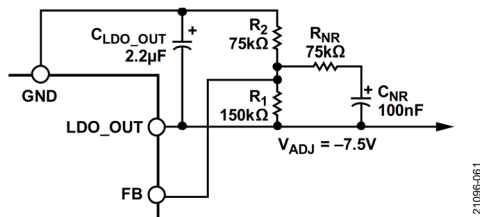


図 59. ノイズを低減させる修正回路

可変 LDO のノイズは次式を使用して計算します。ここで、固定出力 LDO のノイズはおおよそ 59μV と仮定します。

$$\text{ノイズ} = 59\mu\text{V} \times (R_{PAR} + R2) \div R2$$

ここで、 R_{PAR} は $R1$ と R_{NR} の並列回路の抵抗値です。

図 59 に示す部品の値に基づくと、ADP5600 の特性は以下のようになります。

- DCゲイン = 3 (9.54dB)
- 高周波のACゲイン = 1.67 (4.44dB)
- ノイズ低減を実施しない場合の、-100mAでの可変 LDO のRMSノイズの測定値 = 約163μV rms
- ノイズ低減を実施した場合の、-100mAでの可変 LDO のRMSノイズの測定値 = 約99μV rms

図 60 に、ADP5600 の可変出力を-7.5V に設定した場合での、ノイズ低減回路の有無によるノイズ・スペクトル密度の差を示します。20Hz~20kHz の周波数でノイズが低減されていることが分かります。

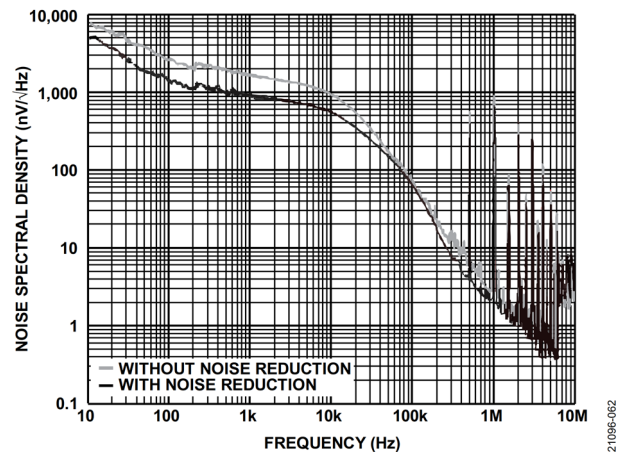


図 60. ADP5600 の可変出力 $V_{ADJ} = -7.5V$ での、ノイズ低減回路 (C_{NR} および R_{NR}) の有無による比較

クロック源の随時変更

同期のセクションで、SYNC ピンが外部クロックと接続/未接続の状態でのチャージ・ポンプの動作について説明しました。チャージ・ポンプの周波数は、外部クロックとの同期を始めるときにはスムーズに移行できます。しかし、外部クロックを外すと、チャージ・ポンプはスイッチングを停止します。その結果、CPOUT は降下し、 C_{CPOUT} が出力に必要な電荷を供給し続けます (図 61 参照)。

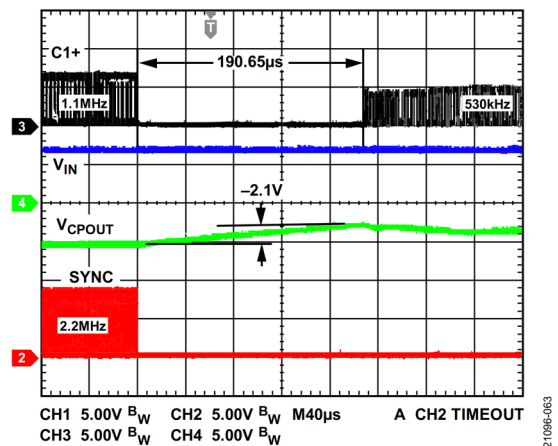


図 61. SYNC から外部クロックを外したときの CPOUT の応答

LDO のみが CPOUT の負荷でドロップアウト領域にも入っていない場合、LDO は一定電流源として表すことができ、チャージ・ポンプ出力の実効的な回路は図 62 のようになります。

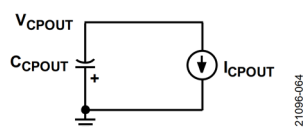


図 62. SYNC から外部クロックを外したときの出力回路の簡略図

この回路は、電流源 I_{CPOUT} を使用したときのコンデンサの放電回路にほぼ等しくなります。このときの降下は次式を使用して算出できます。

$$V_{SYNCOFF} = (I_{CPOUT} \times t_{SYNCOFF}) / C_{CPOUT}$$

ここで、
 $V_{SYNCOFF}$ は初期 CPOUT 電圧からの降下、
 $t_{SYNCOFF}$ は 189.63μs (代表値)、
 I_{CPOUT} は CCPOUT コンデンサから流れる合計電流値、
 C_{CPOUT} は CPOUT の実効容量で、この値には許容誤差、DC バイアス効果、温度係数が含まれます。

設計例

このセクションでは、ADP5600 について、ステップ・バイ・ステップの設計手順の例と必要な外付け部品について説明します。表 9 に、この例の設計条件を示します。

表 9. ADP5600 の設計条件例

Parameter	Specification
LDO Output Voltage	$V_{LDO_OUT} = -3.3\text{ V}$
LDO Output Current	$I_{LDO_OUT} = -100\text{ mA}$

チャージ・ポンプのスイッチング周波数の設定

最初のステップは、ADP5600 の設計におけるスイッチング周波数を決定することです。一般に、スイッチング周波数が高いと、部品の値を小さくできるため、ソリューションのサイズは小さくなります。これに対し、スイッチング周波数が低いと、スイッチング損失が小さくなるため、変換効率が高くなります。

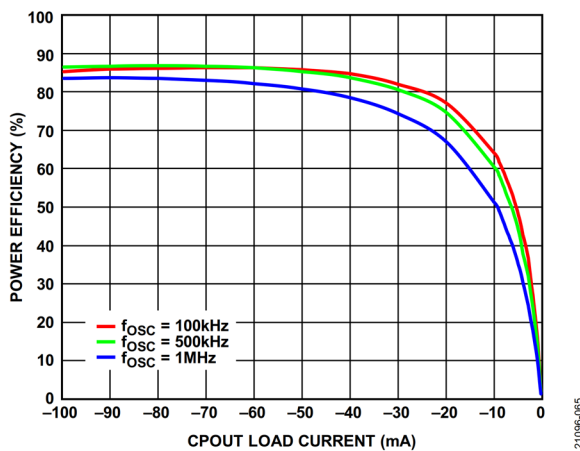


図 63. 様々な発振周波数での電力効率と I_{CPOUT} の関係

ADP5600 の発振周波数は、FREQ ピンとグラウンドの間に抵抗を接続して、0.1MHz～1MHz の値に設定できます。抵抗を選択することで、効率とソリューション・サイズのトレード・オフに基づいた決定をすることができます。

この設計例では、500kHz のスイッチング周波数で、小型のソリューション・サイズと高い変換効率の最適な組み合わせを実現します。スイッチング周波数を 500kHz に設定するには、次式を用いて R_T の値を計算します。

$$R_T [\text{k}\Omega] = 64,700/f_{osc} [\text{kHz}]$$

これにより、標準的な抵抗値として $R_T = 130\text{k}\Omega$ を選択します。

チャージ・ポンプ・フライ・コンデンサの選定

フライ・コンデンサがチャージ・ポンプの出力抵抗による電圧降下量を左右します。この出力抵抗はチャージ・ポンプのスイッチング周波数に依存します。

高いスイッチング周波数で動作させれば小さなフライ・コンデンサを使用できますが、チャージ・ポンプのインピーダンスの反転効果により最小値は制限されます。

各スイッチング周波数で推奨されるフライ・コンデンサについては、表 10 を参照してください。

表 10. 推奨される C1 および C2 の最小値

f_{osc}	C1 and C2 Capacitances
100 kHz	1 μF
250 kHz	1 μF
500 kHz	1 μF
750 kHz	0.47 μF
1 MHz	0.47 μF

LDO レギュレータの出力電圧の設定

R_2 の値を選定し、その後、次式を使用して R_1 を計算します。

$$R_1 = ((V_{ADJ}/V_{LDO_OUT}) - 1) \times R_2$$

ここで、

V_{LDO_OUT} は -2.5V、

R_1 は LDO_OUT と FB の間の帰還抵抗、

R_2 は FB と GND の間の帰還抵抗 (R_2 は 40k Ω 以上を推奨) です。

出力電圧を -3.3V に設定するには、 R_1 を 40k Ω に設定します。その結果 R_2 の計算値は 155.9k Ω になります。

最小 V_{IN} 電圧の決定

ADP5600 から目的の性能を引き出すには、アプリケーションに応じて最小の入力電圧 V_{IN} が必要です。これには、LDO のヘッドルーム電圧を必要とする PSRR 性能と、出力抵抗によるチャージ・ポンプの電圧降下を考慮する必要があります。 V_{IN} の最小値を計算するには、次式を使用します。

$$V_{IN} = V_{LDO_OUT} + V_{HR} + (R_{OUT} \times I_{CPOUT})$$

ここで、

R_{OUT} はチャージ・ポンプの出力抵抗です。

V_{HR} は LDO のヘッドルーム電圧で、特定の PSRR 性能を得るために必要となります。最小ヘッドルーム電圧の推奨値は 500mV です。

推奨回路基板レイアウト

ADP5600 の内蔵スイッチは非常に高速でオン／オフするため、デバイスを正しく動作させるには優れたプリント回路基板（PCB）レイアウトを採用することが重要です。レイアウトが適切でない場合、特に高負荷時に負荷レギュレーション性能が劣化します。出力性能を向上するには、下記のレイアウト・ガイドラインに従ってください。

- 入力コンデンサ（ C_{IN} ）はVINピンとGNDピンのできるだけ近くに配置します。
- 出力コンデンサ（ C_{CPOUT} ）と C_{LDO_OUT} はCPOUT/LDO_OUTピンとGNDピンのできるだけ近くに配置します。
- フライ・コンデンサ C_{C1} はフライ・コンデンサ・ピンC1+およびC1-、フライ・コンデンサ C_{C2} はフライ・コンデンサ・ピンC2+およびC2-の近くに配置します。

- 0603および0402サイズのコンデンサと抵抗を使うと、面積が制限されているボード上で最小のフットプリント・ソリューションを実現できます。
- 露出パッドはCPOUTに接続します。
- 適切なグラウンド／電源パターン、およびグラウンド／電源プレーンを使用してください。
- デバイスのグラウンドと入出力コンデンサのグラウンドには単一のグラウンドを使用してください。
- 外付け部品はできる限りデバイスの近くに配置します。
- 入力コンデンサと入力ピン、および出力コンデンサと出力ピンの間は、短く広いパターン／プレーンで接続してください。

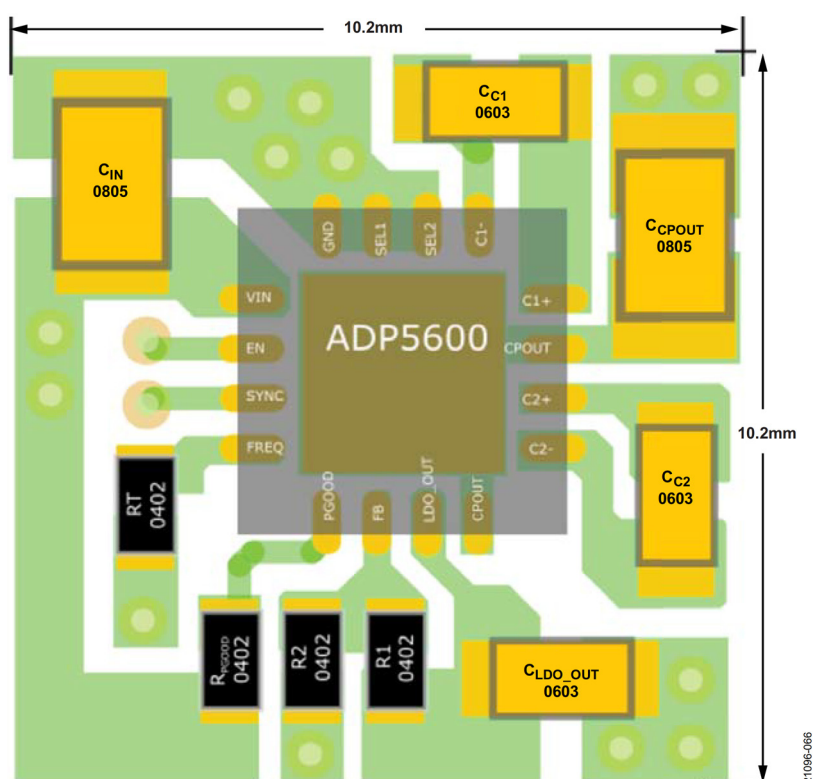


図 64. PCB レイアウト例

TOP VIEW

PIN 1 INDICATOR AREA

4.10
4.00 SQ
3.90

DETAIL A (JEDEC 95)

PIN 1 INDICATOR AREA OPTIONS (SEE DETAIL A)

0.35
0.30
0.25

0.65 BSC

EXPOSED PAD

13 12 11 10 9 8 7 6 5 4 3 2 1

2.70
2.60 SQ
2.50

0.20 MIN

BOTTOM VIEW

0.45
0.40
0.35

SIDE VIEW

0.80
0.75
0.70

SEATING PLANE

0.05 MAX
0.02 NOM
COPLANARITY
0.08

0.20 REF

FOR PROPER CONNECTION OF THE EXPOSED PAD, REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION OF THIS DATA SHEET.

図 65. 16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WQ]
4mm × 4mm ボディ、極薄、クワッド
(CP-16-17)
寸法：mm

Model ¹	Temperature Range	Package Description	Package Option
ADP5600ACPZ-R7 ADP5600CP-EVALZ	−40°C to +125°C	16-Lead LFCSP Evaluation Board	CP-16-17

¹ Z = RoHS 準拠製品。