

パワー・マネージメント IC
オートモーティブ・アプリケーション

データシート

ADP5140

特長

降圧レギュレータ

BUCK1、2.5A の最大連続出力電流範囲、DVS を採用
BUCK2、2.5A の最大連続出力電流範囲、出力電圧を調整
可能

BUCK3、3A の最大連続出力電流範囲、出力電圧を調整
可能

BUCK4、3A の最大連続出力電流範囲、低ノイズ出力
昇圧レギュレータ：5V 固定出力、400mA の出力電流範囲
7 個の低ノイズ出力 LDO レギュレータ

LDO1：300mA

LDO2：2.3A

LDO3：1.4A

LDO4：1.2A

LDO5：500mA

LDO6：50mA

LDO7：400mA

スイッチング周波数：2.2MHz（代表値）

同期入力または同期出力

位相の異なる複数の降圧レギュレータ

すべてのレギュレータがソフト・スタート機能と補償機能
を内蔵

すべての電源レールに対する過電流保護と過熱保護

2 個のウィンドウ電圧モニタ

パルス検出機能を備えた 2 個のウィンドウ・ウォッチドッグ

1 個の QA ウォッチドッグ

ウェイクアップ入力

SPI による制御および診断

RESET、FAULT、およびSTATUS出力

56 端子 LGA

オートモーティブ・アプリケーション向けの AEC-Q100 認
証を取得

アプリケーション

先進運転支援システム（ADAS）

オートモーティブ用電子部品

インフォテインメント・システム

工業用機器、計測機器

概要

ADP5140 は、4 個の高性能同期整流式降圧レギュレータ（BUCK1～BUCK4）、1 個の昇圧レギュレータ、7 個の低ノイズ低ドロップアウト（LDO）レギュレータ（LDO1～LDO7）を内蔵しています。これらの降圧レギュレータは、2.7V～5.5V の入力電圧に対応し、2.5A～3A の出力電流を供給します。昇圧レギュレータは 5V の固定出力で、400mA の負荷電流を供給します。7 個の LDO はクリーンな出力電圧をシステムに供給します。LDO5 は、ノイズに敏感な負荷への電力供給に使用できる超低ノイズの出力を供給します。

ADP5140 は 2.2MHz の固定スイッチング周波数（fsw）で動作させるか、その同期範囲である 1.9MHz から 2.4MHz までの外部クロックに同期させることができますが、これらはいずれも AM（振幅変調）の帯域外です。4 個の降圧レギュレータは、入力リップル電流と入力コンデンサのサイズを低減するために位相を 90°ずらして動作するので、システムの電磁干渉（EMI）を低減できます。

すべてのレギュレータは内部補償機能を搭載しているので、シンプルな設計が可能です。また内部ソフト・スタート回路と電源投入シーケンス機能により、入力突入電流を低減します。

各電圧レールは内部でモニタされており、何らかのフォルト・イベントが生じた場合はRESET、FAULT、およびSTATUSピンを通じてシステムに報告されます。また、2 個のウィンドウ・ウォッチドッグ（WD0 と WD1）と 1 個の質問回答（QA）ウォッチドッグがシステム内のプロセッサ、その他のデバイスを監視して、あらゆるソフトウェア・エラーやハードウェア・エラーを確実に検出します。ADP5140 は、システムの制御および診断用のシリアル・ペリフェラル・インターフェース（SPI）を内蔵しています。

その他の保護機能としては、電流制限保護、過電圧保護、低電圧保護、サーマル・シャットダウン（TSD）などがあります。

ADP5140 は、-40°C～+150°C のジャンクション温度範囲で動作し、56 端子のランド・グリッド・アレイ（LGA）パッケージを採用しています。

アナログ・デバイス社の提供する情報は、正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

©2022 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	同期.....	37
アプリケーション.....	1	周波数スペクトラム拡散.....	37
概要.....	1	帰還電圧モニタ.....	37
改訂履歴.....	2	VMx 電圧スーパーバイザ.....	38
機能ブロック図.....	3	MODE ピンの設定.....	39
代表的なアプリケーション回路.....	4	V _{IO} 電源.....	40
仕様.....	5	ウェイクアップ機能と外部イベント検出.....	40
タイミング図.....	10	ウォッチドッグ.....	40
降圧レギュレータの仕様.....	11	パルス幅モニタ.....	44
昇圧レギュレータの仕様.....	12	外部イベント検出としての WDIx ピン.....	44
LDO1 (レギュレータ 5) の仕様.....	13	TSD.....	44
LDO2 (レギュレータ 6) の仕様.....	13	$\overline{\text{RESET}}$ 、 $\overline{\text{STATUS}}$ 、および $\overline{\text{FAULT}}$ フェイルセーフ・ピン.....	44
LDO3 (レギュレータ 7) の仕様.....	14	パワーアップ・シーケンスとパワーダウン・シーケンス.....	46
LDO4 (レギュレータ 8) の仕様.....	15	SPI.....	48
LDO5 (レギュレータ 9) の仕様.....	15	ステート図.....	50
LDO6 (レギュレータ 10) の仕様.....	16	アプリケーション情報.....	55
LDO7 (レギュレータ 11) の仕様.....	16	入力コンデンサの選択.....	55
絶対最大定格.....	18	インダクタの選択.....	55
熱抵抗.....	18	出力コンデンサの選択.....	56
静電放電 (ESD) 定格.....	18	BUCK4 の低出力ノイズ設計.....	57
ESD に関する注意.....	18	電圧変換の制限.....	57
ピン配置およびピン機能の説明.....	19	PCB レイアウトに関する推奨事項.....	59
代表的な性能特性.....	21	SPI レジスタ・マップ.....	60
動作原理.....	33	SPI レジスタの一覧.....	60
同期整流式降圧レギュレータ.....	33	レジスタ・ビットの説明.....	62
同期整流式昇圧レギュレータ.....	35	外形寸法.....	128
LDO レギュレータ.....	36	オーダー・ガイド.....	128
AVIN と AVDD.....	37	オートモーティブ製品.....	128
イネーブル機能.....	37		
アクティブ出力放電.....	37		

改訂履歴

8/2022-Revision 0: 初版

機能ブロック図

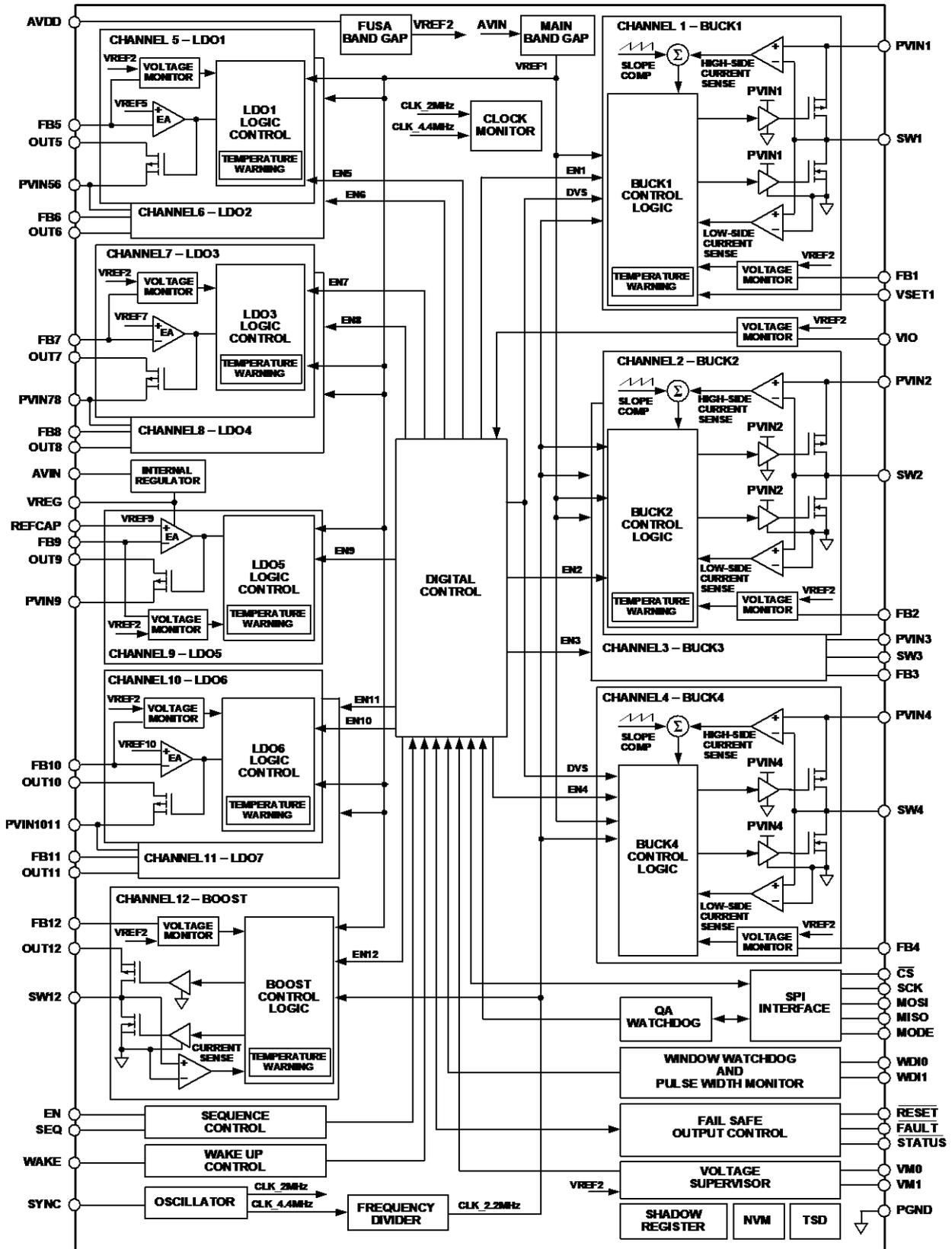


図 1.

24496-02

代表的なアプリケーション回路

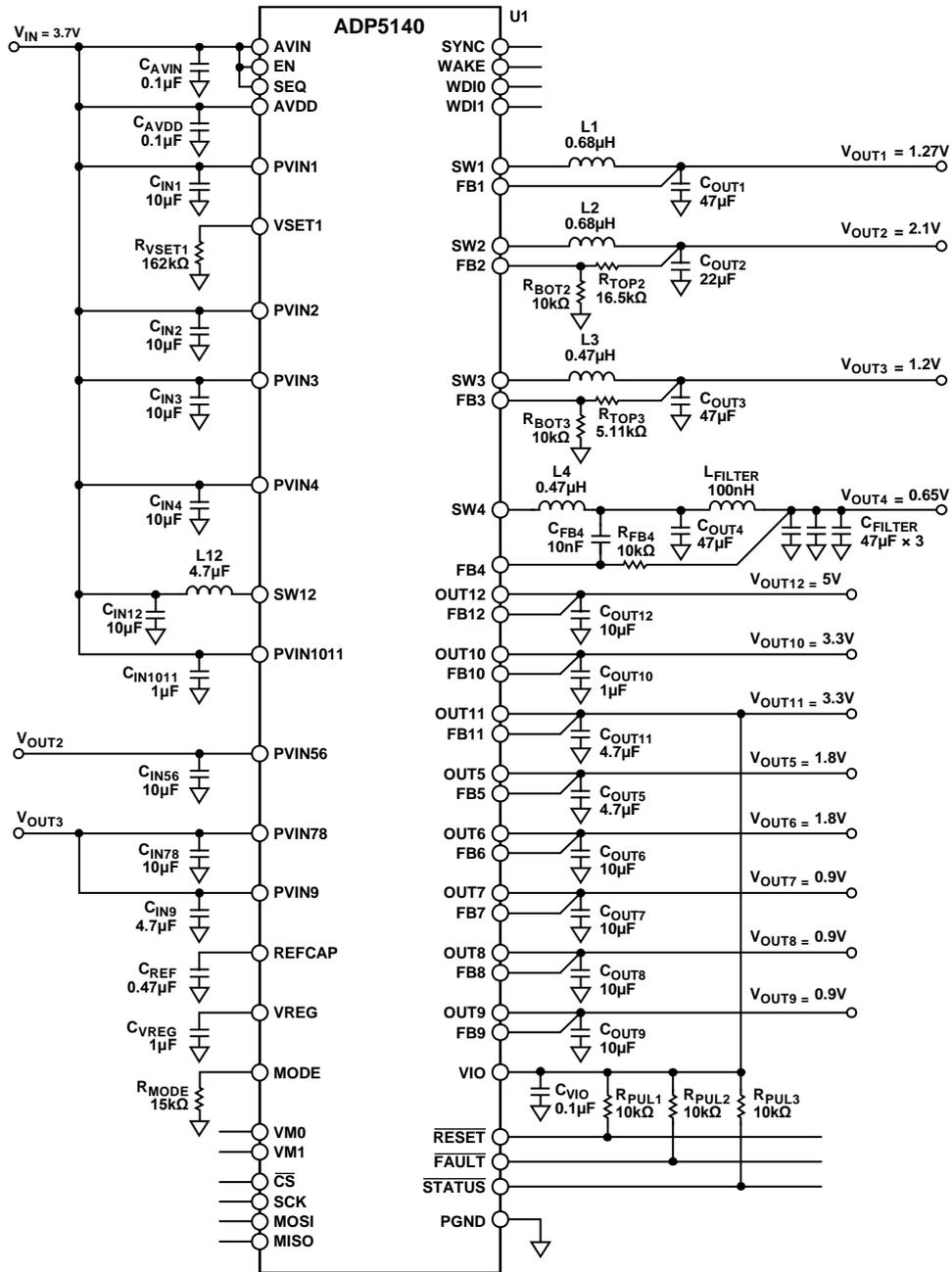


図 2.

24866-087

仕様

特に指定のない限り、AVIN 電圧 (V_{AVIN}) = AVDD 電圧 (V_{AVDD}) = 3.7V、VIO 電圧 (V_{VIO}) = 3.3V、 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}\text{C}$ (代表仕様値)。

表 1.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
POWER INPUT						
AVIN Voltage Range	V_{AVIN}	AVIN ピン	2.7		5.5	V
AVDD Voltage Range	V_{AVDD}	AVDD ピン	2.7		5.5	V
Quiescent Current	$I_{Q_AVIN_AVDD}$	スイッチングなし、AVIN ピンと AVDD ピンを互いに接続	9.5	12	16.5	mA
	I_{Q_IO}	VIO = 3.3V	4	6.6	10	μA
Input Undervoltage Lockout (UVLO) Threshold						
AVIN UVLO Rising	$V_{AVIN_UVLO_R}$			2.5	2.6	V
AVIN UVLO Falling	$V_{AVIN_UVLO_F}$		2.3	2.4		V
AVDD UVLO Rising	$V_{AVDD_UVLO_R}$			2.5	2.6	V
AVDD UVLO Falling	$V_{AVDD_UVLO_F}$		2.3	2.4		V
ENABLE (EN)						
First Stage High Threshold	V_{EN_RGH}			0.76	1.1	V
Second Stage Rising Threshold	V_{EN_R}			1.2	1.28	V
Second Stage Falling Threshold	V_{EN_F}		1.02	1.1		V
EN Pull-Down Resistance				1.3		$\text{M}\Omega$
INPUT/OUTPUT VOLTAGE SUPPLY (VIO)						
VIO UVLO Falling Threshold	$V_{VIO_UV_F}$	$V_{VIO} = 1.8\text{V}$ $V_{VIO} = 3.3\text{V}$	1.62	1.67		V
			2.95	3.05		V
VIO UVLO Rising Threshold	$V_{VIO_UV_R}$	$V_{VIO} = 1.8\text{V}$ $V_{VIO} = 3.3\text{V}$		1.71	1.75	V
				3.1	3.17	V
VIO UVLO Deglitch Time			10		20	μs
WAKE-UP INPUT (WAKE)						
High Voltage Threshold			1.2			V
Low Voltage Threshold					0.4	V
Deglitch Time	t_{D_WAKE}			15		μs
Internal Pull-Down Resistance				1		$\text{M}\Omega$
SYNCHRONIZATION (SYNC)						
SYNC Input		SYNC を入力として設定				
Synchronization Range			1.9		2.4	MHz
Minimum On Pulse Width			80			ns
Minimum Off Pulse Width			80			ns
High Voltage Threshold			$0.7 \times V_{VIO}$			V
Low Voltage Threshold					$0.3 \times V_{VIO}$	V
SYNC Output		SYNC を出力として設定				
Frequency on SYNC Pin		SYNC_DIV = 0 SYNC_DIV = 1		f_{sw} $f_{sw}/5$		
High Voltage Threshold		同期ソース電流 (I_{SYNC_SOURCE}) = 2mA	$V_{VIO} - 0.2$			V
Low Voltage Threshold		同期シンク電流 (I_{SYNC_SINK}) = 2mA			0.4	V
Duty				50		%
FB1 TO FB3 VOLTAGE MONITORING						
High Threshold		BUCK1、BUCK2、および BUCK3、警告とフォルト				
Accuracy, 4% Window			102.8	104	105.2	%
Hysteresis, 4% Window				0.5		%
Accuracy, 5% Window			103.95	105.15	106.35	%

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Hysteresis, 5% Window				0.8		%
Accuracy, 6% Window			105.1	106.3	107.5	%
Hysteresis, 6% Window				0.9		%
Accuracy, 8% Window			107.1	108.3	109.5	%
Hysteresis, 8% Window				0.9		%
Low Threshold Accuracy						
Accuracy, 4% Window			95.1	96.3	97.5	%
Hysteresis, 4% Window				1		%
Accuracy, 5% Window			94.15	95.35	96.55	%
Hysteresis, 5% Window				1		%
Accuracy, 6% Window			93.05	94.25	95.45	%
Hysteresis, 6% Window				1		%
Accuracy, 8% Window			91.1	92.3	93.5	%
Hysteresis, 8% Window				1		%
FB4 VOLTAGE MONITORING		BUCK4、警告とフォルト				
High Threshold						
Accuracy, 4% Window			102.8	104	105.2	%
Hysteresis, 4% Window				0.35		%
Accuracy, 5% Window			104	105.2	106.4	%
Hysteresis, 5% Window				0.7		%
Accuracy, 6% Window			104.9	106.1	107.3	%
Hysteresis, 6% Window				0.5		%
Accuracy, 8% Window			107	108.2	109.4	%
Hysteresis, 8% Window				0.7		%
Low Threshold Accuracy						
Accuracy, 4% Window			95.1	96.3	97.5	%
Hysteresis, 4% Window				1		%
Accuracy, 5% Window			94.3	95.5	96.7	%
Hysteresis, 5% Window				1		%
Accuracy, 6% Window			93.15	94.35	95.55	%
Hysteresis, 6% Window				1		%
Accuracy, 8% Window			91.2	92.4	93.6	%
Hysteresis, 8% Window				1		%
FB5 TO FB11 VOLTAGE MONITORING		LDO1~LDO7、警告とフォルト				
High Threshold						
Accuracy, 4% Window			103.1	104.3	105.5	%
Hysteresis, 4% Window				0.9		%
Accuracy, 5% Window			104.15	105.35	106.55	%
Hysteresis, 5% Window				1.15		%
Accuracy, 6% Window			105.3	106.5	107.7	%
Hysteresis, 6% Window				1.15		%
Accuracy, 8% Window			107.15	108.35	109.55	%
Hysteresis, 8% Window				1		%
Low Threshold Accuracy						
Accuracy, 4% Window			95	96.2	97.4	%
Hysteresis, 4% Window				1.2		%
Accuracy, 5% Window			94.15	95.35	96.55	%
Hysteresis, 5% Window				1		%
Accuracy, 6% Window			93	94.2	95.4	%
Hysteresis, 6% Window				1.15		%
Accuracy, 8% Window			91.05	92.25	93.45	%
Hysteresis, 8% Window				1.1		%

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
FB12 VOLTAGE MONITORING		昇圧、警告とフォルト				
High Threshold						
Accuracy, 4% Window			103.1	104.3	105.5	%
Hysteresis, 4% Window				0.9		%
Accuracy, 5% Window			104.2	105.4	106.6	%
Hysteresis, 5% Window				1.2		%
Accuracy, 6% Window			105.3	106.5	107.7	%
Hysteresis, 6% Window				1.2		%
Accuracy, 8% Window			107.2	108.4	109.6	%
Hysteresis, 8% Window				1		%
Low Threshold Accuracy						
Accuracy, 4% Window			95	96.2	97.4	%
Hysteresis, 4% Window				1.2		%
Accuracy, 5% Window			94.15	95.35	96.55	%
Hysteresis, 5% Window				1		%
Accuracy, 6% Window			93.05	94.25	95.45	%
Hysteresis, 6% Window				1.1		%
Accuracy, 8% Window			91.05	92.25	93.45	%
Hysteresis, 8% Window				1.1		%
VM0 AND VM1 VOLTAGE MONITORING		VM0 と VM1、警告とフォルト				
High Threshold		600mV が基準				
Accuracy, 4% Window			103.15	104.35	105.55	%
Hysteresis, 4% Window				0.8		%
Accuracy, 5% Window			104.25	105.45	106.65	%
Hysteresis, 5% Window				1.1		%
Accuracy, 6% Window			105.4	106.6	107.8	%
Hysteresis, 6% Window				1.1		%
Accuracy, 8% Window			107.25	108.45	109.65	%
Hysteresis, 8% Window				1		%
Low Threshold Accuracy		600mV が基準				
Accuracy, 4% Window			95.2	96.4	97.6	%
Hysteresis, 4% Window				1.1		%
Accuracy, 5% Window			94.3	95.5	96.7	%
Hysteresis, 5% Window				0.9		%
Accuracy, 6% Window			93.15	94.35	95.55	%
Hysteresis, 6% Window				1.1		%
Accuracy, 8% Window			91.25	92.45	93.65	%
Hysteresis, 8% Window				1.05		%
VOLTAGE MONITOR BLANK TIME						
Blank Time Range		SPI で範囲をプログラム可能	16		352	μs
Blank Time Accuracy			-10		+10	%
DIE TEMPERATURE AND TSD						
TSD Threshold	T _{SD}			170		°C
TSD Hysteresis	T _{SD_HY}			20		°C
TSD Deglitch Time				10		μs
WDI WINDOW WATCHDOG AND PULSE MONITOR						
Watchdog Fast Window Time	t _{WD0_FAST}	WD0 のデフォルト	27	30	33	ms
	t _{WD1_FAST}	WD1 のデフォルト	27	30	33	ms
		SPI で時間範囲をプログラム可能	0		134.2	sec
Watchdog Slow Window Time	t _{WD0_SLOW}	WD0 のデフォルト	108	120	132	ms
	t _{WD1_SLOW}	WD1 のデフォルト	108	120	132	ms
		SPI で時間範囲をプログラム可能	0		134.2	sec

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
WDI Fast Pulse Width	$t_{WDI0_PULSE_FAST}$	WDI0 のデフォルト	383	425	468	μs
	$t_{WDI1_PULSE_FAST}$	WDI1 のデフォルト	383	425	468	μs
WDI Slow Pulse Width	$t_{WDI0_PULSE_SLOW}$ $t_{WDI1_PULSE_SLOW}$	SPI で時間範囲をプログラム可能	0		131	ms
		SPI で時間ステップをプログラム可能		0.5		μs
		WDI0 のデフォルト	518	575	633	μs
		WDI1 のデフォルト	518	575	633	μs
WDIx High Voltage Threshold			1.2			V
WDIx Low Voltage Threshold					0.4	V
WDIx Minimum Pulse Width			1			μs
QA WATCHDOG						
QA Watchdog Fast Window Time	$t_{WD_QA_FAST}$	QA ウォッチドッグのデフォルト		0		ms
		SPI で時間範囲をプログラム可能	0		134.2	sec
QA Watchdog Slow Window Time	$t_{WD_QA_SLOW}$	QA ウォッチドッグのデフォルト	0.9	1	1.1	sec
		SPI で時間範囲をプログラム可能	0		134.2	sec
RESET						
RESET Hold Low Time	t_{HOLD}	RESET ピン POR 後またはスタンバイ・モードからの復帰時	6.3	7	7.7	ms
RESET Timeout Period	t_{RP}		3.6	4	4.4	ms
RESET Output Low Voltage		RESET ピンのシンク電流 (I_{RESET}) = 1mA		30	100	mV
RESET Leakage Current		RESET ピンの電圧 (V_{RESET}) = 3.3V			1	μA
RESET Input High Voltage Threshold			$0.7 \times V_{VIO}$			V
RESET Input Low Voltage Threshold					$0.3 \times V_{VIO}$	V
RESET Input Read Blank Time				3		μs
RESET External Timeout	t_{RESET_EXT}	SPI で範囲をプログラム可能	5		160	μs
		SPI でステップをプログラム可能		5		μs
STATUS						
STATUS Output Low Voltage		STATUS ピン STATUS ピンのシンク電流 (I_{STATUS}) = 1mA		30	100	mV
STATUS Leakage Current		STATUS ピンの電圧 (V_{STATUS}) = 3.3V			1	μA
STATUS Input High Voltage Threshold				1.2	1.28	V
STATUS Input Low Voltage Threshold			1.02	1.1		V
STATUS Input Read Blank Time				3		μs
STATUS External Timeout	t_{STATUS_EXT}	SPI で範囲をプログラム可能	5		160	μs
		SPI でステップをプログラム可能		5		μs
FAULT						
FAULT Output Low Voltage		FAULT pin FAULT ピンのシンク電流 (I_{FAULT}) = 1mA		30	100	mV
FAULT Leakage Current		FAULT ピンの電圧 (V_{FAULT}) = 3.3V			1	μA
FAULT Input High Voltage Threshold				1.2	1.28	V
FAULT Input Low Voltage Threshold			1.02	1.1		V
FAULT Input Read Blank Time				3		μs
FAULT External Timeout	t_{FAULT_EXT}	SPI で範囲をプログラム可能	5		160	μs
		SPI でステップをプログラム可能		5		μs

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
SEQ						
SEQ High Voltage Threshold				1.2	1.28	V
SEQ Low Voltage Threshold			1.02	1.1		V
SEQ Deglitch Time			10		20	μs
SEQ Pull-Down Resistance				1		MΩ
POWER-UP SEQUENCE						
Initial Delay	t_D			3		ms
Power-Up Delay 1	t_{DR1}			200		μs
Power-Up Delay 2	t_{DR2}			248		μs
POWER-DOWN SEQUENCE						
Power-Down Threshold	V_{MDW}	FB11での値			1.8	V
TIMEOUT						
Self Check Timeout	t_{EXP1}			20		ms
System Ramp-Up Timeout	t_{EXP2}			20		ms
Peripheral Ramp-Up Timeout	t_{EXP3}			20		ms
SPI INTERFACE						
Input High Threshold		\overline{CS} 、SCK、およびMOSI	$0.7 \times V_{VIO}$			V
Input Low Threshold		\overline{CS} 、SCK、およびMOSI			$0.3 \times V_{VIO}$	V
MISO High Threshold		MISOピンのソース電流 (I_{SOURCE}) = 4mA	$0.9 \times V_{VIO}$			V
MISO Low Threshold		MISOピンのシンク電流 (I_{SINK}) = 4mA			$0.1 \times V_{VIO}$	V
Maximum SPI Clock Frequency	t_{SCK}	図3と図4を参照			10	MHz
SCK Pulse Width High	t_{PWH}	図3を参照	45			ns
SCK Pulse Width Low	t_{PWL}	図3を参照	45			ns
\overline{CS} Falling to SCK Falling Delay Time	t_{DCS}	図3を参照	45			ns
SCK Rising to \overline{CS} Rising Delay Time	t_{CSD}	図3を参照	45			ns
\overline{CS} High Time	t_{CSH}	図3を参照	5			μs
Data Setup Time	t_{DS}	MOSI~SCK、図3を参照	12.5			ns
Data Hold Time	t_{DH}	MOSI~SCK、図3を参照	12.5			ns
Data Valid Time	t_{DV}	MISO~SCK、負荷 80pF、図4を参照			27.5	ns

タイミング図

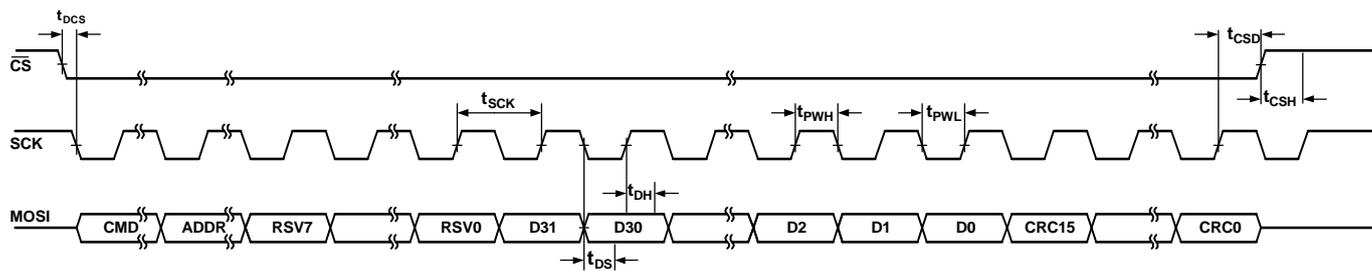


図 3. SPI シングル書込みのタイミング図

24486-003

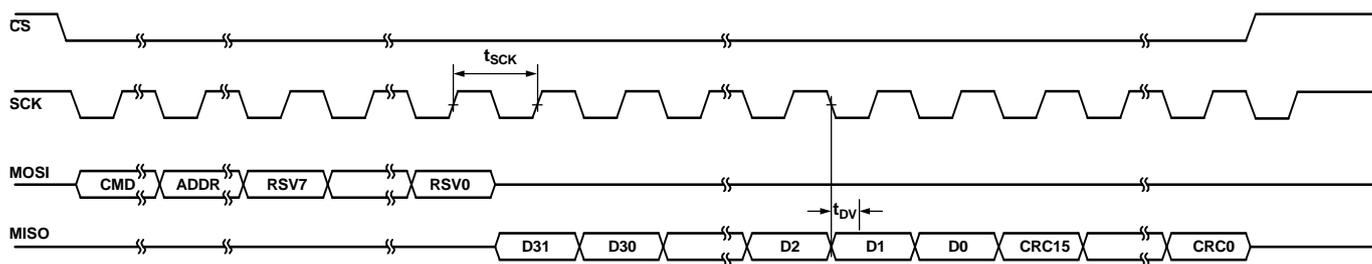


図 4. SPI シングル読出しのタイミング図

24486-004

降圧レギュレータの仕様

特に指定のない限り、 $V_{AVIN} = V_{AVDD} = PVIN1$ 電圧 (V_{PVIN1}) = $PVIN2$ 電圧 (V_{PVIN2}) = $PVIN3$ 電圧 (V_{PVIN3}) = $PVIN4$ 電圧 (V_{PVIN4}) = 3.7V、 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}\text{C}$ (代表仕様値)。

表 2.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
BUCK1 (REGULATOR 1)						
Input Voltage Range	V_{PVIN1}		2.7		5.5	V
Output Current Range	I_{OUT1}			2.5		A
Quiescent Current		AVIN ピンと PVIN1 ピンを互いに接続		1.2		mA
Output Voltage Range	V_{OUT1}	外部抵抗設定または SPI で選択可能	0.8		1.4	V
Output Voltage Accuracy			-1.25		+1.25	%
High-Side On Resistance ¹	R_{DSON_HS1}			57	120	mΩ
Low-Side On Resistance ¹	R_{DSON_LS1}			27	80	mΩ
SW1 Minimum On Time				45	65	ns
SW1 Minimum Off Time				45		ns
High-Side Peak Current Limit			3.2	3.9	4.6	A
Low-Side Source Current Limit			2.7	3.4	4.1	A
Low-Side Sink Current Limit				-1		A
Switching Frequency	f_{sw}	内部クロックが基準	2.0	2.2	2.4	MHz
Phase Shift				0		Degrees
Soft Start Time	t_{S1}			1		ms
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				110		Ω
BUCK2 (REGULATOR 2)						
Input Voltage Range	V_{PVIN2}		2.7		5.5	V
Output Current Range	I_{OUT2}			2.5		A
Quiescent Current		AVIN ピンと PVIN2 ピンを互いに接続		1.2		mA
FB2 Regulation Voltage			0.790	0.800	0.810	V
High-Side On Resistance ¹	R_{DSON_HS2}			57	120	mΩ
Low-Side On Resistance ¹	R_{DSON_LS2}			27	80	mΩ
SW2 Minimum On Time				45	65	ns
SW2 Minimum Off Time				60		ns
High-Side Peak Current Limit			3.5	4.2	4.9	A
Low-Side Source Current Limit			3	3.7	4.4	A
Low-Side Sink Current Limit				-1		A
Switching Frequency	f_{sw}	内部クロックが基準	2.0	2.2	2.4	MHz
Phase Shift				180		Degrees
Soft Start Time	t_{S2}			1		ms
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
BUCK3 (REGULATOR 3)						
Input Voltage Range	V_{PVIN3}		2.7		5.5	V
Output Current Range	I_{OUT3}			3		A
Quiescent Current		AVIN ピンと PVIN3 ピンを互いに接続		1.2		mA
FB3 Regulation Voltage			0.79	0.800	0.810	V
High-Side On Resistance ¹	R_{DSON_HS3}			57	120	mΩ
Low-Side On Resistance ¹	R_{DSON_LS3}			27	80	mΩ
SW3 Minimum On Time				45	65	ns
SW3 Minimum Off Time				45		ns
High-Side Peak Current Limit			3.9	4.6	5.3	A

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Low-Side Source Current Limit			3.5	4.3	5.1	A
Low-Side Sink Current Limit				-1		A
Switching Frequency	f_{SW}	内部クロックが基準	2.0	2.2	2.4	MHz
Phase Shift				90		Degrees
Soft Start Time	t_{S3}			1		ms
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				110		Ω
BUCK4 (REGULATOR 4)						
Input Voltage Range	V_{PVIN4}	AVIN ピンと PVIN4 ピンを互いに接続 SPI で選択可能	2.7		5.5	V
Output Current Range	I_{OUT4}				3	
Quiescent Current				1.6		mA
Output Voltage Range	V_{OUT4}		0.55		1.20	V
Output Voltage Accuracy			-1.25		+1.25	%
High-Side On Resistance ¹	R_{DSON_HS4}			57	120	mΩ
Low-Side On Resistance ¹	R_{DSON_LS4}			27	80	mΩ
SW4 Minimum On Time				45	65	ns
SW4 Minimum Off Time				45		ns
High-Side Peak Current Limit			3.9	4.6	5.3	A
Low-Side Source Current Limit			3.5	4.3	5.1	A
Low-Side Sink Current Limit				-1		A
Switching Frequency	f_{SW}	内部クロックが基準	2.0	2.2	2.4	MHz
Phase Shift					270	
Soft Start Time	t_{S4}			1		ms
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				110		Ω

¹ ピン間で測定。

昇圧レギュレータの仕様

特に指定のない限り、 $V_{AVIN} = V_{AVDD} = PVIN1 = PVIN2$ 電圧 (V_{PVIN2}) = 3.7V、 $T_I = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}\text{C}$ (代表仕様値)。

表 3.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
BOOST REGULATOR						
Input Voltage Range	V_{PVIN12}	昇圧電力段の入力電圧	2.7		4.1	V
Output Current Range	I_{OUT12}				400	
Output Voltage	V_{OUT12}			5		V
Output Voltage Accuracy			-2		+2	%
Quiescent Current	I_{Q12}			1.1		mA
Main Field Effect Transistor (FET) On Resistance ¹	R_{DSON_MAIN}			208	500	mΩ
Sync FET On Resistance ¹	R_{DSON_SYNC}			235	450	mΩ
Main FET Current Limit			0.8	1	1.2	A
Switching Frequency	f_{SW}	内部クロックが基準	2.0	2.2	2.4	MHz
SW12 Minimum On Time					70	
SW12 Minimum Off Time				100		ns
Phase Shift				0		Degree
Soft Start Time	t_{S12}			1		ms

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				110		Ω

¹ ピン間の測定。

LDO1 (レギュレータ 5) の仕様

特に指定のない限り、 $V_{AVIN} = V_{AVDD} = 3.7V$ 、 $V_{PVIN56} >$ レギュレータ 5 の出力電圧 (V_{OUT5}) + 0.3V または $V_{PVIN56} = 2.1V$ (どちらか大きい方)、 C_{IN56} の入力容量 (C_{IN56}) = 10μF、レギュレータ 5 の出力容量 (C_{OUT5}) = 4.7μF、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}C$ (代表仕様値)。

表 4.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LDO1 (REGULATOR 5)						
Input Voltage Range	V_{PVIN56}		1.7		5.5	V
Output Current Range	I_{OUT5}			300		mA
Input UVLO Rising Threshold		PVIN56 での値			1.6	V
Input UVLO Falling Threshold		PVIN56 での値	1.3			V
Input UVLO Hysteresis				100	110	mV
Input Overvoltage Lockout (OVLO) Rising Threshold		PVIN56 での値	5.45	5.7	5.95	V
Input OVLO Hysteresis				90	110	mV
Quiescent Current		PVIN56 での値、無負荷		120	180	μA
Output Voltage Range	V_{OUT5}	SPI で範囲をプログラム可能	1.755		2.070	V
Output Voltage Accuracy		$V_{PVIN56} = V_{OUT5} + 0.3V \sim 5.5V$	-1.5		+1.5	%
Dropout Voltage		$V_{OUT5} = 1.8V$ 、レギュレータ 5 の出力電流 (I_{OUT5}) = 300mA		60	150	mV
Current-Limit Threshold			350	500	650	mA
Soft Start Time	t_{SS}			200		μs
Output Noise	OUT_{NOISE5}	10Hz~100kHz、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT5} = 1.8V$		13		μV rms
Noise Spectral Density	OUT_{NSD5}	10kHz、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT5} = 1.8V$ 、 $I_{OUT5} = 300mA$		42		nV/√Hz
		100kHz、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT5} = 1.8V$ 、 $I_{OUT5} = 300mA$		30		nV/√Hz
Power Supply Rejection Ratio (PSRR)	$PSRR_{LDO1}$	10kHz、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT5} = 1.8V$ 、 $I_{OUT5} = 300mA$		56		dB
		100kHz、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT5} = 1.8V$ 、 $I_{OUT5} = 300mA$		50		dB
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs

LDO2 (レギュレータ 6) の仕様

特に指定のない限り、 $V_{AVIN} = V_{AVDD} = 3.7V$ 、 $V_{PVIN56} >$ レギュレータ 6 の出力電圧 (V_{OUT6}) + 0.3V または $V_{PVIN56} = 2.1V$ (どちらか大きい方)、 $C_{IN56} = 10\mu F$ 、レギュレータ 6 の出力容量 (C_{OUT6}) = 10μF、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}C$ (代表仕様値)。

表 5.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LDO2 (REGULATOR 6)						
Input Voltage Range	V_{PVIN56}		1.7		5.5	V
Output Current Range	I_{OUT6}			2.3		A
Input UVLO Rising Threshold		PVIN56 での値			1.6	V
Input UVLO Falling Threshold		PVIN56 での値	1.3			V
Input UVLO Hysteresis				100	110	mV
Input OVLO Rising Threshold		PVIN56 での値	5.45	5.7	5.95	V

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Input OVLO Hysteresis				90	110	mV
Quiescent Current		PVIN56 での値、無負荷		500	1000	μA
Output Voltage Range	V _{OUT6}	SPI で範囲をプログラム可能	1.755		2.070	V
Output Voltage Accuracy		V _{PVIN56} = V _{OUT6} + 0.3V ~ 5.5V	-1.5		+1.5	%
Dropout Voltage		V _{OUT6} = 1.8V、レギュレータ 6 の出力電流 (I _{OUT6}) = 1.0A		30	70	mV
Current-Limit Threshold			2.7	3.1	3.5	A
Soft Start Time	t _{S6}			1		ms
Output Noise	OUT _{NOISE6}	10Hz ~ 100kHz、V _{PVIN56} = 2.1V、V _{OUT6} = 1.8V		17		μV rms
Noise Spectral Density	OUT _{NSD6}	10kHz、V _{PVIN56} = 2.1V、V _{OUT6} = 1.8V、I _{OUT6} = 1.9A		60		nV/√Hz
		100kHz、V _{PVIN56} = 2.1V、V _{OUT6} = 1.8V、I _{OUT6} = 1.9A		32		nV/√Hz
PSRR	PSRR _{LDO2}	10kHz、V _{PVIN56} = 2.1V、V _{OUT6} = 1.8V、I _{OUT6} = 1.9A		68		dB
		100kHz、V _{PVIN56} = 2.1V、V _{OUT6} = 1.8V、I _{OUT6} = 1.9A		51		dB
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				170		Ω

LDO3 (レギュレータ 7) の仕様

特に指定のない限り、V_{AVIN} = V_{AVDD} = 3.7V、V_{PVIN78} > レギュレータ 7 の出力電圧 (V_{OUT7}) + 0.3V または V_{PVIN78} = 1.2V (どちらか大きい方)、PVIN78 の入力容量 (C_{IN78}) = 10μF、レギュレータ 7 の出力容量 (C_{OUT7}) = 10μF、T_J = -40°C ~ +150°C (最小仕様値および最大仕様値)、T_A = 25°C (代表仕様値)。

表 6.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LDO3 (REGULATOR 7)						
Input Voltage Range	V _{PVIN78}		0.9		1.98	V
Output Current Range	I _{OUT7}			1.4		A
Input UVLO Rising Threshold		PVIN78 での値			0.85	V
Input UVLO Falling Threshold		PVIN78 での値	0.7			V
Input UVLO Hysteresis				50	60	mV
Input OVLO Rising Threshold		PVIN78 での値	1.98	2.05	2.12	V
Input OVLO Hysteresis				80	90	mV
Quiescent Current		PVIN78 での値、無負荷		600	2200	μA
Output Voltage Range	V _{OUT7}		0.864		1.116	V
Output Voltage Accuracy		V _{PVIN78} = V _{OUT7} + 0.3V ~ 1.98V	-1.5		+1.5	%
Dropout Voltage		V _{OUT7} = 0.9V、レギュレータ 7 の出力電流 (I _{OUT7}) = 0.7A		27	70	mV
Current-Limit Threshold			1.7	2.1	2.5	A
Soft Start Time	t _{S7}			200		μs
Output Noise	OUT _{NOISE7}	10Hz ~ 100kHz、V _{PVIN78} = 1.2V、V _{OUT7} = 0.9V		9.6		μV rms
Noise Spectral Density	OUT _{NSD7}	10kHz、V _{PVIN78} = 1.2V、V _{OUT7} = 0.9V、I _{OUT7} = 1.4A		21		nV/√Hz
		100kHz、V _{PVIN78} = 1.2V、V _{OUT7} = 0.9V、I _{OUT7} = 1.4A		12		nV/√Hz
PSRR	PSRR _{LDO3}	10kHz、V _{PVIN78} = 1.2V、V _{OUT7} = 0.9V、I _{OUT7} = 1.4A		72		dB
		100kHz、V _{PVIN78} = 1.2V、V _{OUT7} = 0.9V、I _{OUT7} = 1.4A		69		dB
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				70		Ω

LDO4 (レギュレータ 8) の仕様

特に指定のない限り、 $V_{AVIN} = V_{AVDD} = 3.7V$ 、 $V_{PVIN78} >$ レギュレータ 8 の出力電圧 (V_{OUT8}) + 0.3V または $V_{PVIN78} = 1.2V$ (どちらか大きい方)、 $C_{IN78} = 10\mu F$ 、レギュレータ 8 の出力容量 (C_{OUT8}) = 10 μF 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}C$ (代表仕様値)。

表 7.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LDO4 (REGULATOR 8)						
Input Voltage Range	V_{PVIN78}		0.9		1.98	V
Output Current Range	I_{OUT8}			1.2		A
Input UVLO Rising Threshold		PVIN78 での値			0.85	V
Input UVLO Falling Threshold		PVIN78 での値	0.7			V
Input UVLO Hysteresis				50	60	mV
Input OVLO Rising Threshold		PVIN78 での値	1.98	2.05	2.12	V
Input OVLO Hysteresis				80	90	mV
Quiescent Current		PVIN78 での値、無負荷		600	2200	μA
Output Voltage Range	V_{OUT8}		0.864		1.116	V
Output Voltage Accuracy		$V_{PVIN78} = V_{OUT8} + 0.3V \sim 1.98V$	-1.5		+1.5	%
Dropout Voltage		$V_{OUT8} = 0.9V$ 、レギュレータ 8 の出力電流 (I_{OUT8}) = 0.6A		19	70	mV
Current-Limit Threshold			1.35	1.7	2.05	A
Soft Start Time	t_{SS}			200		μs
Output Noise	OUT_{NOISE8}	10Hz~100kHz、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT8} = 0.9V$		9.6		μV_{rms}
Noise Spectral Density	OUT_{NSD8}	10kHz、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT8} = 0.9V$ 、 $I_{OUT8} = 1.2A$		21		nV/ \sqrt{Hz}
		100kHz、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT8} = 0.9V$ 、 $I_{OUT8} = 1.2A$		12		nV/ \sqrt{Hz}
PSRR	$PSRR_{LDO4}$	10kHz、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT8} = 0.9V$ 、 $I_{OUT8} = 1.2A$		67		dB
		100kHz、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT8} = 0.9V$ 、 $I_{OUT8} = 1.2A$		65		dB
Overtemperature Threshold				160		$^{\circ}C$
Overtemperature Hysteresis				20		$^{\circ}C$
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				70		Ω

LDO5 (レギュレータ 9) の仕様

特に指定のない限り、 $V_{AVIN} = V_{AVDD} = 3.7V$ 、 $V_{PVIN9} >$ レギュレータ 9 の出力電圧 (V_{OUT9}) + 0.3V または $V_{PVIN9} = 1.2V$ (どちらか大きい方)、 $PVIN9$ の入力容量 (C_{IN9}) = 10 μF 、レギュレータ 9 の出力容量 (C_{OUT9}) = 10 μF 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}C$ (代表仕様値)。

表 8.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LDO5 (REGULATOR 9)						
Input Voltage Range	V_{PVIN9}		0.9		1.98	V
Output Current Range	I_{OUT9}			500		mA
Input UVLO Rising Threshold		PVIN9 での値			0.85	V
Input UVLO Falling Threshold		PVIN9 での値	0.7			V
Input UVLO Hysteresis				50	60	mV
Input OVLO Rising Threshold		PVIN9 での値	1.98	2.05	2.12	V
Input OVLO Hysteresis				80	90	mV
Quiescent Current		PVIN9 での値、無負荷		400	1200	μA
Output Voltage Range	V_{OUT9}		0.864		1.116	V
Output Voltage Accuracy		$V_{PVIN9} = V_{OUT9} + 0.3V \sim 1.98V$	-1.5		+1.5	%
Dropout Voltage		$V_{OUT9} = 0.9V$ 、レギュレータ 9 の出力電流 (I_{OUT9}) = 400mA		28	70	mV
Current-Limit Threshold			0.7	0.9	1.115	A
Soft Start Time	t_{S9}			200		μs

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Output Noise	OUT _{NOISE9}	10Hz~100kHz、V _{PVIN9} = 1.2V、V _{OUT9} = 0.9V		1.2		μV rms
Noise Spectral Density	OUT _{NSD9}	10kHz、V _{PVIN9} = 1.2V、V _{OUT9} = 0.9V、I _{OUT9} = 500mA		2.9		nV/√Hz
		100kHz、V _{PVIN9} = 1.2V、V _{OUT9} = 0.9V、I _{OUT9} = 500mA		2.2		nV/√Hz
PSRR	PSRR _{LDO5}	100kHz、V _{PVIN9} = 1.2V、V _{OUT9} = 0.9V、I _{OUT9} = 500mA		70		dB
		1MHz、V _{PVIN9} = 1.2V、V _{OUT9} = 0.9V、I _{OUT9} = 500mA		60		dB
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				70		Ω

LDO6 (レギュレータ 10) の仕様

特に指定のない限り、V_{AVIN} = V_{AVDD} = 3.7V、V_{PVIN1011} > レギュレータ 10 の出力電圧 (V_{OUT10}) + 0.3V または V_{PVIN1011} = 3.7V (どちらか大きい方)、C_{IN1011} = 4.7μF、レギュレータ 10 の出力容量 (C_{OUT10}) = 1μF、T_J = -40°C ~ +150°C (最小仕様値および最大仕様値)、T_A = 25°C (代表仕様値)。

表 9.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LDO6 (REGULATOR 10)						
Input Voltage Range	V _{PVIN1011}		2.7		5.5	V
Output Current Range	I _{OUT10}			50		mA
Quiescent Current		PVIN1011 での値、無負荷		55	140	μA
Output Voltage Range	V _{OUT10}		3.2		3.4	V
Output Voltage Accuracy		V _{PVIN1011} = V _{OUT10} + 0.3V ~ 5.5V	-1.5		+1.5	%
Dropout Voltage		V _{OUT10} = 3.3 V、レギュレータ 10 の出力電流 (I _{OUT10}) = 50mA		20	70	mV
Current-Limit Threshold			65	90	115	mA
Soft Start Time	t _{S10}			200		μs
Output Noise	OUT _{NOISE10}	10Hz~100kHz、V _{PVIN1011} = 3.7V、V _{OUT10} = 3.3V		15		μV rms
Noise Spectral Density	OUT _{NSD10}	10kHz、V _{PVIN1011} = 3.7V、V _{OUT10} = 3.3V、I _{OUT10} = 50mA		42		nV/√Hz
		100kHz、V _{PVIN1011} = 3.7V、V _{OUT10} = 3.3V、I _{OUT10} = 50mA		27		nV/√Hz
PSRR	PSRR _{LDO6}	10kHz、V _{PVIN1011} = 3.7V、V _{OUT10} = 3.3V、I _{OUT10} = 50mA		61		dB
		100kHz、V _{PVIN1011} = 3.7V、V _{OUT10} = 3.3V、I _{OUT10} = 50mA		63		dB
Overtemperature Threshold				160		°C
Overtemperature Hysteresis				20		°C
Overtemperature Deglitch Time			30	35	40	μs
Discharge Resistance				60		Ω

LDO7 (レギュレータ 11) の仕様

特に指定のない限り、V_{AVIN} = V_{AVDD} = 3.7V、V_{PVIN1011} > レギュレータ 11 の出力電圧 (V_{OUT11}) + 0.3V または V_{PVIN1011} = 3.7V (どちらか大きい方)、C_{IN1011} = 4.7μF、レギュレータ 11 の出力容量 (C_{OUT11}) = 4.7μF、T_J = -40°C ~ +150°C (最小仕様値および最大仕様値)、T_A = 25°C (代表仕様値)。

表 10.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LDO7 (REGULATOR 11)						
Input Voltage Range	V _{PVIN1011}		2.7		5.5	V
Output Current Range	I _{OUT11}			500		mA
Quiescent Current		PVIN1011 での値、無負荷		125	280	μA
Output Voltage Range	V _{OUT11}		3.2		3.4	V
Output Voltage Accuracy		V _{PVIN1011} = V _{OUT11} + 0.3V ~ 5.5V	-1.5		+1.5	%
Dropout Voltage		V _{OUT11} = 3.3V、レギュレータ 11 の出力電流 (I _{OUT11}) = 400mA		24	70	mV

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Current-Limit Threshold			450	600	750	mA
Soft Start Time	t_{S11}			200		μ s
Output Noise	OUT _{NOISE11}	10Hz~100kHz、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT11} = 3.3V$		15		μ V rms
Noise Spectral Density	OUT _{NSD11}	10kHz、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT11} = 3.3V$ 、 $I_{OUT11} = 400mA$		42		nV/ \sqrt{Hz}
		100kHz、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT11} = 3.3V$ 、 $I_{OUT11} = 400mA$		28		nV/ \sqrt{Hz}
PSRR	PSRR _{LDO7}	10kHz、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT11} = 3.3V$ 、 $I_{OUT11} = 400mA$		60		dB
		100kHz、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT11} = 3.3V$ 、 $I_{OUT11} = 400mA$		55		dB
Overtemperature Threshold				160		$^{\circ}C$
Overtemperature Hysteresis				20		$^{\circ}C$
Overtemperature Deglitch Time			30	35	40	μ s
Discharge Resistance				65		Ω

絶対最大定格

表 11.

Parameter	Rating
AVIN, AVDD, VIO, EN, and SEQ	-0.3 V to +6 V
WAKE	-0.3 V to +6 V
SYNC	-0.3 V to V_{VIO}
PVIN1, PVIN2, PVIN3, and PVIN4	-0.3 V to +6 V
SW1, SW2, SW3, and SW4	-1 V to +6 V
FB1, FB2, FB3, and FB4	-0.3 V to +6 V
VSET1	-0.3 V to +6 V
PVIN56, OUT5, OUT6, FB5, and FB6	-0.3 V to +6 V
PVIN78, OUT7, FB7, OUT8, FB8, PVIN9, OUT9, FB9, REFCAP, and VREG	-0.3 V to +2.16 V
SW1, SW2, OUT12, and FB12	-0.3 V to +6 V
PVIN1011, OUT10, OUT11, FB10, and FB11	-0.3 V to +6 V
VM0 and VM1	-0.3 V to +6 V
MODE	-0.3 V to +6 V
RESET, STATUS, and FAULT	-0.3 V to +6 V
WDI0 and WDI1	-0.3 V to V_{VIO}
\overline{CS} , SCK, MOSI, and MISO	-0.3 V to V_{VIO}
PGND	-0.3 V to +0.3 V
Operating Junction Temperature Range	-40°C to +150°C
Storage Temperature Range	-50°C to +150°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} はデバイスのジャンクションと周囲の間の熱抵抗値、 θ_{JC} はデバイスのジャンクションとケースの間の熱抵抗値です。 θ_{JA} と θ_{JC} はともに最も厳しい条件、すなわち、回路ボードに表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 12. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
56-Terminal LGA	17.4	12.5	°C/W

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。
ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADP5140 の ESD 定格

表 13. ADP5140、56 端子 LGA

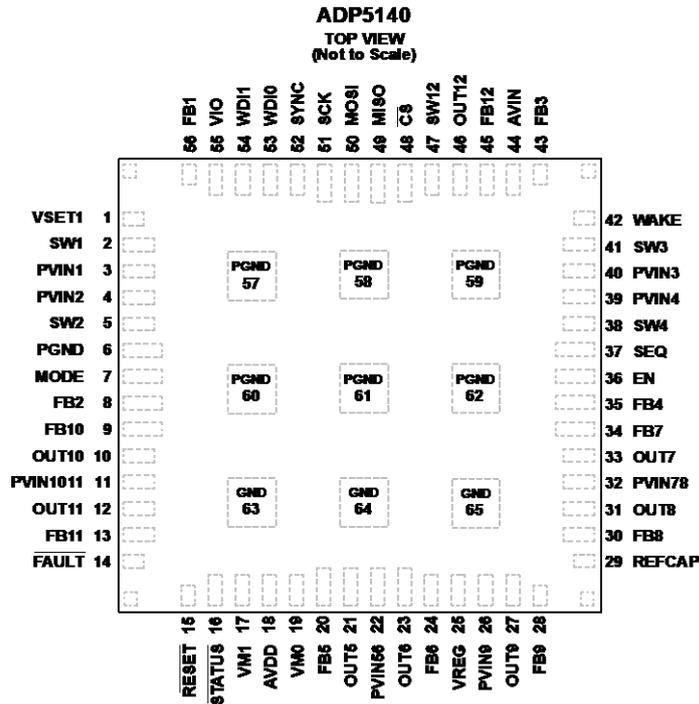
ESD Model	Withstand Threshold (V)	Class Level
HBM	2000	AEC Q100-002, H1C
CDM	750 (corner pins) 500 (all other pins)	AEC Q100-011, C4B

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PGND/GND PADS. THE EXPOSED PGND/GND PADS MUST BE SOLDERED TO A LARGE, EXTERNAL, COPPER POWER GROUND PLANE.

2408P-002

図 5. ピン配置 (上面図)

表 14. ピン機能の説明

ピン番号	記号	説明
1	VSET1	BUCK1 の出力電圧設定。VSET1 と GND の間に抵抗を接続します。
2	SW1	BUCK1 のスイッチ・ノード。
3	PVIN1	BUCK1 の電源入力。
4	PVIN2	BUCK2 の電源入力。
5	SW2	BUCK2 のスイッチ・ノード。
6	PGND	電源グラウンド。
7	MODE	異なる機能を設定するには、MODE とグラウンドの間に抵抗を接続します (詳細については MODE ピンの設定のセクションを参照)。MODE には次の 3 つの機能があります。 デバッグ・モードを有効/無効にします。 ADP5140 のデバイス・インデックスを設定します。 V _{IO} を選択します。
8	FB2	BUCK2 の帰還電圧検出入力。FB2 は、BUCK2 の出力電圧 (V _{OUT2}) からの抵抗分圧器に接続します。
9	FB10	LDO6 (レギュレータ 10) の帰還電圧検出入力。FB10 は OUT10 に直接接続します。
10	OUT10	LDO6 (レギュレータ 10) の出力。
11	PVIN1011	LDO6 (レギュレータ 10) と LDO7 (レギュレータ 11) の電源入力。
12	OUT11	LDO7 (レギュレータ 11) の出力。
13	FB11	LDO7 (レギュレータ 11) の帰還電圧検出入力。FB11 は OUT11 に直接接続します。
14	FAULT	ADP5140 のフォルト出力。FAULT は双方向のオープンドレインで、アクティブ・ローです。
15	RESET	プロセッサのリセット信号。RESET は双方向のオープンドレインで、アクティブ・ローです。
16	STATUS	ADP5140 のステータス STATUS は双方向のオープンドレインで、アクティブ・ローです。
17	VM1	電圧モニタ 1 の入力 (VM1)。
18	AVDD	モニタリング回路の電源電圧。AVDD と GND の間には 1μF のセラミック・コンデンサを接続します。
19	VM0	電圧モニタ 0 の入力 (VM0)。
20	FB5	LDO1 (レギュレータ 5) の帰還電圧検出入力。FB5 は OUT5 に直接接続します。
21	OUT5	LDO1 (レギュレータ 5) の出力。

ピン番号	記号	説明
22	PVIN56	LDO1 (レギュレータ 5) と LDO2 (レギュレータ 6) の電源入力。
23	OUT6	LDO2 (レギュレータ 6) の出力。
24	FB6	LDO2 (レギュレータ 6) の帰還電圧検出入力。FB6 は OUT6 に直接接続します。
25	VREG	IC の安定化入力電源。1 μ F 以上のコンデンサを使って VREG を GND にバイパスします。グラウンドとの間に負荷を接続しないでください。
26	PVIN9	LDO5 (レギュレータ 9) の電源入力。
27	OUT9	LDO5 (レギュレータ 9) の出力。
28	FB9	LDO5 (レギュレータ 9) の帰還電圧検出入力。FB9 は OUT9 に直接接続します。
29	REFCAP	LDO5 のリファレンス・フィルタ。REFCAP と GND の間に 0.47 μ F のコンデンサを接続します。
30	FB8	LDO4 (レギュレータ 8) の帰還電圧検出入力。FB8 は OUT8 に直接接続します。
31	OUT8	LDO4 (レギュレータ 8) の出力。
32	PVIN78	LDO3 (レギュレータ 7) と LDO4 (レギュレータ 8) の電源入力。
33	OUT7	LDO3 (レギュレータ 7) の出力。
34	FB7	LDO3 (レギュレータ 7) の帰還電圧検出入力。FB7 は OUT7 に直接接続します。
35	FB4	BUCK4 の帰還電圧検出入力。FB4 は OUT4 に直接接続します。
36	EN	イネーブル入力。ADP5140 をイネーブルするには EN をハイにします。ADP5140 をディスエーブルするには EN をグラウンドに接続します。
37	SEQ	シーケンス入力信号。パワーアップ・シーケンスの制御には SEQ を使用します。
38	SW4	BUCK4 のスイッチ・ノード。
39	PVIN4	BUCK4 の電源入力。
40	PVIN3	BUCK3 の電源入力。
41	SW3	BUCK3 のスイッチ・ノード。
42	WAKE	ウェイクアップ入力。
43	FB3	BUCK3 の帰還電圧検出入力。FB3 は、BUCK3 の出力電圧 (V_{OUT3}) からの抵抗分圧器に接続します。
44	AVIN	制御回路のアナログ電圧電源。AVIN と GND の間には 1 μ F のセラミック・コンデンサを接続します。
45	FB12	昇圧レギュレータの帰還電圧検出入力。FB12 は OUT12 に直接接続します。
46	OUT12	昇圧レギュレータの出力。
47	SW12	昇圧レギュレータのスイッチ・ノード。
48	CS	SPI チップ・セレクト。 \overline{CS} は、通信を開始するために SPI マスタによってアサートされるアクティブ・ロー信号です (フレームの開始)。 \overline{CS} をデアサートすると現在のフレームが終了します。
49	MISO	SPI、マスタ入力、スレーブ出力。MISO は V_{VIO} によって供給されるプッシュ・プル出力です。
50	MOSI	SPI、マスタ出力、スレーブ入力。
51	SCK	SPI マスタによって駆動される SPI クロック。
52	SYNC	同期。SYNC は SPI による入力または出力として設定できます。デフォルトは入力です。出力として設定した場合、SYNC は BUCK1 と同位相のクロックを出力します。
53	WDI0	ウォッチドッグ 0 (WD0) ウィンドウの入力。
54	WDI1	ウォッチドッグ 1 (WD1) ウィンドウの入力。
55	VIO	デジタル・インターフェースの電源。
56	FB1	BUCK1 の帰還電圧検出入力。FB1 は OUT1 に直接接続します。
57 to 62	EP, PGND	露出 PGND パッド。露出 PGND パッドは、大きな銅製の外部電源グラウンド・プレーンにハンダ付けする必要があります。
63 to 65	EP, GND	露出 GND パッド。露出 GND パッドは、大きな銅製の外部電源グラウンド・プレーンにハンダ付けする必要があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{AVIN} = V_{AVDD} = V_{PVIN1} = V_{PVIN2} = V_{PVIN3} = V_{PVIN4} = 3.7\text{V}$ 、 $f_{\text{SW}} = 2.2\text{MHz}$ 。 $V_{\text{OUT}x}$ は 1 つのパワー・チャンネルの出力電圧です。

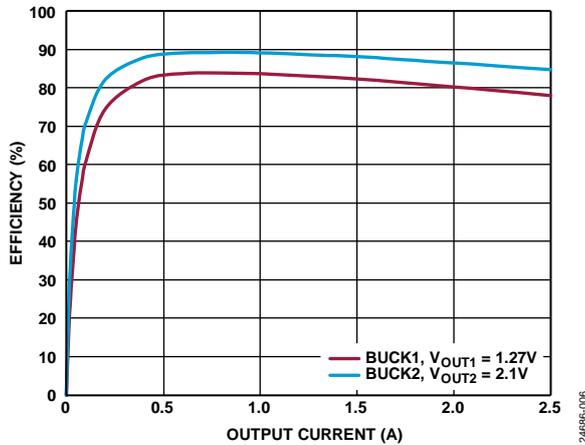


図 6. 効率と出力電流の関係 (BUCK1 と BUCK2)

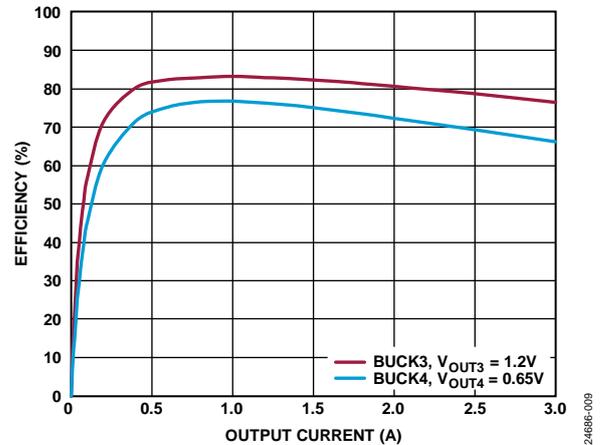


図 9. 効率と出力電流の関係 (BUCK3 と BUCK4)

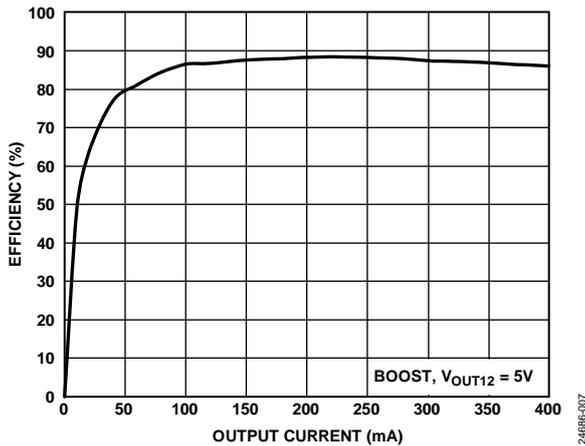


図 7. 効率と出力電流の関係 (昇圧レギュレータ)

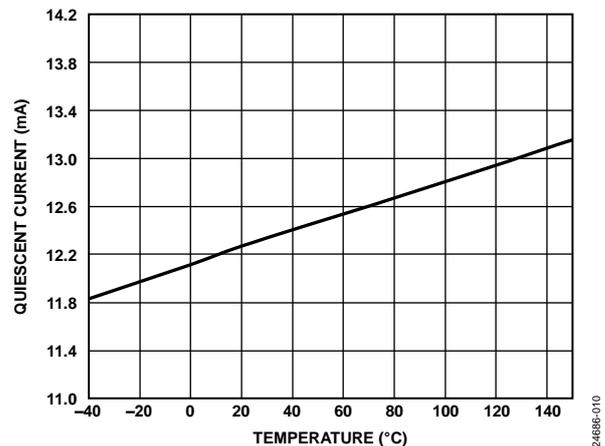


図 10. 静止電流と温度の関係

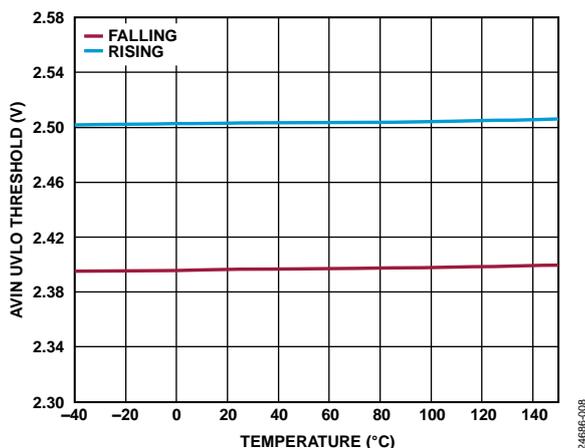


図 8. AVIN UVLO 閾値と温度の関係

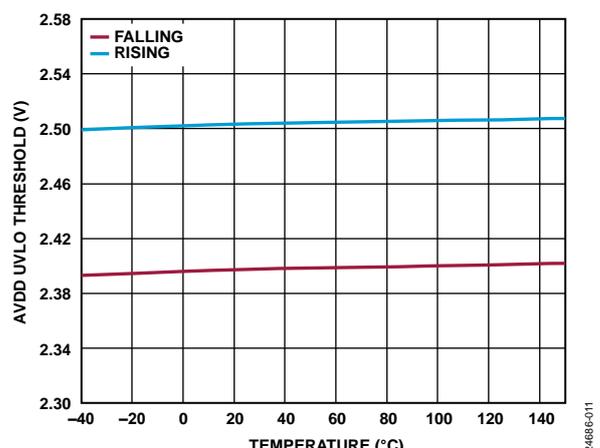


図 11. AVDD の UVLO 閾値と温度の関係

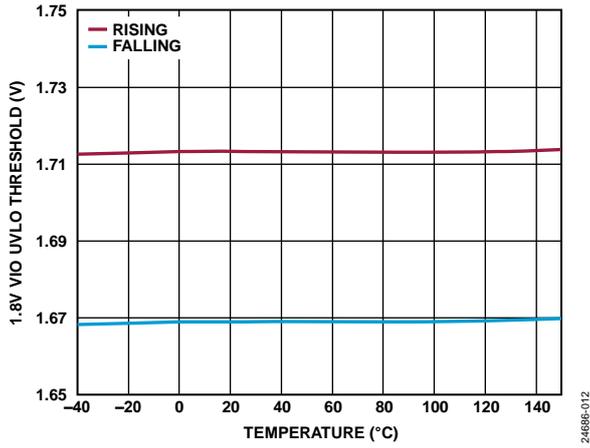


図 12. 1.8V VIO の UVLO 閾値と温度の関係

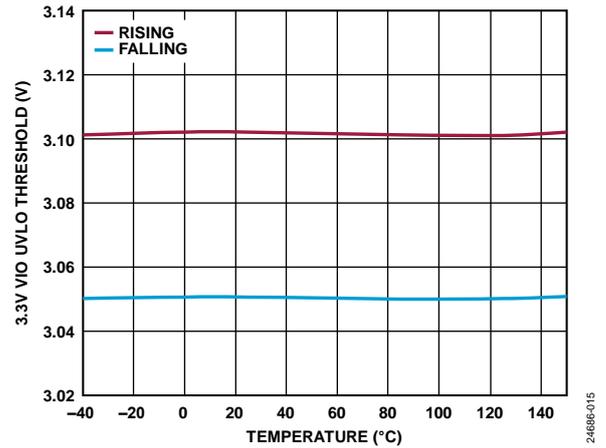


図 15. 3.3V VIO の UVLO 閾値と温度の関係

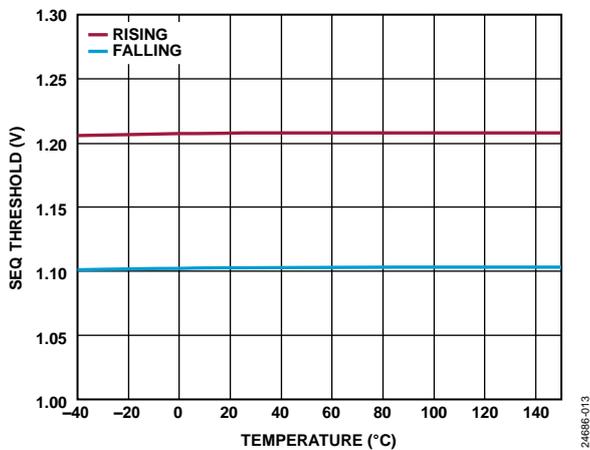


図 13. SEQ 閾値と温度の関係

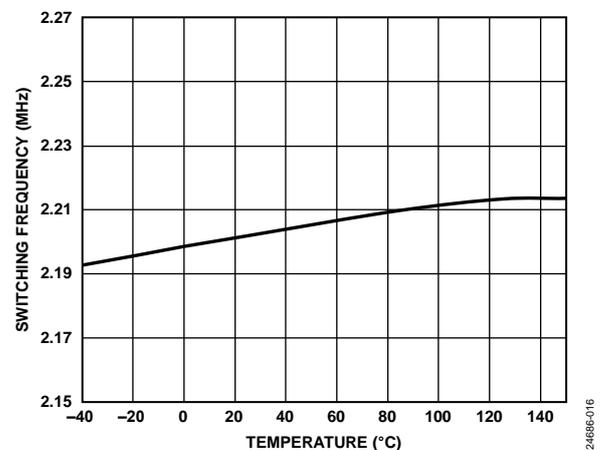


図 16. スイッチング周波数と温度の関係

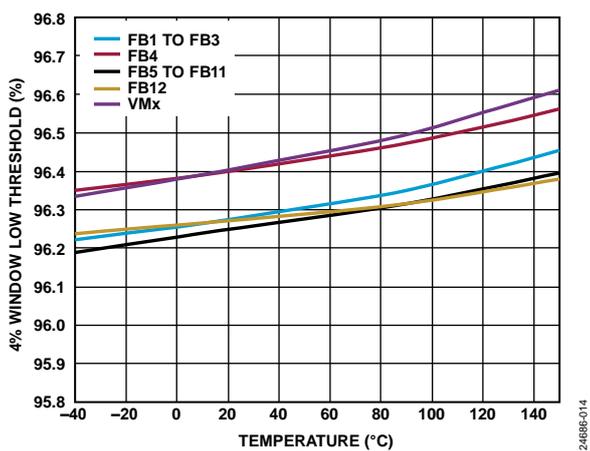


図 14. 4%ウィンドウ下限閾値と温度の関係

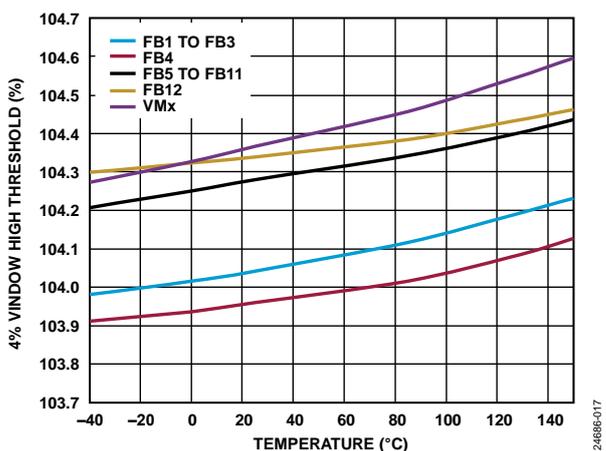


図 17. 4%ウィンドウ上限閾値と温度の関係

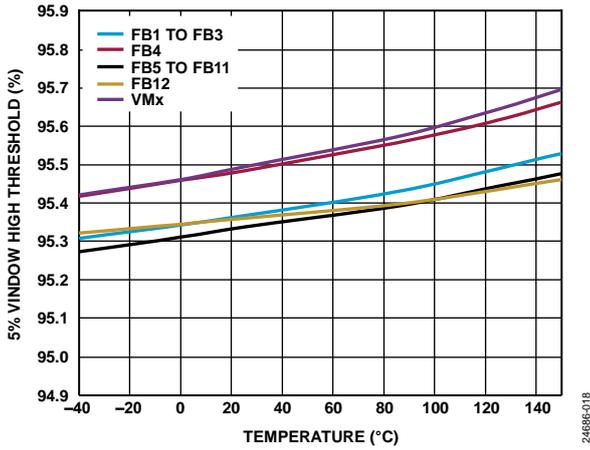


図 18. 5%ウィンドウ下限閾値と温度の関係

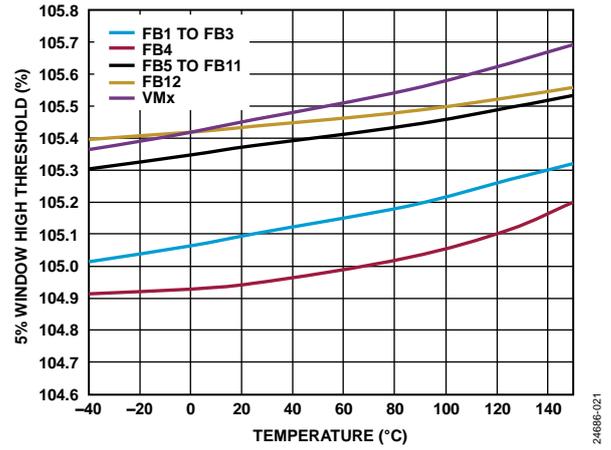


図 21. 5%ウィンドウ上限閾値と温度の関係

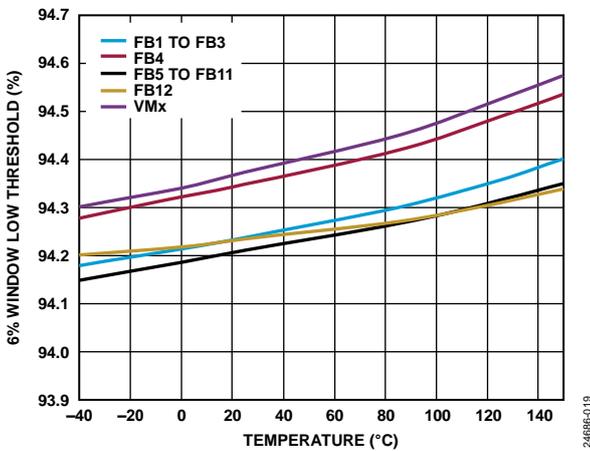


図 19. 6%ウィンドウ下限閾値と温度の関係

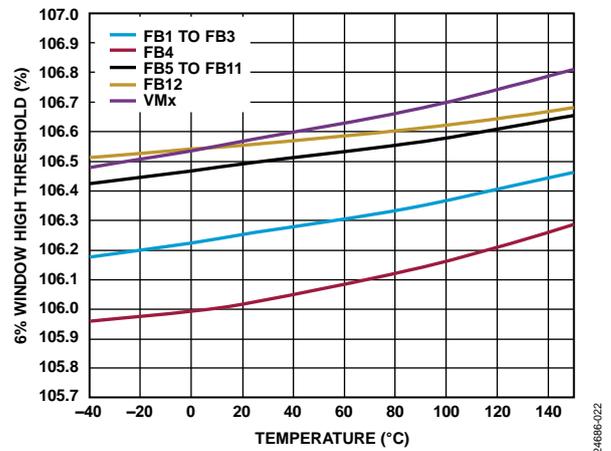


図 22. 6%ウィンドウ上限閾値と温度の関係

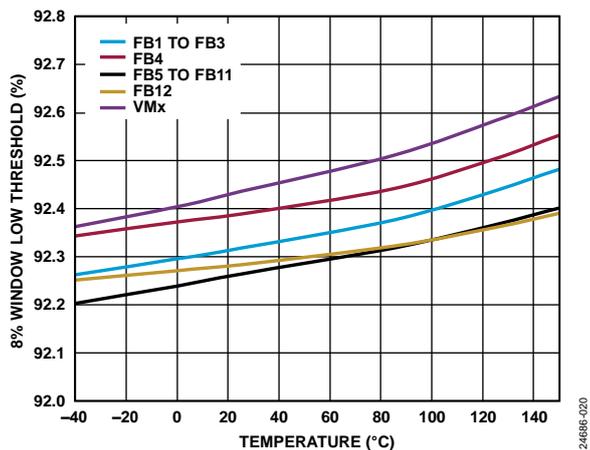


図 20. 8%ウィンドウ下限閾値と温度の関係

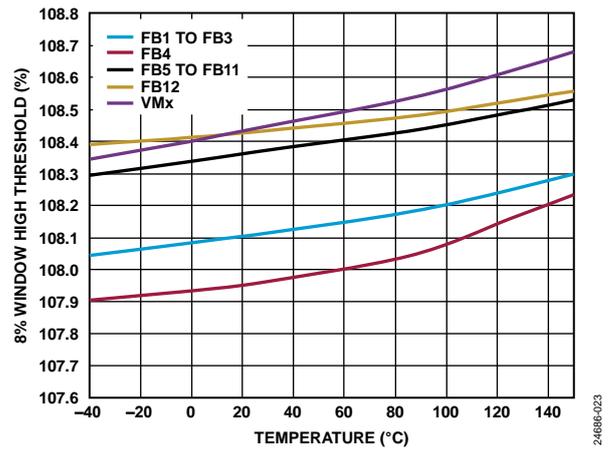


図 23. 8%ウィンドウ上限閾値と温度の関係

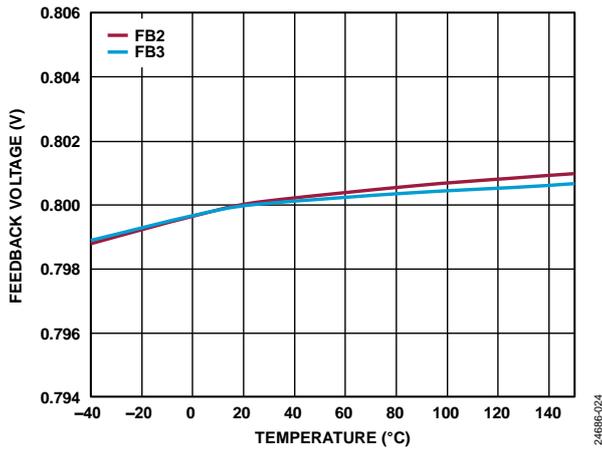


図 24. 帰還電圧と温度の関係 (BUCK2 と BUCK3)

24686-024

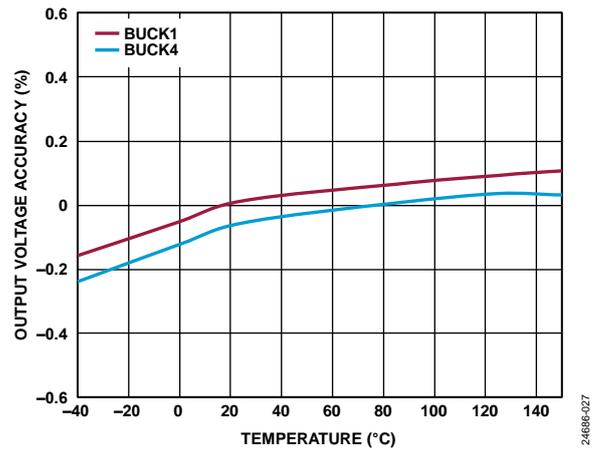


図 27. 出力電圧精度と温度の関係 (BUCK1 と BUCK4)

24686-027

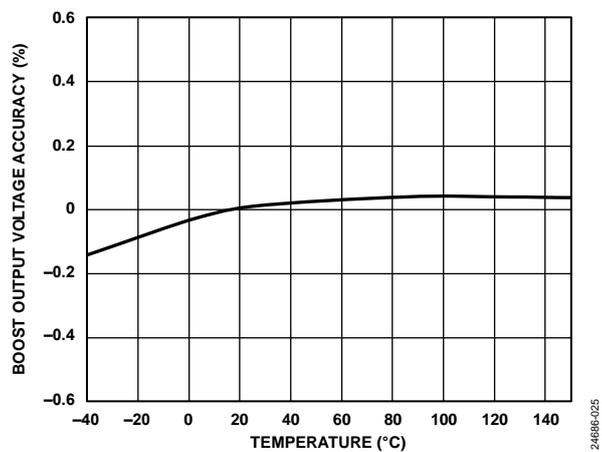


図 25. 昇圧出力電圧精度と温度の関係

24686-025

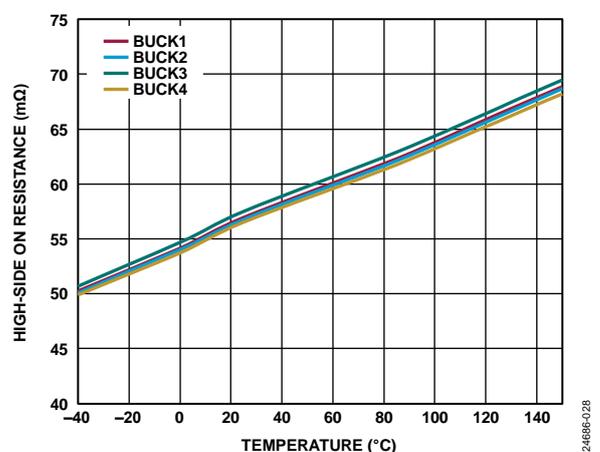


図 28. ハイサイド・オン抵抗と温度の関係 (BUCK1~BUCK4)

24686-028

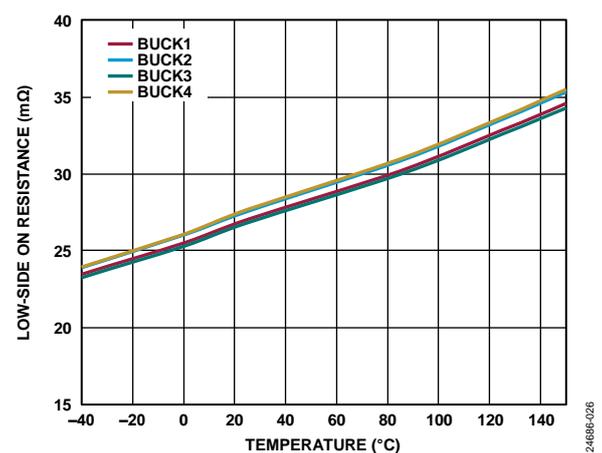


図 26. ローサイド・オン抵抗と温度の関係 (BUCK1~BUCK4)

24686-026

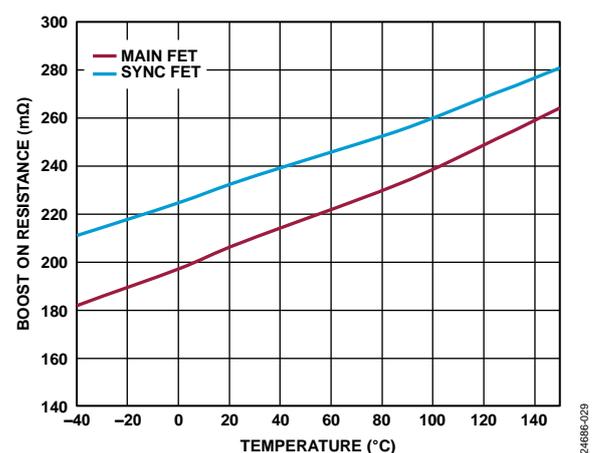


図 29. 昇圧オン抵抗と温度の関係

24686-029

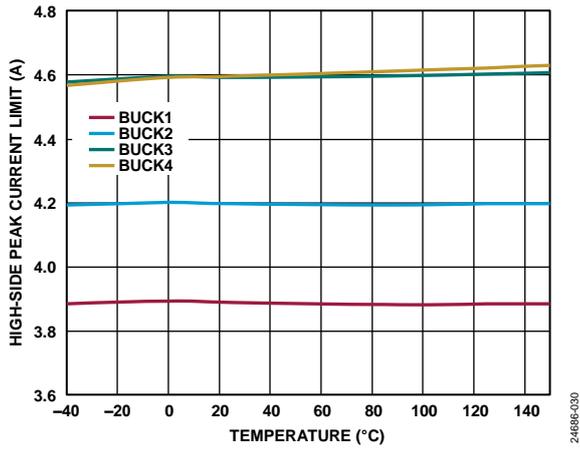


図 30. ハイサイド・ピーク電流制限と温度の関係 (BUCK1~BUCK4)

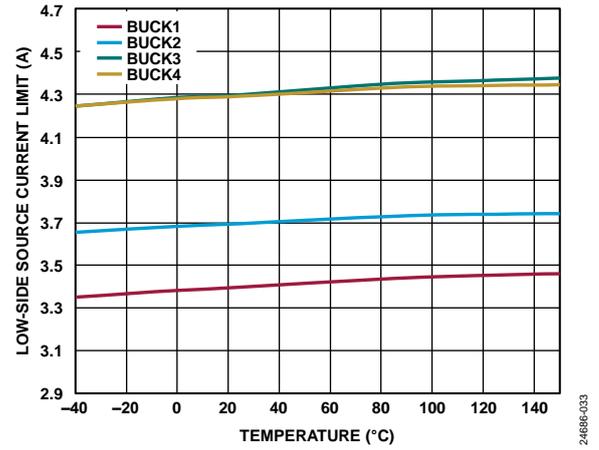


図 33. ローサイド・ソース電流制限と温度の関係 (BUCK1~BUCK4)

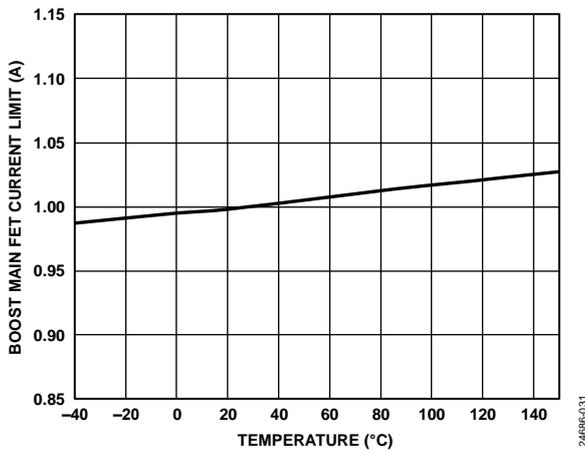


図 31. 昇圧メイン FET 電流制限と温度の関係

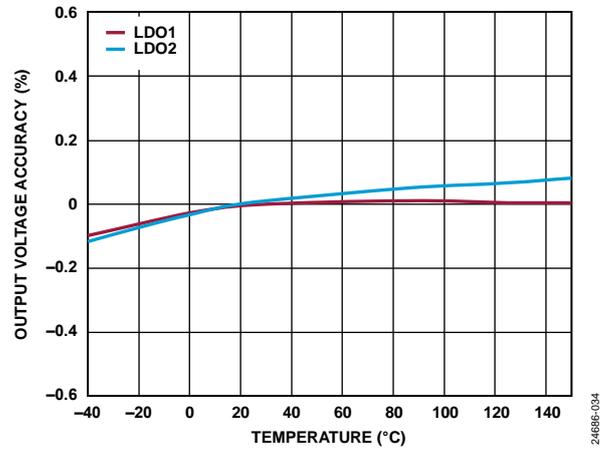


図 34. 出力電圧精度と温度の関係 (LDO1 と LDO2)

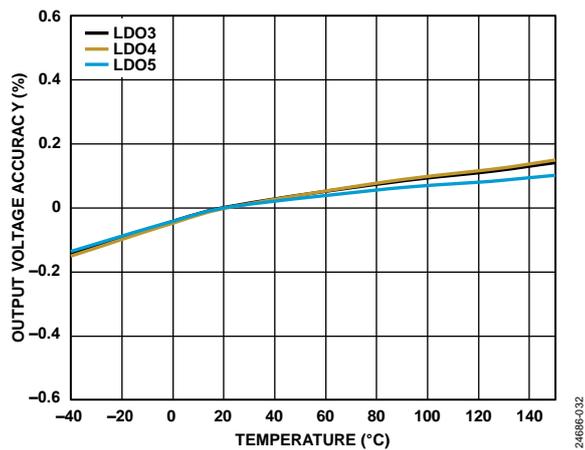


図 32. 出力電圧精度と温度の関係 (LDO3~LDO5)

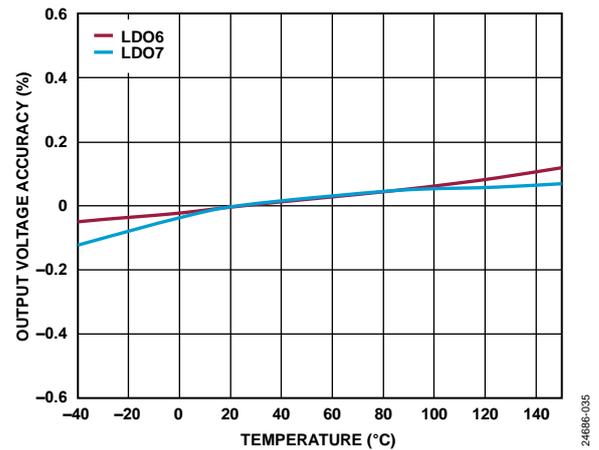


図 35. 出力電圧精度と温度の関係 (LDO6 と LDO7)

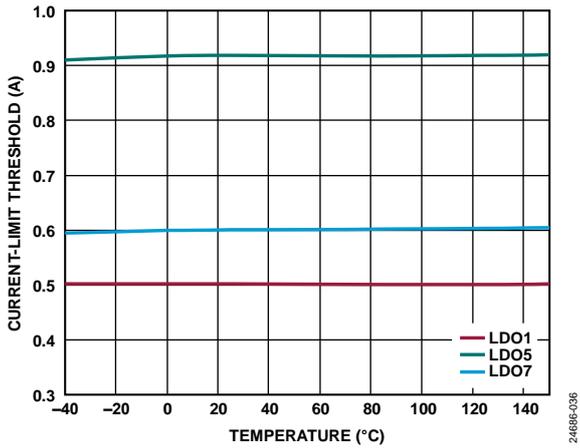


図 36. 電流制限閾値と温度の関係 (LDO1、LDO5、LDO7)

24686-036

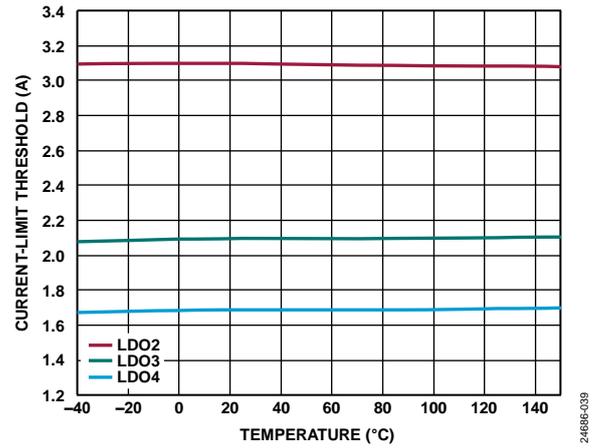


図 39. 電流制限閾値と温度の関係 (LDO2~LDO4)

24686-039

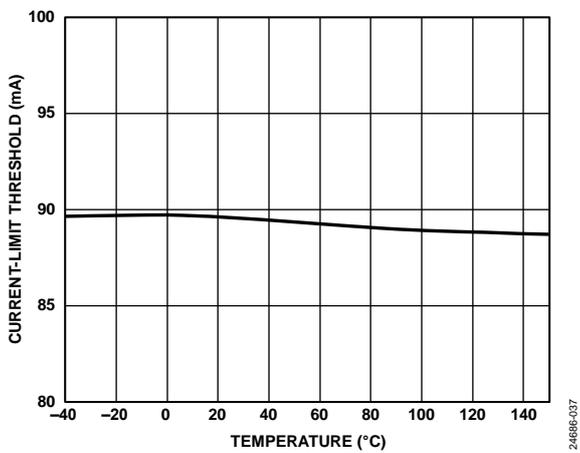


図 37. 電流制限閾値と温度の関係 (LDO6)

24686-037

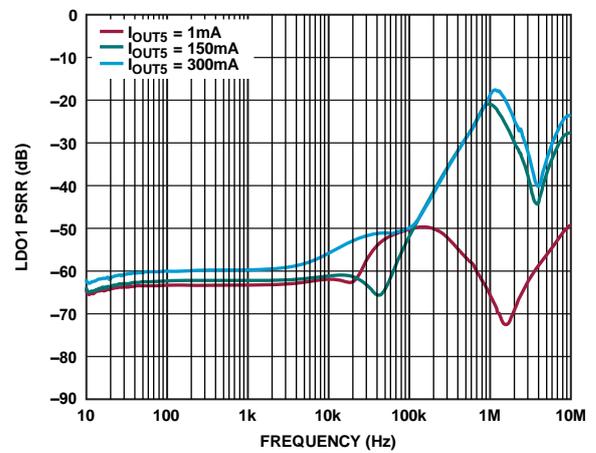


図 40. LDO1 の PSRR の周波数特性、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT5} = 1.8V$

24686-040

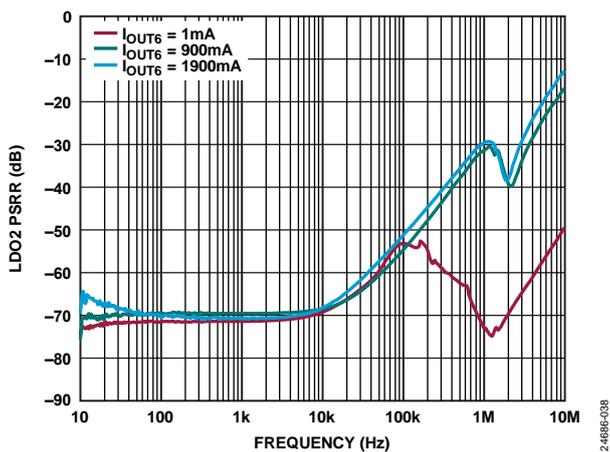


図 38. LDO2 の PSRR の周波数特性、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT6} = 1.8V$

24686-038

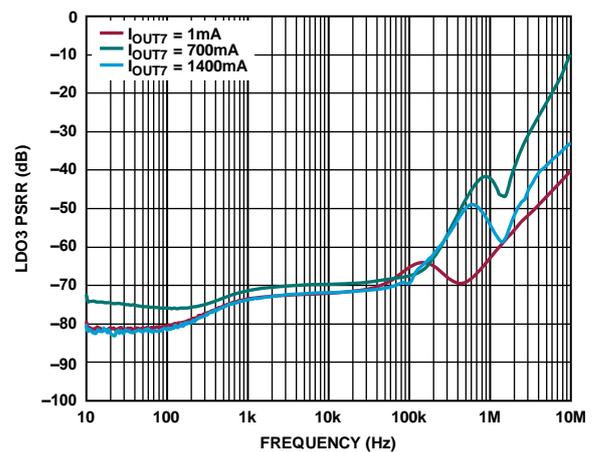


図 41. LDO3 の PSRR の周波数特性、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT7} = 0.9V$

24686-041

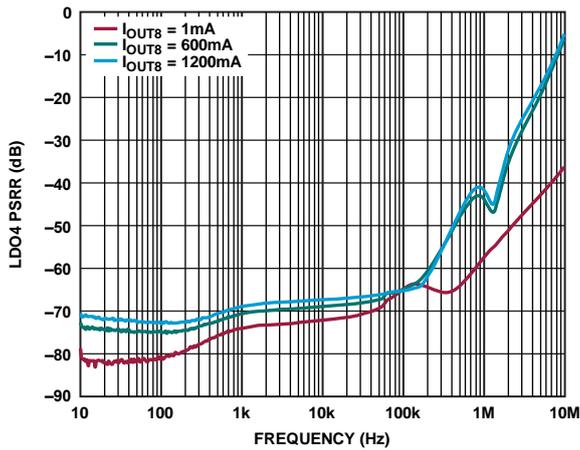


図 42. LDO4 の PSRR の周波数特性、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT8} = 0.9V$

24686-042

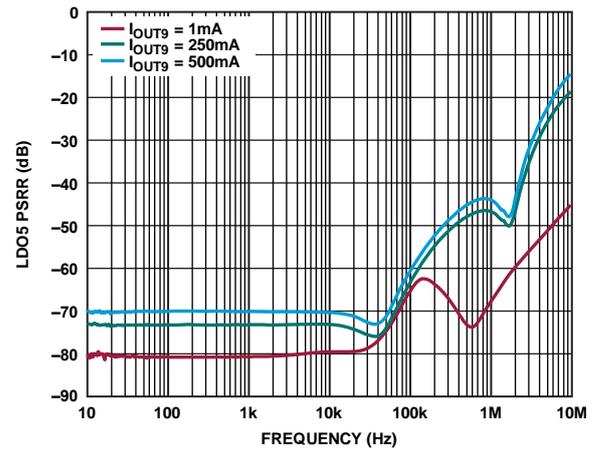


図 45. LDO5 の PSRR の周波数特性、 $V_{PVIN9} = 1.2V$ 、 $V_{OUT9} = 0.9V$

24686-045

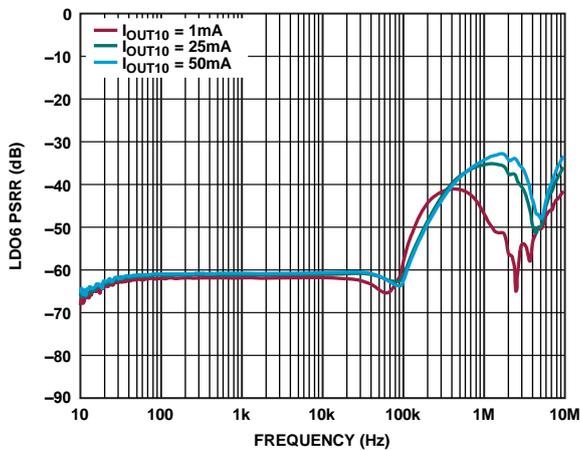


図 43. LDO6 の PSRR の周波数特性、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT10} = 3.3V$

24686-043

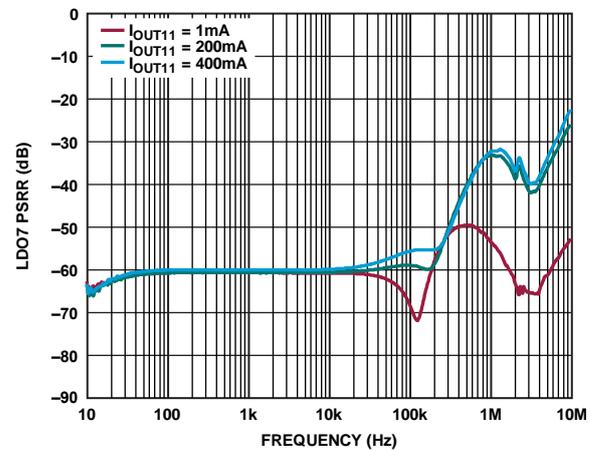


図 46. LDO7 の PSRR の周波数特性、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT11} = 3.3V$

24686-046

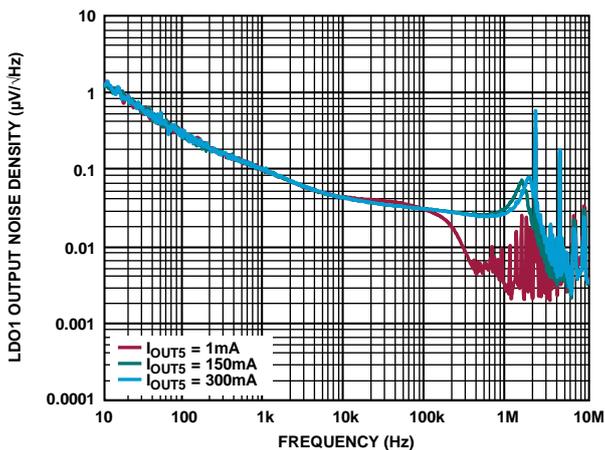


図 44. LDO1 の出力ノイズ密度の周波数特性、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT5} = 1.8V$

24686-044

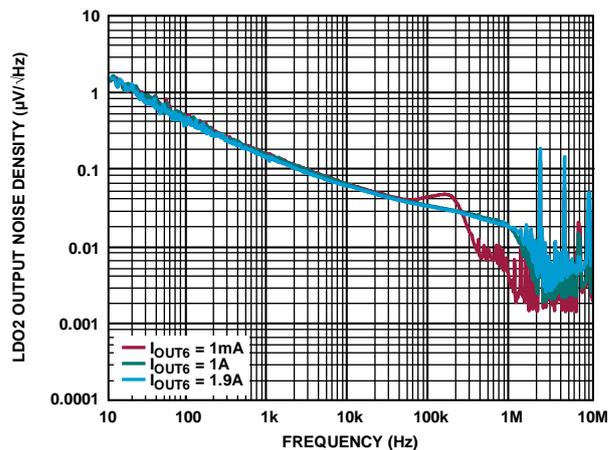


図 47. LDO2 の出力ノイズ密度の周波数特性、 $V_{PVIN56} = 2.1V$ 、 $V_{OUT6} = 1.8V$

24686-047

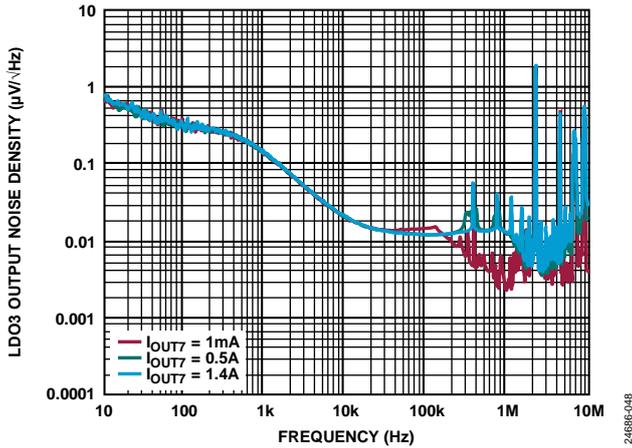


図 48. LDO3 の出力ノイズ密度の周波数特性、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT7} = 0.9V$

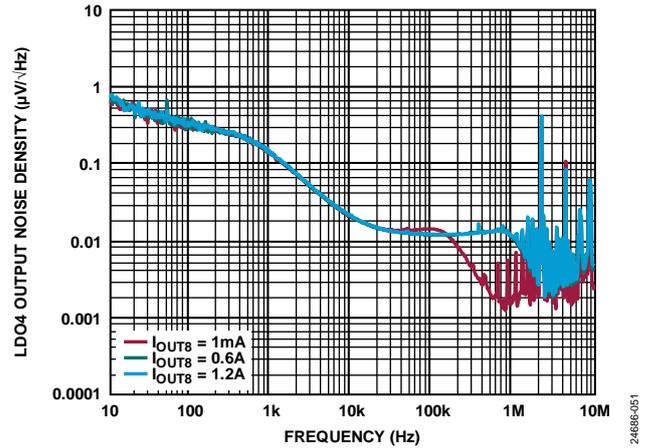


図 51. LDO4 の出力ノイズ密度の周波数特性、 $V_{PVIN78} = 1.2V$ 、 $V_{OUT8} = 0.9V$

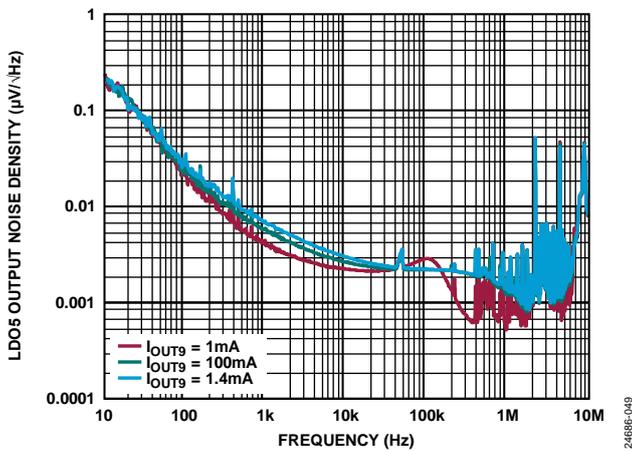


図 49. LDO5 の出力ノイズ密度の周波数特性、 $V_{PVIN9} = 1.2V$ 、 $V_{OUT9} = 0.9V$

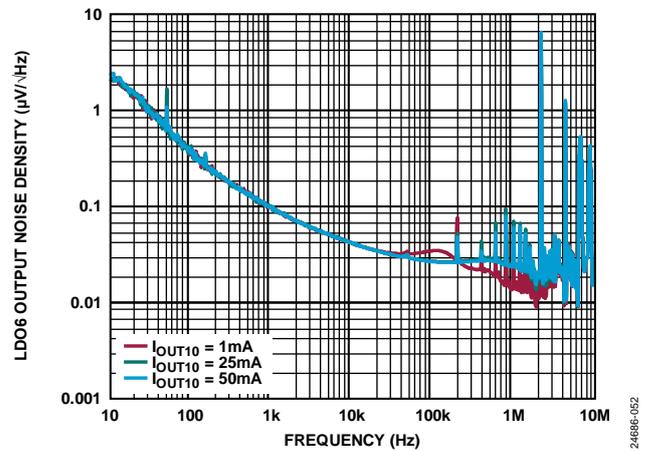


図 52. LDO6 の出力ノイズ密度の周波数特性、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT10} = 3.3V$

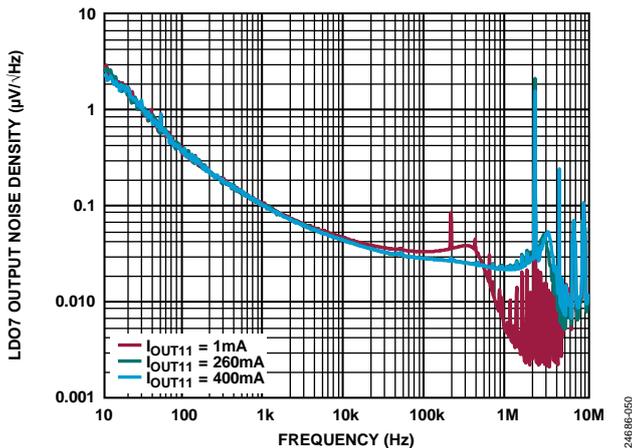


図 50. LDO7 の出力ノイズ密度の周波数特性、 $V_{PVIN1011} = 3.7V$ 、 $V_{OUT11} = 3.3V$

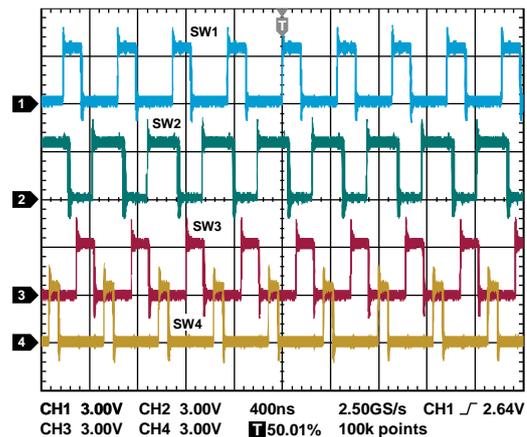


図 53. 位相シフト

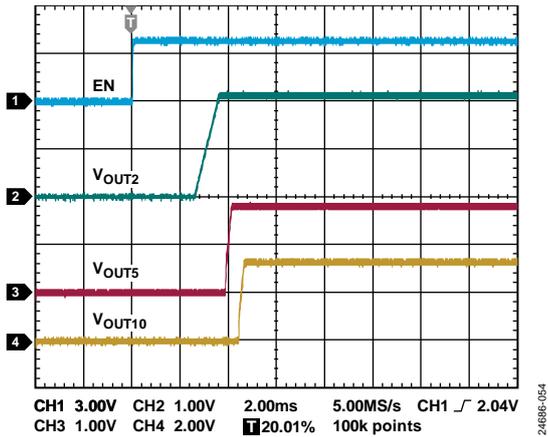


図 54. 全負荷状態でのスタートアップ (EN、 V_{OUT2} 、 V_{OUT5} 、 V_{OUT10})

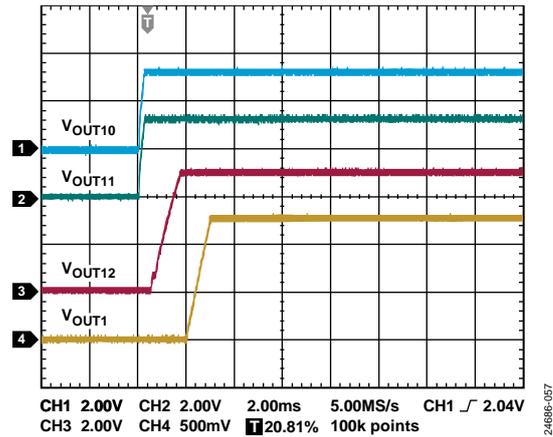


図 57. 全負荷状態でのスタートアップ (V_{OUT1} 、 $V_{OUT10} \sim V_{OUT12}$)

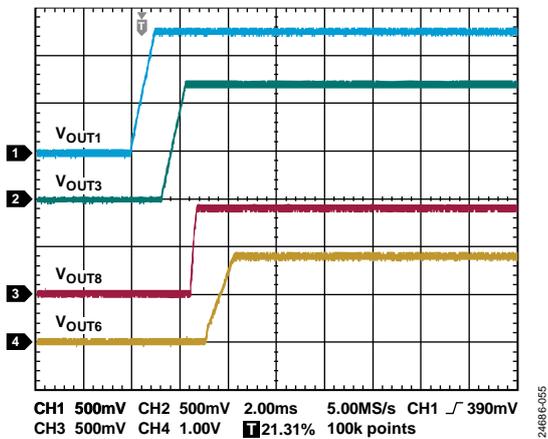


図 55. 全負荷状態でのスタートアップ (V_{OUT1} 、 V_{OUT3} 、 V_{OUT6} 、 V_{OUT8})

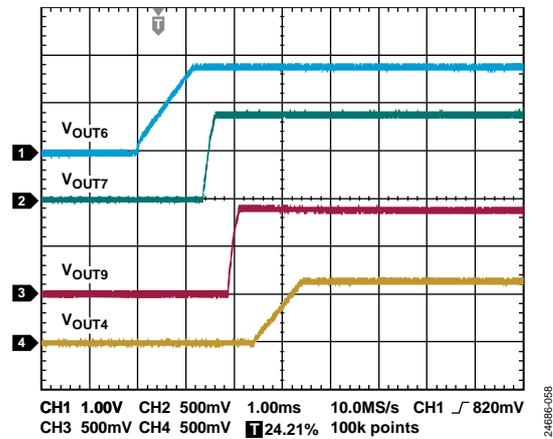


図 58. 全負荷状態でのスタートアップ (V_{OUT4} 、 V_{OUT6} 、 V_{OUT7} 、 V_{OUT9})

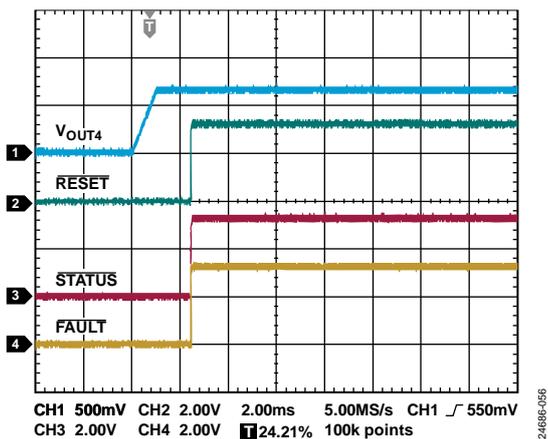


図 56. 全負荷状態でのスタートアップ (V_{OUT4} 、 $\overline{\text{RESET}}$ 、 $\overline{\text{STATUS}}$ 、 $\overline{\text{FAULT}}$)

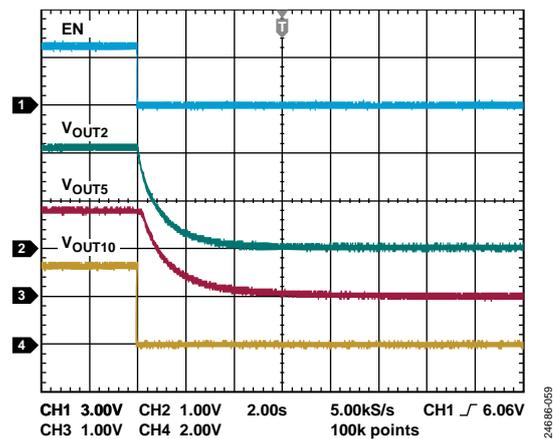


図 59. 無負荷状態でのシャットダウン (EN、 V_{OUT2} 、 V_{OUT5} 、 V_{OUT10})

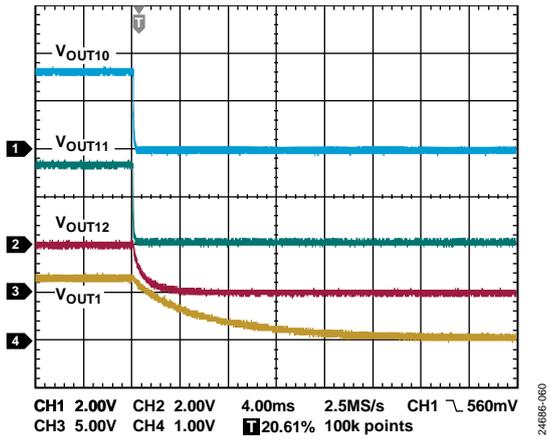


図 60. 無負荷状態でのシャットダウン (V_{OUT1} 、 $V_{OUT10} \sim V_{OUT12}$)

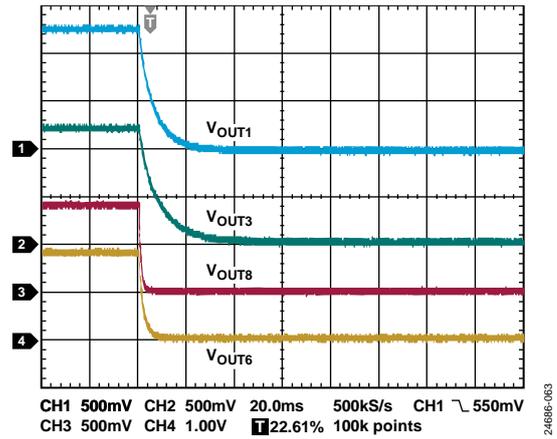


図 63. 無負荷状態でのシャットダウン (V_{OUT1} 、 V_{OUT3} 、 V_{OUT6} 、 V_{OUT8})

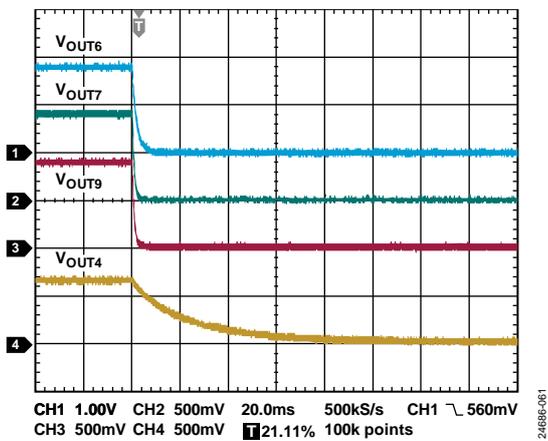


図 61. 無負荷状態でのシャットダウン (V_{OUT4} 、 V_{OUT6} 、 V_{OUT7} 、 V_{OUT9})

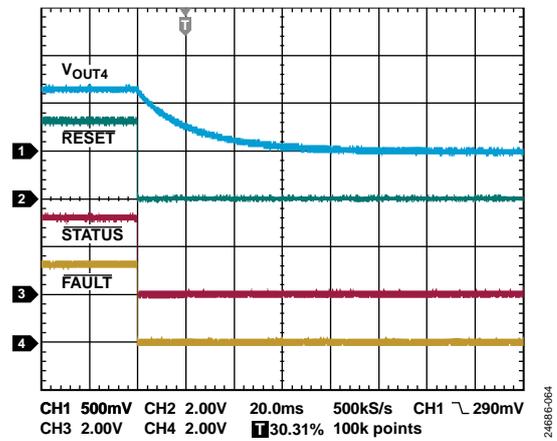


図 64. 無負荷状態でのシャットダウン (V_{OUT4} 、 \overline{RESET} 、 \overline{STATUS} 、 \overline{FAULT})

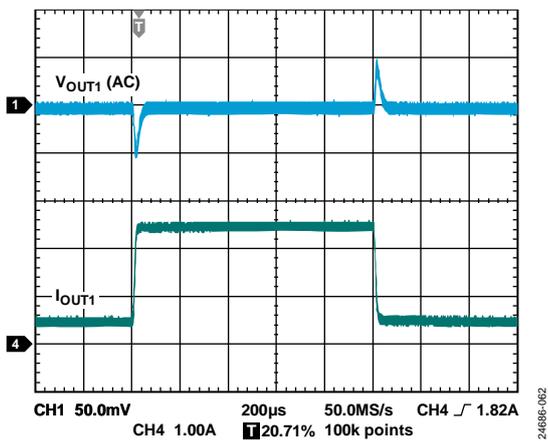


図 62. BUCK1 の負荷過渡応答 (1.27V)、0.5A \sim 2.5A

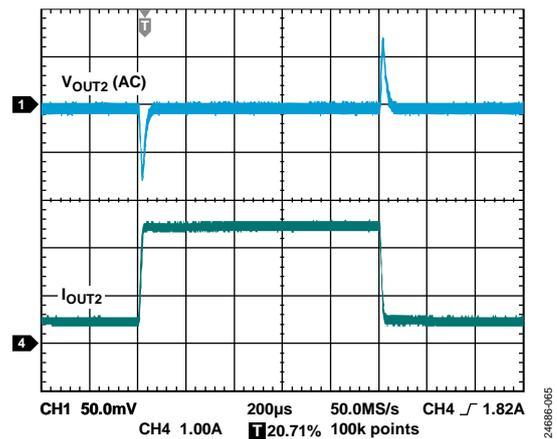


図 65. BUCK2 の負荷過渡応答 (2.1V)、0.5A \sim 2.5A

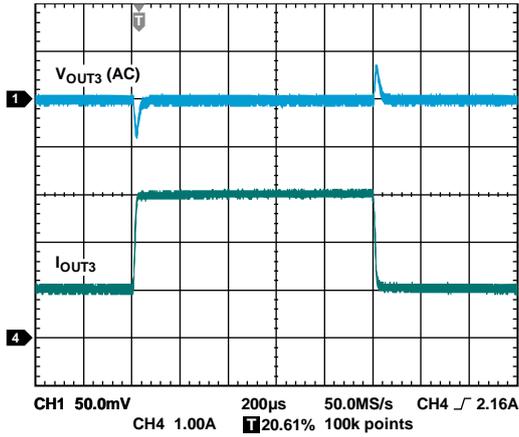


図 66. BUCK3 の負荷過渡応答 (1.2V)、1A~3A

2468E-066

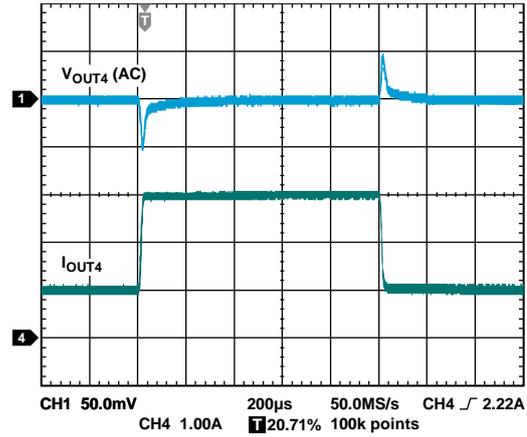


図 69. BUCK4 の負荷過渡応答 (0.65V)、1A~3A

2468E-069

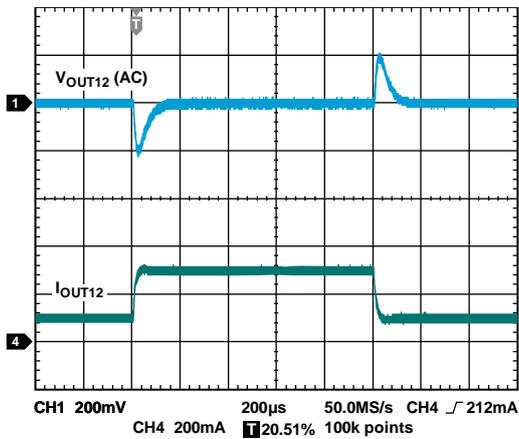


図 67. 昇圧の負荷過渡応答 (5V)、0.1A~0.3A

2468E-067

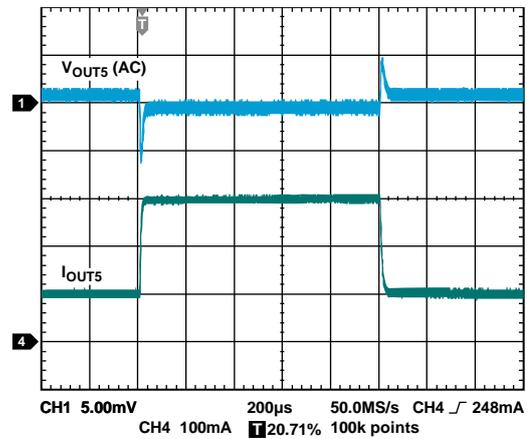


図 70. LDO1 の負荷過渡応答 (1.8V)、0.1A~0.3A

2468E-070

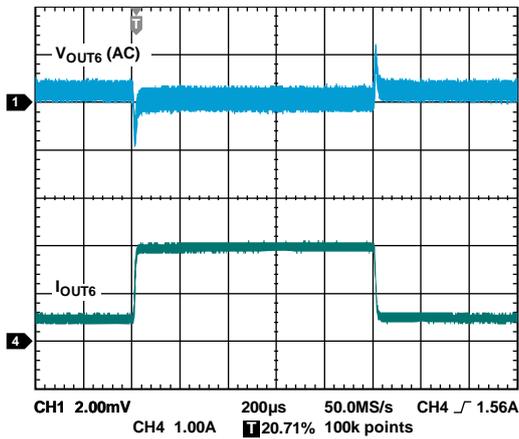


図 68. LDO2 の負荷過渡応答 (1.8V)、0.5A~2A

2468E-068

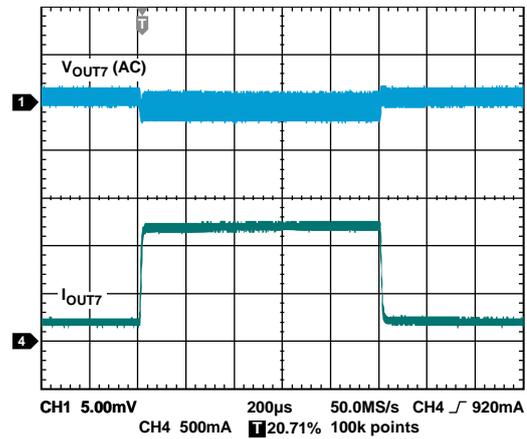


図 71. LDO3 の負荷過渡応答 (0.9V)、0.2A~1.2A

2468E-071

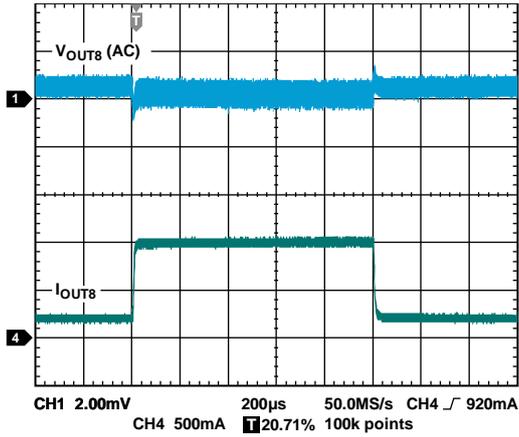


図 72. LDO4 の負荷過渡応答 (0.9V)、0.2A~1A

24686-072

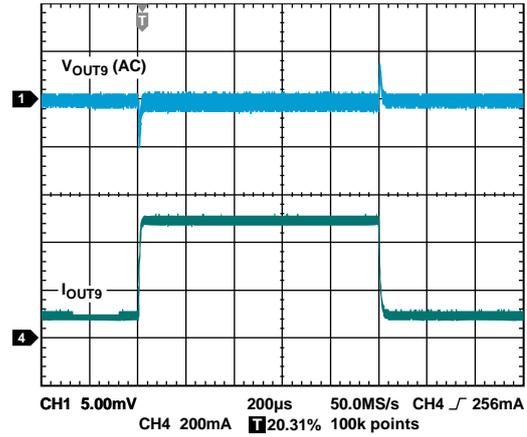


図 74. LDO5 の負荷過渡応答 (0.9V)、0.1A~0.5A

24686-074

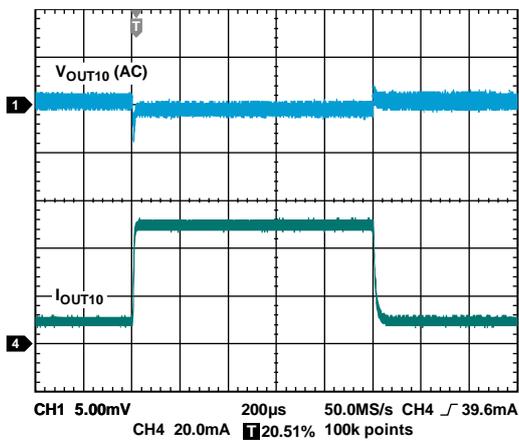


図 73. LDO6 の負荷過渡応答 (3.3V)、10mA~50mA

24686-073

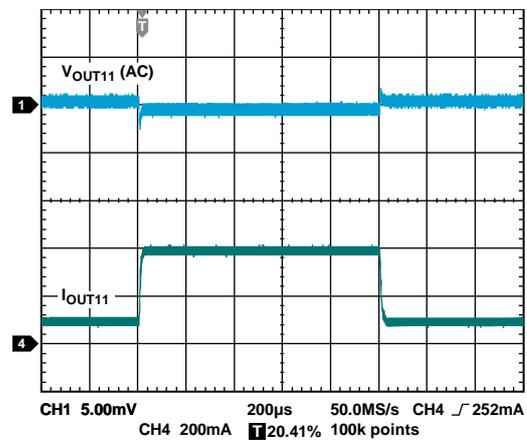


図 75. LDO7 の負荷過渡応答 (3.3V)、0.1A~0.4A

24686-075

動作原理

ADP5140 は、4 個の降圧レギュレータ、1 個の昇圧レギュレータ、7 個の低ノイズ LDO レギュレータを 56 端子の LGA パッケージに内蔵したパワー・マネージメント IC です。このデバイスは 2.7V から 5.5V までの入力電圧で動作し、0.55V から 5V までの広い範囲におよぶ複数の出力電圧を安定化することができます。ADP5140 は入力 UVLO 機能を備えており、各電源レールの出力電圧をモニタします。また、システムの信頼性を向上させるために、パワーアップおよびパワーダウン・シーケンス回路、ウォッチドッグ入力、および RESET、FAULT、STATUS 出力を内蔵しています。ADP5140 はプロセッサとの高速通信を実現する SPI を備えています。

同期整流式降圧レギュレータ

ADP5140 は、高性能の同期整流式降圧レギュレータを 4 個 (BUCK1、BUCK2、BUCK3、BUCK4) 内蔵しています。また、このデバイスには、それぞれの降圧レギュレータのハイサイドおよびローサイド MOSFET (金属酸化膜電界効果トランジスタ) が組み込まれています。これらの降圧レギュレータは 2.7V ~ 5.5V の入力電圧で動作します。BUCK1 と BUCK2 は最大 2.5A の電流を出力し、BUCK3 と BUCK4 は最大 3A の電流を出力します。

制御方式

ADP5140 の降圧レギュレータは、固定周波数、ピーク電流モードのパルス幅変調 (PWM) 制御アーキテクチャを使用しています。発振器の各サイクル開始時にはハイサイド MOSFET がオンになり、インダクタに正電圧を加えます。インダクタ電流が増加して電流検出信号がピーク・インダクタ電流閾値を超えると、ハイサイド MOSFET がオフになってローサイド MOSFET がオンになります。それによってインダクタに負の電圧が加わり、インダクタ電流が減少します。ローサイド MOSFET は、サイクルの残り時間中 (次のサイクルが始まるまで) オン状態に保たれます。

発振器と位相シフト

ADP5140 の降圧レギュレータは、2.2MHz の固定周波数で動作します。BUCK1 から BUCK4 までは、図 76 に示すように均等な位相シフトで動作します。これは入力リップル電流と入力電圧スパイクを減少させるので、システム EMI の低減に役立ちます。

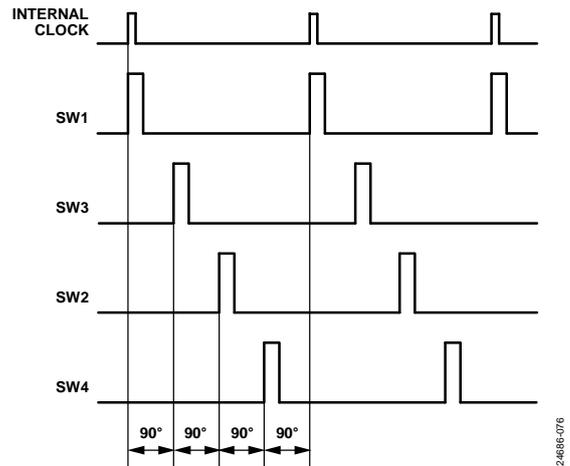


図 76. 降圧レギュレータの均等な位相シフト

出力電圧の設定

BUCK1 の出力電圧 (V_{OUT1}) は、外付け抵抗または SPI を通じてプログラムします。表 15 に示す値の抵抗 (R_{SET1}) を VSET1 ピンとグラウンドの間に接続して、 V_{OUT1} を設定します。

表 15. R_{SET1} と V_{OUT1} の関係

R_{SET1} (k Ω)	V_{OUT1} (V)
5.62	0.8
7.87	0.85
11	0.9
15.4	0.95
21.5	1.0
30.1	1.05
42.2	1.1
59	1.15
84.5	1.2
115	1.25
162	1.27
232	1.3
316	1.35
475	1.4

R_{SET1} の許容誤差は、温度係数が 100ppm のときに $\pm 1\%$ でなければなりません。

出力電圧を変更するための SPI コマンドを BUCK1 が受け取ると、その SPI コマンドによって出力電圧が設定されます。BUCK4 の出力電圧 (V_{OUT4}) は SPI を通じてプログラムされ、デフォルトは 0.65V です。 V_{OUT1} 用の SPI プログラマブル・オプションを表 16 に、 V_{OUT4} 用のオプションを表 17 に示します。

表 16. V_{OUT1}用の SPI プログラマブル・オプション

BUCK1_VOUTSET, Bits[5:0]	V _{OUT1} (V)
000000	0.8
000001	0.81
000010	0.82
000011	0.83
000100	0.84
000101	0.85
000110	0.86
000111	0.87
001000	0.88
001001	0.89
001010	0.9
001011	0.91
001100	0.92
001101	0.93
001110	0.94
001111	0.95
010000	0.96
010001	0.97
010010	0.98
010011	0.99
010100	1
010101	1.01
010110	1.02
010111	1.03
011000	1.04
011001	1.05
011010	1.06
011011	1.07
011100	1.08
011101	1.09
011110	1.1
011111	1.11
100000	1.12
100001	1.13
100010	1.14
100011	1.15
100100	1.16
100101	1.17
100110	1.18
100111	1.19
101000	1.2
101001	1.21
101010	1.22
101011	1.23
101100	1.24
101101	1.25
101110	1.26
101111	1.27
110000	1.28
110001	1.29
110010	1.3
110011	1.31
110100	1.32
110101	1.33
110110	1.34
110111	1.35
111000	1.36
111001	1.37
111010	1.38
111011	1.39
111100	1.4

表 17. V_{OUT4}用の SPI プログラマブル・オプション

BUCK4_VOUTSET, Bits[3:0]	V _{OUT4} (V)
0000	0.55
0001	0.60
0010	0.65
0011	0.70
0100	0.75
0101	0.80
0110	0.85
0111	0.90
1000	0.95
1001	1.00
1010	1.05
1011	1.10
1100	1.15
1101	1.20

V_{OUT2}は、図 77 に示すように外付けの抵抗分圧器によってプログラムします。

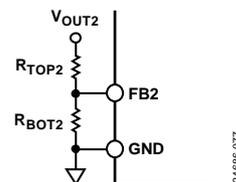


図 77. BUCK2 の出力電圧設定

V_{OUT2} の設定には次式を使用します。

$$V_{OUT2} = 0.8 \times (1 + (R_{TOP2}/R_{BOT2}))$$

ここで、

R_{TOP2} は BUCK2 の抵抗分圧器のトップ抵抗。

R_{BOT2} は BUCK2 の抵抗分圧器のボトム抵抗です。

R_{BOT2} の抵抗値は 20k Ω 未満としてください。

V_{OUT3} は、図 78 に示すように外付けの抵抗分圧器によってプログラムします。

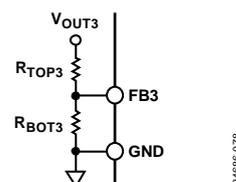


図 78. BUCK3 の出力電圧設定

V_{OUT3} の設定には次式を使用します。

$$V_{OUT3} = 0.8 \times (1 + (R_{TOP3}/R_{BOT3}))$$

ここで、

R_{TOP3} は BUCK3 の抵抗分圧器のトップ抵抗。

R_{BOT3} は BUCK3 の抵抗分圧器のボトム抵抗です。

R_{BOT3} の抵抗値は 20k Ω 未満としてください。

出力 DVS 機能

BUCK1 と BUCK4 は、図 79 に示すようなダイナミック電圧スケーリング (DVS) 機能をサポートしています。出力電圧はリアルタイムでプログラムでき、遷移の間隔も表 18 に示すように SPI を通じてプログラムできます。DVS の出力電圧範囲は、

BUCK1 では 10mV ステップ (固定) で 0.8V から 1.4V まで、BUCK4 では 12.5mV ステップ (固定) で 0.55V から 1.20V までです。

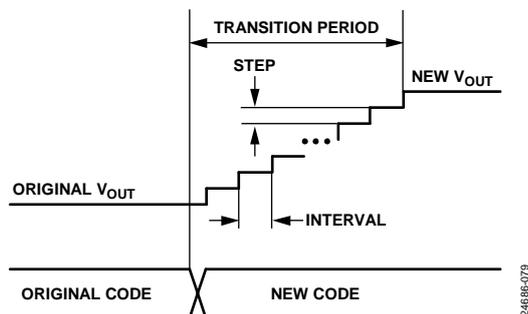


図 79. ダイナミック電圧スケールング

表 18. DVS 間隔のオプション

BUCK1_INTERVAL, Bits[1:0]	BUCK4_INTERVAL, Bits[1:0]	Interval Time (μs)
00 (Default)	00 (default)	10
01	01	20
10	10	30
11	11	40

降圧レギュレータの電流制限

降圧レギュレータは、電流の暴走を防止するためにピーク電流制限保護回路を備えています。ピーク・インダクタ電流がハイサイド MOSFET の電流制限閾値に達すると、ハイサイド MOSFET がオフになってローサイド MOSFET がオンになります。ローサイド MOSFET がオンになると、引き続き内部回路がローサイド MOSFET を通じて流れる電流をモニタします。各クロック・サイクルの終了時に、ローサイド MOSFET のソース電流がローサイド・ソース電流制限閾値を超えると、ハイサイド MOSFET は次のサイクルまでオフのままになり、ローサイド MOSFET はオンのままになります。サイクルの開始時にローサイド・ソース電流がローサイド・ソース電流制限閾値未満になると、ハイサイド MOSFET が再びオンになります。

この電流制限はデューティ・サイクルの低下を招いて出力電圧を低下させ、最終的に低電圧状態を引き起こす可能性があります。電流制限によって降圧レギュレータがオフになることはありません。

また、降圧レギュレータのローサイド MOSFET は負荷から電流をシンクすることができます。ローサイド・シンク電流制限値を超えると、ローサイド MOSFET とハイサイド MOSFET の両方が次のサイクル開始までオフになります。

降圧レギュレータ出力電圧の低電圧保護と過電圧保護

ウィンドウ・コンパレータは、各降圧レギュレータの帰還ピン (FBx) を通じて各降圧レギュレータの V_{OUTx} をモニタします。帰還ピンの電圧が警告ウィンドウまたはフォルト・ウィンドウの範囲から外れると、出力電圧の警告イベントまたはフォルト・イベントが検出されます。ウィンドウ・コンパレータは、安全を考慮して専用のリファレンスを使用します。

低電圧保護と過電圧保護の警告またはフォルト閾値は、SPI を通じてプログラムできます。詳細については帰還電圧モニタのセクションを参照してください。

降圧レギュレータのローカル温度警告

各降圧レギュレータは、過熱警告保護機能を提供するローカル温度モニタを備えています。降圧レギュレータのローカル温度が過熱閾値を超えると、過熱警告イベントとなります。この警告イベントは、OT_STATUS レジスタと OT_LATCH レジスタでレポートされます。過熱警告イベントとなっても降圧レギュレータは機能します。

同期整流式昇圧レギュレータ

昇圧レギュレータはメイン FET と同期 FET の両方を内蔵しており、2.2MHz の固定スイッチング周波数で動作します。位相は BUCK1 と同じです。昇圧レギュレータの出力電圧は 5V 固定で、最大 400mA の負荷電流を供給します。昇圧レギュレータは真のシャットダウン機能を備えているので、昇圧レギュレータがディスエーブルされた時点で昇圧レギュレータの入力電圧と出力電圧を遮断できます。

昇圧レギュレータの電流制限

昇圧レギュレータは、電流の暴走を防止するためにサイクルごと動作する電流制限回路を備えています。インダクタのピーク電流がメイン FET の電流制限閾値を超えると、メイン FET がオフになって同期 FET がオンになります。同期 FET は負電流保護機能も備えています。同期 FET に流れる負電流が負電流制限閾値を超えると、メイン FET と同期 FET の両方が次のサイクルまでオフになります。

この電流制限機能はデューティ・サイクルの低下を招いて出力電圧を低下させ、最終的に低電圧状態を引き起こす可能性があります。電流制限機能によって昇圧レギュレータがオフになることはありません。

昇圧レギュレータ出力電圧の低電圧保護と過電圧保護

ウィンドウ・コンパレータは、FB12 ピンを通じて昇圧レギュレータの出力電圧をモニタします。FB12 ピンの電圧が警告またはフォルト・ウィンドウを外れると、出力電圧の警告イベントまたはフォルト・イベントが検出されます。ウィンドウ・コンパレータは、安全を考慮して専用のリファレンスを使用します。

警告またはフォルトの閾値は SPI を介してプログラムできます。詳細については帰還電圧モニタのセクションを参照してください。

昇圧レギュレータのローカル温度警告

昇圧レギュレータには、過熱警告保護機能を提供するローカル温度モニタが備わっています。昇圧レギュレータのローカル温度が過熱閾値を超えると、過熱警告イベントとなります。この警告イベントは、OT_STATUS レジスタと OT_LATCH レジスタでレポートされます。過熱警告イベントとなっても昇圧レギュレータは機能します。

LDO レギュレータ

ADP5140は、低ドロップアウト電圧、低ノイズのLDOレギュレータを7個内蔵しています。これらのLDOレギュレータは、それぞれ入力電圧範囲、出力電圧オプション、出力負荷容量が異なります。

各LDOレギュレータには、起動時の突入電流を抑えるためにソフト・スタート回路が組み込まれています。

LDO1 (レギュレータ 5)

LDO1は300mAのLDOレギュレータで、入力電圧範囲は1.7V～5.5Vです。出力電圧はSPIを通じてプログラム可能で、8つのオプション(1.755V、1.8V、1.845V、1.89V、1.935V、1.98V、2.025V、2.070V)から選択できます。デフォルトの出力電圧は1.8Vです。

LDO1は、対応する入力電源(V_{PVIN56})の入力低電圧および過電圧検出回路を内蔵しています。低電圧または過電圧が検出されると、OTHER1_STATUSレジスタとOTHER1_LATCHレジスタでレポートされます。

LDO2 (レギュレータ 6)

LDO2は高電流LDOレギュレータで、最大2.3Aの出力負荷電流を供給します。入力電圧範囲は1.7V～5.5V、出力電圧はSPIを通じてプログラム可能で、8つのオプション(1.755V、1.8V、1.845V、1.89V、1.935V、1.98V、2.025V、2.070V)から選択できます。デフォルトの出力電圧は1.8Vです。

LDO2は、対応する入力電源(V_{PVIN56})の入力低電圧および過電圧検出回路を内蔵しています。低電圧または過電圧が検出されると、OTHER1_STATUSレジスタとOTHER1_LATCHレジスタでレポートされます。

LDO3 (レギュレータ 7)

LDO3は高電流LDOレギュレータで、最大1.4Aの出力負荷電流を供給します。入力電圧範囲は0.9V～1.98V、出力電圧はSPIを通じてプログラム可能で、8つのオプション(0.864V、0.9V、0.936V、0.972V、1.008V、1.044V、1.08V、1.116V)から選択できます。デフォルトの出力電圧は0.9Vです。

LDO3は、対応する入力電源(V_{PVIN78})の入力低電圧および過電圧検出回路を内蔵しています。低電圧または過電圧が検出されると、OTHER1_STATUSレジスタとOTHER1_LATCHレジスタでレポートされます。

LDO4 (レギュレータ 8)

LDO4は高電流LDOレギュレータで、最大1.2Aの出力負荷電流を供給します。入力電圧範囲は0.9V～1.98V、出力電圧はSPIを通じてプログラム可能で、8つのオプション(0.864V、0.9V、0.936V、0.972V、1.008V、1.044V、1.08V、1.116V)から選択できます。デフォルトの出力電圧は0.9Vです。

LDO4は、対応する入力電源(V_{PVIN78})の入力低電圧および過電圧検出回路を内蔵しています。低電圧または過電圧が検出されると、OTHER1_STATUSレジスタとOTHER1_LATCHレジスタでレポートされます。

LDO5 (レギュレータ 9)

LDO5は低ノイズのLDOレギュレータで、最大500mAの出力負荷電流を供給します。入力電圧範囲は0.9V～1.98V、出力電圧はSPIを通じてプログラム可能で、8つのオプション(0.864V、0.9V、0.936V、0.972V、1.008V、1.044V、1.08V、1.116V)から選択できます。デフォルトの出力電圧は0.9Vです。

LDO5は、対応する入力電源(V_{PVIN9})の入力低電圧および過電圧検出回路を内蔵しています。低電圧または過電圧が検出されると、OTHER1_STATUSレジスタとOTHER1_LATCHレジスタでレポートされます。

LDO6 (レギュレータ 10)

LDO6は50mAのLDOレギュレータで、入力電圧範囲は2.7V～5.5Vです。出力電圧はSPIを通じてプログラム可能で、4つのオプション(3.2V、3.3V、3.35V、3.4V)から選択できます。デフォルトの出力電圧は3.3Vです。

LDO7 (レギュレータ 11)

LDO7は400mAのLDOレギュレータで、入力電圧範囲は2.7V～5.5Vです。出力電圧はSPIを通じてプログラム可能で、4つのオプション(3.2V、3.3V、3.35V、3.4V)から選択できます。デフォルトの出力電圧は3.3Vです。

LDO レギュレータの電流制限

各LDOは電流制限保護機能を内蔵しています。出力電流が電流制限閾値を超えると、出力電流値が一定に保たれる一方で出力電圧が下げられるので、低電圧状態となる可能性があります。

LDO レギュレータの出力低電圧および過電圧保護

ウィンドウ・コンパレータは、各LDOレギュレータの帰還ピンまたは出力ピンを通じて各レギュレータの出力電圧をモニタします。出力電圧が警告ウィンドウまたはフォルト・ウィンドウの範囲から外れると、出力電圧の警告イベントまたはフォルト・イベントが検出されます。ウィンドウ・コンパレータは、安全を考慮して専用のリファレンスを使用します。

警告またはフォルトの閾値はSPIを介してプログラムできます。詳細については帰還電圧モニタのセクションを参照してください。

LDO レギュレータのローカル温度警告

各LDOレギュレータは、過熱警告保護機能を提供するローカル温度モニタを備えています。LDOレギュレータのローカル温度が過熱閾値を超えると、過熱警告イベントとなります。この警告イベントは、OT_STATUSレジスタとOT_LATCHレジスタでレポートされます。過熱警告イベントとなってもLDOレギュレータは機能します。

AVIN と AVDD

ADP5140 は入力電源に UVLO 回路を内蔵しています。V_{AVIN} または V_{AVDD} が 2.4V (代表値) 未満に低下すると、入力 UVLO イベントが検出されて、デバイスがオフになります。入力電圧が UVLO イベントから回復して入力電圧が 2.5V (代表値) を超えると、デバイスがアクティブになってパワーオン・リセット (POR) 信号が生成されます。

イネーブル機能

ADP5140 には、デバイスのオン/オフを制御するイネーブル・ピン (EN) があります。EN ピンには、第 1 段階閾値 (V_{EN_RGH}) と第 2 段階閾値 (V_{EN_R}) の 2 つの電圧閾値があります。

EN ピンの電圧 (V_{EN}) が V_{EN_RGH} 未満になると、デバイスはシャットダウン・モードになります。

V_{EN} が V_{EN_RGH} と V_{EN_R} の間にあるとき、デバイスはイニシャル・モードになることができます (詳細はイニシャル・モードのセクションを参照)。

V_{EN} が V_{EN_R} を超えると、デバイスはイニシャル・モードを終了してノーマル・モードで動作できるようになります (詳細はノーマル・モードのセクションを参照)。

内部プルダウン抵抗は、EN ピンがフロート状態になっている場合にデバイスが誤ってイネーブルされるのを防ぎます。

アクティブ出力放電

BUCK2 と LDO1 を除き、ADP5140 上にある他のすべての降圧レギュレータ、LDO レギュレータ、昇圧レギュレータは出力放電機能を内蔵しています。この放電機能はレギュレータがディスエーブルされるとオンになり、出力コンデンサが素早く放電されるようにします。

同期

SYNC ピンは、SPI を通じて入力ピン、出力ピン、または高インピーダンス・ピンとして設定できます。デフォルトの設定は高インピーダンス・ピンです。SYNC ピンを出力として設定すると、このピンは BUCK1 と同位相のクロックを出力します。FREQ_CONFIG レジスタの SYNC_DIV ビットを 0 に設定すると、SYNC ピンの周波数は BUCK1 の f_{sw} と同じになります。SYNC_DIV ビットを 1 に設定すると、SYNC ピンの周波数は BUCK1 f_{sw} の 1/5 になります。

SYNC ピンを入力として設定するとき、1.9MHz~2.4MHz の外部クロックを SYNC ピンに接続します。降圧レギュレータと昇圧レギュレータの f_{sw} は、SYNC ピンに加えられた外部クロックに同期されます。BUCK1 の f_{sw} は、SYNC ピンのクロックと同位相で動作します。ADP5140 のすべてのレギュレータの f_{sw} は、外部クロックの周波数が遅すぎる場合は 1.8MHz にクランプされ、速すぎる場合は 2.5MHz にクランプされます。

SYNC ピンを入力として設定した場合、ADP5140 が内蔵する周波数スペクトラム拡散機能はディスエーブルされます。

周波数スペクトラム拡散

ADP5140 はシステム EMI を減らすため、図 80 に示すような三角波の周波数拡散アーキテクチャを採用しています。この周波数スペクトラム拡散機能は、FREQ_CONFIG レジスタの SP_EN ビットを通じてイネーブルまたはディスエーブルできます。SP_EN ビットは、デフォルトではディスエーブルに設定されています。表 19 と表 20 に示すように、掃引周波数 (f_{sf}) と掃引深さ (SD) は SPI レジスタ (FREQ_CONFIG) を通じてプログラムできます。

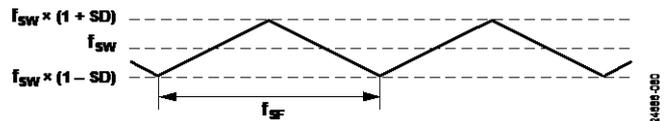


図 80. 三角波の拡散

表 19. 掃引周波数オプション

SF, Bits[5:3]	Sweep Frequency (kHz)
000 (Default)	5
001	10.42
010	15.63
011	20.83
100	25
101	31.25
110	41.67
111	62.5

表 20. 掃引深さオプション

SD, Bits[8:6]	Sweep Depth (%)
000 (Default)	2
001	4
010	6
011	8
100	10

帰還電圧モニタ

各電源レールには、FBx ピンの電圧をモニタするためのウィンドウ・コンパレータがあります。FBx ウィンドウ・コンパレータのリファレンスは独立したバンド・ギャップから得られ、電源は AVDD ピンから供給されます。ウィンドウ・コンパレータには 2 つのウィンドウ閾値 (警告とフォルト) があります。図 81 に示すように、出力電圧が警告ウィンドウから外れると警告イベントがトリガされ、フォルト・ウィンドウから外れるとフォルト・イベントがトリガされます。

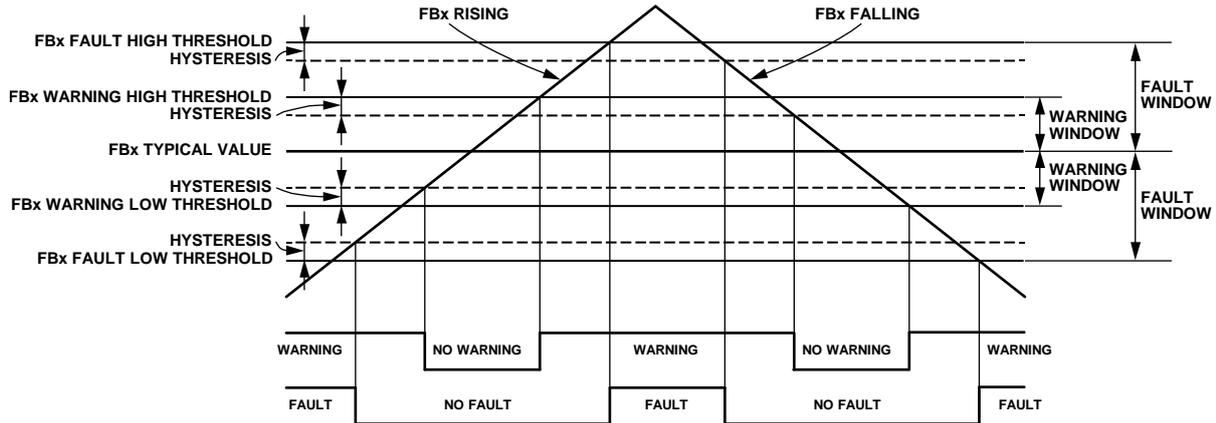


図 81. FBx 電圧ウィンドウ・コンパレータ

FBx ピンの電圧が警告ウィンドウを外れてもレギュレータは機能しますが、WARN_STATUS レジスタと WARN_LATCH レジスタの対応する警告ビットをセットします。

FBx ピンの電圧がフォルト下限閾値を下回ってもレギュレータは機能しますが、UV_STATUS レジスタと UV_LATCH レジスタの該当ビットをセットします。

FBx ピンの電圧がフォルト上限閾値を超えるとレギュレータはオフになり、OV_STATUS レジスタと OV_LATCH レジスタの該当ビットをセットします。

警告ウィンドウとフォルト・ウィンドウは、WARN_WINDOW レジスタの FBx_WARN_WINDOW ビットと、FAULT_WINDOW SPI レジスタの FBx_FAULT_WINDOW ビットを通じてプログラムできます。表 21 と表 22 に示すように、プログラム可能な範囲は 4% から 8% までで、ヒステリシスは固定です。これらの閾値ウィンドウの基準値は、電源レールの通常出力電圧です。詳細仕様については表 1 を参照してください。

表 21. FBx 電圧モニタの警告ウィンドウ

FBx_WARN_WINDOW, Bits[1:0]	Warning Window (%)
00	4
01 (Default)	5
10	6
11	8

表 22. FBx 電圧モニタのフォルト・ウィンドウ

FBx_FAULT_WINDOW, Bits[1:0]	Fault Window (%)
00	4
01	5
10 (Default)	6
11	8

FBx 電圧モニタのブランク時間は、VOLTAGE_BLANK_TIME0 レジスタと VOLTAGE_BLANK_TIME1 レジスタの FBx_BLANK_TIME ビットを通じてプログラムできます。表 23 に示すように、プログラム可能な範囲は 16 μ s ~ 352 μ s です。

表 23. 電圧モニタのブランク時間

FBx_BLANK_TIME, Bits[3:0]	Blank Time (μ s)
0000	16
0001	32
0010 (Default)	48
0011	64
0100	80
0101	96
0110	112
0111	128
1000	144
1001	160
1010	176
1011	192
1100	208
1101	240
1110	288
1111	352

VMx 電圧スーパーバイザ

ADP5140 は 2 個の電圧スーパーバイザ VM0 と VM1 を内蔵しています。VMx 電圧スーパーバイザは、VMx ピンに加わる電圧をモニタして、その電圧を 600mV の内部リファレンス電圧と比較します。この VMx の電圧モニタ機能はデフォルトでディセーブルされていますが、VM_TYP_CONFIGURATION レジスタの VMx_TYP ビットの設定に従い、単一の過電圧または低電圧モニタあるいはウィンドウ・モニタとしてイネーブルすることができます。VMx のリファレンスは、AVDD ピンから電源を供給される独立したバンド・ギャップから得られます。

VMx がウィンドウ・モニタとして設定されている場合に VMx ピンの電圧がモニタリング・ウィンドウを外れると、WARN_STATUS、OV_STATUS、および UV_STATUS レジスタで警告イベントまたはフォルト・イベントがレポートされて、WARN_LATCH、OV_LATCH、および UV_LATCH レジスタの該当するラッチ・ビットがセットされます。

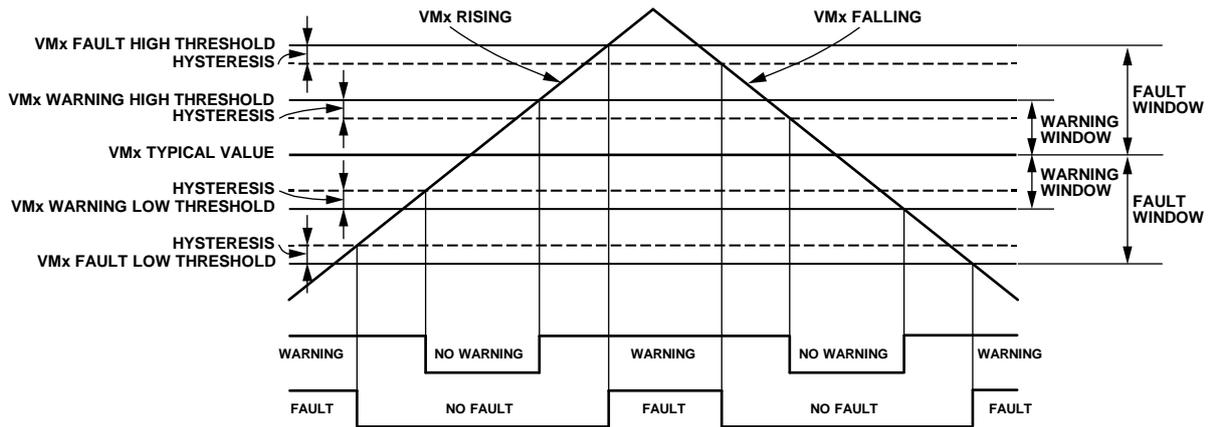


図 82. VMx 電圧ウィンドウ・コンパレータ

警告およびフォルト閾値ウィンドウは、WARN_WINDOW レジスタと FAULT_WINDOW レジスタの VMx_WARN_WINDOW ビットと VMx_FAULT_WINDOW ビットを通じてプログラムできます。表 24 と表 25 に示すように、プログラム可能な範囲は 4% から 8% までで、ヒステリシスは固定です。これらの閾値ウィンドウの基準値は 600mV です。詳細仕様については表 1 を参照してください。

表 24. VMx 電圧モニタの警告ウィンドウ

VMx_WARN_WINDOW, Bits[1:0]	Warning Window (%)
00	4
01 (Default)	5
10	6
11	8

表 25. VMx 電圧モニタのフォルト・ウィンドウ

VMx_FAULT_WINDOW, Bits[1:0]	Fault Window (%)
00	4
01	5
10	6
11 (Default)	8

VMx ピンのブランク時間は、VOLTAGE_BLANK_TIME0 レジスタの VMx_BLANK_TIME ビットを介して設定できます。表 26 に示すように、プログラム可能な範囲は 16μs から 352μs までで、デフォルト値は 48μs です。

表 26. VMx 電圧モニタのブランク時間

VM_BLANK_TIME, Bits[2:0]	Blank Time (μs)
0000	16
0001	32
0010 (Default)	48
0011	64
0100	80
0101	96
0110	112
0111	128
1000	144
1001	160
1010	176
1011	192
1100	208
1101	240
1110	288
1111	352

MODE ピンの設定

ADP5140 には MODE ピンがあり、MODE ピンとグラウンドの間に異なる抵抗を接続することによって、様々な機能を設定できます。設定できる機能は、デバッグ・モード設定、デバイス・インデックス設定、および V_{IO} 選択の 3 つです。MODE ピンとグラウンドの間の抵抗 (R_{MODE}) と機能設定の関係を表 27 に示します。

表 27. MODE ピンの設定

R _{MODE} (kΩ)	Debug Mode	Device Index	V _{IO} (V)
12.1	Enable	0	1.8
15.0	Enable	0	3.3
19.1	Enable	1	1.8
23.7	Enable	1	3.3
29.4	Disable	0	1.8
36.5	Disable	0	3.3
45.3	Disable	1	1.8
57.6	Disable	1	3.3
73.2	Enable	2	1.8
90.9	Enable	2	3.3
118	Enable	3	1.8
147	Enable	3	3.3
182	Disable	2	1.8
237	Disable	2	3.3
309	Disable	3	1.8
464	Disable	3	3.3

デバッグ機能は、デバッグ・モードをイネーブルまたはディスエーブルします。デバッグ・モードでは、ウォッチドッグに関係するすべてのフォルトが無視されます。

デバイス・インデックス設定機能は、ADP5140 のデバイス・インデックスを設定します。MODE ピンとグラウンドの間に置く抵抗の値を変えることによって、4 種類のデバイス・インデックスを設定できます。詳細については SPI のセクションを参照してください。

I/O 電圧の選択には、I/O 電圧選択機能を使用します。ADP5140 は 1.8V または 3.3V の I/O 電源電圧をサポートしています。

SPI レジスタ (MODE_PIN_STATUS) は MODE ピン設定を記録し、SPI を通じて読み出すことができます。

V_{IO} 電源

V_{IO} は、ADP5140 のデジタル・インターフェースの電源として機能します。V_{IO} ピンは 3.3V または 1.8V の電圧をサポートしますが、どちらをサポートするかは MODE ピンとグラウンドの間に接続する抵抗によって決まります。

V_{IO} ピンには UVLO モニタリング回路があります。V_{IO} が UVLO 閾値を下回ると、入力および出力 UVLO フォルト・イベントとなります。ADP5140 は、UV_STATUS レジスタの VIO_UVLO_STATUS ビットと UV_LATCH レジスタの VIO_UVLO_LATCH ビットをセットします。

ウェイクアップ機能と外部イベント検出

WAKE ピンは、SPI レジスタ WAKEPIN_EVT の設定に応じて、ウェイクアップ機能または外部イベント検出機能をサポートします。WAKE ピンのデフォルト設定はウェイクアップ機能です。

ウェイクアップ機能に設定した場合、WAKE ピンが低電圧レベルになると ADP5140 がウェイクアップして、デバイスはスタンバイ・モードを終了します (詳細はスタンバイ・モードのセクションを参照)。ウェイクアップ機能はスタンバイ・モードでのみ機能します。

外部イベント検出機能に設定した場合、WAKE ピンが低電圧レベルになってからの時間がデグリッチ時間 (t_{D,WAKE}) を超えると、ADP5140 にラッチ・イベントがセットされます。このラッチ・イベントは、SPI 設定に応じて RESET ピン、STATUS ピン、または FAULT ピンに反映されます。

WAKE ピンをフロート状態にした場合、内部 1MΩ プルダウン抵抗によって WAKE ピンの電圧は WAKE 低電圧閾値未満に維持されます (表 1 を参照)。

ウォッチドッグ

ADP5140 は、ウォッチドッグ 0 (WD0) とウォッチドッグ 1 (WD1) の 2 個のウィンドウ・ウォッチドッグ、および 1 個の QA ウォッチドッグ (QA_WD) を内蔵しています。WD0 と WD1 へのフィードは WDI0 ピンと WDI1 ピンを通じて行われます。QA_WD へのフィードは SPI を通じて行われ、プロセッサのソフトウェア・フォルトを検出します。

ウィンドウ・ウォッチドッグ

WDIx ピンから各ウィンドウ・ウォッチドッグへのフィードを行うトリガ・モードは 3 つあります。すなわち、立上がりエッジ・トリガ、立下がりエッジ・トリガ、あるいは立上がりエッジと立下がりエッジの両方によるトリガです。それぞれを図 83、図 84、図 85 に示します。WDTx_CTRL レジスタの WDTx_TRIG_EDGE_SEL ビットがウィンドウ・ウォッチドッグのトリガ・モードを決定します。

表 28. ウィンドウ・ウォッチドッグのトリガ・エッジ設定

WDTx_TRIG_EDGE_SEL, Bits[1:0]	Trigger Edge
00	Both edges
01 (Default)	Rising edge
10	Falling edge
11	Both edges

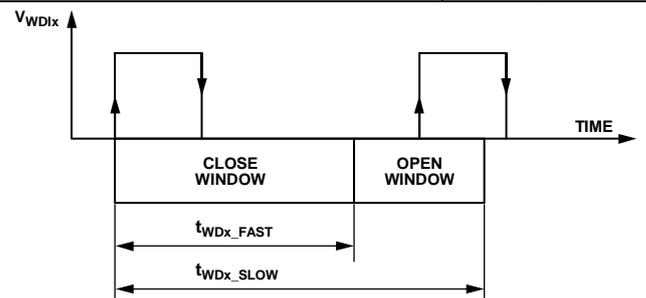


図 83. 立上がりエッジ信号が WDIx をトリガ

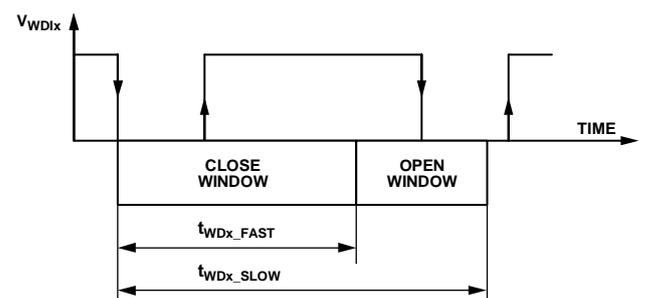


図 84. 立下がりエッジ信号が WDIx をトリガ

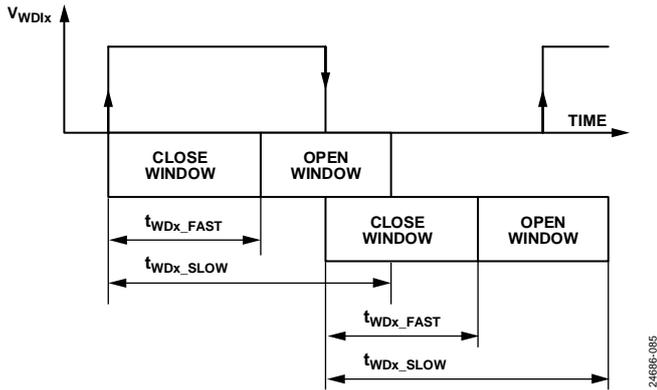


図 85. 立上がりエッジ信号と立下がりエッジ信号の両方が WDTx をトリガ (V_{WDIX} は WDTx ピンの電圧)

ウィンドウ・ウォッチドッグがイネーブルされると、ウォッチドッグが WDTx ピンのトリガ・エッジをモニタします。ウィンドウ・ウォッチドッグ・タイマーは、トリガ・エッジでリセットされます。低速ウィンドウ時間内にフィードがなかった場合は、ウィンドウ・ウォッチドッグ・タイマーの終了時にタイマーはリセットされます。WDTx 信号のトリガ・エッジは、ウォッチドッグ高速ウィンドウ (t_{WDx_FAST}) とウォッチドッグ低速ウィンドウ (t_{WDx_SLOW}) の間のオープン・ウィンドウ内になければなりません。WDTx 信号のトリガ・エッジがオープン・ウィンドウの外側に現れた場合は異常ウォッチドッグ・フィード・イベントとなり、ウォッチドッグ・フォルト・カウンタ

(WDTx_STATUS レジスタの WDTx_FAULT_COUNTER ビット) が加算されます。WDTx 信号のトリガ・エッジがオープン・ウィンドウの内側にある場合は正常ウォッチドッグ・フィード・イベントとなり、ウォッチドッグ・フォルト・カウンタが減算されます。ウォッチドッグ・フォルト・カウンタの値がウォッチドッグ・フォルト閾値 (WDTx_CTRL レジスタの WDTx_FAULT_THRESHOLD ビット) 以上の場合はウィンドウ・ウォッチドッグ・フォルト・イベントとなり、OTHER_STATUS レジスタと OTHER_LATCH レジスタの該当するウォッチドッグ・フェイル・ビットがセットされます。

ウィンドウ・ウォッチドッグ・フォルト・カウンタ

ウィンドウ・ウォッチドッグ・フォルト・カウンタには、オーバーフロー飽和とアンダーフロー飽和があります。ウィンドウ・ウォッチドッグ・フォルト・カウンタが7の場合、異常ウォッチドッグ・フィード・イベントとなってもカウンタは7のままです。ウィンドウ・ウォッチドッグ・フォルト・カウンタが0の場合、正常ウォッチドッグ・フィード・イベントとなってもカウンタは0のままです。ウィンドウ・ウォッチドッグ・フォルト・カウンタは、AVIN 電圧が UVLO 閾値未満になるか、ディスエーブル状態のウォッチドッグが再びイネーブルされるとリセットされます。

ウィンドウ・ウォッチドッグのウィンドウ設定

t_{WDx_FAST} と t_{WDx_SLOW} は SPI を通じてプログラムでき、その値の計算式は以下の通りです。

$$t_{WDx_FAST} = WDTx_FAST_WINDOW \times Time\ Tick$$

$$t_{WDx_SLOW} = WDTx_SLOW_WINDOW \times Time\ Tick$$

ここで、WDTx_FAST_WINDOW は 10 進値で表した WDTx_WINDOW レジスタの WDTx_FAST_WINDOW ビットの値で、デフォルト値は 3750 です。WDTx_SLOW_WINDOW は 10 進値で表した WDTx_WINDOW レジスタの WDTx_SLOW_WINDOW ビットの値で、デフォルト値は 15,000 です。

Time Tick (タイム・チック) は、次式により内部 2MHz クロックとスケール・ファクタによって決まります。

$$Time\ Tick = SCALE_FACTOR / 2MHz$$

ここで、SCALE_FACTOR は、WDTx_CTRL レジスタの WDTx_PRE_SCALE ビットの設定によって異なります。表 29 に示すように、デフォルト値は 16 です。

表 29. ウィンドウ・ウォッチドッグのスケール・ファクタとタイム・チック

WDTx_PRE_SCALE, Bits[1:0]	SCALE_FACTOR	Time Tick (μs)
00	1	0.5
01 (Default)	16	8
10	256	128
11	4096	2048

t_{WDx_FAST} のデフォルト値は 30ms、t_{WDx_SLOW} のデフォルト値は 120ms です。

ウィンドウ・ウォッチドッグをリセットするには、タイム・チックの 2 倍の時間が必要です。高速ウィンドウと低速ウィンドウの精度を 5% 未満に保つには、t_{WDx_FAST} と t_{WDx_SLOW} をタイム・チックの 40 倍以上に設定してください。

ウィンドウ・ウォッチドッグの SPI フィード

WDTx 信号を使ってウィンドウ・ウォッチドッグへフィードを行う方法に加えて、WDTx_CTRL レジスタの WDTx_SPI_FEED ビットに SPI コマンドを書き込んでウォッチドッグ・タイマーをリセットすることもできます。WD0 タイマーをリセットするには、WDT0_SPI_FEED ビットに 0x51 を書き込みます。WD1 タイマーをリセットするには、WDT1_SPI_FEED ビットに 0x52 を書き込みます。

WD0 と WD1 はデフォルトでディスエーブルされていますが、SPI を使ってイネーブルすることができます。WDTx_CTRL レジスタの WDTx_EN_CTRL ビットはウィンドウ・ウォッチドッグを制御します。ウィンドウ・ウォッチドッグをイネーブルして内部ウォッチドッグ・タイマーが直ちにカウントを開始するようにするには、WDTx_EN_CTRL ビットをセットします。ウィンドウ・ウォッチドッグをディスエーブルするには、WDTx_EN_CTRL ビットをクリアします。

ウィンドウ・ウォッチドッグの同期

最初のフィード信号は同期に使われます。最初のフィード信号が低速ウィンドウ内にある限り、ウィンドウ・ウォッチドッグ・フォルト・カウンタの値は加算も減算もされず、ウォッチドッグ・タイマーはリセットされます。最初のフィード信号が低速ウィンドウ内に届かない場合は、ウォッチドッグ・フォルト・カウンタが加算されます。ウィンドウ・ウォッチドッグは引き続き最初のフィード信号が届くのを待って、このセクションに示す要領でその信号を扱います。

QA ウォッチドッグ

ADP5140 は、SPI を通じてフィードを行う QA ウォッチドッグを内蔵しています。この QA ウォッチドッグは、プロセッサのソフトウェア・フォルトを検出できます。

QA_WD_CTRL レジスタの QA_WD_EN_CTRL ビットは QA ウォッチドッグを制御します。QA ウォッチドッグをイネーブルするには QA_WD_EN_CTRL ビットをセットし、ディスエーブルするには QA_WD_EN_CTRL ビットをクリアします。QA_WD_EN_CTRL ビットのデフォルトは 1 (イネーブル) です。

初期化が完了すると、QA ウォッチドッグは、トークンとそれに対応するウォッチドッグの内部回答を作成します。QA ウォッチドッグはプロセッサに対し、QA_WD_TOKEN レジスタを通じてこのトークンを読み出し、QA_WD_ANSWER レジスタへの書き込みによって計算した回答を送り返すよう要求します。トークンと回答の関係を表 30 に示します。

表 30. トークンと回答の関係

QA_WD_TOKEN, Bits[3:0]	QA_WD_ANSWER, Bits[31:0]
0x0	0x000FF0FF
0x1	0xE3EC131C
0x2	0x9B946B64
0x3	0x78778887
0x4	0x5659A6A9
0x5	0xB5BA454A
0x6	0xCDC23D32
0x7	0x2E21DED1
0x8	0x2D22DDD2
0x9	0xCEC13E31
0xA	0xB6B94649
0xB	0x555AA5AA
0xC	0x7B748B84
0xD	0x98976867
0xE	0xE0EF101F
0xF	0x030CF3FC

QA ウォッチドッグとプロセッサ間のやり取りは、図 86 に示すシーケンス図に従って行われます。

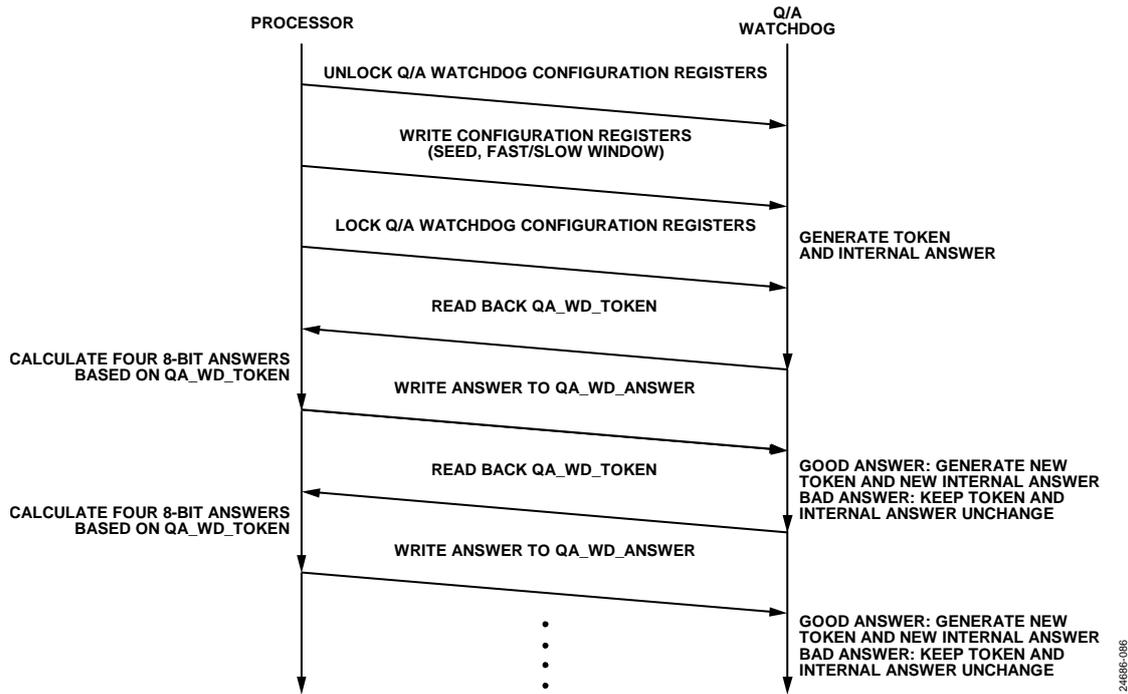


図 86. QA ウォッチドッグとプロセッサ間のやり取りを示すシーケンス図

24686-086

QA ウォッチドッグはプロセッサからの回答を待ちます。QA ウォッチドッグがプロセッサから回答を受け取ると、ウォッチドッグはこの回答と内部回答を比較します。2つの回答が一致した場合は正常回答フラグがセットされ、一致しない場合は異常回答フラグがセットされます。図 87 に示すように、プロセッサからの回答は、 $t_{WD_QA_FAST}$ と $t_{WD_QA_SLOW}$ の間のオープン・ウィンドウ内になければなりません。QA ウォッチドッグが正常回答を受け取るかウォッチドッグ・タイマーが終了する ($t_{WD_QA_SLOW}$ の範囲内で正常フィードがない) と、QA ウォッチドッグがリセットされます。異常回答によって QA ウォッチドッグ・タイマーがリセットされることはありません。異常回答は、フィードがない場合と同様に扱われます。

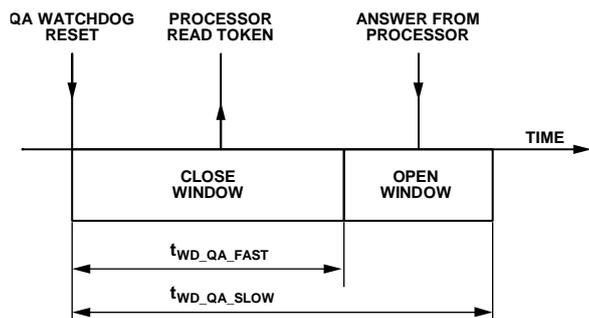


図 87. QA ウォッチドッグの動作シーケンス

QA ウォッチドッグ・フォルト・カウンタ

考えられる QA ウォッチドッグのフォルト状況を以下に示します。

- ADP5140 が、オープン・ウィンドウの範囲内で正常回答を受け取る。この場合は正常 QA ウォッチドッグ・イベントとなり、QA ウォッチドッグ・フォルト・カウンタ (QA_WD_STATUS レジスタの QA_WD_FAULT_COUNTER ビット) が減算されます。
- ADP5140 が正常回答を受け取ったが、フィーディング時間がオープン・ウィンドウの範囲外だった。この場合は異常 QA ウォッチドッグ・イベントとなり、QA ウォッチドッグ・フォルト・カウンタが加算されます。
- フィーディング時間がオープン・ウィンドウの範囲外か範囲内かに関わらず、ADP5140 が異常回答を受け取る。この場合はフィードがなかったものとして扱われ、QA ウォッチドッグ・フォルト・カウンタの値は変わりません。
- 低速ウィンドウ時間の範囲内で ADP5140 への回答がない。この場合は異常 QA ウォッチドッグ・イベントとなり、QA ウォッチドッグ・フォルト・カウンタが加算されます。

QA ウォッチドッグ・フォルト・カウンタの値がウォッチドッグ・フォルト閾値以上の場合は、QA ウォッチドッグ・フォルト・イベントとなり、OTHER_STATUS レジスタと OTHER_LATCH レジスタの該当するウォッチドッグ・フェイル・ビットがセットされます。

QA ウォッチドッグ・フォルト・カウンタには、オーバーフロー飽和とアンダーフロー飽和があります。QA ウォッチドッグ・フォルト・カウンタが 7 の場合、異常 QA ウォッチドッグ・フィード・イベントとなってもカウンタは 7 のままです。QA ウォッチドッグ・フォルト・カウンタが 0 の場合、正常 QA ウォッチドッグ・フィード・イベントとなってもカウンタは 0 のままです。QA ウォッチドッグ・フォルト・カウンタは、 V_{AVIN} が UVLO 閾値未満になるか、ディスエーブル状態の QA ウォッチドッグが再びイネーブルされるとリセットされます。

QA ウォッチドッグ・ウィンドウの設定

$t_{WD_QA_FAST}$ と $t_{WD_QA_SLOW}$ は SPI を通じてプログラムできます。計算式は以下の通りです。

$$t_{WD_QA_FAST} = QA_WD_FAST_WINDOW \times QA\ Time\ Tick$$

$$t_{WD_QA_SLOW} = QA_WD_SLOW_WINDOW \times QA\ Time\ Tick$$

ここで、 $QA_WD_FAST_WINDOW$ は 10 進値で表した QA_WD_WINDOW レジスタの $QA_WD_FAST_WINDOW$ ビットの値で、デフォルト値は 0 です。

$QA_WD_SLOW_WINDOW$ は 10 進値で表した QA_WD_WINDOW レジスタの $QA_WD_SLOW_WINDOW$ ビットの値で、デフォルト値は 7813 です。

$QA\ Time\ Tick$ (QA タイム・チック) は、次式により内部 2MHz クロックと QA スケール・ファクタによって決まります。

$$QA\ Time\ Tick = QA_SCALE_FACTOR / 2\ MHz$$

ここで、 QA_SCALE_FACTOR は、 QA_WD_CTRL レジスタの $QA_WD_PRE_SCALE$ ビットの設定によって異なります。表 31 に示すように、スケール・ファクタのデフォルト値は 256 です。

表 31. QA ウォッチドッグのスケール・ファクタとタイム・チック

QA_WD_PRE_SCALE, Bits [1:0]	QA_SCALE_FACTOR	QA Time Tick (μs)
00	1	0.5
01	16	8
10 (Default)	256	128
11	4096	2048

$t_{WD_QA_FAST}$ のデフォルト値は 0、 $t_{WD_QA_SLOW}$ のデフォルト値は 1 です。

QA ウォッチドッグをリセットするには、QA タイム・チックの 2 倍の時間が必要です。高速ウィンドウと低速ウィンドウの精度を 5% 未満に保つには、 $t_{WD_QA_FAST}$ と $t_{WD_QA_SLOW}$ を QA タイム・チックの 40 倍以上に設定してください。

QA ウォッチドッグの同期

最初のフィード信号は同期に使われます。最初のフィード信号が低速ウィンドウ内にある限り、QA ウォッチドッグ・フォルト・カウンタの値は加算も減算もされず、QA ウォッチドッグ・タイマーはリセットされます。最初のフィード信号が低速ウィンドウ内に届かない場合は、QA ウォッチドッグ・タイマーが終了してリセットされ、QA ウォッチドッグ・フォルト・カウンタが加算されます。QA ウォッチドッグは引き続き最初のフィード信号が届くのを待って、このセクションに示す要領でその信号を扱います。

QA_WD_TOKEN レジスタと QA_WD_ANSWER レジスタはロック/アンロック法で制御されておらず、 $PMIC_PSWD$ レジスタに正しいキーを書き込まなくても直接書き込みや読み出しを行うことができます。

ウォッチドッグ・パラメータの設定

ウォッチドッグに関するパラメータは SPI を通じてプログラムでき、次のフィード信号が到着した時点で新しい値が有効になります。

ウォッチドッグの設定に関するレジスタはデフォルトでロックされています。これらのレジスタのロックを解除するには、 $WDTx_CTRL$ レジスタの $WDTx_LOCK$ ビットに 1 を書き込むか、

QA_WD_CTRL レジスタの QA_WD_LOCK ビットに 1 を書き込みます。

ウォッチドッグ設定を安全に変更するには、以下のステップに従ってください。

1. オープン・ウィンドウになるまで待ちます。
2. ウォッチドッグにフィードします。
3. ウォッチドッグ設定レジスタのロックを解除して、レジスタの値を変更します。
4. オープン・ウィンドウになるまで待ちます。
5. 新しいパラメータが有効になるようにウォッチドッグにフィードします。

パルス幅モニタ

ADP5140 はパルス幅モニタ回路を内蔵しており、WDIx ピンの信号のパルス幅をモニタします。パルス幅モニタ回路はデフォルトでディスエーブルされていますが、SPI を使ってイネーブルできます。WDIx_PULSE_CTRL レジスタの WDIx_PULSE_EN ビットは、パルス幅モニタ回路を制御します。パルス幅モニタ回路をイネーブルするには WDIx_PULSE_EN ビットをセットし、ディスエーブルするには WDIx_PULSE_EN ビットをクリアします。

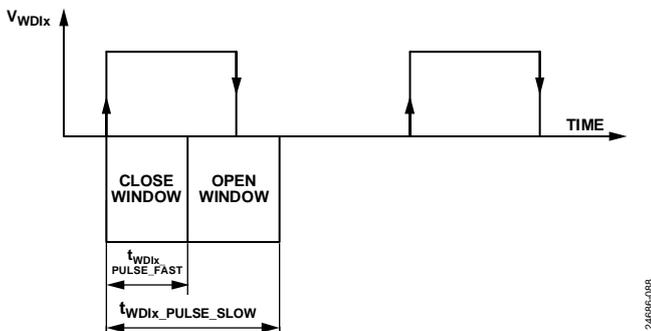


図 88. 正のパルス幅モニタリング

パルス幅モニタ機能をイネーブルすると、WDIx ピンの立上がりエッジでパルス幅タイマーがリセットされてカウントを開始し、WDIx ピンの立下がりエッジまでカウントを続けます。

パルス幅モニタ・フォルトに関して考えられる 2 つのケースを以下に示します。

- パルス幅が高速パルス幅 ($t_{WDIx_PULSE_FAST}$) より狭く、WDIx_PULSE_CTRL レジスタの WDIx_PULSE_LOWER_MASK ビットが 0 の場合は、パルス幅フォルト・イベントとなります。
- パルス幅が低速パルス幅 ($t_{WDIx_PULSE_SLOW}$) より広く、WDIx_PULSE_CTRL レジスタの WDIx_PULSE_UPPER_MASK ビットが 0 の場合は、パルス幅フォルト・イベントとなります。

パルス幅フォルト・イベントが発生すると、OTHER_STATUS レジスタと OTHER_LATCH レジスタの該当ビットがセットされます。

$t_{WDIx_PULSE_FAST}$ と $t_{WDIx_PULSE_SLOW}$ は SPI を通じてプログラムでき、値の計算式は以下の通りです。

$$t_{WDIx_PULSE_FAST} = WDIx_PULSE_LOW \times (1 \div 2 \text{ MHz})$$

$$t_{WDIx_PULSE_SLOW} = WDIx_PULSE_HIGH \times (1 \div 2 \text{ MHz})$$

ここで、

WDIx_PULSE_LOW は 10 進値で表した WDIx_PULSE_LOW レジスタの値で、デフォルト値は 850 です。

WDIx_PULSE_HIGH は 10 進値で表した WDIx_PULSE_HIGH レジスタの値で、デフォルト値は 1150 です。

$t_{WDIx_PULSE_FAST}$ のデフォルト値は 425 μ s、 $t_{WDIx_PULSE_SLOW}$ のデフォルト値 575 μ s です。

外部イベント検出としての WDIx ピン

WDIx ピンは外部イベント検出ピンとして設定できます。外部イベント検出機能に設定した場合は、WDIx ピンの低電圧レベル時間が 8 μ s を超えると ADP5140 にラッチ・イベントがセットされます。このラッチ・イベントは、SPI の設定に応じて RESET ピン、STATUS ピン、または FAULT ピンに反映されます。

WDIx ピンをフロート状態にした場合、内部 1M Ω プルダウン抵抗によって WDIx ピンの電圧が WDIx 低電圧閾値未満に維持されます (表 1 を参照)。

TSD

各レギュレータのローカル温度モニタに加えて、ADP5140 は中心部のダイ温度もモニタします。中心ダイ温度が TSD 閾値 (T_{SD}) を超えると、ADP5140 はシャットダウン・モードになります。この機能には T_{SD_HY} が含まれているので、ADP5140 は中心ダイ温度が $T_{SD} - T_{SD_HY}$ 未満に低下するまでシャットダウンから回復しません。回復時には POR が開始されます。

RESET、STATUS、および FAULT フェイルセーフ・ピン

RESET ピン

RESET ピンはオープン・ドレインの双方向ピンです。RESET ピンはステータス・レジスタにリストアップされたイベントが発生するとアサートされ、該当するマスク・レジスタの対応ビットが 1 に設定されます。

ステータス・レジスタには以下のものが含まれます。

- UV_STATUS
- OV_STATUS
- WARN_STATUS
- OT_STATUS
- OTHER_STATUS
- OTHER1_STATUS

マスク・レジスタには以下のものが含まれます。

- UV_RST_MASK
- OV_RST_MASK
- WARN_RST_MASK
- OT_RST_MASK
- OTHER_RST_MASK
- OTHER1_RST_MASK

RESETピンがアサートされると、このピンはリセット時間中 (trp) ローに維持され、その後解放されます。RESETピンがアサートされると、FAULTピンとSTATUSピンの両方がローになります。

RESETピンの外部低電圧レベルの時間がリセット外部タイムアウト時間 (tRESET_EXT) を超えると、ADP5140 に外部ピン・フェイル・イベントがセットされます。このフェイル・イベントは、SPIのレジスタ設定に応じてRESETピン、STATUSピン、またはFAULTピンに反映されます。

外部ピン・フェイル・リセット・イベントが発生して OTHER_RST_MASK レジスタのRESET_EXT_FAIL_RST_MASK ビットが1に設定されると、ADP5140 はリセット・シーケンスを開始します。この場合、すべての電源レールがプログラムされたパワーアップ・シーケンスで再起動します。

リセット外部タイムアウト時間は、SPIの FAIL_SAFE_PIN_TIMEOUT レジスタを通じ、5μs から 160μs まで 5μs 単位でプログラムできます。

図 89 に示すように、パワーアップ時は以下に示すすべての条件が満たされ、さらに遅延時間 (tHOLD) が経過するまで、RESETピンはハイになりません。

- レギュレータ 1 (BUCK1) がレギュレーション状態。
- レギュレータ 2 (BUCK2) がレギュレーション状態。
- レギュレータ 5 (LDO1) がレギュレーション状態。
- レギュレータ 10 (LDO6) がレギュレーション状態。
- レギュレータ 11 (LDO7) がレギュレーション状態。
- レギュレータ 12 (昇圧) がレギュレーション状態。
- SEQ がハイ。
- RESETピンにマップされるシステム・フォルト・イベントが他に発生していない。

STATUSピン

STATUSピンはオープン・ドレインの双方向ピンです。該当するラッチ・レジスタのラッチ・ビットが1に設定されていて、該当するステータス・ピン・マスク・レジスタの対応ビットが1に設定されている場合は、STATUSピンがアサートされます (ローになる)。

ラッチ・レジスタには以下のものが含まれます。

- UV_LATCH
- OV_LATCH
- WARN_LATCH
- OT_LATCH
- OTHER_LATCH
- OTHER1_LATCH

ステータス・ピン・マスク・レジスタには以下のものが含まれます

- UV_INT_MASK
- OV_INT_MASK
- WARN_INT_MASK
- OT_INT_MASK
- OTHER_INT_MASK
- OTHER1_INT_MASK

STATUSピンの外部低電圧レベルの時間がステータス外部タイムアウト時間 (tSTATUS_EXT) を超えると、ADP5140 に外部ピン・フェイル・イベントがセットされます。このフェイル・イベントは、SPIのレジスタ設定に応じてRESETピン、STATUSピン、またはFAULTピンに反映されます。

ステータス外部タイムアウト時間は、SPIの FAIL_SAFE_PIN_TIMEOUT レジスタを通じ、5μs から 160μs まで 5μs 単位でプログラムできます。RESETピンがアサートされると、STATUSピンがロー・レベルになります。

STATUSピンは、SPIを通じ SPI_PIN_CTRL レジスタで直接制御することもできます。この場合、ラッチ・レジスタとマスク・レジスタの設定は無視されます。STATUS_SPI_CTRL_EN ビットを1に設定すると、STATUSピンはSTATUS_SPI_CTRL_DATA ビットの値によって制御されます。

FAULTピン

FAULTピンはオープンドレインの双方向ピンです。ラッチ・レジスタのラッチ・ビットが1に設定されていて、該当するフォルト・ピン・マスク・レジスタの対応ビットが1に設定されている場合は、FAULTピンがアサートされます (ローになる)。

使用するラッチ・レジスタのリストについては、STATUSピンのセクションを参照してください。

フォルト・ピン・マスク・レジスタには以下のものが含まれません。

- UV_FAULT_MASK
- OV_FAULT_MASK
- WARN_FAULT_MASK
- OT_FAULT_MASK
- OTHER_FAULT_MASK
- OTHER1_FAULT_MASK

FAULTピンの外部低電圧レベルの時間がフォルト外部タイムアウト時間 (tFAULT_EXT) を超えると、ADP5140 に外部ピン・フェイル・イベントがセットされます。このフェイル・イベントは、SPIのレジスタ設定に応じてRESETピン、STATUSピン、またはFAULTピンに反映されます。

フォルト外部タイムアウト時間は、SPIの FAIL_SAFE_PIN_TIMEOUT レジスタを通じ、5μs から 160μs まで 5μs 単位でプログラムできます。RESETピンがアサートされると、FAULTピンがロー・レベルになります。

FAULTピンは、SPIを通じ SPI_PIN_CTRL レジスタで直接制御することもできます。この場合、ラッチ・レジスタとマスク・レジスタの設定は無視されます。FAULT_SPI_CTRL_EN ビットを1に設定すると、FAULTピンはFAULT_SPI_CTRL_DATA ビットの値によって制御されます。

パワーアップ・シーケンスとパワーダウン・シーケンス

ADP5140には、スタートアップ時の入力電圧による突入電流を減らすためにソフト・スタート回路が組み込まれています。

パワーアップ・シーケンス

レギュレータをイネーブルするときは、図 89 に示す固定パワーアップ・シーケンスがすべてのレギュレータに適用されます。ADP5140 のイニシャル・テスト時間とセルフ・テスト時間には代表値で 3ms (t_D) の遅延があり、各レール間には t_{DR1} または t_{DR2} の遅延があります。

レギュレータ 10 とレギュレータ 11 は同時にパワーアップします。

レギュレータ 12 は、レギュレータ 10 とレギュレータ 11 の両方がフォルト下限閾値を超え、さらに t_{DR2} 遅延時間が経過するまでパワーアップしません。

SEQ ピンはパワーアップ・シーケンスを制御します。レギュレータ 1 のパワーアップ時、ADP5140 の他の電源レールは SEQ ピンがハイになるまでランプアップしません。

レギュレータ 3 は、レギュレータ 1 がフォルト下限閾値を超えて t_{DR1} 遅延時間が経過し、さらに SEQ ピンがハイになるまでパワーアップしません。

$\overline{\text{RESET}}$ ピンは、以下に示すすべての条件が満たされ、さらに遅延時間 (t_{HOLD}) が経過するまでハイになりません。

- レギュレータ 1 がレギュレーション状態。
- レギュレータ 2 がレギュレーション状態。
- レギュレータ 5 がレギュレーション状態。
- レギュレータ 10 がレギュレーション状態。
- レギュレータ 11 がレギュレーション状態。
- レギュレータ 12 がレギュレーション状態。
- SEQ がハイ。
- 他のシステム・フォルト・イベントが $\overline{\text{RESET}}$ ピンにマップされていない。

$\overline{\text{FAULT}}$ ピンと $\overline{\text{STATUS}}$ ピンは、すべての電源レールがフォルト下限値を超えて $\overline{\text{RESET}}$ ピンが解放されるまで、ローを維持します。

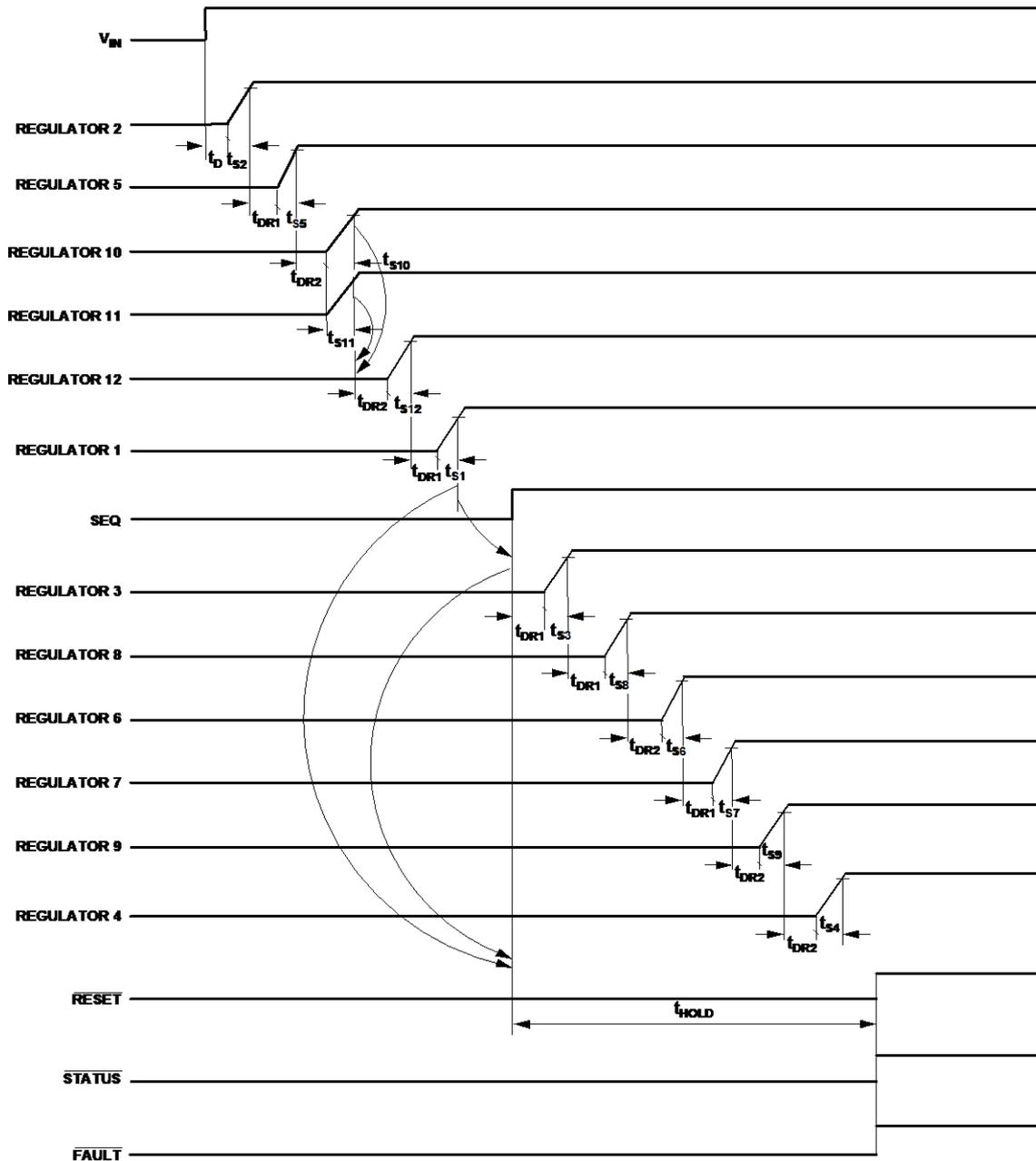


図 89. ADP5140 のパワーアップ・シーケンス

パワーダウン・シーケンス

パワーオフのための SPI コマンドを ADP5140 が受け取ると (パワーダウン・モード (SPI_CMD1))、レギュレータ 2 とレギュレータ 5 を除くすべての電源レールが同時にオフになります。図 90 に示すように、レギュレータ 2 とレギュレータ 5 は、レギュレータ 11 の出力電圧が VM_{DW} 未満になるまでパワーオフしません。

AVIN ピンの入力電圧が AVIN の UVLO 立下がり閾値未満になるかレギュレータ 11 がディスエーブルされると、レギュレータ 11 の高速放電スイッチがオンになります。高速放電スイッチは OUT11 ピンとグラウンドの間にある 2Ω の MOSFET で、ゲート・ドライバは OUT11 ピンに接続されています。

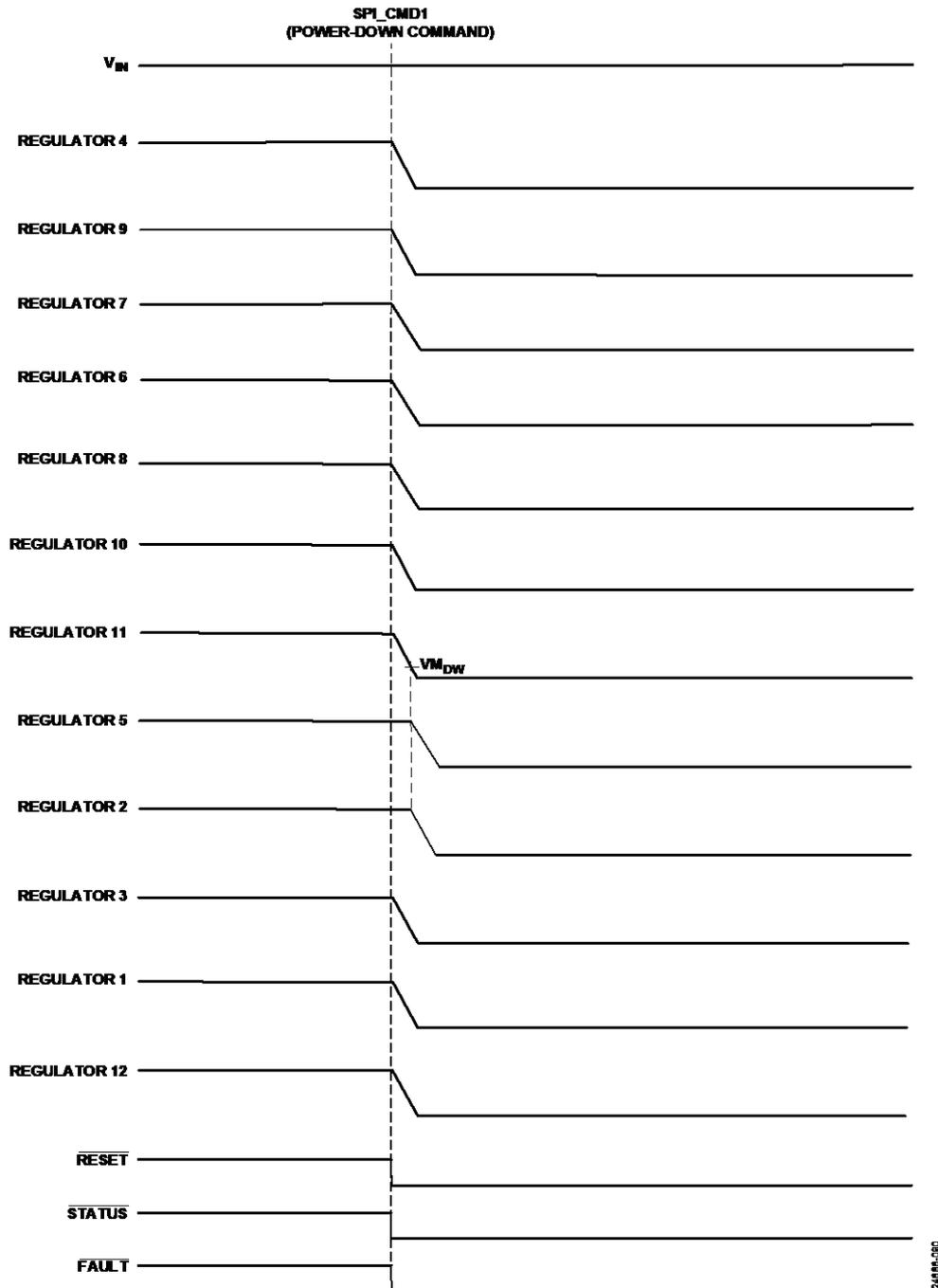


図 90. パワーダウン・シーケンス

SPI

ADP5140 は SPI を使ってプロセッサと通信します。ADP5140 は常にスレーブで、入力モードと出力モードは 1 つずつです。

ADP5140 では SPI モード 0 とモード 3 がサポートされています。モード 0 (クロック極性 (CPOL) = クロック位相 (CPHA) = 0) ではクロックが非アクティブのときに SCK がロー、モード 3 (CPOL = CPHA = 1) ではクロックが非アクティブのときに SCK がハイです。どちらのモードでも、ビットは常にクロックの立上がりエッジでサンプリングされ、クロックの立下がりエッジで駆動されます。ADP5140 は、ホストからビット・ストリームを受け取るときに、どのモードが使われているかを自動的に検出します。

プロセッサは、SPI を通じて ADP5140 の機能とデバイス・パラメータを設定できます。また、プロセッサは ADP5140 のステータスをリードバックすることもできます。ADP5140 のレジスタの詳細については SPI レジスタ・マップのセクションを参照してください。

2つのフェーズからなる SPI ビット・ストリームを図 91 に示します。最初のフェーズはコマンド、アドレス、および予備からなる命令フェーズで、2 番目のフェーズはデータと巡回冗長検査 (CRC) からなるデータ・フェーズです。

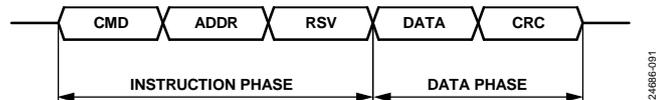


図 91. SPI ビット・フレーム

コマンド (CMD)

表 32 に示すように、CMD はホストが実行しようとする動作を示す 8 ビットのフィールドです。

表 32. コマンド・バイトの内容

Bit(s)	Description
7	0: write operation 1: read operation
6	0: broadcast disable 1: broadcast enable
5	Reserved
4	0: little Endian 1: big Endian (default)
3	0: MSB first (default) 1: LSB first
[2:1]	Device index
0	0: write operation 1: read operation

このフィールドのビット 7 とビット 0 は、ホストが書込み動作 (00) を行おうとしているのか、読み出し動作 (11) を行おうとしているのかを示します。ここで、01 と 10 は無効な値です。

このフィールドのビット 1 とビット 2 は、ホストが通信しようとする ADP5140 のデバイス・インデックスを示します。デバイス・インデックスは、表 27 に示す MODE ピンの設定によって決まります。

このフィールドのビット 3 とビット 4 は ADP5140 の SPI 通信コマンド・モードを示し、デフォルトはビッグ・エンディアンと

MSB ファーストです。コマンド・モードは SPI の IF_CFGA レジスタを通じてプログラム可能です。ADP5140 は以下に示す 4 つのコマンド・モードをサポートしています。

- モード 0: リトル・エンディアンと MSB ファースト
- モード 1: リトル・エンディアンと LSB ファースト
- モード 2: ビッグ・エンディアンと MSB ファースト (デフォルト)
- モード 3: ビッグ・エンディアンと LSB ファースト

ブロードキャスト機能をイネーブル (CMD のビット 6 を 1 に設定) した場合は、デバイス・インデックス (CMD のビット 1 とビット 2) の値に関わらず、CS ピンがローになったデバイスはすべて通信中です。

アドレス (ADDR)

ADDR は、ホストがアクセスしようとするレジスタ・アドレスを格納する 2 バイトのフィールドです。ADDR フィールドの保持時間は 16 SCK サイクルです。詳細については SPI レジスタ・マップのセクションを参照してください。

予備 (RSV)

RSV は ADP5140 によって予約された 1 バイトのフィールドです。RSV フィールドの保持時間は 8 SCK サイクルです。

データ (DATA)

DATA は、転送データを格納する 4 バイトのフィールドです。DATA フィールドの保持時間は 32 SCK サイクルです。

CRC

ADP5140 は、CRC フィールドを使って各 SPI フレーム内の通信エラーを検出します。SPI フレームの CRC フィールドは、計算した CRC 値を格納する 16 ビットのフィールドです。

CRC は常に MSB ファーストで送信され、CMD、ADDR、RSV、DATA のすべてのフィールドに関わっています。

CRC の計算に使用されるデフォルトの多項式は $x^{16} + x^{15} + x^{12} + x^7 + x^6 + x^4 + x^3 + 1$ (0x90D9) で、CRC を計算するためのデフォルトの初期シード値は 0x5555 です。この多項式と初期シード値は、ともに SPI_CRC_PARAM レジスタで設定できます。

SPI 書込みのタイム・シーケンスを図 92 に、SPI 読み出しのタイム・シーケンスを図 93 に示します。

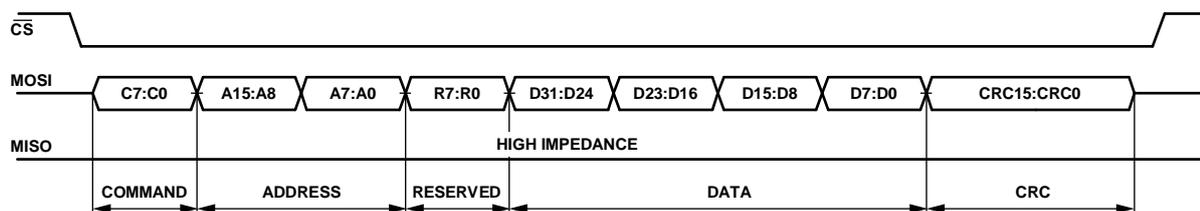


図 92. SPI 書込み動作

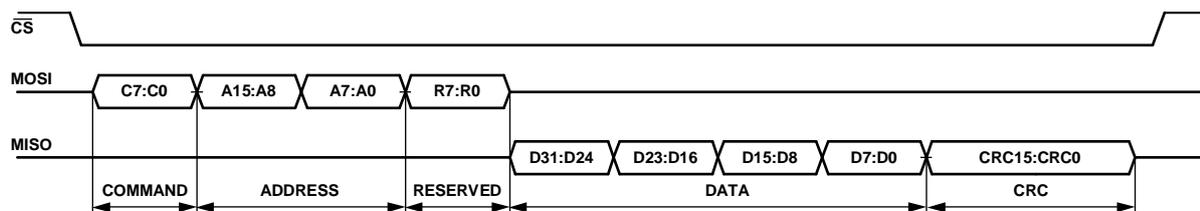


図 93. SPI 読み出し動作

ステート図

図 94 に、ADP5140 のステート図を示します。

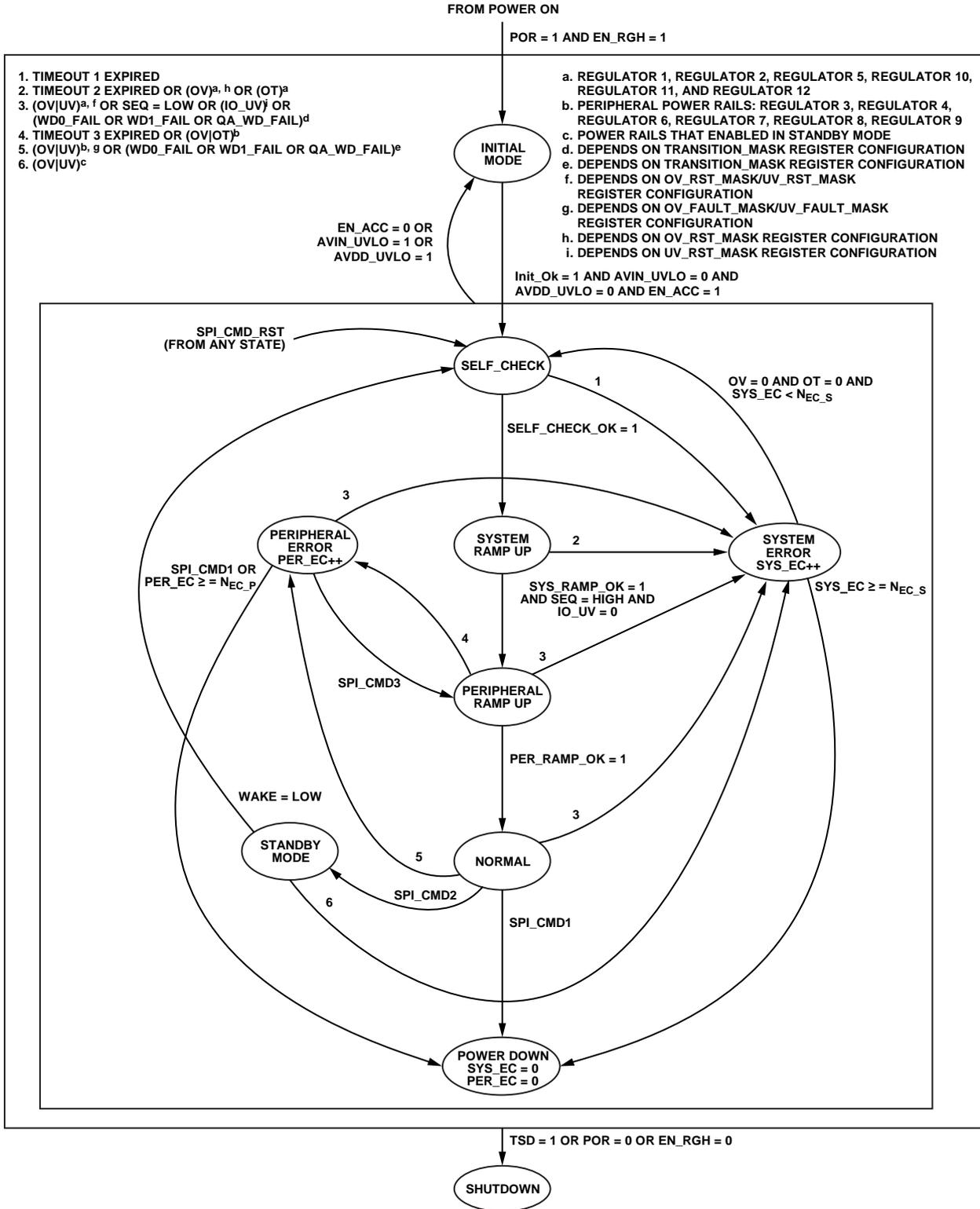


図 94. ステート図

24686-094

イニシャル・モード

イニシャル・モードの開始条件は以下のとおりです。

- V_{EN} が V_{EN_RGH} より高くなったとき ($EN_RGH = 1$)、POR からイニシャル・モードに入ります。
- $V_{AVIN} < V_{AVIN_UVLO_F}$ ($AVIN_UVLO = 1$)、 $V_{AVDD} < V_{AVDD_UVLO_F}$ ($AVDD_UVLO = 1$)、または $V_{EN} < V_{EN_F}$ ($EN_ACC = 0$) になったとき、シャットダウン・モードを除く任意のモードからイニシャル・モードに入ります。

イニシャル・モードの終了条件は以下のとおりです。

- イニシャル・モードが完了したとき。イニシャル・モードを終了してセルフチェック・モードに移行します。この場合、 V_{AVIN} と V_{AVDD} の両方が対応する UVLO 閾値より高く、なおかつ $V_{EN} > V_{EN_R}$ です。
- TSD または POR となったとき、あるいは $V_{EN} < V_{EN_RGH}$ となったとき。イニシャル・モードを終了してシャットダウン・モードに移行します。

イニシャル・モードでは、ADP5140 はトリムされたデータをロードして、ピン設定を読み出します。すべての電源レールがオフになり、ADP5140 は入力電圧とダイ温度をモニタします。RESET ピン、FAULT ピン、および STATUS ピンはローのままです。

セルフチェック・モード

$V_{AVIN} > V_{AVIN_UVLO_R}$ ($AVIN_UVLO = 0$)、 $V_{AVDD} > V_{AVDD_UVLO_R}$ ($AVDD_UVLO = 0$)、および $V_{EN} > V_{EN_R}$ ($EN_ACC = 1$) のとき、セルフチェック・モードに入る条件は以下のとおりです。

- イニシャル・モードが完了したとき、イニシャル・モードから。
- WAKE ピンからウェイクアップ信号を受け取ったとき、スタンバイ・モードから。
- システム・エラー・カウンタ (SYS_EC) がシステム・エラー・カウンタ閾値 (NEC_S) 未満で、どの電源レールでも過熱イベントや過電圧イベントが発生していない場合、システム・エラー・モードから。
- 任意のモードからセルフチェック・モードになる (SPI_CMD_RST) コマンドを受け取ったとき、任意のモードから。

セルフチェック・モードの終了条件は以下のとおりです。

- セルフチェック・モードが完了したとき (SELF_CHECK_OK = 1)。システム・ランプアップ・モードに移行します。
- セルフチェック・モードがタイムアウトしたとき (t_{EXP1})。システム・エラー・モードに移行します。
- $V_{AVIN} < V_{AVIN_UVLO_F}$ 、 $V_{AVDD} < V_{AVDD_UVLO_F}$ 、または $V_{EN} < V_{EN_F}$ のとき。イニシャル・モードに移行します。
- TSD または POR となったとき、あるいは $V_{EN} < V_{EN_RGH}$ となったとき。シャットダウン・モードに移行します。

セルフチェック・モードでは、ADP5140 はセルフ・テストを行い、モニタするすべてのアナログ回路とデジタル回路をチェックします。すべての電源レールがオフにされ、ADP5140 は入力電圧とダイ温度をモニタします。セルフチェック・モードでは、SYS_EC を除く SPI レジスタがリセットされます。RESET ピン、FAULT ピン、および STATUS ピンはローのままです。

システム・ランプアップ・モード

$V_{AVIN} > V_{AVIN_UVLO_R}$ 、 $V_{AVDD} > V_{AVDD_UVLO_R}$ 、および $V_{EN} > V_{EN_R}$ となってセルフチェックが完了すると、ADP5140 はセルフチェック・モードからシステム・ランプアップ・モードに入ります。

システム・ランプアップ・モードの終了条件は以下のとおりです。

- SEQ ピンがハイ、 $V_{VIO} > V_{VIO_UV}$ ($IO_UV = 0$) でシステム・ランプアップが完了したとき ($SYS_RAMP_OK = 1$)。ペリフェラル・ランプアップ・モードに移行します。
- システム・ランプアップがタイムアウトしたとき (t_{EXP2})、レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 で過熱イベントが発生したとき、もしくはレギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 で過電圧イベントが発生して、そのフォルト・イベントが OV_RST_MASK レジスタでマスクされていないとき。システム・エラー・モードに移行します。
- $V_{AVIN} < V_{AVIN_UVLO_F}$ 、 $V_{AVDD} < V_{AVDD_UVLO_F}$ 、または $V_{EN} < V_{EN_F}$ となったとき。イニシャル・モードに移行します。
- TSD または POR となったとき、あるいは $V_{EN} < V_{EN_RGH}$ となったとき。シャットダウン・モードに移行します。

システム・ランプアップ・モードでは、レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、およびレギュレータ 12 が固定シーケンスでパワーアップします。RESET ピン、FAULT ピン、および STATUS ピンはローのままです。

ペリフェラル・ランプアップ・モード

$V_{AVIN} > V_{AVIN_UVLO_R}$ 、 $V_{AVDD} > V_{AVDD_UVLO_R}$ 、および $V_{EN} > V_{EN_R}$ のとき、ペリフェラル・ランプアップ・モードに入る条件は以下のとおりです。

- システム・ランプアップが完了し、SEQ ピンがハイ、 $V_{VIO} > V_{VIO_UV}$ になったとき、システム・ランプアップ・モードからペリフェラル・ランプアップ・モードに入ります。
- ペリフェラル・ランプアップ・モード (SPI_CMD3) コマンドを受け取ったとき、ペリフェラル・エラー・モードからペリフェラル・ランプアップ・モードに入ります。

ペリフェラル・ランプアップ・モードの終了条件は以下のとおりです。

- ペリフェラル・ランプアップ・モードを完了したとき ($PER_RAMP_OK = 1$)。ノーマル・モードに移行します。
- レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが OV_RST_MASK レジスタまたは UV_RST_MASK レジスタでマスクされていないとき、SEQ がローのとき、VIO ピンで低電圧イベントが発生して、そのフォルト・イベントが UV_RST_MASK レジスタでマスクされていないとき、もしくはいずれかのウォッチドッグ (WD0、WD1、または QA_WD) でフォルトが発生して、そのフォルトが TRANSITION_MASK レジスタでマスクされていないとき。システム・エラー・モードに移行します。

- パリフェラル・ランプアップがタイムアウトしたとき (t_{EXP3})、またはレギュレータ 3、レギュレータ 4、レギュレータ 6、レギュレータ 7、レギュレータ 8、またはレギュレータ 9 で過電圧イベントまたは低電圧イベントが発生したとき。パリフェラル・エラー・モードに移行します。
- $V_{AVIN} < V_{AVIN_UVLO_F}$ 、 $V_{AVDD} < V_{AVDD_UVLO_F}$ 、または $V_{EN} < V_{EN_F}$ となったとき。イニシャル・モードに移行します。
- TSD または POR となったとき、あるいは $V_{EN} < V_{EN_RGH}$ となったとき。シャットダウン・モードに移行します。

パリフェラル・ランプアップ・モードでは、レギュレータ 3、レギュレータ 4、レギュレータ 6、レギュレータ 7、レギュレータ 8、およびレギュレータ 9 が固定シーケンスでパワーアップします。FAULTピンとSTATUSピンはローのまま、RESETピンは遅延時間 (t_{HOLD}) 経過後にハイになります。

ノーマル・モード

$V_{AVIN} > V_{AVIN_UVLO_R}$ 、 $V_{AVDD} > V_{AVDD_UVLO_R}$ 、および $V_{EN} > V_{EN_R}$ のときにノーマル・モードに入るための条件は、パリフェラル・ランプアップ・モードが完了することです。この場合はパリフェラル・ランプアップ・モードからノーマル・モードへ移行します。

ノーマル・モードの終了条件は以下のとおりです。

- SPI_CMD1 コマンドを受信したとき。パワーダウン・モードに移行します。
- スタンバイ・モード・コマンド (SPI_CMD2) を受信したとき。スタンバイ・モードに移行します。
- レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが OV_RST_MASK レジスタまたは UV_RST_MASK レジスタでマスクされていないとき、SEQ がローのとき、VIO ピンで低電圧イベントが発生して、そのフォルト・イベントが UV_RST_MASK レジスタでマスクされていないとき、もしくはいずれかのウォッチドッグ (WD0、WD1、または QA_WD) でフォルトが発生して、そのフォルトが $TRANSITION_MASK$ レジスタでマスクされていないとき。システム・エラー・モードに移行します。
- レギュレータ 3、レギュレータ 4、レギュレータ 6、レギュレータ 7、レギュレータ 8、またはレギュレータ 9 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが OV_FAULT_MASK レジスタまたは UV_FAULT_MASK レジスタでマスクされていないとき、またはいずれかのウォッチドッグ (WD0、WD1、または QA_WD) でフォルトが発生して、そのフォルトが $TRANSITION_MASK$ レジスタでマスクされていないとき。パリフェラル・エラー・モードに移行します。
- $V_{AVIN} < V_{AVIN_UVLO_F}$ 、 $V_{AVDD} < V_{AVDD_UVLO_F}$ 、または $V_{EN} < V_{EN_F}$ となったとき。イニシャル・モードに移行します。
- TSD または POR となったとき、あるいは $V_{EN} < V_{EN_RGH}$ となったとき。シャットダウン・モードに移行します。

ノーマル・モードでは、すべての電源レールがオンになって、WAKE 機能を除くすべての機能が有効になります。ノーマル・モードでは、WD0、WD1、およびシーケンシングされた QA ウォッチドッグをイネーブルすることができます。RESET、FAULT、およびSTATUSの各ピンには、SPIレジスタの設定に応じてさまざまなイベントがマップされます。

パワーダウン・モード

$V_{AVIN} > V_{AVIN_UVLO_R}$ 、 $V_{AVDD} > V_{AVDD_UVLO_R}$ 、および $V_{EN} > V_{EN_R}$ のとき、パワーダウン・モードに入る条件は以下のとおりです。

- SPI_CMD1 コマンドを受信したとき、ノーマル・モードからパワーダウン・モードに入ります。
- SPI_CMD1 コマンドを受信したとき、またはパリフェラル・エラー・カウンタ (PER_EC) \geq パリフェラル・エラー・カウンタ閾値 (N_{EC_P}) となったとき、パリフェラル・エラー・モードからパワーダウン・モードに入ります。
- $SYS_EC \geq N_{EC_S}$ となったとき、システム・エラー・モードからパワーダウン・モードに入ります。

パワーダウン・モードの終了条件は以下のとおりです。

- $V_{AVIN} < V_{AVIN_UVLO_F}$ 、 $V_{AVDD} < V_{AVDD_UVLO_F}$ 、または $V_{EN} < V_{EN_F}$ となったとき。イニシャル・モードに移行します。
- TSD または POR となったとき、あるいは $V_{EN} < V_{EN_RGH}$ となったとき。シャットダウン・モードに移行します。

パワーダウン・モードではすべての電源レールが固定シーケンスでパワーダウンされて、このモードが維持されます。

SYS_EC と PER_EC はリセットされ、ADP5140 は入力電圧とダイ温度をモニタします。RESETピン、FAULTピン、およびSTATUSピンはローのままです。

システム・エラー・モード

$V_{AVIN} > V_{AVIN_UVLO_R}$ 、 $V_{AVDD} > V_{AVDD_UVLO_R}$ 、および $V_{EN} > V_{EN_R}$ のとき、システム・エラー・モードに入る条件は以下のとおりです。

- セルフチェック・モードがタイムアウトしたとき (t_{EXP1})、セルフチェック・モードからシステム・エラー・モードに入ります。
- システム・ランプアップがタイムアウトしたとき (t_{EXP2})、レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 で過電圧または低電圧イベントが発生したとき、もしくはレギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 で過電圧イベントが発生して、そのフォルト・イベントが OV_RST_MASK レジスタでマスクされていないとき、システム・ランプアップ・モードからシステム・エラー・モードに入ります。
- レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが OV_RST_MASK レジスタまたは UV_RST_MASK レジスタでマスクされていないとき、SEQ がローのとき、VIO ピンで低電圧イベントが発生して、そのフォルト・イベントが UV_RST_MASK レジスタでマスクされていないとき、もしくはいずれかのウォッチドッグ (WD0、WD1、または QA_WD) でフォルトが発生して、そのフォルトが $TRANSITION_MASK$ レジスタでマスクされていないとき、パリフェラル・ランプアップ・モードからシステム・エラー・モードに入ります。
- レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが OV_RST_MASK レジスタまたは UV_RST_MASK レジスタでマスクされていないとき、SEQ がローのとき、VIO ピンで低電圧イベントが発生して、そのフォルト・イベントが UV_RST_MASK レジスタでマスクされていないとき、もしくはいずれかのウォッチドッグ (WD0、WD1、または QA_WD) でフォルトが発生して、そのフォルトが $TRANSITION_MASK$ レジスタでマスクされていないとき、ノーマル・モードからシステム・エラー・モードに入ります。

- レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが **OV_RST_MASK** レジスタまたは **UV_RST_MASK** レジスタでマスクされていないとき、**SEQ** がローのとき、**VIO** ピンで低電圧イベントが発生して、そのフォルト・イベントが **UV_RST_MASK** レジスタでマスクされていないとき、もしくはいずれかのウォッチドッグ (**WD0**、**WD1**、または **QA_WD**) でフォルト・イベントが発生して、そのフォルトが **TRANSITION_MASK** レジスタでマスクされていないとき、ペリフェラル・エラー・モードからシステム・エラー・モードに入ります。
- スタンバイ・モードでイネーブルされているレギュレータのいずれかで過電圧または低電圧イベントが発生したとき、スタンバイ・モードからシステム・エラー・モードに入ります。

システム・エラー・モードの終了条件は以下のとおりです。

- SYS_EC** \geq **N_{EC,S}** となった場合。パワーダウン・モードに移行します。
- SYS_EC** $<$ **N_{EC,S}** となって、どの電源レールでも過熱イベントや過電圧イベントが発生していない場合。セルフチェック・モードに移行します。
- V_{AVIN}** $<$ **V_{AVIN,UVLO,F}**、**V_{AVDD}** $<$ **V_{AVDD,UVLO,F}**、または **V_{EN}** $<$ **V_{EN,F}** となったとき。イニシャル・モードに移行します。
- TSD** または **POR** となったとき、あるいは **V_{EN}** $<$ **V_{EN,RGH}** となったとき。シャットダウン・モードに移行します。

システム・エラー・モードではすべての電源レールがオフになり、ADP5140 は入力電圧、出力電圧、およびダイ温度をモニタします。システム・エラー・カウンタは加算され、**RESET** ピン、**FAULT** ピン、および **STATUS** ピンはローのままです。

システム・エラー・モードはペリフェラル・エラー・モードより優先度が高く設定されています。いずれかのモードの終了条件が、システム・エラー・モードとペリフェラル・エラー・モード両方の終了条件に合致する場合、デバイスは、ペリフェラル・エラー・モードではなくシステム・エラー・モードに入ります。

ペリフェラル・エラー・モード

V_{AVIN} $>$ **V_{AVIN,UVLO,R}**、**V_{AVDD}** $>$ **V_{AVDD,UVLO,R}**、および **V_{EN}** $>$ **V_{EN,R}** のときにペリフェラル・エラー・モードに入る条件は以下のとおりです。

- ペリフェラル・ランプアップがタイムアウトしたとき (**t_{EXP}**)、またはレギュレータ 3、レギュレータ 4、レギュレータ 6、レギュレータ 7、レギュレータ 8、またはレギュレータ 9 で過電圧イベントまたは低電圧イベントが発生したとき、ペリフェラル・ランプアップ・モードからペリフェラル・エラー・モードに入ります。
- レギュレータ 3、レギュレータ 4、レギュレータ 6、レギュレータ 7、レギュレータ 8、またはレギュレータ 9 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが **OV_FAULT_MASK** レジスタまたは **UV_FAULT_MASK** レジスタでマスクされていないとき、またはいずれかのウォッチドッグ (**WD0**、**WD1**、または **QA_WD**) でフォルトが発生して、そのフォルトが **TRANSITION_MASK** レジスタでマスクされていないとき、ノーマル・モードからペリフェラル・エラー・モードに入ります。

ペリフェラル・エラー・モードの終了条件は以下のとおりです。

- PER_EC** \geq **N_{EC,P}** の状態で **SPI_CMD1** コマンドを受信したとき。パワーダウン・モードに移行します。
- SPI_CMD3** コマンドを受信したとき。ペリフェラル・ランブアップ・モードに移行します。
- レギュレータ 1、レギュレータ 2、レギュレータ 5、レギュレータ 10、レギュレータ 11、またはレギュレータ 12 に過電圧または低電圧イベントが発生して、そのフォルト・イベントが **OV_RST_MASK** レジスタまたは **UV_RST_MASK** レジスタでマスクされていないとき、**SEQ** がローのとき、**VIO** ピンで低電圧イベントが発生して、そのフォルト・イベントが **UV_RST_MASK** レジスタでマスクされていないとき、もしくはいずれかのウォッチドッグ (**WD0**、**WD1**、または **QA_WD**) でフォルトが発生して、そのフォルトが **TRANSITION_MASK** レジスタでマスクされていないとき。システム・エラー・モードに移行します。
- V_{AVIN}** $<$ **V_{AVIN,UVLO,F}**、**V_{AVDD}** $<$ **V_{AVDD,UVLO,F}**、または **V_{EN}** $<$ **V_{EN,F}** のとき。イニシャル・モードに移行します。
- TSD** または **POR** となったとき、あるいは **V_{EN}** $<$ **V_{EN,RGH}** となったとき。シャットダウン・モードに移行します。

ペリフェラル・エラー・モードでは、ペリフェラル・カウンタが加算されます。**WD0** とシーケンシングされた **QA** ウォッチドッグがイネーブルされている場合、これらのウォッチドッグはこのモードでも機能します。**RESET** ピンはハイになり、**FAULT** ピンと **STATUS** ピンはローになります。

ペリフェラル・エラー・モードにおける電源レール管理は以下の条件で機能します。

- レギュレータ 3 でフォルトが発生した場合は、レギュレータ 3、レギュレータ 4、レギュレータ 6、レギュレータ 7、レギュレータ 8、およびレギュレータ 9 がオフになり、他のレギュレータは引き続き機能します。
- レギュレータ 3 でフォルトが発生しなかった場合は、レギュレータ 4、レギュレータ 6、レギュレータ 7、レギュレータ 8、およびレギュレータ 9 がオフになり、他のレギュレータは引き続き機能します。

スタンバイ・モード

ADP5140 はノーマル・モードからスタンバイ・モードになります。**V_{AVIN}** $>$ **V_{AVIN,UVLO,R}**、**V_{AVDD}** $>$ **V_{AVDD,UVLO,R}**、および **V_{EN}** $>$ **V_{EN,R}** のときに **WAKE** ピンがローでない場合、デバイスは **SPI_CMD2** コマンドを受信します。

スタンバイ・モードの終了条件は以下のとおりです。

- スタンバイ・モードで **WAKE** ピンがローになったとき。セルフチェック・モードに移行します。
- スタンバイ・モードでイネーブルされているレギュレータのいずれかで過電圧または低電圧イベントが発生したとき。システム・エラー・モードに移行します。
- V_{AVIN}** $<$ **V_{AVIN,UVLO,F}**、**V_{AVDD}** $<$ **V_{AVDD,UVLO,F}**、または **V_{EN}** $<$ **V_{EN,F}** となったとき。イニシャル・モードに移行します。
- TSD** または **POR** となったとき、あるいは **V_{EN}** $<$ **V_{EN,RGH}** となったとき。シャットダウン・モードに移行します。

スタンバイ・モードでアクティブにできるのは、レギュレータ 12、レギュレータ 11、レギュレータ 5、レギュレータ 3、レギュレータ 2 だけです。これは `STANDBY_RAIL_ACTIVE` レジスタで制御します。他のレギュレータはすべてオフになります。ウェイクアップ・ブロックはスタンバイ・モードで機能し、`WAKE` ピンをモニタします。`ADP5140` は入力電圧、出力電圧、およびダイ温度をモニタします。`RESET` ピン、`FAULT` ピン、および `STATUS` ピンはローのままです。

シャットダウン・モード

シャットダウン・モードに入る条件は以下のとおりです。

- サーマル・シャットダウンが発生したとき。
- 入力電圧が `POR` 閾値より低いとき。
- `EN` ピン電圧が `VEN_RGH` より低いとき。

シャットダウン・モードの終了条件は、`POR` を受信してイニシヤル・モードに入ること、および `VEN` が `VEN_RGH` より高いことです。

シャットダウン・モードではすべてのレギュレータがオフになります。`RESET` ピン、`FAULT` ピン、および `STATUS` ピンはローのままです。

アプリケーション情報

入力コンデンサの選択

入力コンデンサは、値が大きい方が、入力電圧リップルを減らし過渡応答を改善する上で有効です。電源ノイズを最小限に抑えるために、入力コンデンサは PVINx ピンのできるだけ近くに配置してください。入力コンデンサの定格電圧は、最大入力電圧より大きくする必要があります。

降圧レギュレータ用入力コンデンサの選択

入力コンデンサは、電源入力ピンのスイッチ電流に起因する入力電圧リップルを低減します。この入力コンデンサ、ハイサイド MOSFET、ローサイド MOSFET によって形成されるループはできるだけ小さくする必要があります。推奨されるのは 10μF～47μF のセラミック・コンデンサです。入力コンデンサの RMS 定格電流は、次式で計算される値よりも大きくしてください。

$$I_{CIN_RMS_BUCK} = I_{OUT_BUCK} \times \sqrt{D_{BUCK} \times (1 - D_{BUCK})}$$

ここで、

$I_{CIN_RMS_BUCK}$ は降圧入力コンデンサに流れる RMS 電流。

I_{OUT_BUCK} は降圧レギュレータの出力電流。

D_{BUCK} は降圧レギュレータのデューティ・サイクル ($D_{BUCK} = V_{OUT_BUCK}/V_{IN_BUCK}$) です。

昇圧レギュレータ用入力コンデンサの選択

昇圧レギュレータの入力電流は連続的で、電源入力ピンのスイッチ電流は小さいので、昇圧レギュレータ用の入力コンデンサには特に厳格な制約はありません。電圧定格が入力電圧より高い、代表値 10μF のセラミック・コンデンサが推奨されます。

LDO レギュレータ用入力コンデンサの選択

PCB レイアウトに対する回路の感度を下げるために、PVINx ピンと GND の間には 1μF 以上の低 ESR セラミック・コンデンサを接続しますが、これは、入力パターンが長い場合やソース・インピーダンスが高い場合は特に重要になります。1μF より大きい出力容量が必要な場合は、それに合わせて入力コンデンサを大きくしてください。

インダクタの選択

インダクタ値は、動作周波数、入力電圧、出力電圧、インダクタのリップル電流によって決まります。小さなインダクタ値を使用すると過渡応答は速くなりますが、インダクタのリップル電流が大きくなるので効率が低下します。大きなインダクタ値を使用すると、リップル電流が小さくなって効率が向上しますが、過渡応答は遅くなります。

降圧レギュレータ用インダクタの選択

過渡応答と効率のバランスが最もよくなるようにするには、0.33μH～1μH のインダクタが推奨されます。通常、インダクタのリップル電流 (ΔI_{L_BUCK}) は最大負荷電流の 1/3 に設定します。

インダクタ値は次式を使用して計算します。

$$L_{BUCK} = \frac{(V_{IN_BUCK} - V_{OUT_BUCK}) \times D_{BUCK}}{\Delta I_{L_BUCK} \times f_{SW}}$$

ここで、

V_{IN_BUCK} は降圧レギュレータの入力電圧。

V_{OUT_BUCK} は降圧レギュレータの出力電圧。

ΔI_{L_BUCK} は降圧レギュレータのインダクタ電流リップル。

f_{SW} はスイッチング周波数です。

ピーク・インダクタ電流を計算するには、次式を使用します。

$$I_{PEAK_BUCK} = I_{OUT_BUCK} + \frac{\Delta I_{L_BUCK}}{2}$$

ここで、

I_{PEAK_BUCK} は、降圧レギュレータのピーク・インダクタ電流です。

インダクタの飽和電流は、ピーク・インダクタ電流よりも大きくする必要があります。フェライト・コア・インダクタがすぐに飽和してしまうのを防ぐには、インダクタの定格飽和電流を降圧レギュレータの電流制限閾値より大きくする必要があります。

インダクタの RMS 電流 (I_{RMS_BUCK}) の計算には次式を使用します。

$$I_{RMS_BUCK} = \sqrt{I_{OUT_BUCK}^2 + \frac{\Delta I_{L_BUCK}^2}{12}}$$

低コア損失と低 EMI (電磁干渉) を実現するには、シールド付きフェライト・コア材料を使用することを推奨します。

昇圧レギュレータ用のインダクタの選択

過渡応答と効率のバランスが最もよくなるようにするには、2.2μH～10μH のインダクタが推奨されます。以下に示すように、通常、インダクタのリップル電流 (ΔI_{L_BOOST}) は平均インダクタ電流 (I_{AVE_BOOST}) の 1/3 に設定します。

$$I_{AVE_BOOST} = \frac{I_{OUT_BOOST}}{1 - D_{BOOST}}$$

ここで、

I_{OUT_BOOST} は昇圧レギュレータの出力電流。

D_{BOOST} は昇圧レギュレータのデューティ・サイクルです。

$$D_{BOOST} = \frac{V_{OUT_BOOST} - V_{IN_BOOST}}{V_{OUT_BOOST}}$$

インダクタ値は次式を使用して計算します。

$$L_{BOOST} = \frac{V_{IN_BOOST} \times D_{BOOST}}{\Delta I_{L_BOOST} \times f_{SW}}$$

ここで、

V_{IN_BOOST} は昇圧レギュレータの入力電圧です。

昇圧比が大きくなる (デューティ・サイクルが高くなる) につれて、平均インダクタ電流は急激に増加します。入力電圧範囲全体を通じて電流が限界値に達してしまわないように、十分に大きいインダクタを選ぶようにしてください。

ピーク・インダクタ電流の計算には次式を使用します。

$$I_{PEAK_BOOST} = \left(\frac{I_{OUT_BOOST}}{1 - D_{BOOST}} \right) + \frac{I_{PP_BOOST}}{2}$$

ここで、

I_{PEAK_BOOST} は昇圧レギュレータのピーク・インダクタ電流。
 I_{PP_BOOST} は、ピーク to ピーク・インダクタ・リップル電流です。

$$I_{PP_BOOST} = \frac{V_{IN_BOOST} \times D_{BOOST}}{L_{BOOST} \times f_{SW}}$$

ここで、 L_{BOOST} は昇圧レギュレータのインダクタ値です。

インダクタの飽和電流は、ピーク・インダクタ電流よりも大きくする必要があります。フェライト・コア・インダクタがすぐに飽和してしまうのを防止するには、インダクタの定格飽和電流を昇圧レギュレータの電流制限の閾値より大きくする必要があります。

出力コンデンサの選択

出力コンデンサの選択は、ADP5140 のレギュレータの出力電圧リップルと動的ループ特性の両方に影響を与えます。ADP5140 は、低等価直列抵抗 (ESR) で低等価直列インダクタンス (ESL) の小さいセラミック・コンデンサを使って機能しているので、出力電圧のリップル条件を簡単に満たすことができます。セラミック・コンデンサは様々な誘電体を使って作られているので、温度や印加電圧に対する動作がそれぞれ異なります。最適性能を得るには、低 ESR で温度係数が小さい X5R または X7R 誘電体を使用することを推奨します。

降圧レギュレータ用出力コンデンサの選択

負荷が急激に増加するステップ状の負荷過渡発生時は、制御ループがインダクタ電流をランプアップさせられるようになるまで、出力コンデンサが負荷への給電を行います。制御ループによって発生する遅延により、出力はアンダーシュートします。電圧降下の条件を満たすのに必要な出力容量の計算には、次式を使用します。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L_{BUCK}}{2 \times (V_{IN_BUCK} - V_{OUT_BUCK}) \times \Delta V_{OUT_UV}}$$

ここで、

K_{UV} は係数。代表的な設定値は $K_{UV} = 2$ 。

ΔI_{STEP} は負荷ステップ。

ΔV_{OUT_UV} は、降圧レギュレータの出力電圧の許容アンダーシュートです。

もう 1 つの例は、負荷が出力から突然切り離されて、インダクタに蓄積されたエネルギーが出力コンデンサに突入する場合、出力にオーバーシュートが発生します。

オーバーシュートの条件を満たすのに必要な出力容量を計算するには、次式を使用します。

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L_{BUCK}}{(V_{OUT_BUCK} + \Delta V_{OUT_OV})^2 - V_{OUT_BUCK}^2}$$

ここで、

K_{OV} は係数。代表的な設定値は $K_{OV} = 2$ 。

L_{BUCK} はインダクタ電流リップル。

ΔV_{OUT_OV} は降圧レギュレータの出力電圧の許容オーバーシュートです。次に示すように、降圧レギュレータが連続導通モードで動作する場合、総出力電圧リップルは、出力コンデンサの ESR から発生する電圧スパイクの和に出力コンデンサの充放電で発生する電圧リップルを加算した値です。

$$\Delta V_{RIPPLE_BUCK} = \Delta I_{L_BUCK} \times \left(\frac{1}{8 \times f_{SW} \times C_{OUT_RIPPLE_BUCK}} + ESR_{BUCK} \right)$$

ここで、

ΔV_{RIPPLE_BUCK} は降圧レギュレータの許容出力リップル電圧。

$C_{OUT_RIPPLE_BUCK}$ は、電圧リップル条件を満たすための出力容量。

ESR_{BUCK} は降圧レギュレータ用出力コンデンサの等価直列抵抗 (Ω) です。

次式に示すように、出力電圧リップルを低く抑えるには、ESR が低いコンデンサが適しています。

$$ESR_{BUCK} \leq \frac{\Delta V_{RIPPLE_BUCK}}{\Delta I_{L_BUCK}}$$

負荷過渡応答と出力リップル性能の両方を満たすように、 C_{OUT_UV} 、 C_{OUT_OV} 、および $C_{OUT_RIPPLE_BUCK}$ から得られる最大の出力容量を選択します。

昇圧レギュレータ用出力コンデンサの選択

昇圧レギュレータにおいては、インダクタ電流がランプアップする間は出力コンデンサが負荷電流を供給します。したがって、以下に示すように、必要な出力容量は常に出力リップルによって決まります。

$$\Delta V_{RIPPLE_BOOST} = \frac{I_{OUT_BOOST} \times D_{BOOST}}{C_{OUT_RIPPLE_BOOST} \times f_{SW}} + (ESR_{BOOST} \times I_{PEAK_BOOST})$$

ここで、

ΔV_{RIPPLE_BOOST} は昇圧レギュレータの許容出力リップル電圧。

ESR_{BOOST} は昇圧レギュレータ用出力コンデンサの等価直列抵抗値 (Ω) です。

ADP5140 の昇圧レギュレータの出力電圧は固定されています。代表値が $10\mu\text{F}$ 以上で低 ESR のセラミック・コンデンサを推奨します。容量値を大きくすると出力リップルが減って過渡応答が改善され、ループの安定性も向上します。

LDO レギュレータ用出力コンデンサの選択

LDO レギュレータの出力容量は主に負荷電流に依存します。一般に、負荷電流が大きくなるほど、安定した出力電圧を実現するために大きい出力容量が必要とされます。コンデンサの容量を大きくすると、負荷電流の大きな変化に対する LDO レギュレータの過渡応答が改善されます。

ADP5140 が内蔵する LDO レギュレータの出力コンデンサとしては、代表値 1μF～10μF のセラミック・コンデンサが推奨されます。

BUCK4 の低出力ノイズ設計

ADP5140 の代表的なシステム・アプリケーションでは BUCK4 がパワー・アンプに電力を供給しますが、これには低ノイズの入力が必要です。ADP5140 の BUCK4 は、内部アナログ・ブロックを最適化します。また、出力ノイズをできるだけ小さくするために、低ノイズ・リファレンス・アーキテクチャを採用しています。システム設計が、LDO レギュレータを使わずに ADP5140 の BUCK4 でパワー・アンプに直接給電する必要がある場合は、パワー・アンプのノイズに敏感な周波数範囲でスイッチング・リップルの基本波成分をさらに除去して低い出力ノイズを実現するために、第 1 の LC フィルタの後に第 2 の LC フィルタを新たに追加することを強く推奨します。

この第 2 の LC フィルタは負荷増大時に電圧降下を引き起こすので、この電圧降下をできるだけ小さくするために、DC 電流抵抗 (DCR) の小さいインダクタが推奨されます。これは、高電流アプリケーションでは特に重要です。

図 95 に示すように、ハイブリッド型の帰還方法を取ることができます。この方法は適切な安定マージンを提供し、BUCK4 に第 2 の LC フィルタを追加したアプリケーションのすべての負荷条件下で、出力精度を維持します。

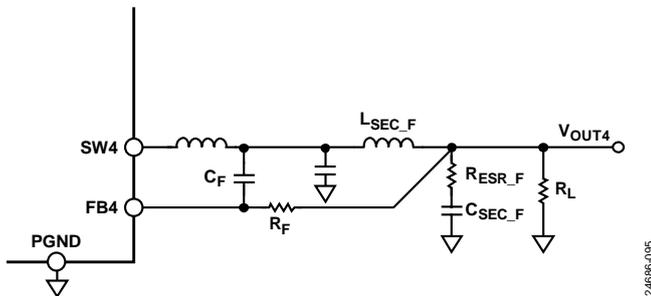


図 95. 第 2 の LC フィルタを追加した BUCK4 のハイブリッド型の帰還方法

ハイブリッド型の帰還方法の使用時に BUCK4 のループ安定性を維持するには、次式に示す部品の制約に従う必要があります。

$$R_F \times C_F > \frac{L_{SEC_F} \times C_{SEC_F}}{\frac{L_{SEC_F}}{R_L} + R_{ESR_F} \times C_{SEC_F}}$$

ここで、

R_F は帰還抵抗。

C_F は帰還コンデンサ。

L_{SEC_F} は第 2 の LC フィルタのインダクタ。

C_{SEC_F} は第 2 の LC フィルタのコンデンサ。

R_{ESR_F} は C_{SEC_F} の等価直列抵抗。

R_L は負荷抵抗です。

R_F と C_F の値は BUCK4 の負荷過渡性能を低下させる点に留意してください。これは、 R_F と C_F が負荷過渡時に入力電圧の RC フィルタとして作用するからです。ループ安定性と負荷過渡性能のバランスを取るために、 $R_F \times C_F$ は、上の式に示す最小制限値より 20%～30% 大きくすることを推奨します。

電圧変換の制限

それぞれのスイッチング・レギュレータには、最小オン時間と最小オフ時間があります。また、各スイッチング・レギュレータの入力電圧と出力電圧間の電圧変換にも制限があります。

降圧レギュレータ

特定の入力電圧とスイッチング周波数に対応する降圧レギュレータの最小出力電圧は、降圧レギュレータの最小オン時間による制約を受け、次式で計算できます。

$$V_{OUT_MIN} = V_{IN} \times t_{MIN_ON} \times f_{SW} - (R_{DSON_HS} - R_{DSON_LS}) \times I_{OUT_MIN} \times t_{MIN_ON} \times f_{SW} - (R_{DSON_LS} + R_L) \times I_{OUT_MIN}$$

ここで、

V_{OUT_MIN} は最小出力電圧。

V_{IN} は入力電圧。

t_{MIN_ON} は最小オン時間。

R_{DSON_HS} はハイサイド MOSFET のオン抵抗。

R_{DSON_LS} はローサイド MOSFET のオン抵抗。

I_{OUT_MIN} は最小出力電流。

R_L は、出力インダクタの直列抵抗値です。

特定の入力電圧とスイッチング周波数に対応する降圧レギュレータの最大出力電圧は、降圧レギュレータの最小オフ時間による制約を受け、次式で計算できます。

$$V_{OUT_MAX} = V_{IN} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DSON_HS} - R_{DSON_LS}) \times I_{OUT_MAX} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DSON_LS} + R_L) \times I_{OUT_MAX}$$

ここで、

V_{OUT_MAX} は、最大出力電圧。

t_{MIN_OFF} は最小オフ時間。

I_{OUT_MAX} は最大出力電流です。

昇圧レギュレータ

特定の出力電圧とスイッチング周波数に対応する昇圧レギュレータの最大入力電圧は、昇圧レギュレータの最小オン時間による制約を受け、次式を使って計算できます。

$$V_{IN_MAX} = V_{OUT} \times (1 - t_{MIN_ON} \times f_{SW}) + I_{OUT_MIN} \times (R_{DSON_MAIN} \times (1 - t_{MIN_ON} \times f_{SW}) + R_L + t_{MIN_ON} \times f_{SW} \times R_{DSON_SYNC}) / (1 - t_{MIN_ON} \times f_{SW})$$

ここで、

V_{IN_MAX} は最大入力電圧。

V_{OUT} は出力電圧。

t_{MIN_ON} は最小オン時間。

I_{OUT_MIN} は最小出力電流。

R_{DSON_MAIN} はメイン MOSFET のオン抵抗。

R_{DSON_SYNC} は同期 MOSFET のオン抵抗。

R_L は、出力インダクタの直列抵抗値です。

特定の出力電圧とスイッチング周波数に対応する昇圧レギュレータの最小入力電圧は、昇圧レギュレータの最小オフ時間による制約を受け、次式を使って計算できます。

$$V_{IN_MIN} = V_{OUT} \times t_{MIN_OFF} \times f_{SW} + I_{OUT_MAX} \times (R_{DSON_MAIN} \times t_{MIN_OFF} \times f_{SW} + R_L + (1 - t_{MIN_OFF} \times f_{SW}) \times R_{DSON_SYNC}) / (t_{MIN_OFF} \times f_{SW})$$

ここで、

V_{IN_MIN} は最小入力電圧。

t_{MIN_OFF} は最小オフ時間。

I_{OUT_MAX} は最大出力電流です。

PCB レイアウトに関する推奨事項

どのスイッチング電源にも高 di/Dt の経路を持つ回路がいくつか存在し、そのためにスパイクとノイズが発生します。例えば帰還パターンなどの回路経路はノイズに敏感なので、スパイクやノイズの影響が及ばないようにする必要があります。PCB レイアウトの鍵となるのは、これらの重要な経路を特定することと、それに応じて部品や銅面積を配置することです。

PCB レイアウトの設計時には、高電流のループを小さくします。さらに、敏感なパターンや部品を、スイッチング・ノードやその関連部品から離します。

ADP5140 の推奨 PCB レイアウトを図 96 に示します。ADP5140 では以下のレイアウト規則が推奨されます。

- 入力コンデンサ、出力コンデンサ、およびインダクタをできるだけ IC の近くに配置し、短いパターンを使用します。
- アナログ・グラウンド・プレーン (GND) と電源グラウンド・プレーンを分離します。出力分圧器の部品、リファレンス・コンデンサ、LDO レギュレータの出力コンデンサなど、敏感なアナログ回路のグラウンド・リファレンスをアナログ・グラウンドに接続してください。さらに、降圧レギュレータや昇圧レギュレータの入力コンデンサや出力コンデンサのような電源部品のグラウンド・リファレンスを電源

グラウンドに接続します。また、内部グラウンド・プレーンを使って、アナログ・グラウンド・プレーンと電源グラウンド・プレーンを接続します。

- ADP5140 の露出パッドを内部グラウンド・プレーンに接続します。
- 各スイッチング・レギュレータの入力電源パターンを分離します。BUCK1 と BUCK2 を例に挙げると、PVIN1 ピンと PVIN2 ピンは隣接していて通常は同じ入力電源に接続されますが、IC ピンの近くでこれらのピンを直接接続しないようにします。各 PVIN ピンをその入力コンデンサに接続する場合は、分離した入力パターンを使用してください。
- 高電流のループ・パターンはできるだけ短く、幅広くします。BUCKx レギュレータを例に挙げると、入力コンデンサからインダクタ、出力コンデンサ、電源グラウンド・プレーンを通して入力コンデンサに戻る高電流経路は、入力コンデンサと出力コンデンサが共通の電源グラウンド・プレーンを使うことによって、できるだけ短くします。
- ノイズの混入を防ぐために、帰還抵抗分圧器はできるだけ FBx ピンの近くに設置します。帰還パターンは高電流パターンとスイッチ・ノードから離して配置し、ノイズを拾わないようにしてください。

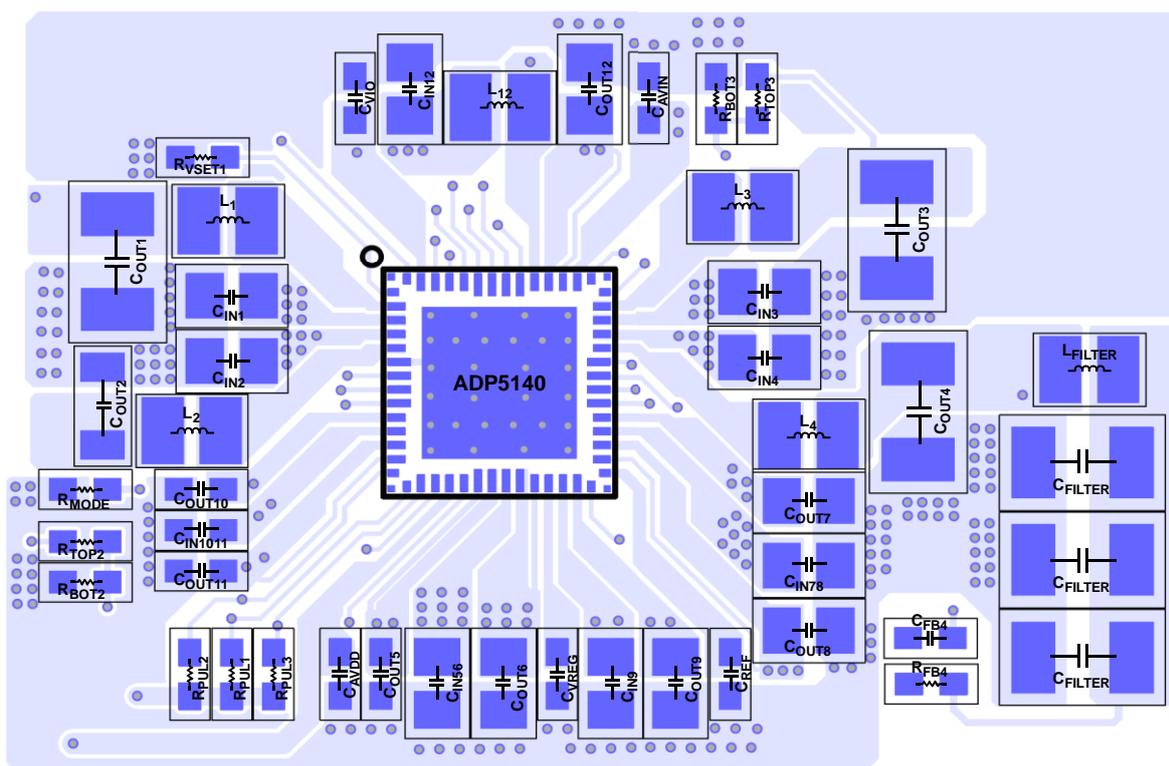


図 96. 推奨 PCB レイアウト

24686-096

SPI レジスタ・マップ

SPI レジスタの一覧

表 33. SPI レジスタの概要

Register Address	Register Name	Reset	Table Reference
0x0000	IF_CFGA	0xC3000000	表 34
0x0004	CLR_SPI_CNT	0x0	表 35
0x0008	CHIP_INFO1	0xC035140	表 36
0x000C	CHIP_INFO2	0x45600	表 37
0x0010	SPI_CRC_PARAM	0x555590D9	表 38
0x0014	SPI_CNT	0x0	表 39
0x001C	PMIC_PSWD	0x0	表 40
0x0020	QA_WD_ANSWER	0x0	表 41
0x0024	QA_WD_TOKEN	0x0	表 42
0x002C	SCRATCH_PAD	0x0	表 43
0x2000	FAIL_SAFE_PIN_TIMEOUT	0x0	表 44
0x2004	UV_STATUS	0x0	表 45
0x2008	OV_STATUS	0x0	表 46
0x200C	WARN_STATUS	0x0	表 47
0x2010	OT_STATUS	0x0	表 48
0x2014	OTHER_STATUS	0x0	表 49
0x2018	OTHER1_STATUS	0x0	表 50
0x201C	UV_LATCH	0x0	表 51
0x2020	OV_LATCH	0x0	表 52
0x2024	WARN_LATCH	0x0	表 53
0x2028	OT_LATCH	0x0	表 54
0x202C	OTHER_LATCH	0x0	表 55
0x2030	OTHER1_LATCH	0x0	表 56
0x2034	UV_RST_MASK	0x4C27	表 57
0x2038	OV_RST_MASK	0xC27	表 58
0x203C	WARN_RST_MASK	0x0	表 59
0x2040	OT_RST_MASK	0x0	表 60
0x2044	OTHER_RST_MASK	0x4	表 61
0x2048	OTHER1_RST_MASK	0x0	表 62
0x204C	UV_FAULT_MASK	0x4FFF	表 63
0x2050	OV_FAULT_MASK	0xFFF	表 64
0x2054	WARN_FAULT_MASK	0x0	表 65
0x2058	OT_FAULT_MASK	0x0	表 66
0x205C	OTHER_FAULT_MASK	0x3801FF	表 67
0x2060	OTHER1_FAULT_MASK	0xC0	表 68
0x2064	UV_INT_MASK	0x7FFF	表 69
0x2068	OV_INT_MASK	0x3FFF	表 70
0x206C	WARN_INT_MASK	0x3FFF	表 71
0x2070	OT_INT_MASK	0xFFF	表 72
0x2074	OTHER_INT_MASK	0x1F801FF	表 73
0x2078	OTHER1_INT_MASK	0xC0	表 74
0x207C	TRANSITION_MASK	0x0	表 75
0x8004	MODE_PIN_STATUS	0x0	表 76
0x8008	FREQ_CFG	0x0	表 77
0x800C	BUCK1_VOUT_SETTING	0x2F	表 78
0x8010	BUCK1_VOUT	0x0	表 79
0x8014	BUCK4_VOUT_SETTING	0x2	表 80
0x8018	BUCK_DVS_INTERVAL	0x0	表 81
0x801C	LDO1_VOUT_SETTING	0x1	表 82

Register Address	Register Name	Reset	Table Reference
0x8020	LDO2_VOUT_SETTING	0x1	表 83
0x8024	LDO3_VOUT_SETTING	0x1	表 84
0x8028	LDO4_VOUT_SETTING	0x1	表 85
0x802C	LDO5_VOUT_SETTING	0x1	表 86
0x8030	LDO6_VOUT_SETTING	0x1	表 87
0x8034	LDO7_VOUT_SETTING	0x1	表 88
0x8038	WARN_WINDOW	0x5555555	表 89
0x803C	FAULT_WINDOW	0xFAAAAAA	表 90
0x8040	ERROR_COUNT	0x3F	表 91
0x8044	SM_BIST_TRG	0x0	表 92
0x8048	SM_BIST_STATUS	0x0	表 93
0x804C	WDI0_PULSE_CTRL	0x0	表 94
0x8050	WDI0_PULSE_HIGH	0x47E	表 95
0x8054	WDI0_PULSE_LOW	0x352	表 96
0x8058	WDI0_PULSE_WIN_WIDTH	0x898	表 97
0x805C	WDI1_PULSE_CTRL	0x0	表 98
0x8060	WDI1_PULSE_HIGH	0x47E	表 99
0x8064	WDI1_PULSE_LOW	0x352	表 100
0x8068	WDI1_PULSE_WIN_WIDTH	0x898	表 101
0x806C	WDT0_CTRL	0x2C00A	表 102
0x8070	WDT0_WINDOW	0xEA63A98	表 103
0x8074	WDT0_CLEAR_VALUE	0x0	表 104
0x8078	WDT0_STATUS	0x0	表 105
0x807C	WDT0_CURRENT_VALUE	0x0	表 106
0x8080	WDT1_CTRL	0x2C00A	表 107
0x8084	WDT1_WINDOW	0xEA63A98	表 108
0x8088	WDT1_CURRENT_VALUE	0x0	表 109
0x808C	WDT1_CLEAR_VALUE	0x0	表 110
0x8090	WDT1_STATUS	0x0	表 111
0x8094	QA_WD_CTRL	0x35	表 112
0x8098	QA_WD_WINDOW	0x1E85	表 113
0x809C	QA_WD_CURRENT_VALUE	0x0	表 114
0x80A0	QA_WD_CLEAR_VALUE	0x0	表 115
0x80A4	QA_WD_STATUS	0x0	表 116
0x80A8	QA_WD_TOKEN_SEED	0x0	表 117
0x80AC	STANDBY_RAIL_ACTIVE	0x1F	表 118
0x80B0	SPI_CRC_CHECKSUM	0x0	表 119
0x80B4	SPI_CMD	0x0	表 120
0x80B8	VOLTAGE_BLANK_TIME0	0x2222222	表 121
0x80BC	VOLTAGE_BLANK_TIME1	0x2222222	表 122
0x80C0	SYSREG_CRC_CHECKSUM	0x0	表 123
0x80C4	SYSREG_CRC_GOLDEN	0x0	表 124
0x80C8	SYSREG_CRC_POLYSEED	0x555590D9	表 125
0x80CC	WAKEPIN_EVT	0x0	表 126
0x80D0	SYSCRC_EN	0x0	表 127
0x80D4	VM_TYP_CONFIGURATION	0x0	表 128
0x80D8	FUSE_PERIOD_CHK_TIMER	0x96	表 129
0x80F0	SPI_PIN_CTRL	0x0	表 130

レジスタ・ビットの説明

表 34. IF_CFGA、レジスタ・アドレス：0x0000

ビット	ビット名	説明	リセット	アクセス
[31:30]	COMM_MODE30_31	<p>COMM_MODE30_31、COMM_MODE24_25、COMM_MODE6_7、および COMM_MODE0_1 は、その組み合わせによって SPI の通信モードを設定します。</p> <p>モード 0 (リトル・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 00、および COMM_MODE0_1 = 00.</p> <p>モード 1 (リトル・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 11、COMM_MODE0_1 = 11.</p> <p>モード 2 (ビッグ・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 00、COMM_MODE0_1 = 00.</p> <p>モード 3 (ビッグ・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 11、および COMM_MODE0_1 = 11.</p>	0x3	R/W
[29:26]	RESERVED	予備。	0x0	R
[25:24]	COMM_MODE24_25	<p>COMM_MODE30_31、COMM_MODE24_25、COMM_MODE6_7、および COMM_MODE0_1 は、その組み合わせによって SPI の通信モードを設定します。</p> <p>モード 0 (リトル・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 00、および COMM_MODE0_1 = 00.</p> <p>モード 1 (リトル・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 11、および COMM_MODE0_1 = 11.</p> <p>モード 2 (ビッグ・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 00、および COMM_MODE0_1 = 00.</p> <p>モード 3 (ビッグ・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 11、および COMM_MODE0_1 = 11.</p>	0x3	R/W
[23:8]	RESERVED	予備。	0x0	R
[7:6]	COMM_MODE6_7	<p>COMM_MODE30_31、COMM_MODE24_25、COMM_MODE6_7、および COMM_MODE0_1 は、その組み合わせによって SPI の通信モードを設定します。</p> <p>モード 0 (リトル・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 00、および COMM_MODE0_1 = 00.</p> <p>モード 1 (リトル・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 11、COMM_MODE0_1 = 11.</p> <p>モード 2 (ビッグ・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 00、COMM_MODE0_1 = 00.</p> <p>モード 3 (ビッグ・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 11、および COMM_MODE0_1 = 11.</p>	0x0	R/W
[5:2]	RESERVED	予備。	0x0	R

ビット	ビット名	説明	リセット	アクセス
[1:0]	COMM_MODE0_1	<p>COMM_MODE30_31、COMM_MODE24_25、COMM_MODE6_7、および COMM_MODE0_1 は、その組み合わせによって SPI の通信モードを設定します。</p> <p>モード 0 (リトル・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 00、および COMM_MODE0_1 = 00.</p> <p>モード 1 (リトル・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 00、COMM_MODE24_25 = 00、COMM_MODE6_7 = 11、COMM_MODE0_1 = 11.</p> <p>モード 2 (ビッグ・エンディアン、MSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 00、COMM_MODE0_1 = 00.</p> <p>モード 3 (ビッグ・エンディアン、LSB) :</p> <p>COMM_MODE30_31 = 11、COMM_MODE24_25 = 11、COMM_MODE6_7 = 11、および COMM_MODE0_1 = 11.</p>	0x0	R/W

表 35. CLR_SPI_CNT、レジスタ・アドレス : 0x0004

ビット	ビット名	説明	リセット	アクセス
[32:2]	RESERVED	予備。	0x0	R
1	SPI_WRCNT_CLR	このビットに 1 を書き込むと、SPI 書込みカウンタがクリアされます。	0x0	R/W
0	SPI_RDCNT_CLR	このビットに 1 を書き込むと SPI 読み出しカウンタがクリアされます。	0x0	R/W

表 36. CHIP_INFO1、レジスタ・アドレス : 0x0008

ビット	ビット名	説明	リセット	アクセス
[31:24]	CHIP_TYPE	これらのビットは ADP5140 のチップ・タイプを決めるために使用します。デフォルト値は 0xC です。	0xC	R
[23:20]	PRODUCT_GRADE	これらのビットは、ADP5140 製品グレードを決めるために使用します。デフォルト値は 0x0 です。	0x0	R
[19:16]	DEVICE_REVISION	これらのビットは ADP5140 のデバイス・リビジョンを決めるために使用します。デフォルト値は 0x3 です。	0x3	R
[15:8]	PRODUCE_ID_UPBYTE	これらのビットは、製品 ID 値を決めるために PRODUCT_ID_LOWBYTE と組み合わせて使用します。デフォルト値は 0x51 です。	0x51	R
[7:0]	PRODUCE_ID_LOWBYTE	これらのビットは、製品 ID 値を決めるために PRODUCT_ID_UPBYTE と組み合わせて使用します。デフォルト値は 0x40 です。	0x40	R

表 37. CHIP_INFO2、レジスタ・アドレス : 0x000C

ビット	ビット名	説明	リセット	アクセス
[31:24]	RESERVED	予備。	0x0	R
[23:16]	VENDOR_ID_HI	これらのビットは、ベンダーID の上位バイトを記録します。	0x4	R
[15:8]	VENDOR_ID_LO	これらのビットは、ベンダーID の下位バイトを記録します。	0x56	R
[7:0]	SPI_REVISION	これらのビットは SPI のリビジョン番号を記録します。	0x0	R

表 38. SPI_CRC_PARAM、レジスタ・アドレス : 0x0010

ビット	ビット名	説明	リセット	アクセス
[31:16]	SPI_CRC_SEED	CRC 計算に使用する SPI 初期シード値。	0x5555	R/W
[15:0]	SPI_CRC_POLY	CRC 計算に使用する多項式の値。	0x90D9	R/W

表 39. SPI_CNT、レジスタ・アドレス : 0x0014

ビット	ビット名	説明	リセット	アクセス
[31:16]	WRITE_CNT	SPI 書き込みカウンタ。	0x0	R
[15:0]	READ_CNT	SPI 読出しカウンタ。	0x0	R

表 40. PMIC_PSWD、レジスタ・アドレス : 0x001C

ビット	ビット名	説明	デフォルト	アクセス
[31:0]	PMIC_PSWD	SPI レジスタへのアクセスは、正しいパスワードを書き込んで初めて有効になります。ただし、IF_CFGA、CLR_SPI_CNT、CHIP_INFO1、CHIP_INFO2、SPI_CRC_PARAM、SPI_CNT、PMIC_PSWD、QA_WD_ANSWER、QA_WD_TOKEN、および SCRATCH_PAD はこのパスワードで保護されていません。 0x5F6A8C3D : レジスタ・アクセスのロックを解除します。 その他の設定 : レジスタ・アドレスをロックします。	0x0	R/W

表 41. QA_WD_ANSWER、レジスタ・アドレス : 0x0020

ビット	ビット名	説明	リセット	アクセス
[31:0]	QA_WD_ANSWER	QA ウォッチドッグへのフィードを行うには、このレジスタに正しい回答を書き込みます。	0x0	R/W

表 42. QA_WD_TOKEN、レジスタ・アドレス : 0x0024

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:0]	QA_WD_TOKEN	これらのビットは、QA ウォッチドッグへの回答を生成するためのトークンです。	0x0	R

表 43. SCRATCH_PAD、レジスタ・アドレス : 0x002C

ビット	ビット名	説明	リセット	アクセス
[31:0]	SCRATCH_PAD	このレジスタは、レジスタの読出し/書き込みテストにのみ使用します。	0x0	R/W

表 44. FAIL_SAFE_PIN_TIMEOUT、レジスタ・アドレス : 0x2000

ビット	ビット名	説明	リセット	アクセス
[31:15]	RESERVED	予備。	0x0	R
[14:10]	STATUS_TIMEOUT[4:0]	STATUSピンのタイムアウトを設定します。範囲は 5 μ s~160 μ s、ステップは 5 μ s です。 タイムアウト (μ s) = 5 μ s + STATUS_TIMEOUT[4:0] \times 5 μ s	0x0	R/W
[9:5]	FAULT_TIMEOUT[4:0]	FAULTピンのタイムアウトを設定します。範囲は 5 μ s~160 μ s、ステップは 5 μ s です。 タイムアウト (μ s) = 5 μ s + FAULT_TIMEOUT[4:0] \times 5 μ s	0x0	R/W
[4:0]	RESET_TIMEOUT[4:0]	RESETピンのタイムアウトを設定します。範囲は 5 μ s~160 μ s、ステップは 5 μ s です。 タイムアウト (μ s) = 5 μ s + RESET_TIMEOUT[4:0] \times 5 μ s	0x0	R/W

表 45. UV_STATUS、レジスタ・アドレス : 0x2004

ビット	ビット名	説明	リセット	アクセス
[31:15]	RESERVED	予備。	0x0	R
14	VIO_UVLO_STATUS	VIO の低電圧ステータス。 0 : VIO で低電圧フォルトは発生していません。 1 : VIO で低電圧フォルトが発生しました。	0x0	R
13	VM1_UV_STATUS	VM1 の低電圧ステータス。 0 : VM1 は低電圧ではありません。 1 : VM1 が低電圧です。	0x0	R

ビット	ビット名	説明	リセット	アクセス
12	VM0_UV_STATUS	VM0の低電圧ステータス 0: VM0は低電圧ではありません。 1: VM0が低電圧です。	0x0	R
11	VOUT11_UV_STATUS	レギュレータ11の低電圧ステータス。 0: レギュレータ11は低電圧ではありません。 1: レギュレータ11が低電圧です。	0x0	R
10	VOUT10_UV_STATUS	レギュレータ10の低電圧ステータス。 0: レギュレータ10は低電圧ではありません。 1: レギュレータ10が低電圧です。	0x0	R
9	VOUT9_UV_STATUS	レギュレータ9の低電圧ステータス。 0: レギュレータ9は低電圧ではありません。 1: レギュレータ9が低電圧です。	0x0	R
8	VOUT8_UV_STATUS	レギュレータ8の低電圧ステータス。 0: レギュレータ8は低電圧ではありません。 1: レギュレータ8が低電圧です。	0x0	R
7	VOUT7_UV_STATUS	レギュレータ7の低電圧ステータス。 0: レギュレータ7は低電圧ではありません。 1: レギュレータ7が低電圧です。	0x0	R
6	VOUT6_UV_STATUS	レギュレータ6の低電圧ステータス。 0: レギュレータ6は低電圧ではありません。 1: レギュレータ6が低電圧です。	0x0	R
5	VOUT5_UV_STATUS	レギュレータ5の低電圧ステータス。 0: レギュレータ5は低電圧ではありません。 1: レギュレータ5が低電圧です。	0x0	R
4	VOUT4_UV_STATUS	レギュレータ4の低電圧ステータス。 0: レギュレータ4は低電圧ではありません。 1: レギュレータ4が低電圧です。	0x0	R
3	VOUT3_UV_STATUS	レギュレータ3の低電圧ステータス。 0: レギュレータ3は低電圧ではありません。 1: レギュレータ3が低電圧です。	0x0	R
2	VOUT2_UV_STATUS	レギュレータ2の低電圧ステータス。 0: レギュレータ2は低電圧ではありません。 1: レギュレータ2が低電圧です。	0x0	R
1	VOUT1_UV_STATUS	レギュレータ1の低電圧ステータス。 0: レギュレータ1は低電圧ではありません。 1: レギュレータ1が低電圧です。	0x0	R
0	VOUT12_UV_STATUS	レギュレータ12の低電圧ステータス。 0: レギュレータ12は低電圧ではありません。 1: レギュレータ12が低電圧です。	0x0	R

表 46. OV_STATUS、レジスタ・アドレス : 0x2008

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_OV_STATUS	VM1 の過電圧ステータス。 0 : VM1 は過電圧ではありません。 1 : VM1 が過電圧です。	0x0	R
12	VM0_OV_STATUS	VM0 の過電圧ステータス。 0 : VM0 は過電圧ではありません。 1 : VM0 が過電圧です。	0x0	R
11	VOUT11_OV_STATUS	レギュレータ 11 の過電圧ステータス 0 : レギュレータ 11 は過電圧ではありません。 1 : レギュレータ 11 が過電圧です。	0x0	R
10	VOUT10_OV_STATUS	レギュレータ 10 の過電圧ステータス。 0 : レギュレータ 10 は過電圧ではありません。 1 : レギュレータ 10 が過電圧です。	0x0	R
9	VOUT9_OV_STATUS	レギュレータ 9 の過電圧ステータス。 0 : レギュレータ 9 は過電圧ではありません。 1 : レギュレータ 9 が過電圧です。	0x0	R
8	VOUT8_OV_STATUS	レギュレータ 8 の過電圧ステータス。 0 : レギュレータ 8 は過電圧ではありません。 1 : レギュレータ 8 が過電圧です。	0x0	R
7	VOUT7_OV_STATUS	レギュレータ 7 の過電圧ステータス。 0 : レギュレータ 7 は過電圧ではありません。 1 : レギュレータ 7 が過電圧です。	0x0	R
6	VOUT6_OV_STATUS	レギュレータ 6 の過電圧ステータス。 0 : レギュレータ 6 は過電圧ではありません。 1 : レギュレータ 6 が過電圧です。	0x0	R
5	VOUT5_OV_STATUS	レギュレータ 5 の過電圧ステータス。 0 : レギュレータ 5 は過電圧ではありません。 1 : レギュレータ 5 が過電圧です。	0x0	R
4	VOUT4_OV_STATUS	レギュレータ 4 の過電圧ステータス。 0 : レギュレータ 4 は過電圧ではありません。 1 : レギュレータ 4 が過電圧です。	0x0	R
3	VOUT3_OV_STATUS	レギュレータ 3 の過電圧ステータス。 0 : レギュレータ 3 は過電圧ではありません。 1 : レギュレータ 3 が過電圧です。	0x0	R
2	VOUT2_OV_STATUS	レギュレータ 2 の過電圧ステータス。 0 : レギュレータ 2 は過電圧ではありません。 1 : レギュレータ 2 が過電圧です。	0x0	R
1	VOUT1_OV_STATUS	レギュレータ 1 の過電圧ステータス。 0 : レギュレータ 1 は過電圧ではありません。 1 : レギュレータ 1 が過電圧です。	0x0	R
0	VOUT12_OV_STATUS	レギュレータ 12 の過電圧ステータス。 0 : レギュレータ 12 は過電圧ではありません。 1 : レギュレータ 12 が過電圧です。	0x0	R

表 47. WARN_STATUS、レジスタ・アドレス : 0x200C

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_WARN_STATUS	VM1 の警告ステータス。 0 : VM1 に関する警告はありません。 1 : VM1 の電圧が警告閾値を超えます。	0x0	R
12	VM0_WARN_STATUS	VM0 の警告ステータス 0 : VM0 に関する警告はありません。 1 : VM0 の電圧が警告閾値を超えます。	0x0	R
11	VOUT11_WARN_STATUS	レギュレータ 11 の警告ステータス。 0 : レギュレータ 11 に関する警告はありません。 1 : レギュレータ 11 の電圧が警告閾値を超えます。	0x0	R
10	VOUT10_WARN_STATUS	レギュレータ 10 の警告ステータス。 0 : レギュレータ 10 に関する警告はありません。 1 : レギュレータ 10 の電圧が警告閾値を超えます。	0x0	R
9	VOUT9_WARN_STATUS	レギュレータ 9 の警告ステータス。 0 : レギュレータ 9 に関する警告はありません。 1 : レギュレータ 9 の電圧が警告閾値を超えます。	0x0	R
8	VOUT8_WARN_STATUS	レギュレータ 8 の警告ステータス。 0 : レギュレータ 8 に関する警告はありません。 1 : レギュレータ 8 の電圧が警告閾値を超えます。	0x0	R
7	VOUT7_WARN_STATUS	レギュレータ 7 の警告ステータス。 0 : レギュレータ 7 に関する警告はありません。 1 : レギュレータ 7 の電圧が警告閾値を超えます。	0x0	R
6	VOUT6_WARN_STATUS	レギュレータ 6 の警告ステータス。 0 : レギュレータ 6 に関する警告はありません。 1 : レギュレータ 6 の電圧が警告閾値を超えます。	0x0	R
5	VOUT5_WARN_STATUS	レギュレータ 5 の警告ステータス。 0 : レギュレータ 5 に関する警告はありません。 1 : レギュレータ 5 の電圧が警告閾値を超えます。	0x0	R
4	VOUT4_WARN_STATUS	レギュレータ 4 の警告ステータス。 0 : レギュレータ 4 に関する警告はありません。 1 : レギュレータ 4 の電圧が警告閾値を超えます。	0x0	R
3	VOUT3_WARN_STATUS	レギュレータ 3 の警告ステータス。 0 : レギュレータ 3 に関する警告はありません。 1 : レギュレータ 3 の電圧が警告閾値を超えます。	0x0	R
2	VOUT2_WARN_STATUS	レギュレータ 2 の警告ステータス。 0 : レギュレータ 2 に関する警告はありません。 1 : レギュレータ 2 の電圧が警告閾値を超えます。	0x0	R
1	VOUT1_WARN_STATUS	レギュレータ 1 の警告ステータス。 0 : レギュレータ 1 に関する警告はありません。 1 : レギュレータ 1 の電圧が警告閾値を超えます。	0x0	R
0	VOUT12_WARN_STATUS	レギュレータ 12 の警告ステータス。 0 : レギュレータ 12 に関する警告はありません。 1 : レギュレータ 12 の電圧が警告閾値を超えます。	0x0	R

表 48. OT_STATUS、レジスタ・アドレス : 0x2010

ビット	ビット名	説明	リセット	アクセス
[31:12]	RESERVED	予備。	0x0	R
11	VOUT12_OT_STATUS	レギュレータ 12 の過熱ステータス。 0 : レギュレータ 12 は過熱していません。 1 : レギュレータ 12 が過熱しています。	0x0	R
10	VOUT4_OT_STATUS	レギュレータ 4 の過熱ステータス。 0 : レギュレータ 4 は過熱していません。 1 : レギュレータ 4 が過熱しています。	0x0	R
9	VOUT3_OT_STATUS	レギュレータ 3 の過熱ステータス。 0 : レギュレータ 3 は過熱していません。 1 : レギュレータ 3 が過熱しています。	0x0	R
8	VOUT2_OT_STATUS	レギュレータ 2 の過熱ステータス。 0 : レギュレータ 2 は過熱していません。 1 : レギュレータ 2 が過熱しています。	0x0	R
7	VOUT1_OT_STATUS	レギュレータ 1 の過熱ステータス。 0 : レギュレータ 1 は過熱していません。 1 : レギュレータ 1 が過熱しています。	0x0	R
6	VOUT11_OT_STATUS	レギュレータ 11 の過熱ステータス。 0 : レギュレータ 11 は過熱していません。 1 : レギュレータ 11 が過熱しています。	0x0	R
5	VOUT10_OT_STATUS	レギュレータ 10 の過熱ステータス。 0 : レギュレータ 10 は過熱していません。 1 : レギュレータ 10 が過熱しています。	0x0	R
4	VOUT9_OT_STATUS	レギュレータ 9 の過熱ステータス。 0 : レギュレータ 9 は過熱していません。 1 : レギュレータ 9 が過熱しています。	0x0	R
3	VOUT8_OT_STATUS	レギュレータ 8 の過熱ステータス。 0 : レギュレータ 8 は過熱していません。 1 : レギュレータ 8 が過熱しています。	0x0	R
2	VOUT7_OT_STATUS	レギュレータ 7 の過熱ステータス。 0 : レギュレータ 7 は過熱していません。 1 : レギュレータ 7 が過熱しています。	0x0	R
1	VOUT6_OT_STATUS	レギュレータ 6 の過熱ステータス。 0 : レギュレータ 6 は過熱していません。 1 : レギュレータ 6 が過熱しています。	0x0	R
0	VOUT5_OT_STATUS	レギュレータ 5 の過熱ステータス。 0 : レギュレータ 5 は過熱していません。 1 : レギュレータ 5 が過熱しています。	0x0	R

表 49. OTHER_STATUS、レジスタ・アドレス：0x2014

ビット	ビット名	説明	リセット	アクセス
[31:29]	RESERVED	予備。	0x0	R
28	WDI1_EXT_STATUS	WDI1 がディスエーブルされているときの WDI1 の立下がりエッジ検出。 0：WDI1 で立下がりエッジは検出されませんでした。 1：WDI1 で立下がりエッジが検出されました。	0x0	R
27	WDI0_EXT_STATUS	WDI0 がディスエーブルされているときの WDI0 の立下がりエッジ検出。 0：WDI0 で立下がりエッジは検出されませんでした。 1：WDI0 で立下がりエッジが検出されました。	0x0	R
26	VSET1_DETECTION_STATUS	VSET1 ピンの検出ステータス。 0：VSET1 ピンの検出に成功しました。 1：VSET1 ピンの検出に失敗しました。	0x0	R
25	MODE_DETECTION_STATUS	MODE ピンの検出ステータス 0：MODE ピンの検出に成功しました。 1：MODE ピンの検出に失敗しました。	0x0	R
24	SYNC_STATUS	同期入力として設定したときの同期ステータス。 0：同期が完了しました。 1：同期に失敗しました。	0x0	R
23	WDI1_PULSE_STATUS	WDI1 ピンのパルス・モニタ・ステータス。 0：WDI1 のパルスは範囲内です。 1：WDI1 のパルスは範囲外です。	0x0	R
22	WDI0_PULSE_STATUS	WDI0 ピンのパルス・モニタ・ステータス。 0：WDI0 のパルスは範囲内です。 1：WDI0 のパルスは範囲外です。	0x0	R
21	CLKM_FAIL_STATUS	クロック・モニタ・フェイル・ステータス。 0：クロック・ドリフトは発生していません。 1：クロック・ドリフトが発生しました。	0x0	R
20	SHR_CRC_STATUS	シャドウ・レジスタの CRC エラー・ステータス 0：CRC エラーはありません。 1：CRC エラー。	0x0	R
19	SHR_ECC_STATUS	シャドウ・レジスタの 2 ビット ECC エラー・ステータス。 0：2 ビット ECC エラーはありません。 1：2 ビット ECC エラー。	0x0	R
18	$\overline{\text{STATUS_EXT_STATUS}}$	$\overline{\text{STATUS}}$ ピンの外部フェイル。 0： $\overline{\text{STATUS}}$ ピンの出力ピン・フェイルはありません。 1： $\overline{\text{STATUS}}$ ピンの出力ピン・フェイル。	0x0	R
17	$\overline{\text{FAULT_EXT_STATUS}}$	$\overline{\text{FAULT}}$ ピンの外部フェイル。 0： $\overline{\text{FAULT}}$ ピンの出力ピン・フェイルはありません。 1： $\overline{\text{FAULT}}$ ピンの出力ピン・フェイル。	0x0	R
16	$\overline{\text{RESET_EXT_STATUS}}$	$\overline{\text{RESET}}$ ピンの外部フェイル。 0： $\overline{\text{RESET}}$ ピンの出力ピン・フェイルはありません。 1： $\overline{\text{RESET}}$ ピンの出力ピン・フェイル。	0x0	R
[15:9]	RESERVED	予備	0x0	R

ビット	ビット名	説明	リセット	アクセス
8	SPI_FMT_ERR_STATUS	SPI フォーマット・エラー・ステータス。 0 : エラーなし。 1 : エラー。	0x0	R
7	SPI_RDD_ERR_STATUS	SPI 冗長エラー・ステータス。 0 : エラーなし。 1 : エラー。	0x0	R
6	SPI_CLK_ERR_STATUS	SPI クロック・エラー・ステータス。 0 : エラーなし。 1 : エラー。	0x0	R
5	SPI_ACCESS_FAIL	ロックされていないレジスタへの SPI アクセスによるフェイル 0 : フェイルなし。 1 : ロックされていないレジスタへの SPI アクセス。	0x0	R
4	SPI_ADDR_FAIL	SPI がアクセスしたアドレスによるフェイル。 0 : アドレス・フェイルなし。 1 : SPI が誤ったアドレスにアクセス。	0x0	R
3	SPI_CRC_FAIL	SPI の CRC ステータス。 0 : SPI の CRC フェイルなし。 1 : SPI の CRC フェイル。	0x0	R
2	QA_WD_FAIL	QA ウォッチドッグ・フェイル。 0 : QA ウォッチドッグのフェイルなし。 1 : QA ウォッチドッグのフェイル。	0x0	R
1	WD1_FAIL	WD1 のフェイル。 0 : WD1 にフェイルなし。 1 : WD1 のフェイル。	0x0	R
0	WD0_FAIL	WD0 のフェイル。 0 : WD0 にフェイルなし。 1 : WD0 のフェイル。	0x0	R

表 50. OTHER1_STATUS、レジスタ・アドレス : 0x2018

ビット	ビット名	説明	リセット	アクセス
[31:19]	RESERVED	予備。	0x0	R
18	FB8_RECAP_SHORT_STATUS	FB8 と RECAP の短絡イベントのステータス。 0 : FB8 および RECAP は短絡していません。 1 : FB8 と RECAP が短絡しています。	0x0	R
17	VREG_GOOD_STATUS	VREG のグッド・ステータス。 0 : VREG は良好な状態にありません。 1 : VREG は良好な状態です。	0x0	R
16	PIN_OPEN_FAULT_LDO7_STATUS	LDO7 ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R
15	PIN_OPEN_FAULT_LDO6_STATUS	LDO6 ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R

ビット	ビット名	説明	リセット	アクセス
14	PIN_OPEN_FAULT_LDO5_STATUS	LDO5 ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R
13	PIN_OPEN_FAULT_LDO4_STATUS	LDO4 ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R
12	PIN_OPEN_FAULT_LDO3_STATUS	LDO3 ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R
11	PIN_OPEN_FAULT_LDO2_STATUS	LDO2 ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R
10	PIN_OPEN_FAULT_LDO1_STATUS	LDO1 ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R
9	PIN_OPEN_FAULT_BOOST_STATUS	BOOST ピンのオープン・フォルト・ステータス。 0 = オープン・フォルトなし。 1 = オープン・フォルト。	0x0	R
8	WAKE_FALLING_EVT_STATUS	WAKE ピンの立下がりイベントのステータス。 0 : WAKE ピンで立下がりイベントは発生していません。 1 : WAKE ピンで立下がりイベントが発生しました。	0x0	R
7	SYS_REG_CRC_ERR_STATUS	システム・レジスタの CRC エラー・ステータス 0 : エラーなし。 1 : エラー。	0x0	R
6	TSD_STATUS	TSD のステータス 0 : TSD は発生していません。 1 : TSD が発生しました。	0x0	R
5	LDO5_INPUT_OVLO_STATUS	LDO5 入力過電圧のステータス。 0 : 過電圧なし。 1 : 過電圧。	0x0	R
4	LDO3_INPUT_OVLO_STATUS	LDO3 入力過電圧のステータス。 0 : 過電圧なし。 1 : 過電圧。	0x0	R
3	LDO1_INPUT_OVLO_STATUS	LDO1 入力過電圧のステータス。 0 : 過電圧なし。 1 : 過電圧。	0x0	R
2	LDO5_INPUT_UVLO_STATUS	LDO5 入力低電圧ステータス 0 : 低電圧なし。 1 : 低電圧。	0x0	R
1	LDO3_INPUT_UVLO_STATUS	LDO3 入力低電圧ステータス 0 : 低電圧なし。 1 : 低電圧。	0x0	R

ビット	ビット名	説明	リセット	アクセス
0	LDO1_INPUT_UVLO_STATUS	LDO1 入力低電圧ステータス。 0 : 低電圧なし。 1 : 低電圧。	0x0	R

表 51. UV_LATCH¹、レジスタ・アドレス : 0x201C

ビット	ビット名	説明	リセット	アクセス
[31:15]	RESERVED	予備。	0x0	R
14	VIO_UVLO_LATCH	VIO の低電圧イベントをラッチします。 0 : VIO で低電圧は発生していません。 1 : VIO で低電圧が発生しました。	0x0	R
13	VM1_UV_LATCH	VM1 の低電圧イベントをラッチします。 0 : VM1 で低電圧は発生していません。 1 : VM1 で低電圧が発生しました。	0x0	R
12	VM0_UV_LATCH	VM0 の低電圧イベントをラッチします。 0 : VM0 で低電圧は発生していません。 1 : VM0 で低電圧が発生しました。	0x0	R
11	VOUT11_UV_LATCH	レギュレータ 11 の低電圧イベントをラッチします。 0 : レギュレータ 11 で低電圧は発生していません。 1 : レギュレータ 11 で低電圧が発生しました。	0x0	R
10	VOUT10_UV_LATCH	レギュレータ 10 の低電圧イベントをラッチします。 0 : レギュレータ 10 で低電圧は発生していません。 1 : レギュレータ 10 で低電圧が発生しました。	0x0	R
9	VOUT9_UV_LATCH	レギュレータ 9 の低電圧イベントをラッチします。 0 : レギュレータ 9 で低電圧は発生していません。 1 : レギュレータ 9 で低電圧が発生しました。	0x0	R
8	VOUT8_UV_LATCH	レギュレータ 8 の低電圧イベントをラッチします。 0 : レギュレータ 8 で低電圧は発生していません。 1 : レギュレータ 8 で低電圧が発生しました。	0x0	R
7	VOUT7_UV_LATCH	レギュレータ 7 の低電圧イベントをラッチします。 0 : レギュレータ 7 で低電圧は発生していません。 1 : レギュレータ 7 で低電圧が発生しました。	0x0	R
6	VOUT6_UV_LATCH	レギュレータ 6 の低電圧イベントをラッチします。 0 : レギュレータ 6 で低電圧は発生していません。 1 : レギュレータ 6 で低電圧が発生しました。	0x0	R
5	VOUT5_UV_LATCH	レギュレータ 5 の低電圧イベントをラッチします。 0 : レギュレータ 5 で低電圧は発生していません。 1 : レギュレータ 5 で低電圧が発生しました。	0x0	R
4	VOUT4_UV_LATCH	レギュレータ 4 の低電圧イベントをラッチします。 0 : レギュレータ 4 で低電圧は発生していません。 1 : レギュレータ 4 で低電圧が発生しました。	0x0	R
3	VOUT3_UV_LATCH	レギュレータ 3 の低電圧イベントをラッチします。 0 : レギュレータ 3 で低電圧は発生していません。 1 : レギュレータ 3 で低電圧が発生しました。	0x0	R

ビット	ビット名	説明	リセット	アクセス
2	VOUT2_UV_LATCH	レギュレータ 2 の低電圧イベントをラッチします。 0 : レギュレータ 2 で低電圧は発生していません。 1 : レギュレータ 2 で低電圧が発生しました。	0x0	R
1	VOUT1_UV_LATCH	レギュレータ 1 の低電圧イベントをラッチします。 0 : レギュレータ 1 で低電圧は発生していません。 1 : レギュレータ 1 で低電圧が発生しました。	0x0	R
0	VOUT12_UV_LATCH	レギュレータ 12 の低電圧イベントをラッチします。 0 : レギュレータ 12 で低電圧は発生していません。 1 : レギュレータ 12 で低電圧が発生しました。	0x0	R

¹ クリアするには 1 を書込みます。

表 52. OV_LATCH¹、レジスタ・アドレス : 0x2020

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_OV_LATCH	VM1 の過電圧イベントをラッチします。 0 : VM1 で過電圧は発生していません。 1 : VM1 で過電圧が発生しました。	0x0	R
12	VM0_OV_LATCH	VM0 の過電圧イベントをラッチします。 0 : VM0 で過電圧は発生していません。 1 : VM0 で過電圧が発生しました。	0x0	R
11	VOUT11_OV_LATCH	レギュレータ 11 の過電圧イベントをラッチします。 0 : レギュレータ 11 で過電圧は発生していません。 1 : レギュレータ 11 で過電圧が発生しました。	0x0	R
10	VOUT10_OV_LATCH	レギュレータ 10 の過電圧イベントをラッチします。 0 : レギュレータ 10 で過電圧は発生していません。 1 : レギュレータ 10 で過電圧が発生しました。	0x0	R
9	VOUT9_OV_LATCH	レギュレータ 9 の過電圧イベントをラッチします。 0 : レギュレータ 9 で過電圧は発生していません。 1 : レギュレータ 9 で過電圧が発生しました。	0x0	R
8	VOUT8_OV_LATCH	レギュレータ 8 の過電圧イベントをラッチします。 0 : レギュレータ 8 で過電圧は発生していません。 1 : レギュレータ 8 で過電圧が発生しました。	0x0	R
7	VOUT7_OV_LATCH	レギュレータ 7 の過電圧イベントをラッチします。 0 : レギュレータ 7 で過電圧は発生していません。 1 : レギュレータ 7 で過電圧が発生しました。	0x0	R
6	VOUT6_OV_LATCH	レギュレータ 6 の過電圧イベントをラッチします。 0 : レギュレータ 6 で過電圧は発生していません。 1 : レギュレータ 6 で過電圧が発生しました。	0x0	R
5	VOUT5_OV_LATCH	レギュレータ 5 の過電圧イベントをラッチします。 0 : レギュレータ 5 で過電圧は発生していません。 1 : レギュレータ 5 で過電圧が発生しました。	0x0	R

ビット	ビット名	説明	リセット	アクセス
4	VOUT4_OV_LATCH	レギュレータ 4 の過電圧イベントをラッチします。 0 : レギュレータ 4 で過電圧は発生していません。 1 : レギュレータ 4 で過電圧が発生しました。	0x0	R
3	VOUT3_OV_LATCH	レギュレータ 3 の過電圧イベントをラッチします。 0 : レギュレータ 3 で過電圧は発生していません。 1 : レギュレータ 3 で過電圧が発生しました。	0x0	R
2	VOUT2_OV_LATCH	レギュレータ 2 の過電圧イベントをラッチします。 0 : レギュレータ 2 で過電圧は発生していません。 1 : レギュレータ 2 で過電圧が発生しました。	0x0	R
1	VOUT1_OV_LATCH	レギュレータ 1 の過電圧イベントをラッチします。 0 : レギュレータ 1 で過電圧は発生していません。 1 : レギュレータ 1 で過電圧が発生しました。	0x0	R
0	VOUT12_OV_LATCH	レギュレータ 12 の過電圧イベントをラッチします。 0 : レギュレータ 12 で過電圧は発生していません。 1 : レギュレータ 12 で過電圧が発生しました。	0x0	R

¹ クリアするには 1 を書込みます。

表 53. WARN_LATCH¹、レジスタ・アドレス : 0x2024

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_WARN_LATCH	VM1 の警告イベントをラッチします。 0 : VM1 で警告は発生していません。 1 : VM1 で警告が発生しました。	0x0	R
12	VM0_WARN_LATCH	VM0 の警告イベントをラッチします。 0 : VM0 で警告は発生していません。 1 : VM0 で警告が発生しました。	0x0	R
11	VOUT11_WARN_LATCH	レギュレータ 11 の警告イベントをラッチします。 0 : レギュレータ 11 で警告は発生していません。 1 : レギュレータ 11 で警告が発生しました。	0x0	R
10	VOUT10_WARN_LATCH	レギュレータ 10 の警告イベントをラッチします。 0 : レギュレータ 10 で警告は発生していません。 1 : レギュレータ 10 で警告が発生しました。	0x0	R
9	VOUT9_WARN_LATCH	レギュレータ 9 の警告イベントをラッチします。 0 : レギュレータ 9 で警告は発生していません。 1 : レギュレータ 9 で警告が発生しました。	0x0	R
8	VOUT8_WARN_LATCH	レギュレータ 8 の警告イベントをラッチします。 0 : レギュレータ 8 で警告は発生していません。 1 : レギュレータ 8 で警告が発生しました。	0x0	R
7	VOUT7_WARN_LATCH	レギュレータ 7 の警告イベントをラッチします。 0 : レギュレータ 7 で警告は発生していません。 1 : レギュレータ 7 で警告が発生しました。	0x0	R

ビット	ビット名	説明	リセット	アクセス
6	VOUT6_WARN_LATCH	レギュレータ 6 の警告イベントをラッチします。 0: レギュレータ 6 で警告は発生していません。 1: レギュレータ 6 で警告が発生しました。	0x0	R
5	VOUT5_WARN_LATCH	レギュレータ 5 の警告イベントをラッチします。 0: レギュレータ 5 で警告は発生していません。 1: レギュレータ 5 で警告が発生しました。	0x0	R
4	VOUT4_WARN_LATCH	レギュレータ 4 の警告イベントをラッチします。 0: レギュレータ 4 で警告は発生していません。 1: レギュレータ 4 で警告が発生しました。	0x0	R
3	VOUT3_WARN_LATCH	レギュレータ 3 の警告イベントをラッチします。 0: レギュレータ 3 で警告は発生していません。 1: レギュレータ 3 で警告が発生しました。	0x0	R
2	VOUT2_WARN_LATCH	レギュレータ 2 の警告イベントをラッチします。 0: レギュレータ 2 で警告は発生していません。 1: レギュレータ 2 で警告が発生しました。	0x0	R
1	VOUT1_WARN_LATCH	レギュレータ 1 の警告イベントをラッチします。 0: レギュレータ 1 で警告は発生していません。 1: レギュレータ 1 で警告が発生しました。	0x0	R
0	VOUT12_WARN_LATCH	レギュレータ 12 の警告イベントをラッチします。 0: レギュレータ 12 で警告は発生していません。 1: レギュレータ 12 で警告が発生しました。	0x0	R

¹ クリアするには 1 を書込みます。

表 54. OT_LATCH¹、レジスタ・アドレス : 0x2028

ビット	ビット名	説明	リセット	アクセス
[31:12]	RESERVED	予備。	0x0	R
11	VOUT12_OT_LATCH	レギュレータ 12 の過熱イベントをラッチします。 0: レギュレータ 12 で過熱は発生していません。 1: レギュレータ 12 で過熱が発生しました。	0x0	R
10	VOUT4_OT_LATCH	レギュレータ 4 の過熱イベントをラッチします。 0: レギュレータ 4 で過熱発生していません。 1: レギュレータ 4 で過熱が発生しました。	0x0	R
9	VOUT3_OT_LATCH	レギュレータ 3 の過熱イベントをラッチします。 0: レギュレータ 3 で過熱は発生していません。 1: レギュレータ 3 で過熱が発生しました。	0x0	R
8	VOUT2_OT_LATCH	レギュレータ 2 の過熱イベントをラッチします。 0: レギュレータ 2 で過熱は発生していません。 1: レギュレータ 2 で過熱が発生しました。	0x0	R
7	VOUT1_OT_LATCH	レギュレータ 1 の過熱イベントをラッチします。 0: レギュレータ 1 で過熱は発生していません。 1: レギュレータ 1 で過熱が発生しました。	0x0	R

ビット	ビット名	説明	リセット	アクセス
6	VOUT11_OT_LATCH	レギュレータ 11 の過熱イベントをラッチします。 0: レギュレータ 11 で過熱は発生していません。 1: レギュレータ 11 で過熱が発生しました。	0x0	R
5	VOUT10_OT_LATCH	レギュレータ 10 の過熱イベントをラッチします。 0: レギュレータ 10 で過熱は発生していません。 1: レギュレータ 10 で過熱が発生しました。	0x0	R
4	VOUT9_OT_LATCH	レギュレータ 9 の過熱イベントをラッチします。 0: レギュレータ 9 で過熱は発生していません。 1: レギュレータ 9 で過熱が発生しました。	0x0	R
3	VOUT8_OT_LATCH	レギュレータ 8 の過熱イベントをラッチします。 0: レギュレータ 8 で過熱は発生していません。 1: レギュレータ 8 で過熱が発生しました。	0x0	R
2	VOUT7_OT_LATCH	レギュレータ 7 の過熱イベントをラッチします。 0: レギュレータ 7 で過熱は発生していません。 1: レギュレータ 7 で過熱が発生しました。	0x0	R
1	VOUT6_OT_LATCH	レギュレータ 6 の過熱イベントをラッチします。 0: レギュレータ 6 で過熱は発生していません。 1: レギュレータ 6 で過熱が発生しました。	0x0	R
0	VOUT5_OT_LATCH	レギュレータ 5 の過熱イベントをラッチします。 0: レギュレータ 5 で過熱は発生していません。 1: レギュレータ 5 で過熱が発生しました。	0x0	R

¹ クリアするには 1 を書込みます。

表 55. OTHER_LATCH¹、レジスタ・アドレス：0x202C

ビット	ビット名	説明	リセット	アクセス
[31:29]	RESERVED	予備。	0x0	R
28	WDI1_EXT_LATCH	WDI1 がディスエーブルされているときに、WDI1 ピンの立下がりエッジ・イベントをラッチします。 0: WDI1 ピンで立下がりエッジは発生していません。 1: WDI1 ピンで立下がりエッジが発生しました。	0x0	R
27	WDI0_EXT_LATCH	WDI0 がディスエーブルされているときに、WDI0 ピンの立下がりエッジ・イベントをラッチします。 0: WDI0 ピンで立下がりエッジは発生していません。 1: WDI0 ピンで立下がりエッジが発生しました。	0x0	R
26	VSET1_DETECTION_LATCH	VSET1 ピンのフォルト・イベントをラッチします。 0: VSET1 ピンでフォルトは発生していません。 1: VSET1 ピンでフォルトが発生しました。	0x0	R
25	MODE_DETECTION_LATCH	MODE ピンのフォルト・イベントをラッチします。 0: MODE ピンでフォルトは発生していません。 1: MODE ピンでフォルトが発生しました。	0x0	R
24	SYNC_FAIL_LATCH	同期フェイル・イベントをラッチします。 0: 同期フェイルは発生していません。 1: 同期フェイルが発生しました。	0x0	R

ビット	ビット名	説明	リセット	アクセス
23	WDI1_PULSE_FAIL_LATCH	WDI1 ピンのパルス・モニタ・フェイル・イベントをラッチします。 0: WDI1 ピンにパルス・フェイルは発生していません。 1: WDI1 ピンにパルス・フェイルが発生しました。	0x0	R
22	WDI0_PULSE_FAIL_LATCH	WDI0 ピンのパルス・モニタ・フェイル・イベントをラッチします。 0: WDI0 ピンにパルス・フェイルは発生していません。 1: WDI0 ピンにパルス・フェイルが発生しました。	0x0	R
21	CLKM_FAIL_LATCH	クロック・フェイル・イベントをラッチします。 0: クロック・フェイルは発生していません。 1: クロック・フェイルが発生しました。	0x0	R
20	SHR_CRC_FAIL_LATCH	シャドウ・レジスタの CRC エラー・イベントをラッチします。 0: CRC エラーは発生していません。 1: CRC エラーが発生しました。	0x0	R
19	SHR_ECC_FAIL_LATCH	シャドウ・レジスタの 2 ビット ECC エラー・イベントをラッチします。 0: 2 ビット ECC エラーは発生していません。 1: 2 ビット ECC エラーが発生しました。	0x0	R
18	$\overline{\text{STATUS_EXT_FAIL_LATCH}}$	$\overline{\text{STATUS}}$ ピンの外部フェイル・イベントをラッチします。 0: $\overline{\text{STATUS}}$ ピンで出力ピン・フェイルは発生していません。 1: $\overline{\text{STATUS}}$ ピンで出力ピン・フェイルが発生しました。	0x0	R
17	$\overline{\text{FAULT_EXT_FAIL_LATCH}}$	$\overline{\text{FAULT}}$ ピンの外部フェイル・イベントをラッチします。 0: $\overline{\text{FAULT}}$ ピンで出力ピン・フェイルは発生していません。 1: $\overline{\text{FAULT}}$ ピンでピン・フェイルが発生しました。	0x0	R
16	$\overline{\text{RESET_EXT_FAIL_LATCH}}$	$\overline{\text{RESET}}$ ピンの外部フェイル・イベントをラッチします。 0: $\overline{\text{RESET}}$ ピンで出力ピン・フェイルは発生していません。 1: $\overline{\text{RESET}}$ ピンで出力ピン・フェイルが発生しました。	0x0	R
[15:9]	RESERVED	予備。	0x0	R
8	SPI_FMT_ERR_LATCH	SPI フォーマット・エラーをラッチします。 0: フォーマット・エラーは発生していません。 1: フォーマット・エラーが発生しました。	0x0	R
7	SPI_RDD_ERR_LATCH	SPI 冗長エラーをラッチします。 0: 冗長エラーは発生していません。 1: 冗長エラーが発生しました。	0x0	R
6	SPI_CLK_ERR_LATCH	SPI クロック・エラーをラッチします。 0: クロック・エラーは発生していません。 1: クロック・エラーが発生しました。	0x0	R
5	SPI_ACCESS_FAIL_LATCH	ロックされていないレジスタへの SPI アクセスによるフェイルをラッチします。 0: アクセス・フェイルは発生していません。 1: ロックされていないレジスタへの SPI アクセスによるフェイルが発生しました。	0x0	R
4	SPI_ADDR_FAIL_LATCH	SPI アクセス・アドレス・フェイル・イベントをラッチします。 0: アドレス・フェイルは発生していません。 1: 誤ったアドレスへの SPI アクセスが発生しました。	0x0	R

ビット	ビット名	説明	リセット	アクセス
3	SPI_CRC_FAIL_LATCH	SPI CRC エラー・イベントをラッチします。 0 : SPI で CRC フェイルは発生していません。 1 : SPI で CRC フェイルが発生しました。	0x0	R
2	QA_WD_FAIL_LATCH	QA ウォッチドッグ・フェイルをラッチします。 0 : QA ウォッチドッグ・フェイルは発生していません。 1 : QA ウォッチドッグ・フェイルが発生しました。	0x0	R
1	WD1_FAIL_LATCH	WD1 フェイルをラッチします。 0 : WD1 フェイルは発生していません。 1 : WD1 フェイルが発生しました。	0x0	R
0	WD0_FAIL_LATCH	WD0 フェイルをラッチします。 0 : WD0 フェイルは発生していません。 1 : WD0 フェイルが発生しました。	0x0	R

¹ クリアするには 1 を書込みます。

表 56. OTHER1_LATCH¹、レジスタ・アドレス : 0x2030

ビット	ビット名	説明	リセット	アクセス
[31:19]	RESERVED	予備。	0x0	R
18	FB8_RECAP_SHORT_LATCH	FB8 と RECAP の短絡イベントをラッチします。 0 : FB8 と RECAP の短絡は発生していません。 1 : FB8 と RECAP の短絡が発生しました。	0x0	R
17	VREG_GOOD_LATCH	VREG グッドをラッチします。 0 : VREG グッド・イベントは発生していません。 1 : VREG グッド・イベントが発生しました。	0x0	R
16	PIN_OPEN_FAULT_LDO7_LATCH	LDO7 ピンのオープン・フォルトをラッチします。 0 : オープン・フォルトは発生していません。 1 : オープン・フォルトが発生しました。	0x0	R
15	PIN_OPEN_FAULT_LDO6_LATCH	LDO6 ピンのオープン・フォルトをラッチします。 0 : オープン・フォルトは発生していません。 1 : オープン・フォルトが発生しました。	0x0	R
14	PIN_OPEN_FAULT_LDO5_LATCH	LDO5 ピンのオープン・フォルトをラッチします。 0 : オープン・フォルトは発生していません。 1 : オープン・フォルトが発生しました。	0x0	R
13	PIN_OPEN_FAULT_LDO4_LATCH	LDO4 ピンのオープン・フォルトをラッチします。 0 : オープン・フォルトは発生していません。 1 : オープン・フォルトが発生しました。	0x0	R
12	PIN_OPEN_FAULT_LDO3_LATCH	LDO3 ピンのオープン・フォルトをラッチします。 0 : オープン・フォルトは発生していません。 1 : オープン・フォルトが発生しました。	0x0	R
11	PIN_OPEN_FAULT_LDO2_LATCH	LDO2 ピンのオープン・フォルトをラッチします。 0 : オープン・フォルトは発生していません。 1 : オープン・フォルトが発生しました。	0x0	R

ビット	ビット名	説明	リセット	アクセス
10	PIN_OPEN_FAULT_LDO1_LATCH	LDO1 ピンのオープン・フォルトをラッチします。 0：オープン・フォルトは発生していません。 1：オープン・フォルトが発生しました。	0x0	R
9	PIN_OPEN_FAULT_BOOST_LATCH	BOOST ピンのオープン・フォルトをラッチします。 0：オープン・フォルトは発生していません。 1：オープン・フォルトが発生しました。	0x0	R
8	WAKE_FALLING_EVT_LATCH	WAKE ピンの立下がりイベントをラッチします。 0：WAKE ピンで立下がりイベントは発生していません。 1：WAKE ピンで立下がりイベントが発生しました。	0x0	R
7	SYS_REG_CRC_ERR_LATCH	システム・レジスタのCRCエラーをラッチします。 0：システム・レジスタCRCエラーは発生していません。 1：システム・レジスタCRCエラーが発生しました。	0x0	R
6	TSD_LATCH	TSD イベントをラッチします。 0：TSD イベントは発生していません。 1：TSD イベントが発生しました。	0x0	R
5	LDO5_INPUT_OVLO_LATCH	LDO5 の入力過電圧イベントをラッチします。 0：過電圧は発生していません。 1：過電圧が発生しました。	0x0	R
4	LDO3_INPUT_OVLO_LATCH	LDO3 の入力過電圧イベントをラッチします。 0：過電圧は発生していません。 1：過電圧が発生しました。	0x0	R
3	LDO1_INPUT_OVLO_LATCH	LDO1 の入力過電圧イベントをラッチします。 0：過電圧は発生していません。 1：過電圧が発生しました。	0x0	R
2	LDO5_INPUT_UVLO_LATCH	LDO5 の入力低電圧イベントをラッチします。 0：低電圧は発生していません。 1：低電圧が発生しました。	0x0	R
1	LDO3_INPUT_UVLO_LATCH	LDO3 の入力低電圧イベントをラッチします。 0：低電圧は発生していません。 1：低電圧が発生しました。	0x0	R
0	LDO1_INPUT_UVLO_LATCH	LDO1 の入力低電圧イベントをラッチします。 0：低電圧は発生していません。 1：低電圧が発生しました。	0x0	R

¹ クリアするには 1 を書込みます。

表 57. UV_RST_MASK、レジスタ・アドレス : 0x2034

ビット	ビット名	説明	リセット	アクセス
[31:15]	RESERVED	予備。	0x0	R
14	VIO_UVLO_RST_MASK	RESETピンの VIO_UVLO_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
13	VM1_UV_RST_MASK	RESETピンの VM1_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
12	VM0_UV_RST_MASK	RESETピンの VM0_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
11	VOUT11_UV_RST_MASK	RESETピンの VOUT11_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
10	VOUT10_UV_RST_MASK	RESETピンの VOUT10_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
9	VOUT9_UV_RST_MASK	RESETピンの VOUT9_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
8	VOUT8_UV_RST_MASK	RESETピンの VOUT8_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
7	VOUT7_UV_RST_MASK	RESETピンの VOUT7_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
6	VOUT6_UV_RST_MASK	RESETピンの VOUT6_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
5	VOUT5_UV_RST_MASK	RESETピンの VOUT5_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT4_UV_RST_MASK	RESETピンの VOUT4_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
3	VOUT3_UV_RST_MASK	RESETピンの VOUT3_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
2	VOUT2_UV_RST_MASK	RESETピンの VOUT2_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
1	VOUT1_UV_RST_MASK	RESETピンの VOUT1_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
0	VOUT12_UV_RST_MASK	RESETピンの VOUT12_UV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

表 58. OV_RST_MASK、レジスタ・アドレス : 0x2038

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_OV_RST_MASK	RESETピンの VM1_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
12	VM0_OV_RST_MASK	RESETピンの VM0_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
11	VOUT11_OV_RST_MASK	RESETピンの VOUT11_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
10	VOUT10_OV_RST_MASK	RESETピンの VOUT10_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
9	VOUT9_OV_RST_MASK	RESETピンの VOUT9_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
8	VOUT8_OV_RST_MASK	RESETピンの VOUT8_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
7	VOUT7_OV_RST_MASK	RESETピンの VOUT7_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
6	VOUT6_OV_RST_MASK	RESETピンの VOUT6_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
5	VOUT5_OV_RST_MASK	RESETピンの VOUT5_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT4_OV_RST_MASK	RESETピンの VOUT4_OV_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
3	VOUT3_OV_RST_MASK	RESETピンの VOUT3_OV_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
2	VOUT2_OV_RST_MASK	RESETピンの VOUT2_OV_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
1	VOUT1_OV_RST_MASK	RESETピンの VOUT1_OV_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
0	VOUT12_OV_RST_MASK	RESETピンの VOUT12_OV_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W

表 59. WARN_RST_MASK、レジスタ・アドレス：0x203C

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_WARN_RST_MASK	RESETピンの VM1_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
12	VM0_WARN_RST_MASK	RESETピンの VM0_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
11	VOUT11_WARN_RST_MASK	RESETピンの VOUT11_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
10	VOUT10_WARN_RST_MASK	RESETピンの VOUT10_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
9	VOUT9_WARN_RST_MASK	RESETピンの VOUT9_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
8	VOUT8_WARN_RST_MASK	RESETピンの VOUT8_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
7	VOUT7_WARN_RST_MASK	RESETピンの VOUT7_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
6	VOUT6_WARN_RST_MASK	RESETピンの VOUT6_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
5	VOUT5_WARN_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT5_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
4	VOUT4_WARN_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT4_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
3	VOUT3_WARN_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT3_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
2	VOUT2_WARN_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT2_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
1	VOUT1_WARN_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT1_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
0	VOUT12_WARN_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT12_WARN_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

表 60. OT_RST_MASK、レジスタ・アドレス : 0x2040

ビット	ビット名	説明	リセット	アクセス
[31:12]	RESERVED	予備。	0x0	R
11	VOUT12_OT_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT12_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
10	VOUT4_OT_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT4_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
9	VOUT3_OT_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT3_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
8	VOUT2_OT_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT2_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
7	VOUT1_OT_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT1_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
6	VOUT11_OT_RST_MASK	$\overline{\text{RESET}}$ ピンの VOUT11_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
5	VOUT10_OT_RST_MASK	RESETピンの VOUT10_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
4	VOUT9_OT_RST_MASK	RESETピンの VOUT9_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
3	VOUT8_OT_RST_MASK	RESETピンの VOUT8_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
2	VOUT7_OT_RST_MASK	RESETピンの VOUT7_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
1	VOUT6_OT_RST_MASK	RESETピンの VOUT6_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
0	VOUT5_OT_RST_MASK	RESETピンの VOUT5_OT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

表 61. OTHER_RST_MASK、レジスタ・アドレス : 0x2044

ビット	ビット名	説明	リセット	アクセス
[31:29]	RESERVED	予備。	0x0	R
28	WDI1_EXT_RST_MASK	RESETピンの WDI1_EXT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
27	WDI0_EXT_RST_MASK	RESETピンの WDI0_EXT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
26	VSET1_DETECTION_RST_MASK	RESETピンの VSET1_DETECTION_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
25	MODE_DETECTION_RST_MASK	RESETピンの MODE_DETECTION_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
24	SYNC_FAIL_RST_MASK	RESETピンの SYNC_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
23	WDI1_PULSE_FAIL_RST_MASK	RESETピンの WDI1_PULSE_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
22	WDIO_PULSE_FAIL_RST_MASK	RESETピンのWDIO_PULSE_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
21	CLKM_FAIL_RST_MASK	RESETピンのCLKM_FAIL_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
20	SHR_CRC_FAIL_RST_MASK	RESETピンのSHR_CRC_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
19	SHR_ECC_FAIL_RST_MASK	RESETピンのSHR_ECC_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
18	STATUS_EXT_FAIL_RST_MASK	RESETピンのSTATUS_EXT_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
17	FAULT_EXT_FAIL_RST_MASK	RESETピンのFAULT_EXT_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
16	RESET_EXT_FAIL_RST_MASK	RESETピンのRESET_EXT_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
[15:9]	RESERVED	予備。	0x0	R/W
8	SPI_FMT_ERR_RST_MASK	RESETピンのSPI_FMT_ERR_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
7	SPI_RDD_ERR_RST_MASK	RESETピンのSPI_RDD_ERR_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
6	SPI_CLK_ERR_RST_MASK	RESETピンのSPI_CLK_ERR_STATUSビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
5	SPI_ACCESS_FAIL_RST_MASK	RESETピンのSPI_ACCESS_FAILビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
4	SPI_ADDR_FAIL_RST_MASK	RESETピンのSPI_ADDR_FAILビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
3	SPI_CRC_FAIL_RST_MASK	RESETピンのSPI_CRC_FAILビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
2	QA_WD_FAIL_RST_MASK	RESETピンの QA_WD_FAIL ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
1	WD1_FAIL_RST_MASK	RESETピンの WD1_FAIL ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
0	WD0_FAIL_RST_MASK	RESETピンの WD0_FAIL ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W

表 62. OTHER1_RST_MASK、レジスタ・アドレス : 0x2048

ビット	ビット名	説明	リセット	アクセス
[31:19]	RESERVED	予備。	0x0	R
18	FB8_RECAP_SHORT_RST_MASK	RESETピンの FB8_RECAP_SHORT_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
17	VREG_GOOD_RST_MASK	RESETピンの VREG_GOOD_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
16	PIN_OPEN_FAULT_LDO7_RST_MASK	RESETピンの PIN_OPEN_FAULT_LDO7_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
15	PIN_OPEN_FAULT_LDO6_RST_MASK	RESETピンの PIN_OPEN_FAULT_LDO6_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
14	PIN_OPEN_FAULT_LDO5_RST_MASK	RESETピンの PIN_OPEN_FAULT_LDO5_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
13	PIN_OPEN_FAULT_LDO4_RST_MASK	RESETピンの PIN_OPEN_FAULT_LDO4_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
12	PIN_OPEN_FAULT_LDO3_RST_MASK	RESETピンの PIN_OPEN_FAULT_LDO3_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
11	PIN_OPEN_FAULT_LDO2_RST_MASK	RESETピンの PIN_OPEN_FAULT_LDO2_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
10	PIN_OPEN_FAULT_LDO1_RST_MASK	RESETピンの PIN_OPEN_FAULT_LDO1_STATUS ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
9	PIN_OPEN_FAULT_BOOST_RST_MASK	RESETピンのPIN_OPEN_FAULT_BOOST_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
8	WAKE_FALLING_EVT_RST_MASK	RESETピンのWAKE_FALLING_EVT_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
7	SYS_REG_CRC_ERR_RST_MASK	RESETピンのSYS_REG_CRC_ERR_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
6	TSD_RST_MASK	RESETピンのTSD_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
5	LDO5_INPUT_OVLO_RST_MASK	RESETピンのLDO5_INPUT_OVLO_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
4	LDO3_INPUT_OVLO_RST_MASK	RESETピンのLDO3_INPUT_OVLO_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
3	LDO1_INPUT_OVLO_RST_MASK	RESETピンのLDO1_INPUT_OVLO_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
2	LDO5_INPUT_UVLO_RST_MASK	RESETピンのLDO5_INPUT_UVLO_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
1	LDO3_INPUT_UVLO_RST_MASK	RESETピンのLDO3_INPUT_UVLO_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
0	LDO1_INPUT_UVLO_RST_MASK	RESETピンのLDO1_INPUT_UVLO_STATUS ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

表 63. UV_FAULT_MASK、レジスタ・アドレス : 0x204C

ビット	ビット名	説明	リセット	アクセス
[31:15]	RESERVED	予備。	0x0	R
14	VIO_UVLO_FAULT_MASK	FAULTピンのVIO_UVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
13	VM1_UV_FAULT_MASK	FAULTピンのVM1_UV_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
12	VM0_UV_FAULT_MASK	FAULTピンの VM0_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
11	VOUT11_UV_FAULT_MASK	FAULTピンの VOUT11_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
10	VOUT10_UV_FAULT_MASK	FAULTピンの VOUT10_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
9	VOUT9_UV_FAULT_MASK	FAULTピンの VOUT9_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
8	VOUT8_UV_FAULT_MASK	FAULTピンの VOUT8_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
7	VOUT7_UV_FAULT_MASK	FAULTピンの VOUT7_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
6	VOUT6_UV_FAULT_MASK	FAULTピンの VOUT6_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
5	VOUT5_UV_FAULT_MASK	FAULTピンの VOUT5_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT4_UV_FAULT_MASK	FAULTピンの VOUT4_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
3	VOUT3_UV_FAULT_MASK	FAULTピンの VOUT3_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
2	VOUT2_UV_FAULT_MASK	FAULTピンの VOUT2_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
1	VOUT1_UV_FAULT_MASK	FAULTピンの VOUT1_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
0	VOUT12_UV_FAULT_MASK	FAULTピンの VOUT12_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

表 64. OV_FAULT_MASK、レジスタ・アドレス : 0x2050

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_OV_FAULT_MASK	FAULTピンの VM1_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
12	VM0_OV_FAULT_MASK	FAULTピンの VM0_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
11	VOUT11_OV_FAULT_MASK	FAULTピンの VOUT11_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
10	VOUT10_OV_FAULT_MASK	FAULTピンの VOUT10_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
9	VOUT9_OV_FAULT_MASK	FAULTピンの VOUT9_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
8	VOUT8_OV_FAULT_MASK	FAULTピンの VOUT8_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
7	VOUT7_OV_FAULT_MASK	FAULTピンの VOUT7_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
6	VOUT6_OV_FAULT_MASK	FAULTピンの VOUT6_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
5	VOUT5_OV_FAULT_MASK	FAULTピンの VOUT5_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT4_OV_FAULT_MASK	FAULTピンの VOUT4_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
3	VOUT3_OV_FAULT_MASK	FAULTピンの VOUT3_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
2	VOUT2_OV_FAULT_MASK	FAULTピンの VOUT2_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
1	VOUT1_OV_FAULT_MASK	FAULTピンの VOUT1_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
0	VOUT12_OV_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT12_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

表 65. WARN_FAULT_MASK、レジスタ・アドレス : 0x2054

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VM1_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
12	VM0_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VM0_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
11	VOUT11_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT11_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
10	VOUT10_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT10_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
9	VOUT9_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT9_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
8	VOUT8_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT8_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
7	VOUT7_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT7_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
6	VOUT6_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT6_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
5	VOUT5_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT5_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
4	VOUT4_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT4_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
3	VOUT3_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT3_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
2	VOUT2_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT2_WARN_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
1	VOUT1_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT1_WARN_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
0	VOUT12_WARN_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT12_WARN_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

表 66. OT_FAULT_MASK、レジスタ・アドレス : 0x2058

ビット	ビット名	説明	リセット	アクセス
[31:12]	RESERVED	予備。	0x0	R
11	VOUT12_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT12_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
10	VOUT4_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT4_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
9	VOUT3_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT3_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
8	VOUT2_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT2_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
7	VOUT1_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT1_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
6	VOUT11_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT11_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
5	VOUT10_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT10_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
4	VOUT9_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT9_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
3	VOUT8_OT_FAULT_MASK	$\overline{\text{FAULT}}$ ピンの VOUT8_OT_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
2	VOUT7_OT_FAULT_MASK	FAULTピンのVOUT7_OT_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
1	VOUT6_OT_FAULT_MASK	FAULTピンのVOUT6_OT_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
0	VOUT5_OT_FAULT_MASK	FAULTピンのVOUT5_OT_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

表 67. OTHER_FAULT_MASK、レジスタ・アドレス : 0x205C

ビット	ビット名	説明	リセット	アクセス
[31:29]	RESERVED	予備。	0x0	R
28	WDI1_EXT_FAULT_MASK	FAULTピンのWDI1_EXT_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
27	WDI0_EXT_FAULT_MASK	FAULTピンのWDI0_EXT_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
26	VSET1_DETECTION_FAULT_MASK	FAULTピンのVSET1_DETECTION_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
25	MODE_DETECTION_FAULT_MASK	FAULTピンのMODE_DETECTION_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
24	SYNC_FAIL_FAULT_MASK	FAULTピンのSYNC_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
23	WDI1_PULSE_FAIL_FAULT_MASK	FAULTピンのWDI1_PULSE_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
22	WDI0_PULSE_FAIL_FAULT_MASK	FAULTピンのWDI0_PULSE_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
21	CLKM_FAIL_FAULT_MASK	FAULTピンのCLKM_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
20	SHR_CRC_FAIL_FAULT_MASK	FAULTピンのSHR_CRC_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
19	SHR_ECC_FAIL_FAULT_MASK	FAULTピンのSHR_ECC_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
18	STATUS_EXT_FAIL_FAULT_MASK	FAULTピンのSTATUS_EXT_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
17	FAULT_EXT_FAIL_FAULT_MASK	FAULTピンのFAULT_EXT_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
16	RESET_EXT_FAIL_FAULT_MASK	FAULTピンのRESET_EXT_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
[15:9]	RESERVED	予備。	0x0	R
8	SPI_FMT_ERR_FAULT_MASK	FAULTピンのSPI_FMT_ERR_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
7	SPI_RDD_ERR_FAULT_MASK	FAULTピンのSPI_RDD_ERR_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
6	SPI_CLK_ERR_FAULT_MASK	FAULTピンのSPI_CLK_ERR_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
5	SPI_ACCESS_FAIL_FAULT_MASK	FAULTピンのSPI_ACCESS_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
4	SPI_ADDR_FAIL_FAULT_MASK	FAULTピンのSPI_ADDR_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
3	SPI_CRC_FAIL_FAULT_MASK	FAULTピンのSPI_CRC_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
2	QA_WD_FAIL_FAULT_MASK	FAULTピンのQA_WD_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
1	WD1_FAIL_FAULT_MASK	FAULTピンのWD1_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
0	WD0_FAIL_FAULT_MASK	FAULTピンのWD0_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W

表 68. OTHER1_FAULT_MASK、レジスタ・アドレス：0x2060

ビット	ビット名	説明	リセット	アクセス
[31:19]	RESERVED	予備。	0x0	R
18	FB8_RECAP_SHORT_FAULT_MASK	FAULTピンのFB8_RECAP_SHORT_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
17	VREG_GOOD_FAULT_MASK	FAULTピンのVREG_GOOD_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
16	PIN_OPEN_FAULT_LDO7_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_LDO7_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
15	PIN_OPEN_FAULT_LDO6_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_LDO6_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
14	PIN_OPEN_FAULT_LDO5_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_LDO5_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
13	PIN_OPEN_FAULT_LDO4_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_LDO4_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
12	PIN_OPEN_FAULT_LDO3_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_LDO3_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
11	PIN_OPEN_FAULT_LDO2_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_LDO2_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
10	PIN_OPEN_FAULT_LDO1_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_LDO1_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
9	PIN_OPEN_FAULT_BOOST_FAULT_MASK	FAULTピンのPIN_OPEN_FAULT_BOOST_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
8	WAKE_FALLING_EVT_FAULT_MASK	FAULTピンのWAKE_FALLING_EVT_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
7	SYS_REG_CRC_ERR_FAULT_MASK	FAULTピンのSYS_REG_CRC_ERR_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x1	R/W
6	TSD_FAULT_MASK	FAULTピンのTSD_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
5	LDO5_INPUT_OVLO_FAULT_MASK	FAULTピンの LDO5_INPUT_OVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
4	LDO3_INPUT_OVLO_FAULT_MASK	FAULTピンの LDO3_INPUT_OVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
3	LDO1_INPUT_OVLO_FAULT_MASK	FAULTピンの LDO1_INPUT_OVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
2	LDO5_INPUT_UVLO_FAULT_MASK	FAULTピンの LDO5_INPUT_UVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
1	LDO3_INPUT_UVLO_FAULT_MASK	FAULTピンの LDO3_INPUT_UVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
0	LDO1_INPUT_UVLO_FAULT_MASK	FAULTピンの LDO1_INPUT_UVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

表 69. UV_INT_MASK、レジスタ・アドレス : 0x2064

ビット	ビット名	説明	リセット	アクセス
[31:15]	RESERVED	予備。	0x0	R
14	VIO_UVLO_INT_MASK	STATUSピンの VIO_UVLO_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
13	VM1_UV_INT_MASK	STATUSピンの VM1_UV_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
12	VM0_UV_INT_MASK	STATUSピンの VM0_UV_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
11	VOUT11_UV_INT_MASK	STATUSピンの VOUT11_UV_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
10	VOUT10_UV_INT_MASK	STATUSピンの VOUT10_UV_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
9	VOUT9_UV_INT_MASK	STATUSピンの VOUT9_UV_LATCH ビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
8	VOUT8_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT8_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
7	VOUT7_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT7_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
6	VOUT6_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT6_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
5	VOUT5_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT5_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT4_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT4_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
3	VOUT3_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT3_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
2	VOUT2_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT2_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
1	VOUT1_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT1_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
0	VOUT12_UV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT12_UV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

表 70. OV_INT_MASK、レジスタ・アドレス : 0x2068

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_OV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VM1_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
12	VM0_OV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VM0_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
11	VOUT11_OV_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT11_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
10	VOUT10_OV_INT_MASK	STATUSピンの VOUT10_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
9	VOUT9_OV_INT_MASK	STATUSピンの VOUT9_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
8	VOUT8_OV_INT_MASK	STATUSピンの VOUT8_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
7	VOUT7_OV_INT_MASK	STATUSピンの VOUT7_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
6	VOUT6_OV_INT_MASK	STATUSピンの VOUT6_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
5	VOUT5_OV_INT_MASK	STATUSピンの VOUT5_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT4_OV_INT_MASK	STATUSピンの VOUT4_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
3	VOUT3_OV_INT_MASK	STATUSピンの VOUT3_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
2	VOUT2_OV_INT_MASK	STATUSピンの VOUT2_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
1	VOUT1_OV_INT_MASK	STATUSピンの VOUT1_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
0	VOUT12_OV_INT_MASK	STATUSピンの VOUT12_OV_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

表 71. WARN_INT_MASK、レジスタ・アドレス : 0x206C

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
13	VM1_WARN_INT_MASK	STATUSピンの VM1_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
12	VM0_WARN_INT_MASK	STATUSピンの VM0_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
11	VOUT11_WARN_INT_MASK	STATUSピンの VOUT11_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
10	VOUT10_WARN_INT_MASK	STATUSピンの VOUT10_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
9	VOUT9_WARN_INT_MASK	STATUSピンの VOUT9_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
8	VOUT8_WARN_INT_MASK	STATUSピンの VOUT8_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
7	VOUT7_WARN_INT_MASK	STATUSピンの VOUT7_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
6	VOUT6_WARN_INT_MASK	STATUSピンの VOUT6_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
5	VOUT5_WARN_INT_MASK	STATUSピンの VOUT5_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT4_WARN_INT_MASK	STATUSピンの VOUT4_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
3	VOUT3_WARN_INT_MASK	STATUSピンの VOUT3_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
2	VOUT2_WARN_INT_MASK	STATUSピンの VOUT2_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
1	VOUT1_WARN_INT_MASK	STATUSピンの VOUT1_WARN_LATCH ビットをマスクします。 1 : マスクしません。 0 : マスクします。	0x1	R/W
0	VOUT12_WARN_INT_MASK	STATUSピンの VOUT12_WARN_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

表 72. OT_INT_MASK、レジスタ・アドレス : 0x2070

ビット	ビット名	説明	リセット	アクセス
[31:12]	RESERVED	予備。	0x0	R
11	VOUT12_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT12_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
10	VOUT4_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT4_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
9	VOUT3_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT3_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
8	VOUT2_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT2_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
7	VOUT1_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT1_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
6	VOUT11_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT11_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
5	VOUT10_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT10_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
4	VOUT9_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT9_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
3	VOUT8_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT8_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
2	VOUT7_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT7_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
1	VOUT6_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT6_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
0	VOUT5_OT_INT_MASK	$\overline{\text{STATUS}}$ ピンの VOUT5_OT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W

表 73. OTHER_INT_MASK、レジスタ・アドレス : 0x2074

ビット	ビット名	説明	リセット	アクセス
[31:29]	RESERVED	予備。	0x0	R
28	WDI1_EXT_INT_MASK	STATUSピンの WDI1_EXT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
27	WDI0_EXT_INT_MASK	STATUSピンの WDI0_EXT_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
26	VSET1_DETECTION_INT_MASK	STATUSピンの VSET1_DETECTION_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
25	MODE_DETECTION_INT_MASK	STATUSピンの MODE_DETECTION_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
24	SYNC_FAIL_INT_MASK	STATUSピンの SYNC_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
23	WDI1_PULSE_FAIL_INT_MASK	STATUSピンの WDI1_PULSE_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
22	WDI0_PULSE_FAIL_INT_MASK	STATUSピンの WDI0_PULSE_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
21	CLKM_FAIL_INT_MASK	STATUSピンの CLKM_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
20	SHR_CRC_FAIL_INT_MASK	STATUSピンの SHR_CRC_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
19	SHR_ECC_FAIL_INT_MASK	STATUSピンの SHR_ECC_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x1	R/W
18	STATUS_EXT_FAIL_INT_MASK	STATUSピンの STATUS_EXT_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
17	FAULT_EXT_FAIL_INT_MASK	STATUSピンの FAULT_EXT_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
16	RESET_EXT_FAIL_INT_MASK	STATUSピンの RESET_EXT_FAIL_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
[15:9]	RESERVED	予備。	0x0	R

ビット	ビット名	説明	リセット	アクセス
8	SPI_FMT_ERR_INT_MASK	STATUSピンのSPI_FMT_ERR_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
7	SPI_RDD_ERR_INT_MASK	STATUSピンのSPI_RDD_ERR_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
6	SPI_CLK_ERR_INT_MASK	STATUSピンのSPI_CLK_ERR_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
5	SPI_ACCESS_FAIL_INT_MASK	STATUSピンのSPI_ACCESS_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
4	SPI_ADDR_FAIL_INT_MASK	STATUSピンのSPI_ADDR_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
3	SPI_CRC_FAIL_INT_MASK	STATUSピンのSPI_CRC_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
2	QA_WD_FAIL_INT_MASK	STATUSピンのQA_WD_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
1	WD1_FAIL_INT_MASK	STATUSピンのWD1_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W
0	WD0_FAIL_INT_MASK	STATUSピンのWD0_FAIL_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x1	R/W

表 74. OTHER1_INT_MASK、レジスタ・アドレス : 0x2078

ビット	ビット名	説明	リセット	アクセス
[31:19]	RESERVED	予備。	0x0	R
18	FB8_RECAP_SHORT_INT_MASK	STATUSピンのFB8_RECAP_SHORT_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
17	VREG_GOOD_INT_MASK	STATUSピンのVREG_GOOD_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W
16	PIN_OPEN_FAULT_LDO7_INT_MASK	STATUSピンのPIN_OPEN_FAULT_LDO7_LATCHビットをマスクします。 0: マスクします。 1: マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
15	PIN_OPEN_FAULT_LDO6_INT_MASK	STATUSピンのPIN_OPEN_FAULT_LDO6_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
14	PIN_OPEN_FAULT_LDO5_INT_MASK	STATUSピンのPIN_OPEN_FAULT_LDO5_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
13	PIN_OPEN_FAULT_LDO4_INT_MASK	STATUSピンのPIN_OPEN_FAULT_LDO4_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
12	PIN_OPEN_FAULT_LDO3_INT_MASK	STATUSピンのPIN_OPEN_FAULT_LDO3_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
11	PIN_OPEN_FAULT_LDO2_INT_MASK	STATUSピンのPIN_OPEN_FAULT_LDO2_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
10	PIN_OPEN_FAULT_LDO1_INT_MASK	STATUSピンのPIN_OPEN_FAULT_LDO1_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
9	PIN_OPEN_FAULT_BOOST_INT_MASK	STATUSピンのOPEN_FAULT_BOOST_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
8	WAKE_FALLING_EVT_INT_MASK	STATUSピンのWAKE_FALLING_EVT_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
7	SYS_REG_CRC_ERR_INT_MASK	STATUSピンのSYS_REG_CRC_ERR_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x1	R/W
6	TSD_INT_MASK	STATUSピンのTSD_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x1	R/W
5	LDO5_INPUT_OVLO_INT_MASK	STATUSピンのLDO5_INPUT_OVLO_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
4	LDO3_INPUT_OVLO_INT_MASK	STATUSピンのLDO3_INPUT_OVLO_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W
3	LDO1_INPUT_OVLO_INT_MASK	STATUSピンのLDO1_INPUT_OVLO_LATCHビットをマスクします。 0：マスクします。 1：マスクしません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
2	LDO5_INPUT_UVLO_INT_MASK	STATUSピンの LDO5_INPUT_UVLO_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
1	LDO3_INPUT_UVLO_INT_MASK	STATUSピンの LDO3_INPUT_UVLO_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
0	LDO1_INPUT_UVLO_INT_MASK	STATUSピンの LDO1_INPUT_UVLO_LATCH ビットをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W

表 75. TRANSITION_MASK、レジスタ・アドレス : 0x207C

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予備。	0x0	R
5	WDQA_COND5_FAIL_MASK	条件 5 の QA ウォッチドッグ・フェイルをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
4	WD1_COND5_FAIL_MASK	条件 5 の WD1 フェイルをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
3	WD0_COND5_FAIL_MASK	条件 5 の WD0 フェイルをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
2	WDQA_COND3_FAIL_MASK	条件 3 の QA ウォッチドッグ・フェイルをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
1	WD1_COND3_FAIL_MASK	条件 3 の WD1 フェイルをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W
0	WD0_COND3_FAIL_MASK	条件 3 の WD0 フェイルをマスクします。 0 : マスクします。 1 : マスクしません。	0x0	R/W

表 76. MODE_PIN_STATUS、レジスタ・アドレス : 0x8004

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予備。	0x0	R
5	DEBUG	MODE ピンによるデバッグ・モード設定情報を記録します。 0 : デバッグ・モードがディスエーブル。 1 : デバッグ・モードがイネーブル。	0x0	R
[4:1]	アドレス	MODE ピンによるデバイス・インデックス設定情報を記録します。 0001 : アドレス 0。 0010 : アドレス 1。 0100 : アドレス 2。	0x0	R

ビット	ビット名	説明	リセット	アクセス
		1000 : アドレス 3。 その他の設定 : 無効		
0	VIO	MODE ピンによる I/O 電圧設定情報を記録します。 0 : 1.8V 1 : 3.3V	0x0	R

表 77. **FREQ_CONFIG**、レジスタ・アドレス : 0x8008

ビット	ビット名	説明	リセット	アクセス
[31:10]	RESERVED	予備。	0x0	R
9	SP_EN	周波数スペクトラム拡散をイネーブルします。 0 : 周波数スペクトラム拡散をディスエーブル。 1 : 周波数スペクトラム拡散をイネーブル。	0x0	R/W
[8:6]	SD	周波数スペクトラム拡散の掃引深さを設定します。 000 : 2% 001 : 4% 010 : 6% 011 : 8% 100 : 10% その他の設定 : サポートされていません。	0x0	R/W
[5:3]	SF	周波数スペクトラム拡散の掃引周波数を設定します。 000 : 5kHz 001 : 10.42kHz 010 : 15.63kHz 011 : 20.83kHz 100 : 25kHz 101 : 31.25kHz 110 : 41.67kHz. 111 : 62.5kHz	0x0	R/W
2	SYNC_EN	同期機能をイネーブルします。 0 : SYNC ピンが高インピーダンスになり、同期機能はディスエーブルされます。 1 : 同期機能がディスエーブルされ、SYNC ピンの方向は SYNC_DIR ビットによって決まります。	0x0	R/W
1	SYNC_DIV	SYNC ピンを出力として設定したときの周波数を設定します。 0 : fsw 1 : fsw/5	0x0	R/W
0	SYNC_DIR	SYNC ピンの方向を設定します。 0 : 入力として設定。 1 : 出力として設定。	0x0	R/W

表 78. BUCK1_VOUT_SETTING、レジスタ・アドレス : 0x800C

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予備。	0x0	R
[5:0]	BUCK1_VOUTSET	BUCK1 の出力電圧を設定します。範囲は 0.8V~1.4V で、デフォルトは 1.27V です。 $V_{OUT1} = 800\text{mV} + \text{BUCK1_VOUTSET}[5:0] \times 10\text{mV}$	0x2F	R/W

表 79. BUCK1_VOUT、レジスタ・アドレス : 0x8010

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予備。	0x0	R
[5:0]	BUCK1_VOUT_CODE	SPI が BUCK1_VOUT_SETTING レジスタに書込みを行う前の BUCK1_VOUT_CODE ビットは、VSET1 ピンの抵抗に対応しています。SPI が BUCK1_VOUT_SETTING レジスタに書込みを行うと、BUCK1_VOUT_CODE は、BUCK1_VOUT_SETTING レジスタの BUCK1_VOUTSET ビットの値と同じになります。それ以外の場合は誤ったコードとなります。 000000 : 5.62k Ω 000101 : 7.87k Ω 001010 : 11k Ω 001111 : 15.4k Ω 010100 : 21.5k Ω 011001 : 30.1k Ω 011110 : 42.2k Ω 100011 : 59k Ω 101000 : 84.5k Ω 101101 : 115k Ω 101111 : 162k Ω 110010 : 232k Ω 110111 : 316k Ω 111100 : 475k Ω その他の設定 : 誤ったコード。	0x0	R

表 80. BUCK4_VOUT_SETTING、レジスタ・アドレス : 0x8014

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:0]	BUCK4_VOUTSET	BUCK4 の出力電圧 (V_{OUT4}) を設定します。 0000 : 0.55V 0001 : 0.60V 0010 : 0.65V 0011 : 0.70V 0100 : 0.75V 0101 : 0.80V 0110 : 0.85V 0111 : 0.90V 1000 : 0.95V 1001 : 1.00V 1010 : 1.05V 1011 : 1.10V	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		1100 : 1.15V 1101 : 1.20V その他の設定 : サポートされていません。		

表 81. BUCK_DVS_INTERVAL、レジスタ・アドレス : 0x8018

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:2]	BUCK1_INTERVAL	DVS 時の BUCK1 の間隔を設定します。 00 : 10 μ s 01 : 20 μ s 10 : 30 μ s 11 : 40 μ s	0x0	R/W
[1:0]	BUCK4_INTERVAL	DVS 時の BUCK4 の間隔を設定します。 00 : 10 μ s 01 : 20 μ s 10 : 30 μ s 11 : 40 μ s	0x0	R/W

表 82. LDO1_VOUT_SETTING、レジスタ・アドレス : 0x801C

ビット	ビット名	説明	リセット	アクセス
[31:3]	RESERVED	予備。	0x0	R
[2:0]	LDO1_VOUTSET	LDO1 (レギュレータ 5) の出力電圧を設定します。 000 : 1.76V 001 : 1.8V 010 : 1.85V 011 : 1.89V 100 : 1.94V 101 : 1.98V 110 : 2.03V 111 : 2.07V	0x1	R/W

表 83. LDO2_VOUT_SETTING、レジスタ・アドレス : 0x8020

ビット	ビット名	説明	リセット	アクセス
[31:3]	RESERVED	予備。	0x0	R
[2:0]	LDO2_VOUTSET	LDO2 (レギュレータ 6) の出力電圧を設定します。 000 : 1.76V 001 : 1.8V 010 : 1.85V 011 : 1.89V 100 : 1.94V 101 : 1.98V 110 : 2.03V 111 : 2.07V	0x1	R/W

表 84. LDO3_VOUT_SETTING、レジスタ・アドレス : 0x8024

ビット	ビット名	説明	リセット	アクセス
[31:3]	RESERVED	予備。	0x0	R
[2:0]	LDO3_VOUTSET	LDO3 (レギュレータ 7) の出力電圧を設定します。 000 : 0.86V 001 : 0.9V 010 : 0.94V 011 : 0.97V 100 : 1.01V 101 : 1.04V 110 : 1.08V 111 : 1.12V	0x1	R/W

表 85. LDO4_VOUT_SETTING、レジスタ・アドレス : 0x8028

ビット	ビット名	説明	リセット	アクセス
[31:3]	RESERVED	予備。	0x0	R
[2:0]	LDO4_VOUTSET	LDO4 (レギュレータ 8) の出力電圧を設定します。 000 : 0.86V 001 : 0.9V 010 : 0.94V 011 : 0.97V 100 : 1.01V 101 : 1.04V 110 : 1.08V 111 : 1.12V	0x1	R/W

表 86. LDO5_VOUT_SETTING、レジスタ・アドレス : 0x802C

ビット	ビット名	説明	リセット	アクセス
[31:3]	RESERVED	予備。	0x0	R
[2:0]	LDO5_VOUTSET	LDO5 (レギュレータ 9) の出力電圧を設定します。 000 : 0.86V 001 : 0.9V 010 : 0.94V 011 : 0.97V 100 : 1.01V 101 : 1.04V 110 : 1.08V 111 : 1.12V	0x1	R/W

表 87. LDO6_VOUT_SETTING、レジスタ・アドレス : 0x8030

ビット	ビット名	説明	リセット	アクセス
[31:2]	RESERVED	予備。	0x0	R
[1:0]	LDO6_VOUTSET	LDO6 (レギュレータ 10) の出力電圧を設定します。 00 : 3.2V 01 : 3.3V 10 : 3.35V 11 : 3.4V	0x1	R/W

表 88. LDO7_VOUT_SETTING、レジスタ・アドレス : 0x8034

ビット	ビット名	説明	リセット	アクセス
[31:2]	RESERVED	予備。	0x0	R
[1:0]	LDO7_VOUTSET	LDO7 (レギュレータ 11) の出力電圧を設定します。 00 : 3.2V 01 : 3.3V 10 : 3.35V 11 : 3.4V	0x1	R/W

表 89. WARN_WINDOW、レジスタ・アドレス : 0x8038

ビット	ビット名	説明	リセット	アクセス
[31:28]	RESERVED	予備。	0x0	R
[27:26]	VM1_WARN_WINDOW	VM1 モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[25:24]	VM0_WARN_WINDOW	VM0 モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[23:22]	FB12_WARN_WINDOW	FB12 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[21:20]	FB11_WARN_WINDOW	FB11 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[19:18]	FB10_WARN_WINDOW	FB10 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5%	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
		10 : 6% 11 : 8%		
[17:16]	FB9_WARN_WINDOW	FB9 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[15:14]	FB8_WARN_WINDOW	FB8 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[13:12]	FB7_WARN_WINDOW	FB7 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[11:10]	FB6_WARN_WINDOW	FB6 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[9:8]	FB5_WARN_WINDOW	FB5 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[7:6]	FB4_WARN_WINDOW	FB4 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[5:4]	FB3_WARN_WINDOW	FB3 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W
[3:2]	FB2_WARN_WINDOW	FB2 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
[1:0]	FB1_WARN_WINDOW	FB1 電圧モニタの警告ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x1	R/W

表 90. FAULT_WINDOW、レジスタ・アドレス : 0x803C

ビット	ビット名	説明	リセット	アクセス
[31:28]	RESERVED	予備。	0x0	R
[27:26]	VM1_FAULT_WINDOW	VM1 モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x3	R/W
[25:24]	VM0_FAULT_WINDOW	VM0 モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x3	R/W
[23:22]	FB12_FAULT_WINDOW	FB12 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[21:20]	FB11_FAULT_WINDOW	FB11 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[19:18]	FB10_FAULT_WINDOW	FB10 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[17:16]	FB9_FAULT_WINDOW	FB9 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[15:14]	FB8_FAULT_WINDOW	FB8 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5%	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		10 : 6% 11 : 8%		
[13:12]	FB7_FAULT_WINDOW	FB7 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[11:10]	FB6_FAULT_WINDOW	FB6 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[9:8]	FB5_FAULT_WINDOW	FB5 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[7:6]	FB4_FAULT_WINDOW	FB4 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[5:4]	FB3_FAULT_WINDOW	FB3 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[3:2]	FB2_FAULT_WINDOW	FB2 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W
[1:0]	FB1_FAULT_WINDOW	FB1 電圧モニタのフォルト・ウィンドウを設定します。 00 : 4% 01 : 5% 10 : 6% 11 : 8%	0x2	R/W

表 91. ERROR_COUNT、レジスタ・アドレス : 0x8040

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予備。	0x0	R
[5:3]	NEC_PER	ペリフェラル・エラー・カウンタの閾値 (NEC_P) を設定します。 000 : 1 001 : 2 010 : 3 011 : 4 100 : 5 101 : 6 110 : 7 111 : 8	0x7	R/W
[2:0]	NEC_SYS	システム・エラー・カウンタの閾値 (NEC_S) を設定します。 000 : 1 001 : 2 010 : 3 011 : 4 100 : 5 101 : 6 110 : 7 111 : 8	0x7	R/W

表 92. SM_BIST_TRG、レジスタ・アドレス : 0x8044

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
0	BIST_TRIG	制御ブロック診断の SPI トリガ。BIST をトリガするには 1 を書き込みます。	0x0	R/W

表 93. SM_BIST_STATUS、レジスタ・アドレス : 0x8048

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
15	CLK_MON_PASS	セルフチェック・プロセス時のクロック・モニタ・チェック。 0 : 不合格 1 : 合格	0x0	R
14	CRC_PASS	セルフチェック・プロセス時の CRC チェック。 0 : 不合格 1 : 合格	0x0	R
13	ECC_PASS	セルフチェック・プロセス時の誤り訂正符号 (ECC) チェック。 0 : 不合格 1 : 合格	0x0	R
12	OV_FAILURE_PASS	セルフチェック・プロセス時の過電圧異常チェック。 0 : 不合格 1 : 合格	0x0	R

ビット	ビット名	説明	リセット	アクセス
11	OV_WARN_PASS	セルフチェック・プロセス時の過電圧警告チェック。 0：不合格 1：合格	0x0	R
10	UV_FAILURE_PASS	セルフチェック・プロセス時の低電圧異常チェック。 0：不合格 1：合格	0x0	R
9	UV_WARN_PASS	セルフチェック・プロセス時の低電圧警告チェック。 0：不合格 1：合格	0x0	R
8	SM_BIST_ALL_PASS	SM BIST すべてに合格。 0：不合格 1：合格	0x0	R
7	CLK_MON_DONE	クロック・モニタ・チェックの実行。 0：未実行 1：実行済み	0x0	R
6	CRC_DONE	CRC チェックの実行。 0：未実行 1：実行済み	0x0	R
5	ECC_DONE	ECC チェックの実行。 0：未実行 1：実行済み	0x0	R
4	OV_FAILURE_DONE	過電圧異常チェックの実行。 0：未実行 1：実行済み	0x0	R
3	OV_WARN_DONE	過電圧警告チェックの実行。 0：未実行 1：実行済み	0x0	R
2	UV_FAILURE_DONE	低電圧異常チェックの実行。 0：未実行 1：実行済み	0x0	R
1	UV_WARN_DONE	低電圧警告チェックの実行。 0：未実行 1：実行済み	0x0	R
0	SM_BIST_ALL_DONE	すべての SM BIST の実行。 0：未実行 1：実行済み	0x0	R

表 94. WDI0_PULSE_CTRL、レジスタ・アドレス : 0x804C

ビット	ビット名	説明	リセット	アクセス
[31:3]	RESERVED	予備。	0x0	R
2	WDI0_PULSE_UPPER_MASK	WDI0 パルス幅モニタの上限閾値フォルト・マスク。 0 : WDI0 パルス幅が上限閾値より大きい場合にフォルトが生成されます。 1 : WDI0 パルス幅が上限閾値より大きい場合にフォルトが生成されません。	0x0	R/W
1	WDI0_PULSE_LOWER_MASK	WDI0 パルス幅モニタの下限閾値フォルト・マスク。 0 : WDI0 パルス幅が下限閾値より小さい場合にフォルトが生成されます。 1 : WDI0 パルス幅が下限閾値より小さい場合にフォルトが生成されません。	0x0	R/W
0	WDI0_PULSE_EN	WDI0 のパルス幅モニタのイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

表 95. WDI0_PULSE_HIGH、レジスタ・アドレス : 0x8050

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
[17:0]	WDI0_PULSE_HIGH	WDI0 パルス幅モニタの上限閾値を設定します。WDI0 低速パルス幅時間 ($t_{WDI0_PULSE_SLOW}$) = $WDI0_PULSE_HIGH \times 500ns$	0x47E	R/W

表 96. WDI0_PULSE_LOW、レジスタ・アドレス : 0x8054

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
[17:0]	WDI0_PULSE_LOW	WDI0 パルス幅モニタの下限閾値を設定します。WDI0 高速パルス幅時間 ($t_{WDI0_PULSE_FAST}$) = $WDI0_PULSE_LOW \times 500ns$	0x352	R/W

表 97. WDI0_PULSE_WIN_WIDTH、レジスタ・アドレス : 0x8058

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
[17:0]	WDI0_WIN_WIDTH	セルフチェック・プロセス時に WDI0 内蔵セルフ・テスト (BIST) のクロック・パルス幅を記録します。	0x898	R/W

表 98. WDI1_PULSE_CTRL、レジスタ・アドレス : 0x805C

ビット	ビット名	説明	リセット	アクセス
[31:3]	RESERVED	予備。	0x0	R
2	WDI1_PULSE_UPPER_MASK	WDI1 パルス幅モニタの上限閾値フォルト・マスク。 0 : WDI1 パルス幅が上限閾値より大きい場合にフォルトが生成されます。 1 : WDI1 パルス幅が上限閾値より大きい場合にフォルトが生成されません。	0x0	R/W
1	WDI1_PULSE_LOWER_MASK	WDI1 パルス幅モニタの下限閾値フォルト・マスク。 0 : WDI1 パルス幅が下限閾値より小さい場合にフォルトが生成されます。 1 : WDI1 パルス幅が下限閾値より小さい場合にフォルトが生成されません。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
0	WDI1_PULSE_EN	WDI1 パルス幅モニタのイネーブル。 0 : ディスエーブル 1 : イネーブル	0x0	R/W

表 99. WDI1_PULSE_HIGH、レジスタ・アドレス : 0x8060

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
[17:0]	WDI1_PULSE_HIGH	WDI1 パルス幅モニタの上限閾値を設定します。WDI1 低速パルス幅時間 ($t_{WDI1_PULSE_SLOW}$) = WDI1_PULSE_HIGH × 500ns	0x47E	R/W

表 100. WDI1_PULSE_LOW、レジスタ・アドレス : 0x8064

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
[17:0]	WDI1_PULSE_LOW	WDI1 パルス幅モニタの下限閾値を設定します。WDI1 高速パルス幅時間 ($t_{WDI1_PULSE_FAST}$) = WDI1_PULSE_LOW × 500ns	0x352	R/W

表 101. WDI1_PULSE_WIN_WIDTH、レジスタ・アドレス : 0x8068

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
[17:0]	WDI1_WIN_WIDTH	セルフチェック・プロセス時に WDI1 BIST のクロック・パルス幅を記録します。	0x898	R/W

表 102. WDT0_CTRL、レジスタ・アドレス : 0x806C

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
17	WDT0_LOCK	すべての WDT0 レジスタをロックします。 1 : ロック 0 : ロック解除	0x1	R/W
[16:13]	WDT0_FAULT_THRESHOLD	ウォッチドッグ・フォルトを生成する WDT0 のフォルト閾値を設定します。	0x6	R/W
[12:5]	WDT0_SPI_FEED	WDT0 にソフトウェア・フィードを行います。WDT0 へフィードするには 0x51 を書き込みます。	0x0	R/W
[4:3]	WDT0_PRE_SCALE	WDT0 のスケール・ファクタを設定します。 00 : 1 01 : 16 10 : 256 11 : 4096	0x1	R/W
[2:1]	WDT0_TRIG_EDGE_SEL	WDT0 のトリガ・エッジを設定します。 00 : 両方のエッジ 01 : 立上がりエッジ 10 : 立下がりエッジ 11 : 両方のエッジ	0x1	R/W
0	WDT0_EN_CTRL	WDT0 イネーブル・ビット。 0 : WDT0 をディスエーブル。 1 : WDT0 をイネーブル。	0x0	R/W

表 103. WDT0_WINDOW、レジスタ・アドレス : 0x8070

ビット	ビット名	説明	リセット	アクセス
[31:16]	WDT0_FAST_WINDOW	WD0 の高速ウィンドウを設定します。	0xEA6	R/W
[15:0]	WDT0_SLOW_WINDOW	WD0 の低速ウィンドウを設定します。	0x3A98	R/W

表 104. WDT0_CLEAR_VALUE、レジスタ・アドレス : 0x8074

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	WDT0_CLEAR_VALUE	これらのビットは、WD0 のタイム・カウンタをリセットするフィールドを受信したときのタイム・カウンタ値を格納します。	0x0	R

表 105. WDT0_STATUS、レジスタ・アドレス : 0x8078

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:1]	WDT0_FAULT_COUNTER	WD0 のフォルト・カウンタ番号。	0x0	R
0	WDT0_SINGLE_FAIL	WD0 への異常ウォッチドッグ・フィールドを示すインジケータ・フラグ。 0 : 正常なウォッチドッグ・フィールド 1 : 異常なウォッチドッグ・フィールド	0x0	R

表 106. WDT0_CURRENT_VALUE、レジスタ・アドレス : 0x807C

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	WDT0_CURRENT_VALUE	これらのビットは、WD0 のタイム・カウンタの現在値を格納します。	0x0	R

表 107. WDT1_CTRL、レジスタ・アドレス : 0x8080

ビット	ビット名	説明	リセット	アクセス
[31:18]	RESERVED	予備。	0x0	R
17	WDT1_LOCK	すべての WD1 レジスタをロックします。 1 : ロック 0 : ロック解除	0x1	R/W
[16:13]	WDT1_FAULT_THRESHOLD	WD1 のフォルト閾値を設定します。	0x6	R/W
[12:5]	WDT1_SPI_FEED	WD1 にソフトウェア・フィードを行います。WD1 へフィードするには 0x52 を書き込みます。	0x0	R/W
[4:3]	WDT1_PRE_SCALE	WD1 のスケール・ファクタを設定します。 00 : 1 01 : 16 10 : 256 11 : 4096	0x1	R/W
[2:1]	WDT1_TRIG_EDGE_SEL	WD1 のトリガ・エッジ設定。 00 : 両方のエッジ 01 : 立上がりエッジ 10 : 立下がりエッジ 11 : 両方のエッジ	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
0	WDT1_EN_CTRL	WD1 イネーブル・ビット。 0 : WD1 をディスエーブル。 1 : WD1 をイネーブル。	0x0	R/W

表 108. WDT1_WINDOW、レジスタ・アドレス : 0x8084

ビット	ビット名	説明	リセット	アクセス
[31:16]	WDT1_FAST_WINDOW	WD1 の高速ウィンドウを設定します。	0xEA6	R/W
[15:0]	WDT1_SLOW_WINDOW	WD1 の低速ウィンドウを設定します。	0x3A98	R/W

表 109. WDT1_CURRENT_VALUE、レジスタ・アドレス : 0x8088

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	WDT1_CURRENT_VALUE	これらのビットは、WD1 のタイム・カウンタの値を格納します。	0x0	R

表 110. WDT1_CLEAR_VALUE、レジスタ・アドレス : 0x808C

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	WDT1_CLEAR_VALUE	これらのビットは、WD1 のタイム・カウンタをリセットするフィールドを受信したときのタイム・カウンタ値を格納します。	0x0	R

表 111. WDT1_STATUS、レジスタ・アドレス : 0x8090

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:1]	WDT1_FAULT_COUNTER	WD1 のフォルト・カウンタ番号。	0x0	R
0	WDT1_SINGLE_FAIL	WD1 への異常ウォッチドッグ・フィールドを示すインジケータ・フラグ。 0 : 正常なウォッチドッグ・フィールド 1 : 異常なウォッチドッグ・フィールド	0x0	R

表 112. QA_WD_CTRL、レジスタ・アドレス : 0x8094

ビット	ビット名	説明	リセット	アクセス
[31:8]	RESERVED	予備。	0x0	R
7	QA_WD_LOCK	QA_WD_ANSWER レジスタと QA_WD_TOKEN レジスタを除き、すべての QA ウォッチドッグ・レジスタをロックします。 1 : ロック 0 : ロック解除	0x0	R/W
6	RESERVED	予備。	0x0	R
[5:3]	QA_WD_FAULT_THRESHOLD	QA ウォッチドッグのフォルト閾値を設定します。	0x6	R/W
[2:1]	QA_WD_PRE_SCALE	QA ウォッチドッグのスケール・ファクタを設定します。 00 : 1 01 : 16	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		10 : 256 11 : 4096		
0	QA_WD_EN_CTRL	QA ウォッチドッグのイネーブル・ビット。 0 : QA ウォッチドッグをディスエーブル。 1 : QA ウォッチドッグをイネーブル。	0x1	R/W

表 113. QA_WD_WINDOW、レジスタ・アドレス : 0x8098

ビット	ビット名	説明	リセット	アクセス
[31:16]	QA_WD_FAST_WINDOW	QA ウォッチドッグの高速ウィンドウを設定します。	0x0	R/W
[15:0]	QA_WD_SLOW_WINDOW	QA ウォッチドッグの低速ウィンドウを設定します。	0x1E85	R/W

表 114. QA_WD_CURRENT_VALUE、レジスタ・アドレス : 0x809C

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	QA_WD_CURRENT_VALUE	これらのビットは、QA ウォッチドッグのタイム・カウンタの現在値を格納します。	0x0	R

表 115. QA_WD_CLEAR_VALUE、レジスタ・アドレス : 0x80A0

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	QA_WD_CLEAR_VALUE	これらのビットは、QA ウォッチドッグのタイム・カウンタをリセットするフィードを受信したときのタイム・カウンタ値を格納します。	0x0	R

表 116. QA_WD_STATUS、レジスタ・アドレス : 0x80A4

ビット	ビット名	説明	リセット	アクセス
[31:5]	RESERVED	予備。	0x0	R
[4:2]	QA_WD_FAULT_COUNTER	QA ウォッチドッグ・フォルト・カウンタのカウント番号。	0x0	R
1	RESERVED	予備。	0x0	R
0	QA_WD_SINGLE_FAIL	QA_WD への異常ウォッチドッグ・フィードを示すインジケータ・フラグ。 0 : 正常なウォッチドッグ・フィード 1 : 異常なウォッチドッグ・フィード	0x0	R

表 117. QA_WD_TOKEN_SEED、レジスタ・アドレス : 0x80A8

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:0]	QA_WD_TOKEN_SEED	QA ウォッチドッグへの回答となる 4 ビットの疑似乱数を生成するリニア帰還シフトレジスタへのフィード値。	0x0	R/W

表 118. STANDBY_RAIL_ACTIVE、レジスタ・アドレス : 0x80AC

ビット	ビット名	説明	リセット	アクセス
[31:5]	RESERVED	予備。	0x0	R
4	STANDBY_BOOST	スタンバイ・モードでの昇圧動作。 0 : オフ 1 : オン	0x1	R/W
3	STANDBY_LDO7	スタンバイ・モードでの LDO7 の動作。 0 : オフ 1 : オン	0x1	R/W
2	STANDBY_LDO1	スタンバイ・モードでの LDO1 の動作。 0 : オフ 1 : オン	0x1	R/W
1	STANDBY_BUCK3	スタンバイ・モードでの BUCK3 の動作。 0 : オフ 1 : オン	0x1	R/W
0	STANDBY_BUCK2	スタンバイ・モードでの BUCK2 の動作。 0 : オフ 1 : オン	0x1	R/W

表 119. SPI_CRC_CHECKSUM、レジスタ・アドレス : 0x80B0

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	SPI_CRC_CHECKSUM	SPI ブロックにより計算される SPI 書き込み/読出し CRC チェックサムの結果。	0x0	R

表 120. SPI_CMD、レジスタ・アドレス : 0x80B4

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:0]	SPI_CMD	異なるモードへ遷移するための SPI コマンド。 0x1 : 任意のモードからセルフチェック・モードに遷移 (SPI_CMD_RST)。 0x2 : パワーダウン・モードに遷移 (SPI_CMD1)。 0x4 : スタンバイ・モードに遷移 (SPI_CMD2)。 0x8 : ペリフェラル・ランプアップ・モードに遷移 (SPI_CMD3)。	0x0	R/W

表 121. VOLTAGE_BLANK_TIME0、レジスタ・アドレス : 0x80B8

ビット	ビット名	説明	リセット	アクセス
[31:28]	RESERVED	予備。	0x0	R
[27:24]	VM1_BLANK_TIME	VM1 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s		
[23:20]	VM0_BLANK_TIME	VM0 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W
[19:16]	FB12_BLANK_TIME	FB12 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s		
[15:12]	FB4_BLANK_TIME	FB4 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W
[11:8]	FB3_BLANK_TIME	FB3 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W
[7:4]	FB2_BLANK_TIME	FB2 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s		
[3:0]	FB1_BLANK_TIME	FB1 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s。 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W

表 122. VOLTAGE_BLANK_TIME1、レジスタ・アドレス : 0x80BC

ビット	ビット名	説明	リセット	アクセス
[31:28]	RESERVED	予備。	0x0	R
[27:24]	FB11_BLANK_TIME	FB11 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s		
[23:20]	FB10_BLANK_TIME	FB10 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W
[19:16]	FB9_BLANK_TIME	FB9 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
[15:12]	FB8_BLANK_TIME	FB8 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W
[11:8]	FB7_BLANK_TIME	FB7 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W
[7:4]	FB6_BLANK_TIME	FB6 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s	0x2	R/W

ビット	ビット名	説明	リセット	アクセス
		0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s		
[3:0]	FB5_BLANK_TIME	FB5 電圧モニタのブランク時間を設定します。 0000 : 16 μ s 0001 : 32 μ s 0010 : 48 μ s 0011 : 64 μ s 0100 : 80 μ s 0101 : 96 μ s 0110 : 112 μ s 0111 : 128 μ s 1000 : 144 μ s 1001 : 160 μ s 1010 : 176 μ s 1011 : 192 μ s 1100 : 208 μ s 1101 : 240 μ s 1110 : 288 μ s 1111 : 352 μ s	0x2	R/W

表 123. SYSREG_CRC_CHECKSUM、レジスタ・アドレス : 0x80C0

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	SYS_REG_CRC_CHECKSUM	パワー・マネジメント IC (PMIC) で計算された CRC の結果。	0x0	R

表 124. SYSREG_CRC_GOLDEN、レジスタ・アドレス : 0x80C4

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	SYS_REG_CRCGOLDEN	プロセッサからの CRC ゴールデン値。	0x0	R/W

表 125. SYSREG_CRC_POLYSEED、レジスタ・アドレス : 0x80C8

ビット	ビット名	説明	リセット	アクセス
[31:16]	SYS_REG_CRC_SEED	システム・レジスタの CRC シード。	0x5555	R/W
[15:0]	SYS_REG_CRC_POLY	システム・レジスタの CRC 多項式。	0x90D9	R/W

表 126. WAKEPIN_EVT、レジスタ・アドレス : 0x80CC

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
0	CFG_WAKEPIN_EVT_DET	WAKE ピンの機能を設定します。 0 : WAKE ピンは通常のウェイク機能として設定されます。 1 : WAKE ピンはイベント・ディテクタとして設定されます。	0x0	R/W

表 127. SYSCRC_EN、レジスタ・アドレス : 0x80D0

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
0	SYSCRC_EN	システム・レジスタの CRC イネーブル制御。 0 : システム・レジスタの CRC 定期チェックをディスエーブル。 1 : システム・レジスタの CRC 定期チェックをイネーブル。	0x0	R/W

表 128. VM_TYP_CONFIGURATION、レジスタ・アドレス : 0x80D4

ビット	ビット名	説明	リセット	アクセス
[31:4]	RESERVED	予備。	0x0	R
[3:2]	VM1_TYP	VM1 の代表的設定。 00 : VM1 では低電圧閾値も過電圧閾値も有効ではありません。 01 : VM1 では低電圧閾値のみ有効です。 10 : VM1 では過電圧閾値のみ有効です。 11 : VM1 では低電圧閾値と過電圧閾値の両方が有効で、これらの閾値はウィンドウ・モニタとして機能します。	0x0	R/W
[1:0]	VM0_TYP	VM0 の代表的設定。 00 : VM0 では低電圧閾値も過電圧閾値も有効ではありません。 01 : VM0 では低電圧閾値のみ有効です。 10 : VM0 では過電圧閾値のみ有効です。 11 : VM0 では低電圧閾値と過電圧閾値の両方が有効で、これらの閾値はウィンドウ・モニタとして機能します。	0x0	R/W

表 129. FUSE_PERIOD_CHK_TIMER、レジスタ・アドレス : 0x80D8

ビット	ビット名	説明	リセット	アクセス
[31:10]	RESERVED	予備。	0x0	R
[9:0]	FUSE_PERIOD_CHK_TIMER	制御ブロック診断の ECC/CRC 定期チェック用タイマー・カウンタ (ms)。	0x96	R/W

表 130. SPI_PIN_CTRL、レジスタ・アドレス : 0x80F0

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
3	STATUS_SPI_CTRL_DATA	STATUSピン制御ステータス。 1 : ハイ 0 : ロー	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
2	$\overline{\text{STATUS_SPI_CTRL_EN}}$	$\overline{\text{STATUS}}$ ピンの SPI 制御機能をイネーブルまたはディスエーブルします。 1: イネーブル 0: ディスエーブル	0x0	R/W
1	$\overline{\text{FAULT_SPI_CTRL_DATA}}$	$\overline{\text{FAULT}}$ ピン制御ステータス。 1: ハイ 0: ロー	0x0	R/W
0	$\overline{\text{FAULT_SPI_CTRL_EN}}$	$\overline{\text{FAULT}}$ ピンの SPI 制御機能をイネーブルまたはディスエーブルします。 1: イネーブル 0: ディスエーブル	0x0	R/W

外形寸法

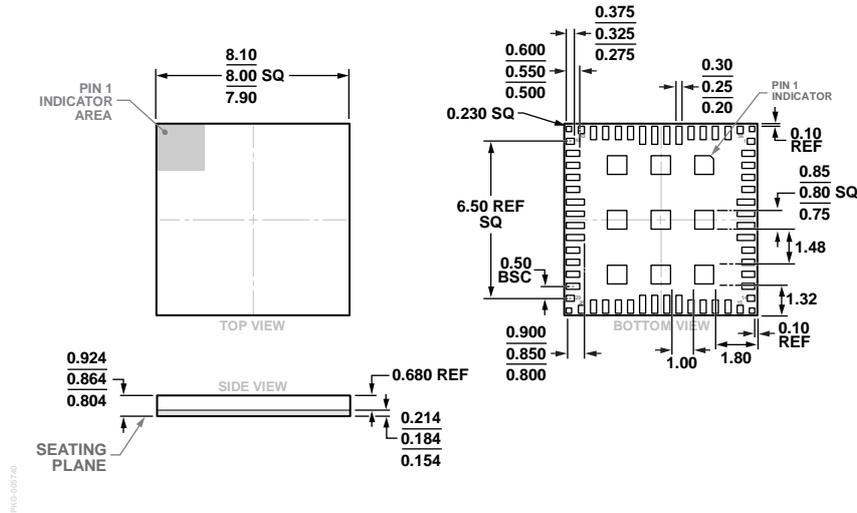


図 97. 56 端子のランド・グリッド・アレイ [LGA]
(CC-56-2)
寸法単位 : mm

オーダー・ガイド

モデル ^{1, 2}	温度範囲	パッケージの説明	パッケージ・オプション	パッケージ数量
ADP5140WACCZ-R7	-40°C to +150°C	56-Terminal Land Grid Array [LGA]	CC-56-2	750
ADP5140-EVALZ		Evaluation Board		

¹ Z = RoHS 準拠製品

² W = 車載アプリケーション向けに性能を評価済み。

オートモーティブ製品

ADP5140W モデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造工程により提供されています。これらの車載モデルの仕様は商用モデルと異なる場合があるので、使用時はこのデータシートの仕様のセクションをよくご確認ください。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイセズまでお問い合わせください。