



アクティブ・クランプおよび iCoupler を搭載した絶縁型同期 フォワード・コントローラ

データシート

ADP1074

特長

アクティブ・クランプ・フォワード・トポロジー向け電流モード・コントローラ

アナログ・デバイセズの特許取得済み iCoupler 技術で集積された 5 kV 定格の誘電体絶縁電圧

広い電源電圧範囲

1 次側 V_{IN} : 最大 60 V

2 次側 V_{DD2} : 最大 36 V

1 次側にパワー・スイッチとアクティブ・クランプ・リセット・スイッチ用の 1 A MOSFET ドライバを集積

2 次側に同期整流用 1 A MOSFET ドライバを集積

誤差アンプと 1% 未満の高精度なリファレンス電圧を集積

プログラマブルなスローブ補償

プログラマブルなスイッチング周波数範囲: 50 kHz ~ 600 kHz (代表値)

周波数同期

プログラマブルな最大デューティ・サイクル制限

プログラマブルなソフト・スタート

プリチャージされた負荷からの円滑なソフト・スタート

プログラマブルなデッド・タイム

MODE ピンによる省電力軽負荷モード

短絡、出力過電圧、過熱保護などの保護機能

サイクルごとの入力過電流保護

ヒステリシス付き高精度イネーブル UVLO

PGOOD システム・フラグ用ピン

2 次側からのトラッキング機能

リモート (2 次側) シャットダウン/リセット機能

安全と規制に関する認定 (申請中)

UL 認定

5000 V rms (1 分間)、UL 1577 規格準拠

CSA Component Acceptance Notice 5A 準拠

VDE 適合性認定

DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12

$V_{IORM} = 849$ V ピーク

GB4943.1-2011 準拠の CQC 認定

24 ピン SOIC_W パッケージを採用

アプリケーション

絶縁型 DC/DC 電力変換

中間バス電圧の生成、

通信、産業用途

基地局およびアンテナ RF 電力

スモール・セル

PoE 給電デバイス

エンタープライズ・スイッチ/ルーター

コア/エッジ/メトロ/光ルーティング

電源モジュール

簡略化したブロック図

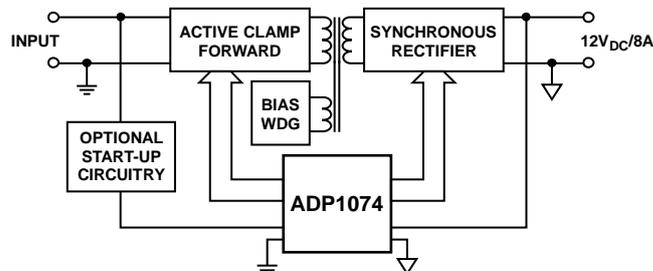


図 1.

概要

ADP1074 は、絶縁型 DC/DC 電源向けに設計された、電流モード固定周波数アクティブ・クランプ同期フォワード・コントローラです。アナログ・デバイセズ独自の iCouplers[®] が集積されており、絶縁境界を越えて信号を送信する、大きな信号トランスやフォトカプラを不要なものとしています。iCoupler を集積したことで、システム設計の複雑さ、コスト、部品点数が縮減するとともに、システム全体の信頼性が向上しています。ADP1074 では、1 次側および 2 次側の双方にアイソレータと金属酸化半導体電界効果トランジスタ (MOSFET) ドライバを集積化しているため、システム・レベルでのコンパクトな設計が可能となり、高負荷時に非同期フォワード・コンバータより高い効率性を発揮します。

1 次側のピンには、スイッチング周波数、最大デューティ・サイクル、外部周波数同期、スローブ補償を設定するための機能が備わっています。

2 次側のピンには、差動での出力電圧検出、過電圧、パワー・グッド、トラッキング、プログラマブルな軽負荷モードを設定するための機能が備わっています。

フィードバック信号と同期整流式パルス幅変調 (PWM) のタイミングは、独自の伝送方式による iCoupler を介して 1 次側から 2 次側、または 2 次側から 1 次側に送信されます。

この他、ADP1074 は、入力電流保護、低電圧ロックアウト (UVLO)、ヒステリシスを調整可能な高精度イネーブル、過熱保護 (OTP)、省電力軽負荷モード (LLM) などの機能も備えています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	温度計測.....	17
アプリケーション.....	1	周波数設定 (RT ピン)	18
簡略化したブロック図.....	1	最大デューティ・サイクル.....	18
概要.....	1	周波数同期.....	18
改訂履歴.....	2	同期整流 (SR) ドライバ.....	18
仕様.....	3	出力過電圧保護 (OVP)	18
絶縁および安全性関連の仕様.....	6	アクティブ・クランプ (PGATE)	19
適用規格.....	7	立上がりエッジのブランキング.....	19
絶対最大定格.....	8	ゲート遅延と SR デッド・タイム	19
熱抵抗.....	8	軽負荷モード (LLM) と SR のフェーズ・イン	19
ESD に関する注意	8	外部スタートアップ回路.....	20
ピン配置およびピン機能説明	9	ソフト・ストップ.....	20
代表的な性能特性.....	11	パワー・グッド.....	20
動作原理.....	13	OCP/フィードバック・リカバリ	21
詳細なブロック図.....	14	出力電圧トラッキング.....	21
一次側電源、入力電圧、LDO	15	リモート・システム・リセット.....	21
二次側の電源と LDO.....	15	OCP カウンタ	22
高精度イネーブル.....	15	絶縁寿命.....	23
ソフト・スタート手順.....	16	レイアウトのガイドライン.....	23
出力電圧の検出とフィードバック	17	代表的なアプリケーション回路	24
ループ補償と定常状態動作	17	外形寸法.....	27
スロープ補償.....	17	オーダー・ガイド.....	27
入出力電流制限保護.....	17		

改訂履歴

10/2017–Revision 0: Initial Version

仕様

特に指定のない限り、VIN = 24 V、VDD2 = 12 V、TJ = -40 °C ~ +125 °C。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit	
SUPPLY (PRIMARY)							
Supply Voltage	V _{IN}	4.7 μF capacitor from VIN to PGND1, 1 μF capacitor from VREG1 to PGND1	4.7	24	60	V	
Quiescent Supply Current	I _{VIN}	VIN > VIN UVLO, NGATE and PGATE unloaded					
		At 100 kHz		5.3		mA	
		At 300 kHz		5.8		mA	
		At 600 kHz		6.8		mA	
		VIN > VIN UVLO, NGATE and PGATE loaded with 2.2 nF and 410 pF, respectively					
		At 100 kHz		7.5		mA	
VIN Shutdown Current	I _{VIN_STARTUP}	At 300 kHz		12		mA	
		At 600 kHz		19.5		mA	
		EN pin voltage (V _{EN}) < 1.2 V, VREG1 = 0 V, VIN = 60 V			55	μA	
(VIN + VREG1) Start-Up Current	I _{VIN_STARTUP}	V _{EN} < 1.2 V, VREG1 = 12 V, VIN = 12 V			160	μA	
VIN UVLO		VIN rising	4.0		4.7	V	
		VIN falling				V	
UVLO Hysteresis				0.19		V	
Time from EN High to PGATE Output Switching		V _{EN} > 1.2 V, 1 μF capacitor on VREG1			1	ms	
Time from EN Low to SR1/SR2 Output Stops Switching		V _{EN} < 1.0 V, 1 μF capacitor on VREG1			1	μs	
SUPPLY (SECONDARY)							
Supply Voltage	V _{DD2}	4.7 μF capacitor from VDD2 to PGND2, 1 μF capacitor from VREG2 to PGND2	4.5	12	36	V	
Quiescent Supply Current	I _{DD}	SR1 and SR2 unloaded					
		At 100 kHz		6.5		mA	
		At 300 kHz		6.7		mA	
	I _{DD2}	At 600 kHz		7		mA	
		SR1 and SR2 loaded with 2.2 nF					
		At 100 kHz		8.3		mA	
VDD2 UVLO Threshold		At 300 kHz		12		mA	
		At 600 kHz		18		mA	
		VDD2 rising			3.55	V	
UVLO Hysteresis		VDD2 falling	3.0			V	
				0.145		V	
Secondary UVLO Hiccup Time				200		ms	
OSCILLATOR							
Switching Frequency (f _s)		RT resistance (R _{RT}) = 480 kΩ (±1%)	50 - 10%	50	50 + 10%	kHz	
		R _{RT} = 240 kΩ (±1%)	100 - 10%	100	100 + 10%	kHz	
		R _{RT} = 120 kΩ (±1%)	200 - 10%	200	200 + 10%	kHz	
		R _{RT} = 80 kΩ (±1%)	300 - 10%	300	300 + 10%	kHz	
		R _{RT} = 60 kΩ (±1%)	400 - 10%	400	400 + 10%	kHz	
		R _{RT} = 40 kΩ (±1%)	600 - 10%	600	600 + 10%	kHz	
VREG1 PIN							
VREG1 Voltage Clamp		VREG1 current (I _{VREG1}) = 3 mA, V _{EN} < 1.2 V	13.5	14.3	15.2	V	
VREG1 Clamp Series Resistance		VREG1 forced current of 5 mA and 15 mA		16		Ω	

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
GATE DRIVERS (PRIMARY)						
NGATE and PGATE High Voltage		$I_{VREG1} = 20 \text{ mA}$, $V_{IN} > 9 \text{ V}$	7.8	8	8.2	V
Gate Short-Circuit Peak Current ¹		8 V on VREG1		1.0		A
Rise Time		10% to 90%				
NGATE		$C_{NGATE} = 2.2 \text{ nF}$		18		ns
PGATE		$C_{PGATE} = 410 \text{ pF}$		8		ns
Fall Time		90% to 10%				
NGATE		$C_{NGATE} = 2.2 \text{ nF}$		16		ns
PGATE		$C_{PGATE} = 410 \text{ pF}$		7		ns
Source Resistance	R_{ON_SOURCE}	Source 100 mA				
NGATE				4		Ω
PGATE				6.5		Ω
Sink Resistance	R_{ON_SINK}	Sink 100 mA				
NGATE				3		Ω
PGATE				3.5		Ω
NGATE Maximum Duty Cycle	D_{MAX}	Divider bottom resistor (R_{BOT}) = 0 Ω Divider top resistor (R_{TOP}) = R_{BOT} , 1% resistors	45	50	55	%
NGATE Minimum On Time		Includes propagation delay and CS comparator blanking time		170		ns
PGATE Source Resistance	R_{ON_SOURCE}	Source 100 mA		6.5		Ω
PGATE Sink Resistance	R_{ON_SINK}	Sink 100 mA		3.5		Ω
SRx DRIVERS (SECONDARY)						
SR1 and SR2 High Voltage		$I_{VREG2} = 15 \text{ mA}$, $V_{DD2} > 5.5 \text{ V}$	4.9	5	5.1	V
Gate Short-Circuit Peak Current ¹		5 V on VREG2		1.0		A
SRx Time		$C_{SRx} = 2.2 \text{ nF}$				
Rise		10% to 90%		14		ns
Fall		90% to 10%		11		ns
Minimum On		Includes blanking time		230		ns
SRx Resistance						
Source	$R_{ON_SR_SOURCE}$	Source 100 mA		3.5		Ω
Sink	$R_{ON_SR_SINK}$	Sink 100 mA		2		Ω
DELAYS						
Gate Delay (SR1 Rising to NGATE Rising)				35		ns
Delay Between NGATE Falling Edge and SR1 Falling Edge	iCoupler delay			21		ns
SR DEAD TIME (PGATE RISING TO SR2 FALLING)						
		Resistor ($\pm 5\%$) at NGATE				
		Dead time resistor (R_{DT}) = 10 k Ω		154		ns
		$R_{DT} = 22 \text{ k}\Omega$		109		ns
		$R_{DT} = 47 \text{ k}\Omega$		72		ns
		R_{DT} is open		42		ns
SR1 and SR2 Dead Time		Dead time between SR1 and SR2		25		ns
CURRENT-LIMIT SENSE (PRIMARY)						
CS Limit Threshold	V_{CS_LIM}	Over current sense limit threshold		120		mV
CS Leading Edge Blanking Time				150		ns
Current Source di/dt for Slope Compensation		Switching period (t_s) = $1/f_s$		20		$\mu\text{A per } t_s$

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Overcurrent Protection (OCP) Comparator Delay				40		ns
Time in OCP Before Entering Hiccup Mode				1.5		ms
OCP Hiccup Time				40		ms
FB PIN AND ERROR AMPLIFIER						
Feedback Accuracy Voltage	V_{FB}	$T_J = -40^\circ\text{C}$ to $+85^\circ\text{C}$	1.2 - 0.85%	+1.2	1.2 + 0.85%	V
		$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.2 - 1.25%	+1.2	1.2 + 1.25%	V
Temperature Coefficient					76	ppm/ $^\circ\text{C}$
FB Input Bias Current			-100	+1	+100	nA
Transconductance	gm		230	250	270	$\mu\text{A}/\text{V}$
Output Current Clamp						
Minimum				-57		μA
Maximum				43		μA
COMP Clamp Voltage						
Minimum		20 μA sinking current from COMP pin		0.7		V
Maximum		20 μA sourcing current to COMP pin		2.52		V
Open-Loop Gain				80		dB
Output Shunt Resistance				5		G Ω
Gain Bandwidth Product				1		MHz
PRECISION ENABLE THRESHOLD						
EN Threshold	V_{EN}	EN rising	1.14	1.2	1.26	V
EN Hysteresis		$V_{EN} < 1.2\text{V}$		4		μA
		$V_{EN} > 1.2\text{V}$		1		μA
EN Hysteresis Current				3		μA
MODE PIN						
Light Load Mode Current Source Hysteresis		Connect a resistor from MODE to AGND2	6	6.5	7	μA
			24	40	60	mV
TEMPERATURE						
Thermal Shutdown				155		$^\circ\text{C}$
Hysteresis				-15		$^\circ\text{C}$
SOFT START SS1 AND SS2 PINS						
Primary Side SS1 Current Source		During soft start only		9.1		μA
Secondary Side SS2 Current Source		During soft start only, post handover		20		μA
SS2 Discharging Current		During a fault condition or soft stop		30		μA
SYNC PIN						
Synchronization Range			100		600	kHz
Input Pulse Width			100			ns
Number of Cycles Before Synchronization				7		Cycles
Input Voltage						
Low					0.4	V
High			3			V
Leakage Current					1	μA
iCOUPLER DELAY						
COMP Signal Delay Through iCoupler				600		ns

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FB, OVP, AND PGOOD THRESHOLDS		Overvoltage (OV) threshold for PGOOD to toggle for FB and OVP pin	1.3	1.36	1.42	V
FB Pin OV Hysteresis				36		mV
OVP Pin Hysteresis				36		mV
FB Pin UV Threshold		Undervoltage (UV) threshold for PGOOD to toggle	1.04	1.11	1.16	V
FB Pin UV Hysteresis				36		mV
OVP Comparator Delay (Includes iCoupler Delay)				320		ns
Time from Fault Condition to PGOOD Toggling		OVP pin fault to PGOOD toggling		90		ns
		FB pin OV/UV to PGOOD toggling		5		μs
OVP Pin Leakage Current					1	μ
PGOOD Pin Leakage Current					1	μA
OVP Hiccup		Time in OVP before entering OVP hiccup mode		200		μs
		Hiccup time triggered by OVP event		200		ms

¹短絡時間は1 μs未満。平均電力は、絶対最大定格のセクションに示されている制限値に適合する必要があります。

絶縁および安全性関連の仕様

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
iCOUPLER						
Rated Dielectric Insulation Voltage		1 minute duration		5		kV
Minimum External Air Gap (Clearance)		Measured from input terminals to output terminals, shortest distance through air	7.6			mm
Minimum External Air Gap (Creepage)		Measured from input terminals to output terminals, shortest distance path along body	7.6			mm
Minimum Internal Gap (Internal Clearance)		Insulation distance through insulation		0.030		mm
Tracking Resistance (Comparative Tracking Index)	CTI			>400		V
Isolation Group		Material Group (DIN VDE 0110, 1/89, Table 1)		II		

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 3 および絶縁寿命のセクションを参照してください。

表 3.

UL (Pending)	CSA (Pending)	VDE (Pending)	CQC (Pending)
Recognized Under UL 1577 Component Recognition Program ¹ Single Protection, 5000 V rms Isolation Voltage	Approved under CSA Component Acceptance Notice 5A CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 780 V rms (1103 V peak) Reinforced insulation at 390 V rms (552 V peak) IEC 60601-1 Edition 3.1: Basic insulation (1 means of patient protection (1 MOPP)), 490 V rms (686 V peak) Reinforced insulation (2 MOPP), 238 V rms (325 V peak) CSA 61010-1-12 and IEC 61010-1 third edition: Basic insulation at 300 V rms mains, 780 V secondary (1103 V peak)	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ² Reinforced insulation, V _{IORM} = 849 peak, V _{IOTM} = 8000 V peak	Certified by CQC11-471543-2012, GB4943.1-2011: Basic insulation at 780 V rms (1103 V peak) Reinforced insulation at 389 V rms (552 V peak), tropical climate, altitude ≤5000 meters
File (pending)	File (pending)	File (pending)	File (pending)

¹ UL 1577 に従い、各製品は、6000 V rms 以上の絶縁試験電圧を 1 秒間かける試験でテストされています。

² DIN V VDE V 0884-10 に従い、各製品は、1592 V peak 以上の絶縁試験電圧を 1 秒間かける試験でテストされています（部分放電検出の規定値 = 5 pC）。コンポーネント表面の * マークは、DIN V VDE V 0884-10 認定製品であることを表します。

絶対最大定格

表 4.

Parameter	Rating
VIN, EN	-0.3 V to +66 V
VDD2	-0.3 V to +42 V
VREG1	-0.3 V to +16 V
VREG2	-0.3 V to +6 V
NGATE, PGATE	-0.3 V to +16 V
RT, CS, SYNC, SS1, SS2, PGOOD, FB, COMP, OVP, MODE, DMAX, SR1, SR2	-0.3 V to +6 V
AGND1, PGND1, AGND2, PGND2	±0.3 V
Common-Mode Transients ¹	±25 kV/μs
Operating Temperature Range	-40 °C to +125 °C
Storage Temperature Range	-65 °C to +150 °C
Junction Temperature	150 °C
Peak Solder Reflow Temperature	
SnPb Assemblies (10 sec to 30 sec)	240 °C
RoHS Compliant Assemblies (20 sec to 40 sec)	260 °C
Electrostatic Discharge (ESD)	
Charged Device Model (CDM)	±1250 V
Human Body Model (HBM)	±2 kV

¹ 絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
RW-24 ¹	65.4	43.8	° C/W

¹ テスト条件 1: 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 参照

表 6. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
WAVEFORM			
AC Voltage			
Bipolar	560	V peak	50 year minimum lifetime
Unipolar	1131	V peak	50 year minimum lifetime
DC Voltage	1131	V peak	50 year minimum lifetime

¹ 絶縁・バリアに加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

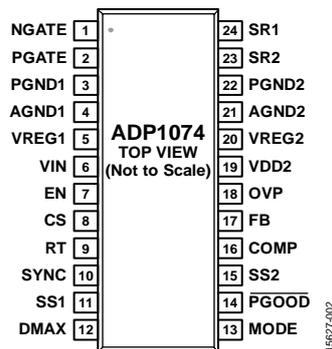


図 2. ピン配置

表 7. ピン機能の説明

Pin No.	Mnemonic	Description
1	NGATE	1 次側のメイン・パワー MOSFET のドライバ出力。多機能ピン。NGATE から PGND1 に抵抗を接続して、PGATE と SR2 の間の既定のデッド・タイムを設定します。
2	PGATE	フォワード回路のアクティブ・クランプ MOSFET 用ドライバ。このピンは PGND1 を基準とします。
3	PGND1	1 次側の電源グラウンド。このピンは AGND1 にスター接続します。
4	AGND1	1 次側のアナログ・グラウンド。このピンは PGND1 にスター接続します。このピンを用いて、CS と AGND1 ピンの間の検出抵抗で 1 次電流を差動検出します。
5	VREG1	MOSFET ドライバ用の 8 V 出力。このピンに 1 μ F 以上を接続します。このピンには外部負荷をかけないでください。このピンは PGND1 を基準とします。
6	VIN	入力電圧。このピンに 4.7 μ F のコンデンサを接続します。このピンへの入力電圧の安定性を確保できる場合は、このコンデンサの容量を小さくできます。このピンは PGND1 を基準とします。
7	EN	高精度イネーブル・ピン。EN ピンの電圧が EN のスレッシュホールド電圧を超えると、コントローラがイネーブルされます。EN が EN のスレッシュホールド電圧を下回ると、ソフト・ストップが有効になります。このピンでは EN のヒステリシスも設定できます。このピンは AGND1 を基準とします。
8	CS	入力電流検出。このピンは入力のパルス幅変調電流を検出します。パワー MOSFET のソース端子と PGND1 の間に電流検出抵抗を接続します。この電流検出抵抗によって入力電流制限値を設定します。このピンは外部のスロープ補償器にも使用されます。CS から電流検出抵抗に抵抗を接続して、スロープ補償用の電圧ランプを生成させます。このピンは AGND1 を基準とします。ノイズの多い環境では、このピンに 33 pF ~ 100 pF のコンデンサを接続し、スロープ補償抵抗と併せて抵抗コンデンサ (RC) フィルタとして機能させます。
9	RT	スイッチング周期抵抗。スイッチング周波数を設定するには、RT から AGND1 までに 2 本の抵抗を直列に接続し、その合計が適切な抵抗値になるようにします。詳細については、DMAX ピンを参照してください。関連する式については、周波数設定 (RT ピン) のセクションと最大デューティ・サイクルのセクションも参照してください。
10	SYNC	周波数同期。SYNC ピンに外部クロックを接続して、内部発振器をこの外部クロック周波数に同期させます。この機能を使用しない場合は、SYNC を AGND1 に接続します。SYNC 周波数は、RT ピンで設定される周波数の 10 % 以内にすることを推奨します。
11	SS1	ソフト・スタート 1。オープンループのソフト・スタート時間を設定するには、このピンにコンデンサを接続します。このピンは AGND1 を基準とします。
12	DMAX	最大デューティ・サイクルの制御。最大デューティ・サイクルを設定するには、DMAX ピンを RT ピンの抵抗分圧器の中央タップに接続します。関連する式については、周波数設定 (RT ピン) のセクションと最大デューティ・サイクルのセクションを参照してください。
13	MODE	軽負荷モードの設定。MODE を AGND2 に接続して不連続導通モード (DCM) 動作を無効にするか、またはハイ・ロジック (VREG2 ピンなどの 2.5 V 以上) にして LLM 動作にするか、または 1 個の抵抗を接続して固定の LLM スレッシュホールド電圧を設定します。
14	PGOOD	パワー・グッド・ピン。オープンドレイン出力。PGOOD から VREG2 にプルアップ抵抗を接続します。
15	SS2	2 次側のソフト・スタート。SS2 ピンと AGND2 の間にコンデンサを接続して、2 次側のソフト・スタート時間を設定します。
16	COMP	2 次側の補償ノード。このピンはトランスコンダクタンス (gm) アンプの出力です。このピンは AGND2 を基準とします。
17	FB	2 次側のフィードバック・ノード。電源電圧がレギュレーション状態のときの公称電圧が 1.2 V になるように、出力電圧の抵抗分圧器を設定します。このピンは AGND2 を基準とします。
18	OVP	出力過電圧保護 (OVP)。OVP の閾値は 1.36 V に設定されています。抵抗分圧器を OVP から出力および AGND2 に接続します。

Pin No.	Mnemonic	Description
19	VDD2	2次側の入力電源。セルフ駆動構成の場合、VDD2は電源の出力電圧に接続します。VDD2からAGND2に4.7 μ Fのコンデンサを接続します。このピンへの入力電圧の安定性を確保できる場合は、このコンデンサの容量を小さくできます。
20	VREG2	同期整流器のドライバの内部バイアスおよび電力供給用の5V安定化低ドロップアウト(LDO)出力。VREG2はリファレンスまたは負荷として使用しないでください。VREG2からAGND2に1 μ Fのコンデンサを接続します。
21	AGND2	2次側のアナログ・グラウンド。AGND2をPGND2にスター接続します。AGND2を用いて、FBピンとAGND2の間の出力電圧を差動検出します。
22	PGND2	2次側の電源グラウンド。PGND2をAGND2にスター接続します。
23	SR2	同期整流MOSFET用のMOSFETドライバ出力2。このPWMによりフリーホイーリング・スイッチが制御されます。
24	SR1	同期整流MOSFET用のMOSFETドライバ出力1。このPWMはNGATEと同相です。

代表的な性能特性

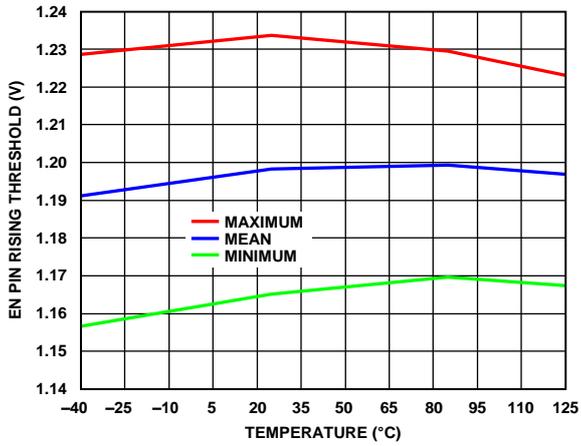


図 3. EN ピンの立上がり閾値の温度特性

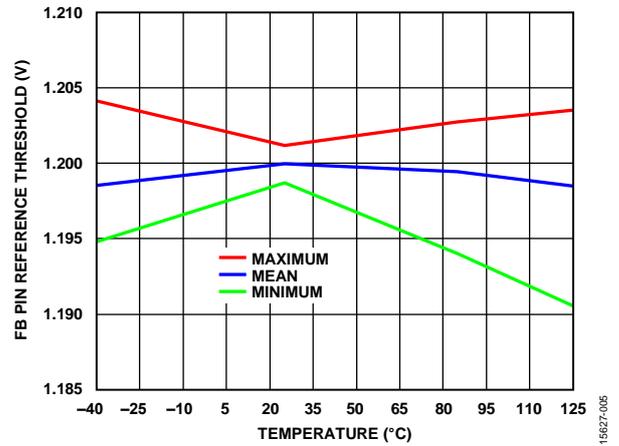


図 5. FB ピンのリファレンス閾値の温度特性

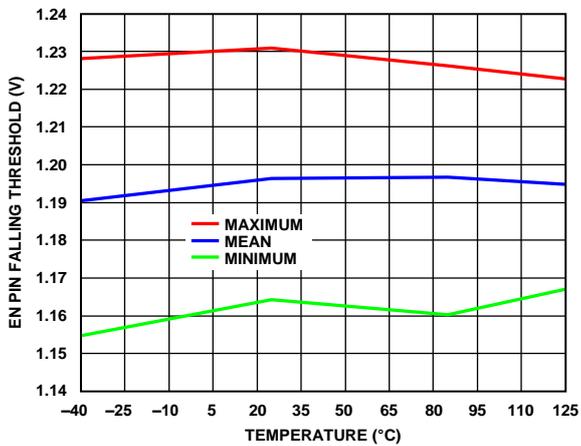


図 4. EN ピンの立下がり閾値の温度特性

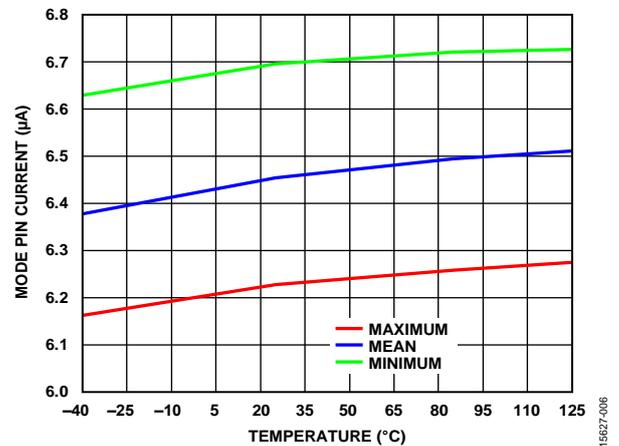


図 6. MODE ピンの電流の温度特性

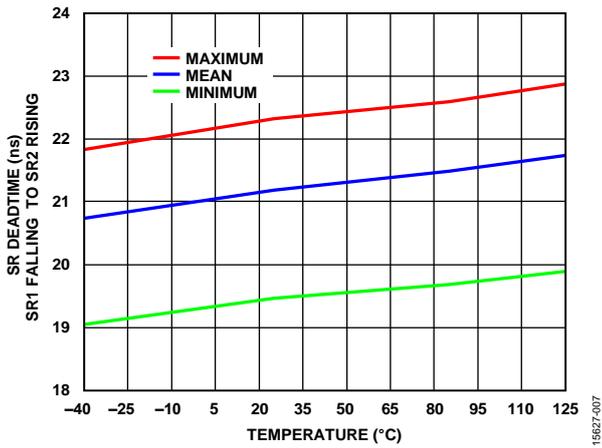


図 7. SR デッド・タイム

(SR1 の立下がりから SR2 の立上がりまで) の温度特性

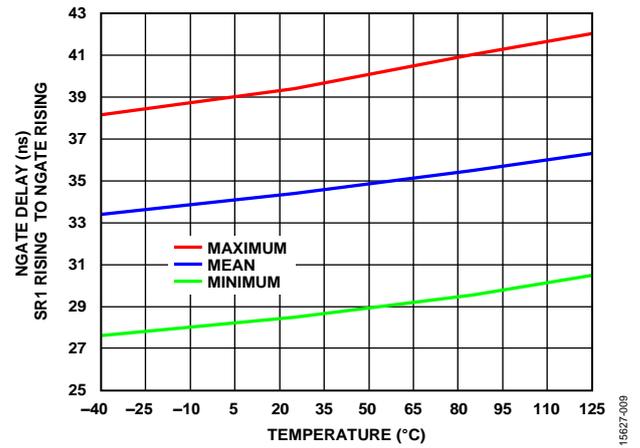


図 9. NGATE 遅延

(SR1 の立上がりから NGATE の立上がりまで) の温度特性

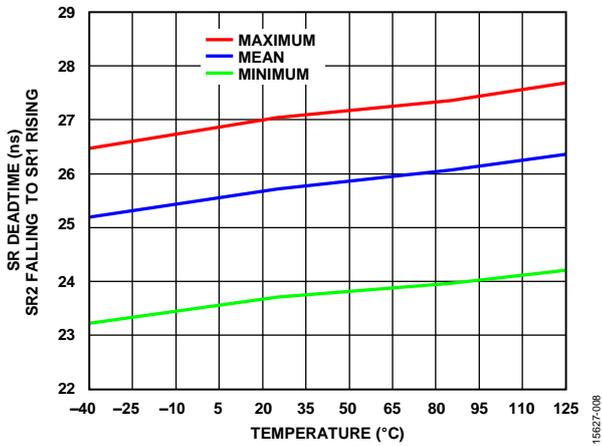


図 8. SR デッド・タイム

(SR2 の立下がりから SR1 の立上がりまで) の温度特性

動作原理

ADP1074 は、絶縁型 DC/DC 電源向けに設計された、電流モード固定周波数アクティブ・クランプ同期フォワード・コントローラです。アナログ・デバイセス独自の *iCouplers*[®] が集積されており、絶縁境界を越えて信号を送信する、大きな信号トランスやフォトカプラを不要なものとしています。*iCoupler* を集積したことで、システム設計の複雑さ、コスト、部品点数が縮減するとともに、システム全体の信頼性が向上しています。

ADP1074 では、1 次側および 2 次側の双方にアイソレータと MOSFET ドライバを集積化しているため、システム・レベルでのコンパクトな設計が可能となり、高負荷時に非同期フォワード・コンバータより高い効率性を発揮します。

従来型のフォワードまたはフライバック・コンバータでは、2 次側から 1 次側に信号を送信するためのフォワード経路にディスプレイスクリーン用のフォトカプラが使用され、1 次側から 2 次側に同期整流用の PWM 信号を送信するためには外部トランスが使用されています。しかし、フォトカプラの電流伝達率 (CTR) は経時変化や温度によって低下するため、初期の CTR を決める製造品質とフォトカプラのグレードに応じて、5 年から 10 年ごとにフォトカプラを交換する必要があります。ADP1074 ではフォトカプラと信号トランスが不要なため、システム・コスト、PCB 面積、複雑さが低減される一方、システムの信頼性が向上し、フォトカプラの CTR 劣化の問題もありません。

ADP1074 コントローラは、5 kV アイソレータと 1 次および 2 次の制御回路を 1 個のパッケージに統合することにより、すべてが揃った絶縁型 DC/DC 電源ソリューションを提供しています。

PWM 制御は 1 次側で実行され、メインのスイッチング MOSFET のソースに置かれた検出抵抗で入力ピーク電流をサイクルごとに検出します。コンバータの出力は 2 次側の回路で検出され、この回路が 5 kV の内蔵アイソレータを介して 1 次側にフィードバック信号と PWM 信号を伝送することにより、完全な制御ループ・ソリューションとなっています。

ADP1074 の 1 次回路には、8 V LDO、入力電流検出、バイアス回路、MOSFET ドライバが搭載されている他、アクティブ・クランプ・リセット・ドライバ、スロープ補償、外部周波数同期、PWM 発振器、プログラマブルな最大デューティ・サイクル設定をも備えています。また、1 次側には、電流検出信号を差動検出するためのピンがあります。

2 次側の回路には、フィードバック補償、5 V LDO レギュレータ、内部リファレンス、同期整流用の 2 個の MOSFET ドライバ、過電圧保護用の専用ピンが含まれます。また、2 次側は差動出力電圧検出機能とパワー・グッド・ピン、プログラマブルな軽負荷モード設定を備えています。

集積化された *iCoupler* は、フィードバック信号と PWM を絶縁障壁を越えて伝送することにより、1 次側と 2 次側の間で通信します。

フィードバック信号と同期整流 PWM のタイミングは、独自の伝送方式を用いた *iCoupler* を介して 1 次側から 2 次側に、または 2 次側から 1 次側に伝送されます。

さらに、ADP1074 は、入力電流保護、UVLO、ヒステリシスを調整可能な高精度イネーブル、OTP、LLM、トラッキングなどの機能も備えています。

詳細なブロック図

ADP1074 の詳細なブロック図を図 10 に示します。

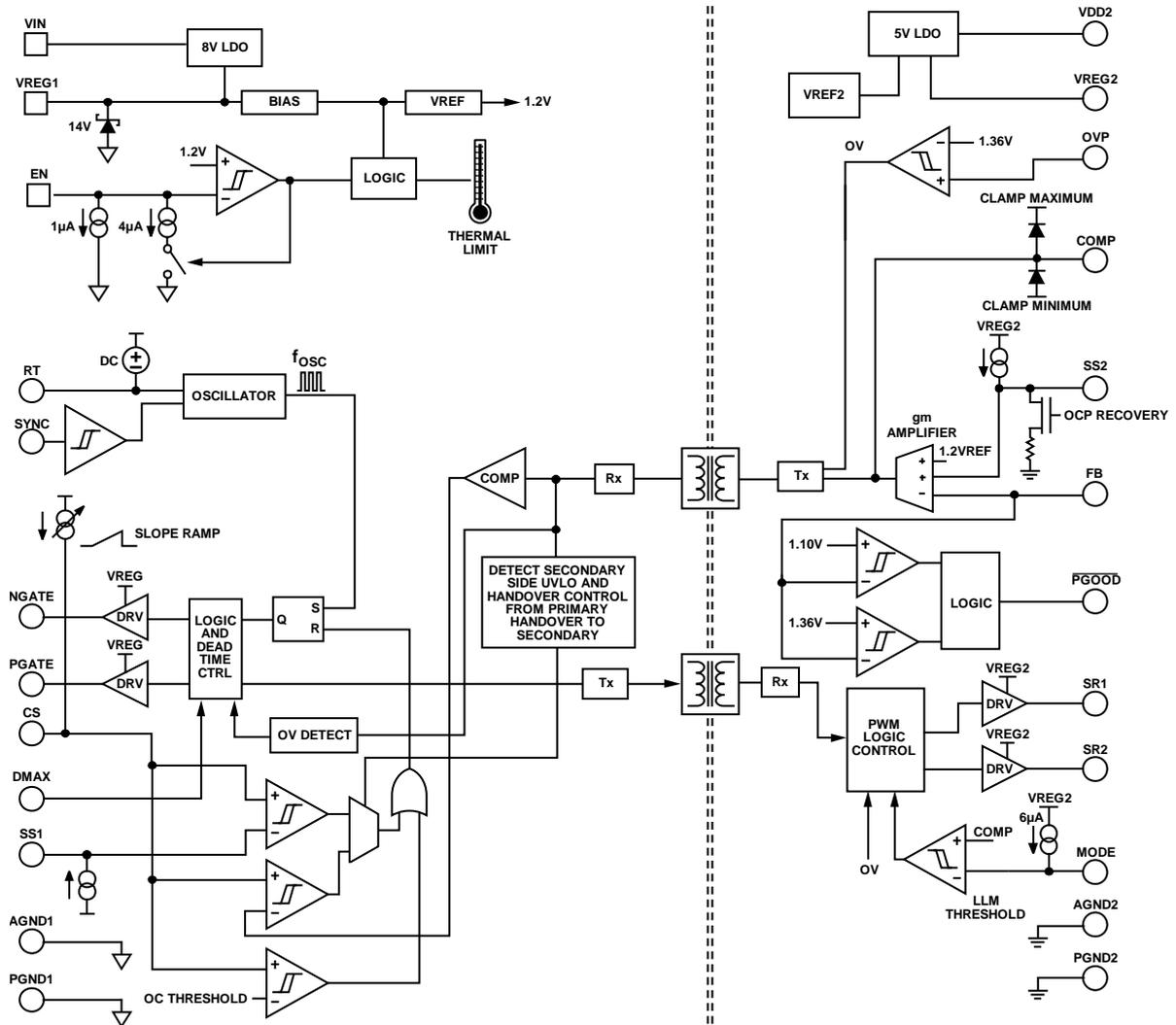


図 10. 詳細なブロック図

15627-010

1 次側電源、入力電圧、LDO

1 次側の VIN と VREG1 の 2 つのピンは電源ピンです。VIN に接続される高電圧 LDO レギュレータは、VREG1 ピンから 8 V の安定化電圧を出力します。この LDO レギュレータは、内部バイアス回路や 1 次側の iCoupler とハウスキューピング回路、および NGATE ピンと PGATE ピンに接続される 1 次側の MOSFET ドライバに電力を供給します。

入力電圧が約 30 V を超える場合の LDO の消費電力を低減するために、アクティブ・クランプ・フォワード回路のトランスの補助巻線を用いて VREG1 に電力を供給することができます。この補助電源電圧は、VREG1 の安定化出力よりも高くなければならないので、LDO は通常動作中はシャットオフします。VREG1 の内部に 14 V ツェナー・ダイオードが接続されているため、推奨される補助電圧は 8.5 V 以上 13 V 以下です。

LDO の損失を避けるために高入力電圧を印加する場合は、VIN と VREG1 のピン同士を接続し、VIN ピンの UVLO (代表値は 4.5 V) を超える 8 V ~ 10 V の補助電圧を印加します。この電圧が内部ツェナー・クランプ電圧である 14 V (代表値) を超えないように注意します。代表値は 10 V です。

2 次側の電源と LDO

2 次側の VDD2 と VREG2 の 2 つのピンは電源ピンです。

2 次側は通常、コンバータの出力レールを VDD2 ピンに接続することにより給電されます。2 次側の UVLO は代表値が 3.5 V で、この電圧で 2 次側が起動します。出力電圧が 2 次側の UVLO 電圧より低い場合、2 次側の回路に電力を供給する補助電圧を生成するために 3 次巻線が必要です。VREG2 ピン内部の 5 V LDO レギュレータは、MOSFET ドライバ、2 次側の iCoupler、ハウスキューピング回路に給電します。VDD2 が 5 V 未満の場合、LDO レギュレータはドロップアウト・モードで動作します。

24 V を超える出力電圧の場合、出力電圧を直接 VDD2 に接続すると、LDO での電力損失が大きくなる可能性があります。例えば、24 V で全ドライバ電流が 10 mA の場合、LDO で消費される電力は 0.19 W (10 mA × 19 V) です。VDD2 には 8 V ~ 12 V の補助電圧を供給することを推奨します。

高精度イネーブル

EN ピンのイネーブル閾値は 1.2 V を基準とする高精度電圧です。VIN が UVLO 電圧 (代表値 4.5 V) よりも大きいとすると、EN の電圧が 1.2 V を超えたときに ADP1074 がイネーブルされます。すなわち、 $V_{EN} > 1.2 V$ のようにこの電圧を超えると、VREG1 ピン内部の 8 V LDO レギュレータがイネーブルされ、内部バイアスが設定された後、ソフト・スタート手順が開始されます。

入力スタートアップ電圧を設定するには、EN と VIN の間に抵抗分圧器を接続します (図 11 参照)。EN 内部の電流源により、目的のヒステリシスで UVLO スタートアップ電圧を設定することができます。ヒステリシス付きのスタートアップ電圧を計算するには、次のように重ね合わせの定理または節点解析を用いて EN ピン電圧を求めます。

$$V_{EN} = V_{IN} \times \frac{R2}{R1 + R2} - I_{EN} \times (R1 \parallel R2 + R_H)$$

ここで

V_{EN} は EN ピンの電圧。

I_{EN} は EN ピンの電流源 (ターンオン時には 1 μ A、ターンオフ時には 4 μ A)。

$V_{EN} \geq 1.2 V$ となるように R1、R2、RH の抵抗を調整して、目的のヒステリシスを得ることができます。

内部の 1 μ A プルダウン電流は常にオンですが、3 μ A の電流は V_{EN} が EN 閾値を下回ったときのみアクティブになり、 V_{EN} が EN 閾値を上回ると非アクティブになります。

一般に、入力電圧が高いほど大きなヒステリシスが必要です。EN ピンから AGND1 にコンデンサを接続して低インピーダンスの経路とし、ノイズを防止することを推奨します。こうすると、入力電圧が閾値で不安定なときに EN ピンがトグルします。

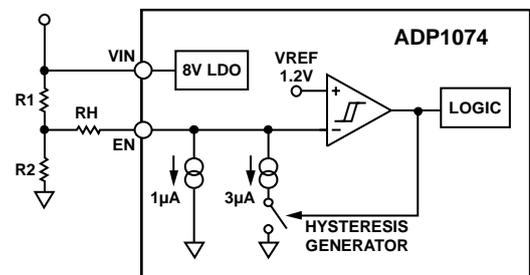


図 11. ヒステリシスを調整可能な高精度 EN

EN ピンの電圧が EN 閾値よりも小さい場合、システムはソフト・ストップ手順をイネーブルします。SR1 および SR2 が終了するには最大 2 スイッチング周期を必要とします。詳細については、ソフト・スタート手順のセクションを参照してください。

ソフト・スタート手順

以下の手順では、VDD2 ピンが電源の出力電圧から直接給電されることを前提としています。

起動時にスムーズな出力電圧ランプを確保するために、ソフト・スタート・シーケンスは1次側 (SS1 ピンを用いたオープンループのソフト・スタート用) と2次側 (SS2 ピンを用いたクローズドループのソフト・スタート用) の2つのソフト・スタート制御回路で制御します。2次側が制御を開始する前に、1次側と2次側の間の適切なハンドシェイクが必要です。

オープンループのソフト・スタート時間は、SS1 ピンのコンデンサによって決まります。SS1 ピンは9.1 μA の定電流を供給し、このピンの電圧を上昇させます。SS1 ピンの電圧はピーク1次電流制限に比例し、0 V と1.5 V はピーク電流0 A と120 $\text{mV}/R_{\text{SENSE}}$ にそれぞれ対応します。このレートはオープンループのソフト・スタートの場合です。この間にADP1074はPWMパルスの発生を開始し、平均インダクタ電流制限が負荷電流を超えると、出力電圧は徐々に上昇し続けます。ADP1074は電流モード・コントローラなので、1次電流制限が負荷電流条件を超えた場合にのみ出力コンデンサは充電を開始します。

SS1 ピンの電圧が最大電流制限まで上昇するレートは、次式で与えられます。

$$dt = C_{\text{SS1}} \times 1.5 / (9.1 \mu\text{A})$$

ハンドシェイクのプロセスは以下のとおりです。

VDD2 が約3.5 V のUVLO に達すると、2次側の内部回路がアクティブになり、ADP1074は次のプロセスを開始します。

1. ADP1074は、SS2 ピンの電圧をFB ピンの値と等しくし、SS2 ピン電流を、SS2 ピンの公称電流源である20 μA の10倍にします。
2. 同時に、1次の電流制限値 (SS1 の電圧) が2次側に伝送され、COMP ピンの電圧がその瞬間のSS1 電圧 $\pm 100 \text{ mV}$ に等しくなります。このプロセスにはタイムアウトがあり、VDD2 のUVLO 閾値を超えてから1.5 ms です。

このプロセスが完了すると、COMP 信号が2次側から1次側に伝送されます。ADP1074はCOMP ピンでアナログ信号を連続的にサンプリングすることにより、COMP 信号を伝送します。サンプリングされた値は独自方式で2次側に伝送され、そこでCS ピンの瞬時値がCOMP レベルと比較され、NGATE パルスの立下がりエッジが決まります。したがって、COMP 信号は1次電流制限を表します。

COMP の伝送が開始されると、1次側は信号を受信し、1次側のCOMP の受信レベルが $\pm 100 \text{ mV}$ 以内になるか、または最大128のスイッチング周期 (代表値は8) が経過すると、制御は2次側に完全に引き継がれ、最初のパルスを1次側に伝送し始めます。

このように、制御が2次側に引き渡され、クローズドループのソフト・スタートが開始します。ここで、SS2 コンデンサは公称20 μA の充電レートで充電されます。さらに、出力電圧がSS2 ピンの電圧に基づいてレギュレーション電圧まで上昇します。SS2 ピンの電圧は1.2 V まで上昇し続け、これがFB ピンの定常電圧となります。この段階で電源は安定し、出力電圧が目標値になります。

ソフト・スタート・プロセスが終了すると、SS2 ピンの電圧は約1.4 V まで上昇し続けます。制御が引き渡された瞬間にSS1 は0 V に放電されます。定常状態では、FB ピン (つまり、リファレンス電圧) は1.2 V です。

SR1 とSR2 の同期ドライブは、VDD2 がUVLO 閾値を超えた後にパルスを開始します。

プリチャージ出力からのソフト・スタートなどでVDD2 ピンの電圧がUVLO 電圧よりも大きい場合、またはVDD2 ピンが外部電源によって給電される場合、EN ピンがイネーブルされてから2次側が制御を受け継ぐため、ソフト・スタート手順にはSS2のみが使用されます。

プリチャージ出力からのソフト・スタート開始の場合、SS2 ピンはFB ピンをトラッキングしてソフト・スタートを開始します。このプロセスにより、出力電圧のグリッチが除去されます。

プリチャージ出力からソフト・スタートすると、SS2 電圧がFB ピンのプリチャージ電圧に達するまで、SRx ゲートはオンになりません。このソフト・スタート方式では、出力の放電が防止され、逆電流も防止されます。

ソフト・スタートのプロセス中の負荷短絡または負荷過渡状態などの異常な状況では、FB はSS2 を正確にトラッキングできないことがあります。これがVDD2 のUVLO 閾値を超える前に発生した場合は、SS1 が制御します。VDD2 のUVLO 閾値を超えた後に発生した場合は、SS2 がFB ピンをトラッキングし、レギュレーション電圧に達するまでソフト・スタート・プロセスを継続します。いかなる状態でも、FB $\geq 1.2 \text{ V}$ の場合、制御は2次側に引き渡されます。

2次側のVDD2 がコンバータの出力から直接給電される場合、必要な最小の出力電圧は2次側のUVLO 電圧よりも高くなります。2次側のUVLO 電圧より出力電圧が低い場合、2次側の回路に電力を供給する補助電圧を生成するのに3次巻線が必要です。あるいは、ほとんどの場合、スイッチ・ノードからダイオード、抵抗、コンデンサの組み合わせを通すことによって、電圧をVDD2 に供給することができます。

出力電圧の検出とフィードバック

コンバータの出力電圧は、FB ピンへの抵抗分圧器によって設定されます。抵抗分圧器は、定常状態で FB ピンの電圧が 1.2 V になるように設定する必要があります。出力電圧は、FB ピンと AGND2 ピンを用いて差動で検出することが必要です。

ループ補償と定常状態動作

FB ピンは約 250 $\mu\text{A}/\text{V}$ のゲインを持つトランスコンダクタンス・アンプ (gm アンプ) の負端子に給電します。gm アンプの正の入力端子は SS2 に接続します。これは、リファレンスのセットポイント電圧を供給します。gm アンプの出力は COMP ピンに接続します。COMP ピンの電圧は、レギュレーションの維持に必要な電流ピーク制限を表しています。このピンは連続的にサンプリングされて信号が 1 次側に伝送され、検出された 1 次電流との間でコンパレータにより比較されます。コンパレータがトリップすると NGATE が終了します。

通常、補償のために COMP ピンと AGND2 の間に RC ネットワークを直列に接続します。高周波ポールをコンデンサの形で RC ネットワークに並列に追加することもできます。

gm アンプの出力は、約 $-57 \mu\text{A}$ と $+43 \mu\text{A}$ のそれぞれ最小電流と最大電流にクランプされます。

COMP ノードは、約 0.7 V と 2.52 V のそれぞれ低レベルと高レベルにクランプされます。これは、CS の範囲が 0 mV ~ 120 mV であることを表しています。

スロープ補償

デューティ・サイクルが 50 % 以上のピーク電流モード・コントローラでは、安定動作のためにスロープ補償が必要です。ADP1074 で外部補償を設定するには、CS と電流センス抵抗 R_{SENSE} の間に R_{RAMP} を外付けし (図 21 参照)、制御信号のスロープ電圧ランプを設定します。信号は差動で検出することが重要です。詳細については、レイアウト・ガイドラインのセクションを参照してください。

内部ランプ電流は最小デューティ・サイクルで 0 μA (つまりスイッチング周期の開始時) から始まり、スイッチング周期の終了時に最大 20 μA まで直線的に増加します。電圧ランプのスロープは、ランプ電流と R_{RAMP} の積です。 R_{RAMP} の大きさは次式により決定します。

$$R_{\text{RAMP}} \geq k \frac{V_{\text{OUT}}}{L} \times \frac{N2}{N1} \times \frac{R_{\text{SENSE}}}{20 \mu\text{A}} \times t_s$$

ここで

$k = 0.5$ (通常の場合) または、 $k = 1$ (デッドビート制御の場合)。

V_{OUT} は目的の出力電圧。

L は出力インダクタ。

$N1$ と $N2$ はトランスの 1 次巻線数と 2 次巻線数。

t_s はスイッチング周期。

入出力電流制限保護

2 次側には電流制限を直接検出する回路はありません。出力電流制限は、CS ピンのサイクルごとの 1 次側電流制限である 120 mV によって間接的に制限されます。

入力ピーク電流制限は、メインの MOSFET のソースから PGND1 に検出抵抗 R_{SENSE} を接続することによって設定され (図 21 を参照)、検出された電圧は CS ピンに現れます。スロープ補償ランプを生成するには、スロープ補償抵抗 R_{RAMP} を CS と R_{SENSE} の間に挿入します。

CS の電流制限値 V_{CSLIM} は内部で 120 mV に設定されます。 R_{SENSE} は次式で計算します。

$$R_{\text{SENSE}} = \frac{V_{\text{CSLIM}} - R_{\text{RAMP}} \times 20 \mu\text{A}}{I_{\text{PKPRI}}}$$

ここで

V_{CSLIM} は CS の電流制限値。

I_{PKPRI} は 1 次ピーク電流。

検出された入力ピーク電流が CS の制限閾値を超えると、コントローラはサイクルごとの定電流制限モードで 1.5 ms の間動作します。その後、コントローラはすぐに 1 次と 2 次のドライブをシャットダウンします。次に、コントローラは次の 40 ms の間、ヒックアップ・モードに入り、このタイムアウト時間後にソフト・スタートのシーケンスを再開します。

スロープ・ランプは電流制限閾値の精度に影響することがあります。これは、 R_{RAMP} 両端の電圧降下がピーク電流制限の不正確さの原因となるからです。例えば、追加されたスロープ・ランプ電圧が電流制限閾値の 20 % の場合、実際の入力ピーク電流制限は、ピーク電流制限閾値がオン・サイクル中のどこでトリップするかに応じて最大 20 % オフになることがあります。出力が短絡した場合、コントローラはこの状態を過電流イベントとみなし、40 ms のヒックアップ・モードに入ります。

温度計測

ADP1074 の内部には温度センサーがあり、内部温度が OTP 制限値を超えたときにコントローラをシャットダウンします。このとき、1 次と 2 次の MOSFET ドライバ (PGATE、NGATE、SR1、SR2) はローに保持されます。温度が OTP のヒステリシス・レベルを下回ると、ADP1074 はソフト・スタートのシーケンスを再起動します。

周波数設定 (RT ピン)

RT から AGND1 に抵抗を接続することにより、スイッチング周波数を 50 kHz ~ 600 kHz の範囲で設定することができます。RT ピンから小電流が流れ、その電圧により内部発振器の周波数が設定されます。このピンの値は定常状態で約 1.224 V です。特定のスイッチング周波数 (kHz) に対する抵抗 (Ω) を求めるには、次式を使用します。

$$f_s(\text{kHz}) = \frac{1}{41.67 \times 10^{-12} \times (R_{TOP} + R_{BOT})} \times \frac{1}{1000}$$

ここで

f_s はスイッチング周波数。

R_{TOP} は分圧器の上側の抵抗。

R_{BOT} は分圧器の下側の抵抗。

最大デューティ・サイクル

高電流または大きな負荷過渡応答の場合にトランスのコアが飽和するのを防ぎ、MOSFET への電圧ストレスを低減するには、RT から AGND1 に接続されている抵抗分圧器の中央タップに DMAX ピンを接続することによって、最大デューティ・サイクルのクランプを設定します (図 12 参照)。

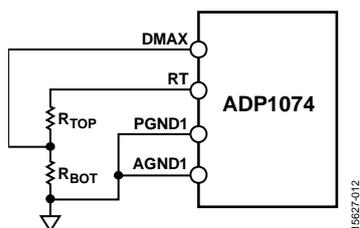


図 12. 最大デューティ・サイクル D_{MAX} の設定

最大デューティ・サイクルは次式で計算されます。

$$D_{MAX} = 50 + \frac{50 \times R_{BOT}}{(R_{TOP} + R_{BOT})} \%$$

ここで

R_{BOT} が 0 Ω 、または DMAX ピンが AGND1 に接続されている場合、 D_{MAX} は 50 %。例えば、 R_{TOP} が R_{BOT} に等しい場合、 D_{MAX} は 75 %。 R_{TOP} が 0 の場合、または R_{BOT} がオープン・サーキットの場合、 D_{MAX} は 100 % になることがある。

R_{BOT} は分圧器の下側の抵抗。

R_{TOP} は分圧器の上側の抵抗。

オープンループ状態を防止するための追加の保護機能として、ソフト・スタート時にも最大デューティ・サイクルを適用できます。コントローラがソフト・スタート中に 3 スwitching 周期連続して DMAX に達すると、40 ms のヒックアップ・タイマーが開始します。

周波数同期

ADP1074 のスイッチング周波数は、SYNC ピンの外部クロックに同期させることができます。外部クロックの立上がりエッジが最初に検出されてから、内部クロックが SYNC クロック周波数にロックインするのに約 7 ~ 10 周期かかります。SYNC クロックを検出してからロックインするまでの間に、コントローラは内部発振器周波数で動作し続けます。

SYNC 周波数は、RT ピンで設定された内部発振器周波数の $\pm 10\%$ 以内でなければなりません。そうでない場合は同期しません。

クロック信号は、オンザフライで、またはソフト・スタートのシーケンス前に SYNC に印加することができます。SYNC にディザリングされたクロックを加えれば、コンバータの出力とスイッチ・ノードでピークの電磁干渉 (EMI) ノイズを低減することもできます。内部クロックは、ディザリングされたクロック・サイクルに対してサイクルごとにロックすることができます。

この機能を使用しない場合は、SYNC を AGND1 に接続することを推奨します。

同期整流 (SR) ドライバ

同期スイッチを駆動するために 2 次側に 2 つの同期整流ドライバがあります。SR1 は 1 次側の NGATE ドライバと同相のフォワード・ドライバであり、SR2 はフリーホイール・ドライバです。VDD2 は、VREG2 が接続されている LDO のフロントエンドです。VREG2 の 5V の内蔵 LDO は、2 次側の SRx ドライバとすべての内部回路に電力を供給します。VDD2 の推奨電源範囲は 6 V ~ 36 V です。ただし、VDD2 \sim 36 V を与えると、LDO の電力損失が大きくなることがあります。VDD2 が 5 V 未満の場合、LDO はドロップアウト領域で動作し、VREG2 とドライバ出力が 5 V 未満となります。このような場合は、VDD2 に 5 V を超える補助電源を供給することを推奨します。

VDD2 は、コンバータ出力または補助電源に直接接続することができます。これを実行するには、メイン・トランスの 3 次巻線を使用します。SR1 と SR2 は、駆動能力を強化するために、ADP3624 や ADP3654 などの外部 MOSFET ドライバに接続することができます。

出力過電圧保護 (OVP)

出力電圧が 1.36 V の OVP 閾値を超えると、コントローラは 1 次と 2 次の双方のドライバ (NGATE、PGATE、SR1、SR2) を即座に遮断します。OVP の電圧が 0 V の閾値を下回ると、コントローラは次のスイッチング周期で 1 次ドライバのスイッチングを再開し、続いて SR1 と SR2 の PWM をフェーズ・インさせます。OVP ピンの電圧が 200 μ s 継続して 1.36 V を超えると、OVP 機能によりシステムは 200 ms のヒックアップに入ります。

アクティブ・クランプ (PGATE)

フォワード・コンバータでは、オン・サイクル中にトランスのコアに蓄えられた磁化エネルギーは、オフ・サイクル中に消磁またはリセットする必要があります。さもないと、トランスのコアは後続のスイッチング・サイクルで飽和してしまいます。トランス・コアをリセットするには、オフ・サイクル中にアクティブ・クランプ・スイッチをオンにします。これで、トランスをリセットできます。このプロセスにより消費電力が削減され、全体的な効率が向上します。アクティブ・クランプ・スイッチは、PGATE ピンのドライバを用いてハイサイドまたはローサイドのスイッチにすることができます。

立上がりエッジのブランキング

スイッチング周期の開始時に CS ピンでの不要なノイズやリングを防ぐため、NGATE 信号の立上がりエッジ後に立上がりエッジのブランキング時間が追加されます。

ゲート遅延と SR デッド・タイム

入力電圧が高い場合、1 次側のメイン MOSFET の立上がり時間と立下がり時間は、入力電圧が低い場合よりも長くなります。異なる入力電圧やトランスの漏れインダクタンス、および MOSFET の出力容量を考慮して、PGATE の立上がりおよび NGATE の立上がりの間にプログラマブルな遅延時間を設定することが重要です。また、PGATE と NGATE の間に十分なゲート遅延があれば、ゼロ電圧スイッチング (ZVS) が確保されます。これは、メイン MOSFET のスイッチング損失を低減するのに重要です。

PGATE と NGATE の立上がりエッジ間の合計遅延は、NGATE ピンに接続する抵抗で設定することができます。NGATE に接続する抵抗は、ソフト・スタートの前に ADP1074 で特定します。PGATE と NGATE 間の遅延には、30 ns、60 ns、100 ns、150 ns の 4 つの離散的な代表値を設定することができます。詳細については、図 13 を参照してください。

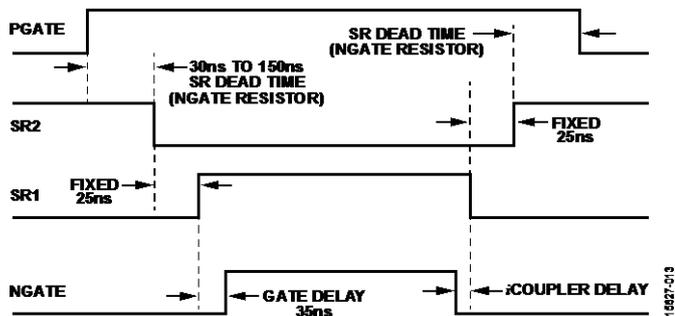


図 13. ゲート遅延と SR デッド・タイムの設定

効率を最大にし、1 次 NGATE と SR2 (フリーホイーリング・スイッチ) 間の相互導通を避けるためには、SR2 と NGATE の間に遅延時間を設ける必要があります。

図 13 に示すように、NGATE の立下がりエッジと SR1 の立下がりエッジは同時にオフになりますが、SR1 には *iCoupler* の遅延が加わります。

また、SR1 と SR2 間のデッド・タイムは内部で 25 ns (代表値) に固定されており、2 次側トランスの短絡を防ぐことができます。

軽負荷モード (LLM) と SR のフェーズ・イン

ADP1074 の省電力 LLM 機能を有効にするには、MODE ピンに抵抗を追加します。電流源からの 6.5 μ A の電流が MODE ピンからこの抵抗に流れることで、LLM スレッシュホールド電圧が設定され、この電圧が COMP 電圧と比較されます。COMP 電圧が LLM 閾値 (つまり MODE ピン電圧) を上回ると、SRx のフェーズ・イン・レートで、SRx PWM は軽負荷時のデューティ・サイクルから定常状態のデューティ・サイクルまで徐々に増加 (フェーズ・イン) します。SRx のフェーズ・イン・レートにより、1 μ s あたり 1.5 ns の割合で SRx エッジが移動します。フェーズ・イン・シーケンスなしで、SRx PWM がゼロからフル・デューティ・サイクルに瞬時に遷移すると、出力電圧が低下する可能性があります。

負荷ダンパ状態、例えば、負荷が全負荷から軽負荷に切り替わったとき、すなわち連続導通モード (CCM) から不連続導通モード (DCM) 動作に移行するとき、SRx PWM のデューティ・サイクルは SRx のフェーズ・アウト・レートで徐々にフェーズ・アウトします。このレートは SRx フェーズ・イン・レートと同じ数値です。SRx PWM のフェーズ・アウト・シーケンスにより、2 次側の逆電流が防止されると同時に、出力応答の動的性能が最適化されます。COMP のレベルは、この時点ではまだ最小の COMP クランプ・レベルを上回っているため、ADP1074 は最小のデューティ・サイクルを出力することに注意してください。

負荷がさらに減少し、COMP ピンの電圧が最小の COMP クランプ・レベルに等しくなると、ADP1074 はパルス・スキップ・モードになります。

図 13 に示す NGATE 遅延時間の設定は、LLM 動作中でも変わりません。軽負荷モードの閾値を設定するには、次式を使用します。

$$R_{MODE} = \frac{I_{PEAK_LLM} \times CS_{GAIN} + 0.8}{I_{MODE}}$$

ここで

I_{PEAK_LLM} は、軽負荷状態での 1 次ピーク電流。

$CS_{GAIN} = 12.5$ 。

I_{MODE} は、MODE ピンから流れ出す電流。

強制 CCM 動作の場合、MODE を AGND2 に接続します。この場合、パルス・スキップは無効になります。

システムが軽負荷モードになると、同期式整流は SR1 の立下がりエッジで終了することにも注意してください。この終了によって、電圧スパイクが発生して同期 FET に損傷を与えるおそれのある負電流での PWM が防止されます。

外部スタートアップ回路

36 V より高い入力電圧では、内部の 8 V LDO の電力損失が大きくなる可能性があるため、外部スタートアップ回路の使用を推奨します（例は図 14 を参照）。この場合、VIN ピンと VREG1 ピン同士を短絡し、スタートアップ回路の出力に接続します。入力プリアイネーブル・バイアス電流、すなわち (VIN + VREG1) のスタートアップ電流は約 160 μ A なので、ソフト・スタートのためにはスタートアップ回路の出力がこの電流を供給できなければなりません。その後、補助巻線がバイアス電圧を供給し、ソフト・スタート完了後にスタートアップ回路をシャットオフします。

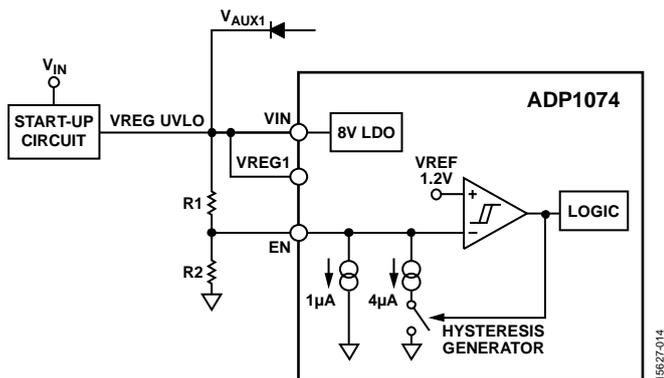


図 14. 高精度 EN 回路と外部スタートアップ回路の接続

高速スタートアップ回路を図 15 に示します。この回路には、VIN ピンと VREG1 ピンでスタートアップ電圧を設定するためのツェナー・ダイオードと、スタートアップ・コンデンサ C1 の充電用の高速電流経路を設定するための NPN (negative-positive-negative) トランジスタの 2 個の部品が必要です。R1 を流れるスタートアップ電流は、仕様規定されている最小スタートアップ電流の 160 μ A 以上でなければならず、また VREG1 と VIN のスタートアップ電圧は約 8 V ~ 13 V を推奨します。ソフト・スタートの完了後、補助巻線がバイアス電圧を供給し、NPN トランジスタをシャットオフします。

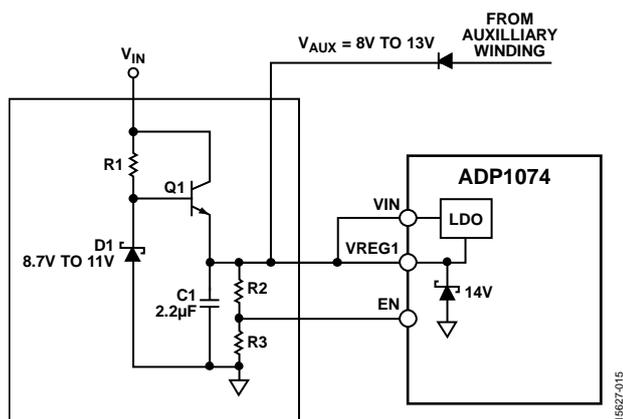


図 15. 高速スタートアップ回路

ソフト・ストップ

ADP1074 は、SS2 ピンをリファレンスとして出力電圧を徐々にゼロに低下させる、ソフト・ストップ機能を採用しています。ソフト・ストップ処理の実行中、SS2 ピンは、クローズドループ・ソフト・スタート中の値の約 1.5 倍の電流シンクによってゼロまで放電されます。

EN の電圧が EN 閾値を下回ると、SR1 と SR2 の 2 次側ドライバがすぐにシャットオフされ、1 次の NGATE パルス幅のデューティ・サイクルが最後の既知の状態から最小パルス幅まで徐々に減少してゼロになり、出力電圧が低下していきます。ソフト・ストップ機能により、コントローラのシャットダウン時の逆電流が防止されます。

出力電圧が VDD2 の UVLO 閾値を下回ると、COMP 信号は 1 次側に伝送されません。したがって、出力電圧は、負荷電流が出力コンデンサを放電するレートで減少し続けます。

負荷が最小または無負荷の場合、デューティ・サイクルまたは電流制限値が減少しても出力電圧がこれに比例して放電されるわけではないため、出力電圧は放電されません。

パワー・グッド

PGOOD ピンはオープンドレインの N チャンネル金属酸化膜半導体 (nMOS) であり、フォルト状態ではオフになります。

PGOOD と VREG2 の間、または 5.5 V 未満の外部電源との間にプルアップ抵抗を接続します。

PGOOD がトグルするには、FB ピンと OVP ピンのフォルト電圧が 1.36 V の過電圧閾値を超える必要があります。また、FB ピンの電圧が 1.2 V の公称値より 100 mV 下がった場合、つまり 1.1 V になった場合も PGOOD はトグルします。

PGOOD 出力電圧が PGOOD のヒステリシス電圧である 36 mV を超えると、再びトグルします。FB ピンがフォルトの場合は 5 μ s の遅延後、OVP ピンがフォルトの場合は 90 ns の遅延後に、PGOOD がアクティブになります。

OCP/フィードバック回復

定常状態では、FB ピンは 1.2 V です。このとき、SS2 ピンの電圧は 1.4 V です。過負荷状態などの異常な状況では、出力電圧が著しく低下することがあります。このような場合、電流制限は最大レベルになり、COMP ピンの電圧はクランプ・レベルになります。COMP ピンの電圧がクランプ状態、および $V_{FB} <$

(1.2 V - 100 mV) の 2 つの条件が重なると、コントローラは SS2 ピンを高速電流シンク (200 μ A) で放電して SS2 ピンを FB ピンと等しくします。次に、コントローラは、このプリチャージされた状態、すなわち出力電圧の最後の既知の値からソフト・スタートを実行しようとしています。OCP/フィードバック回復機能はこのようなプロセスで動作します。

ただし、COMP ピンの電圧が 1.5 ms 以上の間最大クランプ電圧を上回ると、システムはヒカップ・モードに入ります。

プリチャージからのソフト・スタートの間、出力電圧は SS2 ピンのコンデンサで決まるレートと同じレートで上昇します。ただし、電力段に出力電圧の上昇を妨げるような有害な障害がある場合、 V_{FB} は SS2 をトラッキングせず、 $SS2 > (V_{FB} + 100 \text{ mV})$ のとき、COMP ピンの電圧はクランプ・レベルまで上昇し、システムは再び OCP/フィードバック回復モードに入ります。

出力電圧トラッキング

ADP1074 はトラッキング機能を備えています。定常状態では、FB ピンは 1.2 V です。このとき、SS2 ピンの電圧は 1.4 V です。外部の DAC を使用すると、SS2 ピンの電圧によって出力電圧を変調することができます。SS2 ピンの電圧は、VDD2 の UVLO ポイントを超えて制御が 2 次側に引き渡された場合にのみ変更することを推奨します。それ以外の場合、引き渡しプロセスが円滑に行われず、出力電圧にグリッチが発生します。理想的には、PGOOD ピンは、トラッキングを開始させるための、レギュレーションが達成されたことを示す信号として使用できます。

SS2 の電圧は 1.4 V から 1.2 V に低下させる必要があります。また、出力電圧を変化させるためには、さらに下げる必要があります。出力が SS2 ピンをトラッキングするレートは、システム全体の帯域幅に依存します。出力電圧の変調時、FB ピンの電圧が (1.2 V - 100 mV = 1.1 V) を下回ると、PGOOD ピンがトグルすることに注意してください。

リモート・システム・リセット

リモート (2 次側) のシステム・シャットダウンでは、外付けマイクロコントローラのオープンドレイン汎用入出力 (GPIO) を用いて SS2 ピンを強制的に 0 V にすることができます。このプルダウンにより、ADP1074 は 0 V になりますが、GPIO 抵抗が有限であることから SSP ピンがオフセットするため、ADP1074 はパルス・スキップ・モードになるか、または最小のデューティ・サイクルを出力します。

出力バスから VDD2 が充電される場合、このセットアップはシステムのシャットダウンの場合と同等です。それは、 $VDD2 < VDD2 \text{ UVLO}$ のとき、ADP1074 は (標準の 40 ms のヒカップではなく) 200 ms の特殊なヒカップ・モードに入るためです。

補助巻線を用いて VDD2 に電力を供給する場合、システムは SS2 ピンの電圧に比例した電圧に調整され、補助レールが VDD2 の UVLO 閾値を下回った後、最終的に前述の特殊なヒカップ・モードに入ります。

したがって、SS2 ピンにより、出力トラッキングと 2 次側シャットダウン (リモート・システム・リセットとも呼ばれる) を実現できます (図 16 参照)。

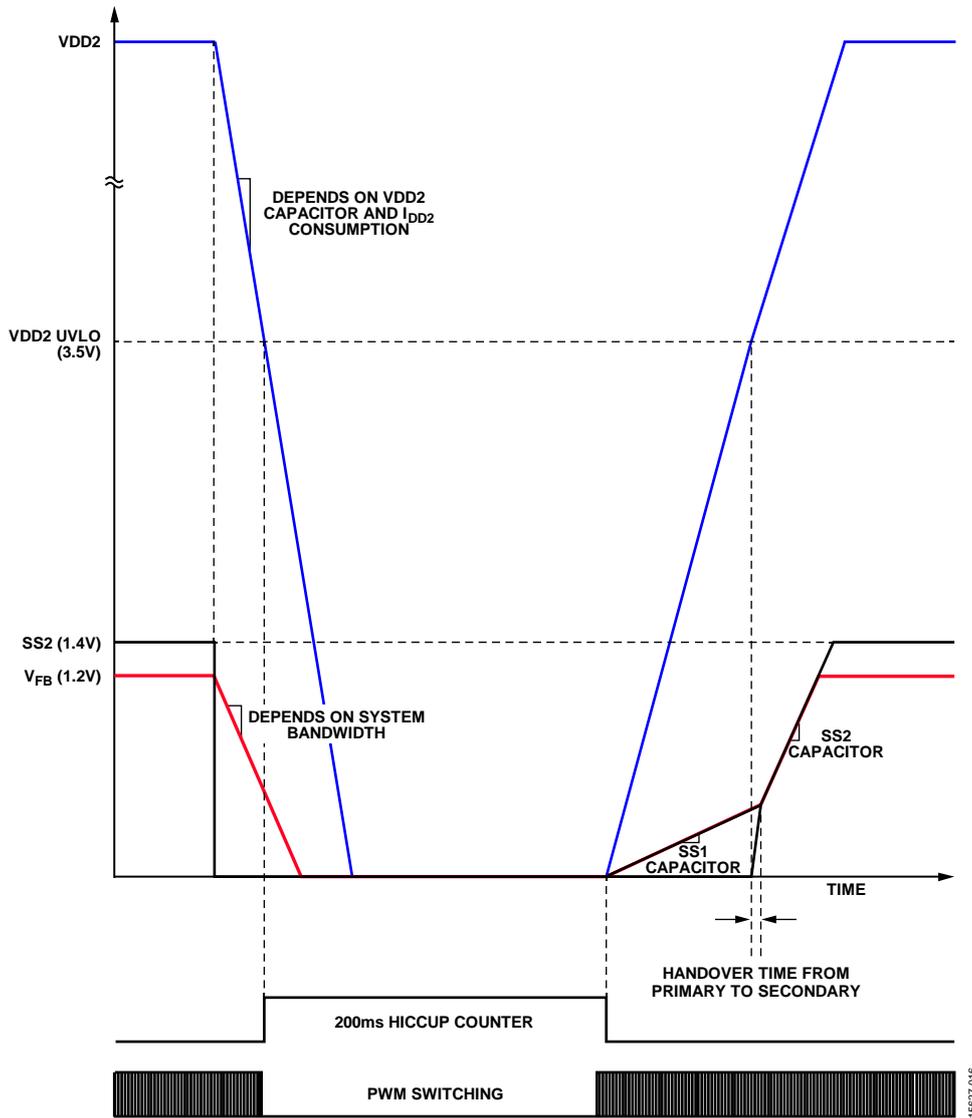


図 16. 200 ms のヒカップでのリモート・ソフトウェア・リセット

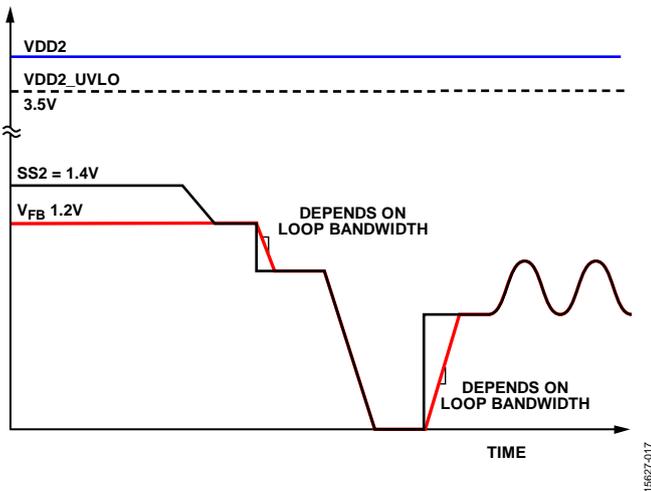


図 17. SS2 ピンによるトラッキング

OCP カウンタ

過負荷状態で、ピーク検出電流が CS ピンでの 120 mV の OCP スレッシュホールド電圧を超えると、ADP1074 は PWM パルスの残りの部分を直ちに終了します。ピーク検出電流がスイッチング周期ごとに 1.5 ms の間閾値を超え続けると、システムはヒカップ・モードに入り、約 40 ms の間シャットダウンしてからソフト・スタートします。デッド・ショートなどの過電流状態では、設定されたスロー補償では十分でないことがあるため、システムは低調波発振を生じます。このような場合、スイッチング周期が切り替わるごとに OCP 閾値を交差するため、システムがヒカップ・モードに入ることができず、1.5 ms のヒカップ・カウンタがリセットされます。

こうした状況を回避するため、ADP1074 は最後の既知の状態をラッチします。これにより、OCP 状態があるスイッチング周期に 1 として登録され、次のスイッチング周期に 0 として登録された場合でも 1 としてカウントされます。このため、システムは低調波発振の状態でもヒカップ・モードに入ることができません。OCP 閾値を 2 回連続して超えなかった場合は、ヒカップ・カウンタがリセットされます。

絶縁寿命

すべての絶縁構造は、電圧ストレスを長い時間受けると、最終的に破壊されます。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセズでは、規制当局が行うテストの他に、広範囲な評価を実施して ADP1074 の絶縁構造の寿命を決定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対して加速ファクタを定めています。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。

バイポーラ AC 動作条件での 50 年の運用寿命に対するピーク電圧を表 6 に示します。多くのケースで、承認された動作電圧は 50 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、場合によっては絶縁寿命を短くすることがあります。

ADP1074 の絶縁寿命は、絶縁バリア全体に課される電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。これらのさまざまな絶縁電圧波形を図 18、図 19、図 20 に示します。

バイポーラ AC 電圧環境は iCoupler 製品にとって最も厳しい条件ですが、アナログ・デバイセズの推奨する最大動作電圧に対する動作寿命は 50 年です。ユニポーラ AC 電圧または DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。低ストレスのために高い動作電圧での動作が可能になり、それでも 50 年の運用寿命を実現することができます。図 19 または図 20 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があります。ピーク電圧は表 6 に示す 50 年寿命電圧値に制限する必要があります。

図 19 に示す電圧は、説明の目的で正弦波としていることに注意してください。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。この規定値は正負いずれの値にもすることができますが、電圧が 0 V をまたいで変えることはできません。

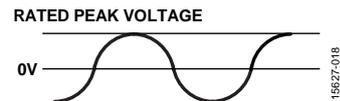


図 18. バイポーラ AC 波形

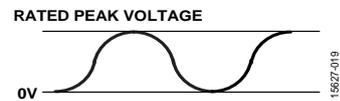


図 19. ユニポーラ AC 波形

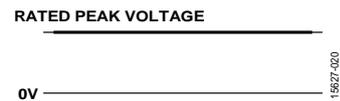


図 20. DC 波形

レイアウトのガイドライン

1 次側のレイアウトのガイドラインは次のとおりです。

1. すべてのコンデンサをそれぞれのグラウンドに接地します。例えば、SS1 コンデンサを AGND1 に接地します。
2. CS ピンと AGND1 ピンにより、検出抵抗を介して 1 次電流測定を差動で検出します。スイッチ・ノード間の電流検出の際は、CS と AGND1 のパターンを交差させないでください。
3. AGND1 に接続される CS ピンの近くにコンデンサ (33 pF ~ 470 pF、代表値) を配置します。
4. 1 次側のグラウンドプレーンを PGND1 に接続します。
5. 0 Ω の抵抗を用いて AGND1 を PGND1 に接続します。
6. NGATE およびメインのパワー MOSFET と直列に抵抗 (1 Ω ~ 5 Ω、代表値) を接続します。これらの抵抗は、駆動電圧のリンギングを除去するのに役立ちます。

2 次側のレイアウトのガイドラインは次のとおりです。

1. すべてのコンデンサをそれぞれのグラウンドに接地します。例えば、SS2 コンデンサを AGND2 に接地します。
2. SRx および同期 MOSFET と直列に抵抗 (1 Ω ~ 5 Ω) を接続します。これらの抵抗は、駆動電圧のリンギングを除去するのに役立ちます。
3. 2 次側のグラウンドプレーンを PGND2 に接続します。出力電圧の負端子を PGND2 プレーンに接続します。
4. AGND2 を、0 Ω 抵抗を介して出力電圧の負端子に接続することにより、FBND ピンと AGND2 ピンを使用して、出力電圧を遠隔から差動で検出します。
5. ノイズの多い環境で軽負荷モードを使用する場合は、MODE ピンに 100 nF のコンデンサを使用します。

代表的なアプリケーション回路

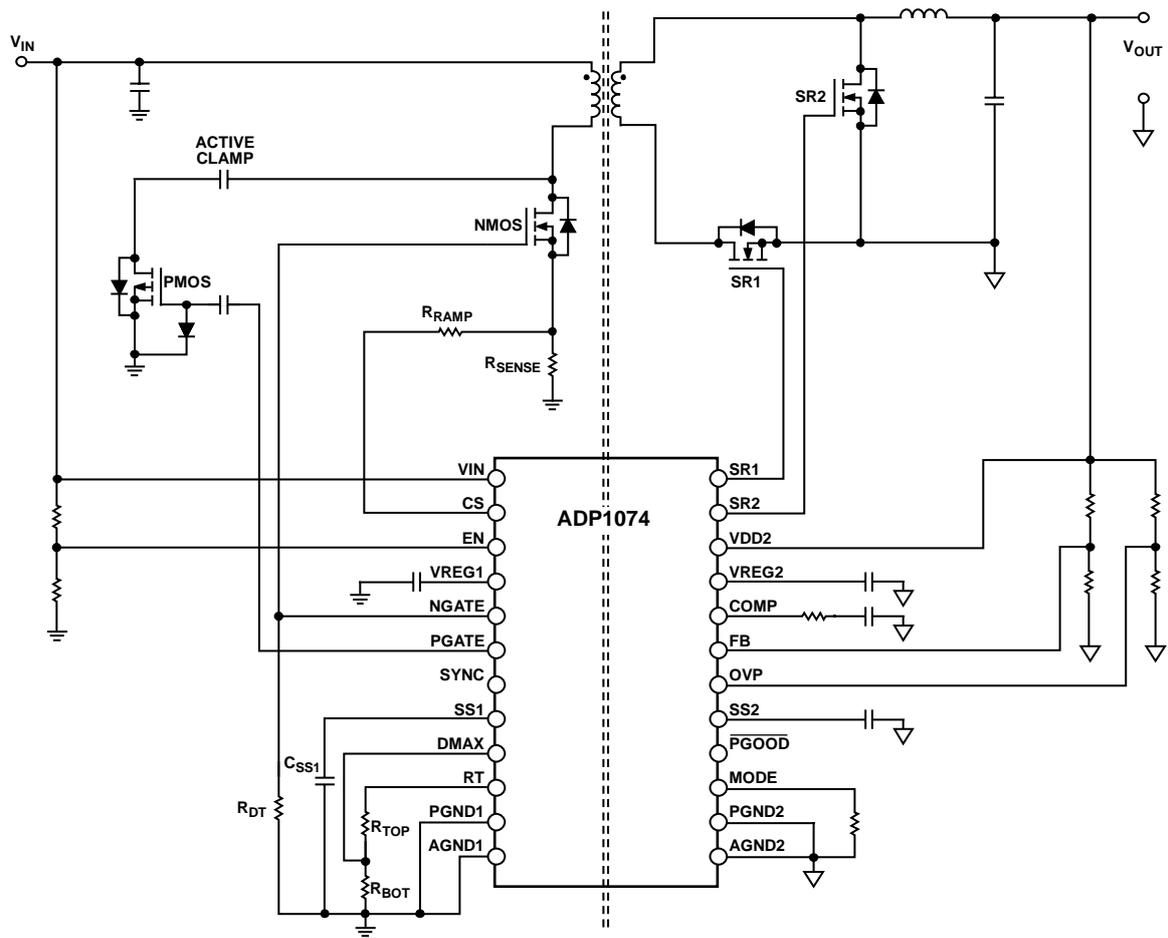


図 21. アクティブ・クランプ・フォワード・トポロジーの代表的なアプリケーション回路

15627-021

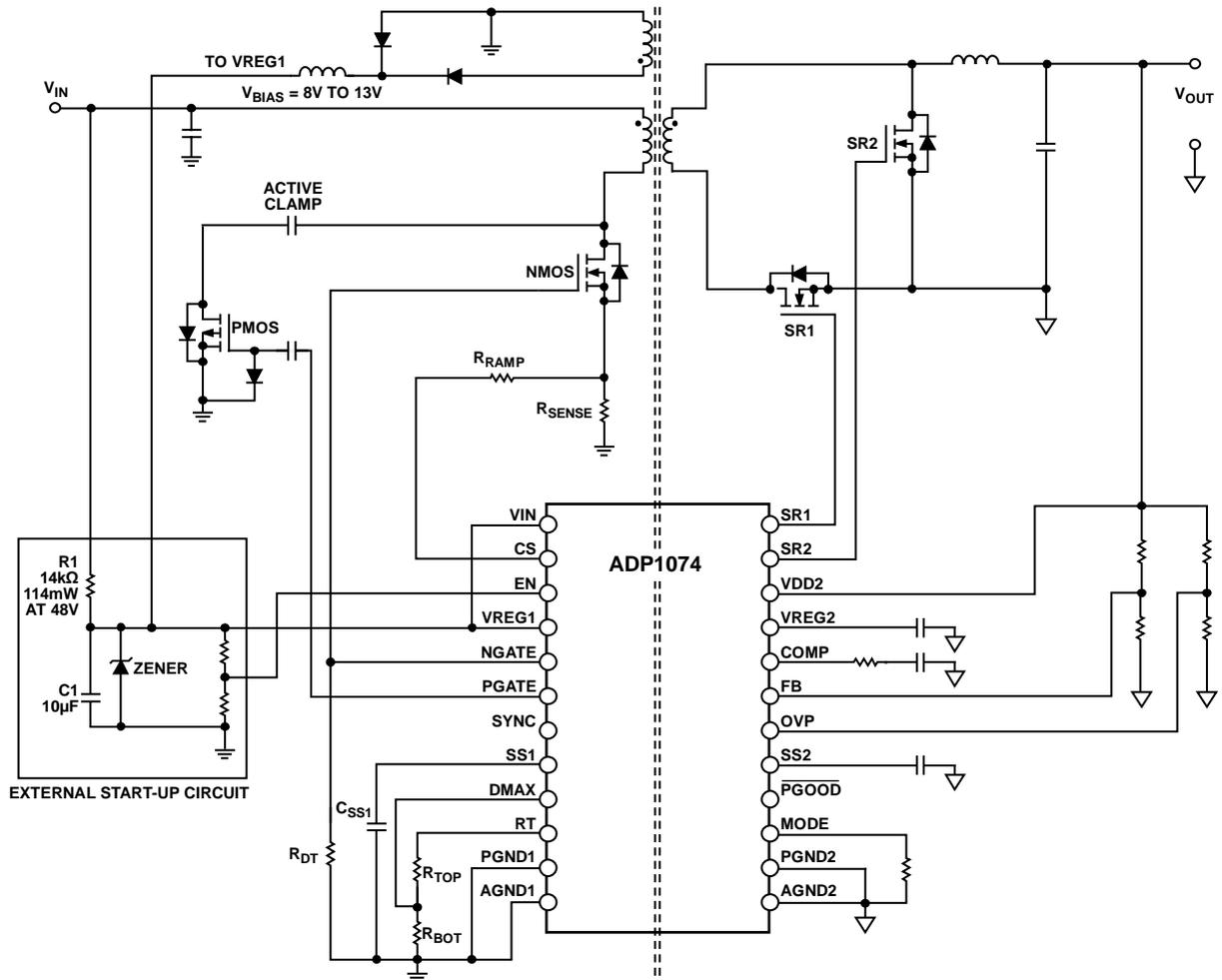


図 22. 簡素なスタートアップ回路とバイアス巻線を備えたアクティブ・クランプ・フォワード・トポロジーの代表的なアプリケーション回路

15827-022

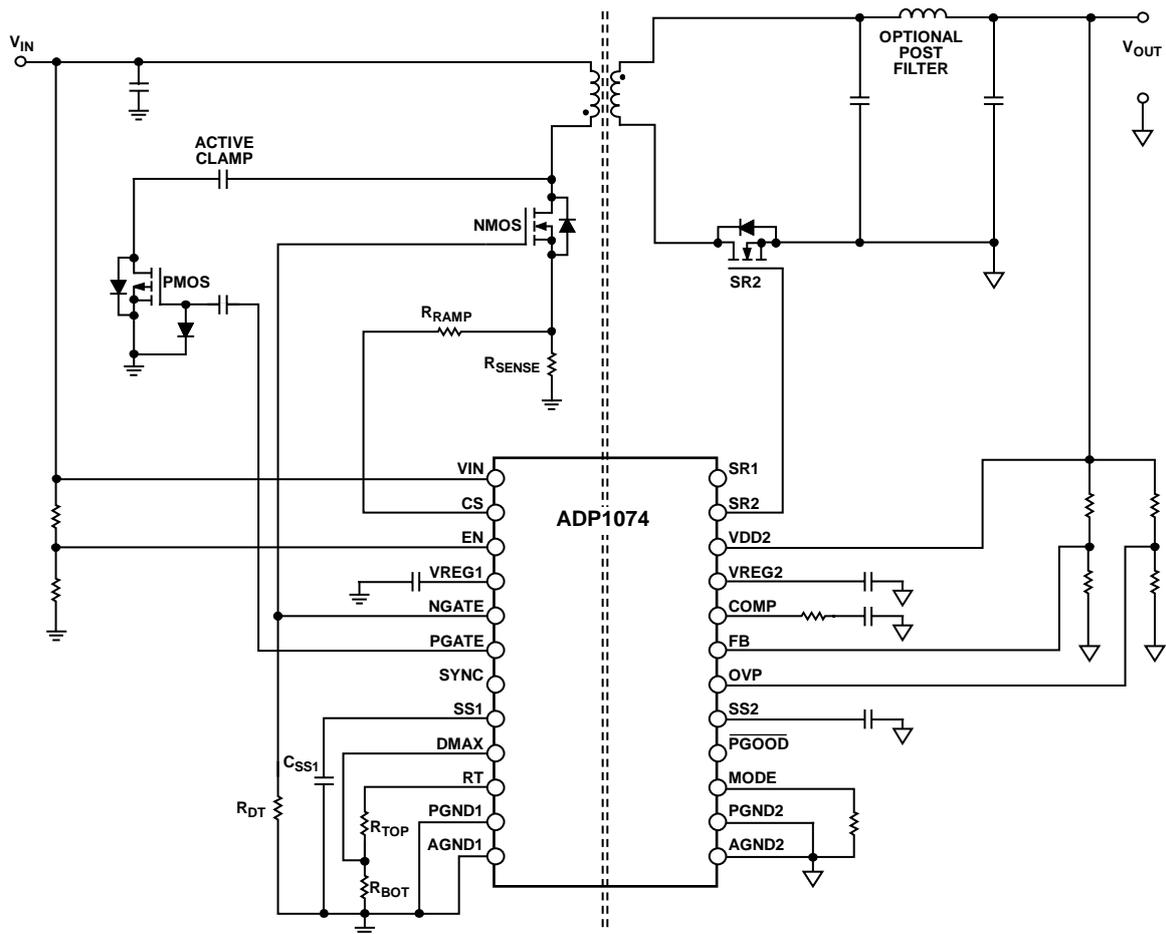
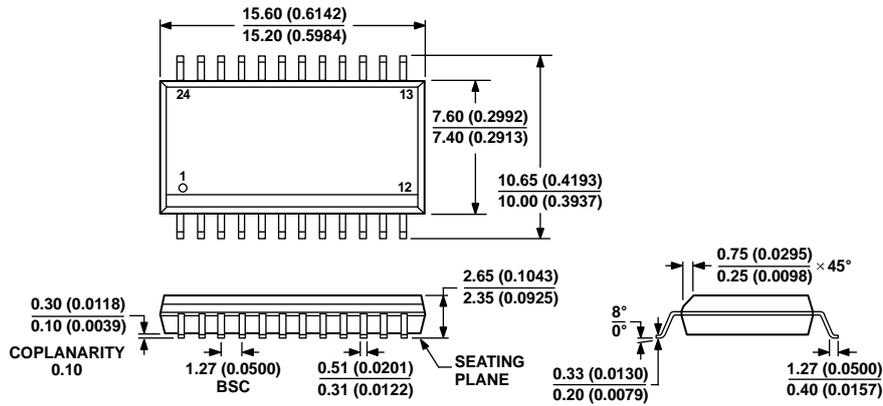


図 23. アクティブ・クランプ・フライバック・トポロジーの代表的なアプリケーション回路

15627-023

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AD
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

12-09-2010-A

図 24. 24 ピン標準スモール・アウトライン・パッケージ [SOIC_W]
 ワイド・ボディ
 (RW-24)
 寸法単位: mm (インチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP1074ARWZ	-40 °C to +125 °C	24-Lead Standard Small Outline Package [SOIC_W]	RW-24
ADP1074ARWZ-RL	-40 °C to +125 °C	24-Lead Standard Small Outline Package [SOIC_W]	RW-24
ADP1074ARWZ-R7	-40 °C to +125 °C	24-Lead Standard Small Outline Package [SOIC_W]	RW-24
ADP1074-EVALZ		ADP1074 Evaluation Board	

¹ Z = RoHS 準拠製品