

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 4 月 18 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 4 月 18 日

製品名： ADPD1034

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 34 ページ、右の段 一番下の不等式

【誤】

$$SWP_{VMAX} > V_{VINP_MAX} + V_{CLAMP} > V_{VINP_MAX} + V_{OUT1_MAX}$$

【正】

$$SWP_{VMAX} > V_{CLAMP} > V_{VINP_MAX} + V_{OUT1_MAX}$$

7つのデジタル・アイソレータを内蔵したプログラマブル電力制御式の 3チャンネル絶縁型マイクロパワー・マネージメント・ユニット

特長

- ▶ 広い入力電源電圧範囲：4.5V～60V
- ▶ フライバック・パワー・スイッチを内蔵
- ▶ 抵抗でプログラム可能な独立した絶縁型バイポーラ出力と、
出荷時にプログラム可能な降圧出力を生成
 - ▶ V_{OUT1} ：6V～28V
 - ▶ V_{OUT2} ：5.0V
 - ▶ V_{OUT3} ：-24V～-2V
- ▶ 2.61W出力電力時の効率：86%（代表値）
- ▶ シリアル・コマンドを通じて V_{OUT1} を調整するプログラマブル
電力制御ピン（PPC_IN）
- ▶ 比率1:1のトランスを使用するシンプルなトランス設計
- ▶ SYNC入力を介して調整可能なスイッチング周波数
- ▶ ピーク電流制限と過電圧保護
- ▶ レギュレータごとの内部補償とソフト・スタート制御
- ▶ 高精度イネーブル入力
- ▶ 高速、低伝搬遅延、SPI信号絶縁チャンネル
- ▶ 3つの100kbps汎用絶縁型データ・チャンネル
- ▶ 41ピン、9mm×7mm LFCSP フォーム・ファクタによるソリ
ューション全体の小型化
- ▶ 動作ジャンクション温度範囲：-40°C～+125°C
- ▶ 安全性と規制に関する認定（申請中）
 - ▶ CISPR11クラスBの放射エミッション
 - ▶ UL認定：2500V rmsで1分間、UL 1577に準拠
 - ▶ CSA Component Acceptance Notice 5Aに準拠
 - ▶ スレーブ、マスタ、およびフィールド電源領域間の基本
絶縁：300V rms（IEC 61010-1、申請中）
- ▶ VDE適合性認定
 - ▶ DIN V VDE V 0884-10（VDE V 0884-10）：2006-12
 - ▶ V_{IORM} = 565V peak

アプリケーション

- ▶ 産業オートメーションとプロセス制御
- ▶ 計測器およびデータ・アキュイジション・システム
- ▶ データと電源の絶縁

代表的なアプリケーション回路

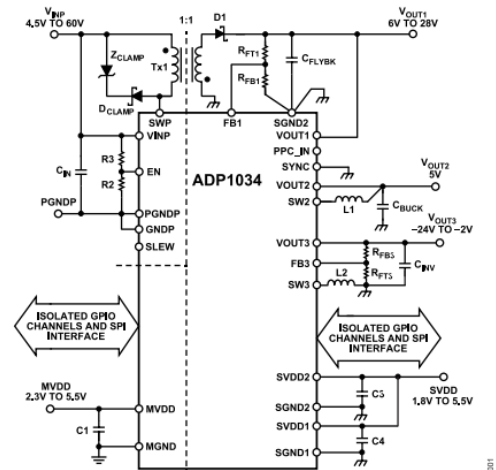


図 1.

概要

ADP1034は、絶縁型フライバックDC/DCレギュレータ、反転昇降圧DC/DCレギュレータ、および降圧DC/DCレギュレータを組み合わせた高性能の絶縁型マイクロパワー・マネージメント・ユニット（PMU）で、3つの絶縁型電源レールを提供します。ADP1034は、4つの高速シリアル・ペリフェラル・インターフェース（SPI）絶縁チャンネルと3つの汎用アイソレータを内蔵しており、低消費電力と小さいソリューション・サイズが求められるチャンネル間アプリケーションに適しています。

ADP1034は4.5V～60Vの入力電圧範囲で動作し、 V_{OUT1} では6V～28V、 V_{OUT3} では-24V～-2Vの絶縁型出力電圧を生成するほか、 V_{OUT2} では出荷時にプログラム可能な5Vの電圧を生成します。さらに、シリアル・コマンドを使用して V_{OUT1} の設定を必要に応じて調整し、システム・レベル・アプリケーションの効率を高めることができるPPC_INピンを備えています。

デフォルトでは、ADP1034のフライバック・レギュレータは250kHzのスイッチング周波数で動作し、降圧レギュレータと反転レギュレータは125kHzで動作します。ADP1034は、350kHz～750kHzの外部発振器で駆動できるので、ノイズに敏感なアプリケーションにおいてノイズを容易に除去できます。

ADP1034に内蔵されたデジタル・アイソレータは、低消費電力と低放射エミッション用に最適化された、アナログ・デバイス社のiCoupler®チップ・スケール・トランス技術を採用しています。ADP1034は、9mm×7mmの41ピン・リード・フレーム・チップ・スケール・パッケージ（LFCSP）で提供され、動作ジャンクション温度範囲の定格値は-40°C～+125°Cです。

アナログ・デバイスでは、文化的に適切な用語および言語の提供を期して、技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いします。

Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	フライバック・レギュレータ.....	26
アプリケーション.....	1	降圧レギュレータ.....	28
代表的なアプリケーション回路.....	1	反転レギュレータ.....	28
概要.....	1	パワーアップ・シーケンス.....	29
仕様.....	3	発振器と同期.....	29
電気的特性.....	3	サーマル・シャットダウン.....	29
タイミング仕様.....	7	データの絶縁.....	29
適用規格.....	8	アプリケーション情報.....	32
電磁両立性.....	8	部品の選択.....	32
絶縁および安全性関連の仕様.....	8	フライバック・レギュレータの部品の選択.....	33
DIN V VDE 0884-10（VDE V 0884-10）絶縁特性.....	9	降圧レギュレータの部品選択.....	37
絶対最大定格.....	10	反転レギュレータの部品選択.....	37
熱抵抗.....	10	絶縁寿命.....	38
静電放電（ESD）定格.....	10	熱解析.....	38
ESDに関する注意.....	10	代表的なアプリケーション回路の詳細.....	38
最大連続動作電圧.....	10	PCBレイアウト時の考慮事項.....	40
ピン配置およびピン機能の説明.....	11	外形寸法.....	41
代表的な性能特性.....	13	オーダー・ガイド.....	41
動作原理.....	25	評価用ボード.....	41

改訂履歴

5/2022–Revision 0: Initial Version

仕様

電気的特性

代表値仕様は、VINP電圧 (V_{VINP}) = 24V、MVDD電圧 (V_{MVDD}) = 3.3V、SVDDx電圧 (V_{SVDDx}) = 3.3V、VOUT1電圧 (V_{OUT1}) = 24V、VOUT2電圧 (V_{OUT2}) = 5V、VOUT3電圧 (V_{OUT3}) = -15V、T_A = 25°Cの場合の値。特に指定のない限り、最小仕様と最大仕様は4.5V ≤ V_{VINP} ≤ 60V、2.3V ≤ V_{MVDD} ≤ 5.5V、1.8V ≤ V_{SVDDx} ≤ 5.5V、および-40°C ≤ T_J ≤ +125°Cの全動作範囲に適用されます。

表 1.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Input Supply voltage Range						
VINP	V _{VINP}	4.5		60	V	
MVDD	V _{MVDD}	2.3		5.5	V	
SVDD	V _{SVDDx}	1.8		5.5	V	SVDD1とSVDD2に適用
OUTPUT POWER AND EFFICIENCY						トランス = ZA9644-AED
Total Output Power			690		mW	V _{OUT1} 電流 (I _{OUT1}) = 25mA、V _{OUT2} 電流 (I _{OUT2}) = 6mA、V _{OUT3} 電流 (I _{OUT3}) = -4mA
			2610		mW	I _{OUT1} = 105mA、I _{OUT2} = 6mA、I _{OUT3} = -4mA
Efficiency			83.9		%	I _{OUT1} = 25mA、I _{OUT2} = 6mA、I _{OUT3} = -4mA
			86		%	I _{OUT1} = 105mA、I _{OUT2} = 6mA、I _{OUT3} = -4mA
Power Dissipation			132		mW	I _{OUT1} = 25mA、I _{OUT2} = 6mA、I _{OUT3} = -4mA
			427		mW	I _{OUT1} = 105mA、I _{OUT2} = 6mA、I _{OUT3} = -4mA
QUIESCENT CURRENT						
VINP						
Operating Current	I _{Q_VINP}		1.9		mA	通常動作、V _{OUT1} 、V _{OUT2} 、V _{OUT3} = 無負荷
Shutdown Current	I _{SHDN_VINP}		125	175	μA	EN電圧 (V _{EN}) = 0V
MVDD						
SPI Active Mode	I _{Q_MVDD} (SPI_ACTIVE)		4.1	6.5	mA	V _{IX} ¹ = ロジック・ロー、 $\overline{\text{MSS}}$ = ロジック・ロー
			9.2	14	mA	V _{IX} ¹ = ロジック・ハイ、 $\overline{\text{MSS}}$ = ロジック・ロー
SPI Low Power Mode	I _{Q_MVDD} (SPI_LOW_PWR)		1.6	2.5	mA	V _{IX} ¹ = ロジック・ロー、 $\overline{\text{MSS}}$ = ロジック・ハイ
			1.6	2.5	mA	V _{IX} ¹ = ロジック・ハイ、 $\overline{\text{MSS}}$ = ロジック・ハイ
SVDD1						
SPI Active Mode	I _{Q_SVDD1} (SPI_ACTIVE)		1.8	2.7	mA	V _{IX} ¹ = ロジック・ロー、 $\overline{\text{SSS}}$ = ロジック・ロー
			5.7	8.6	mA	V _{IX} ¹ = ロジック・ハイ、 $\overline{\text{SSS}}$ = ロジック・ロー
SPI Low Power Mode	I _{Q_SVDD1} (SPI_LOW_PWR)		1.8	2.7	mA	V _{IX} ¹ = ロジック・ロー、 $\overline{\text{SSS}}$ = ロジック・ハイ
			1.8	2.7	mA	V _{IX} ¹ = ロジック・ハイ、 $\overline{\text{SSS}}$ = ロジック・ハイ
SVDD2	I _{Q_SVDD2}		15.5	22	μA	V _{IX} ¹ = ロジック・ロー
			15.5	22	μA	V _{IX} ¹ = ロジック・ハイ
UVLO						
VINP						PGNDP基準
Rising Threshold	V _{UVLO_FLYBACK} (RISE)		4.44	4.49	V	
Falling Threshold	V _{UVLO_FLYBACK} (FALL)	4.29	4.34		V	
Hysteresis			100		mV	
MVDD						MGND基準
Rising Threshold	V _{UVLO_MVDD} (RISE)		2.14	2.28	V	
Falling Threshold	V _{UVLO_MVDD} (FALL)	1.9	2		V	
Hysteresis			140		mV	
THERMAL SHUTDOWN						
Threshold	T _{SHDN}		150		°C	
Hysteresis	T _{HYS}		15		°C	

仕様

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
PRECISION ENABLE						
Rising Input Threshold	V_{EN_RISING}	1.10	1.135	1.20	V	
Input Hysteresis	V_{EN_HYST}		100		mV	
Leakage Current			0.03	0.5	μA	$V_{EN} = V_{VINP}$
SLEW						
Voltage Level Threshold						
Slow Slew Rate				0.8	V	
Normal Slew Rate		2			V	
Input Current						
Slow Slew Rate		-10			μA	スルー電圧 (V_{SLEW}) = 0V~0.8V
Normal Slew Rate				10	μA	$V_{SLEW} = 2V \sim V_{VINP}$
Fast Slew Rate		-1		+1	μA	SLEWピンは未接続
CLOCK SYNCHRONIZATION						
SYNC Input						
Input Clock						
Range	f_{SYNC}	350		750	kHz	
Minimum On Pulse Width	$t_{SYNC_MIN_ON}$	100			ns	
Minimum Off Pulse Width	$t_{SYNC_MIN_OFF}$	150			ns	
High Logic	$V_H (SYNC)$	1.3			V	
Low Logic	$V_L (SYNC)$			0.4	V	
Leakage Current		-1	+0.005	+1	μA	SYNC電圧 (V_{SYNC}) = V_{SVDDx}
FLYBACK REGULATOR						
Output Voltage Range	V_{OUT1}	6		28	V	
Feedback Voltage	V_{FB1}		0.8		V	
Feedback Voltage Accuracy		-1.5		+1.5	%	
Feedback Bias Current	I_{FB1}			0.05	μA	
Load Regulation	$(\Delta V_{FB1}/V_{FB1})/\Delta I_{OUT1}$		-0.0005		%/mA	$I_{OUT1} = 0mA \sim 110mA$, $I_{OUT2} = 6mA$, $I_{OUT3} = -4mA$
Line Regulation	$(\Delta V_{OUT1}/V_{OUT1})/\Delta V_{VINP}$		0.0002		%/V	$V_{VINP} = 18V \sim 32V$, $I_{OUT1} = 26mA$, $I_{OUT2} = 6mA$, $I_{OUT3} = -4mA$
Power Field Effect Transistor (FET) On Resistance	$R_{ON (FLYBACK)}$		3		Ω	SWP電流 (I_{SWP}) = 100mA
Current-Limit Threshold	$I_{LIM (FLYBACK)}$	400	440	480	mA	
SWP Leakage Current			0.03	0.5	μA	SWP電圧 (V_{SWP}) = 60V
SWP Capacitance	C_{SWP}		50		pF	
Switching Frequency	$f_{SW (FLYBACK)}$	235	250	265	kHz	SYNC = ローまたはハイ
			$f_{SYNC}/2$		kHz	SYNC = 外部クロック
Minimum On Time			425		ns	
Minimum Off Time			220		ns	
Soft Start Timer	$t_{SS (FLYBACK)}$		8		ms	
Severe Overvoltage Threshold	$SOVP_{FLYBACK}$	29.4	30	30.6	V	フライバック・レギュレータは過電圧状態が解消されるまで停止
Severe Overvoltage Hysteresis	$SOVP_{FLYBACK_HYST}$		500		mV	
PROGRAMMABLE POWER CONTROL (PPC) INTERFACE						
Valid Code Range		54		255	Code	6V~28Vの V_{OUT1} 範囲に相当、最大 V_{OUT1} が異なる電圧に設定されている場合は最小コードが異なることがあります
Input Threshold						
Logic High	V_{IH}	1.3			V	

仕様

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件／コメント
Logic Low	V_{IL}			0.4	V	
BUCK REGULATOR						
Output Voltage	V_{OUT2}		5.0		V	
Output Voltage Accuracy		-1.5		+1.5	%	$I_{OUT2} = 10\text{mA}$
Load Regulation	$(\Delta V_{OUT2}/V_{OUT2})/\Delta I_{OUT2}$		-0.0005		%/mA	$I_{OUT2} = 2\text{mA} \sim 50\text{mA}$
Line Regulation	$(\Delta V_{OUT2}/V_{OUT2})/\Delta V_{OUT1}$		0.0004		%/V	$V_{OUT1} = 6\text{V} \sim 28\text{V}$, $I_{OUT2} = 7\text{mA}$
Power FET On Resistance	$R_{ON_NFET}(\text{BUCK})$		1		Ω	SW2電流 (I_{SW2}) = 100mA
	$R_{ON_PFET}(\text{BUCK})$		2.5		Ω	$I_{SW2} = 100\text{mA}$
Current-Limit Threshold	$I_{LIM}(\text{BUCK})$	280	300	320	mA	
SW2 Leakage Current						
P Type Metal-Oxide Semiconductor (PMOS)			0.03	0.5	μA	$V_{SW2} = 0\text{V}$
N Type Metal-Oxide Semiconductor (NMOS)			0.03	0.5	μA	$V_{SW2} = 28\text{V}$
Switching Frequency	$f_{SW}(\text{BUCK})$	117.5	125	132.5	kHz	SYNC = ローまたはハイ
			$f_{SYNC}/4$		kHz	SYNC = 外部クロック
Minimum On Time			200		ns	
Soft Start Timer	$t_{SS}(\text{BUCK})$		8		ms	
Active Pull-Down Resistor	$R_{PD}(\text{BUCK})$		1.7		k Ω	$1.23\text{V} < V_{OUT1} < 4.5\text{V}$
INVERTING REGULATOR						
Output Voltage Range	V_{OUT3}	-24		-2	V	
Feedback Voltage	V_{FB3}		0.8		V	V_{OUT3} 基準
Feedback Voltage Accuracy		-1.5		+1.5	%	調整可能な出力オプション
Feedback Bias Current	I_{FB3}			0.05	μA	
Load Regulation	$(\Delta V_{FB3}/V_{FB3})/\Delta I_{OUT3}$		-0.01		%/mA	$I_{OUT3} = -1\text{mA} \sim -15\text{mA}$
Line Regulation	$(\Delta V_{OUT3}/V_{OUT3})/\Delta V_{OUT1}$		0.0005		%/V	$V_{OUT1} = 6\text{V} \sim 28\text{V}$, $I_{OUT3} = -15\text{mA}$
Power FET On Resistance	$R_{ON_NFET}(\text{INVERTER})$		1.45		Ω	SW3電流 (I_{SW3}) = 100mA
	$R_{ON_PFET}(\text{INVERTER})$		2.2		Ω	$I_{SW3} = 100\text{mA}$
Current-Limit Threshold	$I_{LIM}(\text{INVERTER})$	280	300	320	mA	
SW3 Leakage Current						
PMOS			0.03	0.5	μA	$V_{SW3} = -24\text{V}$
NMOS			0.03	0.5	μA	$V_{SW3} = 24\text{V}$
Switching Frequency	$f_{SW}(\text{INVERTER})$	117.5	125	132.5	kHz	SYNC = ローまたはハイ
			$f_{SYNC}/4$		kHz	SYNC = 外部クロック
Minimum On Time			178		ns	
Soft Start Timer	$t_{SS}(\text{INVERTER})$		8		ms	
Active Pull-Down Resistor	$R_{PD}(\text{INVERTER})$		350		Ω	$1.23\text{V} < V_{OUT1} < 4.5\text{V}$
ISOLATORS DC SPECIFICATIONS ²						
MCK, MSS, MO, SO, SGPI1, MGPI2, SGPI3						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{xVDD}$			V	$V_{xVDD} = V_{MVDD}$ または V_{SVDDx}
Logic Low	V_{IL}			$0.3 \times V_{xVDD}$	V	$V_{xVDD} = V_{MVDD}$ または V_{SVDDx}
Input Current 3	I_I	-1		+1	μA	$0\text{V} \leq V_{INPUT} \leq V_{xVDD}$
SCK, SSS, SI, MI						
Output Voltage						

仕様

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件／コメント
Logic High	V_{OH}	V_{xVDD} − 0.1			V	$I_{Ox}^4 = -20\mu A$, $V_{Ix} = V_{IxH}^5$
		V_{xVDD} − 0.4			V	$I_{Ox}^4 = -2mA$, $V_{Ix} = V_{IxH}^5$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^4 = 20\mu A$, $V_{Ix} = V_{IxL}^6$
			0.2	0.4	V	$I_{Ox}^4 = 2mA$, $V_{Ix} = V_{IxL}^6$
MGPO1, SGPO2, MGPO3						
Output Voltage						
Logic High	V_{OH}	V_{xVDD} − 0.1			V	$I_{Ox}^4 = -20\mu A$, $V_{Ix} = V_{IxH}^5$
		V_{xVDD} − 0.4			V	$I_{Ox}^4 = -500\mu A$, $V_{Ix} = V_{IxH}^5$
Logic Low	V_{OL}		0.15	0.4	V	$I_{Ox}^4 = 20\mu A$, $V_{Ix} = V_{IxL}^6$
			0.15	0.4	V	$I_{Ox}^4 = 500\mu A$, $V_{Ix} = V_{IxL}^6$
SCK, SI, MI						
Tristate Leakage		−1	+0.01	+1	μA	$\overline{MSS}$ = ロジック・ハイ
		−1	+0.01	+1	μA	$V_{Ox}^7 = V_{xVDD}$
ISOLATORS SWITCHING SPECIFICATION						
MCK, $\overline{MSS}$, MO, SO						
SPI Clock Rate	SPI_{MCK}			16.6	MHz	
Latency			100	125	ns	$\overline{MSS}$ がローになってから最初のデータ出力が有効になるまでの遅延
Input Pulse Width	t_{PW}	17			ns	PWDの制限内
Input Pulse Width Distortion (PWD)	t_{PWD}		0.25	6.5	ns	$ t_{PLH} - t_{PHL} $
Channel Matching						
Codirectional	t_{PSKCD}		0.5	5.5	ns	
Opposing Direction	t_{PSKOD}		0.5	4	ns	
Propagation Delay	t_{PHL} , t_{PLH}					入力の50%レベルから出力の50%レベルまで
			7	11	ns	$V_{MVDD} = 5V$, $V_{SVDD1} = 5V$
			7	12	ns	$V_{MVDD} = 3.3V$, $V_{SVDD1} = 5V$
			7	15	ns	$V_{MVDD} = 3.3V$, $V_{SVDD1} = 3.3V$
			8.5	12	ns	$V_{MVDD} = 2.3V$, $V_{SVDD1} = 1.8V$
Jitter			620		ps p-p	$V_{MVDD} = 5V$, $V_{SVDD1} = 5V$
			100		ps rms	$V_{MVDD} = 5V$, $V_{SVDD1} = 5V$
			440		ps p-p	$V_{MVDD} = 3.3V$, $V_{SVDD1} = 5V$
			80		ps rms	$V_{MVDD} = 3.3V$, $V_{SVDD1} = 5V$
			290		ps p-p	$V_{MVDD} = 3.3V$, $V_{SVDD1} = 3.3V$
			60		ps rms	$V_{MVDD} = 3.3V$, $V_{SVDD1} = 3.3V$
			410		ps p-p	$V_{MVDD} = 2.3V$, $V_{SVDD1} = 1.8V$
			110		ps rms	$V_{MVDD} = 2.3V$, $V_{SVDD1} = 1.8V$
SGPI1, MGPI2, SGPI3						
Data Rate				100	kbps	
Input Pulse Width	t_{PW}	10			μs	PWDの制限内
Propagation Delay	t_{PHL} , t_{PLH}			14	μs	入力の50%レベルから出力の50%レベルまで
Jitter				10	μs	
ISOLATORS AC SPECIFICATIONS						
General-Purpose Input/Output (GPIO)						
Output Rise Time/Fall Time	t_R/t_F		2.5		ns	10%~90%
Common-Mode Transient Immunity ⁸	$ CM $		25		kV/ μs	

仕様

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件／コメント
SPI						
Output Rise Time/Fall Time	t_R/t_F	2			ns	10%～90%
Common-Mode Transient Immunity ⁸	CM	100			kV/μs	

- V_{IX} はチャンネルxのロジック入力で、チャンネルxはMCK、MO、SO、SGPI1、MGPI2、またはSGPI3のいずれかとすることができます。
- V_{XVDD} は、入力側がマスタかスレーブかによって V_{MVDD} または V_{SVDDx} のどちらかになります。
- V_{INPUT} はデジタル・ピンの入力電圧です。
- I_{OX} はピンの出力電流です。
- V_{IXH} は入力側のロジック・ハイです。
- V_{IXL} は入力側のロジック・ローです。
- V_{OX} は出力が引き上げられる電圧です。
- |CM|は、 $V_{OUT} > 0.8MVDD$ または $SVDDx$ 、あるいはその両方を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、コモンモード電圧の立上がりエッジと立下がりエッジの両方に適用されます。

タイミング仕様

単線式シリアル・インターフェースの仕様

代表値仕様は、 $V_{VINP} = 24V$ 、 $V_{MVDD} = 3.3V$ 、 $V_{SVDDx} = 3.3V$ 、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = 5V$ 、 $V_{OUT3} = -15V$ 、および $T_A = 25^\circ C$ の場合の値。特に指定のない限り、最小仕様と最大仕様は $4.5V \leq V_{VINP} \leq 60V$ 、 $2.3V \leq V_{MVDD} \leq 5.5V$ 、 $1.8V \leq V_{SVDDx} \leq 5.5V$ 、および $-40^\circ C \leq T_J \leq +125^\circ C$ の全動作範囲に適用されます。単線式シリアル・インターフェースの詳細については、[単線式シリアル・インターフェース](#)のセクションを参照してください。

表 2. 単線式シリアル・インターフェース

パラメータ ^{1,2}	説明	最小値	代表値	最大値	単位	テスト条件／コメント
$t_{PPC_TOTAL_RES}$	Response time		1		ms	PPCトランザクション時間に6Vから28Vへの V_{OUT1} セトリング時間を加えた値
t_{PPC1}	Bit period	4500	5000	6600	ns	
t_{PPC2}	Start detect high time	60	200	400	ns	
t_{PPC3}	Start detect low time	60	200	400	ns	
t_{PPC4}	Start detect sample time	900	1000	1100	ns	2つの連続するパルスの時間
t_{PPC5}	Logic low time	60	400	800	ns	
t_{PPC6}	Logic high time	1200	3500	4400	ns	
t_{PPC7}	Slave pull down window	2200		2700	ns	アクノレッジまたはパリティ時にスレーブがバスを制御するための時間ウィンドウ
t_{PPC8}	Time when the master takes back control of the bus when there is no response from the slave	3400		3600	ns	
t_{PPC9}	Time when the master takes back control of the bus when the slave responds by pulling low			2727	ns	
t_{LP}	Bus lockup protection	1350	1500	1650	ns	アナログ・ウォッチドッグ・タイマー

- すべての入力信号は、立上がり時間 (t_R) = 立下がり時間 (t_F) = 5ns (V_{OUT2} ピン電圧 (V_{OUT2}) の10%～90%) で仕様規定し、 $V_{OUT2}/2$ の電圧レベルから時間を測定しています。
- デザインと特性評価により保証し、出荷テストは行っていない。

仕様

単線式シリアル・インターフェースのタイミング図

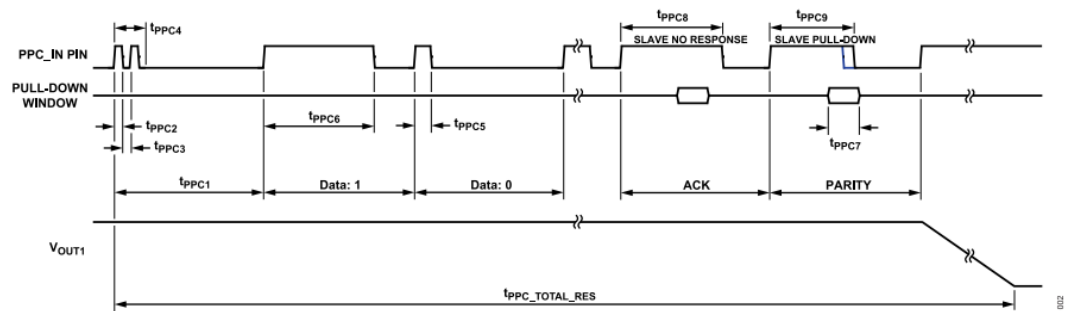


図 2. 送信完了までのPPCタイミング図

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表10と絶縁寿命のセクションを参照してください。

表 3. 安全認証

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized Under UL 1577 Component Recognition Program	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12
2500 V rms Single Protection	CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: basic insulation at 300 V rms (424 V peak) CSA 61010-1-12 and IEC 61010-1 third edition: basic insulation at 300 V rms mains, 300 V rms (424 V peak) secondary	Basic insulation, 565 V peak

電磁両立性

表 4.

Regulatory Body	Standard	Comment
SGS/Compliance Certification Services, Inc. (CCSrf)	CISPR11 Class B	Pending

絶縁および安全性関連の仕様

表 5.

パラメータ	記号	値	単位	テスト条件／コメント
Rated Dielectric Insulation Voltage		2500	V rms	1分間持続
Minimum External Air Gap (Clearance)				
Field Power Domain to Master Domain		2.15	mm min	フィールド電源ピンおよびパッドからマスタ・ピンおよびパッドまでを測定、空気中の最短距離
Field Power Domain to Slave Domain		2.15	mm min	フィールド電源ピンおよびパッドからスレーブ・ピンおよびパッドまでを測定、空気中の最短距離
Master Domain to Slave Domain		2.15	mm min	マスタ・ピンおよびパッドからスレーブ・ピンおよびパッドまでを測定、空気中の最短距離
Minimum External Tracking (Creepage)				
Field Power Domain to Master Domain		2.15	mm min	フィールド電源ピンおよびパッドからマスタ・ピンおよびパッドまでを測定、ボディに沿った最短距離
Field Power Domain to Slave Domain		2.15	mm min	フィールド電源ピンおよびパッドからスレーブ・ピンおよびパッドまでを測定、ボディに沿った最短距離
Master Domain to Slave Domain		2.15	mm min	マスタ・ピンおよびパッドからスレーブ・ピンおよびパッドまでを測定、ボディに沿った最短距離
Minimum Internal Gap (Internal Clearance)		18	μm min	絶縁体を介した絶縁距離

仕様

パラメータ	記号	値	単位	テスト条件／コメント
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303、Part 1
Material Group		II		材料グループ (DIN VDE 0110、1/89、表1)

DIN V VDE 0884-10 (VDE V 0884-10) 絶縁特性

表 6.

内容	テスト条件／コメント	記号	特性	単位
Installation Classification per DIN VDE 0110			I~III	
For Rated Mains Voltage ≤ 150 V rms			I~II	
For Rated Mains Voltage ≤ 300 V rms			I~I	
For Rated Mains Voltage ≤ 400 V rms			40/105/21	
Climatic Classification			2	
Pollution Degree per DIN VDE 0110, Table 1				
Maximum Working Insulation Voltage		V _{IORM}	565	V peak
Input to Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{pd (m)} 、全数出荷テスト、t _{ini} = t _m = 1秒、部分放電 < 5pC	V _{pd (m)}	1060	V peak
Input to Output Test Voltage, Method A				
After Environmental Tests Subgroup 1	V _{IORM} × 1.5 = V _{pd (m)} 、t _{ini} = 60秒、t _m = 10秒、部分放電 < 5pC	V _{pd (m)}	847	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{pd (m)} 、t _{ini} = 60秒、t _m = 10秒、部分放電 < 5pC		678	V peak
Highest Allowable Overvoltage		V _{IOTM}	3537	V peak
Surge Isolation Voltage	V _{PEAK} = 12.8kV、立上がり時間1.2μs、50%立下がり時間50μs	V _{IOSM}	4000	V peak
Safety Limiting Values	故障発生時に許容される最大値 (図3参照)			
Maximum Junction Temperature		T _S	150	°C
Total Power Dissipation at 25°C		P _S	2.48	W
Insulation Resistance at TS	V _{IO} = 500V	R _S	>10 ⁹	Ω

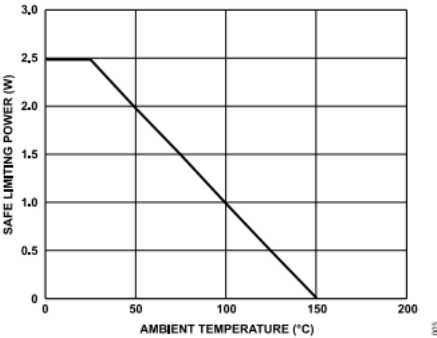


図 3. 熱ディレーティング曲線、DIN V VDE V 0884-10による安全限界電力の周囲温度への依存性

表 7.

Parameter	Rating
VINP to PGNDP	61 V
SWP to PGNDP	VINP + 70 V or 110 V, whichever is lower
SWP to VINP	110 V – VINP or 70 V, whichever is lower
SLEW to GNDP	–0.3 V ~ VINP + 0.3 V
EN to GNDP	–0.3 V ~ +61 V
VOUT1 to SGND2	35 V
FB1 to SGND2	–0.3 V ~ +3.3V
VOUT1 to VOUT3	61 V
SW2 to SGND2	–0.3 V ~ VOUT1 + 0.3 V
VOUT2 to SGND2	6 V
SW3 to SGND2	VOUT3 – 0.3 V ~ VOUT1 + 0.3 V
VOUT3 to SGND2	–26 V ~ +0.3 V
FB3 to VOUT3	–0.3 V ~ +3.3V
SVDD1 to SGND1	6.0 V
SVDD2 to SGND2	6.0 V
SSS, SCK, SI, SO to SGND1	–0.3 V ~ SVDD1 + 0.3 V
SGPI1, SGPO2, SGPI3 to SGND2	–0.3 V ~ SVDD2 + 0.3 V
SYNC to SGND2	–0.3 V ~ +6 V
PPC_IN to SGND2	–0.3 V ~ +6 V
MVDD to MGND	6.0 V
MSS, MCK, MO, MI to MGND	–0.3 V ~ MVDD + 0.3 V
MGPO1, MGPI2, MGPO3 to MGND	–0.3 V ~ MVDD + 0.3 V
Common-Mode Transients	±100 kV/μs
Operating Junction Temperature Range ¹	–40°C ~ +125°C
Storage Temperature Range	–65°C ~ +150°C
Lead Temperature	JEDEC industry standard
Soldering Conditions	JEDEC J-STD-020

1 チップ内の消費電力を抑えて、ジャンクション温度を125°C以下に維持する必要があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを定めるものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めるものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

最大連続動作電圧

表 10. 最大連続動作電圧¹

Parameter	Value	Constraint
60 Hz AC Voltage	300 V rms	20-year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	424 V peak	Limited by the creepage of the package, Pollution Degree 2, Material Group II ^{2,3}

1 詳細については、絶縁寿命のセクションを参照してください。

2 他の汚染度条件および材料グループ条件により、別の制限が発生します。

3 一部のシステム・レベル規格では、プリント配線基板（PWB）の沿面距離値をコンポーネントに使用することを許可しています。これらの規格では、サポートされているDC電圧が高いことがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。

θJAは、1立方フィートの密閉容器内で測定された自然対流下での周囲とジャンクションの間の熱抵抗です。θJCはパッケージ上部で測定した値で、PCBに依存しません。アプリケーションのジャンクションからケースにかけての温度の計算にはΨJTの方が適しています。

表 8. 熱抵抗

Package Type	θJA	θJC	ΨJT	Unit
CP-41-1 ^{1,2,3}	50.4	33.1	25	°C/W

1 絶縁目的でピンを省略した9mm × 7mm LFCSP。

2 熱抵抗のシミュレーション値は、19個のサーマル・ビアを備えたJEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD-51を参照してください。

3 ケース温度はパッケージ上面の中央で測定した値です。

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）と帯電デバイスモデル（CDM）。

ADP1034のESD定格

表 9. ADP1034、41ピンLFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	3500	2
FICDM	1250	C3

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

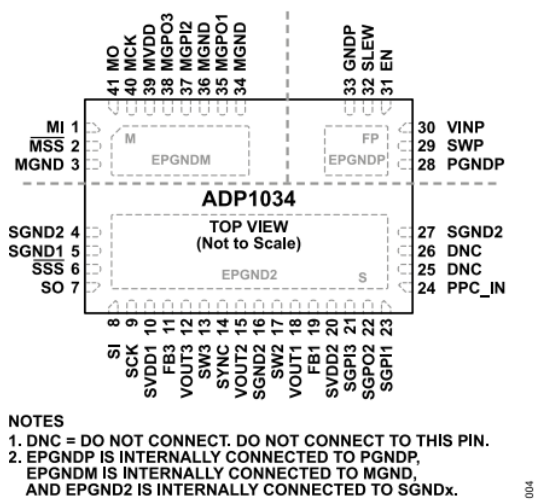


図 4. ピン配置

表 11. ピン機能の説明

ピン番号	記号	絶縁領域	方向	説明
1	MI	Master	Output	スレーブのMIおよびSOラインからのSPIデータ出力。このピンはSOとペアになっています。スレーブ領域では、SOがこのピンを駆動します。
2	MSS	Master	Input	マスタ・コントローラからのSPIスレーブ・セレクト入力。このピンはSSSとペアになっています。スレーブ領域では、このピンがSSSを駆動します。このピンはアクティブ・ロー・ロジックを使用します。
3	MGND	Master	Ground	マスタ領域の信号グラウンド接続。
4	SGND2	Slave	Ground	スレーブ領域のグラウンド接続。このピンは未接続のままにすることができます。
5	SGND1	Slave	Ground	スレーブ領域のSPIアイソレータ・グラウンド。
6	SSS	Slave	Output	SPIスレーブ・セレクト出力。このピンはMSSとペアになっています。マスタ領域では、MSSがこのピンを駆動します。
7	SO	Slave	Input	マスタのMIおよびSOラインへのSPIデータ入力。このピンはMIとペアになっています。マスタ領域では、このピンがMIを駆動します。
8	SI	Slave	Output	マスタのMOおよびSIラインからのSPIデータ出力。このピンはMOとペアになっています。マスタ領域では、MOがこのピンを駆動します。
9	SCK	Slave	Output	マスタからのSPIクロック出力。このピンはMCKとペアになっています。マスタ領域では、MCKがこのピンを駆動します。
10	SVDD1	Slave	Power	SPIアイソレータ電源。SVDD1とSGND1の間に100nFのコンデンサを接続します。
11	FB3	Slave		反転レギュレータ帰還ピン。
12	VOUT3	Slave	Power	反転レギュレータ出力および過電圧検知。
13	SW3	Slave		反転レギュレータのスイッチ・ノード。
14	SYNC	Slave	Input	同期ピン。スイッチング周波数を同期させるには、必要なスイッチング周波数の2倍の外部クロックにSYNCピンを接続します。このピンはフロート状態のままにしないでください。SYNCピンとSGND2の間に100kΩのプルダウン抵抗を接続します。
15	VOUT2	Slave	Power	降圧レギュレータ出力の帰還。
16	SGND2	Slave	Ground	スレーブの電源グラウンド。反転および降圧レギュレータの出力コンデンサのグラウンド・リターンです。
17	SW2	Slave		降圧レギュレータのスイッチ・ノード。
18	VOUT1	Slave	Power	フライバック・レギュレータ出力および過電圧検知。このピンは、降圧および反転レギュレータへの入力です。
19	FB1	Slave		フライバック・レギュレータの帰還ノード。
20	SVDD2	Slave	Power	GPIOアイソレータの電源。SVDD2とSGND2の間に100nFのコンデンサを接続します。
21	SGPI3	Slave	Input	汎用入力3。このピンはMGPO3とペアになっています。
22	SGPO2	Slave	Output	汎用出力2。このピンはMGPI2とペアになっています。

ピン配置およびピン機能の説明

ピン番号	記号	絶縁領域	方向	説明
23	SGPI1	Slave	Input	汎用入力1。このピンはMGPO1とペアになっています。
24	PPC_IN	Slave	Input	プログラマブル電力制御入力。シリアル・コマンドを通じてV _{OUTi} 設定を調整するPPC通信用のシングル・ピン・アクセス。
25	DNC	Slave		接続しません。このピンには接続しないでください。
26	DNC	Slave		接続しません。このピンには接続しないでください。
27	SGND2	Slave	Ground	スレーブ領域のグラウンド接続。このピンは未接続のままにすることができます。
28	PGNDP	Field power	Ground	フライバック・レギュレータ電源のグラウンド・リターン。
29	SWP	Field power		フライバック・レギュレータのスイッチング・ノード。1次側のトランス接続です。
30	VINP	Field power	Power	フライバック・レギュレータの電源電圧。VINPとPGNDPの間に3.3μF以上のコンデンサを接続します。
31	EN	Field power	Input	高精度イネーブル。フライバック・レギュレータ出力をイネーブルするために、ENピンと内部高精度リファレンスを比較します。10kΩ～1MΩの抵抗分圧器を使用します。
32	SLEW	Field power	Input	フライバック・レギュレータのスルー・レート制御。SLEWピンはSWPドライバのスルー・レートを設定します。最大スルー・レート（最大効率）を得るには、SLEWピンをオープン状態のままにします。通常のスルー・レートにする場合はSLEWピンをVINPに接続します。最小スルー・レート（最小EMI）とするには、SLEWピンをGNDPに接続します。
33	GNDP	Field power	Ground	フィールド電源の信号グラウンド接続。
34	MGND	Master	Ground	マスタ領域の電源グラウンド接続。
35	MGPO1	Master	Output	汎用出力1。このピンはSGPI1とペアになっています。
36	MGND	Master	Ground	マスタ領域の電源グラウンド接続。
37	MGPI2	Master	Input	汎用入力2。このピンはSGPO2とペアになっています。
38	MGPO3	Master	Output	汎用出力3。このピンはSGPI3とペアになっています。
39	MVDD	Master	Power	マスタ領域の電源。MVDDとMGNDの間に100nFのコンデンサを接続します。
40	MCK	Master	Input	マスタ・コントローラからのSPIクロック入力。SCKとペアになっています。スレーブ領域では、このピンがSCKを駆動します。
41	MO	Master	Input	スレーブのMOおよびSIラインへのSPIデータ入力。SIとペアになっています。スレーブ領域では、このピンがSIを駆動します。
	EPGNDP	Field power	Ground	PGNDP露出パッド。このパッドは内部でPGNDPに接続されています。
	EPGNDM	Master	Ground	MGND露出パッド。このピンは内部でMGNDに接続されています。
	EPGND2	Slave	Ground	SGND露出パッド。このパッドは内部でSGNDxに接続されています。

代表的な性能特性

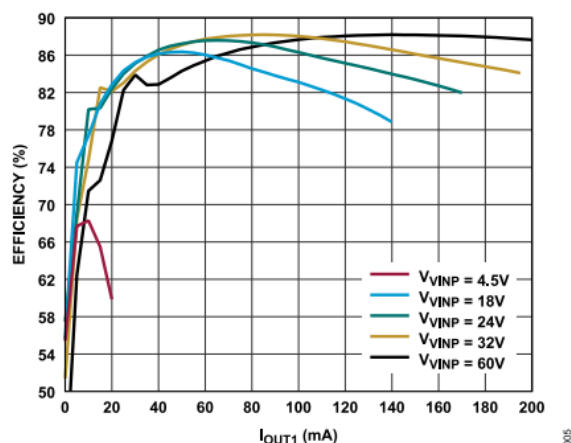


図 5. 様々な入力電圧での全体的効率、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5.0\text{V}$ 、 $I_{OUT2} = 6\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -4\text{mA}$

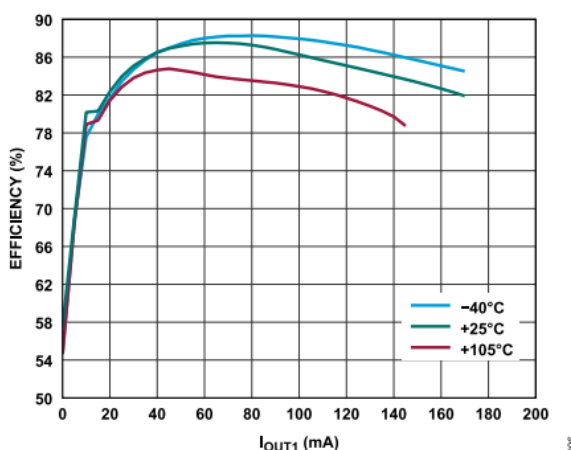


図 6. 様々な温度での全体的効率、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5.0\text{V}$ 、 $I_{OUT2} = 6\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -4\text{mA}$

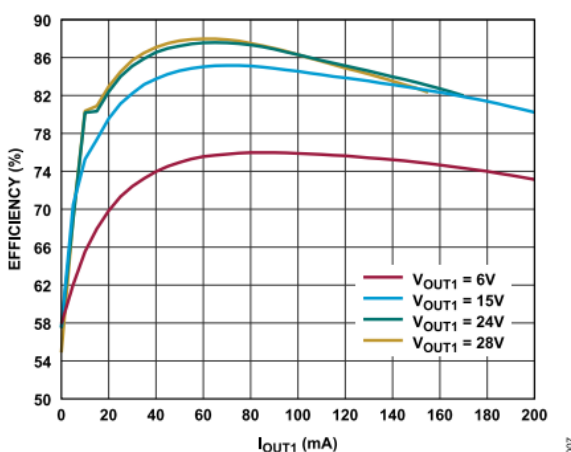


図 7. 様々な V_{OUT1} 出力電圧での全体的効率、 $T_A = 25^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、 $V_{OUT2} = 5.0\text{V}$ 、 $I_{OUT2} = 6\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -4\text{mA}$

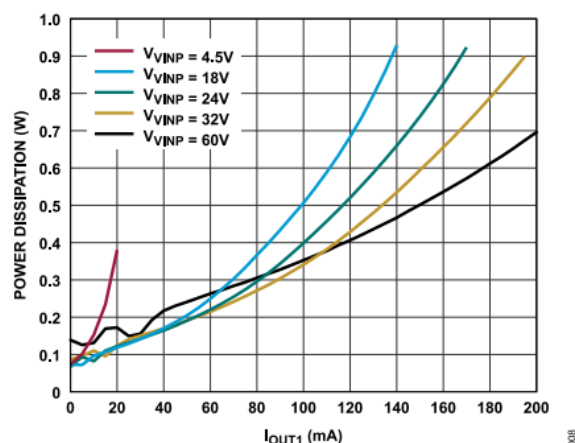


図 8. 様々な電圧での消費電力、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5.0\text{V}$ 、 $I_{OUT2} = 6\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -4\text{mA}$

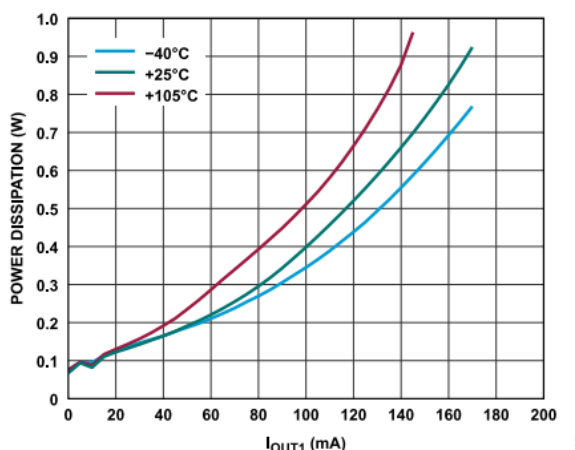


図 9. 様々な温度での消費電力、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5.0\text{V}$ 、 $I_{OUT2} = 6\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -4\text{mA}$

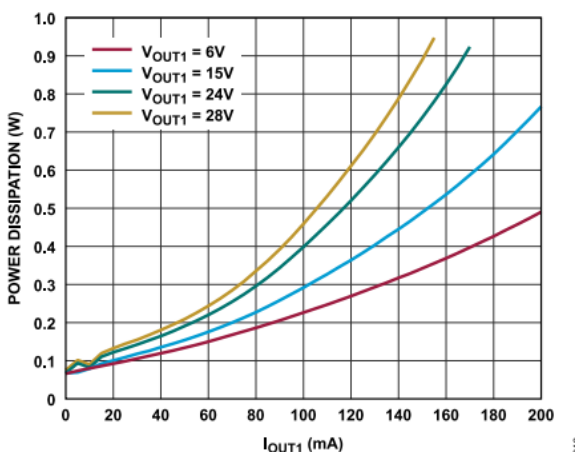


図 10. 様々な V_{OUT1} 出力電圧での消費電力、 $T_A = 25^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、 $V_{OUT2} = 5.0\text{V}$ 、 $I_{OUT2} = 6\text{mA}$ 、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -4\text{mA}$

代表的な性能特性

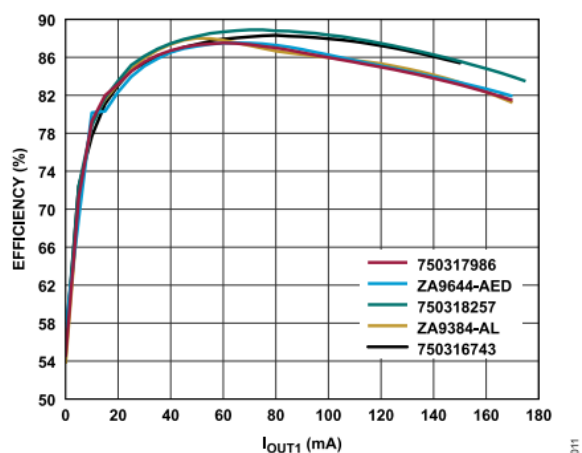


図 11. 様々なトランスを使用した場合の全体的効率、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{VINP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $V_{\text{OUT2}} = 5.0\text{V}$ 、 $I_{\text{OUT2}} = 6\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -4\text{mA}$

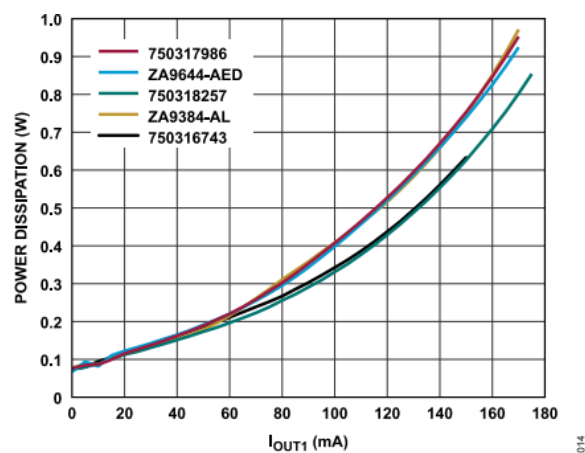


図 14. 様々なトランスを使用した場合の消費電力、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{VINP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $V_{\text{OUT2}} = 5.0\text{V}$ 、 $I_{\text{OUT2}} = 6\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -4\text{mA}$

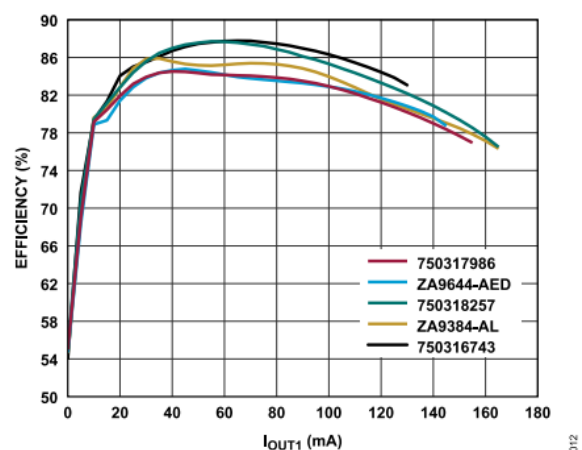


図 12. 様々なトランスを使用した場合の全体的効率、 $T_A = 105^\circ\text{C}$ 、 $V_{\text{VINP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $V_{\text{OUT2}} = 5.0\text{V}$ 、 $I_{\text{OUT2}} = 6\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -4\text{mA}$

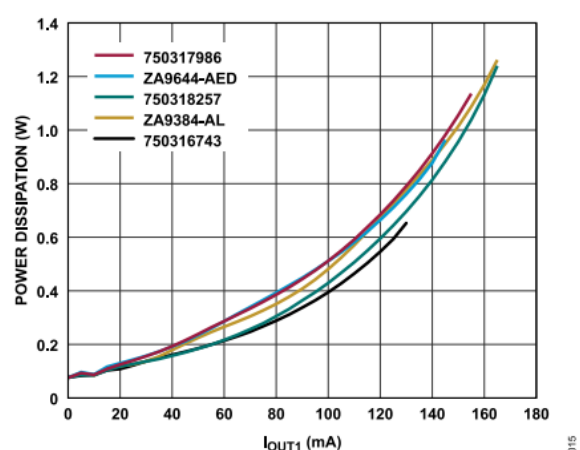


図 15. 様々なトランスを使用した場合の消費電力、 $T_A = 105^\circ\text{C}$ 、 $V_{\text{VINP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $V_{\text{OUT2}} = 5.0\text{V}$ 、 $I_{\text{OUT2}} = 6\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -4\text{mA}$

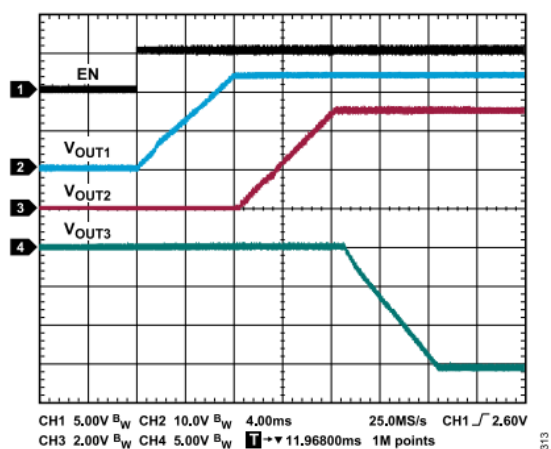


図 13. パワーアップ・シーケンス、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{VINP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $I_{\text{OUT1}} = 25\text{mA}$ 、 $V_{\text{OUT2}} = 5.0\text{V}$ 、 $I_{\text{OUT2}} = 6\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -4\text{mA}$

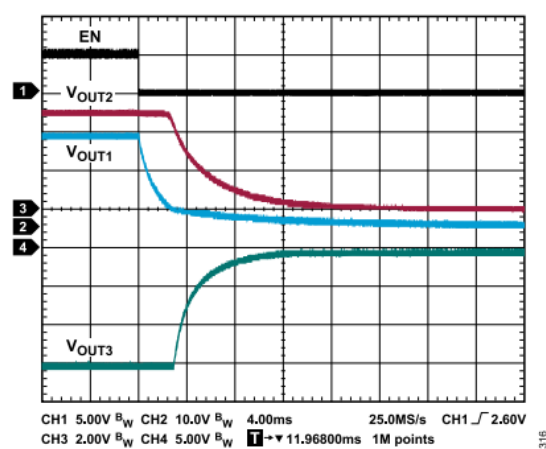


図 16. シャットダウン・シーケンス、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{VINP}} = 24\text{V}$ 、 $V_{\text{OUT1}} = 24\text{V}$ 、 $I_{\text{OUT1}} = 25\text{mA}$ 、 $V_{\text{OUT2}} = 5.0\text{V}$ 、 $I_{\text{OUT2}} = 6\text{mA}$ 、 $V_{\text{OUT3}} = -15\text{V}$ 、 $I_{\text{OUT3}} = -4\text{mA}$

代表的な性能特性

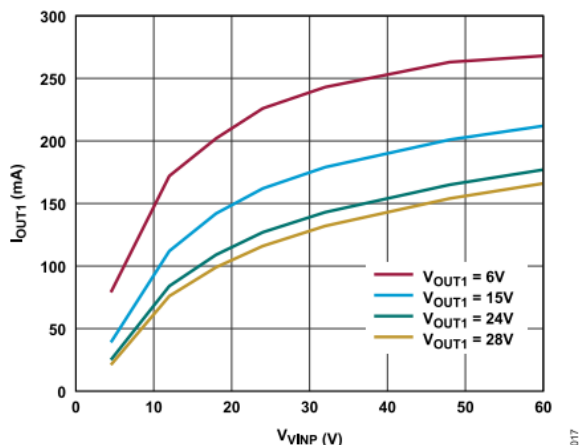


図 17. 様々な出力電圧でのフライバック・レギュレータの最大出力電流 (I_{OUT1})、 $T_A = 25^\circ\text{C}$ 、Coilcraft ZA9644-AEDトランスとツェナー・クランプ回路を使用、 $I_{LIM (FLYBACK)}$ の70%を目標値とした場合

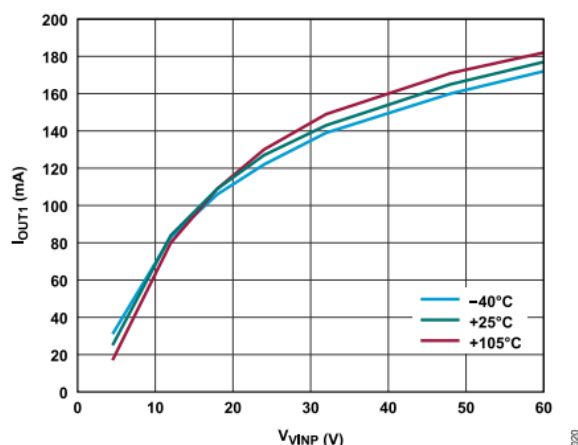


図 20. 様々な温度でのフライバック・レギュレータの最大出力電流 (I_{OUT1})と V_{INP} の関係、 $V_{OUT1} = 24\text{V}$ 、Coilcraft ZA9644-AEDトランスとツェナー・クランプ回路を使用、 $I_{LIM (FLYBACK)}$ の70%を目標値とした場合

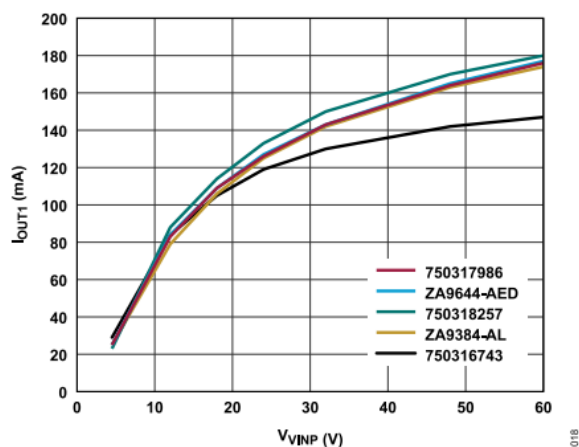


図 18. 様々なトランスを使用した場合のフライバック・レギュレータの最大出力電流 (I_{OUT1})と V_{INP} の関係、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、ツェナー・クランプ回路を使用、 $I_{LIM (FLYBACK)}$ の70%を目標値とした場合

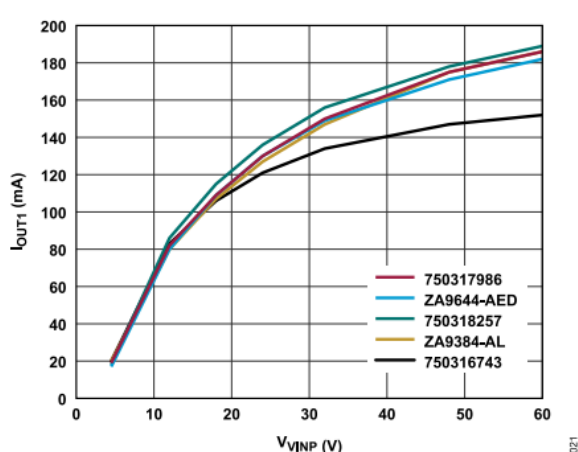


図 21. 様々なトランスを使用した場合のフライバック・レギュレータの最大出力電流 (I_{OUT1})と V_{INP} の関係、 $T_A = 105^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、ツェナー・クランプ回路を使用、 $I_{LIM (FLYBACK)}$ の70%を目標値とした場合

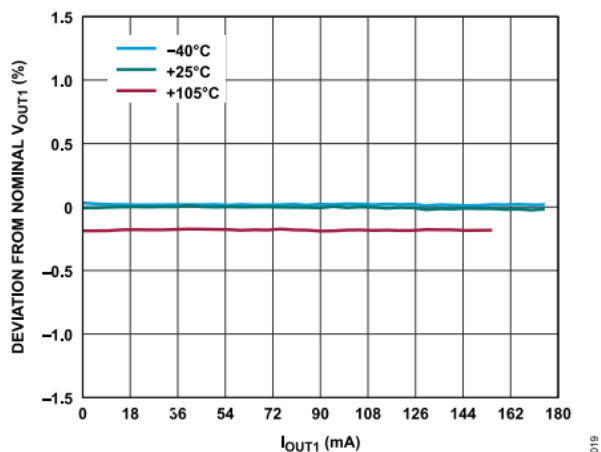


図 19. 様々な温度でのフライバック・レギュレータの負荷レギュレーション、 $V_{INP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、公称値 = V_{OUT1} (25mA 負荷時)

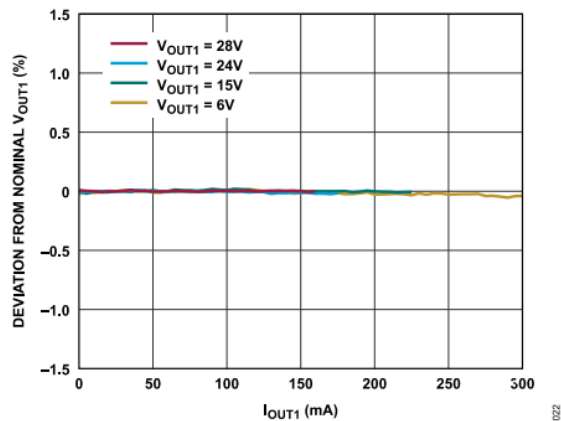


図 22. 様々な出力電圧でのフライバック・レギュレータの負荷レギュレーション、 $T_A = 25^\circ\text{C}$ 、 $V_{INP} = 24\text{V}$ 、公称値 = V_{OUT1} (25mA 負荷時)

代表的な性能特性

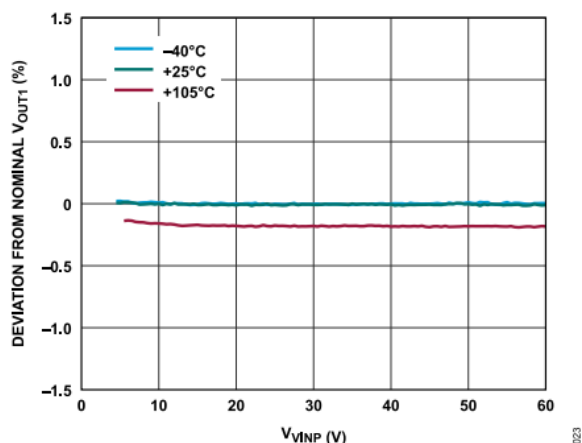


図 23. 様々な温度でのフライバック・レギュレータのライン・レギュレーション、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 25mA$ 、公称値 = V_{OUT1} ($V_{INP} = 24V$ 時)

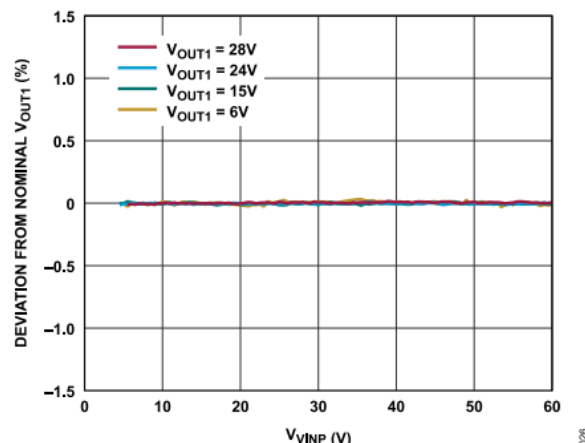


図 26. 様々な出力電圧でのフライバック・レギュレータのライン・レギュレーション、 $T_A = 25^\circ C$ 、 $I_{OUT1} = 25mA$ 、公称値 = V_{OUT1} ($V_{INP} = 24V$ 時)

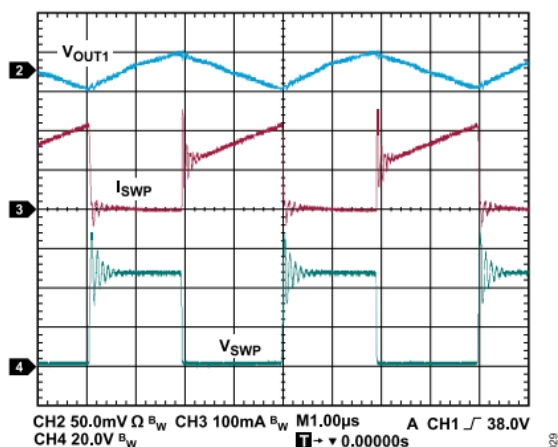


図 24. フライバック・レギュレータの連続導通モード動作 (I_{SWP} 、スイッチ・ノード電圧、出力リップルを表示)、 $T_A = 25^\circ C$ 、 $V_{INP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 80mA$

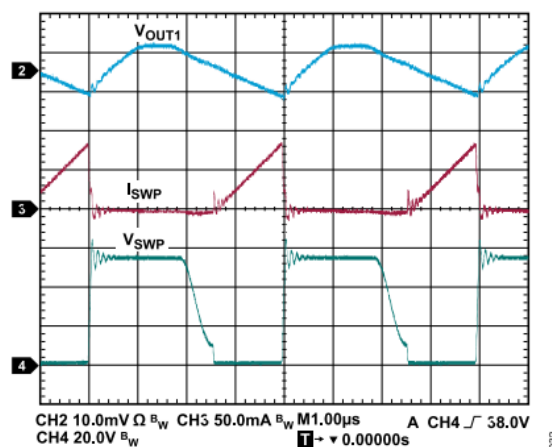


図 27. フライバック・レギュレータの不連続導通モード動作 (I_{SWP} 、スイッチ・ノード電圧、出力リップルを表示)、 $T_A = 25^\circ C$ 、 $V_{INP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 20mA$

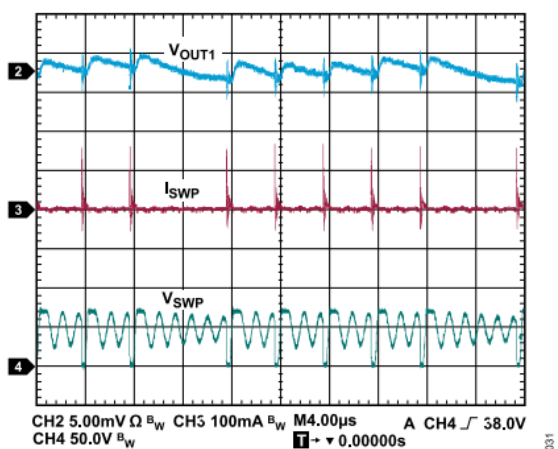


図 25. フライバック・レギュレータのパルス・スキッピング動作 (インダクタ電流 I_{SWP} 、スイッチ・ノード電圧、出力リップルを表示)、 $T_A = 25^\circ C$ 、 $V_{INP} = 48V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 4mA$

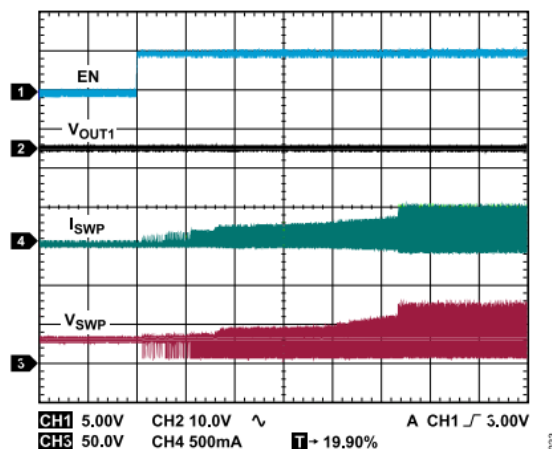


図 28. 起動時のフライバック・レギュレータ短絡電流制限、 $V_{INP} = 24V$ 、 $V_{OUT1} = SGND2$ 、 $T_A = 25^\circ C$

代表的な性能特性

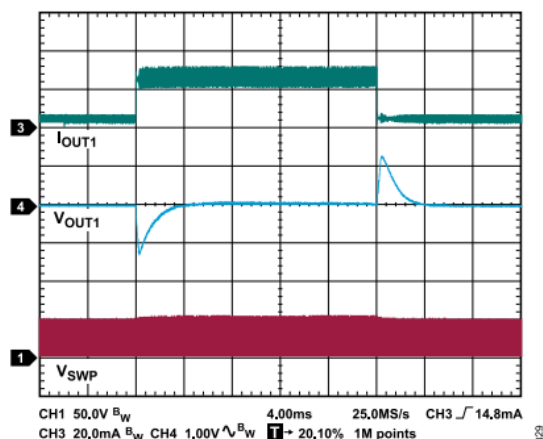


図 29. フライバック・レギュレータの負荷過渡応答、 $V_{VINP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 4mA \sim 25mA$ ステップ、 $T_A = 25^\circ C$

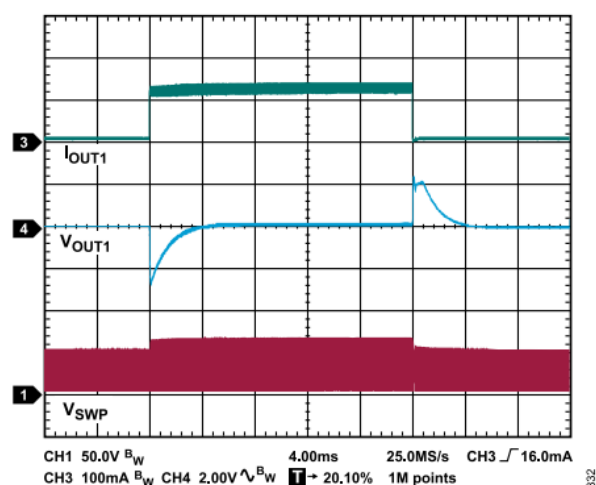


図 32. フライバック・レギュレータの負荷過渡応答、 $V_{VINP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 4mA \sim 120mA$ ステップ、 $T_A = 25^\circ C$

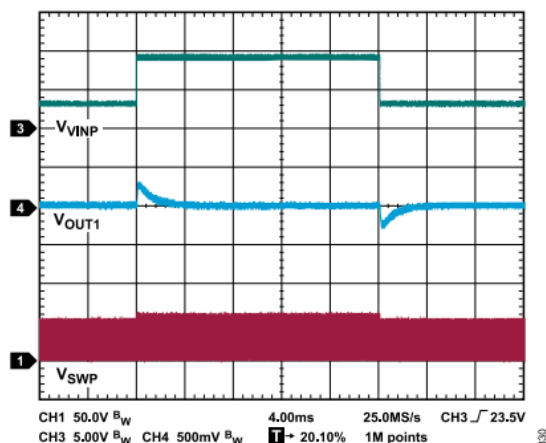


図 30. フライバック・レギュレータのライン過渡応答、 $V_{VINP} = 18V \sim 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 25mA$ 、 $T_A = 25^\circ C$

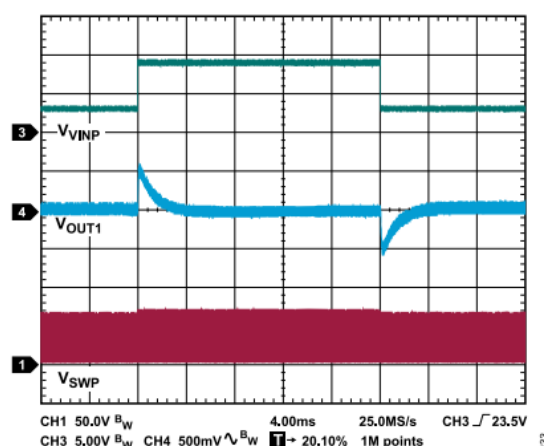


図 33. フライバック・レギュレータのライン過渡応答、 $V_{VINP} = 18V \sim 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 100mA$ 、 $T_A = 25^\circ C$

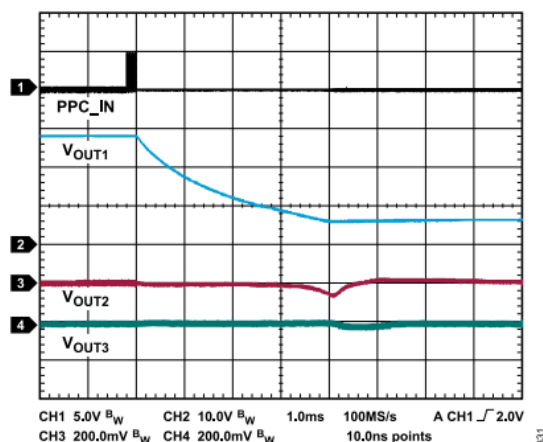


図 31. 出力のフルレンジ・ステップでのプログラマブル電力制御 (PPC)、 $V_{OUT1} = 28V$ から $6V$ まで、 $V_{VINP} = 24V$ 、 V_{OUT1} 負荷 = $1k\Omega$ 、 $V_{OUT2} = 5.0V$ 、 $I_{OUT2} = 6mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -4mA$ 、 $T_A = 25^\circ C$

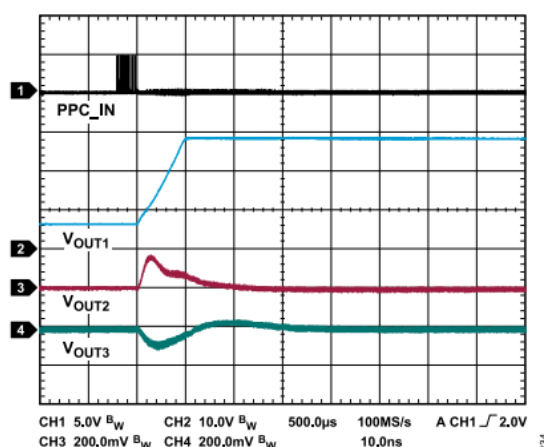


図 34. 出力のフルレンジ・ステップでのPPC、 $V_{OUT1} = 6V$ から $28V$ まで、 $V_{VINP} = 24V$ 、 V_{OUT1} 負荷 = $1k\Omega$ 、 $V_{OUT2} = 5.0V$ 、 $I_{OUT2} = 6mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -4mA$ 、 $T_A = 25^\circ C$

代表的な性能特性

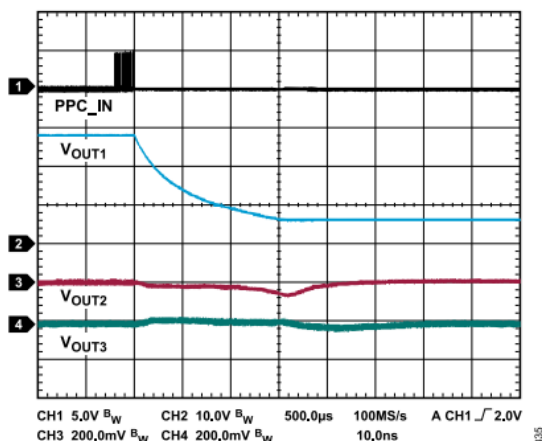


図 35. 出力のフルレンジ・ステップでのPPC、 $V_{OUT1} = 28V$ から6Vまで、 $V_{VINP} = 24V$ 、 V_{OUT1} 負荷 = 250Ω 、 $V_{OUT2} = 5.0V$ 、 $I_{OUT2} = 6mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -4mA$ 、 $T_A = 25^\circ C$

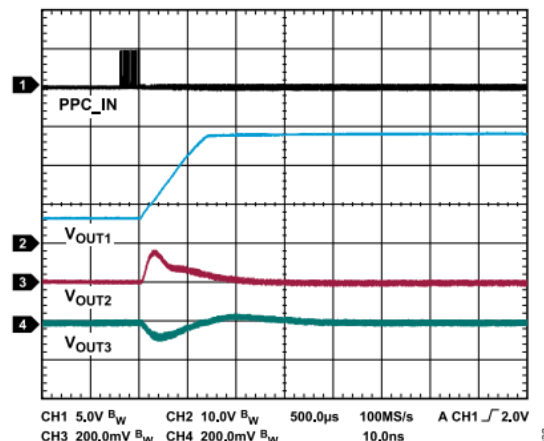


図 38. 出力のフルレンジ・ステップでのPPC、 $V_{OUT1} = 6V$ から28Vまで、 $V_{VINP} = 24V$ 、 V_{OUT1} 負荷 = 250Ω 、 $V_{OUT2} = 5.0V$ 、 $I_{OUT2} = 6mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -4mA$ 、 $T_A = 25^\circ C$

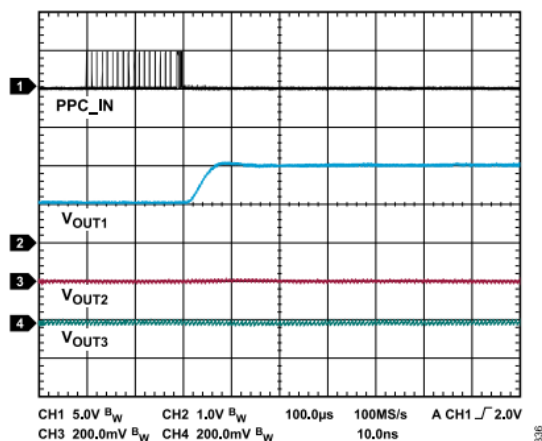


図 36. 9コード・ステップでのPPC、 $V_{OUT1} = 16V$ から17Vまで、 $V_{VINP} = 24V$ 、 V_{OUT1} 負荷 = $1k\Omega$ 、 $V_{OUT2} = 5.0V$ 、 $I_{OUT2} = 6mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -4mA$ 、 $T_A = 25^\circ C$

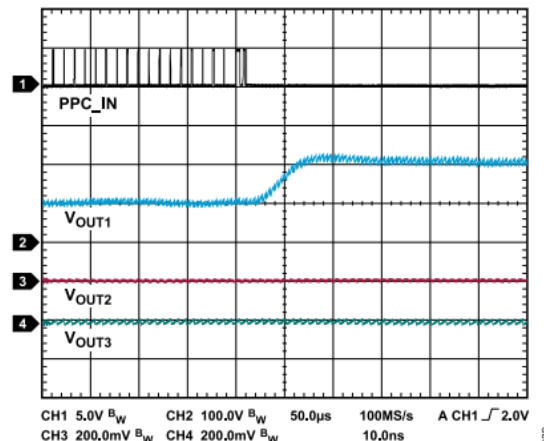


図 39. 1コード・ステップでのPPC、 $V_{OUT1} = 10V + 1LSB$ (0.111V)、 $V_{VINP} = 24V$ 、 V_{OUT1} 負荷 = $1k\Omega$ 、 $V_{OUT2} = 5.0V$ 、 $I_{OUT2} = 6mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -4mA$ 、 $T_A = 25^\circ C$

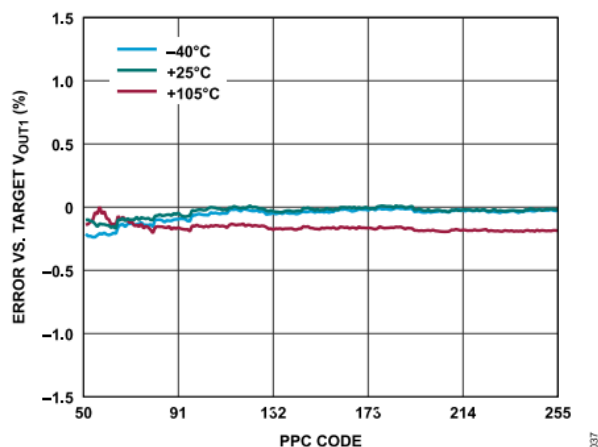


図 37. 様々な温度でのフライバック・レギュレータ精度とPPCコードの関係、 $I_{OUT1} = 20mA$ 、フルスケール $V_{OUT1} = 28V$

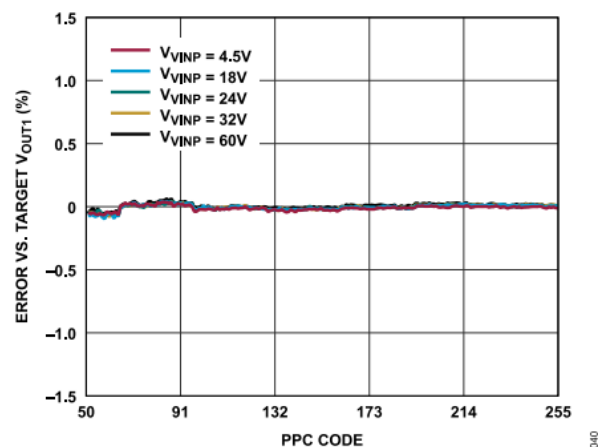


図 40. 異なるVINPでのフライバック・レギュレータ精度とPPCコードの関係、 $I_{OUT1} = 20mA$ 、フルスケール $V_{OUT1} = 28V$

代表的な性能特性

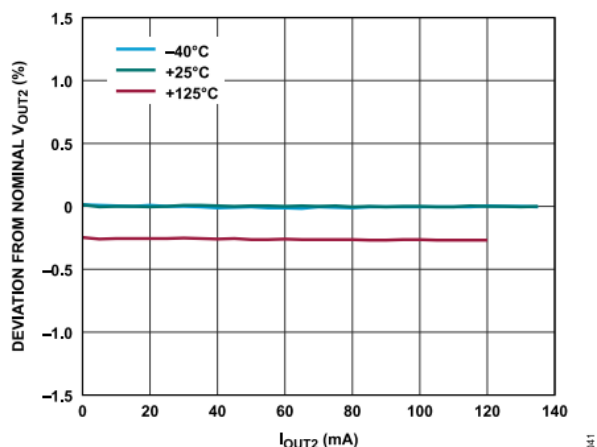


図 41. 様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT2} = 5V$ 、 $V_{OUT1} = 24V$ 、公称条件 = I_{OUT2} が 10mA のときの V_{OUT2}

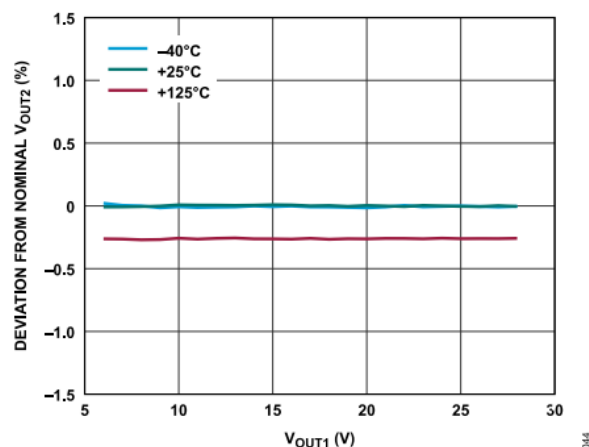


図 44. 様々な温度での降圧レギュレータのライン・レギュレーション、 $V_{OUT2} = 5V$ 、 $I_{OUT2} = 10mA$ 、公称条件 = V_{OUT1} が 24V のときの V_{OUT2}

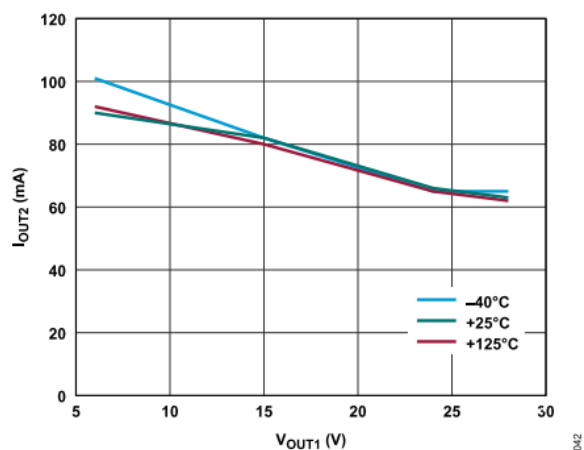


図 42. 様々な温度での降圧レギュレータの最大出力電流 (I_{OUT2}) と V_{OUT1} の関係、 $V_{VINP} = 24V$ 、 $V_{OUT2} = 5V$ 、 $I_{OUT1} = 0mA$ 、 $I_{OUT3} = 0mA$ 、 $I_{LIM} (FLYBACK)$ の 70% または $I_{LIM} (BUCK)$ の 70% (いずれか先に到達した方) を目標値とした場合

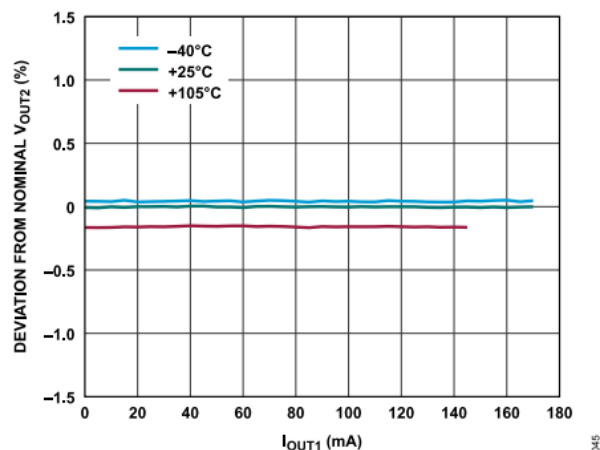


図 45. 様々な温度での降圧レギュレータのクロス・レギュレーション、 $V_{VINP} = 24V$ 、 $V_{OUT2} = 5V$ 、 $I_{OUT2} = 10mA$

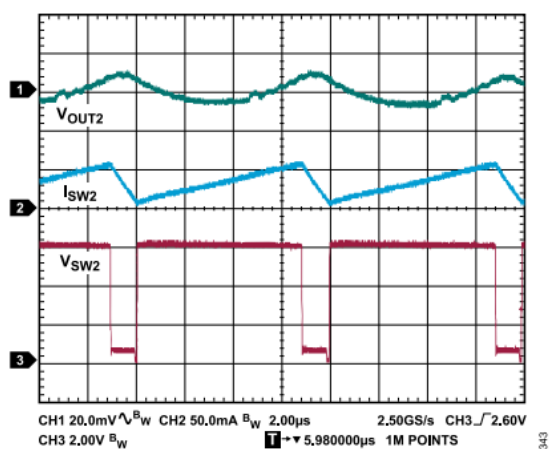


図 43. 降圧レギュレータの連続導通モード動作時 (インダクタ電流 2 (I_{SW2})、スイッチ・ノード電圧、および出力リップルを表示)、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 6V$ 、 $V_{OUT2} = 5V$ 、 $I_{OUT2} = 30mA$

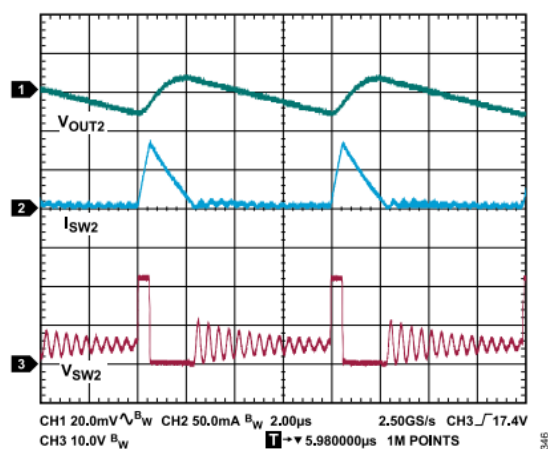


図 46. 降圧レギュレータの不連続導通モード動作 (I_{SW2} 、スイッチ・ノード電圧、出力リップルを表示)、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 24V$ 、 $V_{OUT2} = 5V$ 、 $I_{OUT2} = 11mA$

代表的な性能特性

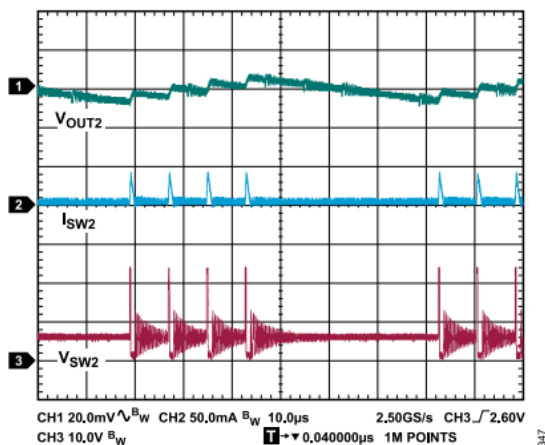


図 47. 降圧レギュレータのパルス・スキッピング動作 (I_{SW2} 、スイッチ・ノード電圧、出力リップルを表示)、 $T_A = 25^\circ\text{C}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5\text{V}$ 、 $I_{OUT2} = 0.3\text{mA}$

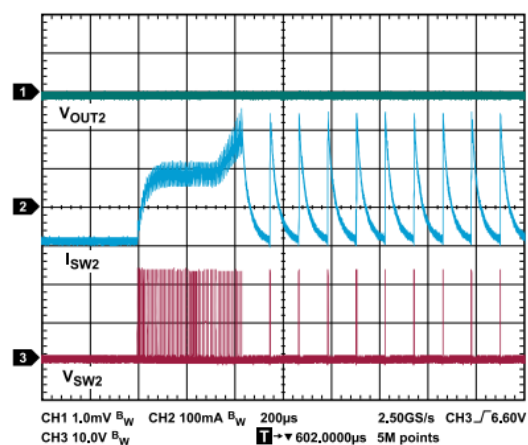


図 50. 起動時の降圧レギュレータの短絡電流制限、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = \text{SGND2}$ 、 $T_A = 25^\circ\text{C}$

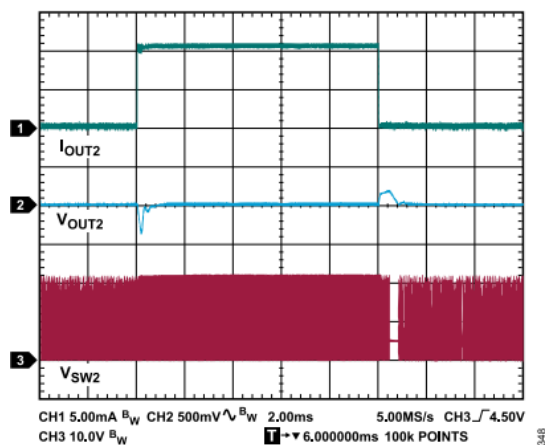


図 48. 降圧レギュレータの負荷過渡応答、 $V_{VINP} = 24\text{V}$ 、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT2} = 5\text{V}$ 、 $I_{OUT2} = 0.3\text{mA} \sim 11\text{mA}$ ステップ、 $T_A = 25^\circ\text{C}$

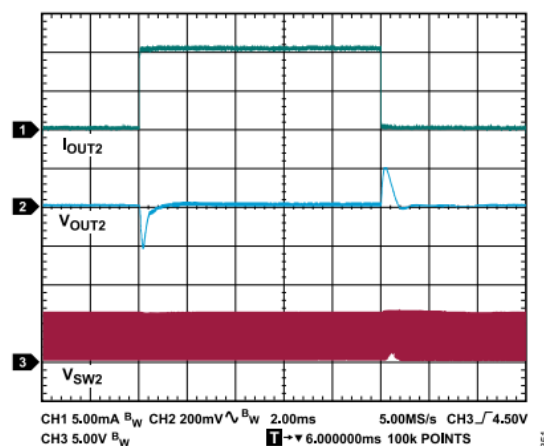


図 51. 降圧レギュレータの負荷過渡応答、 $V_{VINP} = 24\text{V}$ 、 $V_{OUT1} = 6\text{V}$ 、 $V_{OUT2} = 5\text{V}$ 、 $I_{OUT2} = 0.3\text{mA} \sim 11\text{mA}$ ステップ、 $T_A = 25^\circ\text{C}$

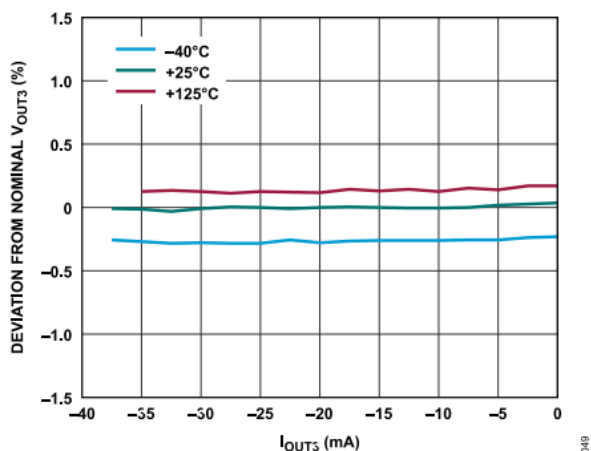


図 49. 様々な温度での反転レギュレータの負荷レギュレーション、 $V_{OUT1} = 24\text{V}$ 、 $V_{OUT3} = -15\text{V}$ 、公称値 = I_{OUT3} が7mAのときの V_{OUT3}

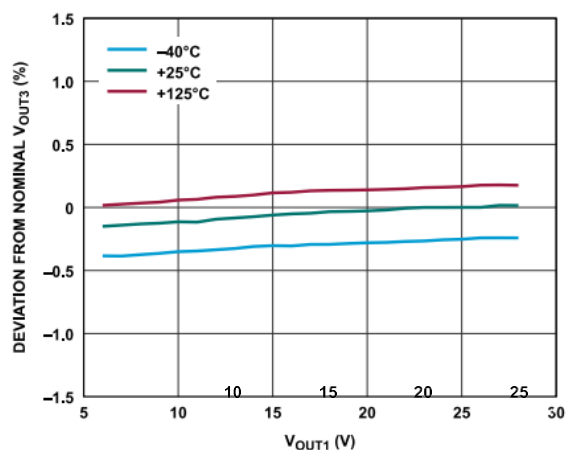


図 52. 様々な温度での反転レギュレータのライン・レギュレーション、 $V_{OUT3} = -15\text{V}$ 、 $I_{OUT3} = -7\text{mA}$ 、公称値 = V_{OUT1} が24Vのときの V_{OUT3}

代表的な性能特性

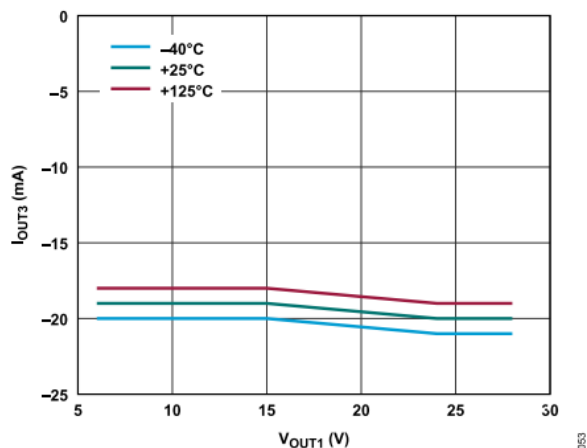


図 53. 反転レギュレータの最大出力電流、 $V_{VINP} = 24V$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT1} = 0mA$ 、 $I_{OUT2} = 0mA$ 、 $I_{LIM(FLYBACK)}$ の70%または $I_{LIM(INVERTER)}$ の70%（いずれか先に到達した方）を目標値とした場合

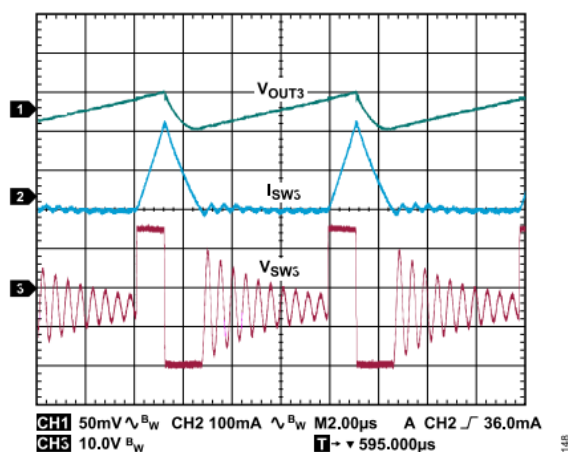


図 54. 反転レギュレータの不連続導通モード動作（インダクタ電流 (I_{L3})、スイッチ・ノード電圧、出力リップルを表示)、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 24V$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -20mA$

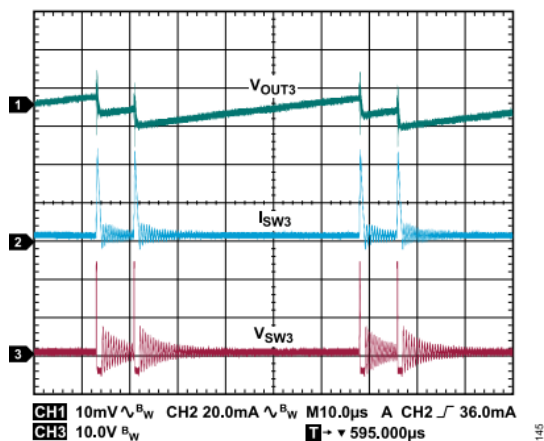


図 55. 反転レギュレータのパルス・スキッピング動作（ I_{L3} 、スイッチ・ノード電圧、出力リップルを表示）、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 24V$ 、 $V_{OUT3} = -6V$ 、 $I_{OUT3} = -0.3mA$

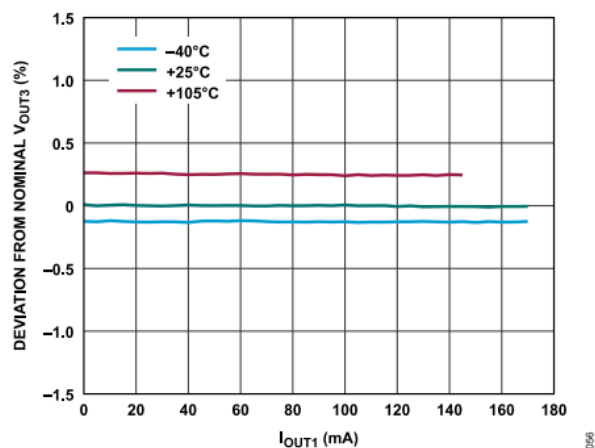


図 56. 様々な温度での反転レギュレータのクロス・レギュレーション、 $V_{VINP} = 24V$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT2} = -4mA$

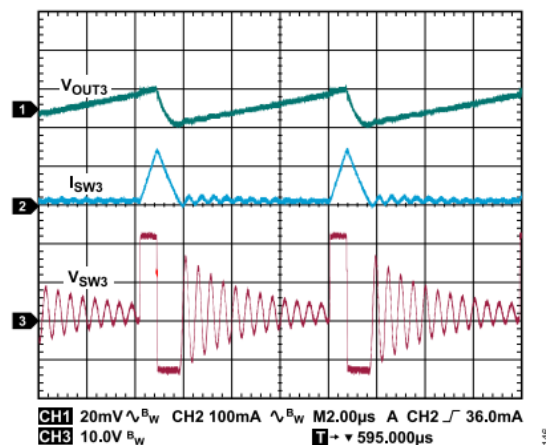


図 57. 反転レギュレータの不連続導通モード動作（ I_{L3} 、スイッチ・ノード電圧、出力リップルを表示）、 $T_A = 25^\circ C$ 、 $V_{OUT1} = 24V$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -7mA$

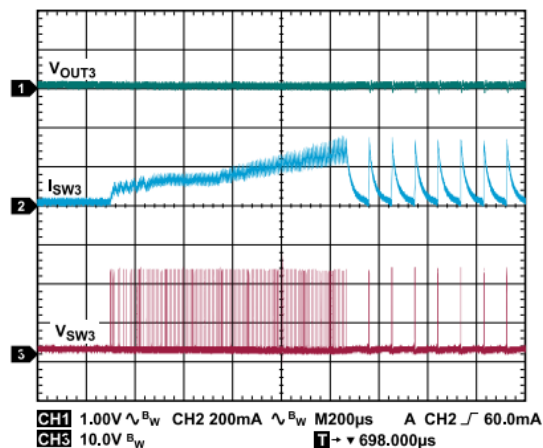


図 58. 起動時の反転レギュレータの短絡電流制限、 $V_{OUT1} = 24V$ 、 $V_{OUT3} = SGND2$ 、 $T_A = 25^\circ C$

代表的な性能特性

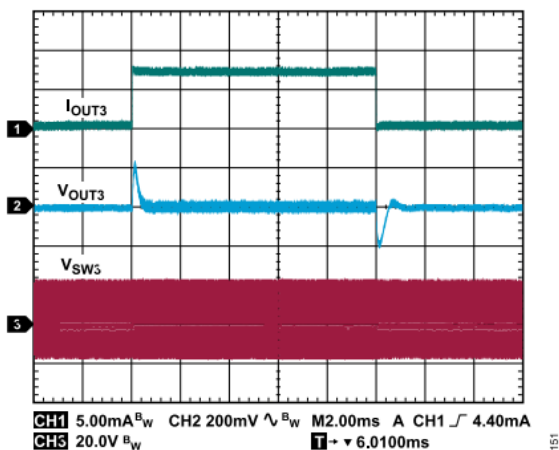


図 59. 反転レギュレータの負荷過渡応答、 $V_{VINP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 0mA$ 、 $V_{OUT2} = 5V$ 、 $I_{OUT2} = 0mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -0.3mA \sim -7mA$ ステップ、 $T_A = 25^\circ C$

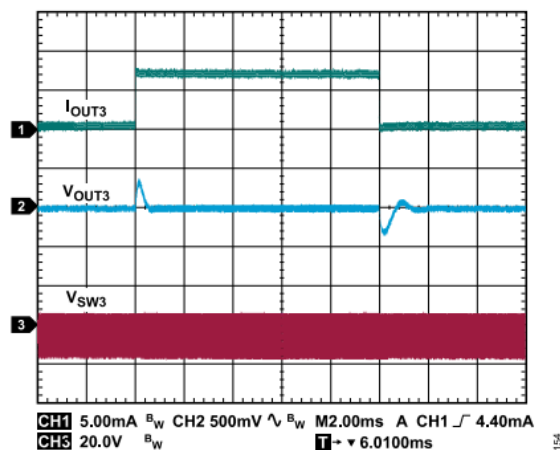


図 62. 反転レギュレータの負荷過渡応答、 $V_{VINP} = 24V$ 、 $V_{OUT1} = 24V$ 、 $I_{OUT1} = 26mA$ 、 $V_{OUT2} = 5V$ 、 $I_{OUT2} = 11mA$ 、 $V_{OUT3} = -15V$ 、 $I_{OUT3} = -0.3mA \sim -7mA$ ステップ、 $T_A = 25^\circ C$

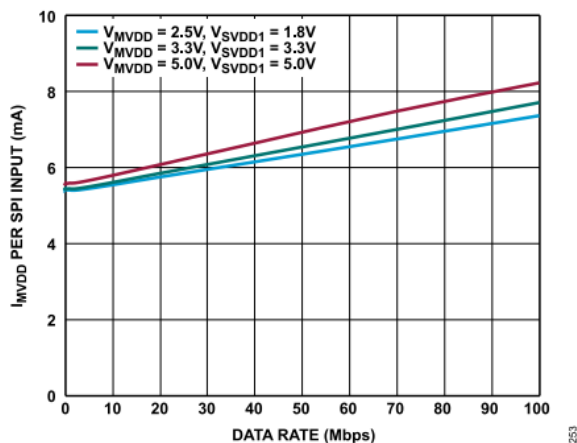


図 60. 様々な電源電圧でのSPI入力あたりのMVDD電源電流 (I_{MVDD}) とデータ・レートの関係、 $\overline{MSS} = \text{ロー}$ 、1つのSPIチャンネルにクロック信号を入力し、その他の入力チャンネルはローに接続

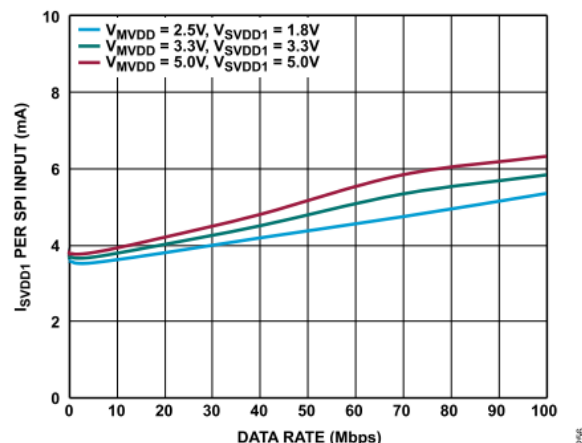


図 63. 様々な電源電圧でのSPI入力あたりのSVDD1電源電流 (I_{SVDD1}) とデータ・レートの関係、 $\overline{SSS} = \text{ロー}$ 、1つのSPIチャンネルにクロック信号を入力し、その他の入力チャンネルはローに接続

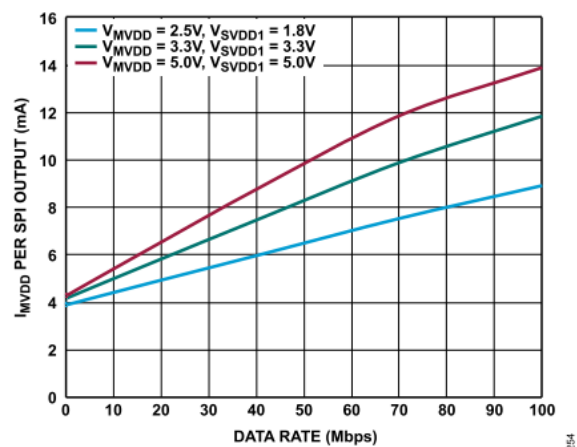


図 61. 様々な電源電圧でのSPI入力あたりの I_{MVDD} とデータ・レートの関係、 $\overline{MSS} = \text{ロー}$ 、1つのSPIチャンネルにクロック信号を入力し、その他の入力チャンネルはローに接続

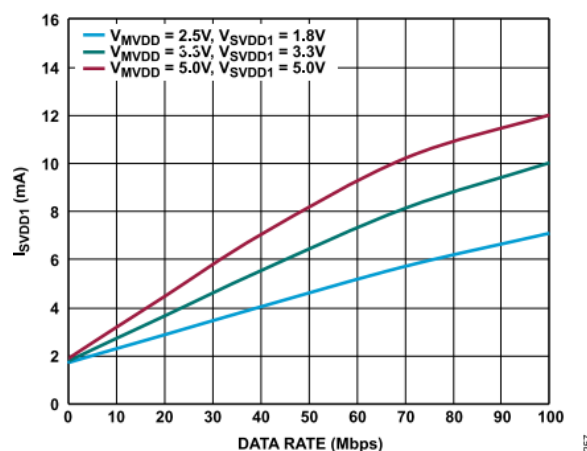


図 64. 様々な電源電圧での I_{SVDD1} とデータ・レートの関係、 $\overline{SSS} = \text{ロー}$ 、1つのSPIチャンネルにクロック信号を入力し、その他の入力チャンネルはローに接続

代表的な性能特性

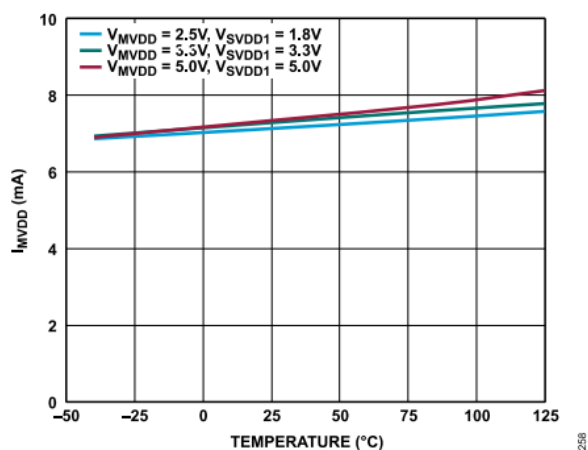


図 65. 様々な電源電圧での I_{MVDD} と温度の関係、 $\overline{MSS}$ = ロー、データ・レート = すべてのSPIチャンネルで10Mbps

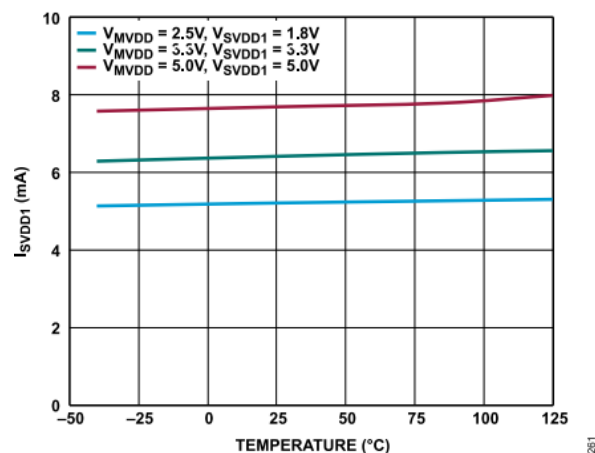


図 68. 様々な電源電圧での I_{SVDD1} と温度の関係、 $\overline{SSS}$ = ロー、データ・レート = すべてのSPIチャンネルで10Mbps

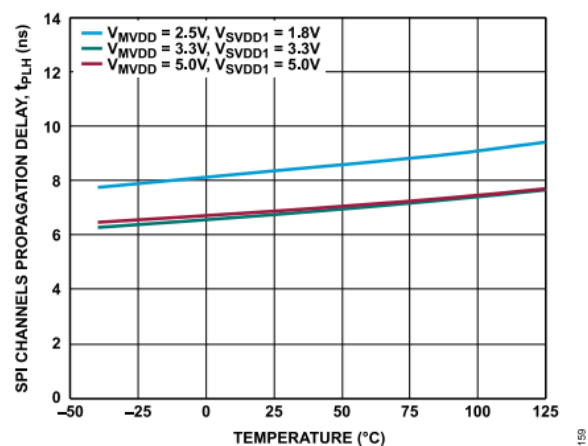


図 66. 様々な電源電圧でのSPIチャンネルの伝搬遅延 (t_{PLH}) と温度の関係

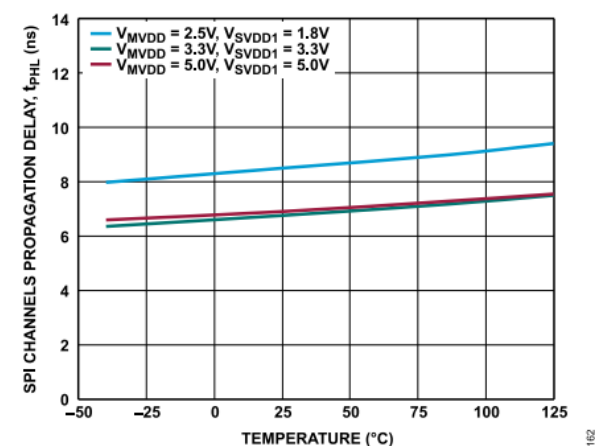


図 69. 様々な電源電圧でのSPIチャンネルの伝搬遅延 (t_{PLH}) と温度の関係

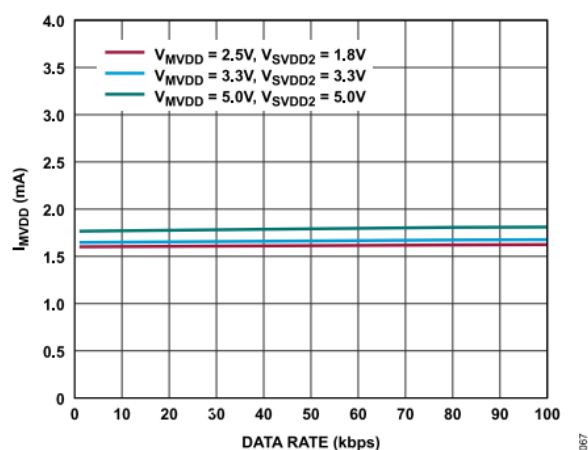


図 67. 様々な電源電圧での全CPIOチャンネルの I_{MVDD} とデータ・レートの関係、 $\overline{MSS}$ = ハイ

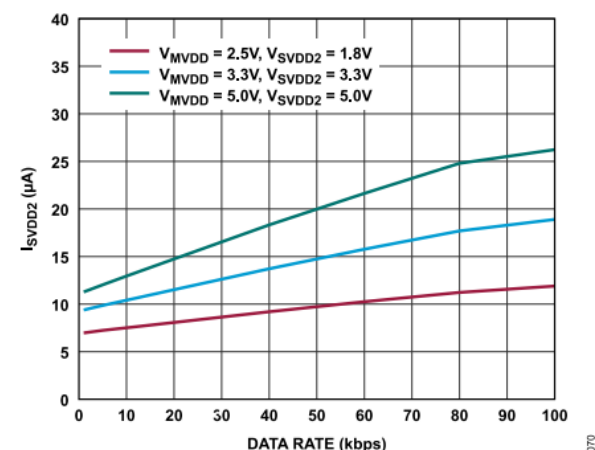


図 70. 様々な電源電圧での全CPIOチャンネルの I_{SVDD2} とデータ・レートの関係、 $\overline{MSS}$ = ハイ

代表的な性能特性

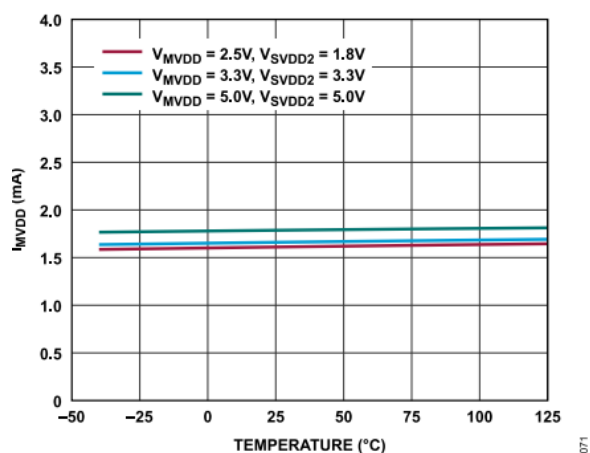


図 71. 様々な電源電圧での I_{MVDD} と温度の関係、 $\overline{MSS} = \text{ロー}$ 、データ・レート = すべてのGPIOチャンネルで40kbps

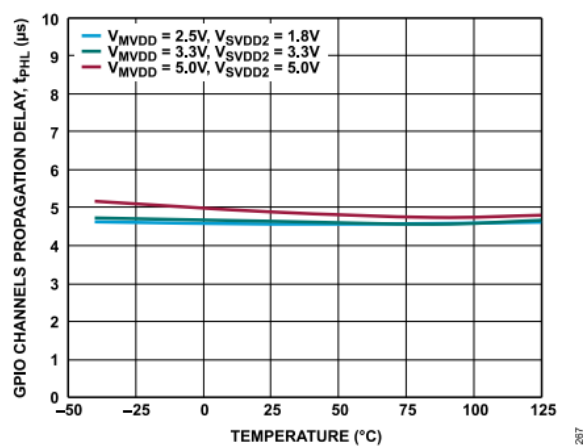


図 74. 様々な電圧でのGPIOチャンネルの伝搬遅延 (t_{PHL}) と温度の関係

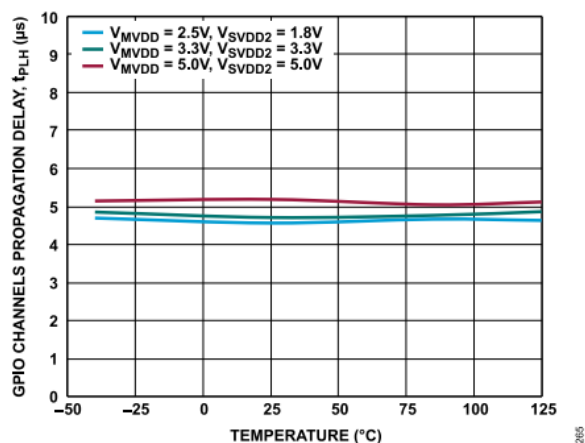


図 72. 様々な電源電圧でのGPIOチャンネルの伝搬遅延 (t_{PLH}) と温度の関係

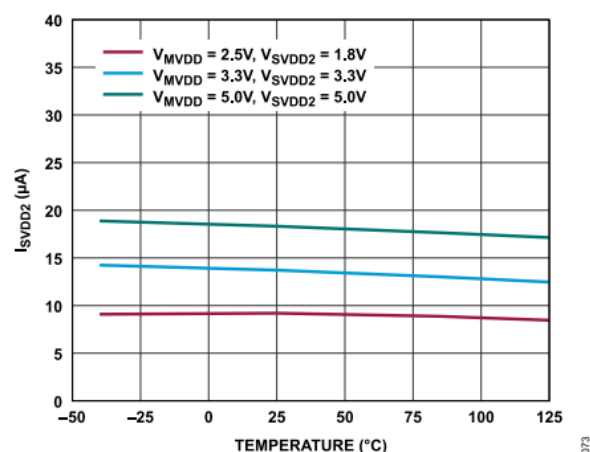


図 73. 様々な電源電圧での I_{SVDD2} と温度の関係、 $\overline{SSS} = \text{ロー}$ 、データ・レート = すべてのGPIOチャンネルで40kbps

動作原理

ADP1034は、絶縁型フライバック・レギュレータ、反転昇降圧レギュレータ、および降圧レギュレータを組み合わせた高性能の絶縁型マイクロPMUです。ADP1034は3種類の絶縁された電源レールを提供し、41ピンLFCSPに7個の低消費電力デジタル・アイソレ

ータを内蔵しています。このデバイスは、消費電力とボード・スペースが重要な要素となるチャンネル間絶縁型アプリケーションに適しています。さらに、シリアル・コマンドを使用して V_{OUT1} の設定を必要に応じて調整するためのPPC_INピンを備えています。

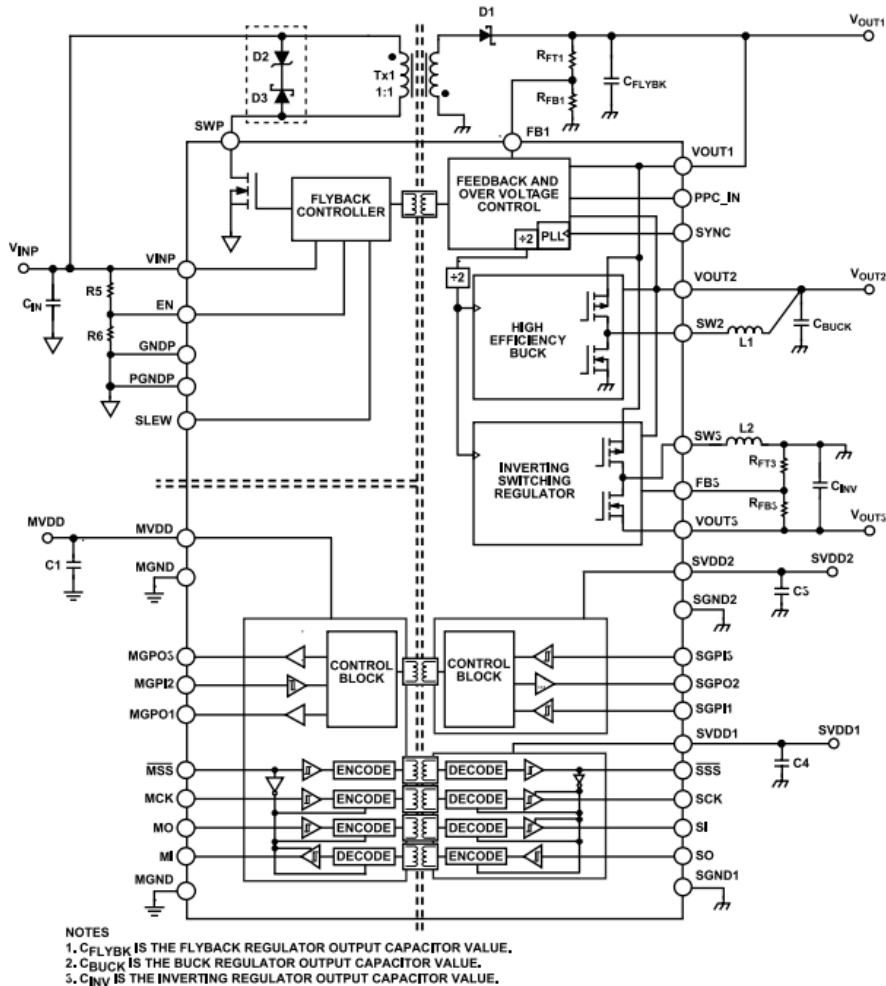


図 75. 簡略化したブロック図

動作原理

フライバック・レギュレータ

フライバック・レギュレータの動作

ADP1034のフライバック・レギュレータは、6V～28Vにプログラム可能な絶縁された出力電源レールを生成します。このフライバック・レギュレータは電流モード制御を採用しており、高速な内側の電流制御ループを使用してピーク・インダクタ電流を安定させるとともに、絶縁されたiCouplerチャンネルによる比較的低速な外側のループを使用して電流制御ループを調整し、出力電圧を安定させます。高電圧スイッチがオンになると、トランスの2次側にあるダイオードに逆バイアスがかかり、それによりトランスの1次側インダクタンスの電流が増加して磁気エネルギーとして蓄積されます。スイッチがオフするとダイオードが順方向バイアスとなって、トランスに蓄積されたエネルギーが負荷に送られます。

従来の絶縁型フライバック・レギュレータでは、2次側から1次側に信号を伝送する帰還経路にはディスクリート品のフォトカブラが使われていました。しかし、フォトカブラの電流伝達率

(CTR)は時間や温度とともに低下します。したがって、フォトカブラは5年から10年ごとに交換する必要があります。ADP1034は、帰還パスにアナログ・デバイズのiCoupler技術を採用することでフォトカブラを不要にし、それに関連する問題を解決します。これにより、CTRの低下の問題を起こさずにシステムの信頼性を向上させるとともに、システム・コストとPCB面積を削減しながら複雑さも軽減しています。

フライバック・トランスは、1次巻線と2次巻線が1つずつのものが使われています。この構成が可能なのは、1次側検出巻線が不要になるように、iCoupler技術を使って1次側コントローラに絶縁された制御信号を送っているからです。さらに、2次レールと3次レールは高効率のスイッチング・レギュレータを使って生成されるので、2次巻線の追加は不要です。この手法により、多数の巻線を使用するソリューションと比べて、次のような多くの利点が得られます。

- ▶ コアに必要な巻線数とピン数が少ないので、トランス・ソリューションのサイズが小さくなります。
- ▶ 各出力を個別に設定できます。これに対し、マルチタップ方式では、異なる出力電圧の組み合わせを得るためにカスタム設計のマルチタップ・トランスが必要です。
- ▶ 出力が個々のトランスの巻数比に依存しないので、出力の精度が向上します。
- ▶ 出力の精度は、各レールの負荷変化に影響されません。

省電力モード (PSM)

軽負荷動作時に、レギュレータはパルススキップして出力電圧レギュレーションを維持できます。したがって、最小負荷は不要です。パルススキップするとデバイスの効率は向上しますが、出力リップルが大きくなります。

フライバック低電圧ロックアウト (UVLO)

UVLO回路は、VINPピンの電圧レベルをモニタします。入力電圧が $V_{UVLO_FLYBACK(FALL)}$ 閾値未満に低下すると、フライバック・レギュレータがオフになります。VINPピン電圧が $V_{UVLO_FLYBACK(RISE)}$ 閾値を超えるとソフト・スタートが開始され、フライバック・レギュレータがイネーブルされます。

フライバック・レギュレータの高精度イネーブル制御

ADP1034のフライバック・レギュレータは、正確なリファレンス電圧を使用する高精度のイネーブル回路を備えています。ENピンの電圧が V_{EN_RISING} 閾値を超えるとフライバック・レギュレータのソフト・スタートが開始されて、レギュレータがイネーブルになります。ENピンの電圧が $V_{EN_RISING} - V_{EN_HYST}$ 閾値を下回ると、フライバック・レギュレータがオフになります。

フライバック・レギュレータのソフト・スタート

フライバック・レギュレータには、電源からの突入電流を制限し、出力電圧を制御された形で漸増させるソフト・スタート機能が組み込まれています。ENピンの電圧が V_{EN_RISING} 閾値を超えると、フライバック・レギュレータのソフト・スタートが開始されます。

フライバック・スルー・レート制御

フライバック・レギュレータは、プログラム可能な出力ドライバ・スルー・レート制御回路を採用しています。この回路は、図76に示すようにスイッチング・ノードのスルー・レートを調整し、動作効率が多少下がるのと引き換えにリンギングとEMIを低減させることや、逆にリンギングとEMIが多少増えるのと引き換えに効率を上げることができます。スルー・レートのプログラムにはSLEWピンを使います。このピンをVINPピンに接続すると通常動作モード、GNDPピンに接続すると低速モード、オープン状態のままにすると高速モードになります。

スルー・レート制御は、効率と低EMIのトレードオフになります。

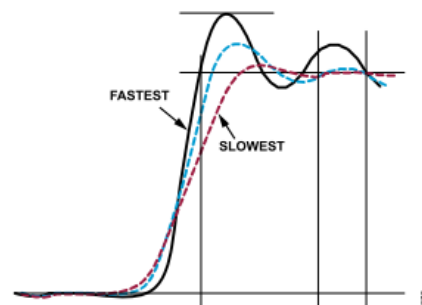


図 76. 様々なスルー・レート設定でのスイッチング・ノード

表 12. スルー・レートの設定

SLEW Pin Connection	Slew Rate	Comment
GNDP	Slow	Lowest EMI
VINP	Normal	Optimized efficiency and EMI
Unconnected	Fast	Highest efficiency

動作原理

フライバック・レギュレータの過電流保護

フライバック・レギュレータは、スイッチングMOSFET（金属酸化膜半導体電界効果トランジスタ）の順方向電流をサイクルごとに検知する電流制限機能を備えています。電流が $I_{LIM(FLYBACK)}$ 閾値を超えると、スイッチがオフになります。

フライバック・レギュレータの過電圧保護（OVP）

ADP1034のフライバック・レギュレータは、フライバック・レギュレータ出力の過電圧状態を検知して防止するために、以下のよう複数のOVP対策を施しています。

- ▶ 出力を調整できるバージョンでFB1ピンの電圧が V_{FB1} を10%上回ると、OVPフォルトが検出されてフライバック・レギュレータのスイッチがオンにならなくなります。フライバック・レギュレータの1次側スイッチは、OVP状態が解消されるまでオフのままになります。
- ▶ 2次側コントローラから1次側コントローラへの絶縁バリア越しの通信ができなくなった場合は、フライバック・レギュレータがシャットダウンして、新たなソフト・スタート・パワーアップ・サイクルが開始されます。
- ▶ フライバック・レギュレータの出力電圧が重度の過電圧として設定された閾値（ $SOVP_{FLYBACK}$ ）を超えた場合、1次側コントローラは1次側スイッチをオンにしません。 V_{OUT1} ピンの電圧が $SOVP_{FLYBACK} - SOVP_{FLYBACK_HYST}$ 閾値未満に低下するまで、フライバック・レギュレータの1次側スイッチはオフのままになります。

フライバック・レギュレータのプログラマブル電力制御（PPC）

PPC_INピンはADP1034とマイクロコントローラ・ユニット（MCU）の間で通信を行うためのピンで、MCUはシリアル・コマンドを使用してADP1034のフライバック・レギュレータの帰還電圧（ V_{FB1} ）を調整します。ADP1034は、アナログ・デバイセズ固有の知的財産である単線式シリアル・インターフェース・プロトコルを使用しています。この通信プロトコルは、フライバック・レギュレータの出力を設定する際にMCU（または関連製品）がマスタとして動作し、ADP1034がスレーブとして動作するように設計されています。MCUは、ADP1034へのオンデマンド要求をトリガする前に、負荷の電力ニーズに変化があるかどうかを能動的に判定し、負荷の電力ニーズに合わせてその出力電圧を調整します。

起動時と、フライバック出力（ V_{OUT1} ）を4.5V未満にプログラムするときは、PPCインターフェースがフライバック・レギュレータをデフォルト状態（PPCコード251）にします。PPCコード252からコード255までは出荷時の調整用に予約されており、書込まれるとコード251にクランプされます。

単線式シリアル・インターフェース

PPCは、ADP1034の単線式シリアル・インターフェース（OWSI）を介して実行されます。OWSIトランザクションには、図77に示すように、いくつかの要素が必要です。OWSIのフレームは複数のビット周期に分割されます。開始イベント、データ・ビット、アクノレッジ・ビットはそれぞれ、1ビット周期内で発生し、それぞれのタイミング仕様はそのビット周期の開始時から定義されます。

開始シーケンスは2つの連続する立上がりエッジ・パルスによって定義されます。開始コマンドの送信後には、アドレス・ビット（デフォルト=000）、データ・ビット、およびCRCビットを形成する16個のデータ・ビットが続きます（MSBファースト）。最後には、スレーブからのアクノレッジ・シーケンスが必要です。アクノレッジは、アクノレッジ・ビット（図77のACK）とパリティ・ビットの2ビットで構成されます。

MCUは、アクノレッジ・ビットとパリティ・ビットの開始時に単線式シリアル・インターフェース・バスをハイに引き上げます。単線式シリアル・インターフェース・バスは、アクノレッジ・ビットとパリティ・ビットの間の所定時間でMCUによってサンプリングされます。このとき、スレーブはバスをローに駆動できます。スレーブがバスをローにしない場合は、その後のアクノレッジ・ビットとパリティ・ビットの間にMCUがローに駆動します。単線式シリアル・インターフェースの詳細なタイミングについては図2を、対応するタイミング仕様については表2を参照してください。

トランザクションが正常に行われている間、スレーブはアクノレッジ・ビットの間バスをハイに維持し、パリティ・ビットの間バスをローに駆動します。トランザクションが正常でない場合は、スレーブはアクノレッジ・ビットの間バスをローに駆動し、パリティ・ビットの間ハイに維持します。

単線式シリアル・インターフェースのCRC

ノイズの多い環境でもデータを正しく受信できるように、単線式シリアル・インターフェースには巡回冗長検査（CRC）が実装されています。このCRCは、次の多項式を使用するチェック・シーケンスで構成される5ビットのフレームに基づいています。

$$C(x) = x^5 + x^2 + 1$$

この5ビットのフレーム・チェック・シーケンスが11ビットのデータ・ワードの末尾に追加され、16ビットのワードすべてがMCUによってADP1034へ送信されます。その後、MCUはADP1034からのアクノレッジ・シーケンスを待ちます。ADP1034で対応するCRCチェックが有効な場合、ADP1034はアクノレッジ・シーケンスで応答します。これは書込みの完了を意味します。次いで、書き込まれた8ビットのデータに従って、ADP1034のフライバック出力 V_{OUT1} が調整されます。ADP1034のCRCが有効でない場合は、ノー・アクノレッジ・シーケンスが発出され、そのデータは無視されます。この場合、フライバック出力 V_{OUT1} は変化しません。

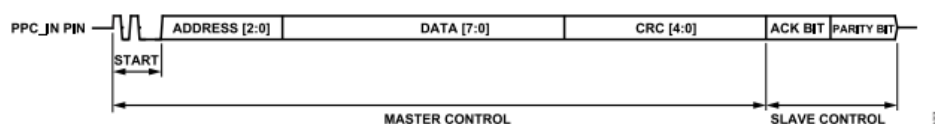


図 77. アクノレッジ付きの単線式シリアル・インターフェース書込み

動作原理

降圧レギュレータ

降圧レギュレータの動作

ADP1034の降圧DC/DCレギュレータは電流モード制御方式を使用して、内部発振器によって設定される固定周波数で動作します。電流モードは、高速な内側の電流制御ループを使ってピーク・インダクタ電流を安定させ、より低速な外側ループを使って電流ループを調整することで、出力電圧を安定させます。発振器の各サイクルの始めにハイサイドMOSFETスイッチがオンになり、インダクタの一端に入力電圧を印加します。インダクタに生じた電圧によって降圧レギュレータのインダクタ電流 (I_{L_BUCK}) が増加し、それによって電流検出信号がピーク・インダクタ電流閾値を超えると、MOSFETスイッチがオフになります。この閾値はエラー・アンプ出力によって設定されます。ハイサイドMOSFETがオフの間は、ローサイドMOSFETスイッチを通してインダクタ電流が減少します。この電流の減少は、発振器の次のクロック・パルスによって新しいサイクルが開始されて連続導通モード (CCM) 動作になるまで、もしくはインダクタ電流がゼロになるまで続きます。ローサイドMOSFETがオフになり、制御システムが次の発振器クロック・パルスによって新しいサイクルが開始されるのを待つ状態になると、不連続モード (DCM) 動作になります。軽負荷状態では、レギュレータは、パルスをスキップしてレギュレーションを維持し、電力変換効率を上げることができます。

降圧レギュレータのUVLO

ADP1034の降圧レギュレータは、レギュレータへの入力電圧 (VOUT1) をモニタする低電圧ロックアウト回路を内蔵しています。VOUT1の電圧が4.5Vの内部閾値レベル未満に低下すると、レギュレータはオフになります。VOUT1の出力がこの内部閾値を超えるとレギュレータのソフト・スタートが開始され、レギュレータがイネーブルになります。

降圧レギュレータのソフト・スタート

ADP1034の降圧レギュレータにはソフト・スタート回路が組み込まれており、起動時に出力電圧を制御された形で漸増させることで、突入電流を制限します。

降圧レギュレータの電流制限保護

ADP1034の降圧レギュレータは、ハイサイドMOSFETスイッチを流れる順方向電流量を制限する電流制限保護回路を備えています。過負荷状態を検出するために、インダクタのピーク電流がサイクルごとにモニタされます。過負荷状態が発生すると、電流制限保護回路がピーク・インダクタ電流を $I_{LIM(BUCK)}$ に制限するので、出力電圧が低下します。

降圧レギュレータのOVP

ADP1034の降圧レギュレータは、出力電圧をモニタするOVP回路を備えています。VOUT2の電圧が公称出力電圧を10%上回ると、降圧DC/DCレギュレータは電圧が再び閾値未満に低下するまでスイッチングを停止します。

降圧レギュレータのアクティブ・プルダウン抵抗

降圧レギュレータは、VOUT1の出力が1.23V～4.5Vのときに出力コンデンサを放電させるアクティブ・プルダウン抵抗を備えています。このプルダウン抵抗はVOUT2とSGND2の間に接続されています。

反転レギュレータ

反転レギュレータの動作

ADP1034の反転DC/DCレギュレータは電流モード制御方式を使用しており、内部発振器によって設定される固定周波数で動作します。電流モードは、高速な内側の電流制御ループを使ってピーク・インダクタ電流を安定させ、より低速な外側のループを使って電流ループを調整することで、出力電圧を安定させます。発振器の各サイクルの始めにハイサイドMOSFETスイッチがオンになり、インダクタの一端に入力電圧を印加します。通常はこれによって反転レギュレータのインダクタ電流 ($I_{INV_INDUCTOR}$) が増加し、さらにそれによって電流検出信号がピーク・インダクタ電流閾値を超えると、MOSFETスイッチがオフになります。この閾値はエラー・アンプ出力によって設定されます。ハイサイドMOSFETがオフの間は、以下のいずれかの状態が発生するまで、インダクタ電流がローサイドMOSFETを通して減少します。

- ▶ 発振器の次のクロック・パルスにより新しいサイクルが開始されて、CCM動作になる。
- ▶ インダクタ電流がゼロになってローサイドMOSFETスイッチがオフになり、制御システムが次の発振器クロック・パルスによって新しいサイクルが開始されるのを待つ状態になって、DCM動作になる。

軽負荷状態では、レギュレータはパルスをスキップして、レギュレーションを維持し、変換効率を上げることができます。

反転レギュレータのUVLO

ADP1034の反転DC/DCレギュレータは、レギュレータへの入力電圧 (VOUT1) をモニタする低電圧ロックアウト (UVLO) 回路を内蔵しています。VOUT1の電圧が4.5Vの内部閾値レベル未満に低下すると、レギュレータはオフになります。VOUT1の出力がこの内部閾値を超えるとレギュレータのソフト・スタートが開始され、レギュレータがイネーブルになります。

反転レギュレータのソフト・スタート

ADP1034の反転DC/DCレギュレータにはソフト・スタート回路が組み込まれており、起動時に出力電圧を制御された形で漸増させることで、突入電流を制限します。

反転レギュレータの電流制限保護

ADP1034の反転DC/DCレギュレータは、ハイサイドMOSFETスイッチを流れる順方向電流の量を制限する電流制限保護回路を備えています。過負荷状態を検出するために、インダクタのピーク電流がサイクルごとにモニタされます。過負荷状態が発生すると、電流制限保護回路がピーク・インダクタ電流を $I_{LIM(INVERTER)}$ に制限するので、出力電圧が低下します。

動作原理

反転レギュレータのOVP

ADP1034の反転DC/DCレギュレータは、FB3ピンの電圧をモニターするOVP回路を内蔵しています。このピンの電圧が V_{FB3} を10%下回ると、反転レギュレータは、電圧が再び閾値を超えるまでスイッチングを停止します。

反転レギュレータのアクティブ・プルダウン抵抗

反転レギュレータは、VOUT1の出力が1.23V〜4.5Vのときに出力コンデンサを放電させるアクティブ・プルダウン抵抗を備えています。このプルダウン抵抗はVOUT3とSGND2の間に接続されています。

パワーアップ・シーケンス

図78にパワーアップ・シーケンスを示します。

- 1. 最初にフライバック・レギュレータがパワーアップされます。
- 2. V_{OUT1} が目標とする V_{OUT1} の90%を超えると、降圧レギュレータがオンになります。
- 3. 降圧レギュレータ出力 (V_{OUT2}) が目標とする V_{OUT2} の90%を超えると、反転レギュレータがオンになります。

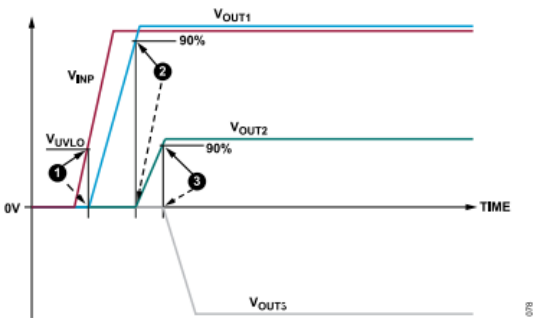


図 78. パワーアップ・シーケンス

発振器と同期

フェーズ・ロック・ループ (PLL) ベースの発振器は、フライバック・レギュレータ、降圧レギュレータ、および反転レギュレータ用の内部クロックを生成します。内部で生成される周波数または外部クロックへの同期のどちらかを選ぶことができます。表13示すようにSYNCピンを接続し、スイッチング周波数 f_{sw} を設定します。外部同期の場合は、SYNCピンを適切なクロック源に接続します。PLLは、 f_{SYNC} によって指定される範囲内の入力クロックにロックします。

表 13. SYNCピンの機能

SYNC Pin State and Frequency	Flyback f_{sw}	Buck f_{sw}	Inverter f_{sw}
SYNC Pin State: Low or High f_{SYNC} : 350 kHz to 750 kHz	250 kHz $f_{SYNC} \div 2$	125 kHz $f_{SYNC} \div 4$	125 kHz $f_{SYNC} \div 4$

サーマル・シャットダウン

ADP1034のジャンクション温度が T_{SHDN} を超えると、サーマル・シャットダウン回路がフライバック・レギュレータをオフにします。ジャンクション温度が非常に高くなってしまう原因としては、長時間にわたる大電流での動作、不適切な回路基板設計、高

い周囲温度などが考えられます。サーマル・シャットダウン機能にはヒステリシスがあるので、サーマル・シャットダウンが発生すると、オンチップ温度が $T_{SHDN} - T_{HYS}$ 未満に低下するまでADP1034は動作を再開しません。サーマル・シャットダウンから回復すると、ADP1034はソフト・スタートを実行します。

データの絶縁

高速SPIチャンネル

ADP1034には4つの高速チャンネルがあります。最初の3つのチャンネル、つまりCLK、MI/SO、MO/SI（スラッシュは、SPIバス信号に対応するアイソレータ越しのデータパスを形成する、入力と出力の接続を示します）は、伝搬遅延が短くなるように最適化されています。15nsの最大伝搬遅延時に、ADP1034は標準の4線SPIで最大16.6MHzの読み出しおよび書き込みクロック・レートをサポートします。しかし、最大クロック・レートはシステムの合計ラウンド・トリップ遅延によって決まるので、その値は上記の値より小さくなります。

SPI信号バス、AD1034のピン記号、およびデータ方向の関係を表14に示します。

表 14. ピン記号とSPI信号バス名の関係

SPI Signal Path	Master Side	Data Direction	Slave Side
Clock (CLK)	MCK	→	SCK
MO/SI	MO	→	SI
MI/SO	MI	←	SO
Slave Select Bar ($\overline{SS}$)	$\overline{MSS}$	→	$\overline{SSS}$

データパスはSPIモードに依存しません。CLKおよびMO/SI SPIデータパスは、伝搬遅延とチャンネル間マッチングに合わせて最適化されています。MI/SO SPIデータパスは伝搬遅延に合わせて最適化されています。デバイスはクロック・チャンネルに同期しません。したがって、データ・ラインに関するクロックの極性やタイミングについての制約はありません。

$\overline{SS}$ はアクティブ・ロー信号です。マルチチャンネル・システムの消費電力を節約するために、 $\overline{SS}$ は、他のSPIアイソレータ・チャンネルが使われていないとき ($\overline{SS}$ = ハイ) は、それらのチャンネルを低消費電力状態にします。これらのチャンネルは、必要なとき ($\overline{SS}$ = ローのとき) だけアクティブになります。クロック・チャンネルとデータ・チャンネルは、図79に示すように $\overline{SS}$ にゲートされます。ただし、この省電力モードによって新たに100nsの遅延が生じます。この遅延は、内部回路が低消費電力状態からウェイクアップして、絶縁バリアへのデータ転送を開始するために必要な時間です。逆に言うと、この遅延は、図80に示すように、 $\overline{MSS}$ の立下がりエッジからスレープ側に現れるクロック・エッジまたはデータ・エッジまでの時間です。

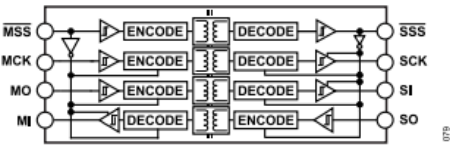


図 79. iCouplerのゲーティング

動作原理

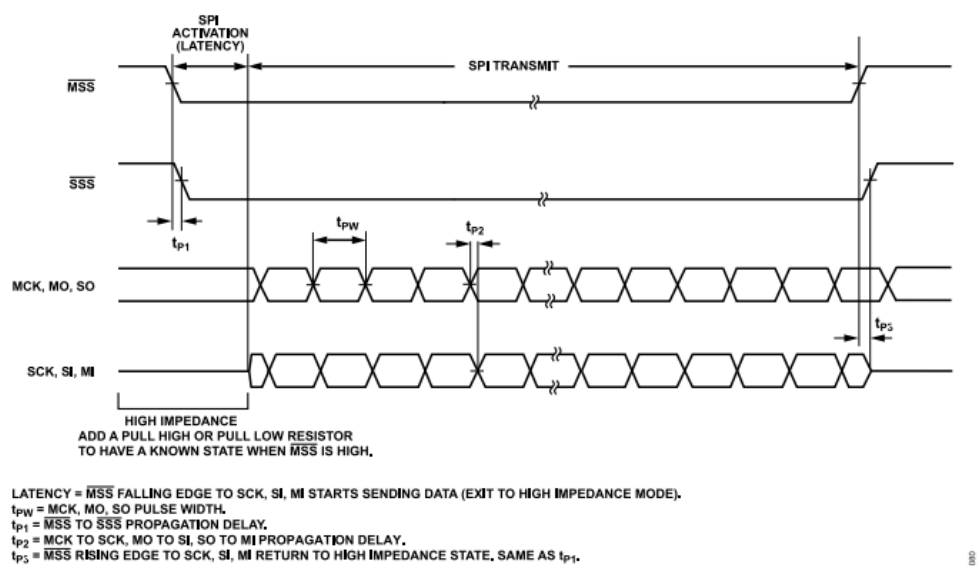


図 80. SPIアイソレータのタイミング図

MI、SCK、およびSIの出力は、 $\overline{\text{MSS}}$ がハイのときはスリー・ステートになります（表15を参照）。これにより、マルチチャンネル・システムにより柔軟な設計が可能になり、MIを外部でマルチプレクスする必要がなくなります。複数のADP1034デバイスからのSPIバスを相互接続する方法を図81に示します。

表 15. SPI $\overline{\text{MSS}}$ のゲーティング

Parameter	$\overline{\text{MSS}}$ High	$\overline{\text{MSS}}$ Low
$\overline{\text{SSS}}$	High	Low
SCK	Tristate	MCK
SI	Tristate	MO
MI	Tristate	SO

$\overline{\text{MSS}}$ がハイのときにMI、SCK、およびSIピンを希望のロジック状態にするには、これらのピンにプルアップ抵抗またはプルダウン抵抗を接続します。

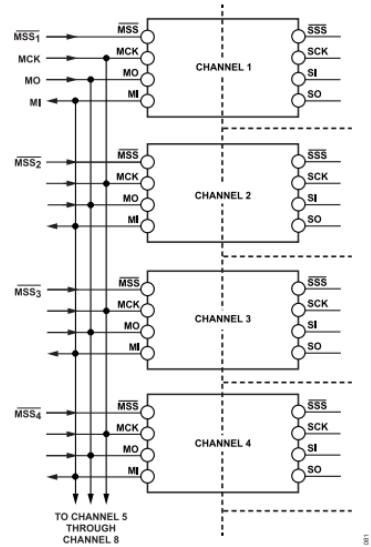


図 81. マルチチャンネルSPIのマルチプレクス方法

動作原理

GPIOデータ・チャンネル

タイミングがそれほど重視されない場合にスペースを節約できる絶縁データパスとして、汎用データ・チャンネルが用意されています。デバイスの所定の側にあるすべての低速汎用入力のDC値が、同時にサンプリングされ、パケット化され、1つの絶縁コイル越しにシフトされます。デバイスの反対側ではこのプロセスが逆に行われ、入力を読み出され、パケット化され、同様の処理の

ために返信されます。このプロセスのサンプル特性のために、汎用データ・チャンネルには10μsのピーク・ジッタに相当するサンプリングの不確実性があります。

GPIOチャンネルの正しい動作については、表16を参照してください。MVDDとSVDD2には、これらのピンに対して仕様規定された入力電圧範囲内の電力を供給します。

表 16. GPIOチャンネルの真理値表

MVDD State	SVDD2 State	xGPIOx	MGPOx	SGPOx	Test Conditions/Comments
Unpowered	Powered	Don't care	Low	Low	During startup
Powered	Unpowered	Don't care	Low	Low	During startup
Powered	Powered	High	High	High	Normal operation
Powered	Powered	Low	Low	Low	Normal operation
Powered	Powered to Unpowered	Don't care	Hold	Low	Hold means that the current state of the outputs are preserved
Powered to Unpowered	Powered	Don't care	Low	Hold	Hold means that the current state of the outputs are preserved

アプリケーション情報

部品の選択

帰還抵抗

ADP1034は、フライバック・レギュレータと反転レギュレータの両方で、調整可能な出力電圧を供給します。V_{OUT1}とV_{OUT3}の出力電圧は、外付け抵抗分圧器によって設定します。帰還バイアス電流による出力電圧の精度低下を制限するために、分圧器を流れる電流はI_{FB1}またはI_{FB3}の10倍以上にしてください。バイアス電流による出力電圧誤差を最小限に抑えて帰還抵抗での消費電力を少なくするために推奨されるR_{FB1}とR_{FB3}の値は、50kΩ～250kΩの範囲です。

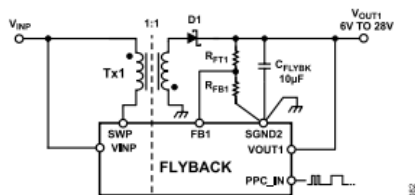


図 82. フライバック・レギュレータの出力電圧設定

フライバック・レギュレータの最大出力は次式により設定します。

$$V_{OUT1_MAX} = 252/256 \times V_{FB1} \times (1 + (R_{FT1}/R_{FB1}))$$

ここで、

V_{OUT1_MAX}は最大フライバック出力電圧。

V_{FB1}はフライバック帰還電圧。

R_{FT1}はV_{OUT1}とFB1の間の帰還抵抗。

R_{FB1}はFB1とSGND2の間の帰還抵抗。

表 17. フライバック・レギュレータの推奨帰還抵抗値

Maximum V _{OUT1} (V)	Flyback Regulator		
	R _{FT1} (MΩ)	R _{FB1} (kΩ)	Calculated V _{OUT1_MAX} (V)
12	1.5	105	12.037
15	2.05	113	15.074
24	3.48	118	24.012
28	3.3	95.3	28.056

PPCコードに必要なV_{OUT1_PPC}は次式で計算します。

$$V_{OUT1_PPC} = ((PPC_{CODE} + 1)/252) \times V_{OUT1_MAX}$$

ここで、

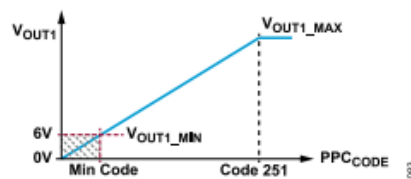
PPC_{CODE}は、必要なフライバック出力電圧V_{OUT1_PPC}に対応するPPCデータ。

V_{OUT1_PPC}は、PPCプログラミングによる目標フライバック出力電圧。

V_{OUT1_PPC}のLSBサイズは次式で求めます。

$$V_{OUT1_PPC_LSB} = V_{OUT1_MAX}/252$$

コード251は最大V_{OUT1}に対応する最大PPCコードです。PPCコード252からコード255までは出荷時の調整用に予約されており、PPCプログラミングによって書き込まれるとコード251にクリップされます。図83にV_{OUT1}出力とPPC_{CODE}の関係を示します。

図 83. V_{OUT1}出力とPPC_{CODE}の関係

2次側回路への電力はV_{OUT1}から供給され、V_{OUT1}の最小許容レベルは6Vです。V_{OUT1}を6V未満に設定するとレギュレータがリセットされる場合があるので、6V未満には設定しないでください。図84は、PPCを4Vに設定した場合の出力応答です。

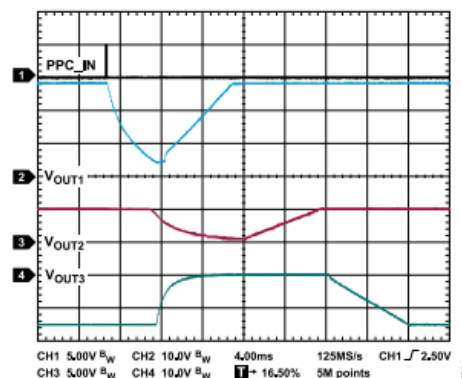


図 84. PPCを4Vに設定した後の出力応答

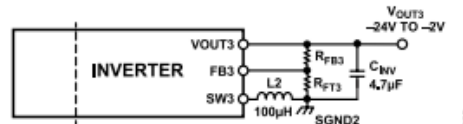


図 85. 反転レギュレータの出力電圧設定

反転レギュレータの負出力は次式により設定します。

$$V_{OUT3} = V_{FB3} \times (1 + (R_{FT3}/R_{FB3}))$$

ここで、

V_{OUT3}は反転レギュレータの出力電圧（負の符号は無視）。

V_{FB3}はV_{OUT3}を基準とする反転レギュレータの帰還電圧。

R_{FT3}はFB3とSGND2の間の帰還抵抗。

R_{FB3}はV_{OUT3}とFB3の間の帰還抵抗。

フライバック・レギュレータの場合と同様に、目標とするV_{OUT3}の上側抵抗値は次式で計算します。

$$R_{FT3} = R_{FB3} \times ((V_{OUT3}/V_{FB3}) - 1)$$

アプリケーション情報

表 18. フライバック・レギュレータの推奨帰還抵抗値

Target $V_{OUT3}(V)$	Inverting Regulator		
	$R_{FT3}(M\Omega)$	$R_{FB3}(k\Omega)$	Calculated $V_{OUT3}(V)$
-2	0.130	86.6	-2.000
-6	0.715	110	-6.000
-9	1.24	121	-8.998
-12	1.54	110	-12.000
-15	2.15	121	-15.015
-24	3.48	120	-24.000

コンデンサの選択

出力コンデンサの値を大きくすると、出力電圧リップルが減少して負荷過渡応答が改善されます。この値を選ぶときは、出力電圧のDCバイアスによる容量損失を考慮することも重要です。

セラミック・コンデンサは、温度や印加する電圧に対して異なる動作を示す、様々な誘電体で製造されています。必要な温度範囲とDCバイアス条件に対して最小容量を確保するため、適切な誘電体を使用したコンデンサを選ぶ必要があります。最大限の性能を得るには、電圧定格が25V~50V（出力に応じて選択）のX5RまたはX7R誘電体コンデンサを推奨します。Y5VおよびZ5U誘電体は温度特性とDCバイアス特性に劣るので、DC/DCコンバータに使用することは推奨できません。

温度、部品公差、電圧による容量の変動を考慮に入れ、以下の式を使って最も厳しい条件での容量を計算します。

$$C_{EFFECTIVE} = C_{NOMINAL} \times (1 - Tempco) \times (1 - DCBIASCO) \times (1 - Tolerance)$$

ここで、
 $C_{EFFECTIVE}$ は動作電圧における実効容量。
 $C_{NOMINAL}$ はコンデンサのデータシートに記載された公称容量。
 $Tempco$ は最も厳しい条件でのコンデンサ温度係数。
 $DCBIASCO$ は出力電圧におけるDCバイアス係数ディレーティング。
 $Tolerance$ は最も厳しい条件での部品公差。

デバイスの性能を保証するには、DCバイアス、温度、許容誤差がコンデンサの動作におよぼす影響をアプリケーションごとに評価することが不可欠です。

電圧リップルを最小限に抑えるには、等価直列抵抗 (ESR) と等価直列インダクタンス (ESL) の小さいものが適しています。

フライバック・レギュレータの部品の選択

入力コンデンサ

VINPピンとグラウンドの間に入力コンデンサを接続する必要があります。すべての温度範囲と電圧範囲で4.7μF以上のセラミック・

コンデンサを推奨します。入力コンデンサは、スイッチング電流によって生じる入力電圧リップルを減らします。入力電圧スパイクを小さくするために、入力コンデンサはVINPピンとPGNDPピンのできるだけ近くに配置してください。また、入力コンデンサの定格電圧は最大入力電圧より大きくする必要があります。

出力コンデンサ

出力コンデンサの値を大きくすると、出力電圧リップルが減少して負荷過渡応答が改善されます。この値を選ぶ時は、出力電圧のDCバイアスによる容量損失を考慮することも重要です。性能とサイズのバランスがとれた10μFのコンデンサを推奨します。

リップル電流とコンデンサ値の関係

出力コンデンサの値は出力電圧リップルを最小限に抑えられるように選ばなければなりません、容量を大きくするとサイズも大きくなり、コストも高くなるので、その点も考慮する必要があります。出力コンデンサの容量は次式を使って計算します。

$$C_{OUT} = (L_{PRI} \times I_{SWP}^2) / (2 \times V_{OUT1} \times \Delta V_{OUT1})$$

ここで、
 C_{OUT} はフライバック出力コンデンサの容量。
 L_{PRI} はトランスの1次側インダクタ。
 I_{SWP} はピーク・スイッチ電流。
 V_{OUT1} はフライバック・レギュレータの出力電圧。
 ΔV_{OUT1} はフライバック・レギュレータの許容出力電圧リップル。

ショットキー・ダイオード

D1には、低接合容量のショットキー・ダイオードを推奨します。出力電圧やスイッチング周波数が高い場合は接合容量が効率に大きく影響しますが、特に高スイッチング周波数ではその傾向が顕著です。順方向電流定格 (I_F) が最大負荷条件より大きく、逆方向電流定格 (V_R) が最大電源電圧 (V_{VINP_MAX}) と最大出力電圧 (V_{OUT1_MAX}) の合計値より大きい出力ダイオードを選択してください。

トランス

ADP1034とともに使用するトランスは、効率と最大出力電力の点からみると、システム内における重要な部品です。アナログ・デバイセズは、ADP1034とともに使用するトランス設計を開発するために、多くの主要磁気部品メーカーと協力してきました。これらの設計を表19に示します。ADP1034とともに使用するトランスを設計するときは、多くの要素を考慮する必要があります。

巻数比

ADP1034を正しく起動させるには、1次側と2次側の巻数比が1:1のトランスを使用する必要があります。

アプリケーション情報

1次側インダクタンス

ADP1034は、インダクタンスが80μH～560μHのトランスで動作します。ただし、制御ループの安定性を維持するために、フライバック出力電圧（ V_{OUT1} ）をトランスの1次側インダクタンスで除した値が140,000以下となるようなインダクタンス値を選ぶことを推奨します。

$$V_{OUT1}/L_{PRI} \leq 140,000$$

ここで、

V_{OUT1} はフライバック・レギュレータの出力電圧。

L_{PRI} はトランスの1次側インダクタンス。

インダクタンス範囲の下限に近いトランスを使用すればトランスを小さくできますが、トランスを通るACリップル電流が大きくなるので、出力可能な電力も小さくなります。これとは逆に、大きいインダクタンスで動作させれば出力電力は大きくなりますが、代償としてトランスのサイズが大きくなる可能性があります。

フライバック・トランスの飽和電流

動作中にトランスの飽和電流を超えないようにしてください。トランスの飽和電流を超えると、損失が非常に大きくなって、システム全体の効率が低下する可能性があります。あらゆるライン条件と負荷条件下で、予想されるピーク・スイッチ電流（ I_{SWP} ）より大きい飽和電流定格を持つトランスを選定してください。

直列巻線抵抗

電力損失の影響を受けやすいアプリケーションでは、1次巻線と2次巻線の直列抵抗をできるだけ小さく抑えて、全体的な効率を向上させます。

漏れインダクタンスとクランプ回路

ADP1034とともに使用するトランスはできるだけ漏れインダクタンスが小さいものを選択します。漏れインダクタンスは、フライバック・レギュレータ・スイッチがオフのときにSWPノードに電圧スパイクを発生させます。これは、出力に送られないエネルギーが漏れインダクタンスに蓄積されるためです。この電圧スパイクは負荷電流が大きくなるほど顕著になり、漏れインダクタンスが大きくなるとともに増加します。電圧スパイクは、SWPピンを駆動するフライバック・スイッチの電圧定格より小さく保つことが重要です。フライバック・スイッチを保護するためのクランプ回路やスナバ回路を使用しない場合でもこの制限値を超えないようにするために、すべての設計にはマージンを見込んでおく必要があります。

スイッチがオフになった時にSWPピンに発生する電圧スパイクのピークを見積もるには、次式を使用します。

$$V_{PEAK} = I_{PEAK} \times (L_{LEAK}/(C_P + C_{SWP}))^{1/2} + V_{VINP} + V_{OUT1} + V_D$$

ここで、

V_{PEAK} は電圧スパイクの振幅。

I_{PEAK} はフライバック・スイッチのピーク電流。

L_{LEAK} はトランスの漏れインダクタンス。

C_P はトランスの寄生容量。

C_{SWP} はフライバック・スイッチの容量。

V_{VINP} は入力電源電圧。

V_{OUT1} はフライバック・レギュレータの出力電圧。

V_D は整流ダイオードの順方向電圧降下。

アプリケーションの条件に対して漏れインダクタンスが大きすぎる場合は、スナバ回路またはクランプ回路を使用してフライバック・スイッチを保護できます。一般的なクランプ回路のタイプとしては、図86に示す抵抗／コンデンサ／ダイオード・クランプと、図87に示すダイオード／ツェナーダイオード・クランプの2つがあります。抵抗、コンデンサ、ダイオードによるクランプは、電圧スパイクを迅速に減衰してEMI性能を改善します。また、安定したクランプ・レベルを厳密に定義する必要があるときは、ダイオードとツェナー・ダイオードによるクランプを使用できます。ダイオードとツェナー・ダイオードによるクランプの電力効率は、抵抗、コンデンサ、ダイオードによるクランプよりわずかに優れています。ただし、一般にダイオードとツェナー・ダイオードによるクランプのコストは、抵抗、コンデンサ、ダイオードによるクランプのコストより高くなります。

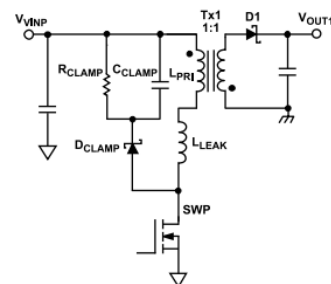


図 86. 抵抗、コンデンサ、ダイオードによるクランプ

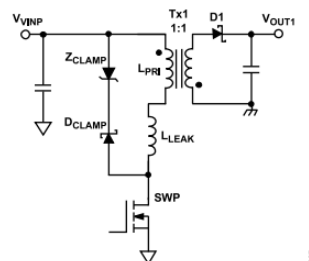


図 87. ダイオードとツェナー・ダイオードによるクランプ

クランプ抵抗

クランプ抵抗（ R_{CLAMP} ）の値を計算するには、クランプ電圧（ V_{CLAMP} ）を決定する必要があります。クランプ電圧は、フライバック・スイッチに発生する電圧スパイクをクランプする電圧です。クランプ電圧 V_{CLAMP} には、下の式に示すように、絶対最大定格のセクションで仕様規定されているSWP最大電圧定格

（ SWP_{VMAX} ）より小さく、なおかつアプリケーションの最大入力電源電圧（ V_{VINP_MAX} ）と最大フライバック出力電圧（ V_{OUT1_MAX} ）の合計より大きい値を選択してください。

$$SWP_{VMAX} > V_{VINP_MAX} + V_{CLAMP} > V_{VINP_MAX} + V_{OUT1_MAX}$$

アプリケーション情報

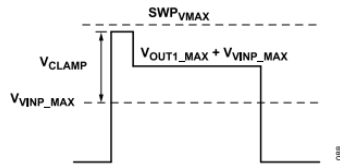


図 88. クランプ波形

次式を使用して、与えられた V_{CLAMP} 値に対するクランプ抵抗の値を計算します。

$$R_{CLAMP} = (2 \times V_{CLAMP} \times (V_{CLAMP} - V_{OUT1})) / (L_{LEAK} \times I_{PEAK}^2 \times f_{SW})$$

ここで、

R_{CLAMP} はクランプ抵抗の値。

V_{CLAMP} はクランプ電圧。

V_{OUT1} はフライバック・レギュレータの出力電圧。

L_{LEAK} はトランスの漏れインダクタンス。

I_{PEAK} はフライバック・スイッチのピーク電流。

f_{SW} はフライバック・レギュレータのスイッチング周波数。

スナバ抵抗の消費電力を計算するには次式を使用します。

$$P_{RCLAMP} = (V_{CLAMP})^2 / (R_{CLAMP})$$

ここで、 P_{RCLAMP} は R_{CLAMP} の消費電力です。マージンを確保するために、電力定格が P_{RCLAMP} 値の約2倍の電力定格を持つ R_{CLAMP} を選んでください。

クランプ・コンデンサ

クランプ・コンデンサ (C_{CLAMP}) を使用して、 V_{CLAMP} に重畳される電圧リップルのレベル (V_{RIPPLE}) を最小限に抑えることができます。クランプ・コンデンサの値は、希望する V_{RIPPLE} レベルと計算で求めた R_{CLAMP} に基づき、次式を使って計算します。

$$C_{CLAMP} = V_{CLAMP} / (V_{RIPPLE} \times f_{SW} \times R_{CLAMP})$$

ここで、

C_{CLAMP} はクランプ・コンデンサの値。

V_{CLAMP} はクランプ電圧。

V_{RIPPLE} は V_{CLAMP} に重畳される電圧リップル (V_{RIPPLE} は V_{CLAMP} の約5%~10%が妥当な値です)。

f_{SW} はフライバック・レギュレータのスイッチング周波数。

R_{CLAMP} はクランプ抵抗の値。

クランプ・ダイオード

通常、クランプ・ダイオードにはショットキー・ダイオードが最も適していますが、ファスト・リカバリ・ダイオードも使用できます。ダイオードの逆電圧定格は、SWPピンの最大電圧定格より高くなければなりません。

ダイオードとツェナー・ダイオードによるクランプ

安定したクランプ・レベルを厳密に定義する必要がある場合は、抵抗、コンデンサ、ダイオードによるクランプのRC回路をツェナー・ダイオードに置き換えることができます。ツェナー・ダイオードのブレイクダウン電圧には、電力損失とスイッチ電圧保護のバランスが取れるような値を選択します。次の数式を使用してツ

ェナー電圧を計算します。

$$V_{ZENER(MAX)} \leq SWP_{VMAX} - V_{VINP_MAX}$$

ここで、

$V_{ZENER(MAX)}$ は最大ツェナー・ダイオードのブレイクダウン電圧またはツェナー電圧 (これはクランプ電圧 V_{CLAMP} と同じにすることができます)。

SWP_{VMAX} はSWPピンの絶対最大定格。

V_{VINP_MAX} は最大入力電源電圧。

クランプでの電力損失はツェナー・ダイオードの電力条件を決定します。ツェナー・ダイオードの消費電力計算には次式を使用します。

$$P_{ZENER} = (V_{ZENER} \times L_{LEAK} \times I_{PEAK}^2 \times f_{SW}) / (2 \times (V_{ZENER} - V_{OUT1}))$$

ここで、

P_{ZENER} はツェナー・ダイオードの消費電力 (この式で計算される値より高い電力定格を持つツェナー・ダイオードを選択してください)。

V_{ZENER} はツェナー・ダイオードのブレイクダウン電圧またはツェナー電圧、

L_{LEAK} はトランスの漏れインダクタンス。

I_{PEAK} はフライバック・スイッチのピーク電流。

f_{SW} はフライバック・レギュレータのスイッチング周波数。

V_{OUT1} はフライバック・レギュレータの出力電圧。

リップル電流 (IAC) とインダクタンスの関係

リップル電流を計算するときは、最初に連続導通モードでのデューティ・サイクルを求めます。

$$D_{CCM} = (V_{OUT1} + V_D) / (V_{OUT1} + V_D + V_{INP})$$

ここで、

D_{CCM} はフライバック・スイッチのデューティ・サイクル。

V_{OUT1} はフライバック・レギュレータの出力電圧。

V_D は整流ダイオードの順方向電圧降下。

V_{INP} は入力電源電圧。

次に、このデューティ・サイクルから、フライバック・スイッチとトランス1次側の I_{AC} を計算します。

$$I_{AC} = (V_{INP} \times D_{CCM}) / (f_{SW} \times L_{PRI})$$

ここで、

I_{AC} は、トランスの1次側とフライバック・スイッチを流れるリップル電流。

V_{INP} は入力電源電圧。

D_{CCM} はフライバック・スイッチのデューティ・サイクル。

f_{SW} はフライバック・レギュレータのスイッチング周波数。

L_{PRI} はトランスの1次側インダクタンス。

最大出力電流の計算

フライバック出力から得られる最大出力電力および電流は、レギュレータ内の変数の数によって決まります。これらの変数には、トランスの選択、動作周波数、整流ダイオードの選択などがあります。フライバック・レギュレータ出力は、 V_{OUT2} を駆動する降圧

アプリケーション情報

レギュレータとV_{OUT3}を駆動する反転レギュレータに電力を供給します。最大出力電力は次式で求めます。

$$P_{VOUT1(MAX)} = 0.5 \times (I_{PEAK}^2 - (I_{PEAK} - I_{AC}/2)^2) \times L_{PRI} \times f_{SW} \times \eta$$

ここで、
P_{VOUT1(MAX)}は、V_{OUT1}からの最大出力電力。
I_{PEAK}はフライバック・スイッチのピーク電流。
I_{AC}は、トランスの1次側とフライバック・スイッチに流れるリップル電流。
L_{PRI}はトランスの1次側インダクタンス。
f_{SW}はフライバック・レギュレータのスイッチング周波数。
ηは予想されるフライバック・レギュレータの効率。

フライバック電流制限閾値の下限I_{LIM(FLYBACK)}は、I_{PEAK}を制限します。しかし、このレベルで動作させると、トランスのインダクタンス、効率、フライバック・スイッチング周波数、および整流ダイオードの順方向電圧降下の変動によって不要な電流制限イベントが発生する可能性があるため、このレベルで動作させることは

推奨できません。フライバック・レギュレータの負荷が原因で流制限が作動した場合は、出力電圧が予想通りに安定化されないことがあります。ピーク動作電流の選択は、上に述べた変動に対するマージンを見込んで行ってください。また、最も厳しい条件でのトランスのインダクタンス、効率、ダイオードの順方向電圧降下、およびフライバック・スイッチング周波数を使って最大出力電力または出力負荷を計算する場合も同様です。

V_{OUT1}の最大負荷電流は次式で計算します。

$$I_{VOUT1(MAX)} = P_{VOUT1(MAX)} / V_{OUT1}$$

ここで、
I_{VOUT1(MAX)}はV_{OUT1}の最大負荷電流。
P_{VOUT1(MAX)}は、V_{OUT1}からの最大出力電力。
V_{OUT1}はフライバック・レギュレータの出力電圧。

表 19. トランスの選択

Part Number	Manufacturer	Turn Ratio ¹	Primary		Saturation Current ² (mA)	Maximum Leakage Inductance (μH)	Isolation Voltage ³ (V rms)	Size: Length × Width × Height (mm)
			Inductance (μH)	Resistance (Ω)				
ZA9644-AED	Coilcraft	1:1	470	1.8	490	3.8	2000	10.92 × 9.25 × 10
750317986R6A	Würth Elektronik	1:1	470	1.27	480	7.0	1500	10.8 × 13.35 × 9.76
ZA9384-AL	Coilcraft	1:1	470	1.1	800	4.0	2000	15.3 × 16.5 × 6.7
750318257R6A	Würth Elektronik	1:1	470	1.56	550	2.0	1500	16 × 16.8 × 7.62
750316743	Würth Elektronik	1:1	280	1.1	250	0.7	2000	8.26 × 8.6 × 9.65

1 1次側コイルと2次側コイルの巻数比。
2 初期状態から20%低下。
3 1分間持続。 基本絶縁。

アプリケーション情報

降圧レギュレータの部品選択

インダクタ

ADP1034の降圧レギュレータ用インダクタの値は、効率と出力電圧リップルに影響を与えます。通常は、インダクタの値が大きいほど効率が改善されます。しかし、パッケージ・サイズが同じ場合は、負荷の増大に伴い、最終的にはDC抵抗（DCR）とコア損失による効率への悪影響が大きくなります。使用するインダクタの値を小さくすると出力電圧リップルが小さくなりますが、スイッチング損失が増加するため、全体的な効率の低下を招くことがあります。

出力コンデンサ

出力コンデンサの選択は、レギュレータの出力リップル電圧、ステップ状負荷過渡応答、ループ安定性に影響を与えます。性能とサイズのバランスがとれた10μFのコンデンサを推奨しますが、出力リップルを減らすために、これより大きいコンデンサを使用することもできます。

反転レギュレータの部品選択

インダクタ

ADP1034反転レギュレータ用インダクタの値は、効率と出力電圧リップルに影響を与えます。通常は、インダクタの値が大きいほど

効率が向上します。しかし、所定のパッケージ・サイズでは、負荷が大きくなるにつれて、DCRとコア効率に悪影響を及ぼすようになります。使用するインダクタの値を小さくすると出力電圧リップルが小さくなりますが、スイッチング損失が増加するため、全体的な効率の低下を招くことがあります。

出力コンデンサ

出力コンデンサの選択は、レギュレータの出力リップル電圧、ステップ状負荷過渡応答、ループ安定性に影響を与えます。VOUT1と出力負荷の全域にわたって安定性を維持するには、4.7μF以上のコンデンサを推奨します。

反転レギュレータの安定性

ADP1034の反転レギュレータは内部補償を使用し、100μHのインダクタンスと4.7μFの容量（代表値）で動作します。異なる値の部品を使用するとVOUT3が不安定になり、特に容量とインダクタンスの値が小さい場合はその傾向が顕著になります。詳細については、アナログ・デバイセスへお問い合わせください。推奨されたインダクタと出力コンデンサで反転レギュレータを動作させた場合は、-24V～-2Vのあらゆる出力で、無負荷から15mA負荷の状態まで安定した出力が得られます。負荷が15mAを超える場合で特に出力電圧が低い場合は、帰還ループを安定させるために、推奨値より大きい出力コンデンサを使用してください。

表 20. 降圧レギュレータと反転レギュレータ用の推奨インダクタ

Part Number	Manufacturer	Inductance (μH)	DCR (Ω)	Saturation Current ¹ (mA)	Size: Length × Width × Height (mm)
744043101	Würth Elektronik	100	0.55	290	4.8 × 4.8 × 2.8
XFL3012-104MEB	Coilcraft	100	2.63	280	3.2 × 3.2 × 1.3
LQH3NPN101MMEL	Murata	100	1.59	260	3 × 3 × 1.4
SRN3015-101M	Bourns	100	2.92	270	3 × 3 × 1.5
SRU2016-101Y	Bourns	100	4.9	150	2.8 × 2.8 × 1.65
XFL2006-104MEB	Coilcraft	100	11.1	115	2 × 2 × 0.6

1 インダクタンスが30%低下。

アプリケーション情報

絶縁寿命

すべての絶縁構造は、長時間にわたって電圧ストレスを加えると最終的には破壊されます。絶縁性能の低下率は、絶縁体に加える電圧波形の特性だけでなく、材料自体や材料の境界面にも依存します。

絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労という注目すべき2つのタイプがあります。表面の破損は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件を決定する主要な要素となります。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長期的に絶縁の劣化が生じる現象です。

表面トラッキング

表面トラッキングは電気安全規格に規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離を定めることによって決定されます。安全性規制当局は、部品の表面絶縁について特性評価テストを行います。これにより、部品を異なる材料グループに分類することができます。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、短い沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループに対する最小沿面距離は各システム・レベルの基準で決定され、この値は絶縁をまたぐ合計rms電圧、汚染度、材料グループに基づいたものになります。ADP1034アイソレータの材料グループと沿面距離を[表5](#)に示します。

絶縁疲労

絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーションの動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

テストとモデリングにより、長期的な性能低下の主な要因は、ポリミド絶縁体内の変位電流であることが判明しています。この変位電流は絶縁体に段階的な損傷を発生させます。絶縁体にかかるストレスは、DCストレスと、AC成分の時間と共に変化する電圧ストレスに大別できます。DCストレスは変位電流がないため、絶縁疲労の原因になることはほとんどありません。AC成分の時間と共に変化する電圧ストレスは、絶縁疲労を引き起こします。

60Hzのサイン波ストレスにはライン電圧からの絶縁が反映されるので、通常、認定文書に記載されている定格はこのストレスに基づいています。ただし、多くの実用的なアプリケーションでは、バリアをまたぐ60HzのAC電圧とDC電圧の組み合わせが使用されます（[式1](#)を参照）。ストレスのAC部分のみが疲労を発生させるので、ACの実効値電圧を求めるように式を組み替えることができます（[式2](#)を参照）。ポリミド材料の絶縁疲労については、ACの実効値電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

V_{RMS} は合計実効値動作電圧。

$V_{AC\ RMS}$ は、動作電圧の時間と共に変化する部分。

V_{DC} は動作電圧のDCオフセット。

熱解析

熱解析ではダイを1つのサーマル・ユニットとして扱い、最高ジャンクション温度には[表8](#)の θ_{JA} の値を反映させます。 θ_{JA} の値は、細かいパターンを使ったJEDEC規格の4層ボードにデバイスを実装し、自然空冷で測定した値に基づいています。ADP1034は通常動作条件下においては、全負荷、全温度範囲で出力電流の低下なしに動作します。ただし、[PCBレイアウト時の考慮事項](#)のセクションに示す推奨事項に従えば、PCBへの熱抵抗を減らして高い周囲温度での熱マージンを大きくすることができます。ADP1034内の各スイッチング・レギュレータは、ダイ温度が約150°Cに達した時点でDC/DCコンバータと出力をオフにするサーマル・シャットダウン回路を備えています。ダイが冷却されて温度が約135°Cを下回ると、ADP1034のDC/DCコンバータ出力が再びオンになります。

代表的なアプリケーション回路の詳細

ADP1034の代表的なアプリケーション回路の詳細を[図89](#)に示します。

アプリケーション情報

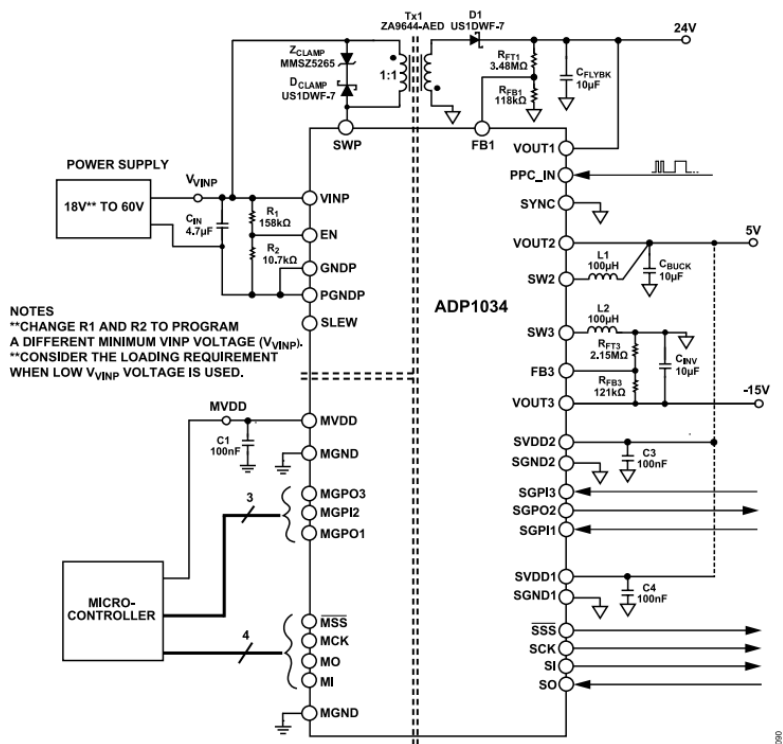


図 89. 代表的なアプリケーション回路の詳細

PCBレイアウト時の考慮事項

最適な効率、適切なレギュレーション、高い安定性、正しいPPC動作を実現するには、PCBレイアウトを適切に行う必要があります。PCBの設計時は以下のガイドラインに従ってください。

- ▶ 入力バイパス・コンデンサ (C_{IN}) は、VINPピンとPGNDPピンの近くに配置します。
- ▶ 大電流経路は、スパイクやEMIを発生させる寄生直列インダクタンスを最小限に抑えるために、できるだけ短く、かつ幅を広くしてください。これらの経路には、以下の間の接続が含まれます。
 - ▶ C_{IN} 、VINP、トランスの1次側、およびPGNDP
 - ▶ VOUT1、 C_{FLYBK} 、D1、トランスの2次側、およびSGND2
 - ▶ VOUT2、SW2、L1、 C_{BUCK} 、およびSGND2
 - ▶ VOUT3、SW3、L2、 C_{INV} 、およびSGND2

- ▶ 大電流が流れるスイッチング・パターンの近くや直下には、帰還パターンやPPC_INパターンなどの高インピーダンス・パターンを配線しないようにして、放射スイッチング・ノイズの混入を防ぎます。
- ▶ 高周波スイッチング・ノイズの混入を防ぐために、帰還抵抗はFB1ピンとFB3ピンのできるだけ近くに配置します。
- ▶ EMIを最小限に抑えるために、MVDDデカップリング・コンデンサ ($C1$) をMVDD (ピン39) とMGND (ピン5) の近くに配置します。
- ▶ EMIを最小限に抑えるために、SVDD1デカップリング・コンデンサ ($C3$) をSVDD1 (ピン10) とSGND1 (ピン5) の近くに配置し、SVDD2デカップリング・コンデンサ ($C7$) をSVDD2 (ピン20) とSGND2 (ピン16) の近くに配置します。

ADP1034に推奨される最上層のレイアウトを図90に示します。

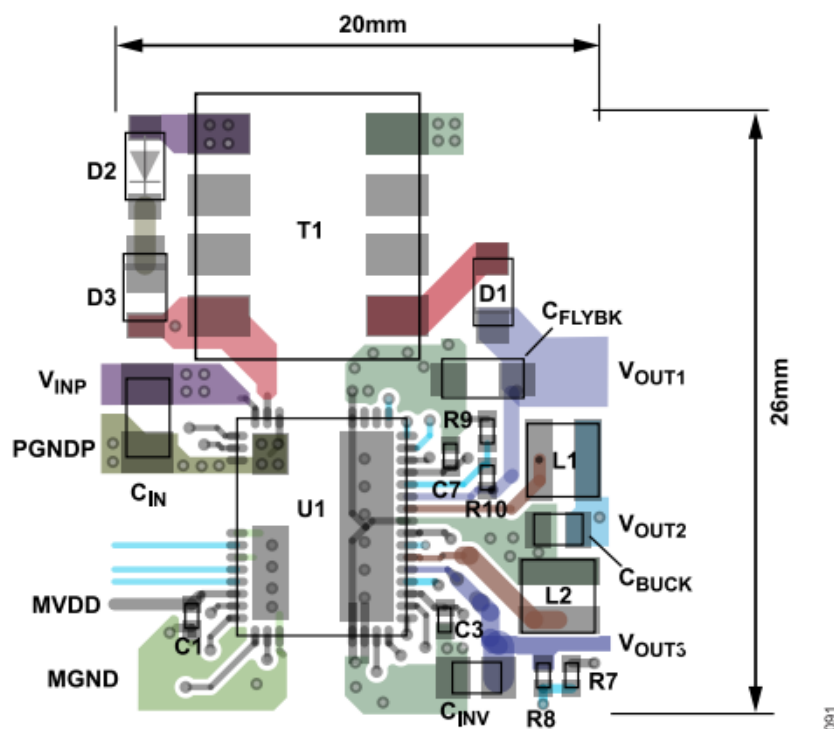


図 90. ADP1034の最上層の推奨レイアウト

外形寸法

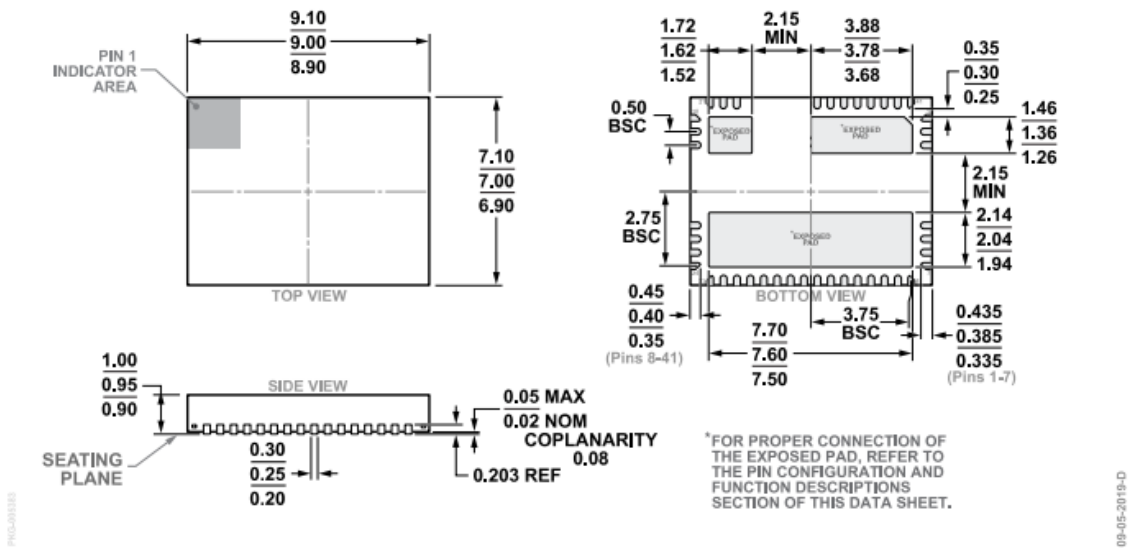


図 91. 41ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 9mm × 7mmボディ、0.95mmパッケージ高
 (CP-41-1)
 寸法 : mm

更新 : 2022年9月21日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADP1034ACPZ-1-R7	-40°C to +125°C	41-Lead LFCSP (9mm x 7mm)	Reel, 750	CP-41-1
ADP1034ACPZ-1-U1	-40°C to +125°C	41-Lead LFCSP (9mm x 7mm)	Tray, 260	CP-41-1

1 Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
ADP1034CP-1-EVALZ	Evaluation Board

1 Z = RoHS準拠製品。