

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年8月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023年8月2日

製品名： ADN4693E-1

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 4ページ、表1 一番下、POWER SUPPLYの枠、テスト条件/コメント欄
下から3行目

【誤】

DE = 0V、 = VCC、RL = 無負荷。

【正】

DE = 0V、 \overline{RE} = VCC、RL = 無負荷

3.3V、200Mbpsの全二重高速M-LVDSトランシーバー

特長

- ▶ 全二重M-LVDSトランシーバー（ドライバとレシーバーのペア）
- ▶ スイッチング・レート：200Mbps（100MHz）
- ▶ 入力ヒステリシスが25mVのタイプ1レシーバー
- ▶ M-LVDSのTIA/EIA-899規格に対応
- ▶ M-LVDSバスでのグリッチなしのパワーアップ/パワーダウン
- ▶ ドライバ出力での制御された遷移時間
- ▶ コモンモード電圧範囲：-1V~+3.4V、2Vのグラウンド・ノイズがある場合でも通信可能
- ▶ ディスエーブル時またはパワー・オフ時のドライバ出力は高インピーダンス
- ▶ バス・ピンでの強化されたESD保護
 - ▶ $\geq \pm 15\text{kV}$ HBM、気中放電
 - ▶ $\geq 8\text{kV}$ HBM、接触放電
 - ▶ $\geq 10\text{kV}$ IEC 61000-4-2、気中放電
 - ▶ $\geq 8\text{kV}$ IEC 61000-4-2、接触放電
- ▶ 動作ジャンクション温度範囲：-40°C~+120°C
- ▶ 16ピン、4 mm x 4 mm LFCSP

アプリケーション

- ▶ バックプレーンおよびケーブルでのマルチポイント・データ伝送
- ▶ マルチポイント・クロック分配
- ▶ 短いRS-485リンクに対する低消費電力で高速の代替品
- ▶ ネットワークおよびワイヤレス基地局のインフラストラクチャ
- ▶ グリッドのインフラストラクチャおよびリレー保護システム

機能ブロック図

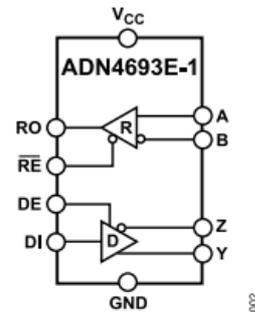


図 1.

概要

ADN4693E-1は、最大200Mbps（100MHz）のノンリターン・ゼロ（NRZ）で動作する、マルチポイント低電圧差動伝送（M-LVDS）トランシーバー（ドライバとレシーバーのペア）です。レシーバーは、デバイスのコモンモード電圧範囲にわたって、差動入力がおおよそ $\pm 50\text{mV}$ のバスの状態を検出します。バス・ピンには、最大 $\pm 15\text{kV}$ の静電放電（ESD）保護が備わっています。ADN4693E-1は、TIA/EIA-899規格に適合しM-LVDSネットワークで使用できるように設計されており、マルチポイント機能を追加することでTIA/EIA-644 LVDSデバイスを補完します。

ADN4693E-1には25mVのヒステリシスを持つタイプ1レシーバーが備わっているため、緩やかに変化する信号または入力の損失によって出力振動が発生することはありません。

この全二重デバイスは、小型の16ピン、4mm x 4mmリード・フレーム・チップスケール・パッケージ（LFCSP）を採用しています。ADN4693E-1は、-40°C~+120°Cのジャンクション温度範囲で仕様規定されています。

目次

特長.....	1	ドライバの電圧および電流の測定.....	11
アプリケーション.....	1	ドライバ・タイミング測定.....	12
機能ブロック図.....	1	レシーバー・タイミング測定.....	13
概要.....	1	動作原理.....	14
仕様.....	3	全二重動作.....	14
レシーバー入力閾値試験電圧.....	4	スリーステート・バス接続.....	14
タイミング仕様.....	5	真理値表.....	14
絶対最大定格.....	6	グリッチなしのパワーアップおよびパワーダウン.....	14
熱データ.....	6	フォールト状態.....	14
熱抵抗.....	6	レシーバー入力閾値およびフェイルセーフ.....	14
静電放電 (ESD) 定格.....	6	アプリケーション情報.....	16
ESDに関する注意.....	6	外形寸法.....	17
ピン配置およびピン機能の説明.....	7	オーダー・ガイド.....	17
代表的な性能特性.....	8	評価用ボード.....	17
テスト回路とスイッチング特性.....	11		

改訂履歴

3/2022–Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、負荷抵抗 (R_L) = 50Ω 、 $T_J = -40^\circ C \sim +120^\circ C$ 。特に指定のない限り、すべての代表値は $T_A = 25^\circ C$ および $V_{CC} = 3.3V$ での値です。

表 1.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
DRIVER						
Differential Outputs						
Differential Output Voltage Magnitude	$ V_{OD} $	450	580	680	mV	図20を参照
$\Delta V_{OD} $ for Complementary Output States	$\Delta V_{OD} $	-50	0	+50	mV	図20を参照
Common-Mode Output Voltage (Steady State)	$V_{OS(SS)}$	0.8		1.2	V	図21および図24を参照
$\Delta V_{OS(SS)}$ for Complementary Output States	$\Delta V_{OS(SS)}$	-50	0	+50	mV	図21および図24を参照
Peak-to-Peak V_{OS}^1	$V_{OS(PP)}$			150	mV	図21および図24を参照
Maximum Steady State Open Circuit Output Voltage	$V_{Y(O)}$ or $V_{Z(O)}$	0		2.4	V	図22を参照
Voltage Overshoot ¹						
Low to High	V_{PH}			$1.2 V_{SS}$	V	図25および図28を参照
High to Low	V_{PL}	-0.2		V_{SS}	V	図25および図28を参照
Output Current						
Short Circuit	$ I_{OS} $			24	mA	図23を参照
High Impedance State	I_{OZ}	-15		+10	μA	$-1.4V \leq (V_Y \text{ または } V_Z) \leq 3.8V$ 、その他の出力 = 1.2V
Power Off	$I_{O(OFF)}$	-10		+10	μA	$-1.4V \leq (V_Y \text{ または } V_Z) \leq 3.8V$ 、その他の出力 = 1.2V、 $0V \leq V_{CC} \leq 1.5V$
Output Capacitance						
Differential Output Capacitance	C_Y or C_Z		12.8	14	pF	$V_I = 0.4 \sin(30e^6\pi t) V^{1,2}$ 、 $DE = 0V$
Output Capacitance Balance (C_Y/C_Z)	C_{YZ}	0.98	8	1.04	pF	$V_{AB} = 0.4 \sin(30e^6\pi t) V^1$ 、 $DE = 0V$ $DE = 0V^1$
Logic Inputs (DI, DE)						
Input Voltage						
High	V_{IH}	2		V_{CC}	V	
Low	V_{IL}	GND		0.8	V	
Input High Current	I_{IH}	0		10	μA	$V_{IH} = 2V$
Input Low Current	I_{IL}	0		10	μA	$V_{IL} = 0.8V$
Input Capacitance	C_{IN}		3		pF	$V_I = 0.2 \sin(30e^6\pi t) V^1$
RECEIVER						
Differential Inputs						
Differential Input Threshold Voltage						
Type 1 Receiver	V_{TH}	-50		+50	mV	表2および図37を参照 $V_{CM} = 0V \sim 3.4V$
	V_{TH}	-70		+70	mV	$V_{CM} = -1V \sim +3.4V$
Input Hysteresis						
Type 1 Receiver	V_{HYS}		25		mV	$V_{CM} = -1V \sim +3.4V$
Differential Input Voltage Magnitude	$ V_{ID} $	0.05		V_{CC}	V	
Input Capacitance	C_A or C_B		3	4	pF	$V_I = 0.4 \sin(30e^6\pi t)^{1,2}$
Differential Input Capacitance	C_{AB}		3		pF	$V_{AB} = 0.4 \sin(30e^6\pi t)^1$
Input Capacitance Balance (C_A/C_B) ¹	$C_{A/B}$	0.91		1.01		
Logic Output RO						
Output Voltage						
High	V_{OH}	2.4			V	出力ハイ電流 (I_{OH}) = -8mA
Low	V_{OL}			0.4	V	出力ロー電流 (I_{OL}) = 8mA
High Impedance Output Current	I_{OZ}	-10		+15	μA	出力電圧 (V_O) = $0V \sim 3.6V$

仕様

表 1.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Logic Input \overline{RE}						
Input Voltage						
High	V_{IH}	2		V_{CC}	V	
Low	V_{IL}	GND		0.8	V	
Input High Current	I_{IH}	-10		0	μA	$V_{IH} = 2V$
Input Low Current	I_{IL}	-10		0	μA	$V_{IL} = 0.8V$
Input Current (A, B)						
Receiver Input A	I_A	0		32	μA	$V_B = 1.2V, V_A = 3.8V$
		-20		+20	μA	$V_B = 1.2V, V_A = 0V$ または2.4V
		-32		0	μA	$V_B = 1.2V, V_A = -1.4V$
Receiver Input B	I_B	0		32	μA	$V_A = 1.2V, V_B = 3.8V$
		-20		+20	μA	$V_A = 1.2V, V_B = 0V$ または2.4V
		-32		0	μA	$V_A = 1.2V, V_B = -1.4V$
Differential Balance	I_{AB}	-4		+4	μA	$V_A = V_B, 1.4V \leq V_A \leq 3.8V$
Power-Off Input Current						$0V \leq V_{CC} \leq 1.5V$
Receiver Input A	$I_{A(OFF)}$	0		32	μA	$V_B = 1.2V, V_A = 3.8V$
		-20		+20	μA	$V_B = 1.2V, V_A = 0V$ または2.4V
		-32		0	μA	$V_B = 1.2V, V_A = -1.4V$
Receiver Input B	$I_{B(OFF)}$	0		32	μA	$V_A = 1.2V, V_B = 3.8V$
		-20		+20	μA	$V_A = 1.2V, V_B = 0V$ または2.4V
		-32		0	μA	$V_A = 1.2V, V_B = -1.4V$
Differential Balance	$I_{AB(OFF)}$	-4		+4	μA	$V_A = V_B, 1.4V \leq V_A \leq 3.8V$
POWER SUPPLY						
Supply Current	I_{CC}					
Only Driver Enabled			13	22	mA	$DE, \overline{RE} = V_{CC}, R_L = 50\Omega$
Both Driver and Receiver Disabled			1	4	mA	$DE = 0V, = V_{CC}, R_L = \text{無負荷}$
Both Driver and Receiver Enabled			16	24	mA	$DE = V_{CC}, \overline{RE} = 0V, R_L = 50\Omega$
Only Receiver Enabled			4	13	mA	$DE, \overline{RE} = 0V, R_L = 50\Omega$

1 これらの仕様は、設計および特性評価により確保されています。

2 HP4194Aインピーダンス・アナライザ（または同等品）。

レシーバー入力閾値試験電圧

$\overline{RE} = 0V$ 。

表 2. タイプ1レシーバーの試験電圧

Applied Voltages		Input Voltage, Differential	Input Voltage, Common Mode	Receiver Output
V_A (V)	V_B (V)	V_{ID} (V)	V_{IC} (V)	RO (V)
+2.4	0	+2.4	+1.2	High
0	+2.4	-2.4	+1.2	Low
+0.05	0	+0.05	+0.025	High
+0	+0.05	-0.05	+0.025	Low
+3.4	+3.35	+0.05	+3.375	High
+3.35	+3.4	-0.05	+3.375	Low
-0.93	-1	+0.07	-0.965	High
-1	-0.93	-0.07	-0.965	Low

仕様

タイミング仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $T_J = -40^\circ C \sim +120^\circ C$ 。すべての代表値は $V_{CC} = 3.3V$ および $T_A = 25^\circ C$ での値です。

表 3.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
DRIVER						
Maximum Data Rate ¹		200			Mbps	
Propagation Delay ¹	t_{PLH} , t_{PHL}	1.5	1.8	2.3	ns	図25および図28を参照
Differential Output Rise and Fall Time ¹	t_R , t_F	1.1	1.2	1.4	ns	図25および図28を参照
Pulse Skew $ t_{PHL} - t_{PLH} $ ¹	t_{SK}	0		100	ps	図25および図28を参照
Part-to-Part Skew ^{1,2}	$t_{SK(PP)}$			300	ps	図25および図28を参照
Period Jitter, RMS (1 Standard Deviation) ¹	$t_{J(PER)}$			3.5	ps	62.5MHzのクロック入力 ³ (図27を参照)
			2	3.5	ps	100MHzのクロック入力 ³ (図27を参照)
Peak-to-Peak Jitter ^{1,4}	$t_{J(PP)}$		90	210	ps	200Mbps 2 ¹⁵ - 1 PRBSの入力 ⁵ (図30を参照)
				190	ps	200Mbps 8b10の入力 ⁵ (図30を参照)
				180	ps	125Mbps 8b10の入力 ⁵ (図30を参照)
Disable Time ¹						
From High Level	t_{PHZ}			7	ns	図26および図29を参照
From Low Level	t_{PLZ}			7	ns	図26および図29を参照
Enable Time ¹						
To High Level	t_{PZH}			7	ns	図26および図29を参照
To Low Level	t_{PZL}			7	ns	図26および図29を参照
RECEIVER						
Propagation Delay ¹	t_{RPLH} , t_{RPHL}	3	3.5	4.6	ns	$C^L = 15pF$ (図31および図34を参照)
Rise and Fall Time ¹	t_R , t_F	0.8		2.6	ns	$C^L = 15pF$ (図31および図34を参照)
Pulse Skew $ t_{RPHL} - t_{RPLH} $ ¹	t_{SK}			660	ps	$C^L = 15pF$ (図31および図34を参照)
Part-to-Part Skew ^{1,2}	$t_{SK(PP)}$			800	ps	$C^L = 15pF$ (図31および図34を参照)
Period Jitter, RMS (1 Standard Deviation) ¹	$t_{J(PER)}$			7.5	ps	62.5MHzのクロック入力 ⁶ (図33および図27を参照)
			2.5	6	ps	100MHzのクロック入力 ⁶ (図33を参照)
Peak-to-Peak Jitter ^{1,4}	$t_{J(PP)}$		300	720	ps	200Mbps 2 ¹⁵ - 1 PRBSの入力 ⁷ (図36を参照)
				700	ps	200Mbps 8b10の入力 ⁷ (図36および図30を参照)
				575	ps	125Mbps 8b10の入力 ⁷ (図36および図30を参照)
Disable Time ¹						
From High Level	t_{RPHZ}			10	ns	図32および図35を参照
From Low Level	t_{RPLZ}			10	ns	図32および図35を参照
Enable Time ¹						
To High Level	t_{RPZH}			15	ns	図32および図35を参照
To Low Level	t_{RPZL}			15	ns	図32および図35を参照

1 タイミング仕様は、設計および特性評価により確保されています。ジッタ値には刺激ジッタは含まれません。

2 $t_{SK(PP)}$ は、任意の指定端子間における2つのデバイスの伝搬遅延の差として定義されます。この仕様は、2つのデバイスが同じパッケージとテスト回路を使用し、かつ、VCCおよび温度が同じ場合に当てはまります。

3 $t_R = t_F = 0.5ns$ (10%~90%)、30,000以上のサンプルを測定。

4 ピークtoピーク・ジッタの仕様には、パルス・スキュー (t_{SK}) によるジッタが含まれます。

5 $t_R = t_F = 0.5ns$ (10%~90%)、100,000以上のサンプルを測定。

6 $|V_{ID}| = 400mV$ 、 $V_{IC} = 1.1V$ 、 $t_R = t_F = 0.5ns$ (10%~90%)、30,000以上のサンプルを測定。

7 $|V_{ID}| = 400mV$ 、 $V_{IC} = 1.1V$ 、 $t_R = t_F = 0.5ns$ (10%~90%)、100,000以上のサンプルを測定。

絶対最大定格

特に指定のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 4.

Parameter	Rating
V _{CC}	-0.5 V to +4 V
Digital Input Voltage (DE, \overline{RE} , DI)	-0.5 V to +4 V
Receiver Input (A, B) Voltage	-4 V to +6 V
Receiver Output Voltage (RO)	-0.3 V to +4 V
Driver Output (Y, Z) Voltage	-1.8 V to +4 V
Operating Junction Temperature Range	-40°C to +120°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、ここに記載した条件、あるいはこの仕様の動作セクションに記載した規定値以上でデバイスが正常に動作することを示唆するものではありません。長時間にわたり最大動作条件を超えて動作させると、デバイスの信頼性に影響を与えることがあります。

熱データ

ジャンクション温度 (T_J) は、デバイス通電時におけるデバイスのパッケージ内部でのシリコン・ダイの温度を指します。ADN4693E-1は、-40°C~+120°Cの動作ジャンクション温度全域で仕様規定されています。

周囲温度 (T_A) を消費電力 (P_D) と正確な熱モデルを使用してモニタリングすることで、 T_J を仕様規定された温度制限値内に確実に収めることができます。

T_A は T_J および P_D を用いて次のように計算できます。

$$T_A = T_J - P_D \times \theta_{JA}$$

ここで、 θ_{JA} は、パッケージのジャンクションと周囲空気間の熱抵抗です。

M-LVDS トランシーバーは、高速のクロックおよびデータ分配アプリケーションで使用できるよう設計されています。M-LVDS トランスミッタ出力がデバイスの全寿命にわたり DC 状態に保持されるアプリケーションでは、動作ジャンクション温度を 105°C 以下になるよう制御する必要があります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲空気間の熱抵抗です。

θ_{JC} は、ジャンクションとケース底部の間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-16-17 ^{1,2}	50.6	4.6	°C/W

1 熱抵抗の測定値は4層PCB上での自然空冷測定に基づいています。

2 熱抵抗のシミュレーション値は、9個のサーマル・ビアを備えたJEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD51を参照してください。

静電放電 (ESD) 定格

ESDに関する以下の情報は、ESDに敏感なデバイスをESD保護がなされた環境で取り扱う場合のみ適用できます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

国際電気標準会議 (IEC) による電磁両立性: Part 4-2 (IEC) (IEC 61000-4-2 準拠)

ADN4693E-1のESD定格

表 6. ADN4693E-1、16ピンLFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	$\geq \pm 4,000$ (contact discharge)	3A ¹
	$\geq \pm 8,000$ (contact discharge)	3B ²
	$\geq \pm 15,000$ (air discharge)	3B ²
FICDM	$\geq \pm 1,250$	C3 ¹
IEC	$\geq \pm 8,000$ (contact discharge)	Level 4 ²
	$\geq \pm 10,000$ (air discharge)	Level 3 ²

1 このクラスはすべてのピンに適用されます。

2 このクラスはA、B、Y、Zのピンにのみあてはまります。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

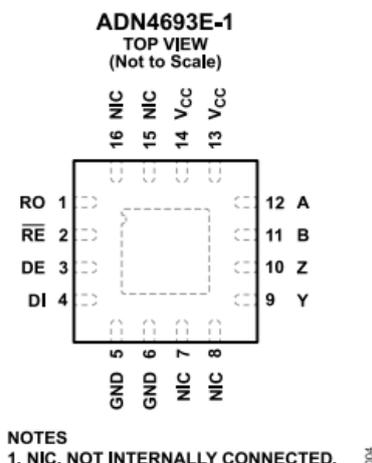


図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	RO	レシーバー出力。タイプ1レシーバー。イネーブル時： A - B ≥ 50mVの場合、ROはロジック・ハイになります。A - B ≤ -50mVの場合、ROはロジック・ローになります。 これ以外の状態の場合、レシーバー出力は不定です。
2	$\overline{\text{RE}}$	レシーバー出力イネーブル。このピンをロジック・ローにすると、レシーバー出力ROがイネーブルされます。このピンをロジック・ハイにすると、ROが高インピーダンス状態になります。
3	DE	ドライバ出力イネーブル。このピンをロジック・ハイにすると、ドライバ差動出力がイネーブルになります。このピンをロジック・ローにすると、ドライバ差動出力が高インピーダンス状態になります。
4	DI	全二重。イネーブル時： DIをロジック・ローにすると、Yがロー、Zがハイになり、DIをロジック・ハイにすると、Yがハイ、Zがローになります。
5, 6	GND	グラウンド。
7, 8, 15, 16	NIC	内部接続なし。
9	Y	非反転ドライバ出力Y。
10	Z	反転ドライバ出力Z。
11	B	反転レシーバー入力B。
12	A	非反転レシーバー入力A。
13, 14	V _{CC}	電源 (3.3V ± 0.3V)。

代表的な性能特性

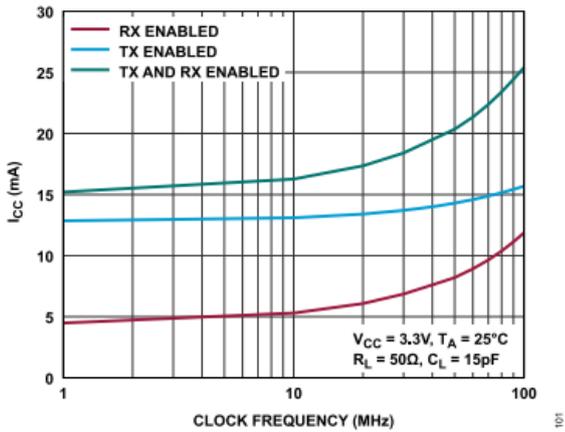


図 3. 電源電流 (I_{CC}) とクロック周波数の関係

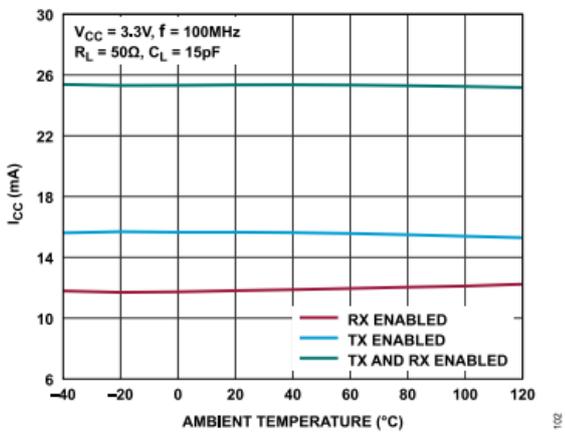


図 4. I_{CC} と周囲温度の関係 (クロック入力)

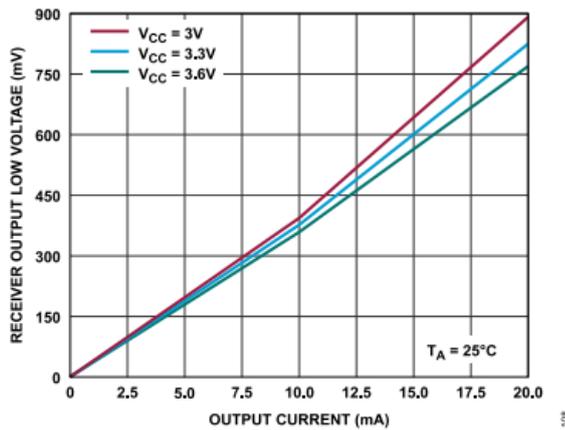


図 5. レシーバーの出力低電圧と出力電流の関係

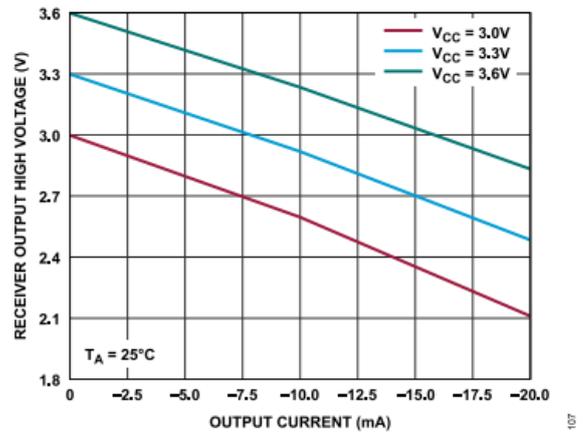


図 6. レシーバーの出力高電圧と出力電流の関係

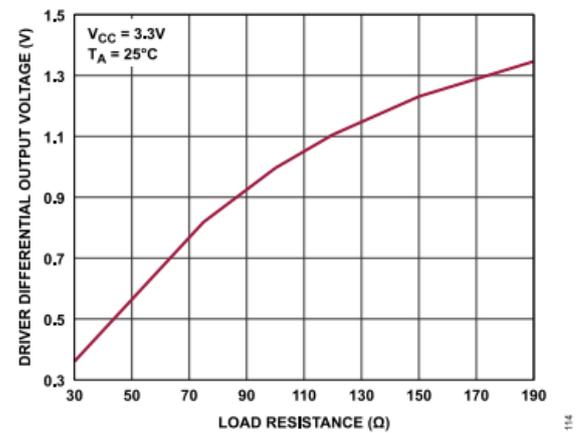


図 7. ドライバの差動出力電圧と負荷抵抗の関係

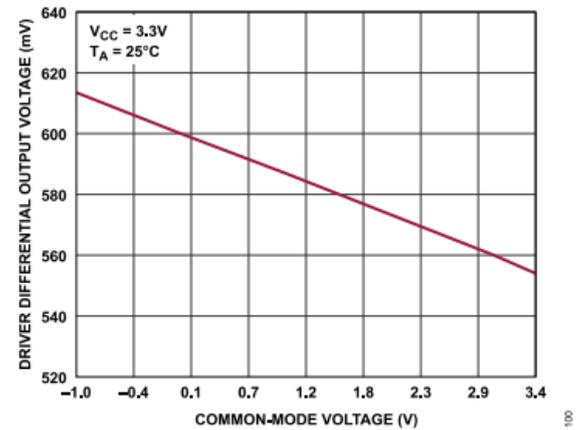


図 8. ドライバの差動出力電圧と共通モード電圧の関係 (図21参照)

代表的な性能特性

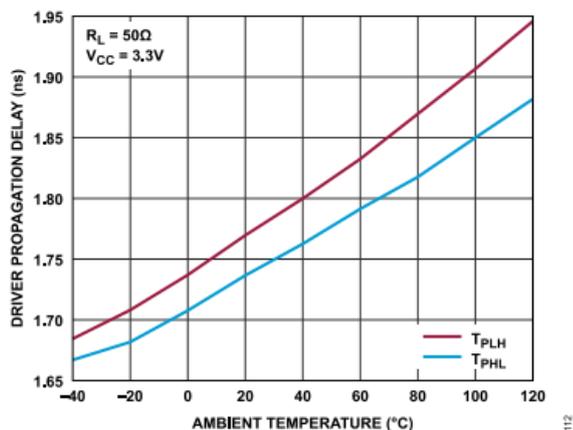


図 9. ドライバの伝搬遅延と周囲温度の関係 (クロック周波数 = 100MHz)

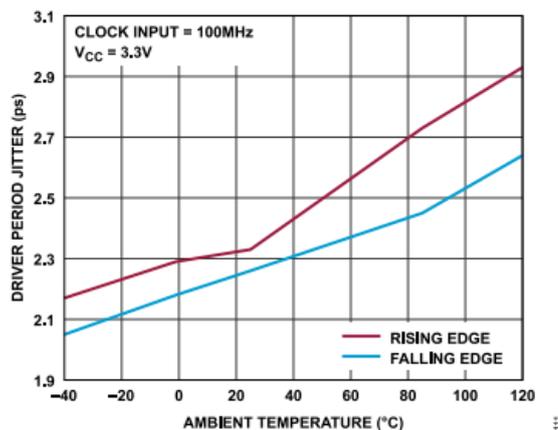


図 12. ドライバの周期ジッタと周囲温度の関係

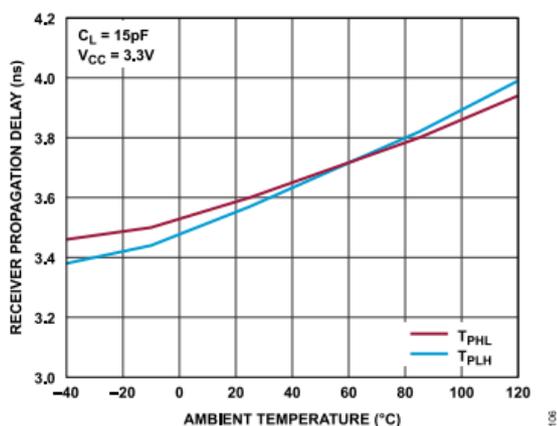


図 10. レシーバーの伝搬遅延と周囲温度の関係 (クロック周波数 = 100MHz、V_{ID} = 300mV、V_{IC} = 1.1V)

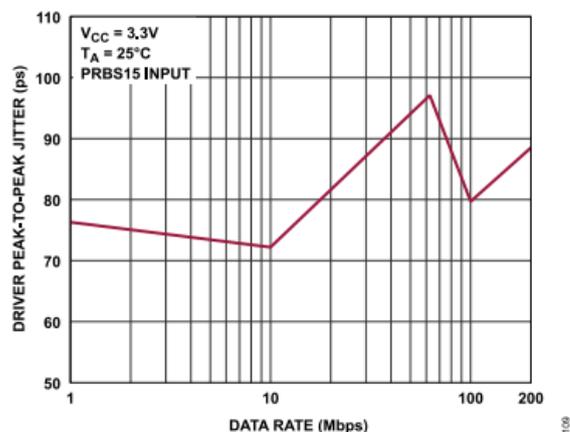


図 13. ドライバのピークtoピーク・ジッタとデータ・レートの関係

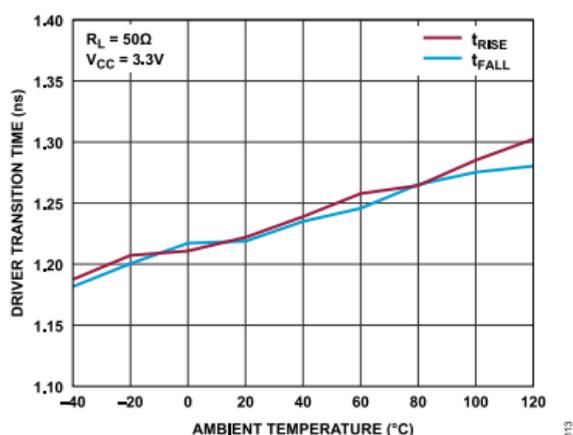


図 11. ドライバの遷移時間と周囲温度の関係

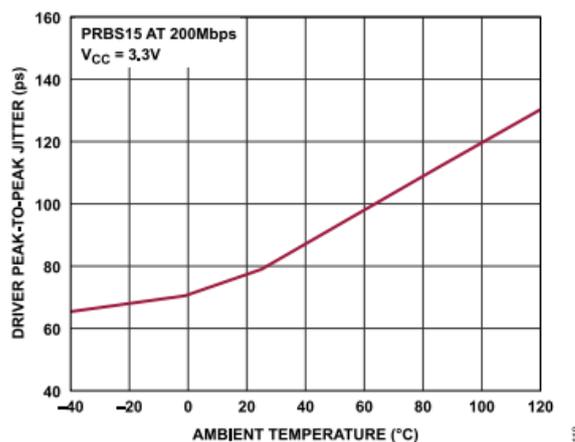


図 14. ドライバのピークtoピーク・ジッタと周囲温度の関係

代表的な性能特性

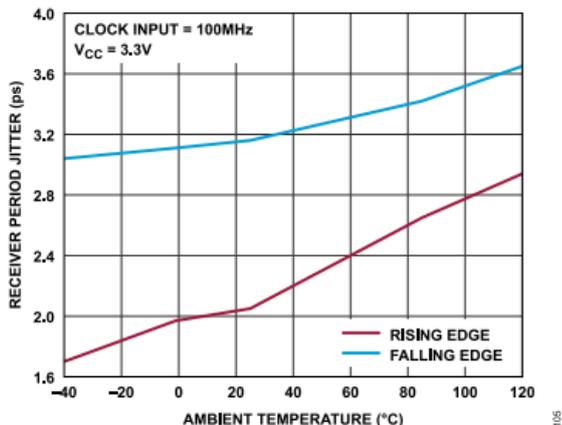


図 15. レシーバーの周期ジッタと周囲温度の関係 ($V_{ID} = 400\text{mV}$ 、 $V_{IC} = 1.1\text{V}$)

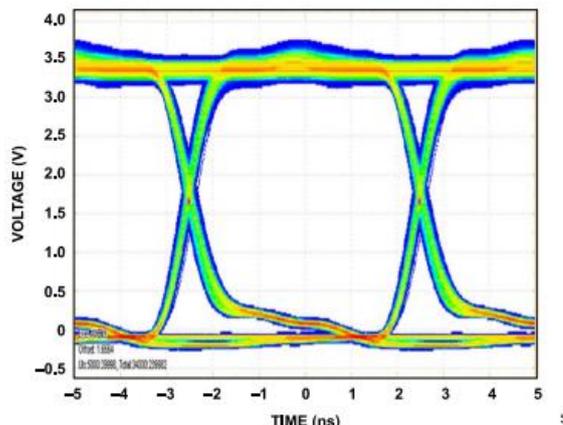


図 18. ADN4693E-1のドライバ出力アイ・パターン ($V_{CC} = 3.3\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、データ・レート = 200Mbps、PRBS $2^{15} - 1$ 入力、 $R_L = 50\Omega$)

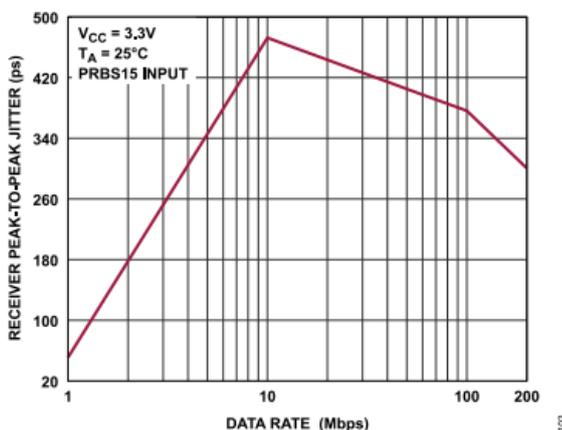


図 16. レシーバーのピークtoピーク・ジッタとデータ・レートの関係 ($V_{ID} = 400\text{mV}$ 、 $V_{IC} = 1.1\text{V}$)

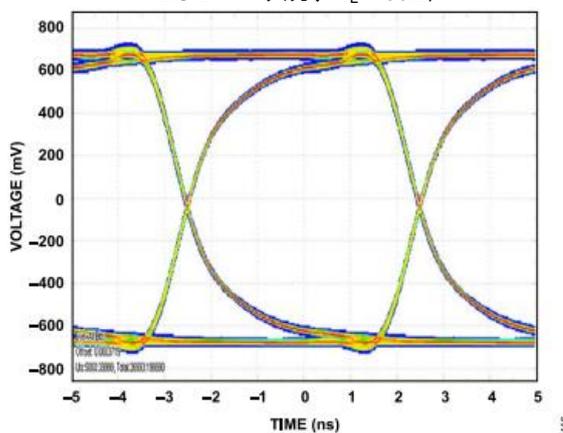


図 19. ADN4693E-1のレシーバー出力アイ・パターン ($V_{CC} = 3.3\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、データ・レート = 200Mbps、PRBS $2^{15} - 1$ 入力、 $C_L = 15\text{pF}$)

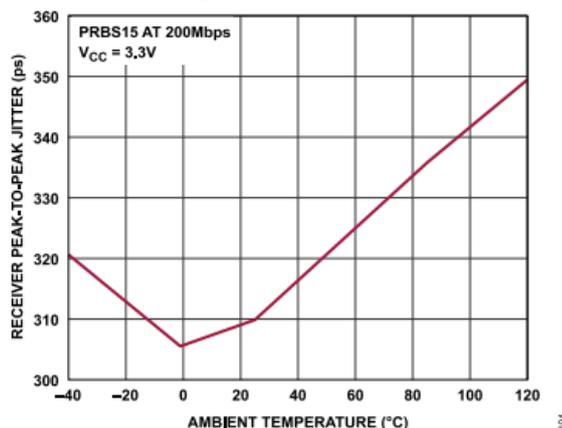
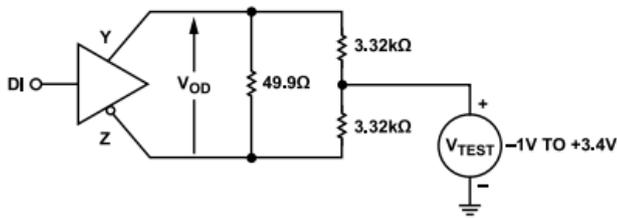


図 17. レシーバーのピークtoピーク・ジッタと周囲温度の関係 ($V_{ID} = 400\text{mV}$ 、 $V_{IC} = 1.1\text{V}$)

テスト回路とスイッチング特性

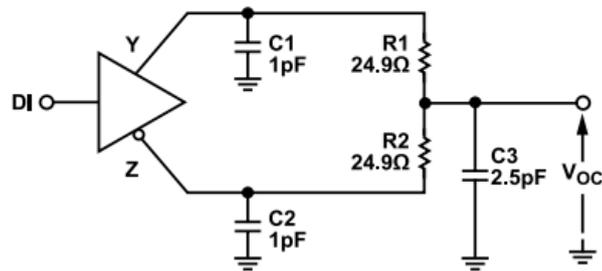
ドライバの電圧および電流の測定



NOTES
1. 1% TOLERANCE FOR ALL RESISTORS.

019

図 20. コモンモード範囲でのドライバ電圧測定 (V_{TEST} はテスト電圧)



NOTES
1. C1, C2, AND C3 ARE 20% AND INCLUDE PROBE/STRAY CAPACITANCE.

020

図 21. ドライバのコモンモード出力電圧の測定

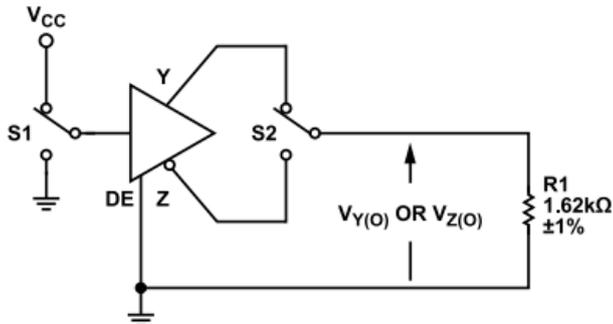
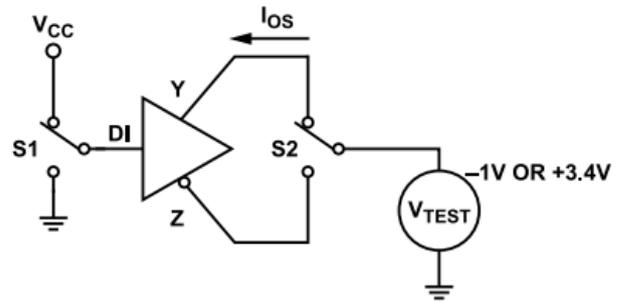


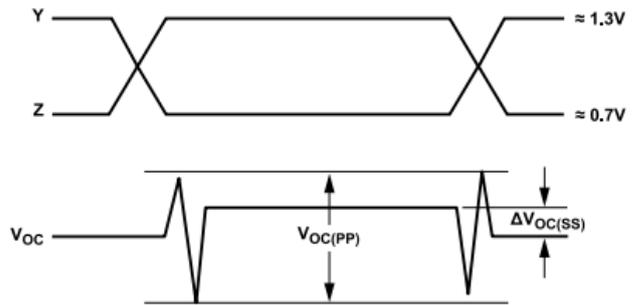
図 22. 最大定常状態出力電圧の測定 (S1はスイッチ1、S2はスイッチ2)

021



022

図 23. ドライバ短絡回路



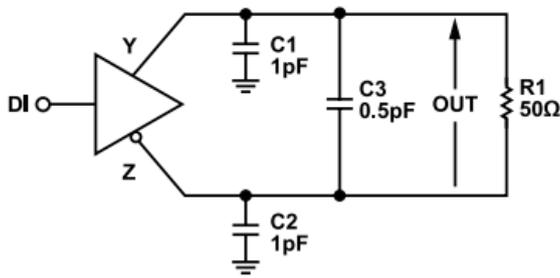
NOTES
1. INPUT PULSE GENERATOR: 100MHz.

023

図 24. ドライバのコモンモード出力電圧 (定常状態)

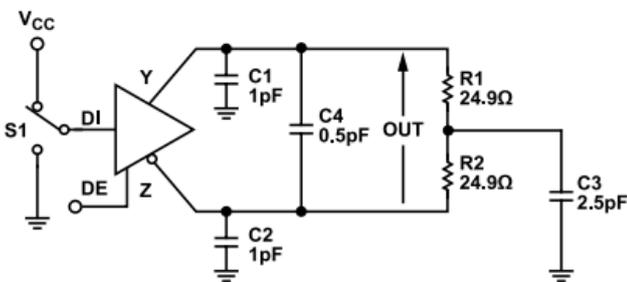
テスト回路とスイッチング特性

ドライバ・タイミング測定



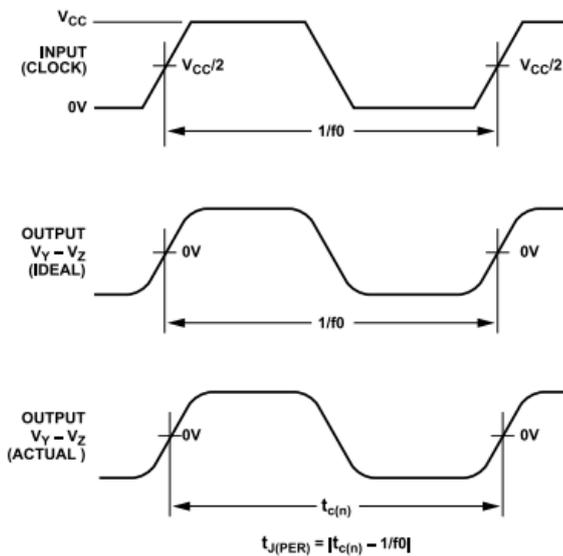
NOTES
1. C1, C2, AND C3 ARE 20% AND INCLUDE PROBE/STRAY CAPACITANCE.

図 25. ドライバ・タイミングの測定回路



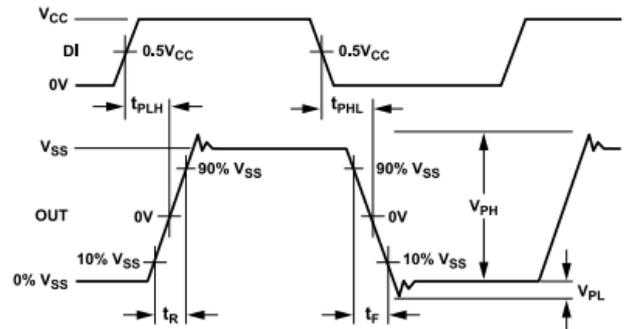
NOTES
1. C1, C2, C3, AND C4 ARE 20% AND INCLUDE PROBE/STRAY CAPACITANCE.

図 26. ドライバ・イネーブル/ディスエーブルのタイミング回路



NOTES
1. INPUT PULSE GENERATOR: TEK AWG5208 STIMULUS SYSTEM; 50% ± 1% DUTY CYCLE.
2. MEASURED USING TEK DPO7254 WITH DPOJET SOFTWARE.

図 27. ドライバの周期ジッタの特性



NOTES
1. INPUT PULSE GENERATOR: 100MHz; 50% ± 5% DUTY CYCLE; $t_R, t_F \leq 1ns$.
2. MEASURED ON TEST EQUIPMENT WITH -3dB BANDWIDTH $\geq 1GHz$.

図 28. ドライバの伝搬、立上がりおよび立下がりのタイミング、電圧オーバーシュート

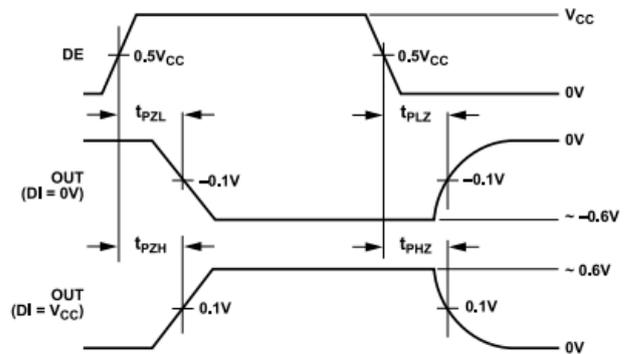
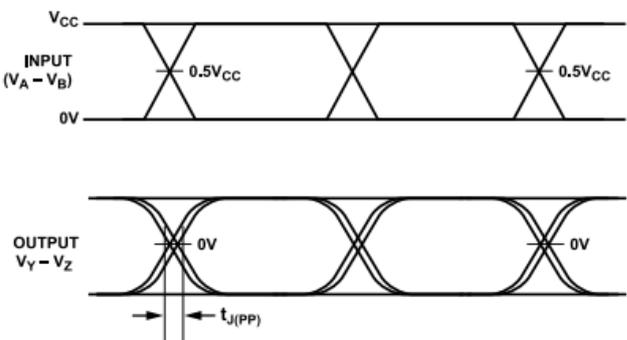


図 29. ドライバ・イネーブル/ディスエーブルのタイミング

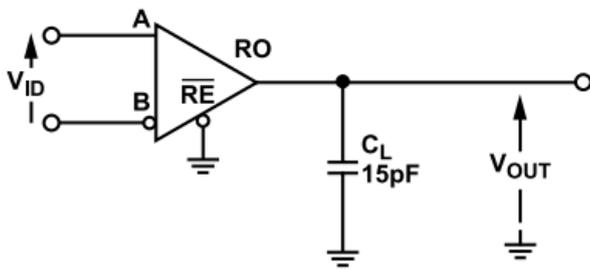


NOTES
1. INPUT PULSE GENERATOR: TEK AWG5208 STIMULUS SYSTEM.
2. MEASURED USING TEK DPO7254 WITH DPOJET SOFTWARE.

図 30. ドライバのピークtoピーク・ジッタ特性

テスト回路とスイッチング特性

レシーバー・タイミング測定

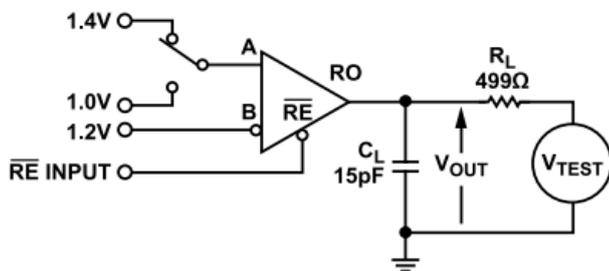


NOTES

1. C_L INCLUDES PROBE/STRAY CAPACITANCE.

030

図 31. レシーバー・タイミングの測定回路

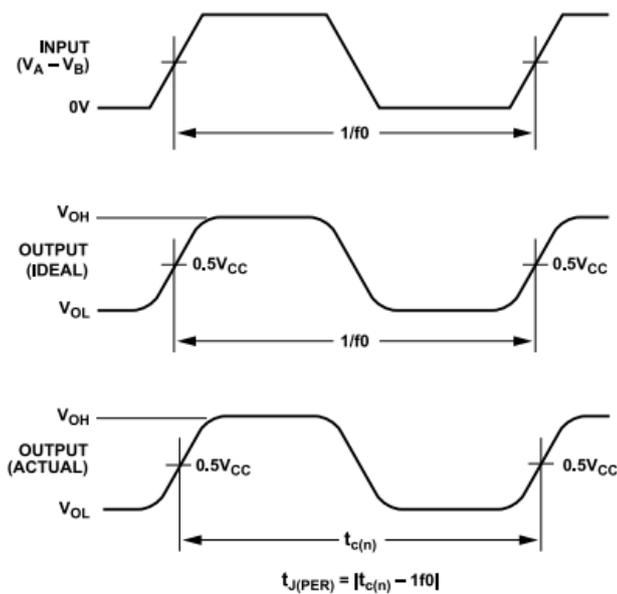


NOTES

1. C_L INCLUDES PROBE/STRAY CAPACITANCE.

031

図 32. レシーバー・イネーブル/ディスエーブルのタイミング回路

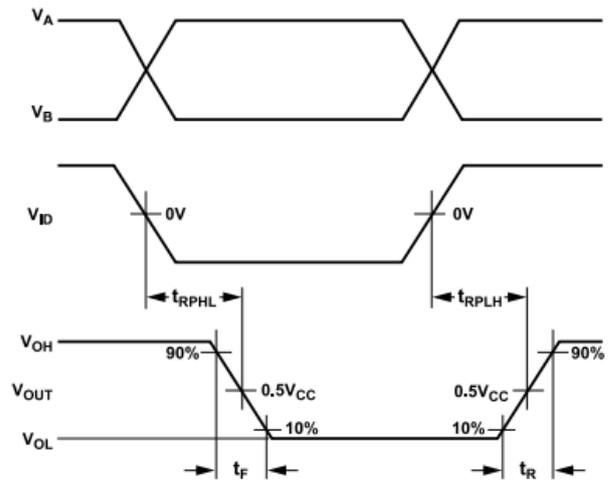


NOTES

1. INPUT PULSE GENERATOR: KEYSIGHT M8041A JBERT SYSTEM;
50% ± 1% DUTY CYCLE.
2. MEASURED USING TEK DPO7254 WITH DPOJET SOFTWARE.

032

図 33. レシーバーの周期ジッタの特性

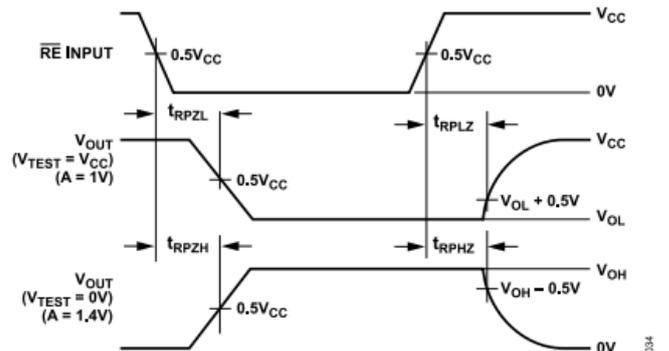


NOTES

1. INPUT PULSE GENERATOR: 100MHz; 50% ± 5% DUTY CYCLE; $t_R, t_F \leq 1ns$.
2. MEASURED ON TEST EQUIPMENT WITH -3dB BANDWIDTH ≥ 500MHz.

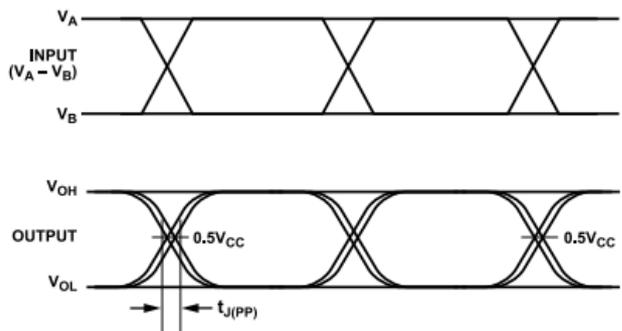
033

図 34. レシーバーの伝搬および立上がりと立下りのタイミング



034

図 35. レシーバー・イネーブル/ディスエーブルのタイミング



NOTES

1. INPUT PULSE GENERATOR: TEK AWG5208 STIMULUS SYSTEM
2. MEASURED USING TEK DPO7254 WITH DPOJET SOFTWARE.

035

図 36. レシーバーのピーク to ピーク・ジッタ特性

動作原理

ADN4693E-1は、最大200MbpsのNRZという高データ・レートでM-LVDSを送受信するトランシーバーです。各デバイスに差動ライン・ドライバと差動ライン・レシーバーがあり、デバイスごとにデータの送受信が可能です。

M-LVDSは、3個以上のノード間での双方向通信を可能にすることにより、実績あるLVDSシグナリング方式を更に進化させています。M-LVDSトランシーバーでは、トランスミッタの出力電流が増加され、また、広いレシーバー・コモンモード範囲を備えているため、ケーブルまたはバックプレーンを介した信頼性の高いマルチポイント通信が可能です。M-LVDSバスには最大32個のノードを接続できます。

全二重動作

半二重動作ではトランシーバーは送信または受信が可能ですが、両方を同時に行うことはできません。しかし、全二重動作では、トランシーバーは送信と受信を同時に行うことができます。

ADN4693E-1は、専用のドライバ出力ピンとレシーバー入力ピンを備えた全二重デバイスです。図38に、M-LVDSの全二重バス・トポロジを示します。

スリーステート・バス接続

デバイスの出力は、ドライバまたはレシーバーをディスエーブルすることで高インピーダンス状態にできます。ドライバを高インピーダンス状態にすると、複数のドライバ出力を1つのM-LVDSバスに接続することができます。なお、各バス・ラインでは一度にイネーブルできるドライバは1つだけですが、レシーバーは多数を同時にイネーブルできます。

ドライバは、ドライバ・イネーブル・ピン (DE) を用いてイネーブルまたはディスエーブルすることができます。DEピンはロジック・ハイになるとドライバ出力をイネーブルします。ロジック・ローになると、DEピンはドライバ出力を高インピーダンス状態にします。同様に、アクティブ・ローのレシーバー・イネーブル・ピン (\overline{RE}) は、レシーバーを制御します。 \overline{RE} ピンをローにするとレシーバーはイネーブルになり、 \overline{RE} ピンをハイにするとレシーバーは高インピーダンス状態になります。レシーバーが給電されていない間は、M-LVDSドライバ出力は高インピーダンス状態を維持します。

様々な条件でのドライバとレシーバーの出力状態に関する真理値表を表8、表9、表10に示します。

真理値表

表 8. 真理値表の略語の定義

Abbreviation	Description
H	High level
L	Low level
X	Don't care
I	Indeterminate
Z	High impedance (off)
NC	Disconnected/no input

表 9. 送信 (略語については表8を参照)

V _{CC}	Inputs		Outputs	
	DE	DI	Y	Z
On	H	H	H	L
On	H	L or NC	L	H
On	L or NC	X	Z	Z
Off (≤ 1.5 V)	X	X	Z	Z

表 10. 受信 (略語については表8を参照)

V _{CC}	Inputs		Outputs	
	A - B	\overline{RE}	RO	
On	$\geq +50$ mV	L	H	
On	≤ -50 mV	L	L	
On	-50 mV < A - B < +50 mV	L	I	
On	NC or short circuit	L	I	
On	X	H or NC	Z	
Off (≤ 1.5 V)	X	X	I	

グリッチなしのパワーアップおよびパワーダウン

ノードを追加する場合にバスに生じる混乱を最小限に抑えるため、デバイスのM-LVDS出力ではデバイスのパワーアップ時およびパワーダウン時にグリッチのない状態が維持されます。この機能により、動作中のM-LVDSバスにデバイスを挿入することができます。バス出力はデバイスが完全に給電されるまでスイッチ・オンされないためです。更に、デバイスがパワー・オフされるとすべての出力は高インピーダンス状態になります。

フォールト状態

ADN4693E-1には、バスが短絡した場合にフォールト状態下のデバイスを保護する、短絡電流保護機能があります。この保護により、短絡フォールトのトランスミッタ出力が-1V~+3.4Vで、フォールト状態での電流が24mAに制限されます。データ伝送エラーを回避し、データ・ネットワークおよびネットワークに接続されているデバイスの信頼できる動作を確保するためには、どのようなネットワーク・フォールトも解消する必要があります。

レシーバー入力閾値およびフェイルセーフ

TIA/EIA-899規格では、2つのレシーバー・タイプが定義されており、どちらも短絡回路に対する保護機能が備わっています。

ADN4693E-1のタイプ1レシーバーには25mVのヒステリシスが備わっています。これにより、信号の緩やかな変化や入力喪失が生じてレシーバー出力に振動が生じることはありません。タイプ1のレシーバーの閾値は ± 50 mVです。そのため、AとBの差が約0Vの場合、レシーバー出力の状態は不定となります。このような状態が生じるのは、バスがアイドル状態 (AとBのどちらも約0V) で、接続されているノードでどのドライバもイネーブルされていない状態のときです。

タイプ2のレシーバーには、オープン・サーキットとバス・アイドルのフェイルセーフ機能があります。入力閾値には100mVのオフセットがあるため、バスがアイドル状態の場合、またはレシーバー入力オープンの場合、レシーバー出力はロジック・ローとなります。

動作原理

2つのレシーバー・タイプの異なるレシーバー閾値を図37に示します。様々な条件下のADN4693E-1のタイプ1レシーバーの出力状態については、表10を参照してください。

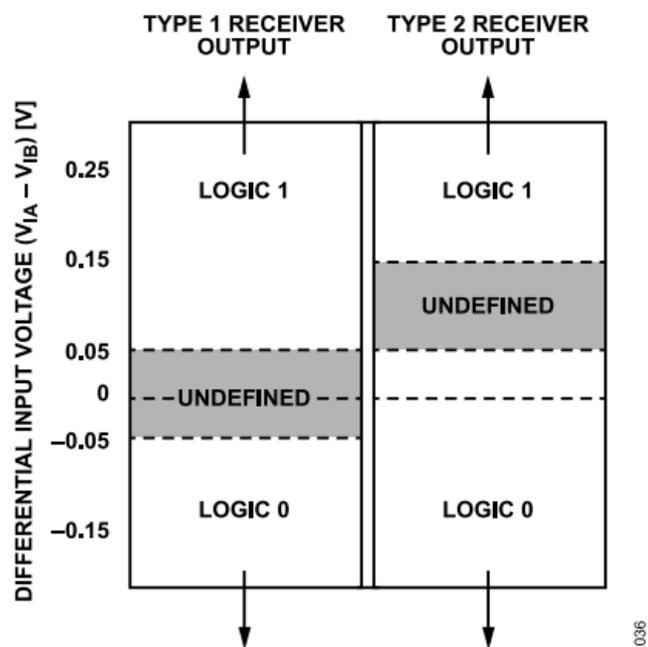


図 37. 入力閾値電圧 (V_{IA}はピンAの電圧入力、V_{IB}はピンBの電圧入力)

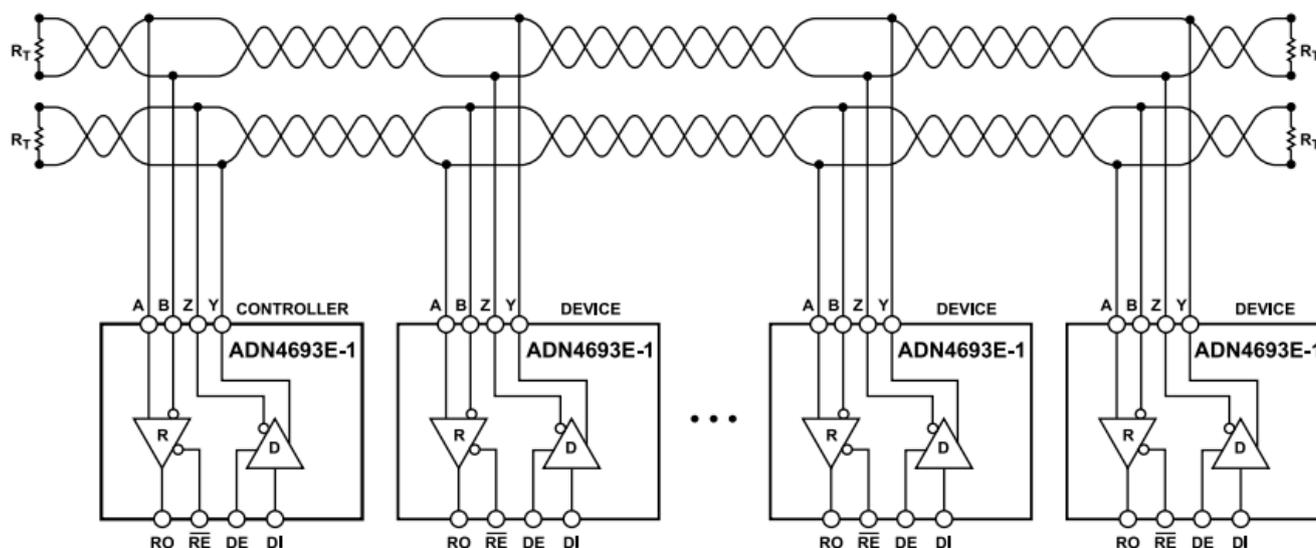
アプリケーション情報

M-LVDSは、LVDSの低消費電力で高速の差動信号を、複数のノードがバス・トポロジ・ネットワーク内の短い距離の間で接続されているマルチポイント・システムに展開します。

M-LVDSでは、送信ノードはツイスト・ペア・ケーブルやバックプレーンなどの伝送媒体を介して差動信号を駆動します。送信された差動信号により、バスに沿って接続されている他端の受信ノードが差動電圧を検知することができ、更にこの電圧はレシーバーによってシングルエンドのロジック信号に変換直すことができます。

通信ラインは通常、抵抗 (R_T) によって両端で終端されます。その抵抗値は媒体の特性インピーダンス (通常 100Ω) と一致するように選択されます。負荷のあるバックプレーンでは、 100Ω 未満の終端抵抗が適切です。

半二重マルチポイント・アプリケーションでは、いつでもイネーブルできるドライバは1つのみです。全二重では図38に示すようなコントローラ/デバイス・トポロジが可能です。この構成では、コントローラ・ノードは複数のデバイス・ノードに対してデータの送受信を同時に行うことが可能です。どの時点でも、1つのデバイス・ノードのみが、ドライバをイネーブルしてコントローラ・ノードに同時にデータを送り返すことができます。



NOTES
1. R_T IS EQUAL TO THE CHARACTERISTIC IMPEDANCE OF THE COMMUNICATION MEDIUM.

037

図 38. ADN4693E-1の代表的な全二重M-LVDSコントローラ/デバイス・ネットワーク (タイプ1レシーバー)

外形寸法

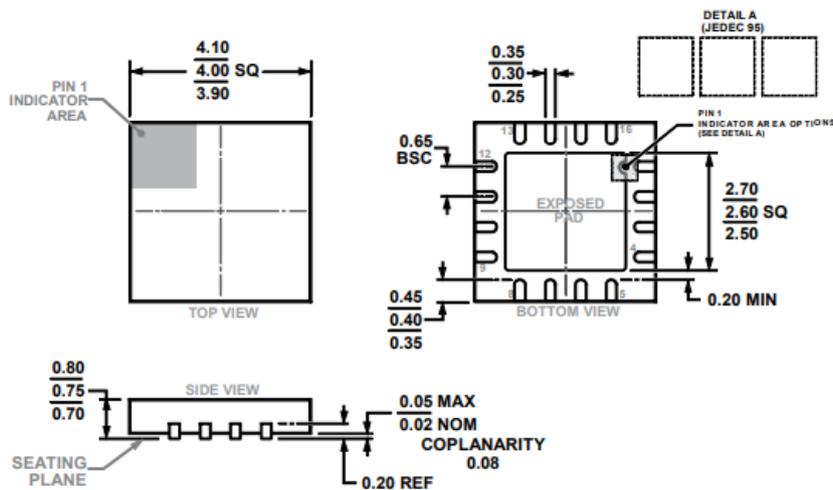


図 39. 16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 4mm × 4mmボディ、0.75mmパッケージ高
 (CP-16-17)
 寸法 : mm

更新 : 2022年3月2日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADN4693E-1BCPZ	-40°C to +120°C	16-Lead LFCSP (4mm x 4mm)	Tray, 490	CP-16-17
ADN4693E-1BCPZ-RL7	-40°C to +120°C	16-Lead LFCSP (4mm x 4mm)	Reel, 1500	CP-16-17

¹ Z = RoHS準拠製品。

評価用ボード

Model	Description
EVAL-ADN4693E-1EBZ	Evaluation Board