



データシート

ADN4620/ADN4621

実効値 7.5kV/3.75kV の デュアルチャンネル LVDS 2.5 ギガビット・アイソレータ

特長

- ▶ 実効値 7.5kV/3.75kV の LVDS (低電圧差動伝送) アイソレータ
- ▶ TIA/EIA-644-A の LVDS 信号レベルに準拠
- ▶ デュアルチャンネル構成
(ADN4620 : 2 + 0、ADN4621 : 1 + 1)
- ▶ 2.5Gbps までの任意のデータ・レートで低ジッタのスイッチング
 - ▶ 帯域幅 : 2 チャンネル合計で 5Gbps
 - ▶ 伝搬遅延 (代表値) : 2.15ns
 - ▶ ジッタ (代表値) : ランダム 0.82ps (実効値)、トータル 40ps (ピーク to ピーク)
- ▶ 低消費電力の 1.8V 電源と I/O 用の 3.3V 電源
- ▶ 絶縁バリアをまたぐ IEC 61000-4-2 ESD 保護 : $\pm 8\text{kV}$ (最大値)
- ▶ 高いコモンモード過渡耐圧 : $70\text{kV}/\mu\text{s}$ (代表値)
- ▶ 安全性と規制に関する認定 (16 ピン SOIC_IC パッケージ)
 - ▶ UL (申請中) : 1 分間で 7500V (実効値)、UL 1577 規格に準拠
 - ▶ CSA Component Acceptance Notice 5A (申請中)
 - ▶ VDE 適合性認定、強化絶縁 (申請中)
 - ▶ DIN V VDE V 0884-11 (VDE V 0884-11) : 2017-01
 - ▶ $V_{\text{IORM}} = 1500\text{V}_{\text{PEAK}}$ (最大動作絶縁電圧)
- ▶ リフレッシュのイネーブルまたはディスエーブル (20 ピン SSOP パッケージ)
- ▶ 動作温度範囲 : $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- ▶ 沿面距離 5.3mm の小型 SSOP パッケージまたは沿面距離 15.1mm のワイド SOIC_IC パッケージ

アプリケーション

- ▶ アナログ・フロントエンドの絶縁
- ▶ データ・プレーンの絶縁
- ▶ 絶縁型高速クロックとデータ・リンク
- ▶ マルチギガビット・シリアライゼーション／デシリアライゼーション (SERDES)
- ▶ PCB 間の光学変換 (ショート・リーチ・ファイバなど)

機能ブロック図

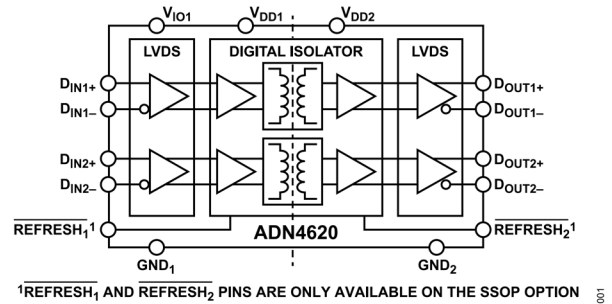


図 1. ADN4620 の 2 つの順方向チャンネル

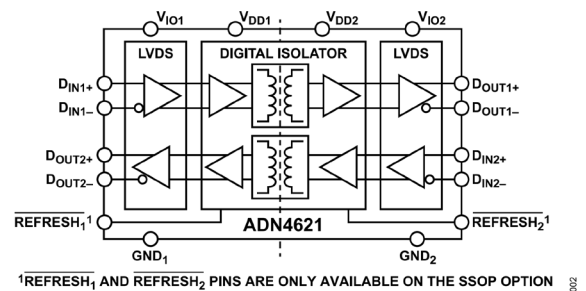


図 2. ADN4621 の 1 つの順方向チャンネルと 1 つの逆方向チャンネル

概要

ADN4620/ADN4621¹ は最大 2.5Gbps で動作するデュアルチャンネルの信号絶縁型低電圧差動伝送 (LVDS) バッファで、ジッタが非常に小さい値に抑えられています。これらのデバイスは高速動作用に強化されたアナログ・デバイセズの iCoupler[®] 技術を採用しており、LVDS シグナル・チェーンのガルバニック絶縁をドロップイン方式で実現できます。LVDS レシーバーとの AC カップリングやレベル・シフトによって、電流モード・ロジック (CML) など、その他の高速信号の絶縁も可能です。

ADN4620/ADN4621 はリフレッシュ機構を備えており、入出力の状態を監視して、データ遷移がない場合 (例えばパワーオン時) は状態が変化しないようにしています。消費電力を下げた低ジッタの高速動作が実現できるよう、アイソレータ回路は 1.8V 電源を使用します。一方、LVDS レシーバーには 3.3V 電源を使用し、表 2 に示すように 0V ~ 2.4V の入力電圧範囲 (入力コモンモード電圧 + 差動入力電圧) でコモンモード電圧範囲全体に対応します。

これらのデバイスは、広範な工業用温度範囲にわたり完全に使用規定されており、沿面距離が 5.3mm の小型 SSOP パッケージ (AC 主電源の強化絶縁に対応) または沿面距離が 15.1mm のワイド SOIC_IC パッケージ (最大 1500V peak の高動作絶縁電圧に対応、強化絶縁) を採用しています。

¹ 米国特許 7,075,329、9,941,565、および 10,205,442 により保護されています。その他の特許は申請中です。

Rev. A

DOCUMENT FEEDBACK

TECHNICAL SUPPORT

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	ESDに関する注意	11
アプリケーション	1	ピン配置およびピン機能の説明	12
機能ブロック図	1	代表的な性能特性	16
概要	1	テスト回路とスイッチング特性	21
仕様	3	動作原理	22
レシーバー入力閾値試験電圧	4	絶縁とリフレッシュ	22
タイミング仕様	4	真理値表	22
絶縁および安全性関連の仕様	5	アプリケーション情報	23
パッケージ特性	5	PCB レイアウト	23
適用規格	6	アプリケーション例	23
DIN V VDE V 0884--11 (VDE V 0884--11) 絶縁特性 (申請中)	7	磁界耐性	24
推奨動作条件	9	絶縁寿命	25
絶対最大定格	10	外形寸法	27
熱抵抗	10	オーダー・ガイド	27
静電放電 (ESD) 定格	11	評価用ボード	28

改訂履歴

9/2022—Rev. 0 to Rev. A

Added SOIC_IC (Universal)	1
Changes to Features Section	1
Changes to Figure 1 and Figure 2	1
Changes to General Description Section	1
Changes to Input Current, High and Low Parameter and Logic Inputs (SSOP) Parameter, Table 1	3
Changes to Timing Specifications Section and Table 3	4
Added Table 5, Renumbered Sequentially	5
Changes to Table 6	5
Added Table 8	6
Added Table 10 and Figure 4, Renumbered Sequentially	7
Changes to Table 13	10
Added Table 15	10
Added Table 17	11
Change to Figure 5 Caption and Table 18 Title	12
Change to Figure 6 Caption and Table 19 Title	13
Added Figure 7 and Table 20	14
Added Figure 8 and Table 21	15
Changes to Isolation and Refresh Section	22
Changes to PCB Layout Section	23
Updated Outline Dimensions	27
Changes to Ordering Guide	27

6/2022—Revision 0: Initial Version

仕様

最小値の仕様および最大値の仕様についてはすべて、特に指定のない限り、 $V_{DD1} = 1.7V \sim 1.9V$ 、 $V_{DD2} = 1.7V \sim 1.9V$ 、 $V_{IO1} = 3V \sim 3.6V$ 、 $V_{IO2} = 3V \sim 3.6V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値の仕様についてはすべて、 $V_{DD1} = V_{DD2} = 1.8V$ 、 $V_{IO1} = V_{IO2} = 3.3V$ 、 $T_A = 25^\circ C$ 。すべての仕様は特に指定のない限り、 $\overline{REFRESH}_1 = GND_1$ および $\overline{REFRESH}_2 = GND_2$ 。

表 1.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
INPUTS (RECEIVERS)						
Input Threshold						図 36 と表 2 を参照
High	V_{TH}			100	mV	
Low	V_{TL}	-100			mV	
Differential Input Voltage	$ V_{ID} $	100			mV	図 36 と表 2 を参照
Input Common-Mode Voltage	V_{IC}	$0.5 V_{ID} $		$2.4 - 0.5 V_{ID} $	V	図 36 と表 2 を参照
Input Current, High and Low	I_{IH}, I_{IL}	-5		+5	μA	$D_{INx\pm} = 2.4V$ または $0V$ 、その他の入力 = $1.2V$ 、 $V_{DDx} = 1.8V$ または $0V$ 、 $V_{IOx} = 3.3V$ または $0V$
Differential Input Capacitance ¹	$C_{INx\pm}$		1.7		pF	1 つの $D_{INx\pm} = 0.4 \sin(30 \times 10^6 \pi t) V + 0.5 V$ 、その他の $D_{INx\pm} = 1.2V^2$
LOGIC INPUTS (SSOP)						
Input High Voltage	V_{INH}	$0.65 V_{DDx}$			V	$\overline{REFRESH}_1$ については $V_{DDx} = V_{DD1}$ 、 $\overline{REFRESH}_2$ については $V_{DDx} = V_{DD2}$
Input Low Voltage	V_{INL}			$0.35 V_{DDx}$	V	
Input Current High	$ I_{INH} $			1	μA	$\overline{REFRESH}_x = V_{DDx}$
				25	μA	$\overline{REFRESH}_x = 1.9V$ 、 $V_{DDx} = 0 V$
Input Current Low	$ I_{INL} $			16	μA	$\overline{REFRESH}_x = 0V$
OUTPUTS (DRIVERS)						
Differential Output Voltage	$ V_{OD} $	250	310	450	mV	図 34 と図 35 を参照、負荷抵抗 (R_L) = 100Ω
V_{OD} Magnitude Change	$\Delta V_{OD} $			50	mV	図 34 と図 35 を参照、 $R_L = 100\Omega$
Offset Voltage	V_{OS}	1.125	1.17	1.375	V	図 34 を参照、 $R_L = 100\Omega$
V_{OS} Magnitude Change	ΔV_{OS}			50	mV	図 34 を参照、 $R_L = 100\Omega$
V_{OS} , Peak-to-Peak ¹	$V_{OS(p-p)}$			150	mV	図 34 を参照、 $R_L = 100\Omega$
Output Short-Circuit Current	I_{OS}			-20	mA	$D_{OUTx\pm} = 0 V$
				12	mA	$ V_{OD} = 0 V$
Differential Output Capacitance ¹	$C_{OUTx\pm}$		5		pF	1 つの $D_{OUTx\pm} = 0.4 \sin(30 \times 10^6 \pi t) V + 0.5V$ 、その他の $D_{OUTx\pm} = 1.2V$ 、 V_{DD1} または $V_{DD2} = 0V$
ADN4620 SUPPLY CURRENT						
Supply Current Side 1	I_{DD1}		65	80	mA	全チャンネル、入力 $D_{INx\pm}$ の抵抗は 100Ω 、 $ V_{ID} = 200mV$
Supply Current Side 2	I_{DD2}		55	65	mA	周波数 (f) = $1.25GHz$
			48	55	mA	$f = 1.25GHz$ 、 $R_L = 100\Omega$
V_{IO1} Supply	I_{IO1}		11	14	mA	$f = 1.25GHz$ 、 $R_L = 100\Omega$ 、 $\overline{REFRESH}_2 = V_{DD2}$
ADN4621 SUPPLY CURRENT						
Supply Current Side 1 or Side 2	I_{DD1} or I_{DD2}		65	75	mA	全チャンネル、入力 $D_{INx\pm}$ の抵抗は 100Ω 、 $ V_{ID} = 200mV$
			54	63	mA	$\overline{REFRESH}_1$ については $V_{DDx} = V_{DD1}$ 、 $\overline{REFRESH}_2$ については $V_{DDx} = V_{DD2}$
V_{IO1} or V_{IO2} Supply	I_{IO1} or I_{IO2}		5.5	7	mA	$f = 1.25GHz$ 、 $R_L = 100\Omega$
COMMON-MODE TRANSIENT IMMUNITY ³	$ CM $	35	70		kV/ μs	$f = 1.25GHz$ 、 $R_L = 100\Omega$ 、 $\overline{REFRESH}_x = V_{DDx}$
						$f = 1.25GHz$
						コモンモード電圧 (V_{CM}) = $1000V$ 、トランジェントの大きさは $800V$

¹ これらの仕様は、設計および特性評価により確保されています。

² t は時間を表します。

³ $|CM|$ は、 D_{OUTx+} または D_{OUTx-} ピンを対応する D_{INx+} または D_{INx-} ピンと同じ状態に維持しながら（出力に変化なし）持続できるコモンモード電圧の最大スルー・レート、または適用したコモンモード・トランジェント・エッジが対応する D_{INx+} または D_{INx-} ピン上のデータ遷移と一致する場合に予想される遷移を D_{OUTx+} または D_{OUTx-} ピンに生成しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立上がりりと立下がりの両方のコモンモード電圧エッジに適用されます。

仕様

レシーバー入力閾値試験電圧

表 2. レシーバー動作の試験電圧

Applied Voltages		Input Voltage, Differential, V_{ID} (V)		Input Voltage, Common-Mode, V_{IC} (V)	Driver Output, Differential V_{OD} (mV)
D_{INx+} (V)	D_{INx-} (V)				
1.25	1.15	0.1		1.2	>250
1.15	1.25	-0.1		+1.2	<-250
2.4	2.3	0.1		2.35	>250
2.3	2.4	-0.1		+2.35	<-250
0.1	0	0.1		0.05	>250
0	0.1	-0.1		+0.05	<-250
1.5	0.9	0.6		1.2	>250
0.9	1.5	-0.6		+1.2	<-250
2.4	1.8	0.6		2.1	>250
1.8	2.4	-0.6		+2.1	<-250
0.6	0	0.6		0.3	>250
0	0.6	-0.6		+0.3	<-250

タイミング仕様

最小値の仕様と最大値仕様についてはすべて、特に指定のない限り、 $V_{DD1} = V_{DD2} = 1.7V \sim 1.9V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値の仕様についてはすべて、 $V_{DD1} = V_{DD2} = 1.8V$ 、 $T_A = 25^\circ C$ 。

表 3.

パラメータ	記号	最小値	代表値	最大値 ¹	単位	テスト条件/コメント
PROPAGATION DELAY	t_{PLH} , t_{PHL}		2.15	2.8	ns	図 37 を参照、任意の D_{INx+} ピンおよび D_{INx-} ピンから D_{OUTx+} ピンおよび D_{OUTx-} ピンへの値
SKEW						図 37 を参照、すべての D_{OUTx+} ピンと D_{OUTx-} ピンについての値
Duty Cycle ²	$t_{SK(D)}$		2	19	ps	
Channel to Channel ³	$t_{SK(CH)}$		13	46	ps	
Part to Part ⁴	$t_{SK(PP)}$		150	300	ps	
JITTER ⁵						図 37 を参照、任意の D_{OUTx+} ピンと D_{OUTx-} ピンについての値
Random Jitter, RMS ⁶ (1σ)	$t_{RJ(rms)}$		0.82	1.44	ps rms	1.25GHz クロック入力
Deterministic Jitter, Peak-to-Peak ^{6,7}	$t_{DJ(p-p)}$		28	54	ps	2.5Gbps、 $2^{23}-1$ 疑似ランダム・ビット・ストリーム (PRBS)
Total Jitter, Peak-to-Peak, at Bit Error Rate (BER) 1×10^{-12}	$t_{TJ(p-p)}$		40	70	ps	1.25GHz/2.5Gbps、 $2^{23}-1$ PRBS ⁸
With Crosstalk			45		ps	1.25GHz/2.5Gbps、 $2^{23}-1$ PRBS (全チャンネル)、 $\overline{REFRESH_1} = V_{DD1}$ および $\overline{REFRESH_2} = V_{DD2}$ (SSOP パッケージ) ⁸
With Crosstalk and Refresh			50		ps	1.25GHz/2.5Gbps、 $2^{23}-1$ PRBS (全チャンネル)、 $\overline{REFRESH_1} = GND_1$ 、 $\overline{REFRESH_2} = GND_2$ ⁸
Additive Phase Jitter	t_{ADDJ}		148		fs rms	100Hz~100kHz、出力周波数 (f_{OUT}) = 10MHz、 $\overline{REFRESH_1} = V_{DD1}$ および $\overline{REFRESH_2} = V_{DD2}$ (SSOP パッケージ) ⁹
			233		fs rms	100Hz~100kHz、 $f_{OUT} = 10MHz$ 、 $\overline{REFRESH_1} = GND_1$ 、 $\overline{REFRESH_2} = GND_2$ (SSOP パッケージおよび ADN4620 の SOIC_IC パッケージ) ⁹
			308		fs rms	100Hz~100kHz、 $f_{OUT} = 10MHz$ (ADN4621 の SOIC_IC パッケージ) ⁹
			111		fs rms	12kHz~20MHz、 $f_{OUT} = 1.25GHz$ 、 $\overline{REFRESH_1} = V_{DD1}$ および $\overline{REFRESH_2} = V_{DD2}$ (SSOP パッケージ) ¹⁰
			208		fs rms	12kHz~20MHz、 $f_{OUT} = 1.25GHz$ 、 $\overline{REFRESH_1} = GND_1$ 、 $\overline{REFRESH_2} = GND_2$ (SSOP パッケージおよび ADN4620 の SOIC_IC パッケージ) ¹⁰
			328		fs rms	12kHz~20MHz、 $f_{OUT} = 1.25GHz$ (ADN4621 の SOIC_IC パッケージ) ¹⁰
RISE AND FALL TIME	t_R , t_F			180	ps	図 37 を参照、1.25GHz クロック入力、任意の D_{OUTx+} と D_{OUTx-} 、20%~80%、 $R_L = 100\Omega$ 、負荷容量 (C_L) = 5pF

仕様

表 3.

パラメータ	記号	最小値	代表値	最大値 ¹	単位	テスト条件/コメント
MAXIMUM DATA RATE		2.5			Gbps	

¹ これらの仕様は、設計および特性評価により確保されています。

² デューティ・サイクルまたはパルス・スキューは、デバイスの任意のチャンネル x（ここで x=1 または 2）の t_{PLH} と t_{PHL} の最大差の大きさ、つまり $|t_{PLHx} - t_{PHLx}|$ です。

³ チャンネル間スキューまたは出力スキューは、デバイス内の t_{PLHx} の最大値と最小値の差、またはデバイス内の t_{PHLx} の最大値と最小値の差のいずれか大きいほうです。

⁴ 部品間出力スキューは、複数のデバイスの t_{PLHx} の最大値と最小値の差、または複数のデバイスの t_{PHLx} の最大値と最小値の差のいずれか大きいほうです。

⁵ ジッタ・パラメータは、設計および特性評価により確認されています。これらの値に刺激ジッタは含まれません。 $V_{ID} = 400mV_{p-p}$ 、 $V_{IC} = 1.2V$ 、および $t_R/t_F < 0.05ns$ （20%~80%）。

⁶ この仕様は、約 3,000,000 エッジの母集団で測定しました。

⁷ ピーク to ピーク・ジッタの仕様には、パルス・スキュー（ $t_{SK(D)}$ ）によるジッタが含まれます。

⁸ 式 $t_{TJ(p-p)} = 14 \times t_{RJ(ms)} + t_{DJ(p-p)}$ を使用。

⁹ 実効値 340fs の入力位相ジッタを減算。

¹⁰ 実効値 155fs の入力位相ジッタを減算。

絶縁および安全性関連の仕様

詳細については www.analog.com/jp/icouplersafety を参照してください。

表 4. RS-20 シュリンク・スモール・アウトライン・パッケージ [SSOP]

パラメータ	記号	値	単位	テスト条件/コメント
Rated Dielectric Insulation Voltage		3.75	kV rms	1 分間持続
Minimum External Air Gap (Clearance)	L (I01)	5.3	mm	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage)	L (I02)	5.3	mm	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	5.6	mm	PCB 実装面の空中で、入力端子と出力端子の間の直線距離を測定
Minimum Internal Gap (Internal Clearance)		34	μm	絶縁体を介した絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>600	V	IEC 60112 に従ってテスト
Material Group		I		IEC 60664-1 による材料グループ

表 5. 沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

パラメータ	記号	値	単位	テスト条件/コメント
Rated Dielectric Insulation Voltage		7.5	kV rms	1 分間持続
Minimum External Air Gap (Clearance)	L (I01)	15.1	mm	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage)	L (I02)	15.1	mm	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	16	mm	PCB 実装面の空中で、入力端子と出力端子の間の直線距離を測定
Minimum Internal Gap (Internal Clearance)		34	μm	絶縁体を介した絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>600	V	IEC 60112 に従ってテスト
Material Group		I		IEC 60664-1 による材料グループ

パッケージ特性

表 6. RS-20 シュリンク・スモール・アウトライン・パッケージ [SSOP] および沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Resistance (Input to Output) ¹	R _{I-O}		10 ¹³		Ω	電圧（入力～出力）（V _{I-O} ）= 500V dc

仕様

表 6. RS-20 シュリンク・スモール・アウトライン・パッケージ [SSOP] および沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	周波数 = 1MHz
Input Capacitance ²	C _I		3.4		pF	

¹ このデバイスは 2 端子デバイスとみなされます。ピン 1~ピン 10 を互いに短絡し（ピン 1~ピン 8 は SOIC_IC 用）、ピン 11~ピン 20 を互いに短絡する必要があります（ピン 9~ピン 16 は SOIC_IC 用）。

² 入力容量は任意の入力データ・ピンとグラウンド間の値です。

適用規格

具体的なクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 14、表 15 および絶縁寿命のセクションを参照してください。

表 7. RS-20 シュリンク・スモール・アウトライン・パッケージ [SSOP]

規格組織	規格認証/承認	ファイル
UL (Pending)	UL 1577 Component Recognition Program により認定予定 ¹ 単一保護、絶縁電圧 3750V rms	E214100
CSA (Pending) ²	CSA Component Acceptance Notice 5A による認定 CSA 62368-1-19、EN 62368-1:2020、および IEC 62368-1:2018 third edition 基本絶縁、530V rms 強化絶縁、265V rms CSA 61010-1-12+A1 および IEC 61010-1 third edition 基本絶縁、300V rms 強化絶縁、150V rms CSA 60601-1:14 および IEC60601-1 third edition+A1	205078
VDE (Pending)	DIN V VDE V 0884-11 (VDE V 0884-11):2017-01 により認証予定 ³ 強化絶縁、V _{IORM} = 1500V _{PEAK} 、V _{IOSM} = 6000V _{PEAK}	2471900-4880-0001
CQC (Pending)	GB4943.1-2011 により認証予定、認証規則は CQC11-471543-2015 を使用	Pending

¹ UL 1577 に従い、それぞれの ADN4620/ADN4621 には 4500V rms 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています。

² 動作電圧は汚染度 2、材料グループ III について見積もられた値です。ADN4620/ADN4621 のケース材料は、CSA により材料グループ I として評価されています。

³ DIN V VDE V 0884-11 に従い、各 ADN4620/ADN4621 には 2813V_{PEAK} 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています（部分放電検出限界 = 5pC）。

表 8. 沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

規格組織	規格認証/承認	ファイル
UL (Pending)	UL 1577 Component Recognition Program により認定予定 ¹ 単一保護、絶縁電圧 7500V rms	E214100
CSA (Pending) ²	CSA Component Acceptance Notice 5A による認定 CSA 62368-1-19、EN 62368-1:2020、および IEC 62368-1:2018 third edition CSA 61010-1-12+A1 および IEC 61010-1 third edition CSA 60601-1:14 および IEC60601-1 third edition+A1	205078
VDE (Pending)	DIN V VDE V 0884-11 (VDE V 0884-11):2017-01 により認証予定 ³ 強化絶縁、V _{IORM} = 1500V _{PEAK} 、V _{IOSM} = 8000V _{PEAK}	2471900-4880-0001
CQC (Pending)	GB4943.1-2011 により認証予定、認証規則は CQC11-471543-2015 を使用	Pending

¹ UL 1577 に従い、それぞれの ADN4620/ADN4621 には 9000V rms 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています。

² 動作電圧は汚染度 2、材料グループ III について見積もられた値です。ADN4620/ADN4621 のケース材料は、CSA により材料グループ I として評価されています。

³ DIN V VDE V 0884-11 に従い、各 ADN4620/ADN4621 には 2813V_{PEAK} 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています（部分放電検出限界 = 5pC）。

仕様

DIN V VDE V 0884--11 (VDE V 0884--11) 絶縁特性 (申請中)

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。保護回路を使用すれば、安全データを維持しやすくなります。

表 9. RS-20 シュリンク・スモール・アウトライン・パッケージ [SSOP]

概要	テスト条件/コメント ¹	記号	特性	単位
Installation Classification per DIN VDE 0110			I to IV	
For Rated Mains Voltage ≤ 150 V rms			I to IV	
For Rated Mains Voltage ≤ 300 V rms			I to III	
For Rated Mains Voltage ≤ 600 V rms			I to II	
For Rated Mains Voltage ≤ 1000 V rms			40/125/21	
Climatic Classification			2	
Pollution Degree per DIN VDE 0110, Table 1				
Maximum Working Insulation Voltage		V_{IORM}	1500	V_{PEAK}
Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PD(M)}$ 、100%出荷テスト、 $t_{INI} = t_M = 1$ 秒、部分放電 < 5pC	$V_{PD(M)}$	2813	V_{PEAK}
Input to Output Test Voltage, Method A		$V_{PD(M)}$		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{PD(M)}$ 、 $t_{INI} = 60$ 秒、 $t_M = 10$ 秒、部分放電 < 5pC		2250	V_{PEAK}
After Input or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PD(M)}$ 、 $t_{INI} = 60$ 秒、 $t_M = 10$ 秒、部分放電 < 5pC		1800	V_{PEAK}
Highest Allowable Overvoltage		V_{IOTM}	6000	V_{PEAK}
Surge Isolation Voltage, Reinforced	$V_{PEAK} = 10kV$ 、立上がり時間 1.2μs、50%立下がり時間 50μs	V_{IOSM}	6250	V_{PEAK}
Safety Limiting Values	故障発生時に許容される最大値 (図 3 参照)			
Maximum Junction Temperature		T_S	150	°C
Total Power Dissipation at 25°C		P_S		
ADN4620			1.89	W
ADN4621			1.96	W
Insulation Resistance at T_S	$V_{IO} = 500V$	R_S	>10 ⁹	Ω

¹ t_M 、 t_{INI} 、および V_{IO} については、DIN V VDE V 0884-11 を参照してください。

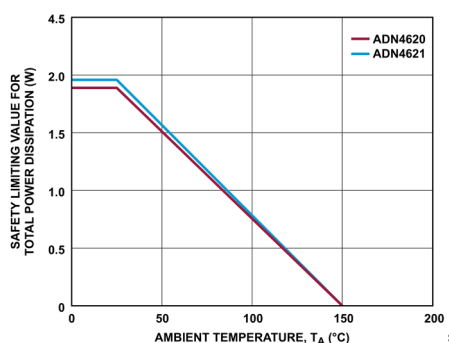


図 3. 熱ディレーティング曲線、DIN V VDE V 0884-11 による安全限界電力の周囲温度への依存性、SSOP

表 10. 沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

概要	テスト条件/コメント ¹	記号	特性	単位
Installation Classification per DIN VDE 0110				
For Rated Mains Voltage ≤ 150 V rms			I to IV	
For Rated Mains Voltage ≤ 300 V rms			I to IV	
For Rated Mains Voltage ≤ 600 V rms			I to IV	
For Rated Mains Voltage ≤ 1000 V rms			I to III	

仕様

表 10. 沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

概要	テスト条件／コメント ¹	記号	特性	単位
Climatic Classification			40/125/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	1500	V_{PEAK}
Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PD(M)}$ 、100%出荷テスト、 $t_{INI} = t_M = 1$ 秒、部分放電 < 5pC	$V_{PD(M)}$	2813	V_{PEAK}
Input to Output Test Voltage, Method A		$V_{PD(M)}$		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{PD(M)}$ 、 $t_{INI} = 60$ 秒、 $t_M = 10$ 秒、部分放電 < 5pC		2250	V_{PEAK}
After Input or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PD(M)}$ 、 $t_{INI} = 60$ 秒、 $t_M = 10$ 秒、部分放電 < 5pC		1800	V_{PEAK}
Highest Allowable Overvoltage		V_{IOTM}	8000	V_{PEAK}
Surge Isolation Voltage, Reinforced	$V_{PEAK} = 12.8kV$ 、立上がり時間 1.2 μs 、50%立下がり時間 50 μs	V_{IOSM}	8000	V_{PEAK}
Safety Limiting Values	故障発生時に許容される最大値 (図 3 参照)			
Maximum Junction Temperature		T_S	150	$^{\circ}C$
Total Power Dissipation at 25 $^{\circ}C$		P_S		W
Insulation Resistance at T_S	$V_{IO} = 500V$	R_S	>10 ⁹	Ω

¹ t_M 、 t_{INI} 、および V_{IO} については、DIN V VDE V 0884-11 を参照してください。

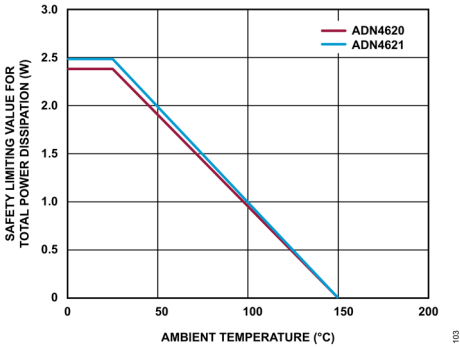


図 4. 熱ディレーティング曲線、DIN V VDE V 0884-11 による安全限界電力の周囲温度への依存性、SOIC_IC

仕様
推奨動作条件

表 11.

Parameter	Symbol	Rating
Operating Temperature	T _A	−40°C to +125°C
Supply Voltage Side 1 or Side 2	V _{DD1} , V _{DD2}	1.7 V to 1.9 V
Input Output Supply Voltage Side 1 or Side 2	V _{IO1} , V _{IO2}	3 V to 3.6 V

絶対最大定格

表 12.

Parameter	Rating
V_{DD1} to GND ₁ , V_{DD2} to GND ₂	−0.3 V to +2 V
V_{IO1} to GND ₁ , V_{IO2} to GND ₂	−0.3 V to +4 V
Input Voltage $\overline{\text{REFLESH}}_1$ to GND ₁ , $\overline{\text{REFLESH}}_2$ to GND ₂	−0.3 V to +2 V
Input Voltage (D_{INx+} pin, D_{INx-} pin) to GND _x on the Same Side	−0.3 V to +4 V
Output Voltage (D_{OUTx+} pin, D_{OUTx-} pin) to GND _x on the Same Side	−0.3 V to +2 V
Short-Circuit Duration (D_{OUTx+} pin, D_{OUTx-} pin) to GND _x on the Same Side	Continuous
Operating Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature (T_J Maximum)	150°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 14. 最大連続動作電圧、RS-20 シュリンク・スモール・アウトライン・パッケージ [SSOP]

パラメータ ¹	定格	制約事項
AC Voltage		
Bipolar Waveform		
Basic Insulation	1182 V rms	IEC60747-17 による基本絶縁定格。累積耐用年数内故障率 (FROL) : 20 年で 1000ppm 以下。
Reinforced Insulation	1057 V rms 1060 V rms 527 V rms	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。 IEC60747-17 による強化絶縁定格。累積 FROL : 26 年で 1ppm 以下。 IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。
Unipolar Waveform		
Basic Insulation	1726 V _{PEAK}	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。
Reinforced Insulation	860 V _{PEAK}	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。
DC Voltage		
Basic Insulation	1057 V dc	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。
Reinforced Insulation	527 V dc	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。

¹ 最大連続動作電圧は、汚染度 2 の環境で絶縁バリアに加わる連続電圧の大きさを表します。詳細については、[絶縁寿命](#)のセクションを参照してください。

表 15. 最大連続動作電圧、沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

パラメータ ¹	定格	制約事項
AC Voltage		
Bipolar Waveform		
Basic Insulation	1182 V rms	IEC60747-17 による基本絶縁定格。累積耐用年数内故障率 (FROL) : 20 年で 1000ppm 以下。
Reinforced Insulation	1060 V rms	IEC60747-17 による強化絶縁定格。累積 FROL : 26 年で 1ppm 以下。
Unipolar Waveform		
Basic Insulation	3343 V _{PEAK}	累積 FROL による制限 : 20 年で 1000ppm 以下。
Reinforced Insulation	2460 V _{PEAK}	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。 Ψ_{JT} は、ジャンクションから上面への熱特性評価パラメータです。

表 13. 熱抵抗

Package Type ¹	θ_{JA}	Ψ_{JT}	Unit
RS-20 (ADN4620)	66.1	5.2	°C/W
RS-20 (ADN4621)	63.8	3	°C/W
RI-16-3 (ADN4620)	52.5	3.1	°C/W
RI-16-3 (ADN4621)	50.3	2.4	°C/W

¹ テスト条件 1 : 熱抵抗のシミュレーション値は、JEDEC 規格の 4 層基板に基づいています。

絶対最大定格

表 15. 最大連続動作電圧、沿面距離 15.1mm の RI-16-3 ワイド・ボディ [SOIC_IC] パッケージ

パラメータ ¹	定格	制約事項
DC Voltage		
Basic Insulation	3020 V dc	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。
Reinforced Insulation	1507 V dc	IEC 60664-1 に基づきパッケージ沿面距離により制限される定格。

¹ 最大連続動作電圧は、汚染度 2 の環境で絶縁バリアに加わる連続電圧の大きさを表します。詳細については、[絶縁寿命](#)のセクションを参照してください。

静電放電（ESD）定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた環境で取り扱う場合にのみ適用できます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

国際電気標準会議（IEC）による電磁両立性：Part 4-2（IEC）（IEC 61000-4-2 準拠）。

ADN4620/ADN4621 の ESD 定格

表 16. ADN4620/ADN4621、20 ピン SSOP

ESD Model	Withstand Threshold (V)	Class
HBM ¹	±3000	2
FICDM ²	±7000 (contact discharge)	Level 3

¹ すべてのピンをそれぞれの GND_x に接続、1.5kΩ、100pF。

² LVDS ピンを絶縁バリア越しに絶縁 GND_x ピンへ接続。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 17. ADN4620/ADN4621、16 ピン SOIC_IC

ESD Model	Withstand Threshold (V)	Class
HBM ¹	±3000	2
FICDM ²	±8000 (contact discharge)	Level 4

¹ すべてのピンをそれぞれの GND_x に接続、1.5kΩ、100pF。

² LVDS ピンを絶縁バリア越しに絶縁 GND_x ピンへ接続。

ピン配置およびピン機能の説明

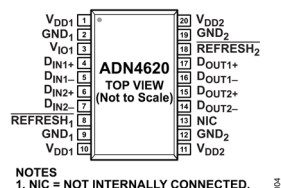


図 5. ADN4620 のピン配置、SSOP

表 18. ADN4620 SSOP のピン機能の説明

ピン番号	記号	説明
1, 10	V _{DD1}	サイド 1 用の 1.8V 電源。両方のピンを外部で接続し、0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
2, 9	GND ₁	グラウンド、サイド 1。
3	V _{IO1}	サイド 1 用の 3.3V 入出力電源。0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
4	D _{IN1+}	非反転差動入力 1。
5	D _{IN1-}	反転差動入力 1。
6	D _{IN2+}	非反転差動入力 2。
7	D _{IN2-}	反転差動入力 2。
8	REFRESH ₁	サイド 1 リフレッシュ機能用のアクティブ・ロー・イネーブル。リフレッシュをイネーブルして通常動作とするには GND ₁ と同じ PCB グラウンドに短絡し、リフレッシュをディスエーブルして低消費電力、低ジッタ、低ノイズの動作とするには電源を V _{DD1} に短絡します。
11, 20	V _{DD2}	サイド 2 用の 1.8V 電源。両方のピンを外部で接続し、0.1μF のコンデンサで隣接 GND ₂ ピンにバイパスします。
12, 19	GND ₂	グラウンド、サイド 2。
13	NIC	内部では未接続
14	D _{OUT2-}	反転差動出力 2。
15	D _{OUT2+}	非反転差動出力 2。
16	D _{OUT1-}	反転差動出力 1。
17	D _{OUT1+}	非反転差動出力 1。
18	REFRESH ₂	サイド 1 リフレッシュ機能用のアクティブ・ロー・イネーブル。リフレッシュをイネーブルして通常動作とするには GND ₂ と同じ PCB グラウンドに短絡し、リフレッシュをディスエーブルして低消費電力、低ジッタ、低ノイズの動作とするには電源を V _{DD2} に短絡します。

ピン配置およびピン機能の説明

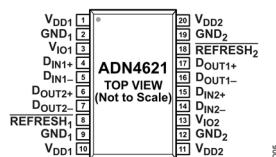
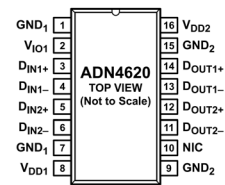


図 6. ADN4621 のピン配置、SSOP

表 19. ADN4621 SSOP のピン機能の説明

ピン番号	記号	説明
1, 10	V _{DD1}	サイド 1 用の 1.8V 電源。両方のピンを外部で接続し、0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
2, 9	GND ₁	グラウンド、サイド 1。
3	V _{IO1}	サイド 1 用の 3.3V 入出力電源。0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
4	D _{IN1+}	非反転差動入力 1。
5	D _{IN1-}	反転差動入力 1。
6	D _{OUT2+}	非反転差動出力 2。
7	D _{OUT2-}	反転差動出力 2。
8	REFRESH ₁	サイド 1 リフレッシュ機能用のアクティブ・ロー・イネーブル。リフレッシュをイネーブルして通常動作とするには GND ₁ と同じ PCB グラウンドに短絡し、リフレッシュをディスエーブルして低消費電力、低ジッタ、低ノイズの動作とするには電源を V _{DD1} に短絡します。
11, 20	V _{DD2}	サイド 2 用の 1.8V 電源。両方のピンを外部で接続し、0.1μF のコンデンサで隣接 GND ₂ ピンにバイパスします。
12, 19	GND ₂	グラウンド、サイド 2。
13	V _{IO2}	サイド 2 用の 3.3V 入出力電源。0.1μF のコンデンサで隣接 GND ₂ ピンにバイパスします。
14	D _{IN2-}	反転差動入力 2。
15	D _{IN2+}	非反転差動入力 2。
16	D _{OUT1-}	反転差動出力 1。
17	D _{OUT1+}	非反転差動出力 1。
18	REFRESH ₂	サイド 2 リフレッシュ機能用のアクティブ・ロー・イネーブル。リフレッシュをイネーブルして通常動作とするには GND ₂ と同じ PCB グラウンドに短絡し、リフレッシュをディスエーブルして低消費電力、低ジッタ、低ノイズの動作とするには電源を V _{DD2} に短絡します。

ピン配置およびピン機能の説明



NOTES
1. NIC = NOT INTERNALLY CONNECTED. ⓘ

図 7.ADN4620 のピン配置、SOIC_IC

表 20. ADN4620 SOIC_IC のピン機能の説明

ピン番号	記号	説明
1, 7	GND ₁	グラウンド、サイド 1。
2	V _{IO1}	サイド 1 用の 3.3V 入出力電源。0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
3	D _{IN1+}	非反転差動入力 1。
4	D _{IN1-}	反転差動入力 1。
5	D _{IN2+}	非反転差動入力 2。
6	D _{IN2-}	反転差動入力 2。
8	V _{DD1}	サイド 1 用の 1.8V 電源。0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
9, 15	GND ₂	グラウンド、サイド 2。
10	NIC	内部では未接続
11	D _{OUT2-}	反転差動出力 2。
12	D _{OUT2+}	非反転差動出力 2。
13	D _{OUT1-}	反転差動出力 1。
14	D _{OUT1+}	非反転差動出力 1。
16	V _{DD2}	サイド 2 用の 1.8V 電源。0.1μF のコンデンサで隣接 GND ₂ ピンにバイパスします。

ピン配置およびピン機能の説明

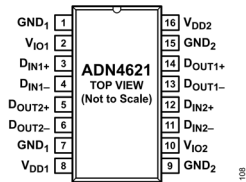


図 8.ADN4621 のピン配置、SOIC_IC

表 21. ADN4621 SOIC_IC のピン機能の説明

ピン番号	記号	説明
1, 7	GND ₁	グラウンド、サイド 1。
2	V _{IO1}	サイド 1 用の 3.3V 入出力電源。0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
3	D _{IN1+}	非反転差動入力 1。
4	D _{IN1-}	反転差動入力 1。
5	D _{OUT2+}	非反転差動出力 2。
6	D _{OUT2-}	反転差動出力 2。
8	V _{DD1}	サイド 1 用の 1.8V 電源。0.1μF のコンデンサで隣接 GND ₁ ピンにバイパスします。
9, 15	GND ₂	グラウンド、サイド 2。
10	V _{IO2}	サイド 2 用の 3.3V 入出力電源。0.1μF のコンデンサで隣接 GND ₂ ピンにバイパスします。
11	D _{IN2-}	反転差動入力 2。
12	D _{IN2+}	非反転差動入力 2。
13	D _{OUT1-}	反転差動出力 1。
14	D _{OUT1+}	非反転差動出力 1。
16	V _{DD2}	サイド 2 用の 1.8V 電源。0.1μF のコンデンサで隣接 GND ₂ ピンにバイパスします。

代表的な性能特性

特に指定のない限り、 $V_{DD1} = V_{DD2} = 1.8V$ 、 $T_A = 25^\circ C$ 、 $\overline{REFRESH_1} = GND_1$ 、 $\overline{REFRESH_2} = GND_2$ 、 $R_L = 100\Omega$ 、 $|V_{ID}| = 200mV$ の 1.25GHz クロック入力、 $V_{IC} = 1.2V$ 、 t_R および $t_F < 0.05ns$ 。

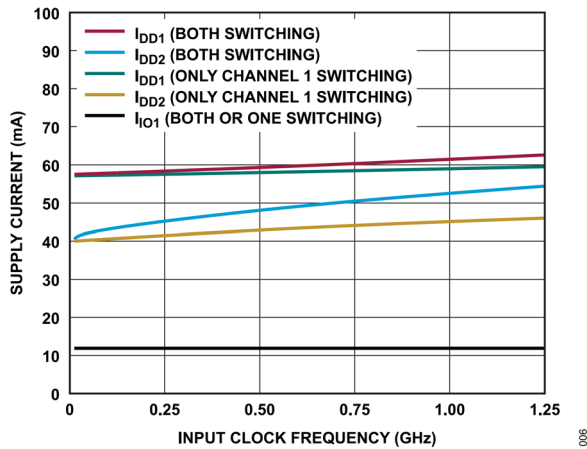


図 9. 電源電流と入力クロック周波数の関係、ADN4620

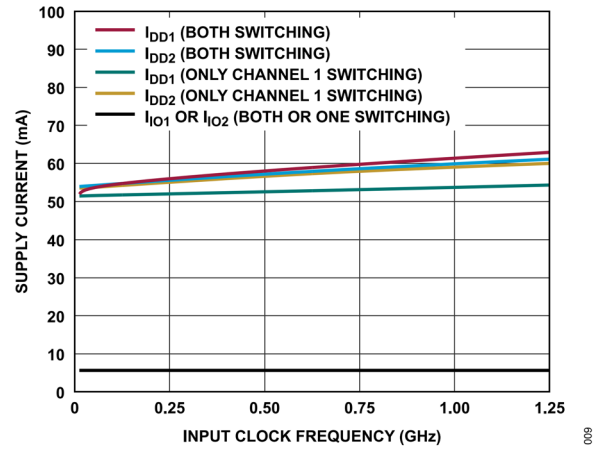


図 12. 電源電流と入力クロック周波数の関係、ADN4621

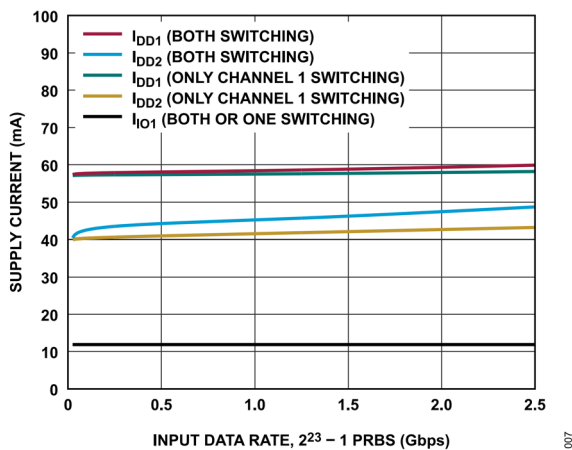
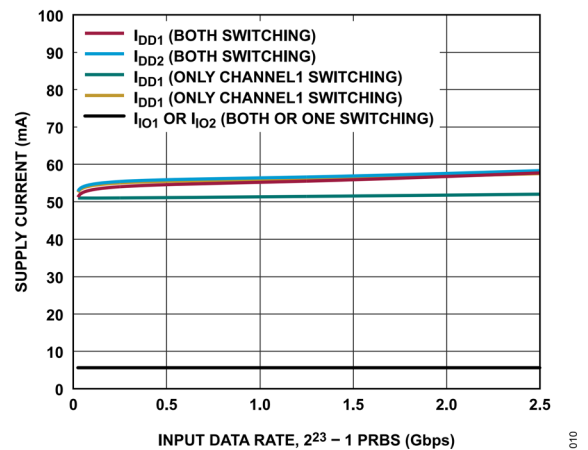
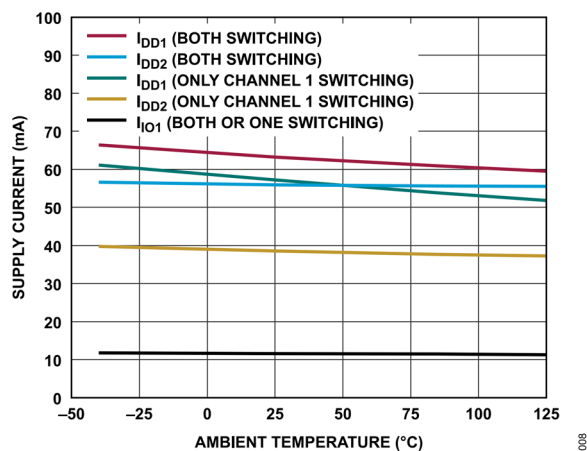
図 10. 電源電流と入力データ・レートの関係、 $2^{23} - 1$ PRBS、ADN4620図 13. 電源電流と入力データ・レートの関係、 $2^{23} - 1$ PRBS、ADN4621

図 11. 電源電流と周囲温度の関係、ADN4620

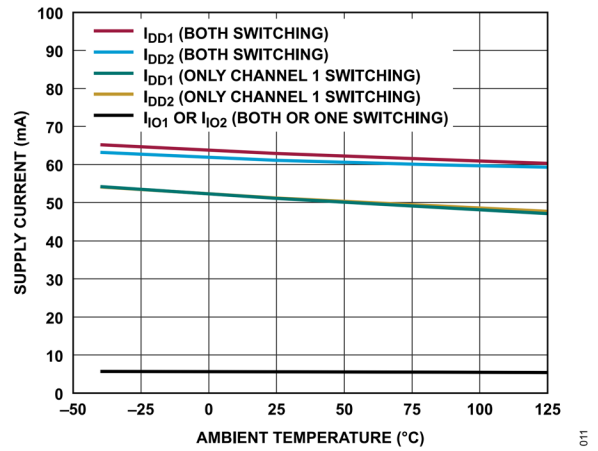


図 14. 電源電流と周囲温度の関係、ADN4621

代表的な性能特性

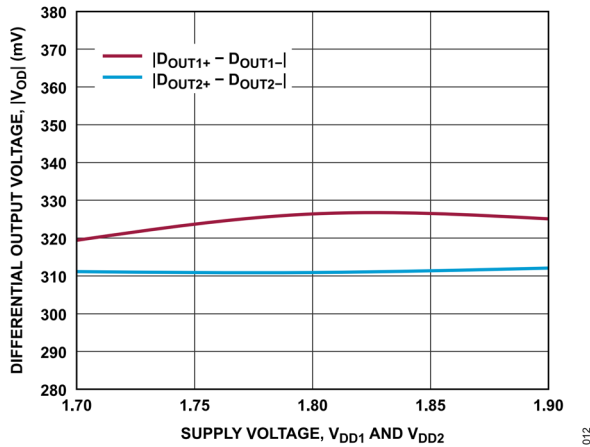
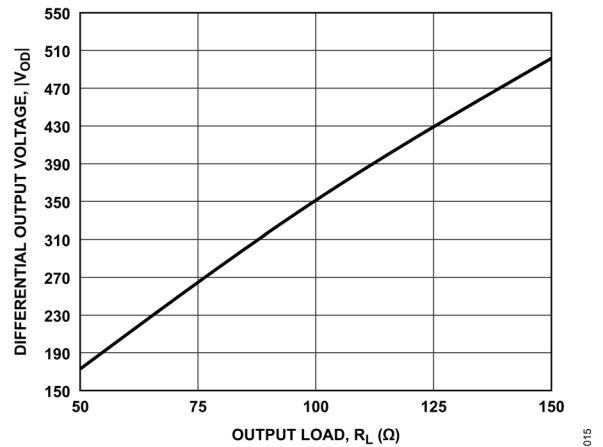
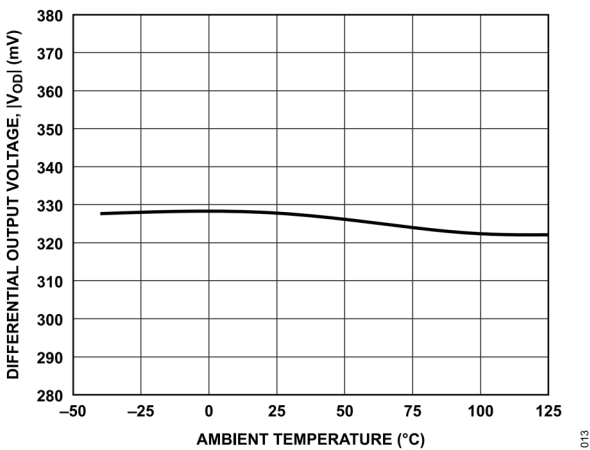
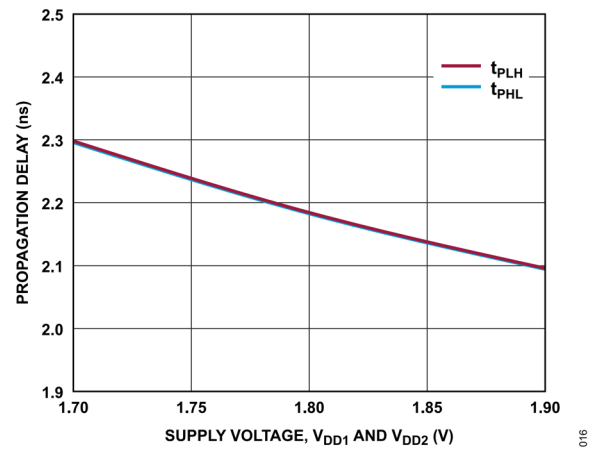
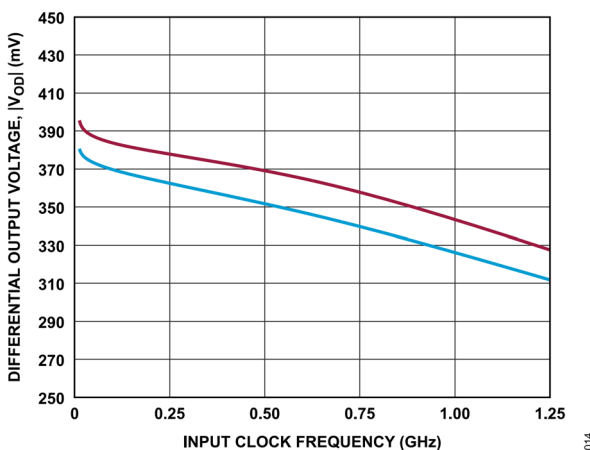
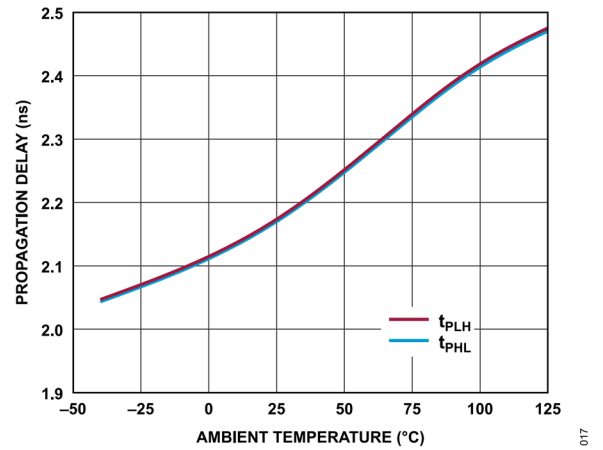
図 15. 差動出力電圧 $|V_{OD}|$ と電源電圧 V_{DD1} および V_{DD2} の関係図 18. 差動出力電圧 $|V_{OD}|$ と出力負荷 R_L (DC 入力) の関係図 16. 差動出力電圧 $|V_{OD}|$ と周囲温度の関係図 19. 伝搬遅延と電源電圧 V_{DD1} および V_{DD2} の関係図 17. 差動出力電圧 $|V_{OD}|$ と入力クロック周波数の関係

図 20. 伝搬遅延と周囲温度の関係

代表的な性能特性

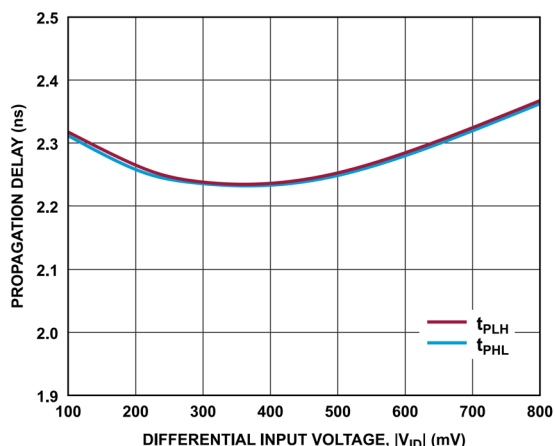


図 21. 伝搬遅延と差動入力電圧 $|V_{ID}|$ の関係

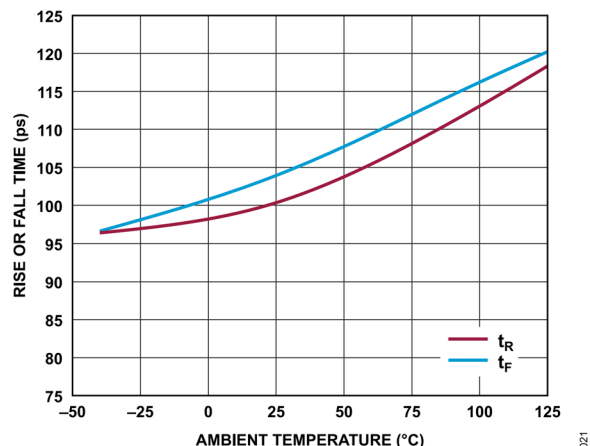


図 24. 立上がりまたは立下がり時間と周囲温度の関係

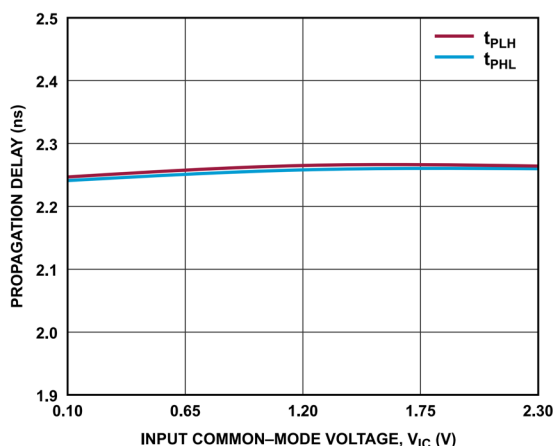


図 22. 伝搬遅延と入力コモンモード電圧 V_{IC} の関係

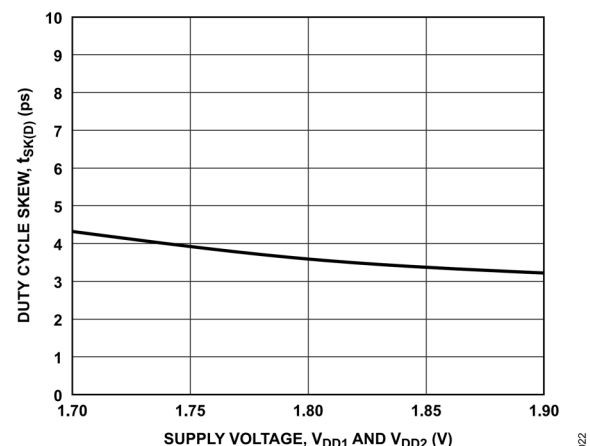


図 25. デューティ・サイクル・スキュー $t_{SK(D)}$ と電源電圧 V_{DD1} および V_{DD2} の関係

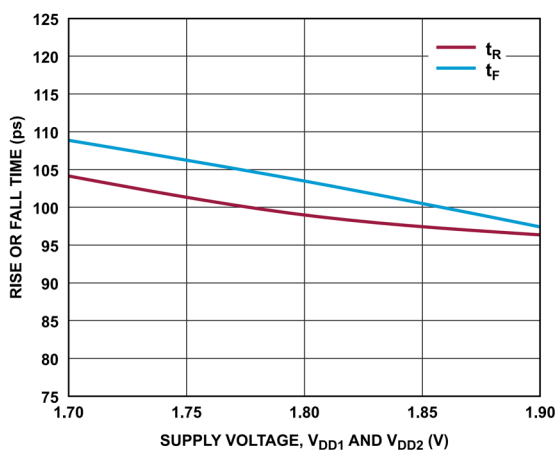


図 23. 立上がりまたは立下がり時間と電源電圧 V_{DD1} および V_{DD2} の関係

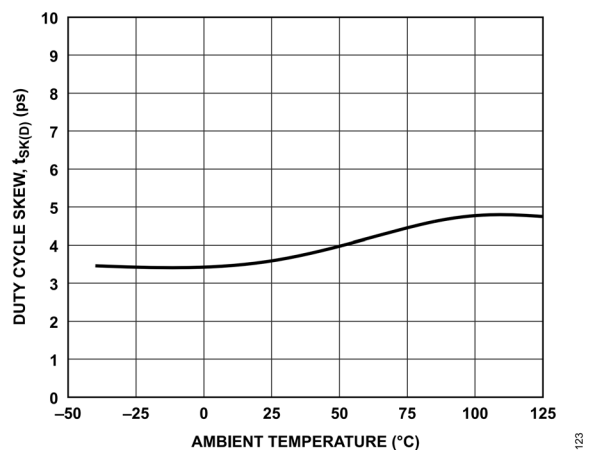


図 26. デューティ・サイクル・スキュー $t_{SK(D)}$ と周囲温度の関係

代表的な性能特性

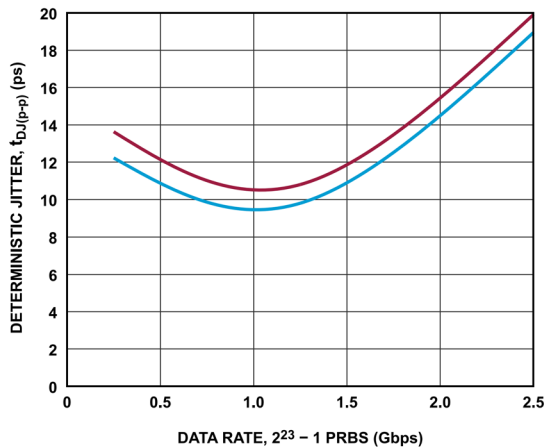


図 27. 確定的ジッタ $t_{DJ(p-p)}$ とデータ・レートの関係、 $2^{23}-1$ PRBS

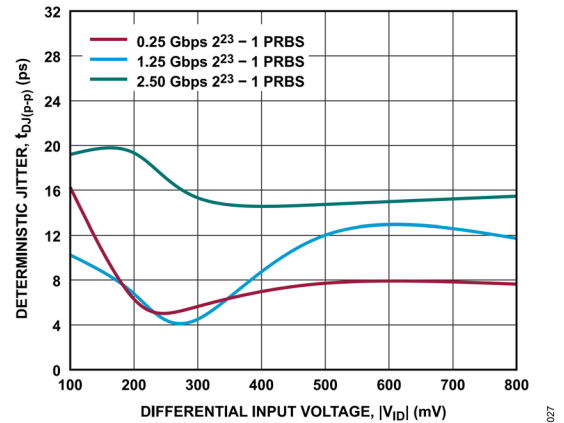


図 30. 確定的ジッタ $t_{DJ(p-p)}$ と差動入力電圧 $|V_{ID}|$ の関係

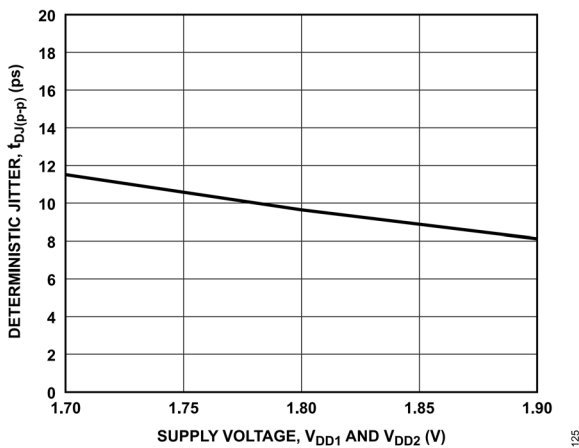


図 28. 確定的ジッタ $t_{DJ(p-p)}$ と電源電圧 V_{DD1} および V_{DD2} の関係

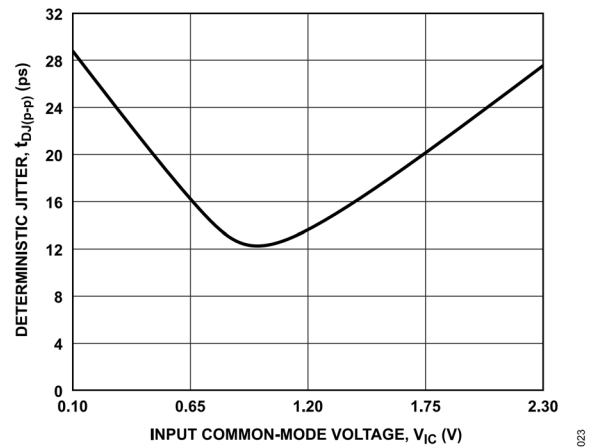


図 31. 確定的ジッタ $t_{DJ(p-p)}$ と入力コモンモード電圧 V_{IC} の関係

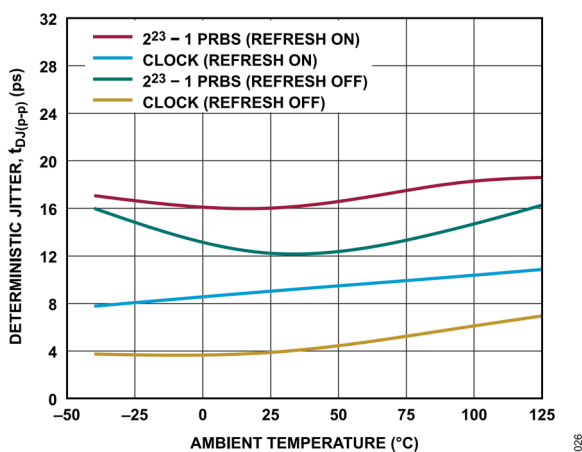


図 29. 確定的ジッタ $t_{DJ(p-p)}$ と周囲温度の関係

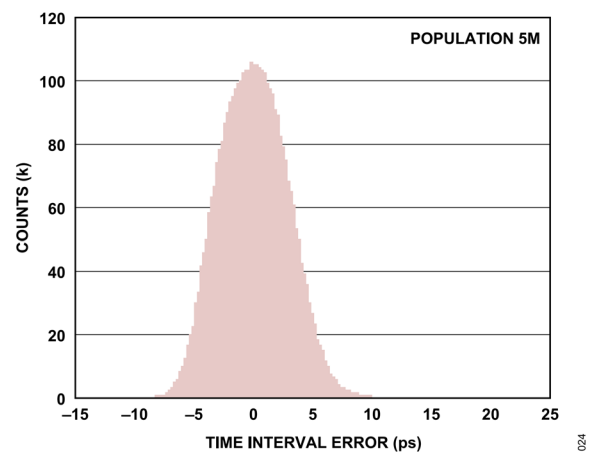
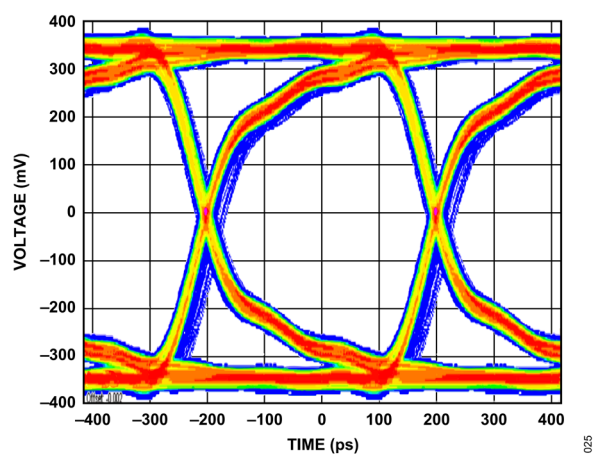


図 32. $D_{OUT1\pm}$ の時間間隔誤差 (TIE) のヒストグラム、1.25GHz

代表的な性能特性

図 33. D_{OUT1±}のアイ・ダイアグラム、1.25GHz

テスト回路とスイッチング特性

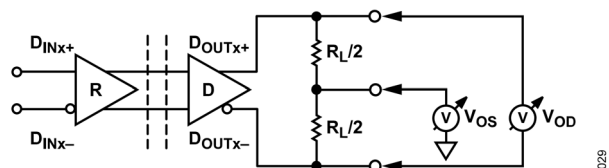
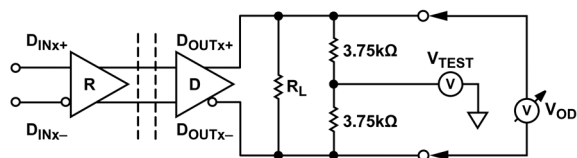
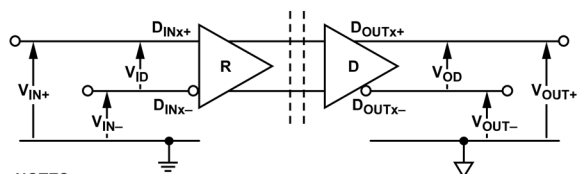


図 34. ドライバ・テスト回路



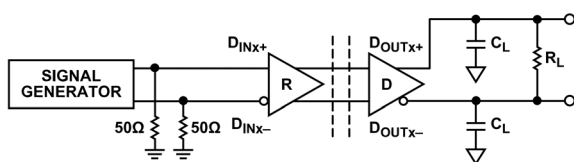
NOTES
1. $V_{TEST} = 0V$ TO $2.4V$

図 35. ドライバ・テスト回路（全コモンモード範囲で最大負荷）



NOTES
1. $V_{ID} = V_{IN+} - V_{IN-}$
2. $V_{IC} = (V_{IN+} + V_{IN-})/2$
3. $V_{OD} = V_{OUT+} - V_{OUT-}$
4. $V_{OS} = (V_{OUT+} + V_{OUT-})/2$

図 36. 電圧の定義



NOTES
1. C_L INCLUDES PROBE AND JIG CAPACITANCE.

図 37. タイミング・テスト回路

動作原理

ADN4620/ADN4621 は TIA/EIA-644-A に準拠した信号レベルで最大 2.5Gbps のスイッチングが可能な高速差動信号アイソレータです。これらのデバイスは、LVDS レシーバー入力に加えられた差動信号を絶縁バリア越しに反対側の出力へカップリングして、ビット・ストリームまたはクロックを LVDS として再送信します。この内蔵機能により、LVDS シグナル・チェーンのドロップイン絶縁や、CML などその他の信号の絶縁が可能です。

LVDS レシーバーは、LVDS 入力の終端抵抗の差動電圧を検出します。内蔵デジタル・アイソレータは絶縁バリア越しに入力状態を伝送し、LVDS ドライバは入力と同じ状態を出力します。

D_{INx+}ピンと対応する D_{INx-}ピン間にある終端抵抗に 100mV 以上の正の差動電圧が印加されている場合、対応する D_{OUTx+}ピンは電流をソースします。この電流は接続されている伝送ラインとバス遠端にあるレシーバーの終端に流れ、D_{OUTx-}ピンはリターン電流をシンクします。D_{INx±}ピンに -100mV 以下の負の差動電圧が印加されている場合、対応する D_{OUTx+}ピンは電流をシンクし、D_{OUTx-}ピンは電流をソースします。表 22 にこれらの入出力の組み合わせを示します。

出力駆動電流は ±2.5mA ~ ±4.5mA (代表値 ±3.1mA) で、100Ω の終端抵抗 (R_T) には ±250mV ~ ±450mV の電圧が発生します。受信電圧は 1.2V を中心とする電圧になります。差動電圧 (V_{ID}) は極性が逆になるので、R_T 両端のピーク to ピーク電圧振幅は差動電圧の大きさ (|V_{ID}|) の 2 倍になります。

絶縁とリフレッシュ

内蔵 LVDS レシーバーによって検出された入力状態の変化に対して、エンコーダ回路は内蔵トランスのコイルを使用して、狭いパルス (約 1ns) をデコーダ回路に送信します。デコーダは双安定なので、入力のロジック遷移を示すパルスによってセットまたはリセットされます。デコーダの状態は通常動作における LVDS ドライバの出力状態を決定し、これには絶縁型 LVDS バッファの入力状態も反映されます。

ADN4620/ADN4621 に通常動作をさせる場合は、SSOP モデルのアクティブ・ロー・イネーブル・ピン、REFRESH₁、REFRESH₂ が GND₁ ピンおよび GND₂ と同じ各 PCB グラウンドに短絡し、リフレッシュ機能を有効化します。この機能を有効化した場合、入力に遷移がない状態が約 1μs 以上続くと、出力 (該当する場合はフェイルセーフ出力状態を含む) の DC 精度を確保するために、適切な入力状態を示す一連の周期的なリフレッシュ・パルスが送られます。この機能は、SOIC_IC モデルでは常に有効化されています。

パワーアップ時に入力の遷移がない場合、出力の初期状態は正しくない DC 状態になっていることがあります。リフレッシュ・パルスにより、出力状態は 1μs 以内に補正されます。

デコーダが約 1μs 以上にわたり内部パルスを受け取らなかった場合、デバイスは入力側が通電されていないか機能していないとみなし、出力を正の差動電圧 (ロジック・ハイ) に設定します。

クロック、固定ビット・ストリーム、または誤り訂正機能を備えたプロトコルでは、リフレッシュ機能を必要としない場合があります。SSOP モデルで REFRESH₁ ピンと REFRESH₂ ピンが V_{DD1} ピンおよび V_{DD2} ピンと同じ各電源に短絡されている場合、リフレッシュ機能は無効化され、内部の反復信号がない低消費電力動作が可能になります (電動 EMI や放射 EMI を減らせる可能性があります)。この動作モードでは、パワーアップ後に出力状態を訂正する場合、またはコモンモード過渡耐圧仕様を超えるコモンモード過渡イベントの発生後に出力状態を訂正する場合は、入力におけるデータの新たな遷移が必要です。

真理値表

LVDS 規格 TIA/EIA-644-A では、入力差動電圧が +100mV 以上のロジック状態、および電圧が -100mV 以下のロジック状態の 2 つの条件下で通常のレシーバー動作を仕様規定しています。表 22 に示すように、これらの閾値の間における標準 LVDS レシーバーの動作は不定です (LVDS レシーバーはいずれかの状態を検出できます)。

表 22. 入出力動作

Input (D _{INx±})			Output (D _{OUTx±})		
Powered On	V _{ID} (mV)	Logic	Powered On	V _{OD} (mV)	Logic
Yes	≥100	High	Yes	≥250	High
Yes	≤-100	Low	Yes	≤-250	Low
Yes	-100 < V _{ID} < +100	Indeterminate	Yes	Indeterminate	Indeterminate
No	Don't care	Don't care	Yes	≥250	High

アプリケーション情報

PCB レイアウト

ADN4620/ADN4621 は、クロックが最大 1.25GHz の高速 LVDS 信号、または 2.5Gbps のノンリターン・ゼロ (NRZ) データで動作できます。このような高い周波数で動作させるには、LVDS パターン・レイアウトと終端を最適な方法で行う必要があります。D_{INX+} ピンと D_{INX-} ピン間のできるだけレシーバーに近い 100Ω の終端抵抗を配置します。

信号の完全性を確保し、システムのジッタを低減して PCB からの電磁干渉 (EMI) を最小限に抑えるには、LVDS 信号ラインを、制御されたインピーダンスのパターン (100Ω 差動) とする必要があります。パターンの幅、各パターン・ペアの間隔、すべてのパターン・ペアの下にあるグラウンド・プレーンへの距離も適切に選択する必要があります。ペア間の PCB グラウンドへのビア・シールドも、隣接するペア間のクロストークを最小限に抑えるのに最適な方法です。

SSOP パッケージの ADN4620/ADN4621 は、PCB スティッチング・コンデンサを組み込んだ (PCB 内層 2 と 3 をアイソレータ領域の下で重ね合わせた) 高速 PCB 設計を使用して最大 2.5Gbps の PRBS データで動作する場合、EN 55032 クラス B の放射制限に合格しています。同様に、SOIC_IC パッケージの ADN4620 は最大 2.1Gbps、SOIC_IC パッケージの ADN4621 は最大 0.9Gbps で、EN 55032 クラス B 放射制限に合格しています。システム設計によって、あるいは高速クロック用に絶縁する場合、クラス B 放射制限を十分に下回るために、その他の EMC 緩和手段が必要になる場合があります。

高速 PCB 設計を最適化すれば、高速 LVDS 信号を使用するパターンからの放射を抑えることができます。ただし、パターンがスイッチング・ノイズに対するアンテナとして機能してしまう場合には、特定の周波数での共振を避けるためにパターン長を変更できます。ボード外部との接続には特に注意を払ってください。この場合、高速 LVDS 信号 (および特にクロック) からのスイッチング・トランジェントがケーブルに流れて放射が発生することがあります。LVDS コネクタおよび電源の位置で共通モード・チョーク、フェライト、またはその他の適切なフィルタを使用すると共に、ケーブル・シールドやアースまたはシャーシへの PCB グラウンド接続を行ってください。

ADN4620/ADN4621 は、100nF のコンデンサで V_{DDX} ピンを適切にデカップリングする必要があります。また、高周波スイッチング・ノイズによる EMI 放射を避けるために、電源にも適切なフィルタリングを施す必要があります。

アプリケーション例

アナログ・フロントエンド (AFE)、プロセッサ間のシリアル通信、あるいはビデオおよびイメージング・データなどに用いられる高速 LVDS インターフェースは、部品間や PCB 間、またはケーブル・インターフェースに ADN4620/ADN4621 を使用して絶縁できます。

ADN4620/ADN4621 は、外部ポートの信頼性を高めるために必要な電氣的絶縁を実現します。また、これらのデバイスは低いジッタと高い駆動能力を備えており、数メートルの短いケーブルで通信できます。高い共通モード耐圧により、ノイズの多い過酷な環境でも通信の完全性を確保できます。また、絶縁により、ESD に対しては最大 ±7kV_{PEAK}、サージに対しては最大 ±6.25kV_{PEAK} の電磁両立性 (EMC) トランジェントから保護できます。

標準的な LVDS 入出力は、フィールド・プログラマブル・ゲート・アレイ (FPGA) または特定用途向け集積回路 (ASIC)、リドライバ、またはカップリング回路を使って、CML やその他の物理層へのインターフェースを取ることで、容易に高速シグナル・チェーンに組み込むことができます。

絶縁型 AFE アプリケーションは、部品間の LVDS インターフェースを絶縁する ADN4620/ADN4621 の一例です。図 38 に示すように、2 個の ADN4621 デバイスが、800Mbps のデータ、400MHz のエコー・クロック、15MHz のサンプル・クロックを含む、ADAQ23876 μmodule データ・アキュイジション・ソリューションの LVDS インターフェースを絶縁します。ADN4621 の増加位相ジッタは十分に低く、サンプル・クロックを絶縁する場合でも A/D コンバータ (ADC) の性能に影響を与えません。更に、電氣的絶縁を実装すると、FPGA/ASIC 回路からデジタル・ノイズと電源ノイズが除去されて ADC の性能が向上します。

PCB 間の接続、更にはケーブル・インターフェースでさえも、LVDS 信号を活用することで、低遅延同期データ転送を行う広帯域幅リンクを実現できます。シリアルライズされたギガビット・イーサネット接続は絶縁されて、イーサネットまたはマルチプロトコル・スイッチを堅牢にカスケード接続して、図 39 に示すように産業用コントローラ通信モジュールを実現できます。ADN4621 は、ノードごとに 2 ポートで 1.25Gbps の送受信信号を絶縁し、デジタイズチェーン回路を形成します。伝搬遅延は 2 ナノ秒をわずかに超えるだけであるため、産業用のオートメーションやプロセス制御に必要な低遅延を実現できます。

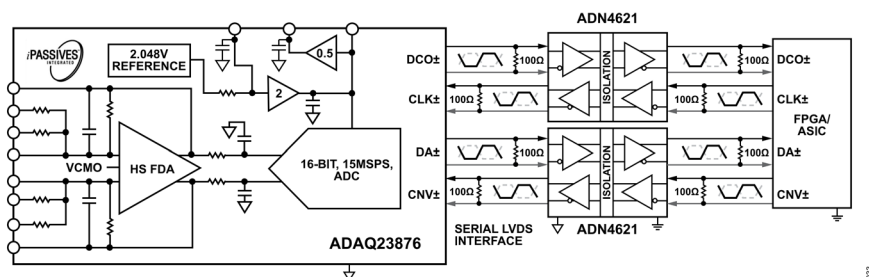


図 38. 絶縁型アナログ・フロントエンド実装の例 (ADN4621 を使用した絶縁型 ADAQ23876)

アプリケーション情報

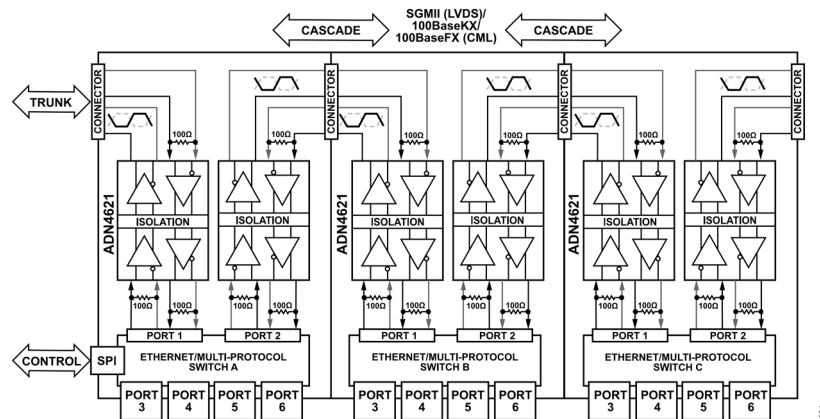


図 39. 絶縁型シリアル通信の例 (ADN4621 を用いてカスケード接続された絶縁型シリアル・ギガビット・イーサネット・スイッチ)

磁界耐性

デバイスの磁界耐性に関する限界は、トランスの受信側コイルに発生する誘導電圧がデコーダを誤ってセットまたはリセットしてしまうような大きくなる、という条件で設定されます。このような条件を以下の解析により求めます。ADN4620/ADN4621の中で最も磁界の影響を受けやすい動作モードは 1.7V の動作条件なので、これを使って解析を行います。

トランス出力におけるパルスの振幅は 0.35V を超えます。デコーダの検出閾値は約 0.11V なので、誘導電圧が許容されるマージンは 0.24V となります。

受信側コイルに発生する誘導電圧 (V) は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N \quad (1)$$

ここで、

$d\beta$ は磁束密度の変化、

dt は時間変化、

r_n は受信側コイルの巻き数 n 回目の半径、

N は受信側コイルの巻き数です。

ADN4620/ADN4621 の受信側コイルの形状と、誘導電圧がデコーダの閾値 0.11V の最大 50% という条件が与えられると、最大許容外部磁束密度を計算できます (図 40 を参照)。

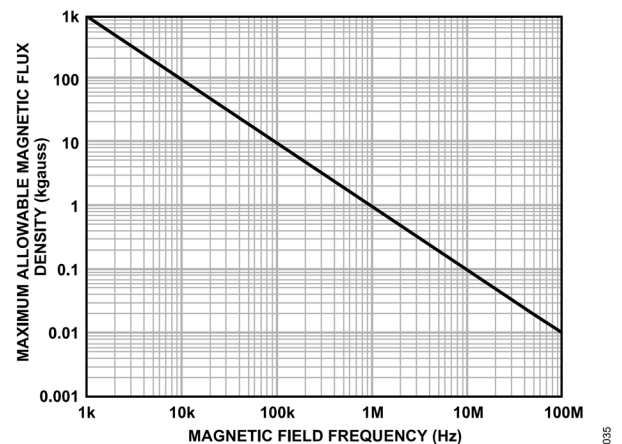


図 40. 最大許容外部磁束密度

例えば、磁界周波数 = 1MHz で、最大許容磁界 = 1.06kgauss の場合、受信側コイルの誘導電圧は 0.055V になります。この電圧は検出閾値の約 50% であるため、出力が誤って遷移することはありません。最も厳しい条件の極性により、送信パルスの途中で

アプリケーション情報

このような状況が発生すると、磁界によって受信パルスが0.35Vより大きい値から0.295Vに減少します。この電圧は、デコードの検出閾値である0.11Vよりも依然として高い値です。

前述の磁束密度値は、ADN4620/ADN4621のトランスから所定の距離だけ離れた位置での特定電流値に対応します。図41に、選択された距離に対する周波数の関数としての許容電流値を示します。ADN4620/ADN4621は外部磁界の影響をほとんど受けません。問題となる可能性があるのは、部品の近くの非常に大きい高周波電流だけです。ここに示す1MHzの例では、部品の動作に影響を与えるには、2.64kAの電流をADN4620/ADN4621から5mm離れた場所に配置する必要があります。

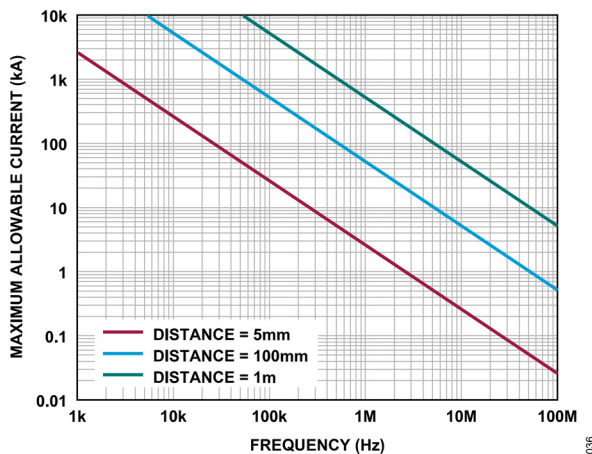


図 41. 電流と ADN4620/ADN4621 の間隔と最大許容電流の関係

強い磁界と高周波を組み合わせると、PCB パターンで形成されるループに十分大きな誘導電圧が誘導されて、後段回路の閾値を超えてトリガが発生する可能性があります。ループが形成されるような PCB 構造は避けてください。

絶縁寿命

すべての絶縁構造は、長時間にわたって電圧ストレスを加えると最終的には破壊されます。絶縁性能の低下率は、絶縁体に加える電圧波形の特性だけでなく、材料自体や材料の境界面にも依存します。

絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労という注目すべき 2 つのタイプがあります。表面の破壊は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件を決定する主要な要素となります。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたり絶縁の劣化が生じる現象です。

表面トラッキング

表面トラッキングは電気安全規格に規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離を定めるこ

とによって決定されます。安全性規制当局は、部品の表面絶縁について特性評価テストを行い、部品を様々な材料グループに分類します。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格に定められていて、絶縁バリアの両端にまたがる合計 rms 電圧、汚染度、材料グループに基づいています。表 4 に ADN4620/ADN4621 の材料グループと沿面距離を示します。

絶縁疲労

疲労による絶縁寿命は、絶縁材の厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

試験とモデリングにより、長期間にわたる性能低下の主要因は、増分型の損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスと、AC 成分の時間と共に変化する電圧ストレスに大別でき、前者は変位電流が存在しないためわずかな疲労しか発生させず、後者は疲労を発生させます。

認定ドキュメントに記載されている定格は、通常 60Hz の正弦波ストレスに基づいています。これは、正弦波にライン電圧からのアイソレーションが反映されるためです。ただし、多くの実用的なアプリケーションでは、60Hz の AC と絶縁バリアをまたぐ DC が組み合わせられています (式 2 を参照)。疲労を発生させるのはストレスの AC 部分だけなので、この式は AC の実効値電圧を求めるように変形することができます (式 3 を参照)。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC 実効値電圧によって製品寿命が決定されます。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (2)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (3)$$

ここで、

V_{RMS} は、合計動作電圧実効値、
 $V_{AC\ RMS}$ は、動作電圧の時間と共に変化する部分、
 V_{DC} は、動作電圧の DC オフセットです。

計算とパラメータ使用の例

一般的な電力変換アプリケーションの例を以下に示します。絶縁バリアの一方に 240Vac rms のライン電圧、もう一方に 400V dc のバス電圧がかかっているものとします。絶縁材料はポリイミドです。デバイスの沿面距離、クリアランス、および寿命を求

アプリケーション情報

める際のクリティカル電圧を決めるには、図 42 と以下の式を参照してください。

式 2 のバリアにかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (4)$$

$$V_{RMS} = \sqrt{240^2 + 400^2} \quad (5)$$

$$V_{RMS} = 466\text{ V}$$

この V_{RMS} 値は、システムの規格で要求される沿面距離を求める際に、材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分かどうかを判断するには、動作電圧の時間と共に変化する部分を求めます。AC 実効値電圧を求めるには、式 3 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (6)$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2} \quad (7)$$

$$V_{AC\ RMS} = 240\text{ V rms}$$

この場合、AC 実効値電圧は 240V rms のライン電圧です。この計算は、波形が正弦波でない場合は更に重要になります。表 14 は、この値と動作電圧の制限値を比較したときの期待寿命を示しています。表 14 に示す DC 動作電圧の制限値は、IEC 60664-1 の規定に準拠したパッケージの沿面距離によって設定されています。この値は、特定のシステム・レベル規格と異なる場合があります。

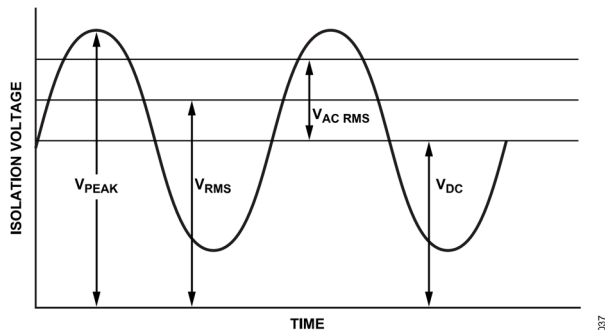


図 42. クリティカル電圧の例

外形寸法

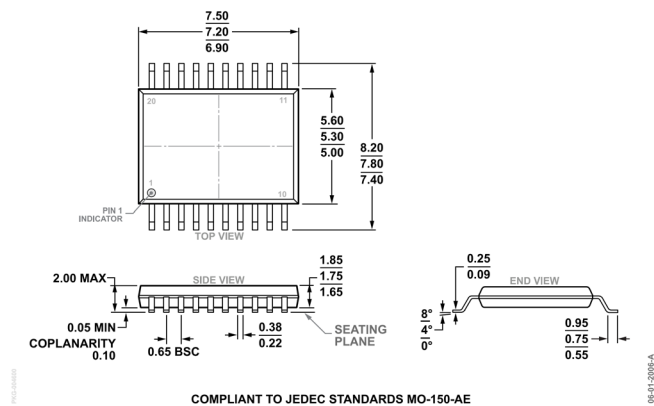


図 43.20 ピン・シュリンク・スモール・アウトライン・パッケージ [SSOP]
(RS-20)
寸法：mm

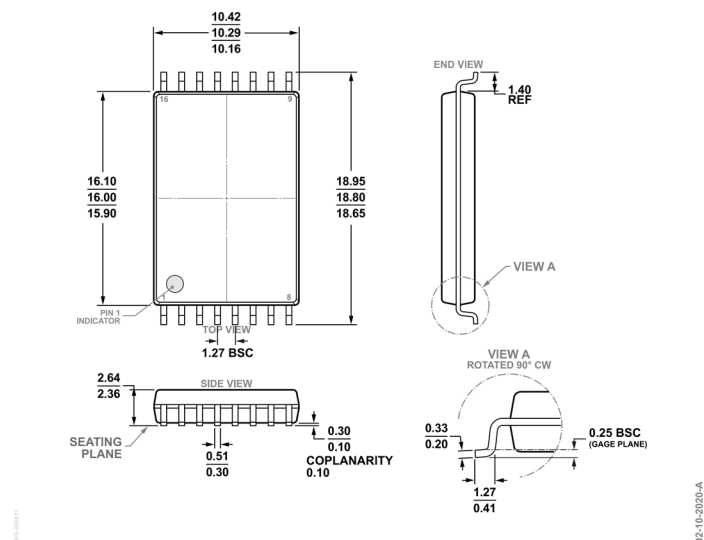


図 44. 沿面距離 15.1mm の 16 ピン標準スモール・アウトライン・パッケージ [SOIC_IC]
ワイド・ボディ
(RI-16-3)
寸法：mm

更新：2022 年 9 月 1 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADN4620BRIZ	-40°C to +125°C	SOIC INCREASED CREEPAGE		RI-16-3
ADN4620BRIZ-RL	-40°C to +125°C	SOIC INCREASED CREEPAGE	Reel, 500	RI-16-3
ADN4620BRSZ	-40°C to +125°C	20-Lead SSOP		RS-20
ADN4620BRSZ-RL	-40°C to +125°C	20-Lead SSOP	Reel, 1500	RS-20
ADN4621BRIZ	-40°C to +125°C	SOIC INCREASED CREEPAGE		RI-16-3
ADN4621BRIZ-RL	-40°C to +125°C	SOIC INCREASED CREEPAGE	Reel, 500	RI-16-3
ADN4621BRSZ	-40°C to +125°C	20-Lead SSOP		RS-20
ADN4621BRSZ-RL	-40°C to +125°C	20-Lead SSOP	Reel, 1500	RS-20

¹ Z = RoHS 準拠製品。

外形寸法

評価用ボード

表 23.

Model ¹	Description
EVAL-ADN4620EBZ	ADN4620 SSOP Evaluation Board
EVAL-ADN4621EBZ	ADN4621 SSOP Evaluation Board

¹ Z = RoHS 準拠製品。