



2GHz~18GHz デジタル調整可能な ハイパス・フィルタおよび ローパス・フィルタ

データシート

ADMV8818

特長

デジタル調整可能な数オクターブのハイパス調整および
ローパス調整
最大 4GHz の帯域幅に対応する独立した 3dB 周波数制御
最適な広帯域除去: 35dB
ディスクリット・フィルタ・バンクに代わるシングル・
チップ・ソリューション
コンパクト 9mm × 9mm、56 端子 LGA パッケージ

アプリケーション

試験装置および計測装置
防衛用レーダー、電子戦、電子対抗手段
衛星通信および宇宙
工業用および医療用機器

概要

ADMV8818 は、動作周波数をデジタルで選択可能な完全にモノリシックのマイクロ波集積回路 (MMIC) です。このデバイスは、周波数範囲が 2GHz~18GHz の個別に制御された 4 つのハイパス・フィルタ (HPF) および個別に制御された 4 つのローパス・フィルタ (LPF) を特長としています。

ADMV8818 の柔軟なアーキテクチャにより、ハイパス・フィルタおよびローパス・フィルタの 3dB カットオフ周波数 (f_{3dB}) を個別に制御して、最大 4GHz の帯域幅を生成できます。各フィルタのデジタル・ロジック制御は 4 ビット幅 (16 の状態) で、内蔵リアクタンス素子を制御して f_{3dB} の調整を行います。挿入損失の代表値は 9dB、広帯域除去は 35dB です。これは、システムの高調波を最小限に抑えるのに最適です。

このチューナブル・フィルタは、大きなスイッチド・フィルタ・バンクやキャビティ調整済みフィルタに代わる小型のフィルタとして使用することが可能です。高度な通信アプリケーションにおいてダイナミックな調整が可能なソリューションを提供します。

機能ブロック図

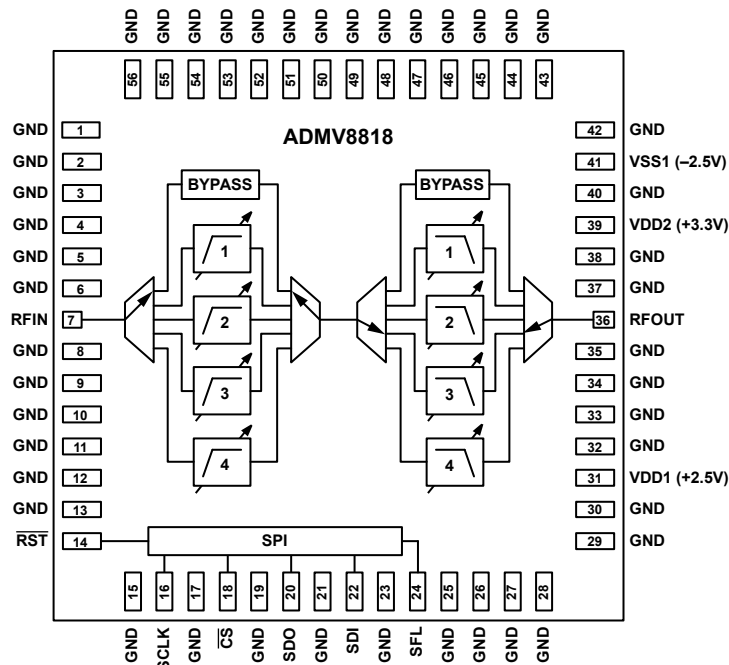


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	SPI 構成	15
アプリケーション	1	RF 接続	15
概要	1	モード選択	15
機能ブロック図	1	SPI 書込みモード	16
改訂履歴	2	スイッチ位置	16
仕様	3	スイッチ設定	16
タイミング仕様	5	フィルタ設定	16
絶対最大定格	7	書込みグループの優先度	16
静電放電 (ESD) 定格	7	周波数の用語	16
ESD に関する注意	7	SPI 高速ラッチ・モード	16
ピン配置およびピン機能の説明	8	チップ・リセット	17
代表的な性能特性	9	アプリケーション情報	18
4GHz の一定帯域幅データ	9	PCB 設計ガイドライン	18
ボード損失とバイパス構成データ	11	プログラミングのフローチャート	19
HPF および LPF 構成	12	レジスタの一覧	20
動作原理	14	レジスタの詳細	27
チップのアーキテクチャ	14	外形寸法	36
調整可能なハイパス・フィルタ	14	オーダー・ガイド	36
調整可能なローパス・フィルタ	15		

改訂履歴

12/2020—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
FREQUENCY RANGE ($f_{3\text{dB}}$)					3dB カットオフ
Bypass Configuration	2		18	GHz	
HPF 1					
State 0		1.75		GHz	
State 15		3.55		GHz	
HPF 2					
State 0		3.40		GHz	
State 15		7.25		GHz	
HPF 3					
State 0		6.60		GHz	
State 15		12.00		GHz	
HPF 4					
State 0		12.50		GHz	
State 15		19.90		GHz	
LPF 1					
State 0		2.05		GHz	
State 15		3.85		GHz	
LPF 2					
State 0		3.35		GHz	
State 15		7.25		GHz	
LPF 3					
State 0		7.00		GHz	
State 15		13.00		GHz	
LPF 4					
State 0		12.55		GHz	
State 15		18.85		GHz	
INSERTION LOSS					
Bypass Configuration					
2 GHz		-3.2		dB	
10 GHz		-4.4		dB	
18 GHz		-6.0		dB	
2 GHz to 6 GHz		-7.3		dB	HPF1 状態 2 および LPF2 状態 11
6 GHz to 10 GHz		-8.6		dB	HPF2 状態 11 および LPF3 状態 8
10 GHz to 14 GHz		-11.8		dB	HPF3 状態 10 および LPF4 状態 5
14 GHz to 18 GHz		-14.6		dB	HPF4 状態 5 および LPF4 状態 13
BANDWIDTH (3 dB)					より多くの挿入損失を許容すれば、より小さな帯域幅が可能
2 GHz to 10 GHz		0.5 to 4		GHz	
10 GHz to 18 GHz		1 to 4		GHz	
RESOLUTION					フィルタあたり 4 ビット (LPF および HPF)
HPF 1		0.12		GHz	
HPF 2		0.26		GHz	
HPF 3		0.36		GHz	
HPF 4		0.49		GHz	
LPF 1		0.12		GHz	
LPF 2		0.26		GHz	
LPF 3		0.40		GHz	
LPF 4		0.42		GHz	

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
WIDEBAND REJECTION FREQUENCY OFFSET					35dB 除去で測定
HPF 1					
State 0		-0.65		ΔGHz	
State 15		-1.25		ΔGHz	
HPF 2					
State 0		-0.85		ΔGHz	
State 15		-2.00		ΔGHz	
HPF 3					
State 0		-1.15		ΔGHz	
State 15		-1.90		ΔGHz	
HPF 4					
State 0		-2.35		ΔGHz	
State 15		-3.10		ΔGHz	
LPF 1					
State 0		0.70		ΔGHz	
State 15		1.00		ΔGHz	
LPF 2					
State 0		0.90		ΔGHz	
State 15		1.50		ΔGHz	
LPF 3					
State 0		2.30		ΔGHz	
State 15		3.20		ΔGHz	
LPF 4					
State 0		2.50		ΔGHz	
State 15		3.95		ΔGHz	
RE-ENTRY FREQUENCY		32		GHz	≤35dB
RETURN LOSS		10		dB	
DYNAMIC PERFORMANCE					
Input Power for 0.1 dB Compression (P0.1dB)		18		dBm	入力電力 (P _{IN}) ¹ = トーンあたり 5dBm
Input Third-Order Intercept (IP3)		45		dBm	
Group Delay Flatness		<0.8		ns	静的挿入損失の≤1dB 以内 静的挿入フェーズの≤2° 以内
Amplitude Settling Time		1		μs	
Phase Settling Time		2		μs	
Drift Rate					
Amplitude		-0.018		dB/°C	8GHz 時
Frequency		-100		ppm/°C	6GHz～10GHz の一定帯域幅の状態
RESIDUAL PHASE NOISE					
At 1 MHz Offset		165		dBc/Hz	
SUPPLY VOLTAGE					
VSS1	-2.6	-2.5	-2.4	V	
VDD1	2.4	2.5	2.6	V	
VDD2	3.2	3.3	3.4	V	
SUPPLY CURRENT (STATIC)					
VSS1	-50			μA	
VDD1			200	μA	
VDD2			50	μA	
SUPPLY CURRENT (DYNAMIC)					
VDD2		f _{SCLK} /2		mA	ここで、f _{SCLK} は MHz 単位の SCLK トグル周波数です。例えば、10MHz での連続 SPI 書き込みにより、5mA の動的電源電流が得られます。

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
LOGIC (RST, $\overline{CS}$, SCLK, SDI, SDO, SFL)					
Logic Low	-0.3	0	+0.8	V	
Logic High	1.2	3.3	3.6	V	

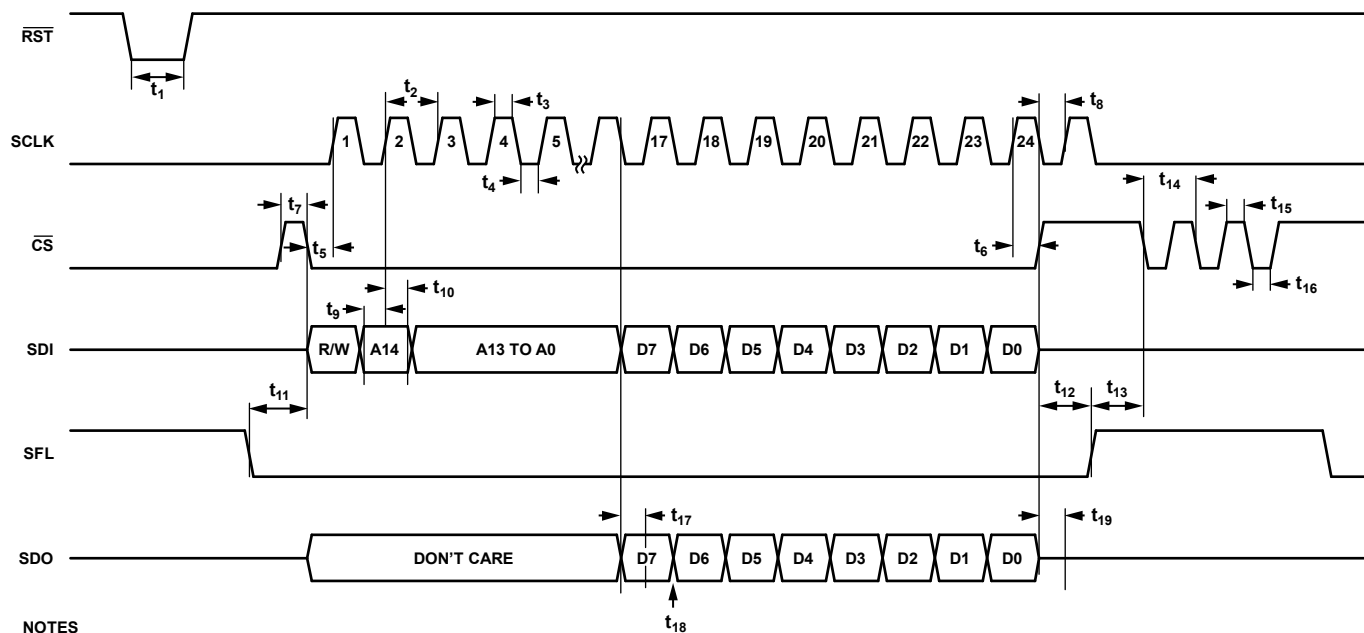
¹ 挿入損失が-20dB 未満の場合、 P_{IN} = トーンあたり 8dBm。

タイミング仕様

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
t_1	10			ns	リセットを実行するための $\overline{RST}$ のロー時間
	10			ns	SCLK のサイクル時間（書込み）
t_2	20			ns	SCLK のサイクル時間（読出し）
t_3	2.5			ns	SCLK のハイ時間
t_4	2.5			ns	SCLK のロー時間
t_5	5			ns	$\overline{CS}$ の立下がりエッジから SCLK の立上がりエッジまでのセットアップ時間
t_6	2			ns	SCLK 立上がりエッジから $\overline{CS}$ ホールドまでの時間
t_7	5			ns	データをラッチするための $\overline{CS}$ の最小ハイ時間（複数の SPI トランザクションの場合）
t_8	5			ns	$\overline{CS}$ 立上がりエッジから次の SCLK 立上がりエッジ無視までの時間
t_9	5			ns	SDI データのセットアップ時間
t_{10}	2			ns	SDI データのホールド時間
t_{11}	10			ns	SFL 立下がりエッジ（SFL モードを終了）から $\overline{CS}$ 立下がりエッジ（SPI トランザクションの開始）までの時間
t_{12}	10			ns	$\overline{CS}$ 立上がりエッジ（SPI トランザクションの終了）から SFL 立上がりエッジ（SFL モードに入る）までの時間
t_{13}	10			ns	SFL 立上がりエッジから $\overline{CS}$ 立下がりエッジまでの時間
t_{14}	10			ns	$\overline{CS}$ のサイクル時間（SFL モード）
t_{15}	2.5			ns	$\overline{CS}$ のハイ時間（SFL モード）
t_{16}	2.5			ns	$\overline{CS}$ のロー時間（SFL モード）
t_{17}		6		ns	SCLK 立下がりエッジから SDO が有効になるまでの時間（負荷容量 (C_L) = 10pF）
t_{18}		5		ns	SDO の立上がり時間と立下がり時間 (C_L = 10pF)
t_{19}		4		ns	$\overline{CS}$ 立上がりエッジから SDO トライステートまでの時間 (C_L = 10pF)

タイミング図



NOTES

1. FOR READ OPERATION THE DATA BITS ON SDI ARE DON'T CARES.

図 2. タイミング図

25603-103

絶対最大定格

表 3.

Parameter	Rating
SUPPLY	
VDD1	−0.3 V to +2.8 V
VDD2	−0.3 V to +3.6 V
VSS1	−3.6 V to +0.3 V
Digital Control Inputs	
Voltage	−0.3 V to VDD2 + 0.3 V
Current	2 mA
RF Input Power ¹	20 dBm
Temperature	
Operating Range	−55°C to +105°C
Storage Range	−65°C to +150°C
Junction to Maintain 1,000,000 Hours Mean Time to Failure (MTTF)	135°C
Nominal Junction (T _{PADBLE} = 85°C)	90°C
Moisture Sensitivity Level (MSL) Rating	MSL3

¹ 1GHz を超える周波数で有効な最大 RF 入力電力。入射信号がこの周波数未満の場合、アナログ・デバイスズにご連絡のうえ、ご使用事例のシナリオについてお尋ねください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 に準拠した電場誘起デバイス帯電モデル（FICDM）。

ADMV8818 の ESD 定格

表 4. ADMV8818、56 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
FICDM	250	C3

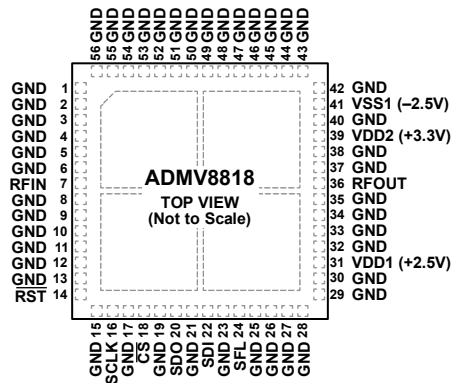
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND.

28603-102

図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1 to 6, 8 to 13, 15, 17, 19, 21, 23, 25 to 30, 32 to 35, 37, 38, 40, 42 to 56	GND	グラウンド。これらの GND ピンを RF および DC グラウンドに接続します。
7	RFIN	RF 入力ピン。RFIN は DC カップリングされ、50Ω に整合されています。RFIN には外部電圧をかけないでください。
14	$\overline{\text{RST}}$	チップ・リセット。3.3V ロジック。アクティブ・ロー。 $\overline{\text{RST}}$ ピンは、内部で 260kΩ の抵抗でハイにプルアップされています。
16	SCLK	シリアル・ペリフェラル・インターフェース (SPI) クロック。3.3V ロジック。SCLK ピンは、内部で 260kΩ の抵抗でローにプルダウンされています。
18	$\overline{\text{CS}}$	SPI チップ・セレクト。3.3V ロジック。アクティブ・ロー。 $\overline{\text{CS}}$ ピンは、内部で 260kΩ の抵抗でローにプルダウンされています。
20	SDO	SPI データ出力。3.3V ロジック。SDO ピンは、内部で 260kΩ の抵抗でローにプルダウンされています。
22	SDI	SPI データ入力。3.3V ロジック。SDI ピンは、内部で 260kΩ の抵抗でローにプルダウンされています。
24	SFL	SPI 高速ラッチ・イネーブル。3.3V ロジック。SFL をハイに設定すると、 $\overline{\text{CS}}$ の各立上がりエッジでのフィルタ状態の高速ラッチを有効化します。SFL がこのモードにある間、SCLK、SDO、および SDI ピンはアクティブではありません。SFL ピンは、内部で 260kΩ の抵抗でローにプルダウンされています。
31	VDD1	2.5V 電源ピン。0.1μF と 100pF のデカップリング・コンデンサを VDD1 の近くに配置してください。
36	RFOUT	RF 出力ピン。RFOUT は DC カップリングされ、50Ω に整合されています。RFOUT には外部電圧をかけないでください。
39	VDD2	3.3V 電源ピン。0.1μF と 100pF のデカップリング・コンデンサを VDD2 の近くに配置してください。
41	VSS1	-2.5V 電源ピン。0.1μF と 100pF のデカップリング・コンデンサを VSS1 の近くに配置してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

代表的な性能特性

4GHz の一定帯域幅データ

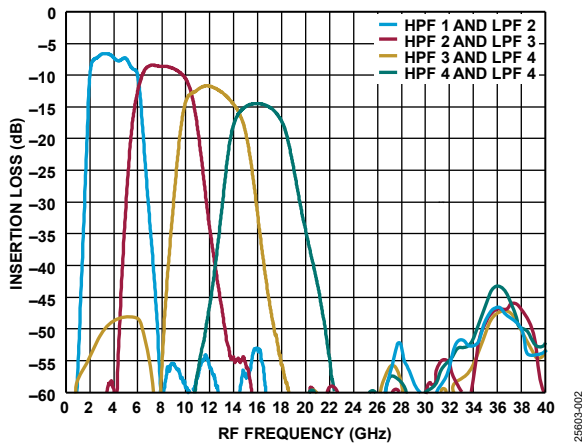


図 4. 4GHz の一定帯域幅での挿入損失と RF 周波数の関係

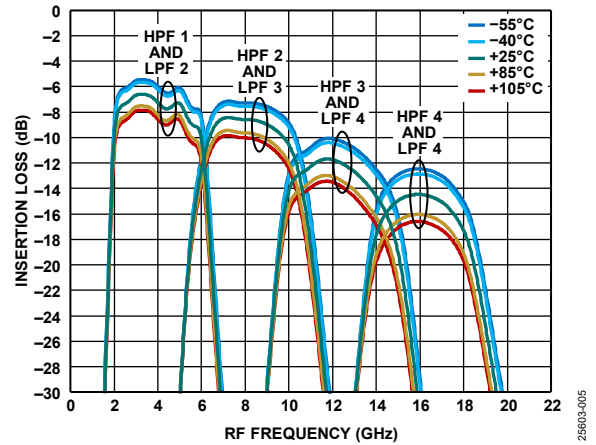


図 7. 4GHz の一定帯域幅および様々な温度での挿入損失と RF 周波数の関係

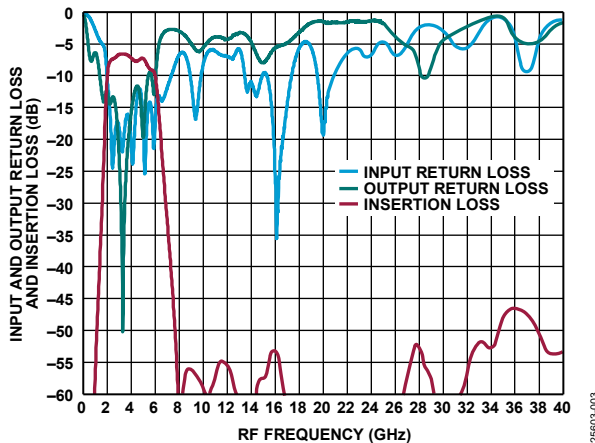


図 5. 入出力のリターン損失および挿入損失と RF 周波数の関係、4GHz の一定帯域幅での HPF1 および LPF2 帯域幅

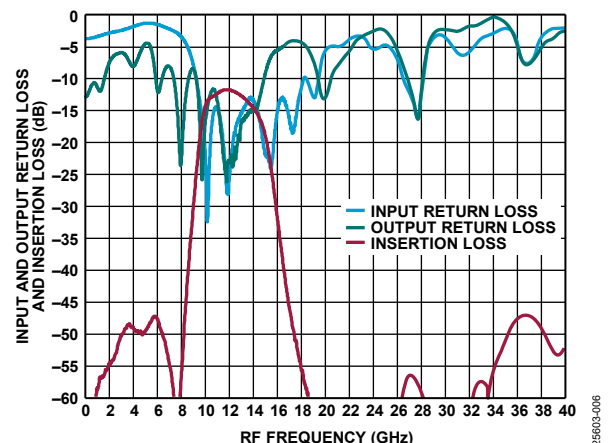


図 8. 入出力のリターン損失および挿入損失と RF 周波数の関係、4GHz の一定帯域幅での HPF3 および LPF4 帯域幅

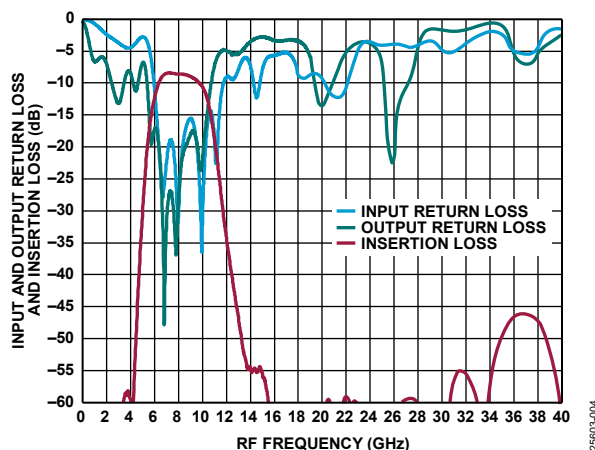


図 6. 入出力のリターン損失および挿入損失と RF 周波数の関係、4GHz の一定帯域幅での HPF2 および LPF3 帯域幅

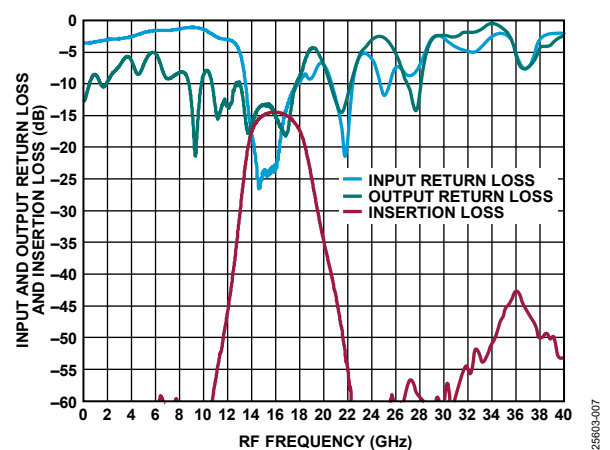


図 9. 入出力のリターン損失および挿入損失と RF 周波数の関係、4GHz の一定帯域幅での HPF4 および LPF4 帯域幅

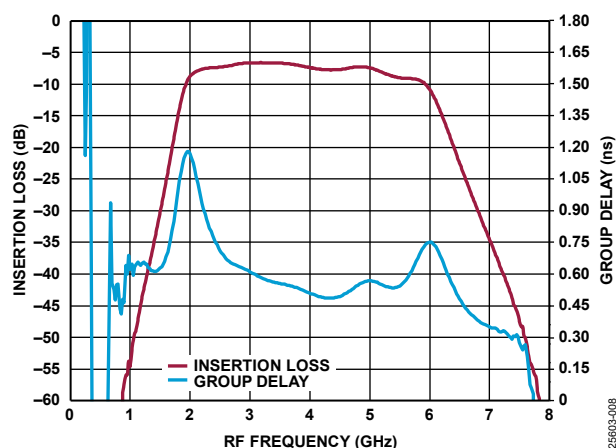


図 10. 挿入損失および群遅延と RF 周波数の関係、4GHz の一定帯域幅での HPF1 および LPF2

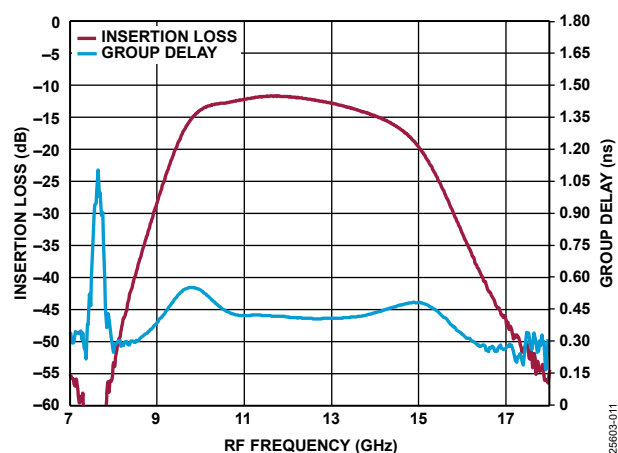


図 13. 挿入損失および群遅延と RF 周波数の関係、4GHz の一定帯域幅での HPF3 および LPF4

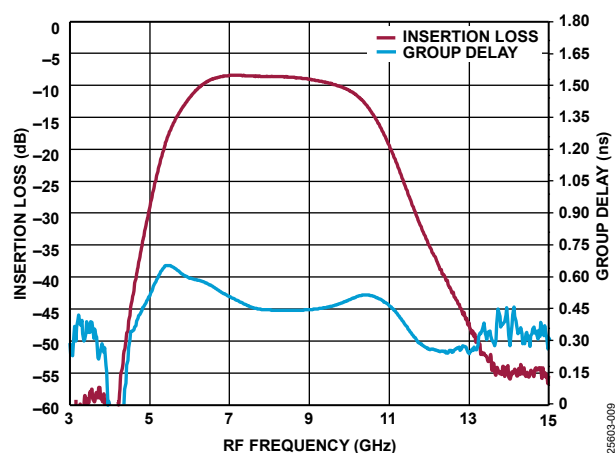


図 11. 挿入損失および群遅延と RF 周波数の関係、4GHz の一定帯域幅での HPF2 および LPF3

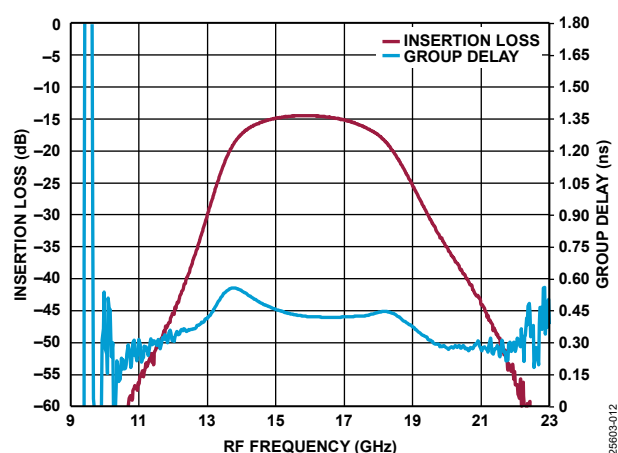


図 14. 挿入損失および群遅延と RF 周波数の関係、4GHz の一定帯域幅での HPF4 および LPF4

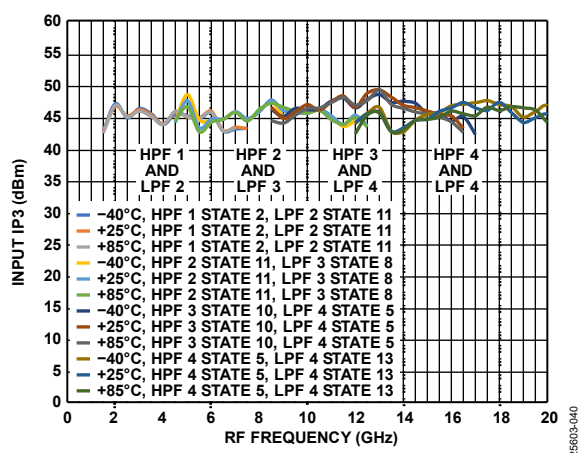


図 12. 様々な温度での入力 IP3 と RF 周波数の関係、様々な温度での 4GHz、3dB 帯域幅構成

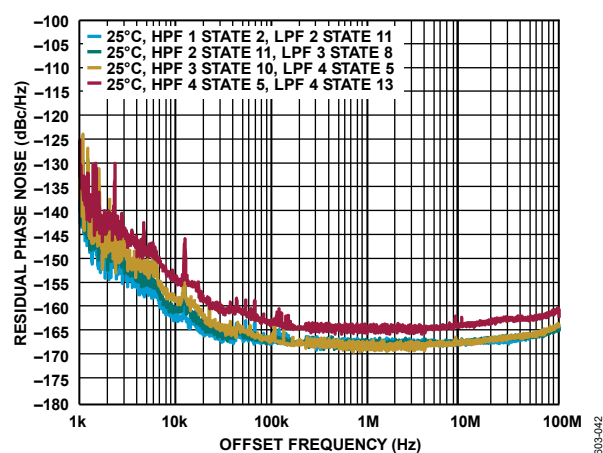


図 15. 残留位相ノイズとオフセット周波数の関係

ボード損失とバイパス構成データ

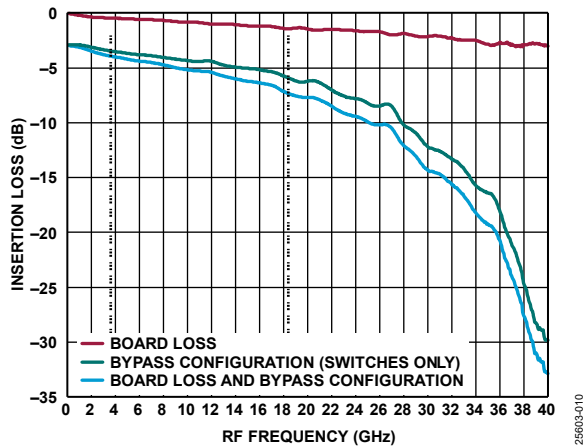


図 16. ボード損失とバイパス構成に対する挿入損失と RF 周波数の関係

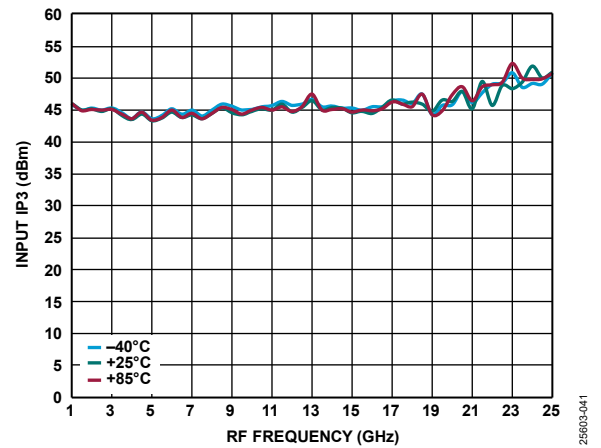


図 18. 様々な温度に対する入力 IP3 と RF 周波数の関係、バイパス構成

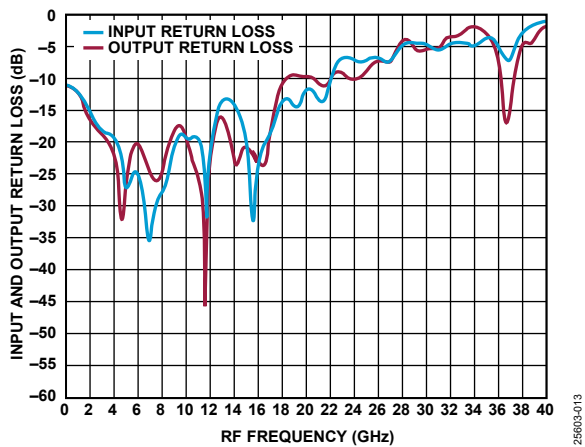


図 17. バイパス構成での入出力リターン損失と RF 周波数の関係

HPF および LPF 構成

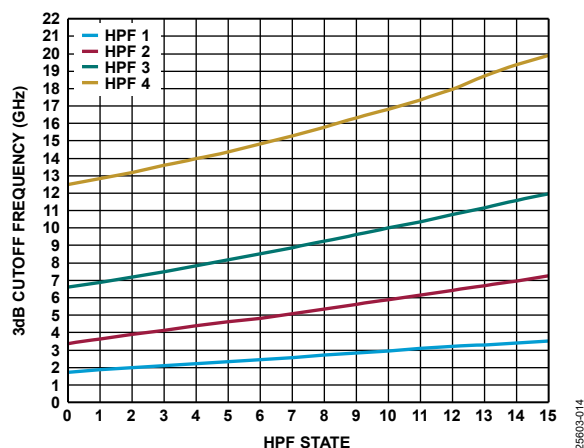


図 19. 3dB カットオフ周波数と HPF 状態の関係、HPF 構成

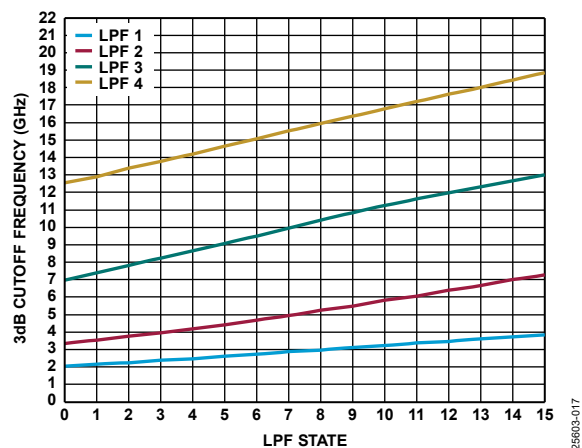


図 22. 3dB カットオフ周波数と LPF 状態の関係、LPF 構成

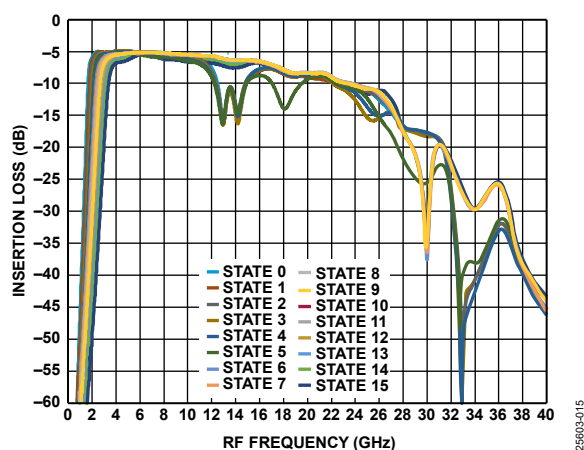


図 20. 挿入損失と RF 周波数の関係、
HPF1 構成で HPF 状態を掃引

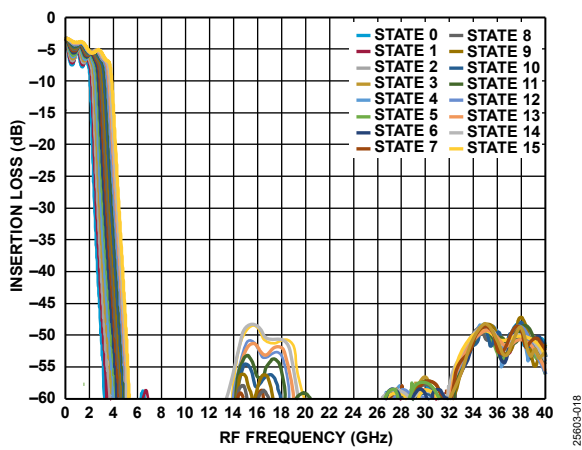


図 23. 挿入損失と RF 周波数の関係、
LPF1 構成で LPF 状態を掃引

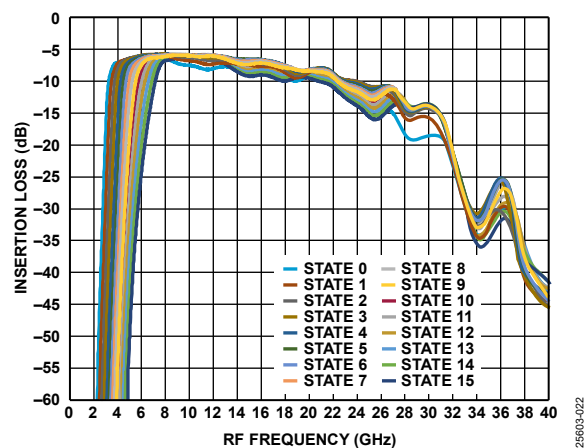


図 21. 挿入損失と RF 周波数の関係、
HPF2 構成で HPF 状態を掃引

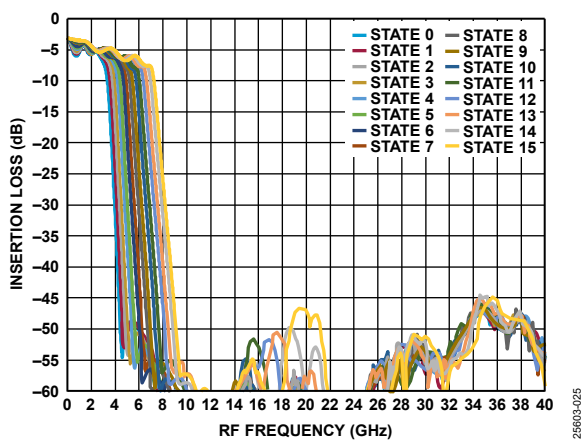


図 24. 挿入損失と RF 周波数の関係、
LPF2 構成で LPF 状態を掃引

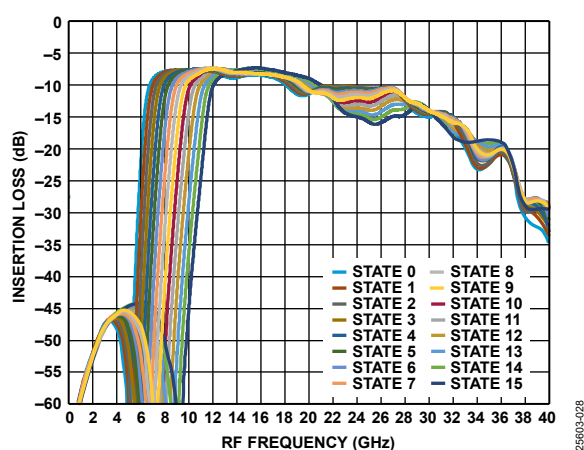


図 25. 挿入損失と RF 周波数の関係、
HPF3 構成で HPF 状態を掃引

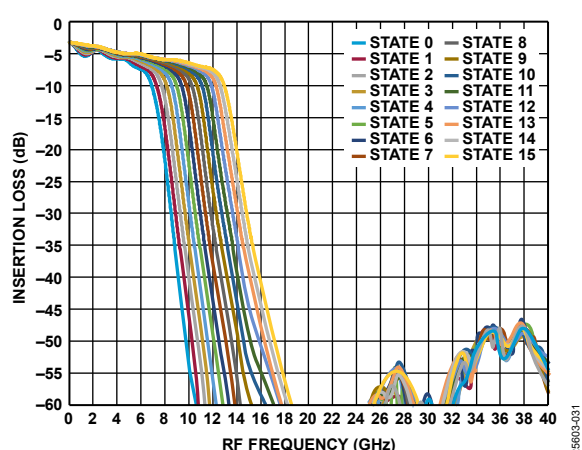


図 28. 挿入損失と RF 周波数の関係、
LPF3 構成で LPF 状態を掃引

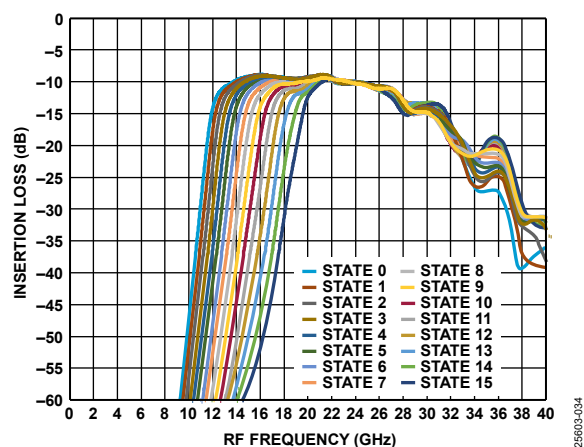


図 26. 挿入損失と RF 周波数の関係、
HPF4 構成で HPF 状態を掃引

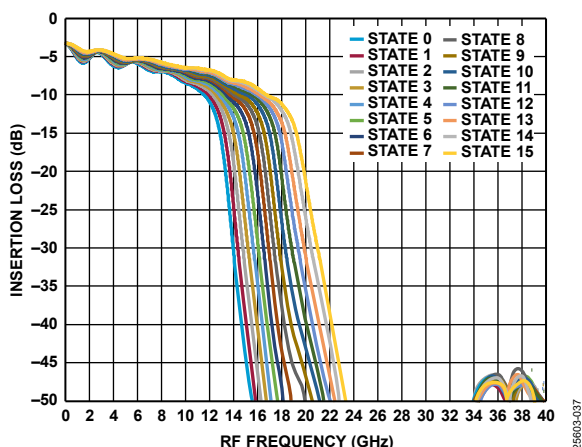


図 29. 挿入損失と RF 周波数の関係、
LPF4 構成で LPF 状態を掃引

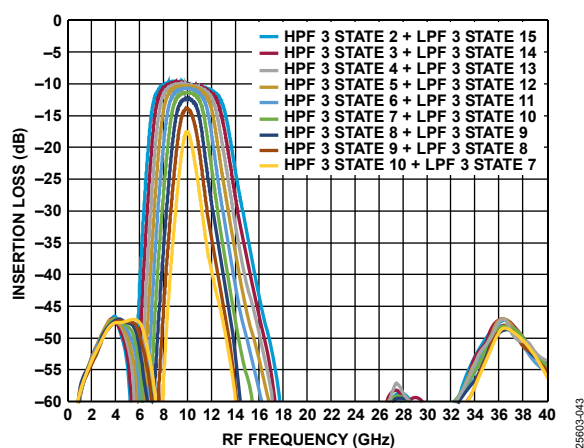


図 27. HPF3 および LPF3 構成の様々な 3dB 帯域幅での
挿入損失と RF 周波数の関係、中心周波数 (f_{CENTER}) = 10GHz、

動作原理

チップのアーキテクチャ

ADMV8818は、2GHz～18GHzの調整可能なバンドパス、ハイパス、ローパス、全域通過、または全域除去の応答を実現できる非常に柔軟なフィルタです。4つのSP5Tスイッチとデジタル調整可能なハイパスおよびローパス・フィルタ・アレイを組み合わせたADMV8818の柔軟なアーキテクチャにより、周波数帯域をデッドゾーンなく完全にカバーします。ADMV8818の概念ブロック図を図1に示します。

ADMV8818は、入力セクションと出力セクションの2つのセクションで構成されています。入力セクションには、4つのハイパス・フィルタとオプションのバイパス構成があり、このバイパス構成は2つのSP5T RFINスイッチで選択可能です。同様に、出力セクションには4つのローパス・フィルタと、2つのSP5T RFOUTスイッチで選択可能なオプションのバイパス構成があります。入力セクションと出力セクションは互いに独立しているため、ハイパス・フィルタ、ローパス・フィルタ、またはバイパス構成の任意の組み合わせで構成できます。

2つのSP5T RFINスイッチは、3ビットのデジタル制御で同時に制御されます。同様に、2つのSP5T RFOUTスイッチは、3ビットのデジタル制御で同時に制御されます。この制御方式では、スイッチの設定を合計25通りに組み合わせることで、多くのフィルタ応答を実現しています。

図30は、2つのSP5T RFINスイッチをHPF1に構成し、2つのSP5T RFOUTスイッチをLPF1に構成した場合の信号パスの例を示しています。このスイッチ設定を使用すると、HPF1およびLPF1のフィルタ設定に応じて、2GHz～3.8GHzの周波数範囲でバンドパス応答またはノーパス応答を形成できます。

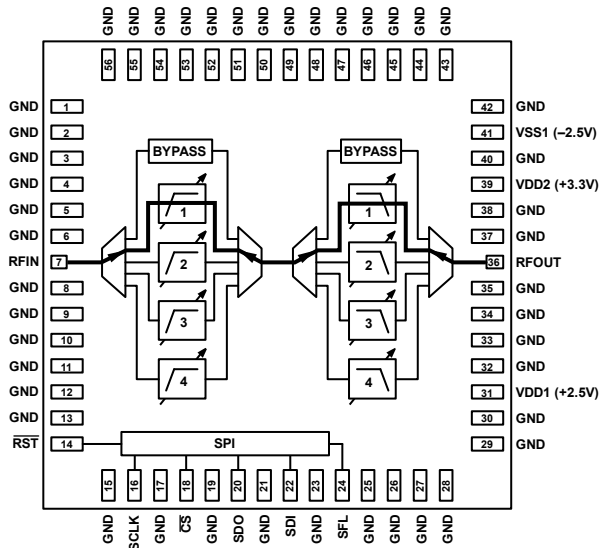


図 30. HPF1 および LPF1 に構成した ADMV8818

同様に、図31 (HPFをバイパスし、LPF3フィルタを選択) に示すように、任意のフィルタをバイパスして、ローパス応答またはハイパス応答を形成できます。この構成により、8GHz～12GHzの周波数範囲で調整可能なLPF応答が可能になります。

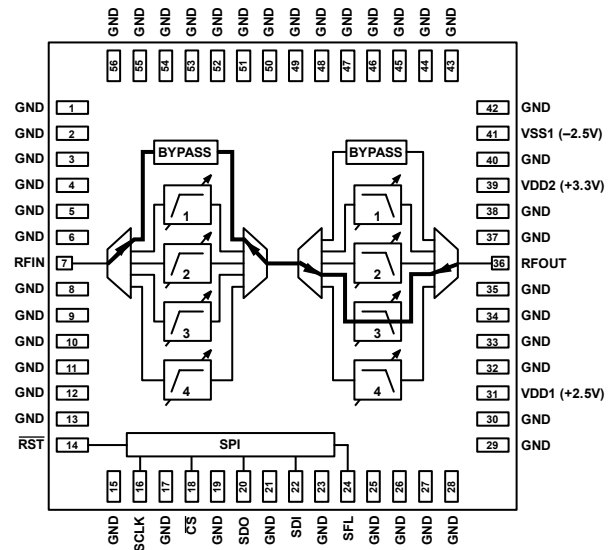


図 31. LPF3 に構成した ADMV8818

更に、任意のハイパス・フィルタを任意のローパス・フィルタと組み合わせることができるため、2GHz～18GHzの周波数範囲でデッドゾーンが実質的に存在せず、広帯域のバンドパス応答が得られます。図32に、HPF3とLPF2を選択した場合のADMV8818の概念ブロック図を示します。

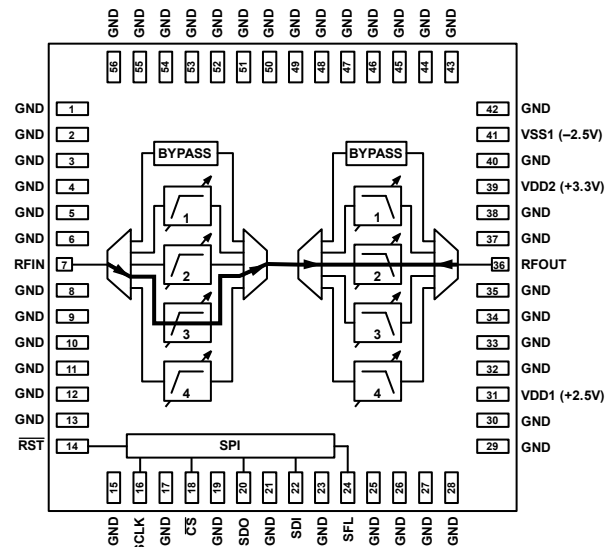


図 32. HPF3 および LPF2 に構成した ADMV8818

調整可能なハイパス・フィルタ

図33に、チェビシェフ型フィルタであるHPF1の簡略化した回路図を示します。 f_{3dB} は、コンデンサC1～C4を変化させることで調整できます。これらの調整可能なコンデンサは、4ビットのデジタル・コンデンサ・アレイで構成され、16個の異なる値を提供します。これらの調整可能なコンデンサのステップ・サイズは、各デジタル・バイナリ・コードの増分が f_{3dB} でほぼ同じ増分となるように調整します。

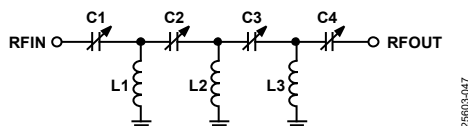


図 33. HPF1 の簡略化した回路図

HPF2、HPF3、および HPF4 フィルタは、HPF1 フィルタと同じアーキテクチャです。ただし、すべてのフィルタで同様の除去応答を実現するために、フィルタの次数は周波数に対して増加します。

調整可能なローパス・フィルタ

図 34 に、チェビシェフ型フィルタである LPF1 の簡略図を示します。 f_{3dB} は、コンデンサ C1~C4 を変化させることで調整できます。これらの調整可能なコンデンサは、4 ビットのデジタル・コンデンサ・アレイで構成され、16 個の異なる値を提供します。これらの調整可能なコンデンサのステップ・サイズは、各デジタル・バイナリ・コードの増分が f_{3dB} でほぼ同じ増分となるように調整します。

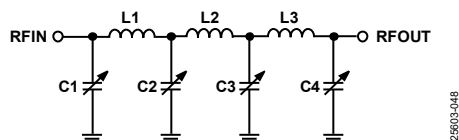


図 34. LPF1 の簡略化した回路図

LPF2、LPF3、および LPF4 フィルタは、LPF1 フィルタと同じアーキテクチャです。ただし、すべてのフィルタで同様の除去応答を実現するために、フィルタの次数は周波数に対して増加します。

SPI 構成

ADMV8818 の SPI は、5 ピン SPI ポートを介し、特定の機能や動作に合わせてデバイスを構成することを可能にします。このインターフェースは柔軟性を高め、カスタマイズを可能にします。SPI は、SFL、SCLK、SDI、SDO、 $\overline{CS}$ の 5 本の制御ラインで構成されています。通常の SPI 動作では、SFL ピンをローに保持します。

SPI プロトコルは、R/W ビットとそれに続く 15 個のレジスタ・アドレス・ビットと 8 個のデータ・ビットで構成されます。アドレス・フィールドとデータ・フィールドは MSB ファースト構造で、LSB で終了します。

書き込み動作の場合は MSB を 0 に設定し、読み出し動作の場合は MSB を 1 に設定します。書き込みサイクルは、SCLK の立上がりエッジでサンプリングする必要があります。24 ビットのシリアル書き込みアドレスおよびデータは、SDI 制御ライン上で MSB から LSB にシフト・インされます。ADMV8818 の書き込みサイクル用入力ロジック・レベルは、3.3 V インターフェースをサポートしています。

読み出しサイクルでは、R/W ビットと 15 個のレジスタ・アドレス・ビットが、SDI 制御ラインの SCLK の立上がりエッジでシフト・インします。次に、SDO 制御ライン上において、SCLK の立下がりエッジで 8 ビットのシリアル読み出しデータがシフト・アウトします (MSB ファースト)。読み出しサイクルの出力ロジック・レベルは 3.3V です。SDO の出力ドライバは SCLK の最後の立上がりエッジ後にイネーブルされ、その読み出しサイクルの終了までアクティブな状態を保ちます。読み出し動作中に $\overline{CS}$ のアサートが解除されると、SDO が高インピーダンス状態に戻り、次の読み出しトランザクションまでその状態が保たれます。 $\overline{CS}$ はアクティブ・ローで、書き込みまたは読み出しシーケンスの終了時にアサートを解除する必要があります。

通信サイクルは $\overline{CS}$ のアクティブ・ロー入力で開始され、制御されます。 $\overline{CS}$ ピンにより、同じシリアル通信ライン上の複数のデバイスが使用可能になります。 $\overline{CS}$ 入力が高いときは、SDO ピンが高インピーダンス状態になります。通信サイクル時は、チップ・セレクトはローになっていなければなりません。SPI 通信プロトコルは、アナログ・デバイセズの SPI 標準に従っています。詳細については、[ADI-SPI Serial Control Interface Standard \(Rev 1.0\)](#) を参照してください。

RF 接続

ADMV8818 の RFIN ピンと RFOUT ピンは、オンチップ RF スイッチに DC カップリングされています。システム内の他のコンポーネントからの直流電圧が RFIN ピンと RFOUT ピンに存在する場合は、これらのピンと直列に DC 阻止コンデンサを配置することを推奨します。DC 阻止コンデンサは、フィルタの動作周波数に基づいて選択する必要があります。一般に、100pF を超える値であれば、より低い動作周波数での挿入損失を最小限に抑えるのに十分です。より高い動作周波数では、選択するコンデンサの寄生成分を考慮しなければならない場合があります。図 35 に、寄生成分のあるコンデンサの一般的なモデルを示します。寄生直列インダクタンス (L_{ESL}) は、そのインピーダンスが 10GHz を超える周波数で支配的になる可能性があるため、通常は最も懸念されます。リーク抵抗 (R_L)、誘電体吸収抵抗 (R_{DA})、誘電体吸収容量 (C_{DA})、電気直列抵抗 (R_{ESR}) などの他の寄生成分はそれほど考慮すべき重要な成分ではありませんが、完全を期すためにここに示します。

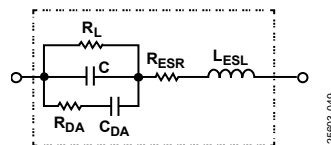


図 35. コンデンサの一般モデル

モード選択

ADMV8818 には、SPI 書き込みと SPI 高速ラッチの 2 つの動作モードがあります。SPI 書き込みモードは通常の動作モードですが、SPI 高速ラッチ・モードは、内部ステート・マシンを用いてオンチップのルックアップ・テーブル (LUT) をシーケンス処理するのに使用します。SPI 書き込みモードを使用するには、SFL ピンをローに設定します。SPI 高速ラッチ・モードで動作させるには、SFL ピンをローにしてオンチップ・ルックアップ・テーブルと高速ラッチ・パラメータを設定してから、SFL ピンをハイにするとこのモードになります。図 36 は、レジスタ・マップと内部ステート・マシンを持った SPI の簡略図を示しています。

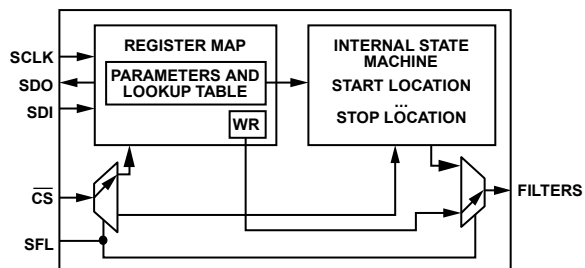


図 36. SPI の簡略図

SPI 書き込みモード

SPI 書き込みモードには、レジスタ 0x020～レジスタ 0x029 に WR0～WR4 の 5 つの書き込みグループがあります。グループは、SPI 書き込みモードのための小さなルックアップ・テーブルと考えることができます。各グループは、以下で構成されます。

- RFIN スイッチ位置
- RFIN スイッチ設定
- RFOUT スイッチ位置
- RFOUT スイッチ設定
- HPF の状態
- LPF の状態

WR0（レジスタ 0x020 およびレジスタ 0x021）の書き込みグループの例については、[レジスタの詳細](#)のセクションを参照してください。

スイッチ位置

RFIN スイッチの位置は、HPF 状態ビットが割り当てられる位置を指定し、RFOUT スイッチの位置は、LPF 状態ビットが割り当てられる位置を指定します。例えば、WR0_SW の書き込みグループ（レジスタ 0x020）では、SW_IN_WR0 を帯域 1 に設定し、SW_OUT_WR0 を帯域 2 に設定した場合、HPF_WR0（レジスタ 0x021）は HPF1 に、LPF_WR0（レジスタ 0x021）は LPF2 に適用されます。

スイッチ設定

RFIN スイッチ設定ビットは、RFIN スイッチをその設定位置に移動させるかどうかを指定するのに使用します。同様に、RFOUT スイッチ設定ビットは、RFOUT スイッチをその設定位置に移動させるかどうかを指定するのに使用します。この機能は、フィルタを既知の状態に構成してスイッチ位置を変更しない（スイッチ設定ビットをローにする）場合に役立ちます。ほとんどのアプリケーションでは、スイッチ設定ビットはハイにします。

フィルタ設定

それぞれのハイパス・フィルタとローパス・フィルタには 16 個の状態（4 ビット）があります。ゼロの値は、フィルタの f_{3dB} を可能な限り低い周波数に設定することに相当します。逆に、15 の値は、フィルタの f_{3dB} を可能な限り高い周波数に設定することに相当します。

書き込みグループの優先度

SPI 書き込みモードには 5 つの書き込みグループがあるため、複数の RFIN スイッチ設定ビットまたは RFOUT スイッチ設定ビットがハイになる可能性があります。スイッチの動作は、ストリーミングまたは単一命令のいずれかのタイプの SPI トランザクションによって異なります。

一般に、SPI ストリーミングのトランザクションには、昇順と降順の 2 種類のエンディアン・レジスタがあります。ADMV8818 は、昇順のみをサポートします。昇順のエンディアン・レジスタで SPI ストリーミングを有効にするには、レジスタ 0x000～0x3C を設定します。

SPI ストリーミング・トランザクション（推奨）の場合、RFIN スイッチ設定ビットと RFOUT スイッチ設定ビットの優先順位は WR0 から WR4 への順です。

レジスタ 0x020～0x029 の SPI ストリーミング・トランザクションがアドレス 0x020 を指し示し、10 バイトのデータをストリーム・アウトします。SPI ストリーミング・トランザクションは合計 96 ビットです（R/W ビット+15 アドレス・ビット+80 データ・ビット）。

SPI ストリーミング・トランザクションの優先順位の例は次のとおりです。スイッチ設定ビットが WR1 と WR2 の両方でハイの場合、スイッチ位置は WR1 で設定した位置になります。

SPI 単一命令トランザクションの場合、最後に設定した RFIN スイッチ設定と RFOUT スイッチ設定が有効になり、スイッチの位置が移動します。SPI 単一命令トランザクションを使用するには、最初にスイッチ・レジスタに書き込んでからフィルタ設定レジスタに書き込む必要があります。例えば、書き込みグループ WR0 を使用するには、最初に 24 ビットのトランザクション（R/W ビット+15 アドレス・ビット+8 データ・ビット）を用いてレジスタ 0x020 に書き込み、続けて 24 ビットのトランザクションを用いてレジスタ 0x021 に書き込みます。

周波数の用語

ADMV8818 は広い周波数範囲で動作するように設計されているため、周波数依存性のある挿入損失があり、その結果、周波数に対して負の勾配が生じます。更に、選択するフィルタと状態によっては、通過帯域内にリップルが生じる場合もあります。こうした特性を考慮すると、各フィルタの f_{dB} を計算するための基準周波数 (f_{REF}) を定めるには、適切な定義が必要です。

アナログ・デバイセズは、 f_{REF} と f_{dB} を決定するための一貫した方法は、フィルタの群遅延性能に依存することであることを発見しました。以下は、ADMV8818 仕様を決定するために使用した方法です。

1. フィルタ挿入損失 (S_{21}) がロールオフし始めるときの、ピーク群遅延 (GD_{PEAK}) とピーク群遅延周波数 (f_{PEAK}) を見つけます。
2. ローパス・フィルタの場合、 f_{PEAK} を 2 で割って、平均化周波数 (f_{AVG}) を求めます。ハイパス・フィルタの場合、 f_{PEAK} に 2 を掛けます。 f_{AVG} を計算したら、この周波数での群遅延を決定します。一般に、群遅延はフラットで、この特定の周波数 (f_{AVG}) での平均にほぼ等しくなります。
3. ステップ 1 とステップ 2 の群遅延の算術平均を得て、基準群遅延 (GD_{REF}) を求めてから、この群遅延に対応する f_{REF} と基準挿入損失 (IL_{REF}) を求めます。
4. IL_{REF} から 3dB を引いて、3dB の挿入損失 (IL_{3dB}) を得て、対応する f_{3dB} を求めます。

SPI 高速ラッチ・モード

ADMV8818 には、128 の状態のルックアップ・テーブルと内部ステート・マシンがあり、SPI 高速ラッチ・モードでフィルタ状態を素早く変更するのに役立ちます。SFL ピンがハイの場合、SPI 高速ラッチ・モードが有効になり、内部ステート・マシンが CS ピンの各立上がりエッジでシーケンスを実行します。

ルックアップ・テーブルには、レジスタ 0x100～レジスタ 0x1FF に、LUT0～LUT127 の 128 のグループがあります。各グループは、SPI 書き込みモードのパラメータと同じタイプのパラメータで構成されます。

SPI 高速ラッチ・モードのスイッチ位置ビットとフィルタ状態ビットの機能は、SPI 書き込みモードの機能と同様です。つまり、フィルタ状態ビットは、スイッチ位置ビットに基づいて割り当てられます。ただし、スイッチ設定パラメータには優先度は含まれません。特定の LUT に対して RFIN スイッチ設定ビットと RFOUT スイッチ設定ビットを有効化すると、スイッチ位置が変化します。

内部ステート・マシンの機能は、 $\overline{\text{CS}}$ ピンの各立上がりエッジで、設定された方向に基づいて内部ステート・マシンがポインタをシーケンスするようになっています。内部ステート・マシンには、次のパラメータがあります。

- FAST_LATCH_POINTER (レジスタ 0x010)
- FAST_LATCH_LOAD (レジスタ 0x010)
- FAST_LATCH_STOP (レジスタ 0x011)
- FAST_LATCH_START (レジスタ 0x012)
- FAST_LATCH_DIRECTION (レジスタ 0x013)
- FAST_LATCH_STATE (レジスタ 0x014)

FAST_LATCH_STATE は、 $\overline{\text{CS}}$ ピンの次の立上がりエッジで選択される次の LUT グループです。FAST_LATCH_STATE は、内部ポインタの位置と見なされます。

内部ポインタの位置は、FAST_LATCH_LOAD ビットと FAST_LATCH_POINTER ビットを用いて変更できます。FAST_LATCH_LOAD ビットをハイに設定すると、FAST_LATCH_POINTER 値が内部ポインタにロードされます。ロード操作の完了後、FAST_LATCH_LOAD ビットはセルフ・リセットされます。

FAST_LATCH_DIRECTION ビットをゼロに設定した場合、シーケンス方向はインクリメントです。FAST_LATCH_DIRECTION ビットを 1 に設定した場合、シーケンス方向はデクリメントです。

FAST_LATCH_START ビットは開始位置を設定し、FAST_LATCH_STOP ビットは停止位置を設定するのに使用します。インクリメント方向の場合、内部ステート・マシンは開始位置から停止位置までシーケンスを実行してから、開始位置にロールオーバーします。デクリメント方向の場合、シーケンスは停止位置から開始位置までシーケンスを実行してから、停止位置にロールオーバーします。

FAST_LATCH_STATE 値は、開始位置と停止位置の間の外を示す可能性があります。これは、開始位置と停止位置が更新されながら、内部ポインタが以前の値から変更されていない場合に発生します。この状況が発生した場合、FAST_LATCH_STATE 値が最終的に開始位置と停止位置の間に収まるまで、追加の LUT グループが選択されます。例えば、FAST_LATCH_STATE 値が 12 で、方向はインクリメンタル、開始位置が 15、停止位置が 31 の場合、CSピンの次の 6 つの立上がりエッジで選択される LUT グループは 12、13、14、15、16、17 の LUT グループ番号となります。

チップ・リセット

ADMV8818 レジスタをデフォルトのパワーオン状態にリセットするには、ハード・リセットとソフト・リセットの 2 つの方法があります。ハード・リセットは $\overline{\text{RST}}$ ピンを使用し、ソフト・リセットはレジスタ 0x000 を使用します。

ハード・リセットを実行するには、 $\overline{\text{RST}}$ ピンを一時的にローにしてからハイにします。 $\overline{\text{RST}}$ ピンをローに保持する最小持続時間については、[図 2](#)を参照してください。

ソフト・リセットを実行するには、レジスタ 0x000 を値 0x81 に設定します。このアクションにより、SOFTRESET ビットと SOFTRESET_ ビットがハイに設定され、リセットが開始されます。リセット動作が完了すると、SOFTRESET ビットと SOFTRESET_ ビットはセルフ・リセットされます。

使用するリセット方法に関係なく、チップのリセット後に以下を実行することを推奨します。

- SDO ピンを有効化し、昇順のエンディアンで SPI ストリーミングを許可するように、レジスタ 0x000 を 0x3C に設定します。
- チップ上のすべてのレジスタをリードバックします。

アプリケーション情報

PCB 設計ガイドライン

ADMV8818 の実装に使用する PCB は、上部の導体形成層と内部の接地層の間に、Rogers 4003 や Rogers 4350 などの高品質の誘電体材料を使用する必要があります。PCB の他のすべての誘電体層は、Isola 370HR などの標準的な材料にすることができます。

ADMV8818 の RFIN ピンと RFOUT ピンへの伝送ラインの特性インピーダンスは、最適な RF 性能を確保するために、 50Ω となるよう注意深く管理する必要があります。ADMV8818 の GND ピンと露出パッドを PCB のグラウンド・プレーンに直接接続します。PCB の上部と下部のグラウンド・プレーンを接続するには、十分な数のビアホールを使用します。

プログラミングのフローチャート

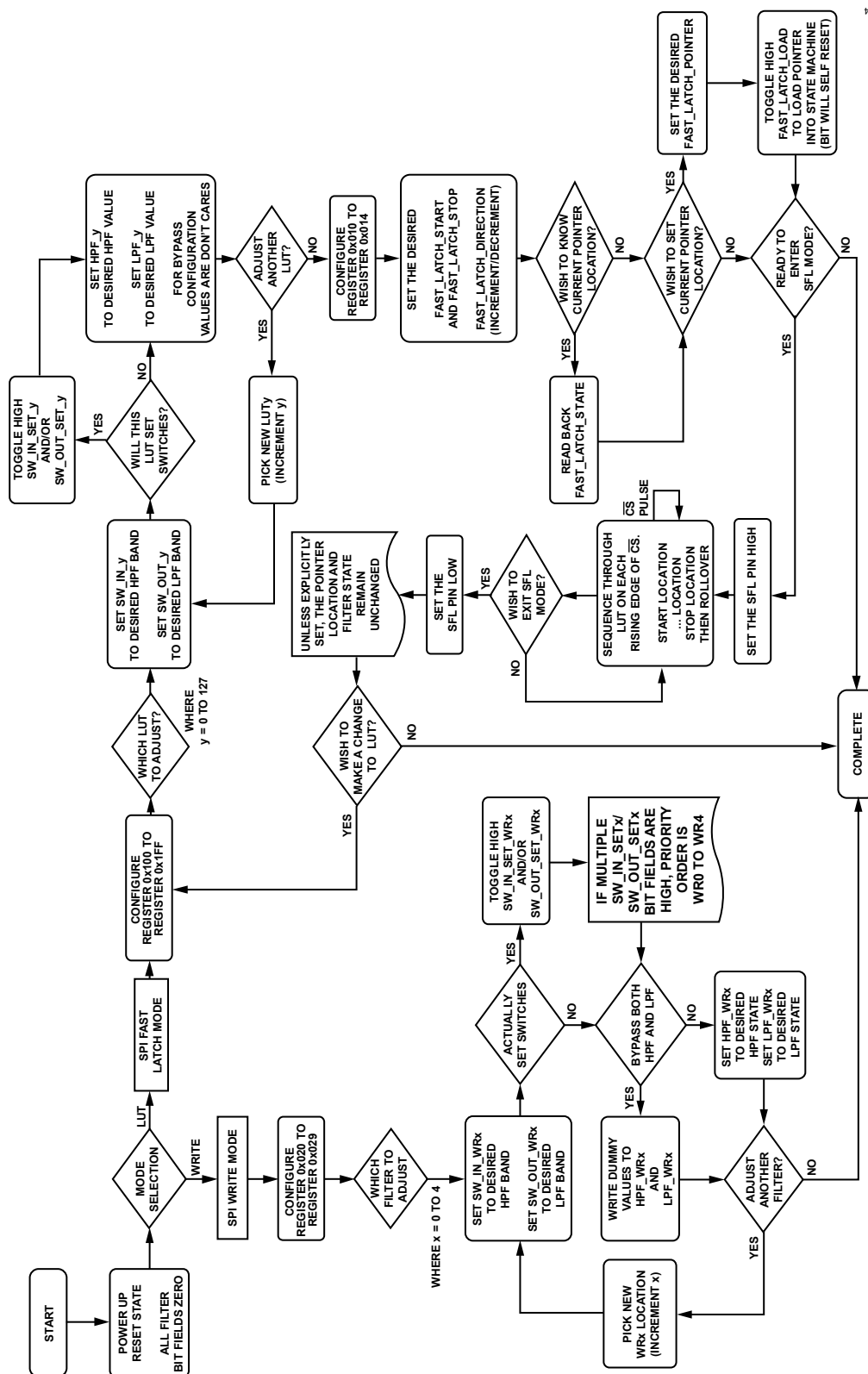


図 37. プログラミングのフローチャート

NOTES
1. SPI WRITE MODE SWITCH PRIORITY ORDER ASSUMES SPI STREAMING TRANSACTION FOR REGISTER 0x020 TO REGISTER 0x029.

レジスタの一覧

表 6. ADMV8818 のレジスター一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x000	ADI_SPI_CONFIG_A	[7:0]	SOFTRESET_	LSB_FIRST_	ENDIAN_	SDOACTIVE_	SDOACTIVE	ENDIAN	LSB_FIRST	SOFTRESET	0x00	R/W	
0x001	ADI_SPI_CONFIG_B	[7:0]	SINGLE_INSTRUCTION	CSB_STALL	MASTER_SLAVE_RB	RESERVED				MASTER_SLAVE_TRANSFER	0x00	R/W	
0x003	CHIPTYPE	[7:0]	CHIPTYPE									0x01	R
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L									0x18	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H									0x88	R
0x010	FAST_LATCH_POINTER	[7:0]	FAST_LATCH_LOAD	FAST_LATCH_POINTER								0x00	R/W
0x011	FAST_LATCH_STOP	[7:0]	RESERVED	FAST_LATCH_STOP								0x7F	R/W
0x012	FAST_LATCH_START	[7:0]	RESERVED	FAST_LATCH_START								0x00	R/W
0x013	FAST_LATCH_DIRECTION	[7:0]	RESERVED							FAST_LATCH_DIRECTION	0x00	R/W	
0x014	FAST_LATCH_STATE	[7:0]	RESERVED	FAST_LATCH_STATE								0x00	R
0x020	WR0_SW	[7:0]	SW_IN_SET_WR0	SW_OUT_SET_WR0	SW_IN_WR0			SW_OUT_WR0			0x00	R/W	
0x021	WR0_FILTER	[7:0]	HPF_WR0				LPF_WR0				0x00	R/W	
0x022	WR1_SW	[7:0]	SW_IN_SET_WR1	SW_OUT_SET_WR1	SW_IN_WR1			SW_OUT_WR1			0x00	R/W	
0x023	WR1_FILTER	[7:0]	HPF_WR1				LPF_WR1				0x00	R/W	
0x024	WR2_SW	[7:0]	SW_IN_SET_WR2	SW_OUT_SET_WR2	SW_IN_WR2			SW_OUT_WR2			0x00	R/W	
0x025	WR2_FILTER	[7:0]	HPF_WR2				LPF_WR2				0x00	R/W	
0x026	WR3_SW	[7:0]	SW_IN_SET_WR3	SW_OUT_SET_WR3	SW_IN_WR3			SW_OUT_WR3			0x00	R/W	
0x027	WR3_FILTER	[7:0]	HPF_WR3				LPF_WR3				0x00	R/W	
0x028	WR4_SW	[7:0]	SW_IN_SET_WR4	SW_OUT_SET_WR4	SW_IN_WR4			SW_OUT_WR4			0x00	R/W	
0x029	WR4_FILTER	[7:0]	HPF_WR4				LPF_WR4				0x00	R/W	
0x100	LUT0_SW	[7:0]	SW_IN_SET_0	SW_OUT_SET_0	SW_IN_0			SW_OUT_0			0x00	R/W	
0x101	LUT0_FILTER	[7:0]	HPF_0				LPF_0				0x00	R/W	
0x102	LUT1_SW	[7:0]	SW_IN_SET_1	SW_OUT_SET_1	SW_IN_1			SW_OUT_1			0x00	R/W	
0x103	LUT1_FILTER	[7:0]	HPF_1				LPF_1				0x00	R/W	
0x104	LUT2_SW	[7:0]	SW_IN_SET_2	SW_OUT_SET_2	SW_IN_2			SW_OUT_2			0x00	R/W	
0x105	LUT2_FILTER	[7:0]	HPF_2				LPF_2				0x00	R/W	
0x106	LUT3_SW	[7:0]	SW_IN_SET_3	SW_OUT_SET_3	SW_IN_3			SW_OUT_3			0x00	R/W	
0x107	LUT3_FILTER	[7:0]	HPF_3				LPF_3				0x00	R/W	
0x108	LUT4_SW	[7:0]	SW_IN_SET_4	SW_OUT_SET_4	SW_IN_4			SW_OUT_4			0x00	R/W	
0x109	LUT4_FILTER	[7:0]	HPF_4				LPF_4				0x00	R/W	
0x10A	LUT5_SW	[7:0]	SW_IN_SET_5	SW_OUT_SET_5	SW_IN_5			SW_OUT_5			0x00	R/W	
0x10B	LUT5_FILTER	[7:0]	HPF_5				LPF_5				0x00	R/W	
0x10C	LUT6_SW	[7:0]	SW_IN_SET_6	SW_OUT_SET_6	SW_IN_6			SW_OUT_6			0x00	R/W	
0x10D	LUT6_FILTER	[7:0]	HPF_6				LPF_6				0x00	R/W	
0x10E	LUT7_SW	[7:0]	SW_IN_SET_7	SW_OUT_SET_7	SW_IN_7			SW_OUT_7			0x00	R/W	
0x10F	LUT7_FILTER	[7:0]	HPF_7				LPF_7				0x00	R/W	
0x110	LUT8_SW	[7:0]	SW_IN_SET_8	SW_OUT_SET_8	SW_IN_8			SW_OUT_8			0x00	R/W	
0x111	LUT8_FILTER	[7:0]	HPF_8				LPF_8				0x00	R/W	
0x112	LUT9_SW	[7:0]	SW_IN_SET_9	SW_OUT_SET_9	SW_IN_9			SW_OUT_9			0x00	R/W	
0x113	LUT9_FILTER	[7:0]	HPF_9				LPF_9				0x00	R/W	

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x114	LUT10_SW	[7:0]	SW_IN_SET_10	SW_OUT_SET_10	SW_IN_10			SW_OUT_10			0x00	R/W	
0x115	LUT10_FILTER	[7:0]	HPF_10					LPF_10				0x00	R/W
0x116	LUT11_SW	[7:0]	SW_IN_SET_11	SW_OUT_SET_11	SW_IN_11			SW_OUT_11			0x00	R/W	
0x117	LUT11_FILTER	[7:0]	HPF_11					LPF_11				0x00	R/W
0x118	LUT12_SW	[7:0]	SW_IN_SET_12	SW_OUT_SET_12	SW_IN_12			SW_OUT_12			0x00	R/W	
0x119	LUT12_FILTER	[7:0]	HPF_12					LPF_12				0x00	R/W
0x11A	LUT13_SW	[7:0]	SW_IN_SET_13	SW_OUT_SET_13	SW_IN_13			SW_OUT_13			0x00	R/W	
0x11B	LUT13_FILTER	[7:0]	HPF_13					LPF_13				0x00	R/W
0x11C	LUT14_SW	[7:0]	SW_IN_SET_14	SW_OUT_SET_14	SW_IN_14			SW_OUT_14			0x00	R/W	
0x11D	LUT14_FILTER	[7:0]	HPF_14					LPF_14				0x00	R/W
0x11E	LUT15_SW	[7:0]	SW_IN_SET_15	SW_OUT_SET_15	SW_IN_15			SW_OUT_15			0x00	R/W	
0x11F	LUT15_FILTER	[7:0]	HPF_15					LPF_15				0x00	R/W
0x120	LUT16_SW	[7:0]	SW_IN_SET_16	SW_OUT_SET_16	SW_IN_16			SW_OUT_16			0x00	R/W	
0x121	LUT16_FILTER	[7:0]	HPF_16					LPF_16				0x00	R/W
0x122	LUT17_SW	[7:0]	SW_IN_SET_17	SW_OUT_SET_17	SW_IN_17			SW_OUT_17			0x00	R/W	
0x123	LUT17_FILTER	[7:0]	HPF_17					LPF_17				0x00	R/W
0x124	LUT18_SW	[7:0]	SW_IN_SET_18	SW_OUT_SET_18	SW_IN_18			SW_OUT_18			0x00	R/W	
0x125	LUT18_FILTER	[7:0]	HPF_18					LPF_18				0x00	R/W
0x126	LUT19_SW	[7:0]	SW_IN_SET_19	SW_OUT_SET_19	SW_IN_19			SW_OUT_19			0x00	R/W	
0x127	LUT19_FILTER	[7:0]	HPF_19					LPF_19				0x00	R/W
0x128	LUT20_SW	[7:0]	SW_IN_SET_20	SW_OUT_SET_20	SW_IN_20			SW_OUT_20			0x00	R/W	
0x129	LUT20_FILTER	[7:0]	HPF_20					LPF_20				0x00	R/W
0x12A	LUT21_SW	[7:0]	SW_IN_SET_21	SW_OUT_SET_21	SW_IN_21			SW_OUT_21			0x00	R/W	
0x12B	LUT21_FILTER	[7:0]	HPF_21					LPF_21				0x00	R/W
0x12C	LUT22_SW	[7:0]	SW_IN_SET_22	SW_OUT_SET_22	SW_IN_22			SW_OUT_22			0x00	R/W	
0x12D	LUT22_FILTER	[7:0]	HPF_22					LPF_22				0x00	R/W
0x12E	LUT23_SW	[7:0]	SW_IN_SET_23	SW_OUT_SET_23	SW_IN_23			SW_OUT_23			0x00	R/W	
0x12F	LUT23_FILTER	[7:0]	HPF_23					LPF_23				0x00	R/W
0x130	LUT24_SW	[7:0]	SW_IN_SET_24	SW_OUT_SET_24	SW_IN_24			SW_OUT_24			0x00	R/W	
0x131	LUT24_FILTER	[7:0]	HPF_24					LPF_24				0x00	R/W
0x132	LUT25_SW	[7:0]	SW_IN_SET_25	SW_OUT_SET_25	SW_IN_25			SW_OUT_25			0x00	R/W	
0x133	LUT25_FILTER	[7:0]	HPF_25					LPF_25				0x00	R/W
0x134	LUT26_SW	[7:0]	SW_IN_SET_26	SW_OUT_SET_26	SW_IN_26			SW_OUT_26			0x00	R/W	
0x135	LUT26_FILTER	[7:0]	HPF_26					LPF_26				0x00	R/W
0x136	LUT27_SW	[7:0]	SW_IN_SET_27	SW_OUT_SET_27	SW_IN_27			SW_OUT_27			0x00	R/W	
0x137	LUT27_FILTER	[7:0]	HPF_27					LPF_27				0x00	R/W
0x138	LUT28_SW	[7:0]	SW_IN_SET_28	SW_OUT_SET_28	SW_IN_28			SW_OUT_28			0x00	R/W	
0x139	LUT28_FILTER	[7:0]	HPF_28					LPF_28				0x00	R/W
0x13A	LUT29_SW	[7:0]	SW_IN_SET_29	SW_OUT_SET_29	SW_IN_29			SW_OUT_29			0x00	R/W	
0x13B	LUT29_FILTER	[7:0]	HPF_29					LPF_29				0x00	R/W
0x13C	LUT30_SW	[7:0]	SW_IN_SET_30	SW_OUT_SET_30	SW_IN_30			SW_OUT_30			0x00	R/W	
0x13D	LUT30_FILTER	[7:0]	HPF_30					LPF_30				0x00	R/W
0x13E	LUT31_SW	[7:0]	SW_IN_SET_31	SW_OUT_SET_31	SW_IN_31			SW_OUT_31			0x00	R/W	
0x13F	LUT31_FILTER	[7:0]	HPF_31					LPF_31				0x00	R/W
0x140	LUT32_SW	[7:0]	SW_IN_SET_32	SW_OUT_SET_32	SW_IN_32			SW_OUT_32			0x00	R/W	
0x141	LUT32_FILTER	[7:0]	HPF_32					LPF_32				0x00	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x142	LUT33_SW	[7:0]	SW_IN_SET_33	SW_OUT_SET_33	SW_IN_33			SW_OUT_33			0x00	R/W	
0x143	LUT33_FILTER	[7:0]	HPF_33					LPF_33				0x00	R/W
0x144	LUT34_SW	[7:0]	SW_IN_SET_34	SW_OUT_SET_34	SW_IN_34			SW_OUT_34			0x00	R/W	
0x145	LUT34_FILTER	[7:0]	HPF_34					LPF_34				0x00	R/W
0x146	LUT35_SW	[7:0]	SW_IN_SET_35	SW_OUT_SET_35	SW_IN_35			SW_OUT_35			0x00	R/W	
0x147	LUT35_FILTER	[7:0]	HPF_35					LPF_35				0x00	R/W
0x148	LUT36_SW	[7:0]	SW_IN_SET_36	SW_OUT_SET_36	SW_IN_36			SW_OUT_36			0x00	R/W	
0x149	LUT36_FILTER	[7:0]	HPF_36					LPF_36				0x00	R/W
0x14A	LUT37_SW	[7:0]	SW_IN_SET_37	SW_OUT_SET_37	SW_IN_37			SW_OUT_37			0x00	R/W	
0x14B	LUT37_FILTER	[7:0]	HPF_37					LPF_37				0x00	R/W
0x14C	LUT38_SW	[7:0]	SW_IN_SET_38	SW_OUT_SET_38	SW_IN_38			SW_OUT_38			0x00	R/W	
0x14D	LUT38_FILTER	[7:0]	HPF_38					LPF_38				0x00	R/W
0x14E	LUT39_SW	[7:0]	SW_IN_SET_39	SW_OUT_SET_39	SW_IN_39			SW_OUT_39			0x00	R/W	
0x14F	LUT39_FILTER	[7:0]	HPF_39					LPF_39				0x00	R/W
0x150	LUT40_SW	[7:0]	SW_IN_SET_40	SW_OUT_SET_40	SW_IN_40			SW_OUT_40			0x00	R/W	
0x151	LUT40_FILTER	[7:0]	HPF_40					LPF_40				0x00	R/W
0x152	LUT41_SW	[7:0]	SW_IN_SET_41	SW_OUT_SET_41	SW_IN_41			SW_OUT_41			0x00	R/W	
0x153	LUT41_FILTER	[7:0]	HPF_41					LPF_41				0x00	R/W
0x154	LUT42_SW	[7:0]	SW_IN_SET_42	SW_OUT_SET_42	SW_IN_42			SW_OUT_42			0x00	R/W	
0x155	LUT42_FILTER	[7:0]	HPF_42					LPF_42				0x00	R/W
0x156	LUT43_SW	[7:0]	SW_IN_SET_43	SW_OUT_SET_43	SW_IN_43			SW_OUT_43			0x00	R/W	
0x157	LUT43_FILTER	[7:0]	HPF_43					LPF_43				0x00	R/W
0x158	LUT44_SW	[7:0]	SW_IN_SET_44	SW_OUT_SET_44	SW_IN_44			SW_OUT_44			0x00	R/W	
0x159	LUT44_FILTER	[7:0]	HPF_44					LPF_44				0x00	R/W
0x15A	LUT45_SW	[7:0]	SW_IN_SET_45	SW_OUT_SET_45	SW_IN_45			SW_OUT_45			0x00	R/W	
0x15B	LUT45_FILTER	[7:0]	HPF_45					LPF_45				0x00	R/W
0x15C	LUT46_SW	[7:0]	SW_IN_SET_46	SW_OUT_SET_46	SW_IN_46			SW_OUT_46			0x00	R/W	
0x15D	LUT46_FILTER	[7:0]	HPF_46					LPF_46				0x00	R/W
0x15E	LUT47_SW	[7:0]	SW_IN_SET_47	SW_OUT_SET_47	SW_IN_47			SW_OUT_47			0x00	R/W	
0x15F	LUT47_FILTER	[7:0]	HPF_47					LPF_47				0x00	R/W
0x160	LUT48_SW	[7:0]	SW_IN_SET_48	SW_OUT_SET_48	SW_IN_48			SW_OUT_48			0x00	R/W	
0x161	LUT48_FILTER	[7:0]	HPF_48					LPF_48				0x00	R/W
0x162	LUT49_SW	[7:0]	SW_IN_SET_49	SW_OUT_SET_49	SW_IN_49			SW_OUT_49			0x00	R/W	
0x163	LUT49_FILTER	[7:0]	HPF_49					LPF_49				0x00	R/W
0x164	LUT50_SW	[7:0]	SW_IN_SET_50	SW_OUT_SET_50	SW_IN_50			SW_OUT_50			0x00	R/W	
0x165	LUT50_FILTER	[7:0]	HPF_50					LPF_50				0x00	R/W
0x166	LUT51_SW	[7:0]	SW_IN_SET_51	SW_OUT_SET_51	SW_IN_51			SW_OUT_51			0x00	R/W	
0x167	LUT51_FILTER	[7:0]	HPF_51					LPF_51				0x00	R/W
0x168	LUT52_SW	[7:0]	SW_IN_SET_52	SW_OUT_SET_52	SW_IN_52			SW_OUT_52			0x00	R/W	
0x169	LUT52_FILTER	[7:0]	HPF_52					LPF_52				0x00	R/W
0x16A	LUT53_SW	[7:0]	SW_IN_SET_53	SW_OUT_SET_53	SW_IN_53			SW_OUT_53			0x00	R/W	
0x16B	LUT53_FILTER	[7:0]	HPF_53					LPF_53				0x00	R/W
0x16C	LUT54_SW	[7:0]	SW_IN_SET_54	SW_OUT_SET_54	SW_IN_54			SW_OUT_54			0x00	R/W	
0x16D	LUT54_FILTER	[7:0]	HPF_54					LPF_54				0x00	R/W
0x16E	LUT55_SW	[7:0]	SW_IN_SET_55	SW_OUT_SET_55	SW_IN_55			SW_OUT_55			0x00	R/W	
0x16F	LUT55_FILTER	[7:0]	HPF_55					LPF_55				0x00	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x170	LUT56_SW	[7:0]	SW_IN_SET_56	SW_OUT_SET_56	SW_IN_56		SW_OUT_56				0x00	R/W		
0x171	LUT56_FILTER	[7:0]	HPF_56					LPF_56					0x00	R/W
0x172	LUT57_SW	[7:0]	SW_IN_SET_57	SW_OUT_SET_57	SW_IN_57			SW_OUT_57				0x00	R/W	
0x173	LUT57_FILTER	[7:0]	HPF_57					LPF_57					0x00	R/W
0x174	LUT58_SW	[7:0]	SW_IN_SET_58	SW_OUT_SET_58	SW_IN_58			SW_OUT_58				0x00	R/W	
0x175	LUT58_FILTER	[7:0]	HPF_58					LPF_58					0x00	R/W
0x176	LUT59_SW	[7:0]	SW_IN_SET_59	SW_OUT_SET_59	SW_IN_59			SW_OUT_59				0x00	R/W	
0x177	LUT59_FILTER	[7:0]	HPF_59					LPF_59					0x00	R/W
0x178	LUT60_SW	[7:0]	SW_IN_SET_60	SW_OUT_SET_60	SW_IN_60			SW_OUT_60				0x00	R/W	
0x179	LUT60_FILTER	[7:0]	HPF_60					LPF_60					0x00	R/W
0x17A	LUT61_SW	[7:0]	SW_IN_SET_61	SW_OUT_SET_61	SW_IN_61			SW_OUT_61				0x00	R/W	
0x17B	LUT61_FILTER	[7:0]	HPF_61					LPF_61					0x00	R/W
0x17C	LUT62_SW	[7:0]	SW_IN_SET_62	SW_OUT_SET_62	SW_IN_62			SW_OUT_62				0x00	R/W	
0x17D	LUT62_FILTER	[7:0]	HPF_62					LPF_62					0x00	R/W
0x17E	LUT63_SW	[7:0]	SW_IN_SET_63	SW_OUT_SET_63	SW_IN_63			SW_OUT_63				0x00	R/W	
0x17F	LUT63_FILTER	[7:0]	HPF_63					LPF_63					0x00	R/W
0x180	LUT64_SW	[7:0]	SW_IN_SET_64	SW_OUT_SET_64	SW_IN_64			SW_OUT_64				0x00	R/W	
0x181	LUT64_FILTER	[7:0]	HPF_64					LPF_64					0x00	R/W
0x182	LUT65_SW	[7:0]	SW_IN_SET_65	SW_OUT_SET_65	SW_IN_65			SW_OUT_65				0x00	R/W	
0x183	LUT65_FILTER	[7:0]	HPF_65					LPF_65					0x00	R/W
0x184	LUT66_SW	[7:0]	SW_IN_SET_66	SW_OUT_SET_66	SW_IN_66			SW_OUT_66				0x00	R/W	
0x185	LUT66_FILTER	[7:0]	HPF_66					LPF_66					0x00	R/W
0x186	LUT67_SW	[7:0]	SW_IN_SET_67	SW_OUT_SET_67	SW_IN_67			SW_OUT_67				0x00	R/W	
0x187	LUT67_FILTER	[7:0]	HPF_67					LPF_67					0x00	R/W
0x188	LUT68_SW	[7:0]	SW_IN_SET_68	SW_OUT_SET_68	SW_IN_68			SW_OUT_68				0x00	R/W	
0x189	LUT68_FILTER	[7:0]	HPF_68					LPF_68					0x00	R/W
0x18A	LUT69_SW	[7:0]	SW_IN_SET_69	SW_OUT_SET_69	SW_IN_69			SW_OUT_69				0x00	R/W	
0x18B	LUT69_FILTER	[7:0]	HPF_69					LPF_69					0x00	R/W
0x18C	LUT70_SW	[7:0]	SW_IN_SET_70	SW_OUT_SET_70	SW_IN_70			SW_OUT_70				0x00	R/W	
0x18D	LUT70_FILTER	[7:0]	HPF_70					LPF_70					0x00	R/W
0x18E	LUT71_SW	[7:0]	SW_IN_SET_71	SW_OUT_SET_71	SW_IN_71			SW_OUT_71				0x00	R/W	
0x18F	LUT71_FILTER	[7:0]	HPF_71					LPF_71					0x00	R/W
0x190	LUT72_SW	[7:0]	SW_IN_SET_72	SW_OUT_SET_72	SW_IN_72			SW_OUT_72				0x00	R/W	
0x191	LUT72_FILTER	[7:0]	HPF_72					LPF_72					0x00	R/W
0x192	LUT73_SW	[7:0]	SW_IN_SET_73	SW_OUT_SET_73	SW_IN_73			SW_OUT_73				0x00	R/W	
0x193	LUT73_FILTER	[7:0]	HPF_73					LPF_73					0x00	R/W
0x194	LUT74_SW	[7:0]	SW_IN_SET_74	SW_OUT_SET_74	SW_IN_74			SW_OUT_74				0x00	R/W	
0x195	LUT74_FILTER	[7:0]	HPF_74					LPF_74					0x00	R/W
0x196	LUT75_SW	[7:0]	SW_IN_SET_75	SW_OUT_SET_75	SW_IN_75			SW_OUT_75				0x00	R/W	
0x197	LUT75_FILTER	[7:0]	HPF_75					LPF_75					0x00	R/W
0x198	LUT76_SW	[7:0]	SW_IN_SET_76	SW_OUT_SET_76	SW_IN_76			SW_OUT_76				0x00	R/W	
0x199	LUT76_FILTER	[7:0]	HPF_76					LPF_76					0x00	R/W
0x19A	LUT77_SW	[7:0]	SW_IN_SET_77	SW_OUT_SET_77	SW_IN_77			SW_OUT_77				0x00	R/W	
0x19B	LUT77_FILTER	[7:0]	HPF_77					LPF_77					0x00	R/W
0x19C	LUT78_SW	[7:0]	SW_IN_SET_78	SW_OUT_SET_78	SW_IN_78			SW_OUT_78				0x00	R/W	
0x19D	LUT78_FILTER	[7:0]	HPF_78					LPF_78					0x00	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x19E	LUT79_SW	[7:0]	SW_IN_SET_79	SW_OUT_SET_79	SW_IN_79			SW_OUT_79			0x00	R/W	
0x19F	LUT79_FILTER	[7:0]	HPF_79					LPF_79				0x00	R/W
0x1A0	LUT80_SW	[7:0]	SW_IN_SET_80	SW_OUT_SET_80	SW_IN_80			SW_OUT_80			0x00	R/W	
0x1A1	LUT80_FILTER	[7:0]	HPF_80					LPF_80				0x00	R/W
0x1A2	LUT81_SW	[7:0]	SW_IN_SET_81	SW_OUT_SET_81	SW_IN_81			SW_OUT_81			0x00	R/W	
0x1A3	LUT81_FILTER	[7:0]	HPF_81					LPF_81				0x00	R/W
0x1A4	LUT82_SW	[7:0]	SW_IN_SET_82	SW_OUT_SET_82	SW_IN_82			SW_OUT_82			0x00	R/W	
0x1A5	LUT82_FILTER	[7:0]	HPF_82					LPF_82				0x00	R/W
0x1A6	LUT83_SW	[7:0]	SW_IN_SET_83	SW_OUT_SET_83	SW_IN_83			SW_OUT_83			0x00	R/W	
0x1A7	LUT83_FILTER	[7:0]	HPF_83					LPF_83				0x00	R/W
0x1A8	LUT84_SW	[7:0]	SW_IN_SET_84	SW_OUT_SET_84	SW_IN_84			SW_OUT_84			0x00	R/W	
0x1A9	LUT84_FILTER	[7:0]	HPF_84					LPF_84				0x00	R/W
0x1AA	LUT85_SW	[7:0]	SW_IN_SET_85	SW_OUT_SET_85	SW_IN_85			SW_OUT_85			0x00	R/W	
0x1AB	LUT85_FILTER	[7:0]	HPF_85					LPF_85				0x00	R/W
0x1AC	LUT86_SW	[7:0]	SW_IN_SET_86	SW_OUT_SET_86	SW_IN_86			SW_OUT_86			0x00	R/W	
0x1AD	LUT86_FILTER	[7:0]	HPF_86					LPF_86				0x00	R/W
0x1AE	LUT87_SW	[7:0]	SW_IN_SET_87	SW_OUT_SET_87	SW_IN_87			SW_OUT_87			0x00	R/W	
0x1AF	LUT87_FILTER	[7:0]	HPF_87					LPF_87				0x00	R/W
0x1B0	LUT88_SW	[7:0]	SW_IN_SET_88	SW_OUT_SET_88	SW_IN_88			SW_OUT_88			0x00	R/W	
0x1B1	LUT88_FILTER	[7:0]	HPF_88					LPF_88				0x00	R/W
0x1B2	LUT89_SW	[7:0]	SW_IN_SET_89	SW_OUT_SET_89	SW_IN_89			SW_OUT_89			0x00	R/W	
0x1B3	LUT89_FILTER	[7:0]	HPF_89					LPF_89				0x00	R/W
0x1B4	LUT90_SW	[7:0]	SW_IN_SET_90	SW_OUT_SET_90	SW_IN_90			SW_OUT_90			0x00	R/W	
0x1B5	LUT90_FILTER	[7:0]	HPF_90					LPF_90				0x00	R/W
0x1B6	LUT91_SW	[7:0]	SW_IN_SET_91	SW_OUT_SET_91	SW_IN_91			SW_OUT_91			0x00	R/W	
0x1B7	LUT91_FILTER	[7:0]	HPF_91					LPF_91				0x00	R/W
0x1B8	LUT92_SW	[7:0]	SW_IN_SET_92	SW_OUT_SET_92	SW_IN_92			SW_OUT_92			0x00	R/W	
0x1B9	LUT92_FILTER	[7:0]	HPF_92					LPF_92				0x00	R/W
0x1BA	LUT93_SW	[7:0]	SW_IN_SET_93	SW_OUT_SET_93	SW_IN_93			SW_OUT_93			0x00	R/W	
0x1BB	LUT93_FILTER	[7:0]	HPF_93					LPF_93				0x00	R/W
0x1BC	LUT94_SW	[7:0]	SW_IN_SET_94	SW_OUT_SET_94	SW_IN_94			SW_OUT_94			0x00	R/W	
0x1BD	LUT94_FILTER	[7:0]	HPF_94					LPF_94				0x00	R/W
0x1BE	LUT95_SW	[7:0]	SW_IN_SET_95	SW_OUT_SET_95	SW_IN_95			SW_OUT_95			0x00	R/W	
0x1BF	LUT95_FILTER	[7:0]	HPF_95					LPF_95				0x00	R/W
0x1C0	LUT96_SW	[7:0]	SW_IN_SET_96	SW_OUT_SET_96	SW_IN_96			SW_OUT_96			0x00	R/W	
0x1C1	LUT96_FILTER	[7:0]	HPF_96					LPF_96				0x00	R/W
0x1C2	LUT97_SW	[7:0]	SW_IN_SET_97	SW_OUT_SET_97	SW_IN_97			SW_OUT_97			0x00	R/W	
0x1C3	LUT97_FILTER	[7:0]	HPF_97					LPF_97				0x00	R/W
0x1C4	LUT98_SW	[7:0]	SW_IN_SET_98	SW_OUT_SET_98	SW_IN_98			SW_OUT_98			0x00	R/W	
0x1C5	LUT98_FILTER	[7:0]	HPF_98					LPF_98				0x00	R/W
0x1C6	LUT99_SW	[7:0]	SW_IN_SET_99	SW_OUT_SET_99	SW_IN_99			SW_OUT_99			0x00	R/W	
0x1C7	LUT99_FILTER	[7:0]	HPF_99					LPF_99				0x00	R/W
0x1C8	LUT100_SW	[7:0]	SW_IN_SET_100	SW_OUT_SET_100	SW_IN_100			SW_OUT_100			0x00	R/W	
0x1C9	LUT100_FILTER	[7:0]	HPF_100					LPF_100				0x00	R/W
0x1CA	LUT101_SW	[7:0]	SW_IN_SET_101	SW_OUT_SET_101	SW_IN_101			SW_OUT_101			0x00	R/W	
0x1CB	LUT101_FILTER	[7:0]	HPF_101					LPF_101				0x00	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x1CC	LUT102_SW	[7:0]	SW_IN_SET_102	SW_OUT_SET_102	SW_IN_102		SW_OUT_102				0x00	R/W
0x1CD	LUT102_FILTER	[7:0]	HPF_102				LPF_102				0x00	R/W
0x1CE	LUT103_SW	[7:0]	SW_IN_SET_103	SW_OUT_SET_103	SW_IN_103			SW_OUT_103			0x00	R/W
0x1CF	LUT103_FILTER	[7:0]	HPF_103				LPF_103				0x00	R/W
0x1D0	LUT104_SW	[7:0]	SW_IN_SET_104	SW_OUT_SET_104	SW_IN_104			SW_OUT_104			0x00	R/W
0x1D1	LUT104_FILTER	[7:0]	HPF_104				LPF_104				0x00	R/W
0x1D2	LUT105_SW	[7:0]	SW_IN_SET_105	SW_OUT_SET_105	SW_IN_105			SW_OUT_105			0x00	R/W
0x1D3	LUT105_FILTER	[7:0]	HPF_105				LPF_105				0x00	R/W
0x1D4	LUT106_SW	[7:0]	SW_IN_SET_106	SW_OUT_SET_106	SW_IN_106			SW_OUT_106			0x00	R/W
0x1D5	LUT106_FILTER	[7:0]	HPF_106				LPF_106				0x00	R/W
0x1D6	LUT107_SW	[7:0]	SW_IN_SET_107	SW_OUT_SET_107	SW_IN_107			SW_OUT_107			0x00	R/W
0x1D7	LUT107_FILTER	[7:0]	HPF_107				LPF_107				0x00	R/W
0x1D8	LUT108_SW	[7:0]	SW_IN_SET_108	SW_OUT_SET_108	SW_IN_108			SW_OUT_108			0x00	R/W
0x1D9	LUT108_FILTER	[7:0]	HPF_108				LPF_108				0x00	R/W
0x1DA	LUT109_SW	[7:0]	SW_IN_SET_109	SW_OUT_SET_109	SW_IN_109			SW_OUT_109			0x00	R/W
0x1DB	LUT109_FILTER	[7:0]	HPF_109				LPF_109				0x00	R/W
0x1DC	LUT110_SW	[7:0]	SW_IN_SET_110	SW_OUT_SET_110	SW_IN_110			SW_OUT_110			0x00	R/W
0x1DD	LUT110_FILTER	[7:0]	HPF_110				LPF_110				0x00	R/W
0x1DE	LUT111_SW	[7:0]	SW_IN_SET_111	SW_OUT_SET_111	SW_IN_111			SW_OUT_111			0x00	R/W
0x1DF	LUT111_FILTER	[7:0]	HPF_111				LPF_111				0x00	R/W
0x1E0	LUT112_SW	[7:0]	SW_IN_SET_112	SW_OUT_SET_112	SW_IN_112			SW_OUT_112			0x00	R/W
0x1E1	LUT112_FILTER	[7:0]	HPF_112				LPF_112				0x00	R/W
0x1E2	LUT113_SW	[7:0]	SW_IN_SET_113	SW_OUT_SET_113	SW_IN_113			SW_OUT_113			0x00	R/W
0x1E3	LUT113_FILTER	[7:0]	HPF_113				LPF_113				0x00	R/W
0x1E4	LUT114_SW	[7:0]	SW_IN_SET_114	SW_OUT_SET_114	SW_IN_114			SW_OUT_114			0x00	R/W
0x1E5	LUT114_FILTER	[7:0]	HPF_114				LPF_114				0x00	R/W
0x1E6	LUT115_SW	[7:0]	SW_IN_SET_115	SW_OUT_SET_115	SW_IN_115			SW_OUT_115			0x00	R/W
0x1E7	LUT115_FILTER	[7:0]	HPF_115				LPF_115				0x00	R/W
0x1E8	LUT116_SW	[7:0]	SW_IN_SET_116	SW_OUT_SET_116	SW_IN_116			SW_OUT_116			0x00	R/W
0x1E9	LUT116_FILTER	[7:0]	HPF_116				LPF_116				0x00	R/W
0x1EA	LUT117_SW	[7:0]	SW_IN_SET_117	SW_OUT_SET_117	SW_IN_117			SW_OUT_117			0x00	R/W
0x1EB	LUT117_FILTER	[7:0]	HPF_117				LPF_117				0x00	R/W
0x1EC	LUT118_SW	[7:0]	SW_IN_SET_118	SW_OUT_SET_118	SW_IN_118			SW_OUT_118			0x00	R/W
0x1ED	LUT118_FILTER	[7:0]	HPF_118				LPF_118				0x00	R/W
0x1EE	LUT119_SW	[7:0]	SW_IN_SET_119	SW_OUT_SET_119	SW_IN_119			SW_OUT_119			0x00	R/W
0x1EF	LUT119_FILTER	[7:0]	HPF_119				LPF_119				0x00	R/W
0x1F0	LUT120_SW	[7:0]	SW_IN_SET_120	SW_OUT_SET_120	SW_IN_120			SW_OUT_120			0x00	R/W
0x1F1	LUT120_FILTER	[7:0]	HPF_120				LPF_120				0x00	R/W
0x1F2	LUT121_SW	[7:0]	SW_IN_SET_121	SW_OUT_SET_121	SW_IN_121			SW_OUT_121			0x00	R/W
0x1F3	LUT121_FILTER	[7:0]	HPF_121				LPF_121				0x00	R/W
0x1F4	LUT122_SW	[7:0]	SW_IN_SET_122	SW_OUT_SET_122	SW_IN_122			SW_OUT_122			0x00	R/W
0x1F5	LUT122_FILTER	[7:0]	HPF_122				LPF_122				0x00	R/W
0x1F6	LUT123_SW	[7:0]	SW_IN_SET_123	SW_OUT_SET_123	SW_IN_123			SW_OUT_123			0x00	R/W
0x1F7	LUT123_FILTER	[7:0]	HPF_123				LPF_123				0x00	R/W
0x1F8	LUT124_SW	[7:0]	SW_IN_SET_124	SW_OUT_SET_124	SW_IN_124			SW_OUT_124			0x00	R/W
0x1F9	LUT124_FILTER	[7:0]	HPF_124				LPF_124				0x00	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x1FA	LUT125_SW	[7:0]	SW_IN SET_125	SW_OUT_ SET_125	SW_IN_125			SW_OUT_125			0x00	R/W
0x1FB	LUT125_FILTER	[7:0]	HPF_125				LPF_125				0x00	R/W
0x1FC	LUT126_SW	[7:0]	SW_IN SET_126	SW_OUT_ SET_126	SW_IN_126			SW_OUT_126			0x00	R/W
0x1FD	LUT126_FILTER	[7:0]	HPF_126				LPF_126				0x00	R/W
0x1FE	LUT127_SW	[7:0]	SW_IN SET_127	SW_OUT_ SET_127	SW_IN_127			SW_OUT_127			0x00	R/W
0x1FF	LUT127_FILTER	[7:0]	HPF_127				LPF_127				0x00	R/W

レジスタの詳細

LUT1_SW～LUT127_FILTER のビット・フィールド機能（レジスタ 0x102～レジスタ 0x1FF）は、LUT0_SW および LUT0_FILTER ビット・フィールド機能（レジスタ 0x100 およびレジスタ 0x101）と同等であることに注意してください。レジスタ・アドレス情報については、表 6 を参照してください。

アドレス：0x000、リセット：0x00、レジスタ名：ADI_SPI_CONFIG_A

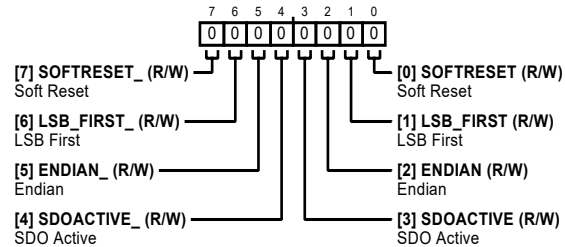


表 7. ADI_SPI_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット。 0：リセットをアサート。 1：リセットをアサートしない。	0x0	R/W
6	LSB_FIRST_	LSB ファースト。 0：LSB ファースト。 1：MSB ファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0：リトル・エンディアン。 1：ビッグ・エンディアン。	0x0	R/W
4	SDOACTIVE_	SDO アクティブ。 0：SDO 非アクティブ。 1：SDO アクティブ。	0x0	R/W
3	SDOACTIVE	SDO アクティブ。 0：SDO 非アクティブ。 1：SDO アクティブ。	0x0	R/W
2	ENDIAN	エンディアン。 0：リトル・エンディアン。 1：ビッグ・エンディアン。	0x0	R/W
1	LSB_FIRST	LSB ファースト。 0：LSB ファースト。 1：MSB ファースト。	0x0	R/W
0	SOFTRESET	ソフト・リセット。 0：リセットをアサート。 1：リセットをアサートしない。	0x0	R/W

アドレス : 0x001、リセット : 0x00、レジスタ名 : ADI_SPI_CONFIG_B

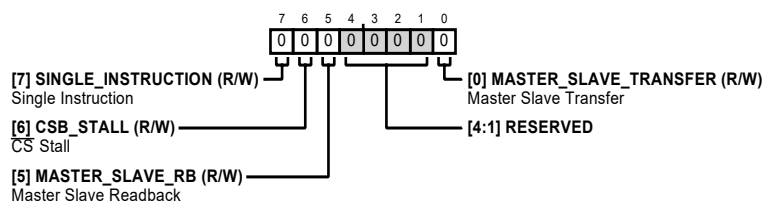


表 8. ADI_SPI_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。 0 : ストリーミングを有効化。 1 : ストリーミングを無効化 (CSに関わらず)。	0x0	R/W
6	CSB_STALL	CS停止。	0x0	R/W
5	MASTER_SLAVE_RB	マスタ・スレーブのリードバック。	0x0	R/W
[4:1]	RESERVED	予備。	0x0	R
0	MASTER_SLAVE_TRANSFER	マスタ・スレーブの転送。	0x0	R/W

アドレス : 0x003、リセット : 0x01、レジスタ名 : CHIPTYPE

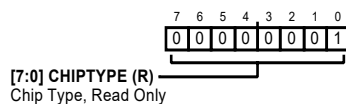


表 9. CHIPTYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIPTYPE	チップ・タイプ、読出し専用。	0x1	R

アドレス : 0x004、リセット : 0x18、レジスタ名 : PRODUCT_ID_L

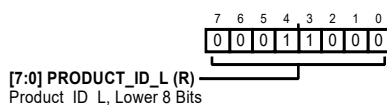


表 10. PRODUCT_ID_L ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_L	PRODUCT_ID_L、下位 8 ビット。	0x18	R

アドレス : 0x005、リセット : 0x88、レジスタ名 : PRODUCT_ID_H

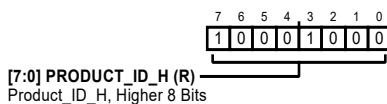


表 11. PRODUCT_ID_H ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_H	PRODUCT_ID_H、上位 8 ビット。	0x88	R

アドレス : 0x010、リセット : 0x00、レジスタ名 : FAST_LATCH_POINTER

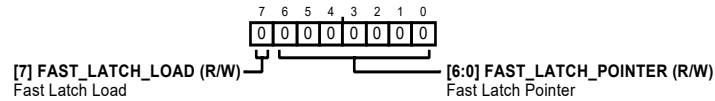


表 12. FAST_LATCH_POINTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	FAST_LATCH_LOAD	高速ラッチ・ロード。高速ラッチ・モード用にポインタの位置を内部ステート・マシンにロードします。FAST_LATCH_LOAD ビットはセルフ・リセットして、ゼロになります。	0x0	R/W
[6:0]	FAST_LATCH_POINTER	高速ラッチ・ポインタ。高速ラッチ・ルックアップ・テーブル内のポインタの位置を指定します。	0x0	R/W

アドレス : 0x011、リセット : 0x7F、レジスタ名 : FAST_LATCH_STOP

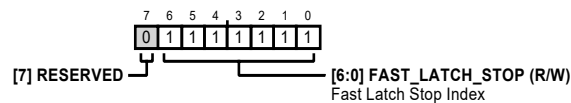


表 13. FAST_LATCH_STOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:0]	FAST_LATCH_STOP	高速ラッチ停止インデックス。高速ラッチのルックアップ・テーブル内の停止インデックスを設定します。	0x7F	R/W

アドレス : 0x012、リセット : 0x00、レジスタ名 : FAST_LATCH_START

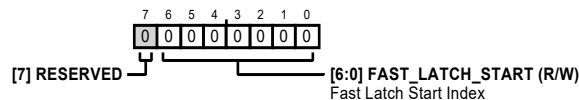


表 14. FAST_LATCH_START のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:0]	FAST_LATCH_START	高速ラッチの開始インデックス。高速ラッチのルックアップ・テーブル内の開始インデックスを設定します。高速ラッチ・モード (SFL ピン) を終了してから再び入ると、内部ステート・マシンは、開始インデックスではなく、中断したところから再開することに注意してください。新しい開始インデックスを設定した場合、ステート・マシンが中断した時点から状態をいくつかシーケンスしなければならない場合があります。このアクションは、正のインクリメンタル方向で必要です。負のデクリメント方向の場合、このアクションは停止インデックスで必要です。	0x0	R/W

アドレス : 0x013、リセット : 0x00、レジスタ名 : FAST_LATCH_DIRECTION

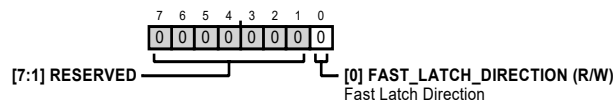


表 15. FAST_LATCH_DIRECTION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	FAST_LATCH_DIRECTION	高速ラッチの方向。高速ラッチのルックアップ・テーブル内でシーケンスする方向を指定します。 0 : インクリメント。 1 : デクリメント。	0x0	R/W

アドレス : 0x014、リセット : 0x00、レジスタ名 : FAST_LATCH_STATE

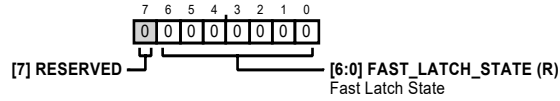


表 16. FAST_LATCH_STATE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:0]	FAST_LATCH_STATE	高速ラッチの状態。内部ステート・マシンのポインタをリードバックします。	0x0	R

アドレス : 0x020、リセット : 0x00、レジスタ名 : WR0_SW

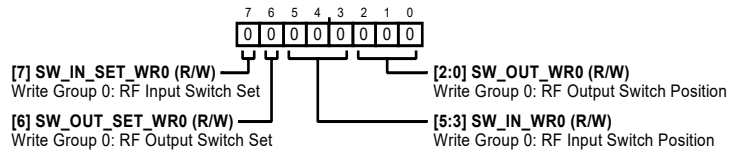


表 17. WR0_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_IN_SET_WR0	書き込みグループ 0 : RF 入力スイッチの設定。ビット [5:3] の定義に従ってスイッチ位置を設定します。	0x0	R/W
6	SW_OUT_SET_WR0	書き込みグループ 0 : RF 出力スイッチの設定。ビット [2:0] の定義に従ってスイッチ位置を設定します。	0x0	R/W
[5:3]	SW_IN_WR0	書き込みグループ 0 : RF 入力スイッチの位置。RF 入力スイッチの位置と、対応する HPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W
[2:0]	SW_OUT_WR0	書き込みグループ 0 : RF 出力スイッチの位置。RF 出力スイッチの位置と、対応する LPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W

アドレス : 0x021、リセット : 0x00、レジスタ名 : WR0_FILTER

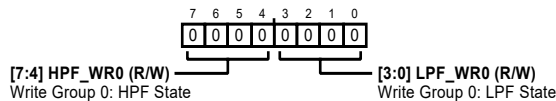


表 18. WR0_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_WR0	書き込みグループ 0 : HPF の状態。選択される帯域は、WR0_SW レジスタのビット [5:3] によって決定されます。	0x0	R/W
[3:0]	LPF_WR0	書き込みグループ 0 : LPF の状態。選択される帯域は、WR0_SW レジスタのビット [2:0] によって決定されます。	0x0	R/W

アドレス : 0x022、リセット : 0x00、レジスタ名 : WR1_SW

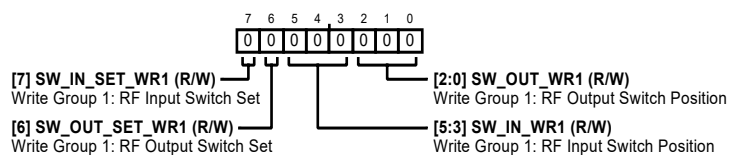


表 19. WR1_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_IN_SET_WR1	書き込みグループ 1 : RF 入力スイッチの設定。ビット [5:3] の定義に従ってスイッチ位置を設定します。	0x0	R/W
6	SW_OUT_SET_WR1	書き込みグループ 1 : RF 出力スイッチの設定。ビット [2:0] の定義に従ってスイッチ位置を設定します。	0x0	R/W
[5:3]	SW_IN_WR1	書き込みグループ 1 : RF 入力スイッチの位置。RF 入力スイッチの位置と、対応する HPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W
[2:0]	SW_OUT_WR1	書き込みグループ 1 : RF 出力スイッチの位置。RF 出力スイッチの位置と、対応する LPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W

アドレス : 0x023、リセット : 0x00、レジスタ名 : WR1_FILTER

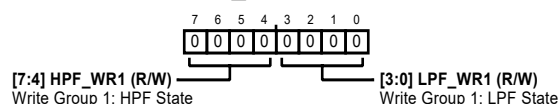


表 20. WR1_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_WR1	書き込みグループ 1 : HPF の状態。選択される帯域は、WR1_SW レジスタのビット [5:3] によって決定されます。	0x0	R/W
[3:0]	LPF_WR1	書き込みグループ 1 : LPF の状態。選択される帯域は、WR1_SW レジスタのビット [2:0] によって決定されます。	0x0	R/W

アドレス : 0x024、リセット : 0x00、レジスタ名 : WR2_SW

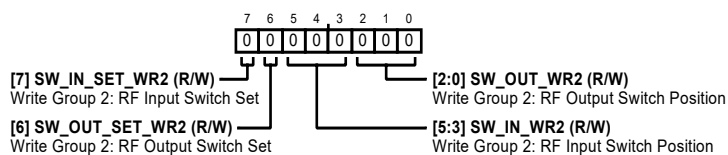


表 21. WR2_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_IN_SET_WR2	書き込みグループ 2 : RF 入力スイッチの設定。ビット [5:3] の定義に従ってスイッチ位置を設定します。	0x0	R/W
6	SW_OUT_SET_WR2	書き込みグループ 2 : RF 出力スイッチの設定。ビット [2:0] の定義に従ってスイッチ位置を設定します。	0x0	R/W
[5:3]	SW_IN_WR2	書き込みグループ 2 : RF 入力スイッチの位置。RF 入力スイッチの位置と、対応する HPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W
[2:0]	SW_OUT_WR2	書き込みグループ 2 : RF 出力スイッチの位置。RF 出力スイッチの位置と、対応する LPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W

アドレス : 0x025、リセット : 0x00、レジスタ名 : WR2_FILTER

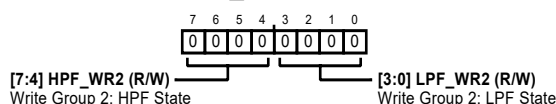


表 22. WR2_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_WR2	書き込みグループ 2 : HPF の状態。選択される帯域は、WR2_SW レジスタのビット [5:3] によって決定されます。	0x0	R/W
[3:0]	LPF_WR2	書き込みグループ 2 : LPF の状態。選択される帯域は、WR2_SW レジスタのビット [2:0] によって決定されます。	0x0	R/W

アドレス : 0x026、リセット : 0x00、レジスタ名 : WR3_SW

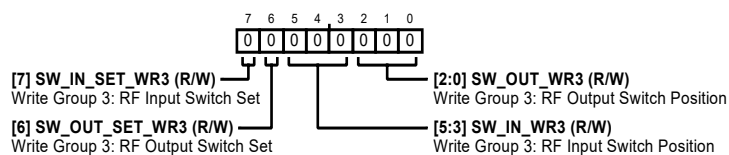


表 23. WR3_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_IN_SET_WR3	書込みグループ 3 : RF 入力スイッチの設定。ビット [5:3] の定義に従ってスイッチ位置を設定します。	0x0	R/W
6	SW_OUT_SET_WR3	書込みグループ 3 : RF 出力スイッチの設定。ビット [2:0] の定義に従ってスイッチ位置を設定します。	0x0	R/W
[5:3]	SW_IN_WR3	書込みグループ 3 : RF 入力スイッチの位置。RF 入力スイッチの位置と、対応する HPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W
[2:0]	SW_OUT_WR3	書込みグループ 3 : RF 出力スイッチの位置。RF 出力スイッチの位置と、対応する LPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W

アドレス : 0x027、リセット : 0x00、レジスタ名 : WR3_FILTER

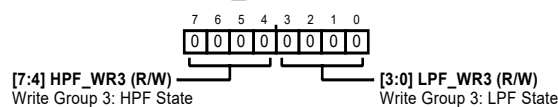


表 24. WR3_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_WR3	書込みグループ 3 : HPF の状態。選択される帯域は、WR3_SW レジスタのビット [5:3] によって決定されます。	0x0	R/W
[3:0]	LPF_WR3	書込みグループ 3 : LPF の状態。選択される帯域は、WR3_SW レジスタのビット [2:0] によって決定されます。	0x0	R/W

アドレス : 0x028、リセット : 0x00、レジスタ名 : WR4_SW

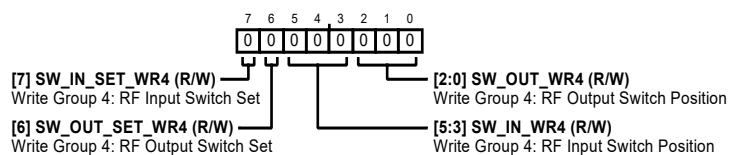


表 25. WR4_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_IN_SET_WR4	書込みグループ 4 : RF 入力スイッチの設定。ビット [5:3] の定義に従ってスイッチ位置を設定します。	0x0	R/W
6	SW_OUT_SET_WR4	書込みグループ 4 : RF 出力スイッチの設定。ビット [2:0] の定義に従ってスイッチ位置を設定します。	0x0	R/W
[5:3]	SW_IN_WR4	書込みグループ 4 : RF 入力スイッチの位置。RF 入力スイッチの位置と、対応する HPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W
[2:0]	SW_OUT_WR4	書込みグループ 4 : RF 出力スイッチの位置。RF 出力スイッチの位置と、対応する LPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : バイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W

アドレス : 0x029、リセット : 0x00、レジスタ名 : WR4_FILTER

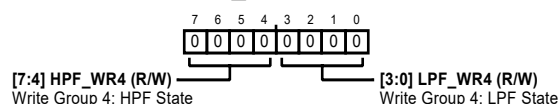


表 26. WR4_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_WR4	書込みグループ 4 : HPF の状態。選択される帯域は、WR4_SW レジスタのビット [5:3] によって決定されます。	0x0	R/W
[3:0]	LPF_WR4	書込みグループ 4 : LPF の状態。選択される帯域は、WR4_SW レジスタのビット [2:0] によって決定されます。	0x0	R/W

アドレス : 0x100、リセット : 0x00、レジスタ名 : LUT0_SW

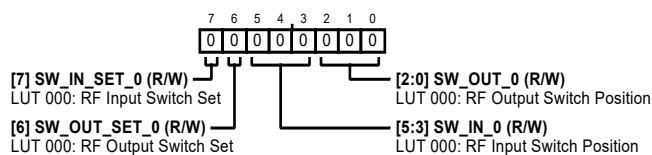


表 27. LUT0_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_IN_SET_0	LUT 000: RF 入力スイッチの設定。ビット [5:3] の定義に従ってスイッチ位置を設定します。	0x0	R/W
6	SW_OUT_SET_0	LUT 000: RF 出力スイッチの設定。ビット [2:0] の定義に従ってスイッチ位置を設定します。	0x0	R/W
[5:3]	SW_IN_0	LUT 000: RF 入力スイッチの位置。RF 入力スイッチの位置と、対応する HPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : パイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W
[2:0]	SW_OUT_0	LUT 000: RF 出力スイッチの位置。RF 出力スイッチの位置と、対応する LPF 状態ビットによって調整されるフィルタ帯域を定義します。 000 : パイパス。 001 : 帯域 1。 010 : 帯域 2。 011 : 帯域 3。 100 : 帯域 4。	0x0	R/W

アドレス : 0x101、リセット : 0x00、レジスタ名 : LUT0_FILTER

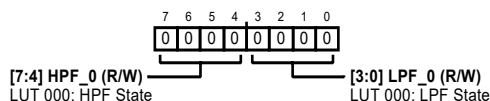


表 28. LUT0_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_0	LUT 000: HPF の状態。選択される帯域は、LUT0_SW レジスタのビット [5:3] によって決定されます。	0x0	R/W
[3:0]	LPF_0	LUT 000: LPF の状態。選択される帯域は、LUT0_SW レジスタのビット [2:0] によって決定されます。	0x0	R/W

外形寸法

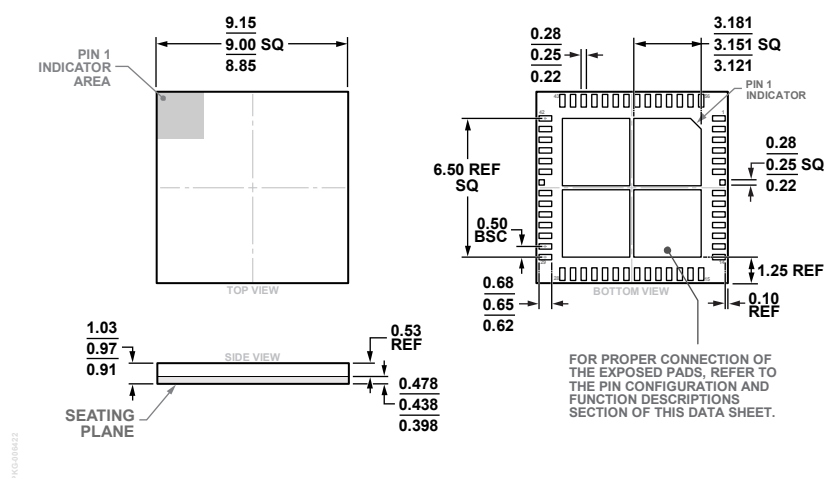


図 38. 56 端子ランド・グリッド・アレイ [LGA]
 9 mm × 9 mm ボディと 0.97 mm のパッケージ高
 (CC-56-3)
 寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADMV8818SCCZ-EP	-55°C to +105°C	56-Terminal Land Grid Array [LGA]	CC-56-3
ADMV8818-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品