

1.25GHz～2.60GHzの範囲でデジタル調整可能なバンドパス・フィルタ

特長

- ▶ デジタル調整可能な1オクターブのバンドパス調整
- ▶ 3dB帯域幅：9% ± 2%
- ▶ 除去（20dB）： f_{CENTER} から16%離れた範囲
- ▶ ディスクリット・フィルタ・バンクに代わるシングル・チップ・ソリューション
- ▶ 10mm × 10mm × 1.99mmの小型LGAパッケージ アプリケーション

アプリケーション

- ▶ ランド・モバイル無線
- ▶ 試験装置および計測装置
- ▶ 防衛用レーダー、電子戦、電子対抗手段
- ▶ 衛星通信
- ▶ 工業用および医療用機器

概要

ADMV8526は、動作周波数をデジタル的に選択できるRFバンドパス・フィルタです。フィルタの中心周波数 (f_{CENTER}) は、特許申請中のインターポレーション技術を採用した8ビット値 (256個の状態) により1.25GHz～2.60GHzの範囲で調整できます。

3dB帯域幅は9% (代表値) で、調整可能範囲は±2%です。挿入損失は4dB (代表値) で、20dB除去は f_{CENTER} から16%離れた範囲であるため、システムの干渉を最小限に抑えるのに最適です。

このチューナブル・フィルタは、大きなスイッチド・フィルタ・バンクやディスクリット・コンポーネント・ベースのチューナブル・フィルタに代わる小型のフィルタとして使用することが可能です。高度な通信アプリケーションにおいて動的調整が可能なソリューションを提供します。

機能ブロック図

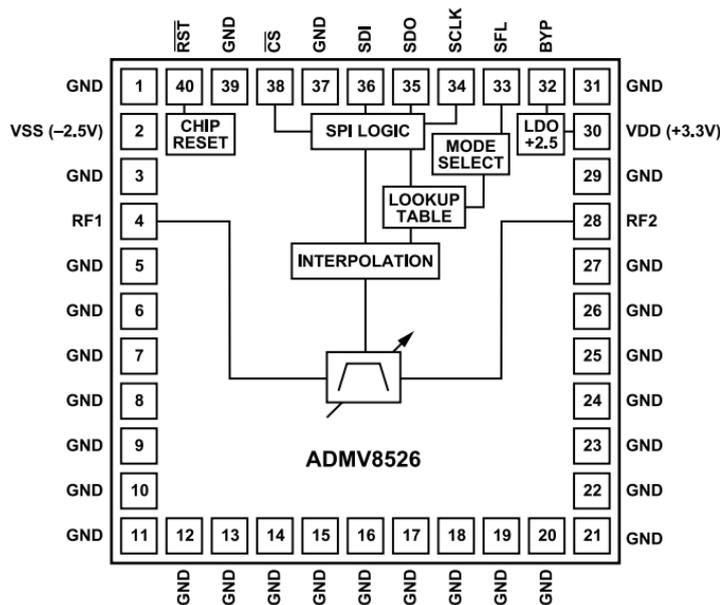


図 1.

目次

特長.....	1	インターポレーション関数.....	11
アプリケーション.....	1	インターポレーションの式.....	12
概要.....	1	インターポレーション表.....	12
機能ブロック図.....	1	インターポレーション図.....	13
仕様.....	3	インターポレーション係数のキャリブレーション.....	13
タイミング仕様.....	4	フィルタ・コードのリードバック.....	13
タイミング図.....	4	SPI高速ラッチ・モード.....	14
絶対最大定格.....	5	チップ・リセット.....	14
静電放電（ESD）定格.....	5	アプリケーション情報.....	15
ESDに関する注意.....	5	インターポレーション係数.....	15
ピン配置およびピン機能の説明.....	6	プリント回路基板（PCB）の設計ガイドライン.....	15
代表的な性能特性.....	7	フロー・チャート.....	16
動作原理.....	10	レジスタの一覧.....	17
チップのアーキテクチャ.....	10	レジスタの詳細.....	20
RF接続.....	10	外形寸法.....	31
SPI設定.....	10	オーダー・ガイド.....	31
モード選択.....	11	評価用ボード.....	31
SPI書込みモード.....	11		
SPIストリーミング.....	11		

改訂履歴

11/2021–Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 1.

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
FREQUENCY RANGE (f_{CENTER})	1.25		2.60	GHz	
BANDWIDTH (3 dB)		9		%	
BANDWIDTH ADJUSTABILITY		± 2		%	
RESOLUTION		1		%	フィルタあたり8ビット
REJECTION (20 dB)					
Low-Side		$0.84 \times f_{\text{CENTER}}$		GHz	
High-Side		$1.16 \times f_{\text{CENTER}}$		GHz	
RE-ENTRY FREQUENCY		>4		GHz	≤ 30 dB
INSERTION LOSS		4		dB	
RETURN LOSS		20		dB	
DYNAMIC PERFORMANCE					
Input Compression (P0.1dB)		24		dBm	入力電力(P_{IN})は5dBm、100kHzのトーン分離
Input Third-Order Intercept (IP3)		43		dBm	
Group Delay		3.1		ns	静的挿入損失の1dB以内まで 静的位相の 2° 以内まで
Amplitude Settling Time		2		μs	
Phase Settling Time		12		μs	
Drift Rate					$f_{\text{CENTER}} = 1.9\text{GHz}$ 時
Amplitude		-0.007		dB/ $^\circ\text{C}$	
Frequency		-75		ppm/ $^\circ\text{C}$	
RESIDUAL PHASE NOISE					
At 1 MHz Offset		169		dBc/Hz	$f_{\text{CENTER}} = 1.9\text{GHz}$ 時
SUPPLY VOLTAGE					
VSS	-2.6	-2.5	-2.4	V	
VDD	+3.2	+3.3	+3.4	V	
SUPPLY CURRENT (STATIC)					
Static					f_{SCLK} はMHz単位のSCLKトグル周波数。例えば、10MHzでの連続シリアル・ペリフェラル・インターフェース (SPI) 書き込みにより、2.5mAの動的電源電流が得られます。
VSS Current (I_{SS})		2		μA	
VDD Current (I_{DD})		125		μA	
Dynamic					
I_{DD}		$f_{\text{SCLK}}/4$		mA	
LOGIC (RST, CS, SCLK, SDI, SDO, and SFL)					
Logic Low	-0.3	0	+0.8	V	
Logic High	+1.2	+3.3	+3.6	V	

仕様

タイミング仕様

表 2.

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
t ₁	10			ns	リセットを実行するためのRSTのロー時間
	10			ns	SCLKのサイクル時間 (書込み)
t ₂	20			ns	SCLKのサイクル時間 (読出し)
t ₃	2.5			ns	SCLKのハイ時間
t ₄	2.5			ns	SCLKのロー時間
t ₅	5			ns	\overline{CS} 立下がりエッジからSCLK立上がりエッジまでのセットアップ時間
t ₆	2			ns	SCLK立上がりエッジからホールドまでの時間
t ₇	5			ns	データをラッチするための \overline{CS} の最小ハイ時間 (複数のSPIトランザクションの場合)
t ₈	5			ns	\overline{CS} 立上がりエッジから次のSCLK立上がりエッジ無視までの時間
T ₉	5			ns	SDIデータのセットアップ時間
t ₁₀	2			ns	SDIデータのホールド時間
t ₁₁	10			ns	SFL立下がりエッジ (SFLモードの終了) から \overline{CS} 立下がりエッジ (SPIトランザクションの開始) までの時間
t ₁₂	10			ns	\overline{CS} 立上がりエッジ (SPIトランザクションの終了) からSFL立上がりエッジ (SFLモードの開始) までの時間
t ₁₃	10			ns	SFL立上がりエッジから \overline{CS} 立下がりエッジまでの時間
t ₁₄	10			ns	\overline{CS} のサイクル時間 (SFLモード)
t ₁₅	2.5			ns	\overline{CS} のハイ時間 (SFLモード)
t ₁₆	2.5			ns	\overline{CS} のロー時間 (SFLモード)
t ₁₇		6		ns	SCLK立下がりエッジからSDOが有効になるまでの時間 (負荷容量 (C _L) = 10pF)
t ₁₈		5		ns	SDOの立上がり時間と立下がり時間 (C _L = 10pF)
t ₁₉		4		ns	\overline{CS} 立上がりエッジからSDOトライステートまでの時間 (C _L = 10pF)

タイミング図

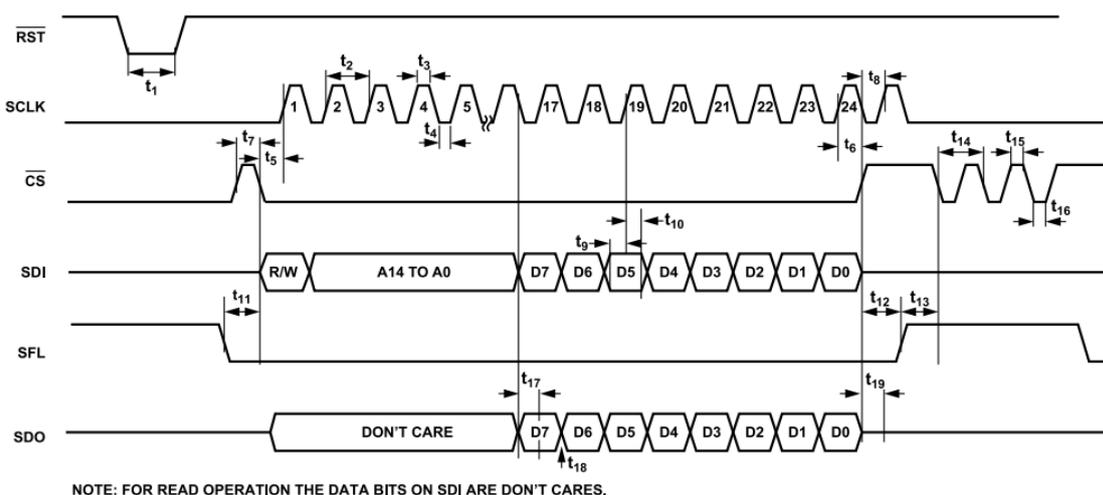


図 2. タイミング図

絶対最大定格

表 3.

Parameter	Rating
SUPPLY	
VDD	-0.3 V to +3.6 V
VSS	-3.6 V to +0.3 V
Digital Control Inputs	
Voltage	-0.3 V to VDD + 0.3 V
Current	2 mA
Continuous RF Input Power	24 dBm
Survivability	Maximum 5 minutes over lifetime
Temperature	
Operating Range	-40°C to +85°C
Storage Range	-55°C to +150°C
Junction to Maintain 1 Million Hours Mean Time to Failure (MTTF)	135°C
Nominal Junction (Paddle Temperature) (T _{PADDLE}) = 85°C	90°C
Moisture Sensitivity Level (MSL) Rating	MSL3

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

静電放電 (ESD) 定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001-2010準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADMV8526のESD定格

表 4. ADMV8526、40端子LGA

ESD Model	Withstand Threshold (V)	Class
HBM	750	1B
FICDM	1000	C3

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

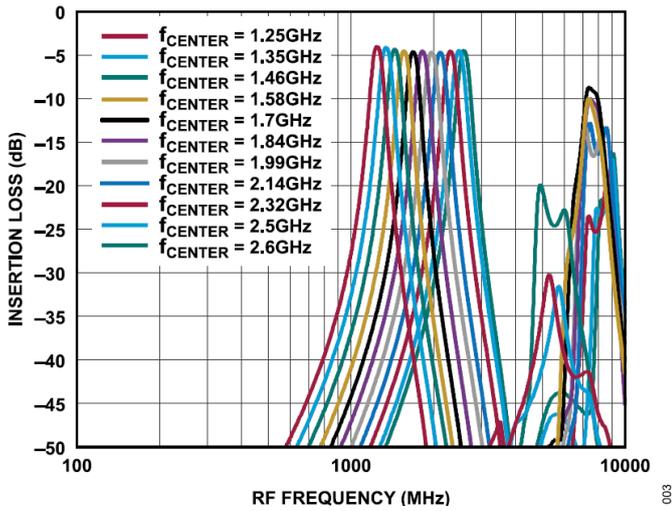


図 4. 公称9%の帯域幅での挿入損失とRF周波数の関係

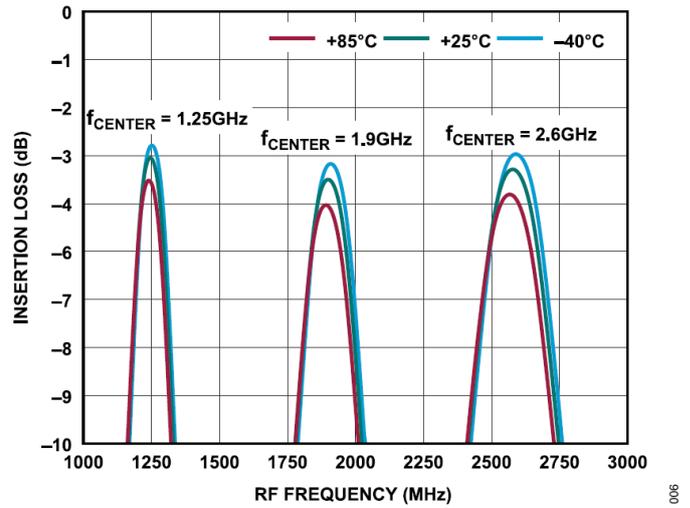


図 7. 異なる温度および周波数における公称9%の帯域幅での挿入損失とRF周波数の関係

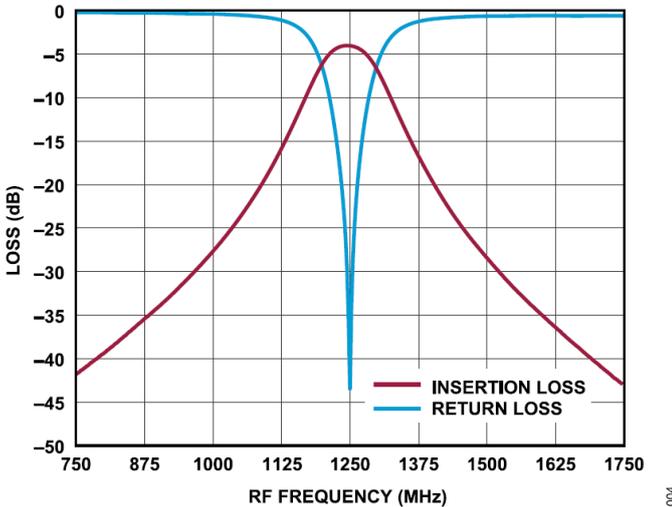


図 5. 1.25GHz、公称9%の帯域幅での挿入損失およびリターン損失とRF周波数の関係

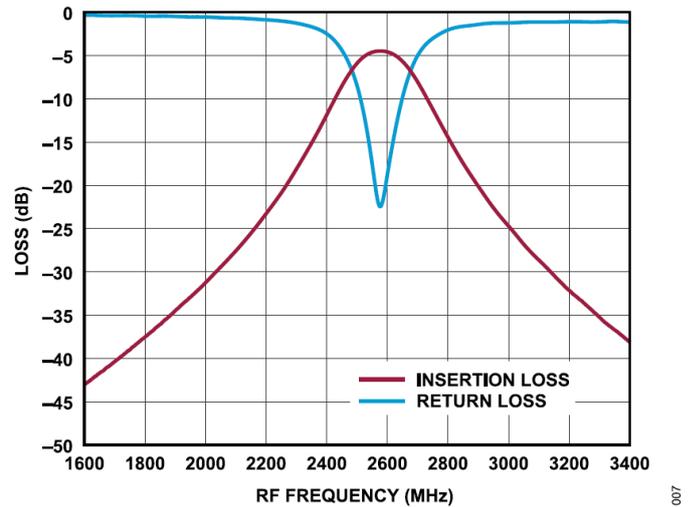


図 8. 2.6GHz、公称9%の帯域幅での挿入損失およびリターン損失とRF周波数の関係

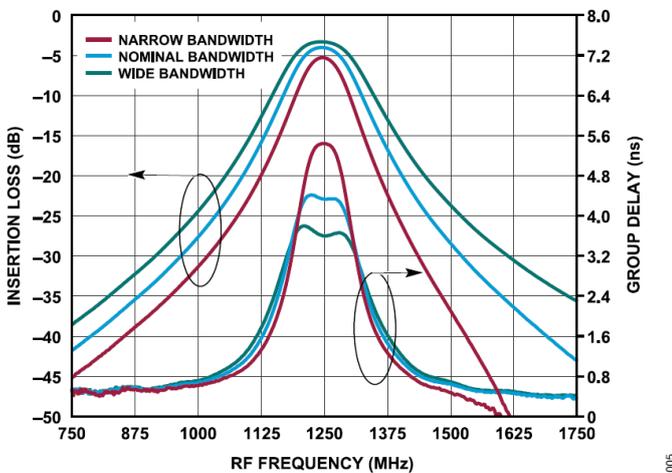


図 6. 1.25GHzでの挿入損失および群遅延とRF周波数の関係

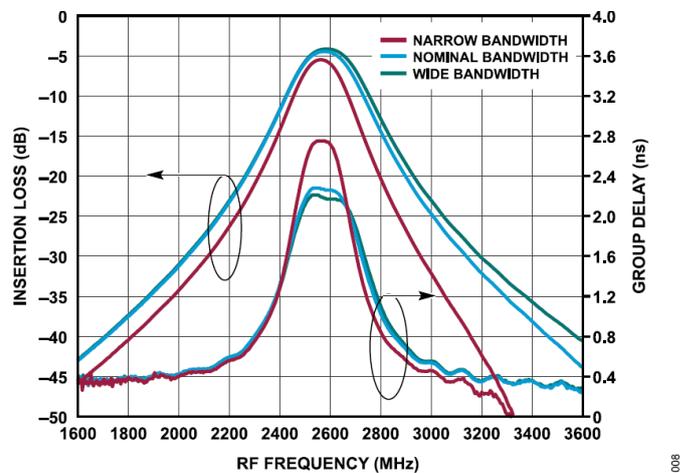


図 9. 2.6GHzでの挿入損失および群遅延とRF周波数の関係

代表的な性能特性

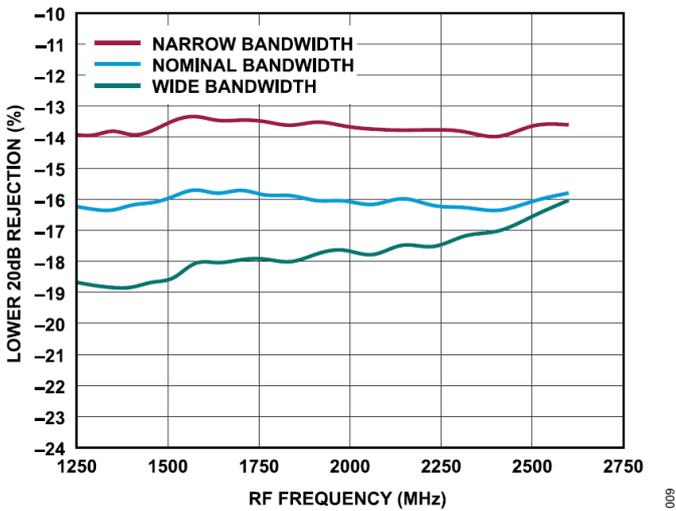


図 10. 異なる帯域幅における低周波数側20dB除去: f_{CENTER} からの%偏差とRF周波数の関係

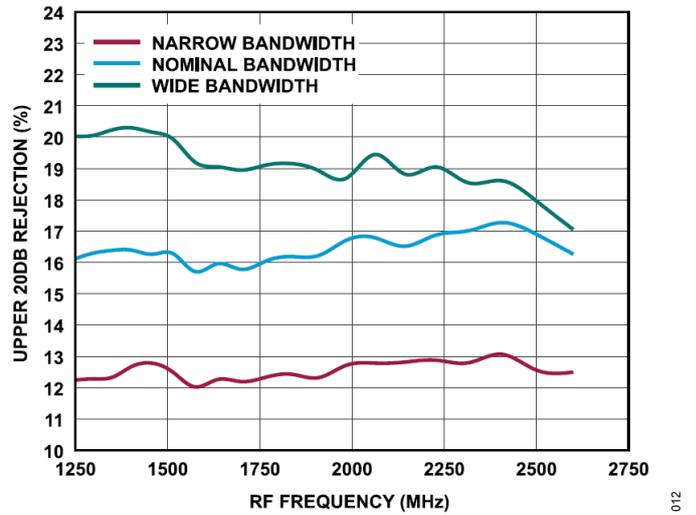


図 13. 異なる帯域幅における高周波数側20dB除去: f_{CENTER} からの%偏差とRF周波数の関係

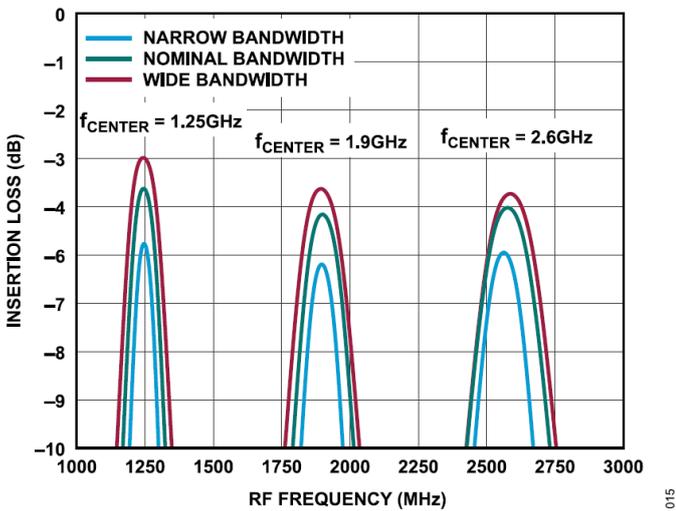


図 11. 異なる帯域幅および中心周波数における挿入損失とRF周波数の関係

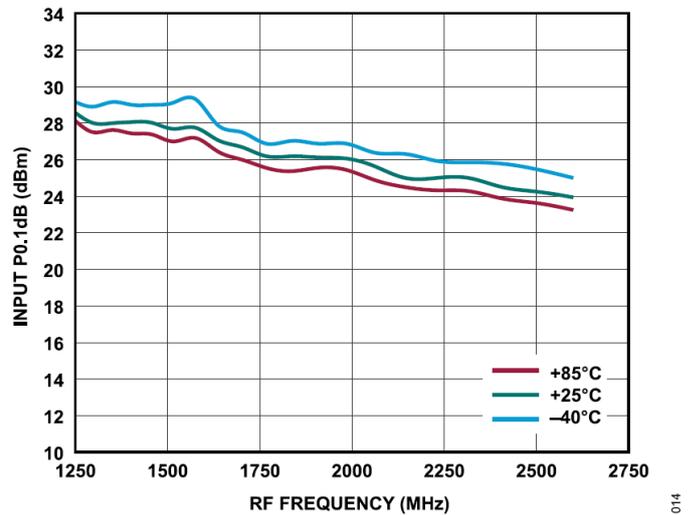


図 14. 異なる温度における公称9%の帯域幅での入力P0.1dBとRF周波数の関係

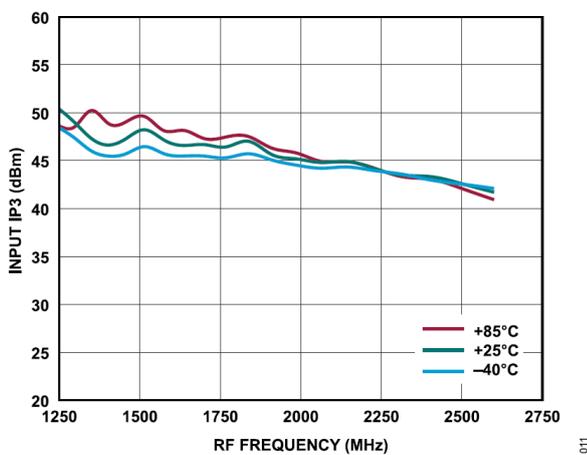


図 12. 異なる温度における公称9%の帯域幅での入力IP3とRF周波数の関係

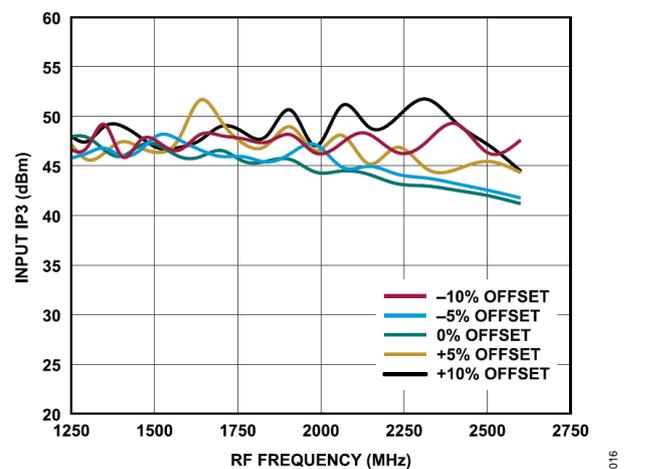


図 15. 異なる周波数オフセットにおける公称9%の帯域幅での入力IP3とRF周波数の関係

代表的な性能特性

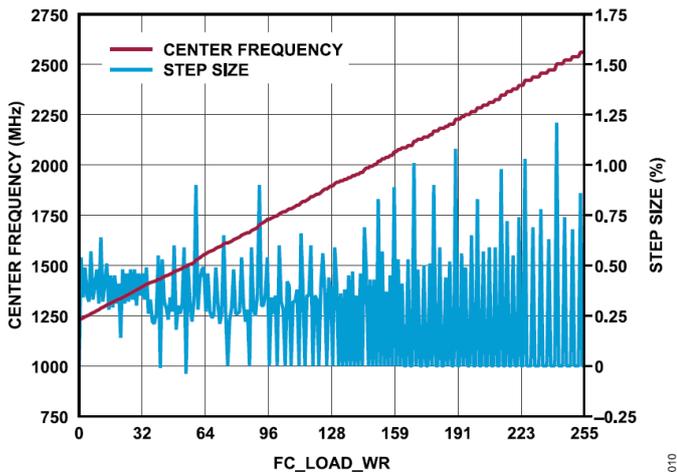


図 16. 中心周波数およびステップ・サイズとFC_LOAD_WRの関係

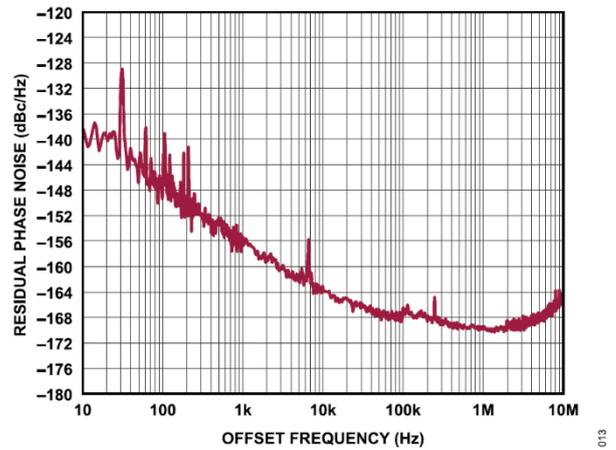


図 17. $f_{\text{CENTER}} = 1.9\text{GHz}$ での残留位相ノイズとオフセット周波数の関係

動作原理

チップのアーキテクチャ

ADMV8526は、RF性能を変えることのできるいくつかのスイッチト・キャパシタを内蔵しています。図18に、フィルタ・アーキテクチャの簡略化した回路図を示します。

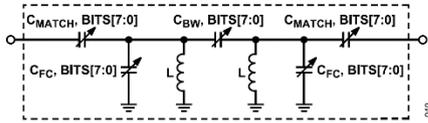


図18. フィルタ・アーキテクチャの簡略化した回路図

フィルタの f_{CENTER} を調整する f_{CENTER} ロード値によって、2つの中心周波数コンデンサ (C_{FC}) が設定されています。同様に、フィルタの帯域幅応答を調整する帯域幅ロード値によって、帯域幅コンデンサ (C_{BW}) が設定されています。更に、フィルタのインピーダンス・マッチングを調整するマッチング・ロード値によって、2つのマッチング・コンデンサ (C_{MATCH}) が設定されています。

f_{CENTER} 、帯域幅、マッチングの各ロード値には、それぞれ256 (8ビット) の状態があります。理論的には、ADMV8526内の帯域ごとに、 f_{CENTER} 、帯域幅、マッチングの各ロード値は、1,600万以上の状態が可能です。これらの値の選択を簡単にできるように、アナログ・デバイセズは3件の特許申請中のインターポレーション関数を開発しました。

RF接続

ADMV8526のRF1ピンとRF2ピンは、オンチップESD保護ダイオードにDCカップリングされています。システム内の他のコンポーネントからの直流電圧がRF1ピンとRF2ピンに存在する場合は、これらのピンと直列にDC阻止コンデンサを配置することを推奨します。DC阻止コンデンサは、フィルタの動作周波数に基づいて選択する必要があります。一般に、10nFを超える値であれば、低い動作周波数側での挿入損失を最小限に抑えるのに十分です。高い動作周波数側では、選択するコンデンサの寄生成分を考慮しなければならない場合があります。図19に、寄生成分のあるコンデンサの一般的なモデルを示します。寄生直列インダクタンス (L_{ESL}) は、そのインピーダンスが支配的になる可能性があることから、通常最も大きな懸念事項となります。リーク抵抗 (R_{L})、誘電体吸収抵抗 (R_{DA})、誘電体吸収容量 (C_{DA})、電気直列抵抗 (R_{ESR}) など、その他の寄生成分はそれほど考慮すべき重要な成分ではありませんが、完全を期すために示します。

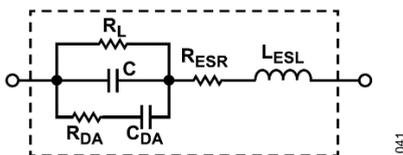


図19. コンデンサのモデル図

SPI設定

ADMV8526のSPIは、5ピンSPIポートを介し、特定の機能や動作に合わせたデバイス設定を可能にします。このインターフェースにより柔軟性が高まり、カスタマイズが可能となります。SPIは、SFL、SCLK、SDI、SDO、 $\overline{\text{CS}}$ の5本の制御ラインで構成されています。通常のSPI動作では、SFLピンをローに保持します。

SPIプロトコルは、R/Wビットとそれに続く15個のレジスタ・アドレス・ビットと8個のデータ・ビットで構成されます。アドレス・フィールドとデータ・フィールドはMSBファースト構造で、LSBで終了します。

書き込み動作の場合はMSBを0に設定し、読み出し動作の場合はMSBを1に設定します。書き込みサイクルは、SCLKの立上がりエッジでサンプリングする必要があります。24ビットのシリアル書き込みアドレスおよびデータは、SDI制御ライン上でMSBからLSBにシフト・インされます。ADMV8526の書き込みサイクル用入力ロジック・レベルは、3.3Vインターフェースに対応しています。

読み出しサイクルでは、R/Wビットと15個のレジスタ・アドレス・ビットが、SDI制御ラインのSCLKの立上がりエッジでシフト・インします。次に、SDO制御ライン上において、SCLKの立下がりエッジで8ビットのシリアル読み出しデータがシフト・アウトします (MSBファースト)。読み出しサイクルの出力ロジック・レベルは3.3Vです。SDOの出力ドライバはSCLKの最後の立上がりエッジ後にイネーブルされ、その読み出しサイクルの終了までアクティブな状態を保ちます。読み出し動作中に $\overline{\text{CS}}$ のアサートが解除されると、SDOが高インピーダンス状態に戻り、次の読み出しトランザクションまでその状態が保たれます。 $\overline{\text{CS}}$ はアクティブ・ローで、書き込みまたは読み出しシーケンスの終了時にアサートを解除する必要があります。

通信サイクルは $\overline{\text{CS}}$ のアクティブ・ロー入力で開始され、制御されます。 $\overline{\text{CS}}$ ピンにより、同じシリアル通信ライン上の複数のデバイスが使用可能になります。 $\overline{\text{CS}}$ 入力がハイのときは、SDOピンが高インピーダンス状態になります。通信サイクル時は、チップ・セレクトはローになっていることが必要です。SPI通信プロトコルは、アナログ・デバイセズのSPI標準に従っています。詳細については、ADI-SPI Serial Control Interface Standard (Rev 1.0) を参照してください。

動作原理

モード選択

ADMV8526には、SPI書き込みモードとSPI高速ラッチの2つの動作モードがあります。SPI書き込みモードは通常の動作モードですが、SPI高速ラッチ・モードは、内部ステート・マシンを用いてオンチップのルックアップ・テーブル (LUT) をシーケンス処理するのに使用します。SPI書き込みモードを使用するには、SFLピンをローに設定します。SPI高速ラッチ・モードで動作させる際は、SFLピンをローにしてオンチップ・ルックアップ・テーブルと高速ラッチ・パラメータを設定した後、SFLピンをハイにしてこのモードに入ります。図20に、レジスタ・マップと内部ステート・マシンを持ったSPIの簡略図を示します。

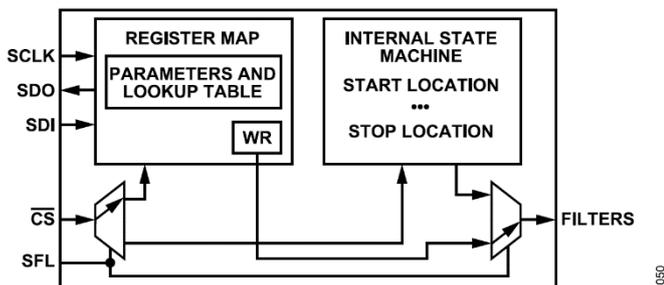


図20. SPIの簡略化した回路図

SPI書き込みモード

スパンの両端には均等に分割された約3%のオーバーレンジが設けられており、どの条件でも公称レンジが確実にカバーされるようになっています。

- ▶ f_{CENTER} のロード値
- ▶ 帯域幅のロード値
- ▶ マッチングのロード値

書き込みグループの詳細については、[レジスタの詳細](#)のセクションを参照してください。

SPIストリーミング

一般に、SPIストリーミングのトランザクションには、昇順と降順の2種類のエンディアン・レジスタがあります。ADMV8526は、昇順のみをサポートします。昇順のエンディアン・レジスタでSPIストリーミングを有効にするには、レジスタ0x000の値を0x3Cに設定します。

書き込みグループレジスタ0x020~0x022 (推奨) へのSPIストリーミングでは、トランザクションがアドレス0x020を指し示し、3バイトのデータをストリーム・アウトします。トランザクションは合計で40ビットです (R/Wビット + 15アドレス・ビット + 24データ・ビット)。

ルックアップ・テーブルのレジスタ0x100~0x15FへのSPIストリーミングでは、トランザクションがアドレス0x100を指し示し、96バイトのデータをストリーム・アウトします。トランザクションは合計で784ビットです (R/Wビット + 15アドレス・ビット + 768データ・ビット)。

インターポレーション関数

ADMV8526には、ユーザが f_{CENTER} のロード値を用いるだけでフィルタの f_{CENTER} を指定できる3つのインターポレーション関数があり、それによって適切なコンデンサ・コードが自動的に決定されます。この関数を有効にするには、INTERPOLATEビット (レジスタ0x050) をハイに設定します。図21に、インターポレーション関数の簡略図を示します。

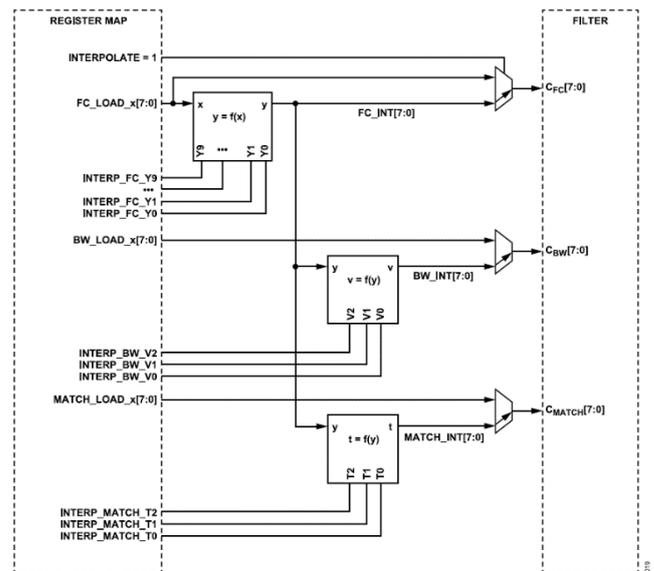


図21. インターポレーションの回路図

インターポレーション関数が有効な場合、 f_{CENTER} のロード値の範囲は0~255です。0は最低周波数、255は最高周波数に対応します。例えば、値が0の場合は約1.25GHzに対応し、255であれば約2.6GHzに対応します。 f_{CENTER} のロード値を用いることで、オンチップ・インターポレーション係数に基づき、適切なコンデンサ・コードを決定できます。

デフォルトでは、推奨インターポレーション・コードは公称9%の帯域幅に見合うよう設定されています。インターポレーション係数は、挿入損失を妥当な値に維持した上で、公称帯域幅の±2%の範囲内で調整できます。挿入損失は大きくなりますが、帯域幅を約5%まで狭くすることも可能です。

動作原理

インターポレーションの式

次式は、インターポレーション関数の入力を説明するものです。

$$f_{CMIN} = \min(f_{CENTER}) \quad (1)$$

$$f_{CMAX} = \max(f_{CENTER}) \quad (2)$$

$$f_{CSTEP} \approx \frac{f_{CMAX} - f_{CMIN}}{255} \quad (3)$$

$$x = FC_LOAD_X, \text{ Bits}[7:0] \quad (4)$$

フィルタの予測 f_{CENTER} は次式で計算できます。

$$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times x \quad (5)$$

コンデンサ・コード (CFC) を定めるインターポレーション関数の式 $y = f(x)$ を、表6に示します。

表6. $y = f(x)$ の式

Condition	Logic Shift Form ¹
If ($0 \leq x < 16$)	$y = Y1 + (((16 - x)(Y0 - Y1)) \gg 4)$
If ($16 \leq x < 32$)	$y = Y2 + (((32 - x)(Y1 - Y2)) \gg 4)$
If ($32 \leq x < 64$)	$y = Y3 + (((64 - x)(Y2 - Y3)) \gg 5)$
If ($64 \leq x < 96$)	$y = Y4 + (((96 - x)(Y3 - Y4)) \gg 5)$
If ($96 \leq x < 128$)	$y = Y5 + (((128 - x)(Y4 - Y5)) \gg 5)$
If ($128 \leq x < 160$)	$y = Y6 + (((160 - x)(Y5 - Y6)) \gg 5)$
If ($160 \leq x < 192$)	$y = Y7 + (((192 - x)(Y6 - Y7)) \gg 5)$
If ($192 \leq x < 224$)	$y = Y8 + (((224 - x)(Y7 - Y8)) \gg 5)$
If ($224 \leq x < 255$)	$y = Y9 + (((256 - x)(Y8 - Y9)) \gg 5)$
Else	$y = Y9$

1 Y0～Y9は f_{CENTER} の係数です。

帯域幅コンデンサ・コード (C_{Bw}) を定めるインターポレーション関数の式 $v = f(y)$ を、表7に示します。

表7. $v = f(y)$ の式

Condition	Logic Shift Form ¹
If ($0 \leq y < 32$)	$v = V0 + ((y \times (V1 - V0)) \gg 5)$
If ($32 \leq y < 255$)	$v = V1 + (((y - 32)(V2 - V1) \times 295) \gg 16)$
Else	$v = V2$

1 Y0～Y2は帯域幅の係数です。

マッチング・コンデンサ・コード (C_{MATCH}) を定めるインターポレーション関数の式 $t = f(y)$ を、表8に示します。

表8. $t = f(y)$ の式

Condition	Logic Shift Form ¹
If ($0 \leq y < 32$)	$t = T0 + ((y \times (T1 - T0)) \gg 5)$
If ($32 \leq y < 255$)	$t = T1 + (((y - 32)(T2 - T1) \times 295) \gg 16)$
Else	$t = T2$

1 T0～T2はマッチング係数です。

インターポレーション表

インターポレーション関数 $y = f(x)$ の各条件の下限値についてインターポレーション方程式を解くと、表9に示すような結果となります。

表9. 有意なx値ごとの予想 f_{CENTER} についての式

x	f_{CENTER}	$y = f(x)$
0	$f_{CENTER} \approx f_{CMIN}$	Y0
16	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 16$	Y1
32	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 32$	Y2
64	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 64$	Y3
96	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 96$	Y4
128	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 128$	Y5
160	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 160$	Y6
192	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 192$	Y7
224	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 224$	Y8
255	$f_{CENTER} \approx f_{CMAX}$	Y9

同様に、インターポレーション関数 $v = f(y)$ および $t = f(y)$ の各条件の下限値についてインターポレーション方程式を解くと、表10に示すような結果となります。

表10. 有意なy値ごとの $v = f(y)$ および $t = f(y)$ の式

y	$v = f(y)$	$t = f(y)$
0	V0	T0
32	V1	T1
255	V2	T2

動作原理

インターポレーション図

インターポレーション関数を視覚的に表示するために、インターポレーション係数とその入力（インターポレーション表より取得）の関係を散布図で表すことができます。図22、図23、図24は、インターポレーション係数を用いて、 y 、 v 、 t のインターポレーション関数を表したものです。

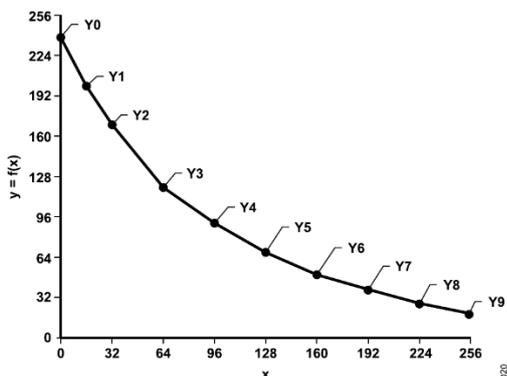


図22. インターポレーション関数 $y = f(x)$

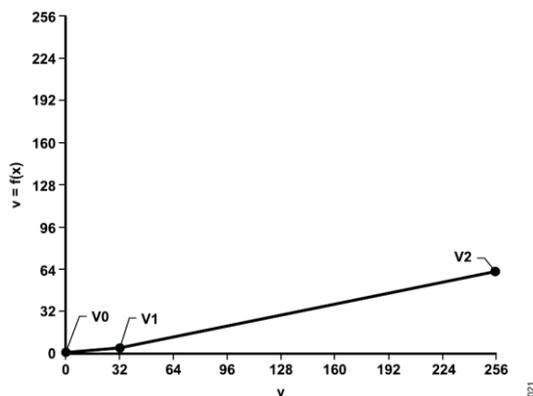


図23. インターポレーション関数 $v = f(y)$

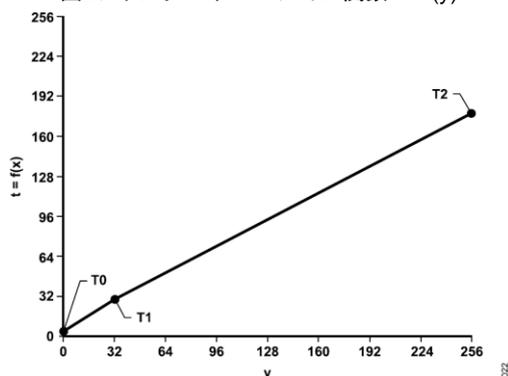


図24. インターポレーション関数 $t = f(y)$

インターポレーション係数のキャリブレーション

主に、チップ・プロセスのばらつきへの考慮、および異なる動作帯域幅が求められる場合があることの2つの理由から、インターポレーション係数にはキャリブレーションが必要となります。インターポレーション係数のキャリブレーションは、通常、次の4つのフェーズに従います（図26参照）。

最初のキャリブレーション・フェーズでは、目的の帯域幅に対し、帯域幅係数V1とマッチング係数T1を決定します。このキャリブレーション・フェーズを実行するには、 f_{CENTER} のロード値を32に設定する必要があります。次いで帯域幅とマッチングのロード値を調整します。結果に問題がなければ、係数V1およびT1をそれぞれ帯域幅とマッチングのロード値に設定できます。

2番目のキャリブレーション・フェーズでは、目的の帯域幅に対し、帯域幅係数V2とマッチング係数T2を決定します。このキャリブレーション・フェーズを実行するには、 f_{CENTER} のロード値を高い値（180を推奨）に設定する必要があります。次いで帯域幅とマッチングのロード値を調整します。結果に問題がなければ、 $v = f(y) = f(180)$ の計算結果が帯域幅のロード値と等しくなるよう、係数V2を調整できます。同様に、 $t = f(y) = f(180)$ の計算結果がマッチングのロード値と等しくなるよう、係数T2を調整できます。

3番目のキャリブレーション・フェーズでは、目的の帯域幅に対し、帯域幅係数V0とマッチング係数T0を決定します。このキャリブレーション・フェーズを実行するには、 f_{CENTER} のロード値を低い値（18を推奨）に設定する必要があります。次いで帯域幅とマッチングのロード値を調整します。結果に問題がなければ、 $v = f(y) = f(18)$ の計算結果が帯域幅のロード値と等しくなるよう、係数V0を調整できます。同様に、 $t = f(y) = f(18)$ の計算結果がマッチングのロード値と等しくなるよう、係数T0を調整できます。

4番目のキャリブレーション・フェーズでは、係数 y のすべてについて調整を行い、動作 f_{CENTER} と予想 f_{CENTER} ができるだけ近くなるようにします。このキャリブレーション・フェーズを実行するには、表9をリファレンスとして使い、 y 係数ごとに目標周波数を決定します。表9に記載された各 x 値について、 y 、 v 、 t の関数を計算し、次いで、それぞれ f_{CENTER} 、帯域幅、マッチングの各ロード値を設定します。

フィルタ・コードのリードバック

フィルタに適用されるコンデンサ・コードはレジスタ0x060～レジスタ0x062を用いてチップからリードバックできます。これらのレジスタは、チップ上コンデンサの実際の状態を表します。この情報は、デバッグを行う際やインターポレーション係数のキャリブレーション時に役に立ちます。

動作原理

SPI高速ラッチ・モード

ADMV8526には、32の状態のLUTと内部ステート・マシンがあり、SPI高速ラッチ・モードでフィルタ状態を素早く変更するのに役立ちます。SFLピンがハイの場合、SPI高速ラッチ・モードが有効になり、内部ステート・マシンが \overline{CS} ピンの各立上がりエッジでシーケンスを実行します。

LUTには、レジスタ0x100～レジスタ0x15Fに、LUT0～LUT31の32のグループがあります。各グループは、SPI書き込みモードのパラメータと同じタイプのパラメータで構成されます。

内部ステート・マシンの機能は、 \overline{CS} ピンの各立上がりエッジで、設定された方向に基づいて内部ステート・マシンがポインタをシーケンスするようになっています。

内部ステート・マシンには、次のパラメータがあります。

- ▶ FAST_LATCH_STOP (レジスタ0x011)
- ▶ FAST_LATCH_START (レジスタ0x012)
- ▶ FAST_LATCH_DIRECTION (レジスタ0x013)
- ▶ FAST_LATCH_STATE (レジスタ0x014)

FAST_LATCH_STATEは、 \overline{CS} ピンの次の立上がりエッジで選択される次のLUTグループです。FAST_LATCH_STATEは、内部ポインタの位置と見なされます。

FAST_LATCH_DIRECTIONビットを0に設定した場合、シーケンス方向はインクリメントです。FAST_LATCH_DIRECTIONビットを1に設定した場合、シーケンス方向はデクリメントです。

FAST_LATCH_STARTビットは開始位置を設定し、FAST_LATCH_STOPビットは停止位置を設定するのに使用します。インクリメント方向の場合、内部ステート・マシンは開始位置から停止位置までシーケンスを実行してから、開始位置にロールオーバーします。デクリメント方向の場合、シーケンスは停止位置から開始位置までシーケンスを実行してから、停止位置にロールオーバーします。

インクリメント方向の場合、FAST_LATCH_STATE内部ポインタは、FAST_LATCH_STARTに保存されている値に設定されます。デクリメント方向の場合は、内部ポインタはFAST_LATCH_STOPに保存されている値に設定されます。このトランザクションを開始するには、 \overline{CS} ピンの立上がりエッジが1つ必要です。本質的に、これはSPI書き込みモードのSPIトランザクション時に生じます。ただし、SPI高速ラッチ・モードを終了する場合（SFLピンをローにプルダウン）、 \overline{CS} ピンをローに切り替えてからハイにする、あるいは、SPIトランザクションを実行することで、それに応じてFAST_LATCH_STATEが開始位置または停止位置に更新するようにしてください。

チップ・リセット

ADMV8526レジスタをデフォルトのパワーオン状態にリセットするには、ハード・リセットとソフト・リセットの2つの方法があります。ハード・リセットは \overline{RST} ピンを使用し、ソフト・リセットはレジスタ0x000を使用します。

ハード・リセットを実行するには、 \overline{RST} ピンを一時的にローにしてからハイにします。 \overline{RST} ピンをローに保持する最小持続時間については、[図2](#)を参照してください。

ソフト・リセットを実行するには、レジスタ0x000を0x81に設定します。このアクションにより、SOFTRESETビットとSOFTRESET_ビットがハイに設定され、リセットが開始されます。リセット動作が完了すると、SOFTRESETビットとSOFTRESET_ビットはセルフ・リセットされます。

使用するリセット方法に関係なく、チップのリセット後に以下を実行することを推奨します。

- ▶ SDOピンを有効化し、昇順のエンディアンでSPIストリーミングを許可するように、レジスタ0x000を0x3Cに設定します。
- ▶ チップ上のすべてのレジスタをリードバックします。

アプリケーション情報

インターポレーション係数

表11に、デバイスの特性評価に使用したADMV8526のインターポレーション係数を参考として示します。これらのインターポレーション係数は、システムで使用する際の良い開始点となります。システム条件やプロセス許容誤差に応じて、これらのインターポレーション係数に若干の修正が必要となる場合もあります。ほとんどのアプリケーションでは、材料の特定ロット内でのデバイス・プロセス許容誤差は1セットのインターポレーション係数で処理可能であるため、インターポレーション係数のキャリブレーションは、ロットごとに1回実行すれば十分です。インターポレーション係数の調整方法の詳細については、[インターポレーション係数のキャリブレーション](#)のセクションを参照してください。

表11. インターポレーション係数

Interpolation Coefficients				
Coefficient	Bit Field	Narrow Bandwidth (7%)	Nominal Bandwidth (9%)	Wide Bandwidth (11%)
Y0	INTERP_FC_Y0	233	239	246
Y1	INTERP_FC_Y1	196	201	207
Y2	INTERP_FC_Y2	164	169	174
Y3	INTERP_FC_Y3	117	120	123
Y4	INTERP_FC_Y4	89	91	93
Y5	INTERP_FC_Y5	67	68	70
Y6	INTERP_FC_Y6	50	51	52
Y7	INTERP_FC_Y7	38	39	39
Y8	INTERP_FC_Y8	28	28	28
Y9	INTERP_FC_Y9	20	20	20
V0	INTERP_BW_V0	4	0	0
V1	INTERP_BW_V1	17	5	0
V2	INTERP_BW_V2	112	64	16
T0	INTERP_MATCH_T0	1	5	0
T1	INTERP_MATCH_T1	21	30	33
T2	INTERP_MATCH_T2	139	178	239

プリント回路基板（PCB）の設計ガイドライン

ADMV8526の実装に使用するPCBは、上部の導体形成層と内部の接地層の間に、Isola 370HRなどの標準的品質の誘電体材料を使用できます。Rogers 4003やRogers 4350を使用する必要はありません。ADMV8526のRF1ピンとRF2ピンへの伝送ラインの特性インピーダンスは、最適なRF性能を確保するために、 50Ω となるよう管理する必要があります。ADMV8526のGNDピンと露出パッドはPCBのグラウンド・プレーンに直接接続します。PCBの上部と下部のグラウンド・プレーンを接続するには、十分な数のビアホールを使用します。

フロー・チャート

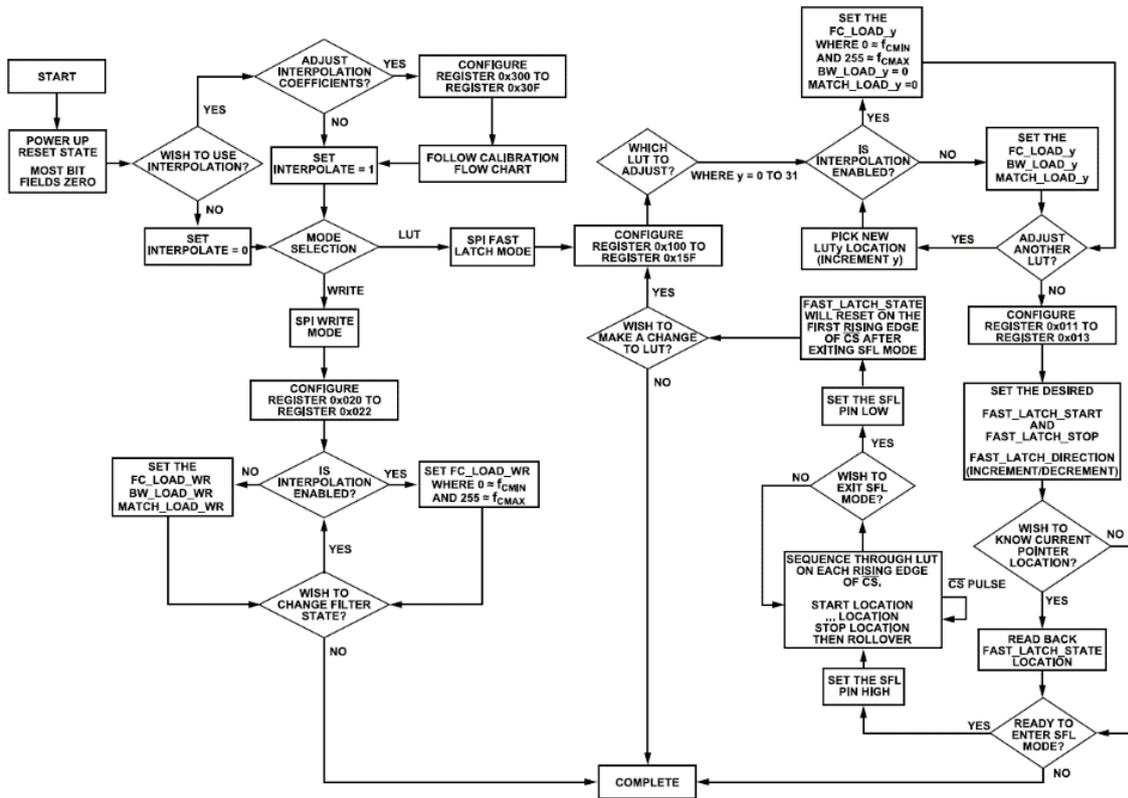


図25. プログラミングのフロー・チャート

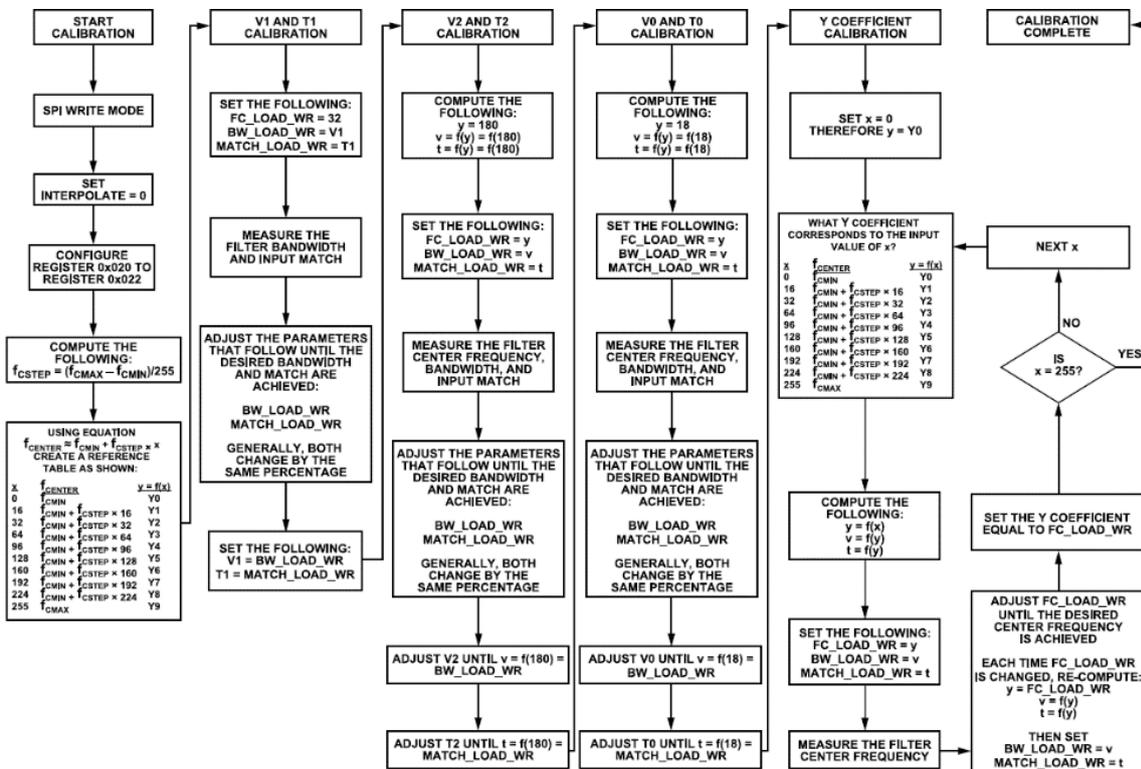


図26. インターポレーション係数のキャリブレーション用フロー・チャート

レジスタの一覧

表12. ADMV8526のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x000	ADI_SPI_CONFIG_A	[7:0]	SOFTRESET_	LSB_FIRST_	ENDIAN_	SDOACTIVE_	SDOACTIVE	ENDIAN	LSB_FIRST	SOFTRESET	0x00	RW	
0x001	ADI_SPI_CONFIG_B	[7:0]	SINGLE_INSTRUCTION	CSB_STALL	CONTROLLER_TARGET_RB	RESERVED				CONTROLLER_TARGET_TRANSFER	0x00	RW	
0x003	CHIPTYPE	[7:0]	CHIPTYPE									0x01	R
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L									0x26	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H									0x85	R
0x00C	VARIANT	[7:0]	RESERVED				VARIANT				0x01	R	
0x011	FAST_LATCH_STOP	[7:0]	RESERVED	FAST_LATCH_STOP								0x7F	RW
0x012	FAST_LATCH_START	[7:0]	RESERVED	FAST_LATCH_START								0x00	RW
0x013	FAST_LATCH_DIRECTION	[7:0]	RESERVED							FAST_LATCH_DIRECTION		0x00	RW
0x014	FAST_LATCH_STATE	[7:0]	RESERVED	FAST_LATCH_STATE								0x00	R
0x020	WR_FC	[7:0]	FC_LOAD_WR									0x00	RW
0x021	WR_BW	[7:0]	BW_LOAD_WR									0x00	RW
0x022	WR_MATCH	[7:0]	MATCH_LOAD_WR									0x00	RW
0x050	FILTER_CONFIG	[7:0]	RESERVED							INTERPOLATE		0x00	RW
0x060	FC_READBACK	[7:0]	FC_READBACK									0x00	R
0x061	BW_READBACK	[7:0]	BW_READBACK									0x00	R
0x062	MATCH_READBACK	[7:0]	MATCH_READBACK									0x00	R
0x100	LUT0_FC	[7:0]	FC_LOAD_0									0x00	RW
0x101	LUT0_BW	[7:0]	BW_LOAD_0									0x00	RW
0x102	LUT0_MATCH	[7:0]	MATCH_LOAD_0									0x00	RW
0x103	LUT1_FC	[7:0]	FC_LOAD_1									0x00	RW
0x104	LUT1_BW	[7:0]	BW_LOAD_1									0x00	RW
0x105	LUT1_MATCH	[7:0]	MATCH_LOAD_1									0x00	RW
0x106	LUT2_FC	[7:0]	FC_LOAD_2									0x00	RW
0x107	LUT2_BW	[7:0]	BW_LOAD_2									0x00	RW
0x108	LUT2_MATCH	[7:0]	MATCH_LOAD_2									0x00	RW
0x109	LUT3_FC	[7:0]	FC_LOAD_3									0x00	RW
0x10A	LUT3_BW	[7:0]	BW_LOAD_3									0x00	RW
0x10B	LUT3_MATCH	[7:0]	MATCH_LOAD_3									0x00	RW
0x10C	LUT4_FC	[7:0]	FC_LOAD_4									0x00	RW
0x10D	LUT4_BW	[7:0]	BW_LOAD_4									0x00	RW
0x10E	LUT4_MATCH	[7:0]	MATCH_LOAD_4									0x00	RW
0x10F	LUT5_FC	[7:0]	FC_LOAD_5									0x00	RW
0x110	LUT5_BW	[7:0]	BW_LOAD_5									0x00	RW
0x111	LUT5_MATCH	[7:0]	MATCH_LOAD_5									0x00	RW
0x112	LUT6_FC	[7:0]	FC_LOAD_6									0x00	RW
0x113	LUT6_BW	[7:0]	BW_LOAD_6									0x00	RW
0x114	LUT6_MATCH	[7:0]	MATCH_LOAD_6									0x00	RW
0x115	LUT7_FC	[7:0]	FC_LOAD_7									0x00	RW

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x116	LUT7_BW	[7:0]					BW_LOAD_7				0x00	R/W
0x117	LUT7_MATCH	[7:0]					MATCH_LOAD_7				0x00	R/W
0x118	LUT8_FC	[7:0]					FC_LOAD_8				0x00	R/W
0x119	LUT8_BW	[7:0]					BW_LOAD_8				0x00	R/W
0x11A	LUT8_MATCH	[7:0]					MATCH_LOAD_8				0x00	R/W
0x11B	LUT9_FC	[7:0]					FC_LOAD_9				0x00	R/W
0x11C	LUT9_BW	[7:0]					BW_LOAD_9				0x00	R/W
0x11D	LUT9_MATCH	[7:0]					MATCH_LOAD_9				0x00	R/W
0x11E	LUT10_FC	[7:0]					FC_LOAD_10				0x00	R/W
0x11F	LUT10_BW	[7:0]					BW_LOAD_10				0x00	R/W
0x120	LUT10_MATCH	[7:0]					MATCH_LOAD_10				0x00	R/W
0x121	LUT11_FC	[7:0]					FC_LOAD_11				0x00	R/W
0x122	LUT11_BW	[7:0]					BW_LOAD_11				0x00	R/W
0x123	LUT11_MATCH	[7:0]					MATCH_LOAD_11				0x00	R/W
0x124	LUT12_FC	[7:0]					FC_LOAD_12				0x00	R/W
0x125	LUT12_BW	[7:0]					BW_LOAD_12				0x00	R/W
0x126	LUT12_MATCH	[7:0]					MATCH_LOAD_12				0x00	R/W
0x127	LUT13_FC	[7:0]					FC_LOAD_13				0x00	R/W
0x128	LUT13_BW	[7:0]					BW_LOAD_13				0x00	R/W
0x129	LUT13_MATCH	[7:0]					MATCH_LOAD_13				0x00	R/W
0x12A	LUT14_FC	[7:0]					FC_LOAD_14				0x00	R/W
0x12B	LUT14_BW	[7:0]					BW_LOAD_14				0x00	R/W
0x12C	LUT14_MATCH	[7:0]					MATCH_LOAD_14				0x00	R/W
0x12D	LUT15_FC	[7:0]					FC_LOAD_15				0x00	R/W
0x12E	LUT15_BW	[7:0]					BW_LOAD_15				0x00	R/W
0x12F	LUT15_MATCH	[7:0]					MATCH_LOAD_15				0x00	R/W
0x130	LUT16_FC	[7:0]					FC_LOAD_16				0x00	R/W
0x131	LUT16_BW	[7:0]					BW_LOAD_16				0x00	R/W
0x132	LUT16_MATCH	[7:0]					MATCH_LOAD_16				0x00	R/W
0x133	LUT17_FC	[7:0]					FC_LOAD_17				0x00	R/W
0x134	LUT17_BW	[7:0]					BW_LOAD_17				0x00	R/W
0x135	LUT17_MATCH	[7:0]					MATCH_LOAD_17				0x00	R/W
0x136	LUT18_FC	[7:0]					FC_LOAD_18				0x00	R/W
0x137	LUT18_BW	[7:0]					BW_LOAD_18				0x00	R/W
0x138	LUT18_MATCH	[7:0]					MATCH_LOAD_18				0x00	R/W
0x139	LUT19_FC	[7:0]					FC_LOAD_19				0x00	R/W
0x13A	LUT19_BW	[7:0]					BW_LOAD_19				0x00	R/W
0x13B	LUT19_MATCH	[7:0]					MATCH_LOAD_19				0x00	R/W
0x13C	LUT20_FC	[7:0]					FC_LOAD_20				0x00	R/W
0x13D	LUT20_BW	[7:0]					BW_LOAD_20				0x00	R/W
0x13E	LUT20_MATCH	[7:0]					MATCH_LOAD_20				0x00	R/W
0x13F	LUT21_FC	[7:0]					FC_LOAD_21				0x00	R/W
0x140	LUT21_BW	[7:0]					BW_LOAD_21				0x00	R/W
0x141	LUT21_MATCH	[7:0]					MATCH_LOAD_21				0x00	R/W
0x142	LUT22_FC	[7:0]					FC_LOAD_22				0x00	R/W
0x143	LUT22_BW	[7:0]					BW_LOAD_22				0x00	R/W
0x144	LUT22_MATCH	[7:0]					MATCH_LOAD_22				0x00	R/W

レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x145	LUT23_FC	[7:0]					FC_LOAD_23				0x00	R/W
0x146	LUT23_BW	[7:0]					BW_LOAD_23				0x00	R/W
0x147	LUT23_MATCH	[7:0]					MATCH_LOAD_23				0x00	R/W
0x148	LUT24_FC	[7:0]					FC_LOAD_24				0x00	R/W
0x149	LUT24_BW	[7:0]					BW_LOAD_24				0x00	R/W
0x14A	LUT24_MATCH	[7:0]					MATCH_LOAD_24				0x00	R/W
0x14B	LUT25_FC	[7:0]					FC_LOAD_25				0x00	R/W
0x14C	LUT25_BW	[7:0]					BW_LOAD_25				0x00	R/W
0x14D	LUT25_MATCH	[7:0]					MATCH_LOAD_25				0x00	R/W
0x14E	LUT26_FC	[7:0]					FC_LOAD_26				0x00	R/W
0x14F	LUT26_BW	[7:0]					BW_LOAD_26				0x00	R/W
0x150	LUT26_MATCH	[7:0]					MATCH_LOAD_26				0x00	R/W
0x151	LUT27_FC	[7:0]					FC_LOAD_27				0x00	R/W
0x152	LUT27_BW	[7:0]					BW_LOAD_27				0x00	R/W
0x153	LUT27_MATCH	[7:0]					MATCH_LOAD_27				0x00	R/W
0x154	LUT28_FC	[7:0]					FC_LOAD_28				0x00	R/W
0x155	LUT28_BW	[7:0]					BW_LOAD_28				0x00	R/W
0x156	LUT28_MATCH	[7:0]					MATCH_LOAD_28				0x00	R/W
0x157	LUT29_FC	[7:0]					FC_LOAD_29				0x00	R/W
0x158	LUT29_BW	[7:0]					BW_LOAD_29				0x00	R/W
0x159	LUT29_MATCH	[7:0]					MATCH_LOAD_29				0x00	R/W
0x15A	LUT30_FC	[7:0]					FC_LOAD_30				0x00	R/W
0x15B	LUT30_BW	[7:0]					BW_LOAD_30				0x00	R/W
0x15C	LUT30_MATCH	[7:0]					MATCH_LOAD_30				0x00	R/W
0x15D	LUT31_FC	[7:0]					FC_LOAD_31				0x00	R/W
0x15E	LUT31_BW	[7:0]					BW_LOAD_31				0x00	R/W
0x15F	LUT31_MATCH	[7:0]					MATCH_LOAD_31				0x00	R/W
0x300	INTERP_FC_Y0	[7:0]					INTERP_FC_Y0				0xE6	R/W
0x301	INTERP_FC_Y1	[7:0]					INTERP_FC_Y1				0xDD	R/W
0x302	INTERP_FC_Y2	[7:0]					INTERP_FC_Y2				0xB9	R/W
0x303	INTERP_FC_Y3	[7:0]					INTERP_FC_Y3				0x83	R/W
0x304	INTERP_FC_Y4	[7:0]					INTERP_FC_Y4				0x63	R/W
0x305	INTERP_FC_Y5	[7:0]					INTERP_FC_Y5				0x4D	R/W
0x306	INTERP_FC_Y6	[7:0]					INTERP_FC_Y6				0x3A	R/W
0x307	INTERP_FC_Y7	[7:0]					INTERP_FC_Y7				0x2C	R/W
0x308	INTERP_FC_Y8	[7:0]					INTERP_FC_Y8				0x21	R/W
0x309	INTERP_FC_Y9	[7:0]					INTERP_FC_Y9				0x19	R/W
0x30A	INTERP_BW_V0	[7:0]					INTERP_BW_V0				0x01	R/W
0x30B	INTERP_BW_V1	[7:0]					INTERP_BW_V1				0x0F	R/W
0x30C	INTERP_BW_V2	[7:0]					INTERP_BW_V2				0x74	R/W
0x30D	INTERP_MATCH_T0	[7:0]					INTERP_MATCH_T0				0x04	R/W
0x30E	INTERP_MATCH_T1	[7:0]					INTERP_MATCH_T1				0x22	R/W
0x30F	INTERP_MATCH_T2	[7:0]					INTERP_MATCH_T2				0xE4	R/W

レジスタの詳細

アドレス : 0x000、リセット : 0x00、レジスタ名 : ADI_SPI_CONFIG_A

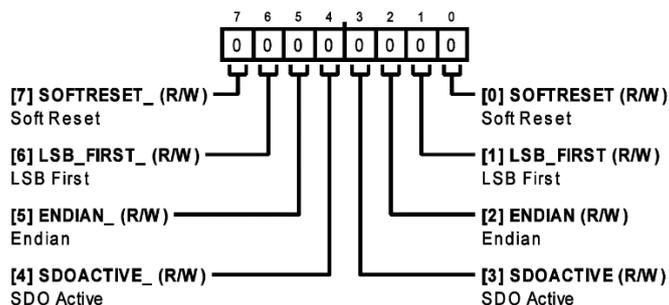


表13. ADI_SPI_CONFIG_Aのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W
6	LSB_FIRST_	LSBファースト。 0 : MSBファースト。 1 : LSBファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0 : リトル・エンディアン。 1 : ビッグ・エンディアン。	0x0	R/W
4	SDOACTIVE_	SDOアクティブ。 0 : SDO非アクティブ。 1 : SDOアクティブ。	0x0	R/W
3	SDOACTIVE	SDOアクティブ。 0 : SDO非アクティブ。 1 : SDOアクティブ。	0x0	R/W
2	ENDIAN_	エンディアン。 0 : リトル・エンディアン。 1 : ビッグ・エンディアン。	0x0	R/W
1	LSB_FIRST	LSBファースト。 0 : MSBファースト。 1 : LSBファースト。	0x0	R/W
0	SOFTRESET	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W

レジスタの詳細

アドレス : 0x001、リセット : 0x00、レジスタ名 : ADI_SPI_CONFIG_B

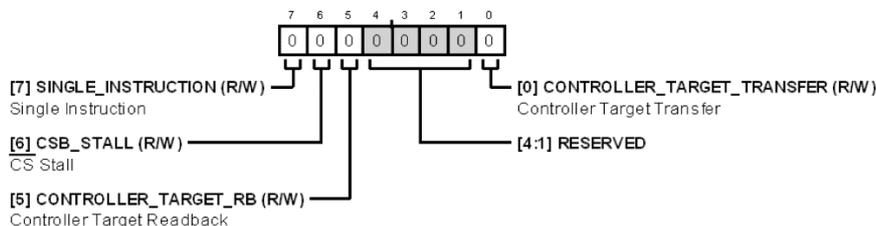


表14. ADI_SPI_CONFIG_Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。 0 : ストリーミングを有効化。 1 : CSに関わらずストリーミングを無効化。	0x0	R/W
6	CSB_STALL	CS停止。	0x0	R/W
5	CONTROLLER_TARGET_RB	コントローラ・ターゲットのリードバック。	0x0	R/W
[4:1]	RESERVED	予備。	0x0	R
0	CONTROLLER_TARGET_TRANSFER	コントローラ・ターゲットの転送。	0x0	R/W

アドレス : 0x003、リセット : 0x01、レジスタ名 : CHIPTYPE

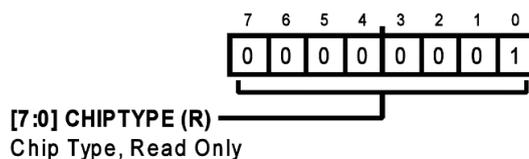


表15. CHIPTYPEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIPTYPE	チップ・タイプ、読み出し専用。	0x1	R

アドレス : 0x004、リセット : 0x26、レジスタ名 : PRODUCT_ID_L

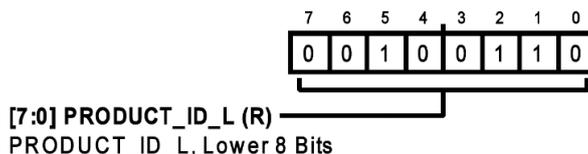


表16. PRODUCT_ID_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_L	PRODUCT_ID_L、下位8ビット。	0x26	R

レジスタの詳細

アドレス : 0x005、リセット : 0x85、レジスタ名 : PRODUCT_ID_H

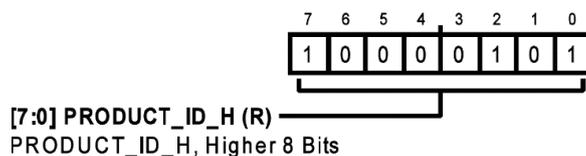


表17. PRODUCT_ID_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_H	PRODUCT_ID_H、上位8ビット。	0x85	R

アドレス : 0x00C、リセット : 0x01、レジスタ名 : VARIANT

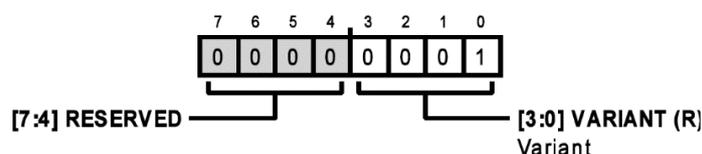


表18. VARIANTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	VARIANT	バリエーション。	0x1	R

アドレス : 0x011、リセット : 0x7F、レジスタ名 : FAST_LATCH_STOP

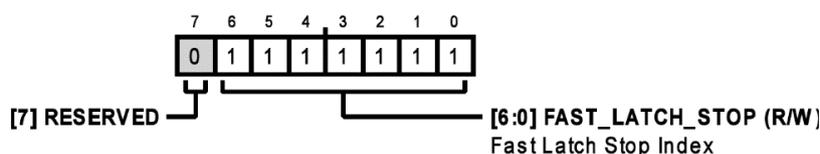


表19. FAST_LATCH_STOPのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:0]	FAST_LATCH_STOP	高速ラッチ停止インデックス。高速ラッチのルックアップ・テーブル内の停止インデックスを設定します。	0x7F	R/W

アドレス : 0x012、リセット : 0x00、レジスタ名 : FAST_LATCH_START

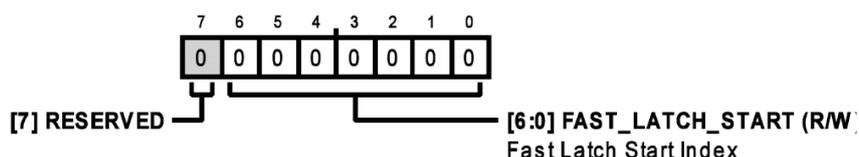


表20. FAST_LATCH_STARTのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:0]	FAST_LATCH_START	高速ラッチの開始インデックス。高速ラッチのルックアップ・テーブル内の開始インデックスを設定します。	0x0	R/W

レジスタの詳細

アドレス : 0x013、リセット : 0x00、レジスタ名 : FAST_LATCH_DIRECTION

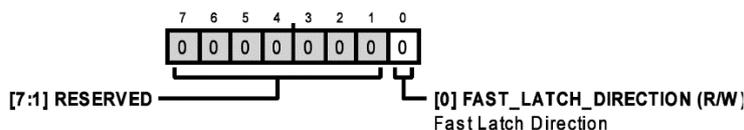


表21. FAST_LATCH_DIRECTIONのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	FAST_LATCH_DIRECTION	高速ラッチの方向。このビットは、高速ラッチのルックアップ・テーブル内でシーケンスする方向を指定します。方向がインクリメントに設定されている場合、内部ステート・マシンは開始インデックスに設定されます。方向がデクリメントに設定されている場合、内部ステート・マシンは停止インデックスに設定されます。 0 : インクリメント。 1 : デクリメント。	0x0	R/W

アドレス : 0x014、リセット : 0x00、レジスタ名 : FAST_LATCH_STATE

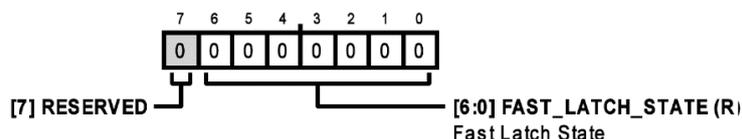


表22. FAST_LATCH_STATEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予備。	0x0	R
[6:0]	FAST_LATCH_STATE	高速ラッチの状態。高速ラッチ・ルックアップ・テーブルの内部ステート・マシン・インデックスをリードバックします (SFLモード)。このインデックスは、CSピンの次の立上がりエッジで内部ステート・マシンが進む次の場所です。内部ステート・マシン・インデックスは、方向がインクリメントに設定されている場合は開始インデックスに設定され、方向がデクリメントに設定されている場合は停止インデックスに設定されます。開始インデックス、停止インデックス、方向が変更されると、それに応じてこのインデックスは更新されません。	0x0	R

アドレス : 0x020、リセット : 0x00、レジスタ名 : WR_FC

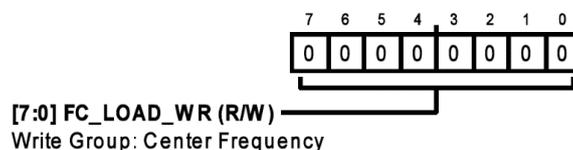


表23. WR_FCのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FC_LOAD_WR	書き込みグループ : 中心周波数。	0x0	R/W

レジスタの詳細

アドレス：0x021、リセット：0x00、レジスタ名：WR_BW

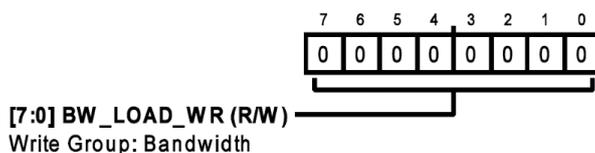


表24. WR_BWのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BW_LOAD_WR	書き込みグループ：帯域幅。	0x0	R/W

アドレス：0x022、リセット：0x00、レジスタ名：WR_MATCH

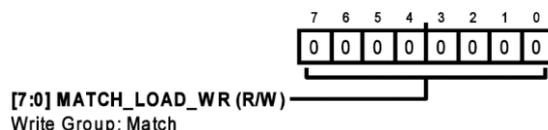


表25. WR_MATCHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MATCH_LOAD_WR	書き込みグループ：マッチング。	0x0	R/W

アドレス：0x050、リセット：0x00、レジスタ名：FILTER_CONFIG

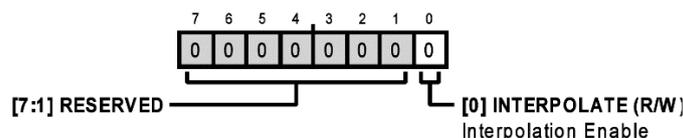


表26. FILTER_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	INTERPOLATE	インターポレーション・イネーブル。このビットが0に設定されている場合、ユーザは中心周波数、帯域幅、マッチングを設定する必要があります。このビットが1に設定されている場合、中心周波数、帯域幅、マッチング用のコンデンサはインターポレーションにより決定されます。	0x0	R/W

アドレス：0x060、リセット：0x00、レジスタ名：FC_READBACK

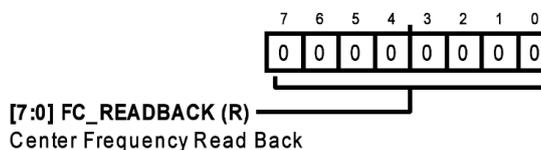


表27. FC_READBACKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FC_READBACK	中心周波数のリードバック。	0x0	R

レジスタの詳細

アドレス : 0x061、リセット : 0x00、レジスタ名 : BW_READBACK

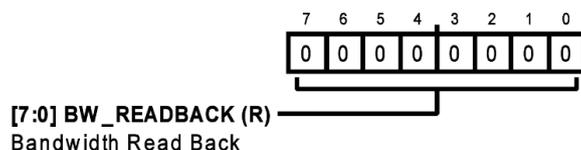


表28. BW_READBACKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BW_READBACK	帯域幅のリードバック。	0x0	R

アドレス : 0x062、リセット : 0x00、レジスタ名 : MATCH_READBACK

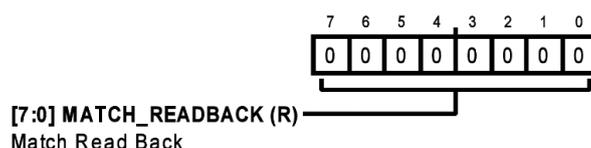


表29. MATCH_READBACKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MATCH_READBACK	マッチングのリードバック。	0x0	R

アドレス : 0x100、リセット : 0x00、レジスタ名 : LUT0_FC

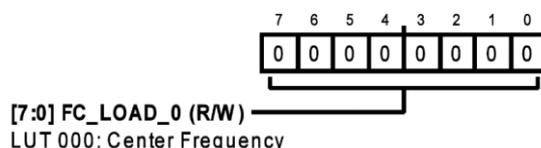


表30. LUT0_FCのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FC_LOAD_0	LUT 000 : 中心周波数。	0x0	R/W

アドレス : 0x101、リセット : 0x00、レジスタ名 : LUT0_BW

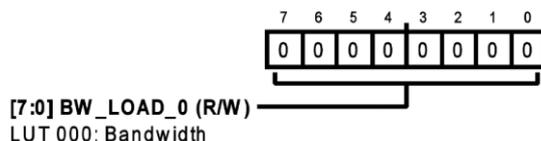


表31. LUT0_BWのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BW_LOAD_0	LUT 000 : 帯域幅。	0x0	R/W

レジスタの詳細

アドレス : 0x102、リセット : 0x00、レジスタ名 : LUT0_MATCH

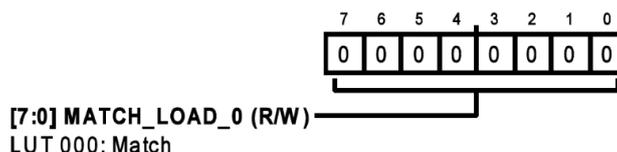


表32. LUT0_MATCHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MATCH_LOAD_0	LUT 000 : マッチング。	0x0	R/W

アドレス : 0x103~0x15F、リセット : 0x00

LUT1~LUT31のビット・フィールド機能（レジスタ0x103~レジスタ0x15F）は、LUT0（レジスタ0x100~レジスタ0x102）と同様です。レジスタ・アドレスの詳細については表12を参照してください。

アドレス : 0x300、リセット : 0xE6、レジスタ名 : INTERP_FC_Y0

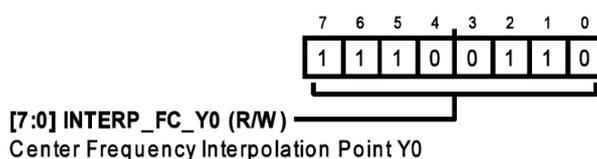


表33.INTERP_FC_Y0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y0	中心周波数インターポレーション・ポイントY0。	0xE6	R/W

アドレス : 0x301、リセット : 0xDD、レジスタ名 : INTERP_FC_Y1

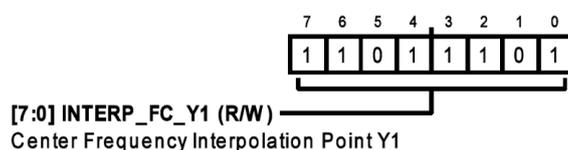


表34. INTERP_FC_Y1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y1	中心周波数インターポレーション・ポイントY1。	0xDD	R/W

アドレス : 0x302、リセット : 0xB9、レジスタ名 : INTERP_FC_Y2

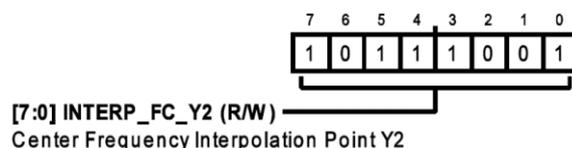
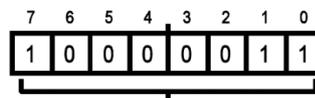


表35. INTERP_FC_Y2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y2	中心周波数インターポレーション・ポイントY2。	0xB9	R/W

レジスタの詳細

アドレス : 0x303、リセット : 0x83、レジスタ名 : INTERP_FC_Y3

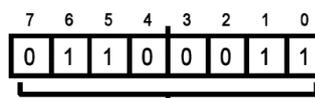


[7:0] INTERP_FC_Y3 (R/W)
Center Frequency Interpolation Point Y3

表36. INTERP_FC_Y3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y3	中心周波数インターポレーション・ポイントY3。	0x83	R/W

アドレス : 0x304、リセット : 0x63、レジスタ名 : INTERP_FC_Y4

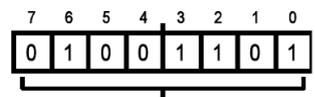


[7:0] INTERP_FC_Y4 (R/W)
Center Frequency Interpolation Point Y4

表37. INTERP_FC_Y4のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y4	中心周波数インターポレーション・ポイントY4。	0x63	R/W

アドレス : 0x305、リセット : 0x4D、レジスタ名 : INTERP_FC_Y5

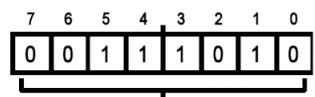


[7:0] INTERP_FC_Y5 (R/W)
Center Frequency Interpolation Point Y5

表38. INTERP_FC_Y5のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y5	中心周波数インターポレーション・ポイントY5。	0x4D	R/W

アドレス : 0x306、リセット : 0x3A、レジスタ名 : INTERP_FC_Y6



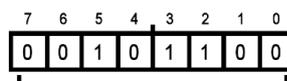
[7:0] INTERP_FC_Y6 (R/W)
Center Frequency Interpolation Point Y6

表39. INTERP_FC_Y6のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y6	中心周波数インターポレーション・ポイントY6。	0x3A	R/W

レジスタの詳細

アドレス : 0x307、リセット : 0x2C、レジスタ名 : INTERP_FC_Y7

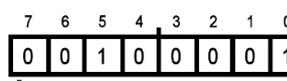


[7:0] INTERP_FC_Y7 (R/W)
Center Frequency Interpolation Point Y7

表40. INTERP_FC_Y7のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y7	中心周波数インターポレーション・ポイントY7。	0x2C	R/W

アドレス : 0x308、リセット : 0x21、レジスタ名 : INTERP_FC_Y8

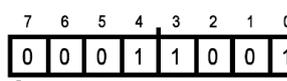


[7:0] INTERP_FC_Y8 (R/W)
Center Frequency Interpolation Point Y8

表41. INTERP_FC_Y8のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y8	中心周波数インターポレーション・ポイントY8。	0x21	R/W

アドレス : 0x309、リセット : 0x19、レジスタ名 : INTERP_FC_Y9

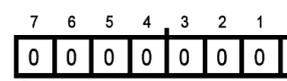


[7:0] INTERP_FC_Y9 (R/W)
Center Frequency Interpolation Point Y9

表42. INTERP_FC_Y9のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y9	中心周波数インターポレーション・ポイントY9。	0x19	R/W

アドレス : 0x30A、リセット : 0x01、レジスタ名 : INTERP_BW_V0



[7:0] INTERP_BW_V0 (R/W)
Bandwidth Interpolation Point V0

表43. INTERP_BW_V0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_BW_V0	帯域幅インターポレーション・ポイントV0。	0x1	R/W

レジスタの詳細

アドレス : 0x30B、リセット : 0x0F、レジスタ名 : INTERP_BW_V1

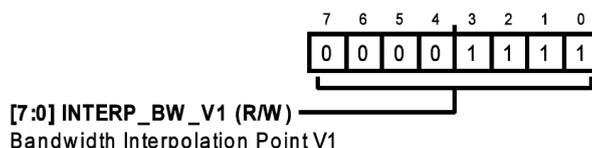


表44. INTERP_BW_V1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_BW_V1	帯域幅インターポレーション・ポイントV1。	0xF	R/W

アドレス : 0x30C、リセット : 0x74、レジスタ名 : INTERP_BW_V2

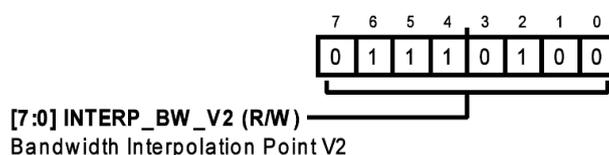


表45. INTERP_BW_V2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_BW_V2	帯域幅インターポレーション・ポイントV2。	0x74	R/W

アドレス : 0x30D、リセット : 0x04、レジスタ名 : INTERP_MATCH_T0

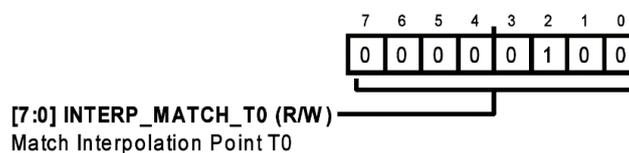


表46. INTERP_MATCH_T0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_MATCH_T0	マッチング・インターポレーション・ポイントT0。	0x4	R/W

アドレス : 0x30E、リセット : 0x22、レジスタ名 : INTERP_MATCH_T1

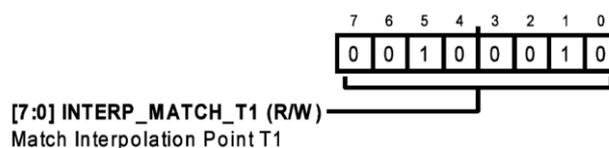
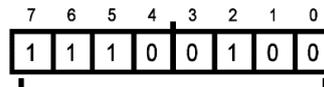


表47. INTERP_MATCH_T1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_MATCH_T1	マッチング・インターポレーション・ポイントT1。	0x22	R/W

レジスタの詳細

アドレス : 0x30F、リセット : 0xE4、レジスタ名 : INTERP_MATCH_T2



[7:0] INTERP_MATCH_T2 (R/W)
Match Interpolation Point T2

表48. INTERP_MATCH_T2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_MATCH_T2	マッチング・インターポレーション・ポイントT2。	0xE4	R/W

外形寸法

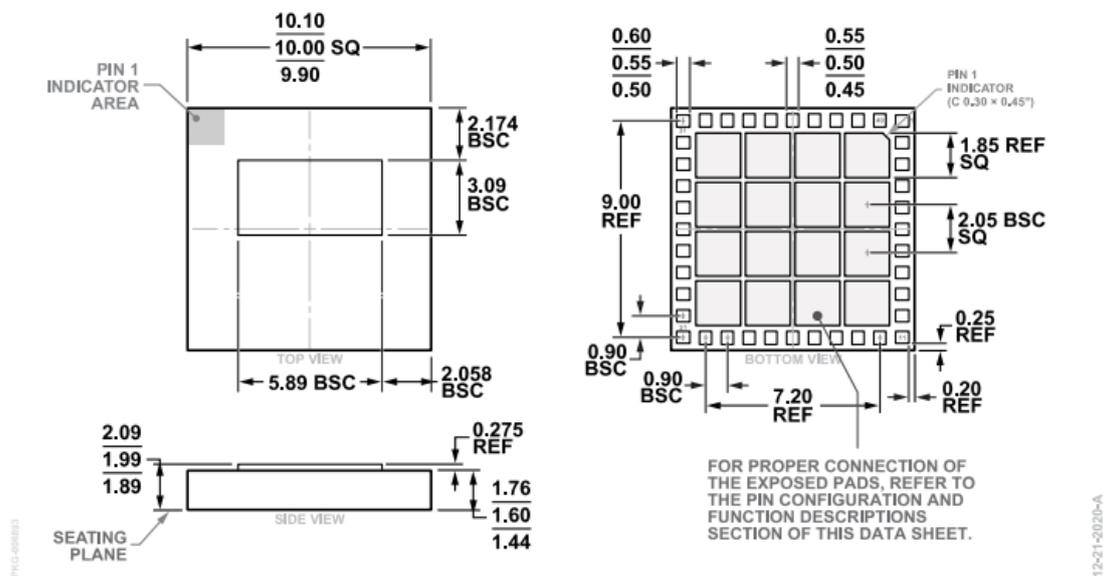


図 27. 40端子ランド・グリッド・アレイ・パッケージ [LGA]
 10mm × 10mmボディ、1.99mmパッケージ高
 (CC-40-10)
 寸法 : mm

更新 : 2021年11月9日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV8526ACCZ	-40°C to +85°C	40-Terminal LGA (10 mm x 10 mm x 1.99 mm)	Reel, 300	CC-40-10
ADMV8526ACCZ-R7	-40°C to +85°C	40-Terminal LGA (10 mm x 10 mm x 1.99 mm)	Reel, 300	CC-40-10

¹ Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
ADMV8526-EVALZ	Evaluation Board

¹ Z = RoHS準拠製品。