



2GHz~28GHz、GaAs、pHEMT MMIC 低ノイズ・アンプ

データシート

ADL9006

特長

P1dB : 2GHz~6GHz で 20dBm (代表値)
P_{SAT} : 2GHz~6GHz で 20.5dB (代表値)
ゲイン : 6GHz~28GHz で 15.5dB (代表値)
ノイズ指数 : 2GHz~20GHz で 2.5dB (代表値)
OIP3 : 2GHz~6GHz で 26dB (代表値)
電源電圧 : 5V/53mA
50Ω に整合した入出力

アプリケーション

試験用計測器
防衛および宇宙
局部発振器ドライバ・アンプ

機能ブロック図

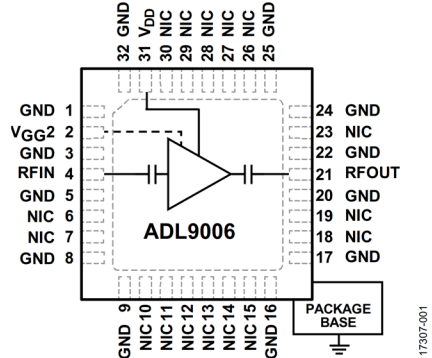


図 1.

概要

ADL9006 は、ガリウムヒ素 (GaAs) の擬格子整合型高電子移動度トランジスタ (pHEMT) で構成されたモノリシック・マイクロ波集積回路 (MMIC) の低ノイズ・アンプで、動作範囲は 2GHz~28GHz です。このアンプは、15.5dB のゲイン、2.5dB のノイズ指数、26dBm の出力 3 次インターセプト・ポイント (OIP3)、1dB 圧縮 (P1dB) ポイントでの 20dBm の出力電力を提供する一方、5V 電源から必要とする電流は 53mA です。

ADL9006 は、53mA の電源電流 (I_{DD}) を生成するのに必要な正側単電源だけで自己バイアスします。

ADL9006 アンプの入出力は、内部で 50Ω に整合されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	静電放電 (ESD) 定格.....	5
アプリケーション.....	1	ESD に関する注意.....	5
機能ブロック図.....	1	ピン配置およびピン機能の説明.....	6
概要	1	インターフェース回路図	6
改訂履歴	2	代表的な性能特性	7
仕様	3	動作原理.....	12
2GHz～6GHz.....	3	アプリケーション情報	13
6GHz～20GHz.....	3	バイアスの手順.....	13
20GHz～28GHz.....	3	外形寸法.....	14
DC 仕様.....	4	オーダー・ガイド	14
絶対最大定格.....	5		
熱抵抗	5		

改訂履歴

8/2020—Revision 0: Initial Version

仕様

2GHz～6GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 53\text{mA}$ 、 $V_{GG2} = \text{オープン}$ 、 50Ω 整合入出力。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE			2		6	GHz
GAIN			13	15		dB
Gain Variation Over Temperature				0.007		dB/ $^\circ\text{C}$
RETURN LOSS						
Input				11		dB
Output				12		dB
OUTPUT						
Output Power for 1 dB Compression	P1dB			20		dBm
Saturated Output Power	P_{SAT}		18	20.5		dBm
Output Third-Order Intercept	OIP3	Measurement taken at output power (P_{OUT}) per tone = 0 dBm		26		dBm
NOISE FIGURE	NF			2.5	4	dB

6GHz～20GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 53\text{mA}$ 、 $V_{GG2} = \text{オープン}$ 、 50Ω 整合入出力。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE			6		20	GHz
GAIN			13	15.5		dB
Gain Variation Over Temperature				0.012		dB/ $^\circ\text{C}$
RETURN LOSS						
Input				12		dB
Output				17		dB
OUTPUT						
Output Power for 1 dB Compression	P1dB			18		dBm
Saturated Output Power	P_{SAT}		16	18.5		dBm
Output Third-Order Intercept	OIP3	Measurement taken at output power (P_{OUT}) per tone = 0 dBm		23		dBm
NOISE FIGURE	NF			2.5	4.0	dB

20GHz～28GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 53\text{mA}$ 、 $V_{GG2} = \text{オープン}$ 、 50Ω 整合入出力。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE			20		28	GHz
GAIN			13	15.5		dB
Gain Variation Over Temperature				0.018		dB/ $^\circ\text{C}$
RETURN LOSS						
Input				15		dB
Output				15		dB
OUTPUT						
Saturated Output Power	P_{SAT}		15	17.5		dBm
Output Third-Order Intercept	OIP3	Measurement taken at output power (P_{OUT}) per tone = 0 dBm		19.5		dBm
NOISE FIGURE	NF			4	6	dB

DC 仕様

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SUPPLY CURRENT Total Supply Current	I_{DD}	Nominal voltage = 5V		53		mA
SUPPLY VOLTAGE	V_{DD}		4	5	7	V
GATE BIAS VOLTAGE	V_{GG2}	Normal condition is V_{GG2} = open	-2.0		+2.6	V

絶対最大定格

表 5.

Parameter	Rating
V_{DD}	8 V
V_{GG2}	-2.6 V to +3.6 V
RF Input Power (RFIN)	20 dBm
Continuous Power Dissipation (P_{DISS}), $T_A = 85^\circ\text{C}$ (Derate 21.7 mW/ $^\circ\text{C}$ Above 85 $^\circ\text{C}$)	1.96 W
Maximum Peak Reflow Temperature, Moisture Sensitivity Level 3 (MSL3)	260 $^\circ\text{C}$
Channel Temperature to Maintain 1,000,000 Hour Meant Time to Failure (MTTF)	175 $^\circ\text{C}$
Nominal Channel Temperature ($T =$ 85 $^\circ\text{C}$, $V_{DD} = 5$ V)	98 $^\circ\text{C}$
Storage Temperature Range	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Operating Temperature Range	-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケースへの熱抵抗です。

表 6. 熱抵抗

Package	θ_{JC}	Unit
CG-32-2 ¹	46	$^\circ\text{C}/\text{W}$

¹ 熱抵抗 (θ_{JC}) は、以下の条件でのシミュレーションによって求めました。すなわち、熱伝達率はチャンネルからグラウンド・パドルを通じて PCB までの熱伝導のみに起因し、グラウンド・パドルは 85 $^\circ\text{C}$ の動作温度で一定に保たれるものとします。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ADL9006 の ESD 定格

表 7. ADL9006、32 ピン LFCSP_CAV

ESD Model	Withstand Threshold (V)	Class
HBM	500	1B

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

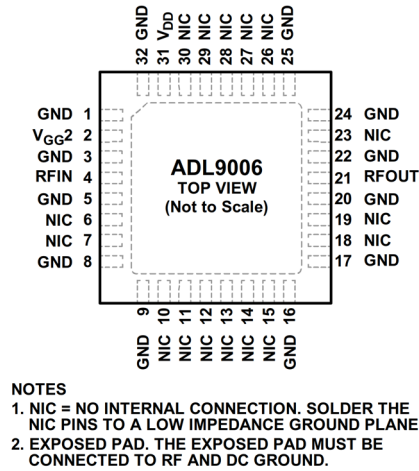
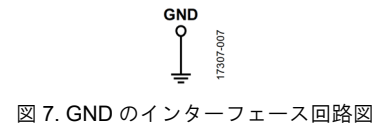
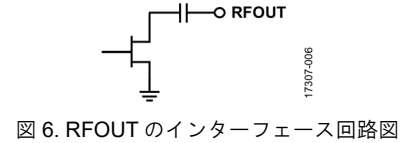
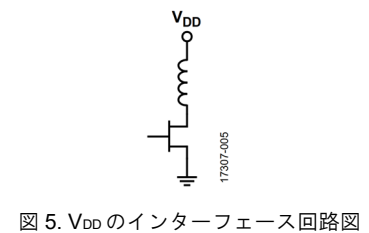
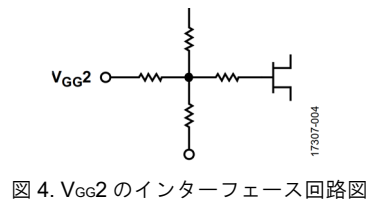
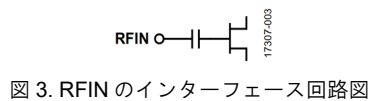


図 2. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1, 3, 5, 8, 9, 16, 17, 20, 22, 24, 25, 32	GND	グラウンド。GND ピンは低インピーダンスのグラウンド・プレーンにハンダ付けします。
2	V _{GG2}	ゲイン制御。V _{GG2} は DC カップリングされており、内部電圧を下げて更に負側にする事でゲインを制御します。図 38 に示すように、V _{GG2} にはバイパス・コンデンサを接続します。通常の動作条件では、V _{GG2} はオープンのままにします。
4	RFIN	RF 入力。RFIN は AC カップリングされ、50Ω に整合されています。
6, 7, 10 to 15, 18, 19, 23, 26 to 30	NIC	内部接続なし。NIC ピンは低インピーダンスのグラウンド・プレーンにハンダ付けします。
21	RFOUT	RF 出力。RFOUT は AC カップリングされ、50Ω に整合されています。
31	V _{DD}	アンプ用電源電圧。
EPAD		露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



代表的な性能特性

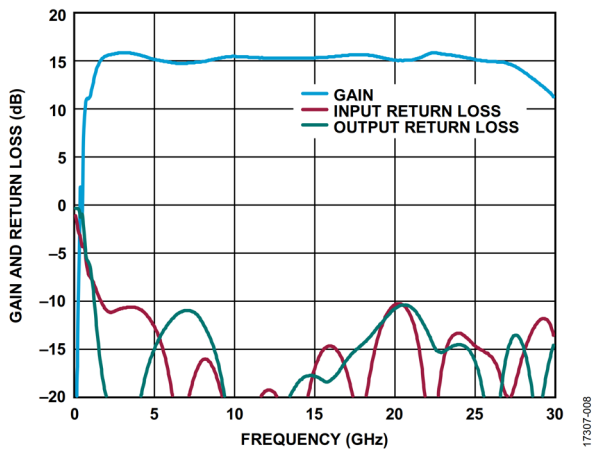


図 8. ゲインおよびリターン・ロス

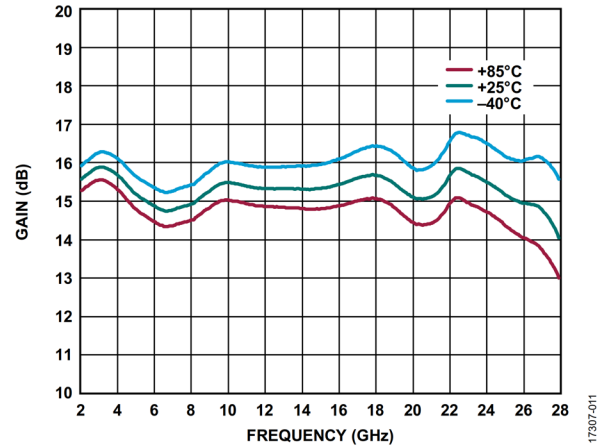


図 11. 様々な温度でのゲインの周波数特性

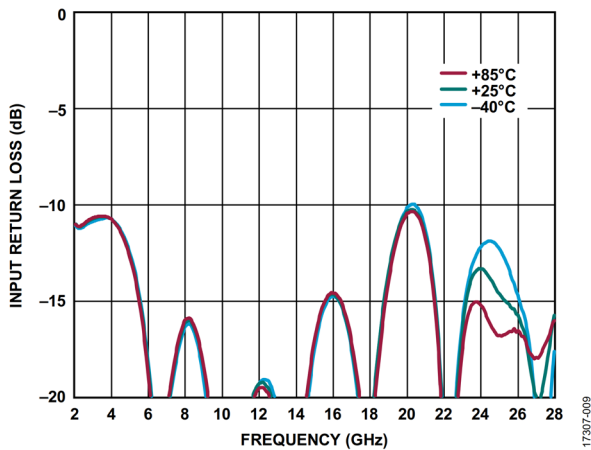


図 9. 様々な温度での入力リターン・ロスの周波数特性

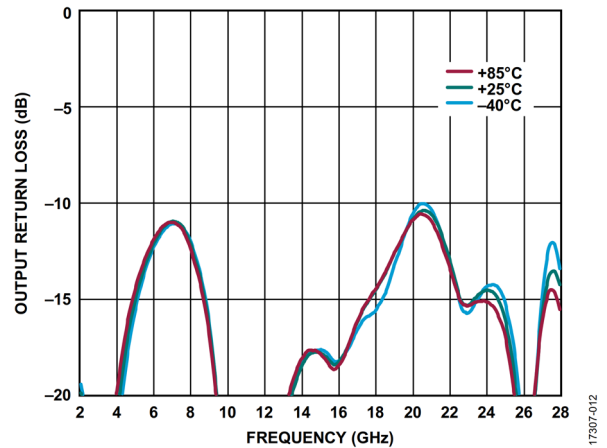


図 12. 様々な温度での出力リターン・ロスの周波数特性

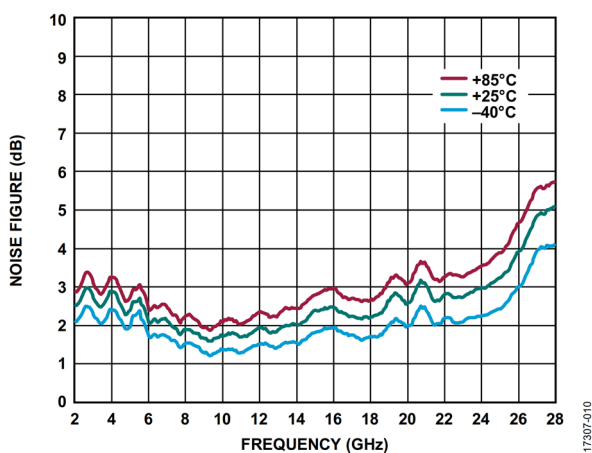


図 10. 様々な温度でのノイズ指数の周波数特性

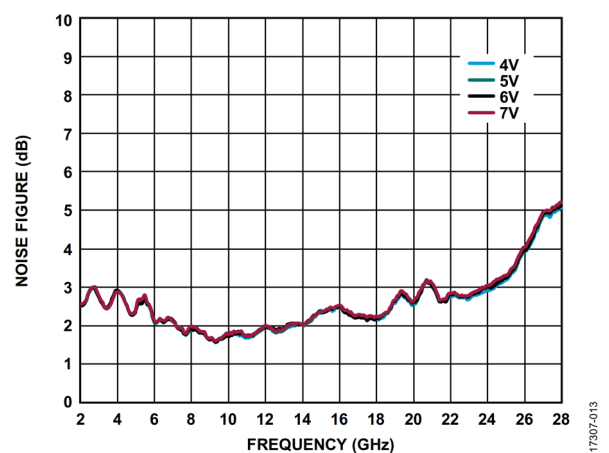


図 13. 様々な電源電圧でのノイズ指数の周波数特性

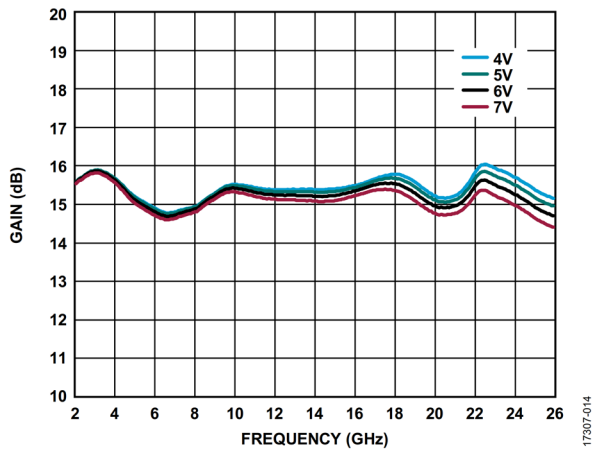


図 14. 様々な電源電圧でのゲインの周波数特性

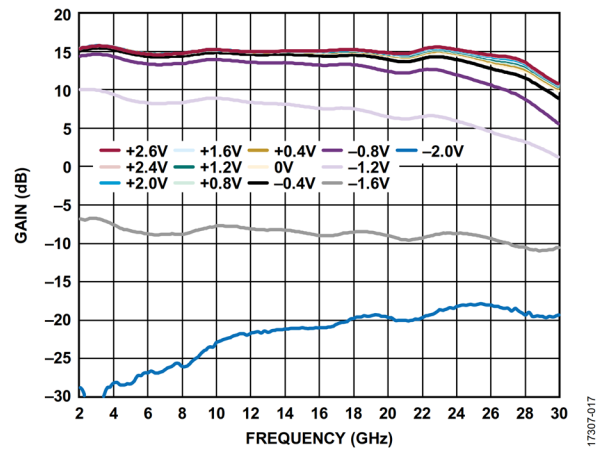


図 17. 様々な V_{GG2} 電圧でのゲインの周波数特性

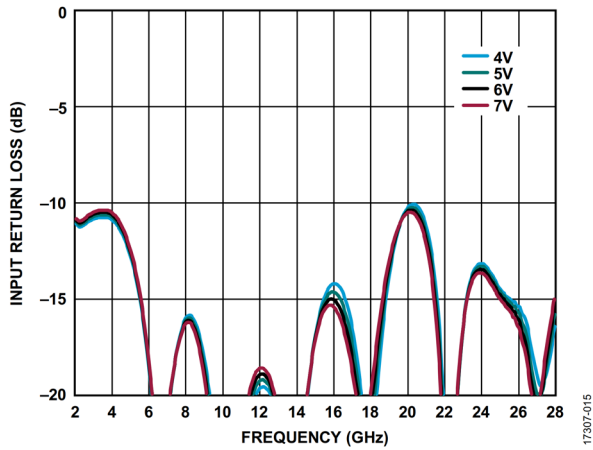


図 15. 様々な電源電圧での入力リターン・ロスの周波数特性

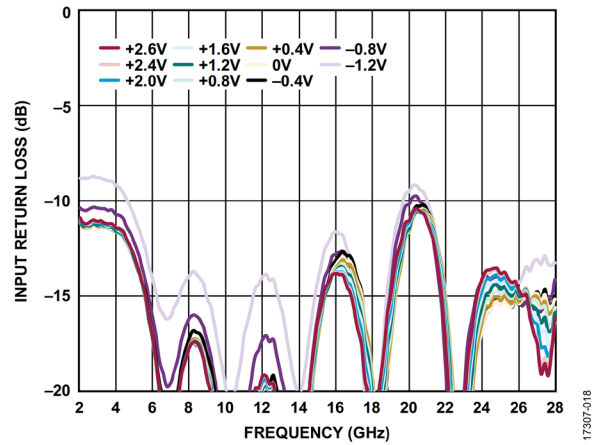


図 18. 様々な V_{GG2} 電圧での入力リターン・ロスの周波数特性

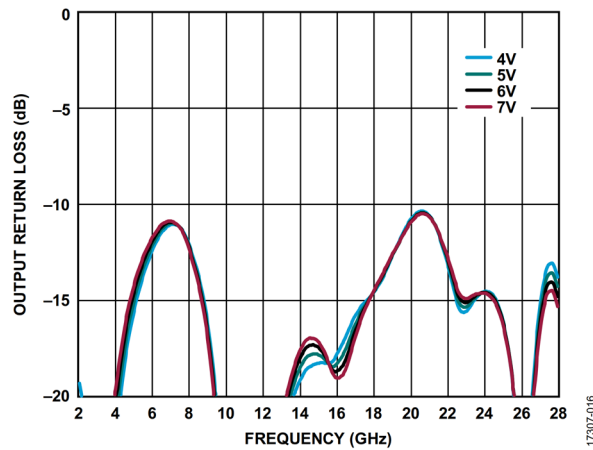


図 16. 様々な電源電圧での出力リターン・ロスの周波数特性

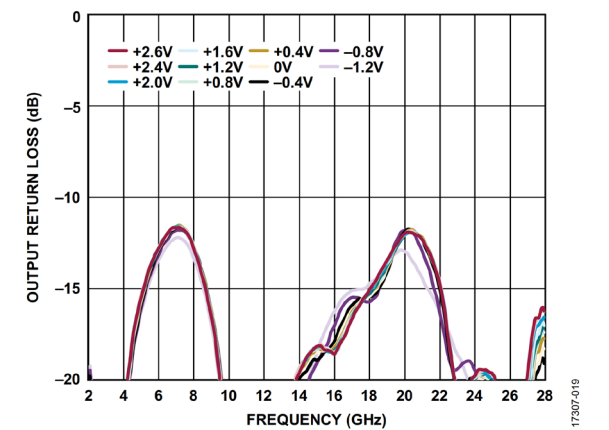


図 19. 様々な V_{GG2} 電圧での出力リターン・ロスの周波数特性

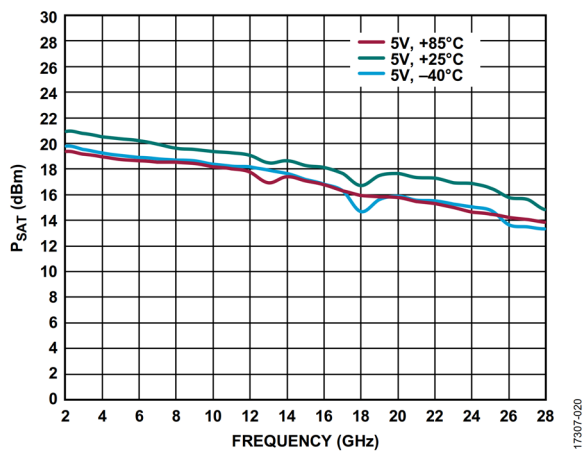


図 20. 様々な温度での P_{SAT} の周波数特性

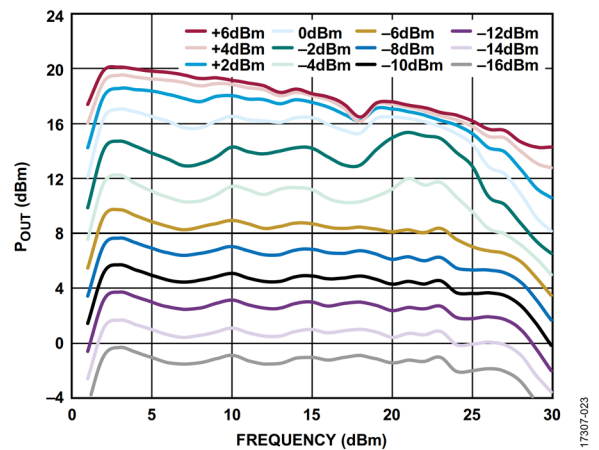


図 23. 様々な入力電力レベルでの P_{OUT} の周波数特性

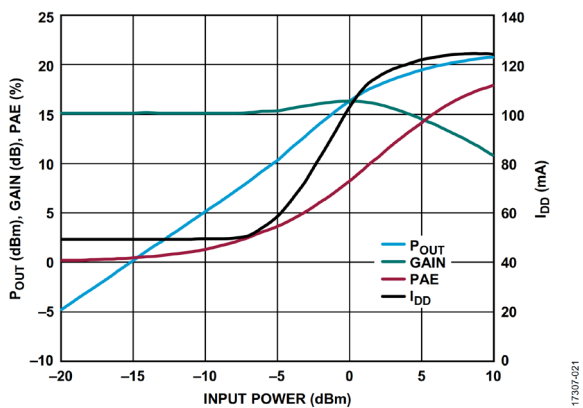


図 21. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係 (2GHz、 $V_{DD} = 5V$)

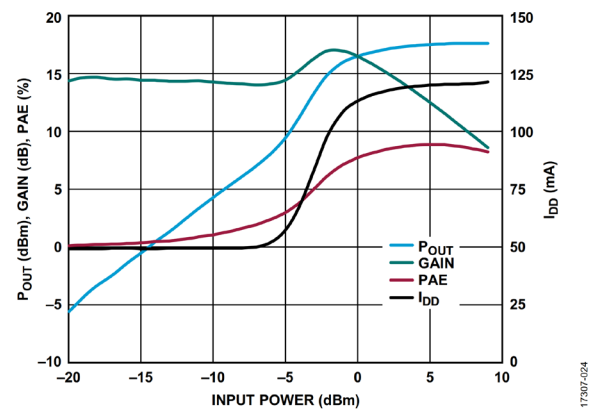


図 24. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係 (20GHz、 $V_{DD} = 5V$)

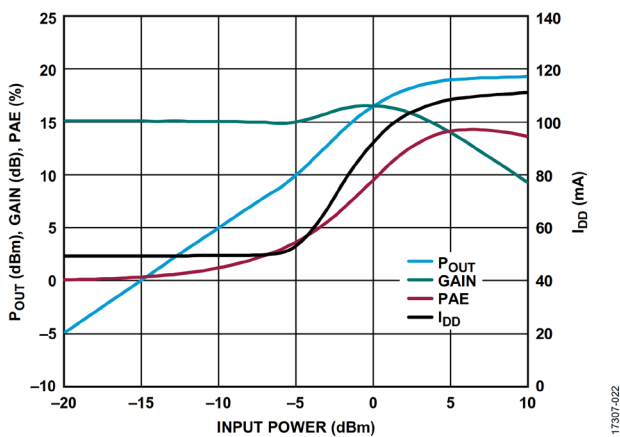


図 22. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係 (10GHz、 $V_{DD} = 5V$)

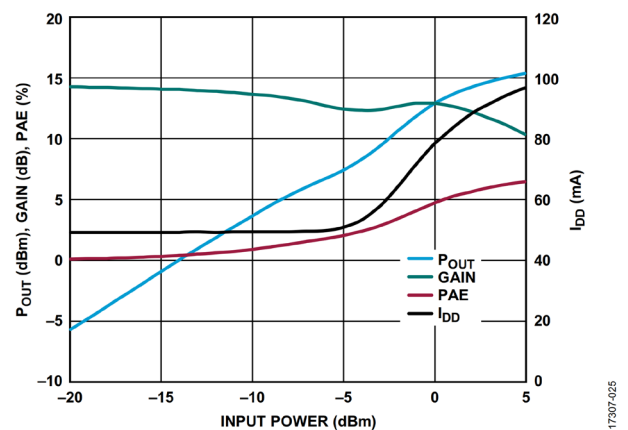


図 25. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係 (26GHz、 $V_{DD} = 5V$)

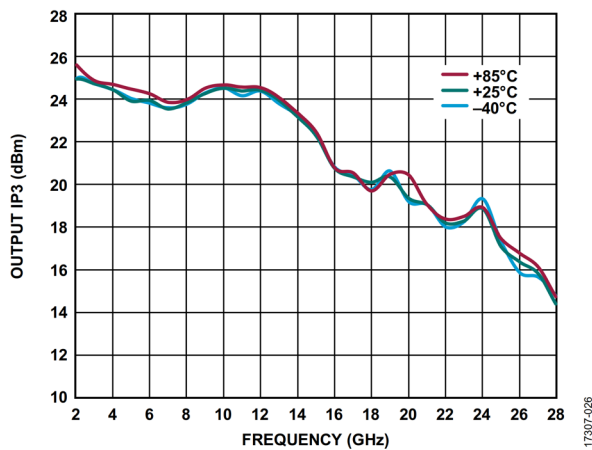


図 26. 様々な温度での出力 IP3 の周波数特性
(トーンあたり $P_{OUT} = 0\text{dBm}$)

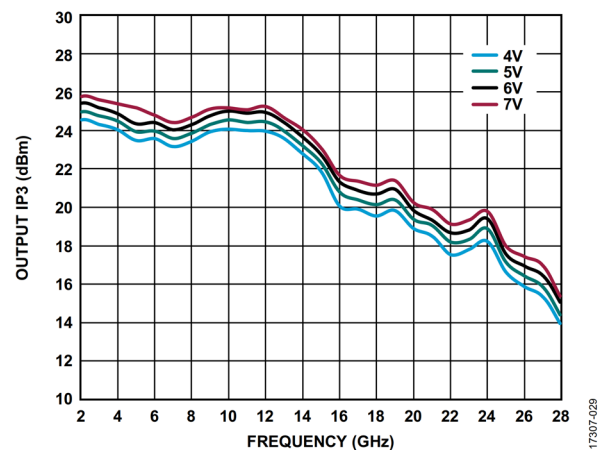


図 29. 様々な電源電圧での出力 IP3 の周波数特性

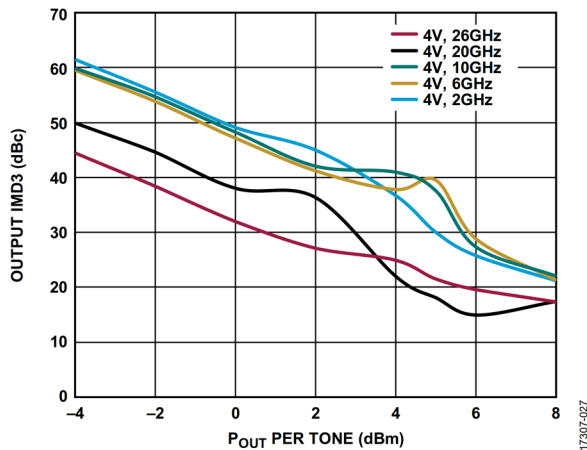


図 27. 様々な周波数でのキャリアに対する出力 3 次相互変調歪み (IMD3) と P_{OUT} の関係 ($V_{DD} = 4\text{V}$)

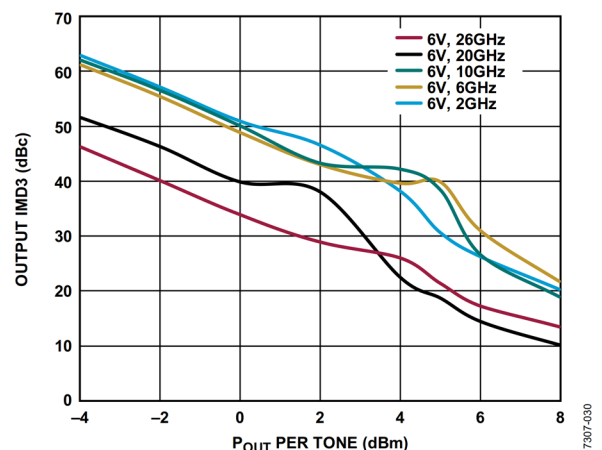


図 30. 様々な周波数での出力 IMD3 とトーンあたりの P_{OUT} の関係 ($V_{DD} = 6\text{V}$)

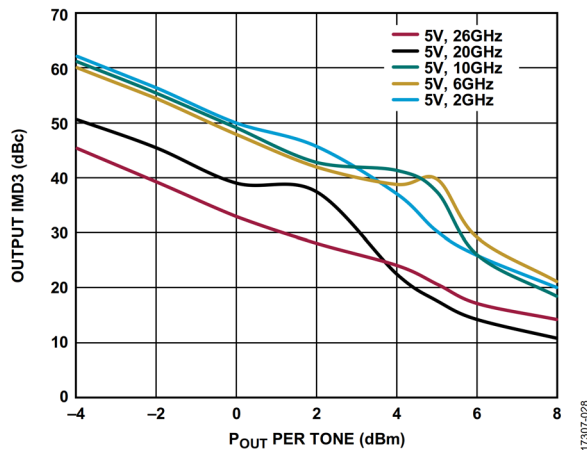


図 28. 様々な周波数での出力 IMD3 とトーンあたりの P_{OUT} の関係 ($V_{DD} = 5\text{V}$)

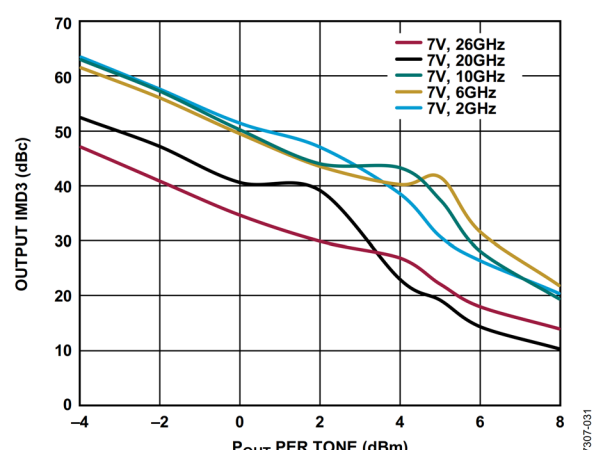


図 31. 様々な周波数での出力 IMD3 とトーンあたりの P_{OUT} の関係 ($V_{DD} = 7\text{V}$)

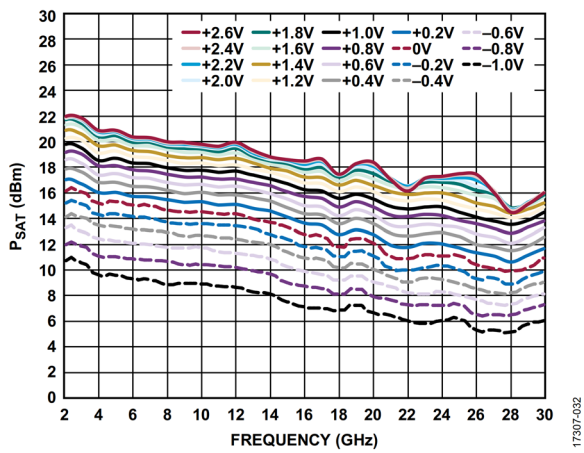


図 32. 様々な V_{GG2} 電圧での P_{SAT} の周波数特性

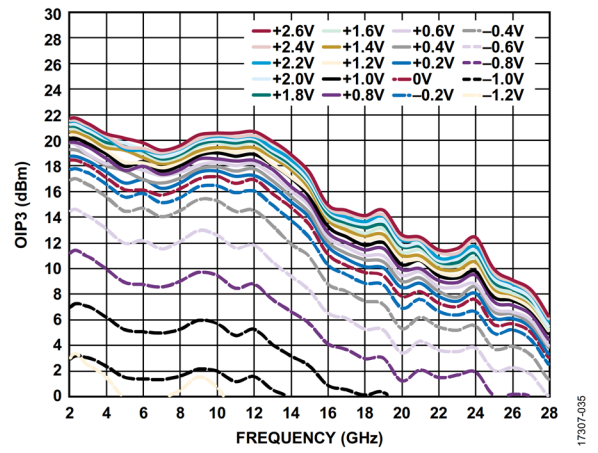


図 35. 様々な V_{GG2} 電圧での $OIP3$ の周波数特性

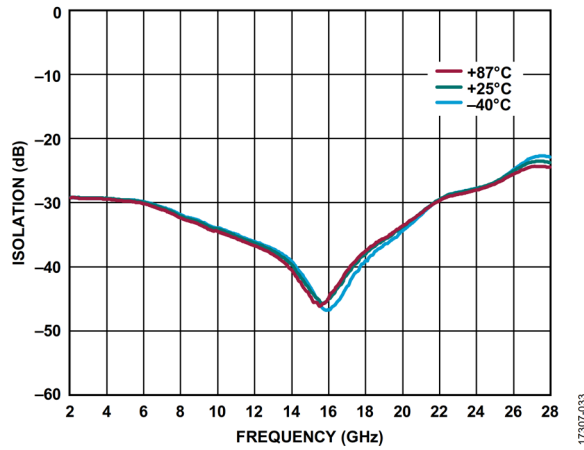


図 33. 様々な温度でのアイソレーションの周波数特性

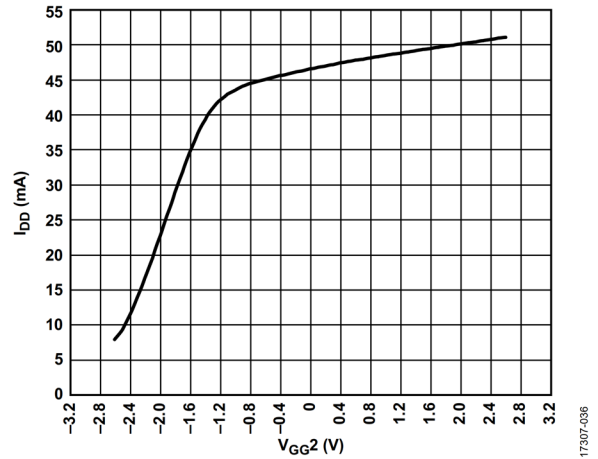


図 36. I_{DD} と V_{GG2} 電圧の関係 ($V_{DD} = 5V$)

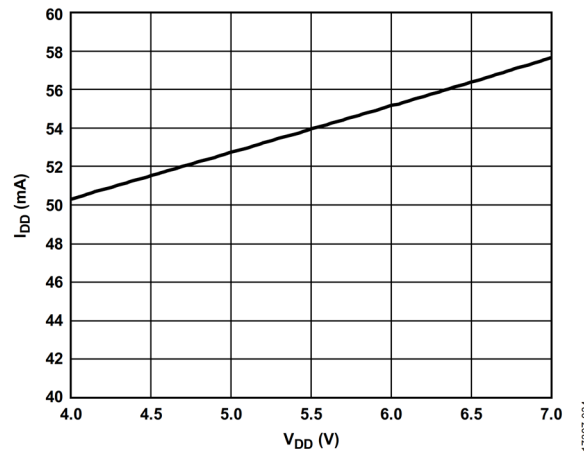


図 34. I_{DD} と V_{DD} の関係

動作原理

ADL9006 は、GaAs の pHEMT で構成された MMIC 低ノイズ・アンプです。ADL9006 の基本アーキテクチャは、ドレインに RF チョークを集積化した、単電源、バイアス付きのカスコード分布型アンプです。このアーキテクチャの簡略化した回路図を、[図 37](#) に示します。

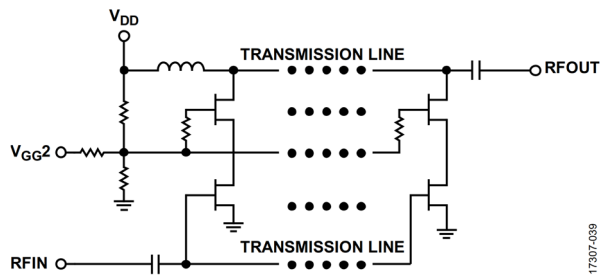


図 37. アーキテクチャと簡略化した回路図

上側電界効果トランジスタ（FET）のゲート・バイアス電圧は、 V_{DD} から分岐した抵抗性分圧器によって内部で設定されますが、上側 FET のゲート・バイアスを変更するオプション手段として、 V_{GG2} ピンを使用することもできます。 $-2.0V \sim +2.6V$ の範囲で V_{GG2} ピンの電圧を調整すると、上側 FET のゲート・バイアスが変化し、その結果、ゲインの周波数特性が影響を受けます（[図 17](#) を参照）。

アプリケーション情報

バイアスの手順

図 38 の代表的なアプリケーション回路に示すように、 V_{DD} には容量性バイパスが必要です。 V_{GG2} ピンに DC 電圧を印加することでゲインの制御が可能です。ゲイン制御を行う場合、 V_{GG2} は 100pF、0.01 μ F、4.7 μ F のコンデンサでバイパスする必要があります。ゲイン制御を行わない場合は、 V_{GG2} ピンはオープンのままにすることも、図 38 に示すように容量性バイパスを付加することもできます。

パワーアップ時の推奨バイアス・シーケンスを以下に示します。

1. V_{DD} を 5V に設定します（この設定により、 I_{DD} は仕様規定されている代表値に近くなります）。
2. ゲイン制御を行う場合は、必要なゲインとなるまで、-2.0V ~ +2.6V の範囲の電圧を V_{GG2} に印加します。
3. RF 入力信号を印加します。

パワーダウン時の推奨バイアス・シーケンスを以下に示します。

1. RF 入力信号をオフにします。
2. V_{GG2} への電圧印加を停止するか、0V に設定します。
3. V_{DD} を 0V に設定します。

特に指定のない限り、ここで示した測定値や数値は代表的なアプリケーション回路（図 38 参照）を使用して取得され、仕様のセクションの条件に従ってバイアスされたものです。仕様のセクションに示すバイアス条件は、デバイスの性能全体を最適化するために推奨される動作点です。他のバイアス条件を使用した場合、その性能はこのデータシートに示されているものとは異なる可能性があります。デバイスに損傷を与えずに最高の性能を得るには、このセクションに示す推奨バイアス・シーケンスに従ってください。

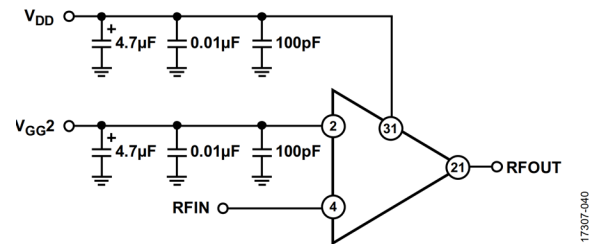


図 38. 代表的なアプリケーション回路

外形寸法

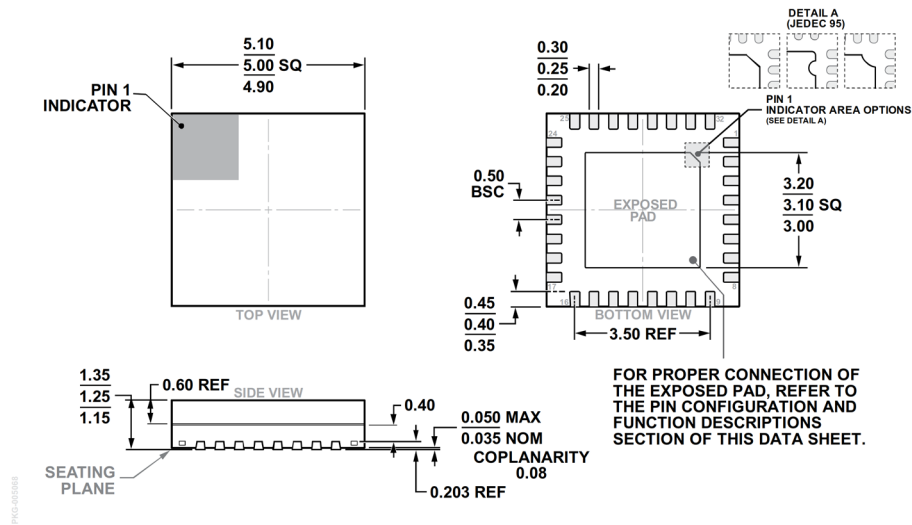


図 39. 32 ピン・リード・フレーム・チップ・スケール・パッケージ、プリモールド・キャビティ [LFCSP_CAV]
 5mm × 5mm ボディ、1.25mm パッケージ高
 (CG-32-2)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	MSL Rating ²	Package Description ³	Package Option
ADL9006ACGZN	-40°C to +85°C	MSL3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
ADL9006ACGZN-R7	-40°C to +85°C	MSL3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
ADL9006-EVALZ			Evaluation Board	

¹ Z = RoHS 準拠製品。

² 詳細については、[絶対最大定格](#)のセクションを参照してください。

³ ADL9006ACGZN と ADL9006ACGZN-R7 のピン仕上げは、ニッケル・パラジウム金 (NiPdAu) です。