



RF DAC およびトランシーバー向け 500MHz~1000MHz 送信用 VGA

データシート

ADL6316

特長

RF DAC、トランシーバー、SoC とパワー・アンプの間を
インターフェースする送信用 VGA
RF 出力周波数範囲: 500MHz~1000MHz
バイアス・ティー付きの内部バランで RF DAC 出力を供給
オンチップ DAC による内蔵 VVA の減衰範囲: 20.5dB
2 段の高直線性アンプ
RF DSA の減衰範囲: 14dB (ステップ分解能= 0.45dB)
50Ω の差動入力および 50Ω のシングル・エンド出力
4 線式 SPI を介して全機能をプログラム可能
5V 単電源
38 端子、10.5mm × 5.5mm LGA

アプリケーション

FDD/TDD 広帯域通信システムの 2G/3G/4G/ロングターム・
エボリューション (LTE)

概要

ADL6316 は送信用可変ゲイン・アンプ (VGA) で、無線周波数 D/A コンバータ (RF DAC)、トランシーバー、およびシステム・オン・チップ (SoC) からパワー・アンプへのインターフェースとして機能します。内蔵のバランとハイブリッド・カップラにより、500MHz~1000MHz の周波数範囲で高性能 RF 機能を実現します。

性能対電力レベルを最適化するため、ADL6316 には電圧可変減衰器 (VVA)、高直線性アンプ、およびデジタル・ステップ減衰器 (DSA) が内蔵されています。ADL6316 に内蔵されたすべてのデバイスは、4 線式シリアル・ポート・インターフェース (SPI) を介してプログラムできます。

ADL6316 は、最新のシリコン・ゲルマニウム (SiGe) バイポーラ相補型金属酸化膜半導体 (BiCMOS) プロセスで製造されています。

表 1. 送信用 VGA ファミリの関連デバイス

Parameter	Frequency Range (MHz)
ADL6316	500 to 1000
ADL6317	1500 to 3000

機能ブロック図

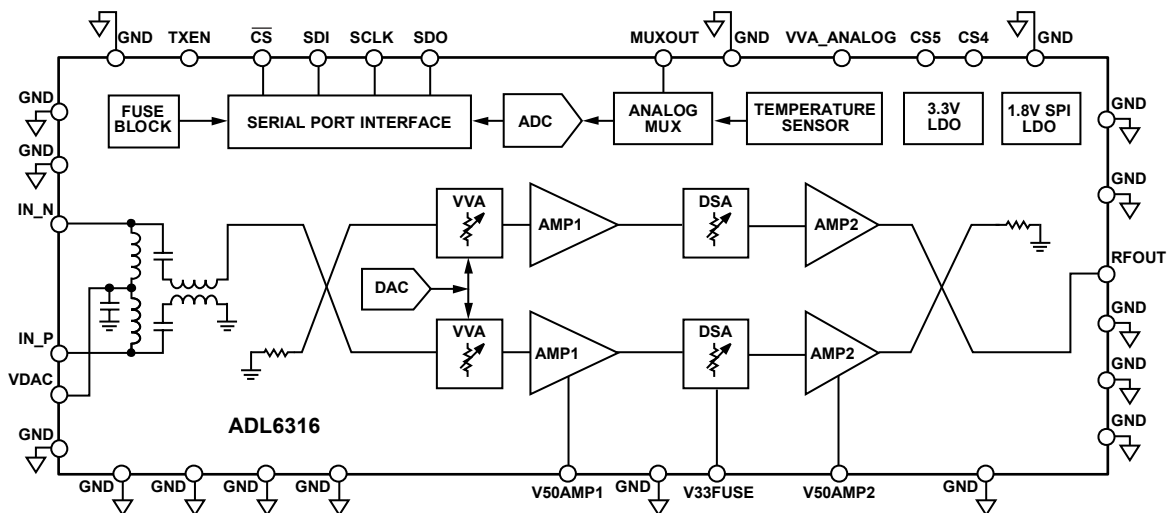


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	プログラマビリティ・ガイド	16
アプリケーション	1	信号経路のモード	16
概要	1	補助マルチプレクサの制御	16
機能ブロック図	1	シリアル・ポート・インターフェース (SPI)	18
改訂履歴	2	デバイス設定	19
仕様	3	アプリケーション情報	21
デジタル・ロジックのタイミング	4	直線性の最適化	21
絶対最大定格	6	性能および消費電力の最適化	21
熱抵抗	6	LTE 動作における隣接・代替チャンネル電力比	21
ESD に関する注意	6	レイアウト	22
ピン配置およびピン機能の説明	7	特性評価のセットアップ	23
代表的な性能特性	8	レジスタの一覧	24
動作原理	14	レジスタの詳細	25
RF 入力バランと DAC インターフェース・ネットワーク ...	14	外形寸法	37
直交ハイブリッド	14	オーダー・ガイド	37
RF シグナル・チェーン	14		
基本的な接続方法	15		

改訂履歴

10/2019—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{50AMP1} = V_{50AMP2} = 5V$ 、 $T_A = 25^{\circ}C$ 、入力電力 (P_{IN}) = $-25dBm$ (トーンあたり $-25dBm$ 、ツー・トーン)、VVA 減衰量 = $0dB$ 、DSA 減衰量 = $0dB$ 、ソース抵抗 (R_S) = 負荷抵抗 (R_L) = 50Ω 。

表 2.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
FREQUENCY RANGE		500		1000	MHz
620 MHz					
Power Gain			29.70		dB
Output 1 dB Compression Point (OP1dB)			24.80		dBm
Output Second-Order Intercept (OIP2)			46.25		dBm
Output Third-Order Intercept (OIP3)			43.40		dBm
Second Harmonic (HD2)			51.00		dBc
Third Harmonic (HD3)			85.50		dBc
Noise Figure (NF)			7.50		dB
869 MHz					
Power Gain			31.10		dB
OP1dB			25.05		dBm
OIP2			48.70		dBm
OIP3			41.80		dBm
HD2			53.00		dBc
HD3			86.00		dBc
NF			5.85		dB
960 MHz					
Power Gain			30.70		dB
OP1dB			24.70		dBm
OIP2			48.75		dBm
OIP3			41.10		dBm
HD2			52.00		dBc
HD3			74.5		dBc
NF			5.95		dB
RF INPUT/OUTPUT CHARACTERISTICS					
Input					
Impedance	差動		50		Ω
Return Loss	帯域内、869MHz		-17.5		dB
Output					
Impedance	シングル・エンド		50		Ω
Return Loss	帯域内、869MHz		-25.0		dB
Gain Flatness	620MHz、869MHz、960MHz における最適線形近似からの偏差 ±50MHz 以上の帯域幅		±0.1		dB
VOLTAGE VARIABLE ATTENUATOR	内蔵の 12 ビット内蔵 DAC、または VVA_ANALOG ピンに接続された外部アナログ電圧を介して				
Range			20.5		dB
Gain Settling Time	最小減衰～最大減衰、VVA DAC を使用		386.8		ns
	最大減衰～最小減衰、VVA DAC を使用		1.681		μs

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
DSA Attenuation Range			14		dB
Resolution			0.45		dB
Gain Settling Time	最小減衰～最大減衰		304.4		ns
	最大減衰～最小減衰		195.0		ns
DIGITAL LOGIC					
Input Voltage	SCLK、SDI、 $\overline{\text{CS}}$ 、CS4、CS5、TXEN	1.07			V
High (V_{IH})				0.68	V
Low (V_{IL})					
Input Current					
High (I_{IH})				-100	μA
Low (I_{IL})				100	μA
Output Voltage	SDO				
At 1.8 V	レジスタ 0x121、ビット 4 = 0x0				
High (V_{OH})	ハイレベル出力電流 (I_{OH}) = -100 μA または -1mA の静的な負荷	1.5			V
Low (V_{OL})	ローレベル出力電流 (I_{OL}) = 100 μA または 1mA の静的な負荷			0.2	V
At 3.3 V	レジスタ 0x121、ビット 4 = 0x1				
High (V_{OH})	I_{OH} = -100 μA または -1mA の静的な負荷	2.7			V
Low (V_{OL})	I_{OL} = 100 μA または 1mA の静的な負荷			0.2	V
POWER SUPPLY					
Voltage		4.75	5.0	5.25	V
Supply Current	高性能モード		435		mA
	低消費電力モード		310		mA
Power-Down Current			6		mA

デジタル・ロジックのタイミング

表 3.

パラメータ	説明	Min	Typ	Max	単位
f_{SCLK}	最大シリアル・クロック・レート、 $1/t_{\text{SCLK}}$		25		MHz
t_{PWH}	SCLK をロジック・ハイに保持する最小時間		10		ns
t_{PWL}	SCLK をロジック・ローに保持する最小時間		10		ns
t_{DS}	データと SCLK 立上がりエッジ間のセットアップ・タイム		5		ns
t_{DH}	データと SCLK 立上がりエッジ間のホールド・タイム		5		ns
t_{DCS}	$\overline{\text{CS}}$ 立下がりエッジと SCLK 立上がりエッジ間のセットアップ・タイム		10		ns
t_{DV}	SCLK 立下がりエッジから読出し動作時の出力データ有効時間までの最大時間遅延		5		ns

タイミング図

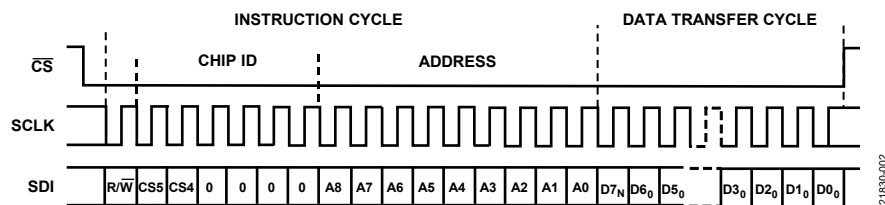


図 2. シリアル・ポート・インターフェースにおけるレジスタのタイミング、MSB ファースト

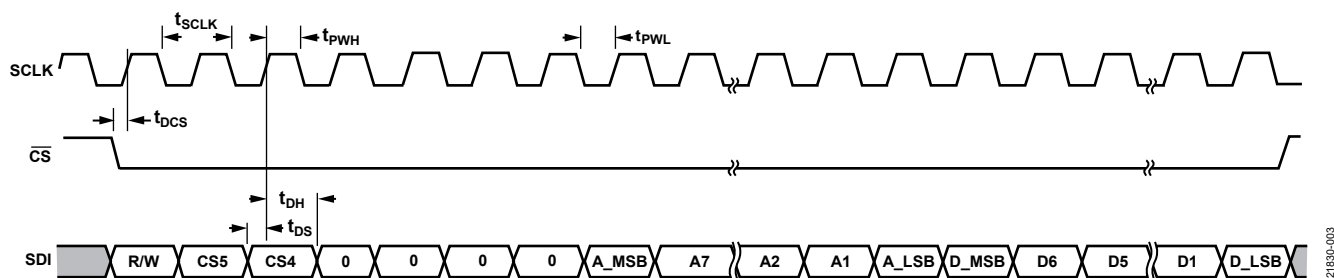


図 3. シリアル・ポート・インターフェースにおけるレジスタ書き込みのタイミング図

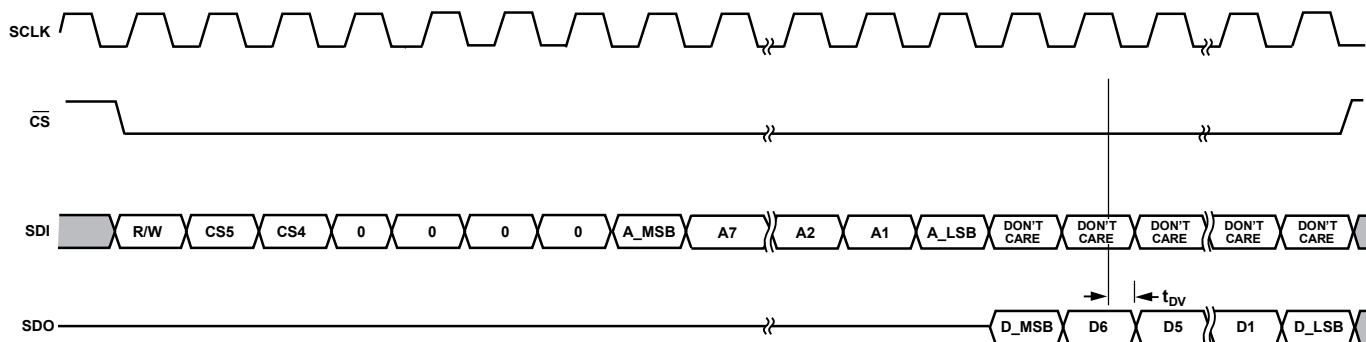


図 4. シリアル・ポート・インターフェースにおけるレジスタ読出しのタイミング図

絶対最大定格

表 4.

Parameter	Rating
V50AMP1, V50AMP2	−0.3 V to +5.5 V
V33FUSE	−0.3 V to +3.6 V
VDAC	−0.3 V to +3.6 V
VVA_ANALOG	−0.3 V to +3.6 V
CS, SCLK, SDI, SDO, CS4, CS5, TXEN	−0.3 V to +3.6 V
RF Input Power (IN_N, IN_P) at 50 Ω	10 dBm
Operating Temperature Range (Measured at Exposed Pad)	−40°C to +105°C
Junction Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗で、ケース温度はパッケージ底面で測定しています。

（特に指定のない限り）表 5 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に従って使用します。

表 5. 熱抵抗^{1,2}

Package Type	θ_{JA}	$\theta_{JC \text{ BOTTOM}}$	Unit
CC-38-1	21.4	7.6	°C/W

¹ $\theta_{JC \text{ BOTTOM}}$: ケース底面は 105°C、ケース上面は 100°C に制御されています。

² 熱抵抗改善のため（PCB、ヒート・シンク、空気の流れなどに）高い放熱技術を使用。

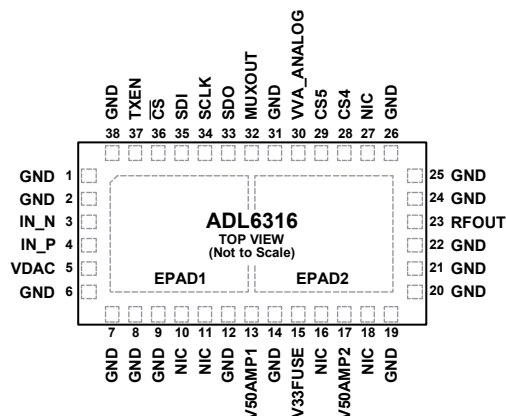
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NIC = NOT INTERNALLY CONNECTED. THIS PIN HAS NO PHYSICAL CONNECTION WITHIN THE CHIP.
 2. EXPOSED PAD 1. EPAD1 IS INTERNALLY CONNECTED TO EPAD2. THE EXPOSED PAD MUST BE CONNECTED TO GROUND FOR ELECTRICAL AND THERMAL PURPOSES.
 3. EXPOSED PAD 2. EPAD2 IS INTERNALLY CONNECTED TO EPAD1. THE EXPOSED PAD MUST BE CONNECTED TO GROUND FOR ELECTRICAL AND THERMAL PURPOSES.

21830-005

図 5. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 2, 6, 7, 8, 9, 12, 14, 19, 20, 21, 22, 24, 25, 26, 31, 38	GND	グラウンド。
3	IN_N	RF 入力、負。
4	IN_P	RF 入力、正。
5	VDAC	外部 RF DAC 用電源電圧 RF DAC を使用しないで動作させる場合、このピンはオープンにしておくことができます。
10, 11, 16, 18, 27	NIC	内部接続なし。これらのピンはチップ内で物理的に接続されていません。
13	V50AMP1	アンプ 1 のアナログ電源 (5.0V)。
15	V33FUSE	VCO 低ドロップアウト (LDO) レギュレータのバイパス。3.3V LDO レギュレータがオフの場合には、このピンに 3.3V を印加することもできます。
17	V50AMP2	アンプ 2 のアナログ電源 (5.0V)。
23	RFOUT	RF 出力。
28, 29	CS4, CS5	チップ・セレクト。これらピンはグラウンドに接続します。複数チップで動作させる場合の接続については、SPI バスを共有した複数チップの動作のセクションを参照してください。
30	VVA_ANALOG	VVA のアナログ電圧制御。
32	MUXOUT	テスト・マルチプレクサ出力。
33	SDO	シリアル・ポート・データ出力。
34	SCLK	シリアル・ポート・クロック入力。
35	SDI	シリアル・ポート・データ入力。
36	CS	シリアル・ポート・ラッチ・イネーブル入力。
37	TXEN	アンプ・イネーブル、DSA 減衰、およびトリム値の選択。
	EPAD1	露出パッド 1。EPAD1 は内部で EPAD2 に接続されています。電気的および熱的性能のため、露出パッドはグラウンドに接続する必要があります
	EPAD2	露出パッド 2。EPAD2 は内部で EPAD1 に接続されています。電気的および熱的性能のため、露出パッドはグラウンドに接続する必要があります

代表的な性能特性

特に指定のない限り、 $V_{50AMP1} = V_{50AMP2} = 5V$ 、 $T_A = 25^\circ C$ 、入力電力 = $-25dBm$ （トーンあたり $-25dBm$ 、ツー・トーン）、VVA 減衰量 = $0dB$ 、DSA 減衰量 = $0dB$ 、 $R_S = R_L = 50\Omega$ 。

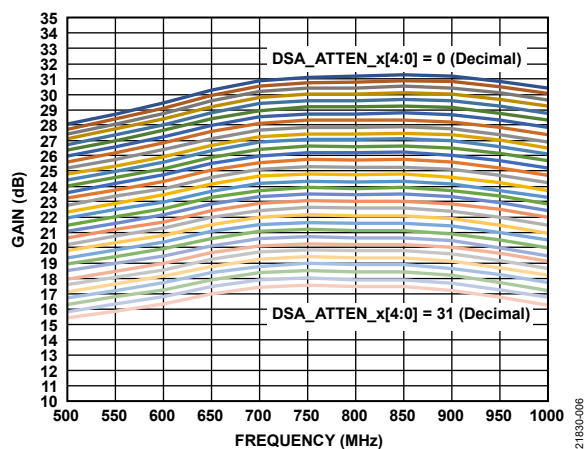


図 6. ゲインの周波数特性、0.45dB の DSA ステップ

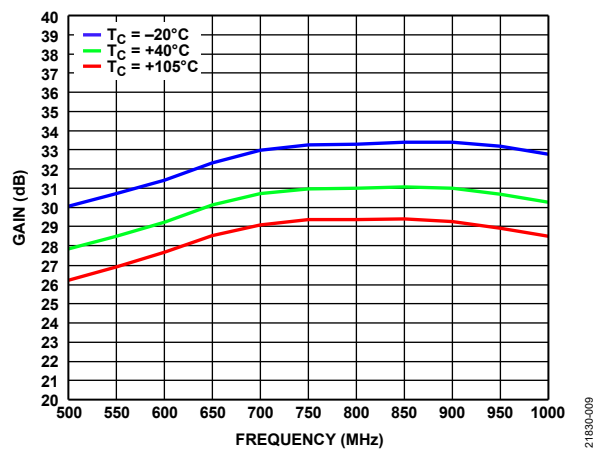


図 9. 様々な温度におけるゲインの周波数特性

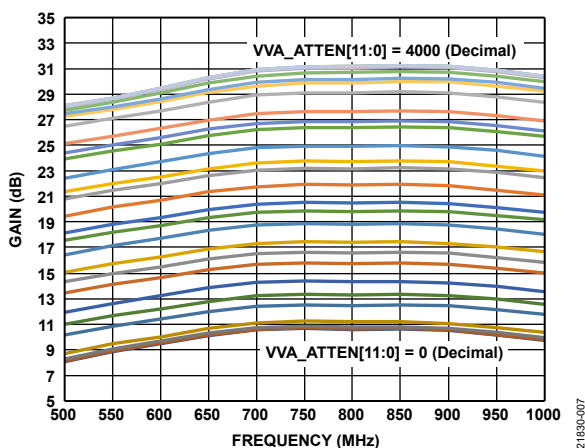


図 7. ゲインの周波数特性、100 VVA_ATTEN [11:0] ステップ

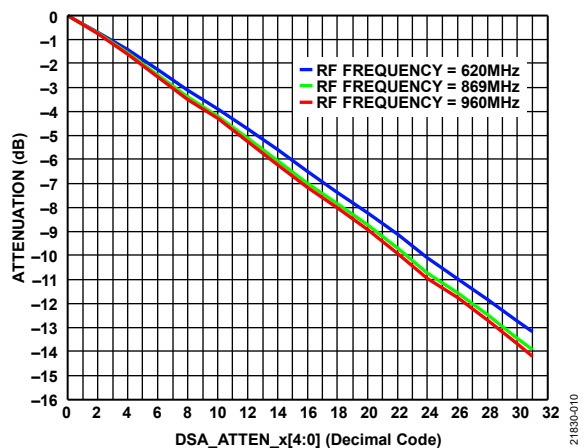


図 10. 620MHz、869MHz、960MHz における減衰量と DSA_ATTEN_x [4:0] の関係、VVA 減衰量 = $0dB$

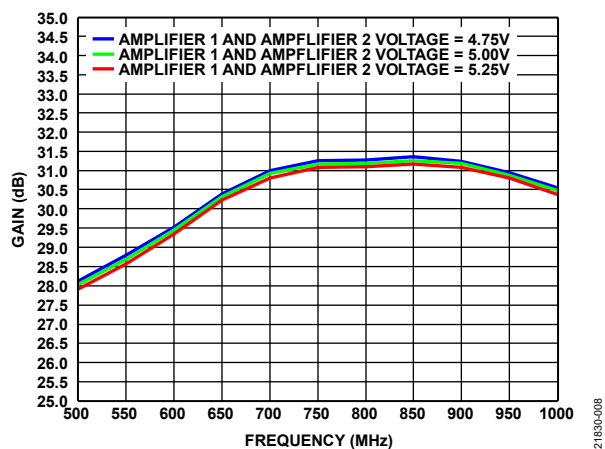


図 8. 様々な電源におけるゲインの周波数特性

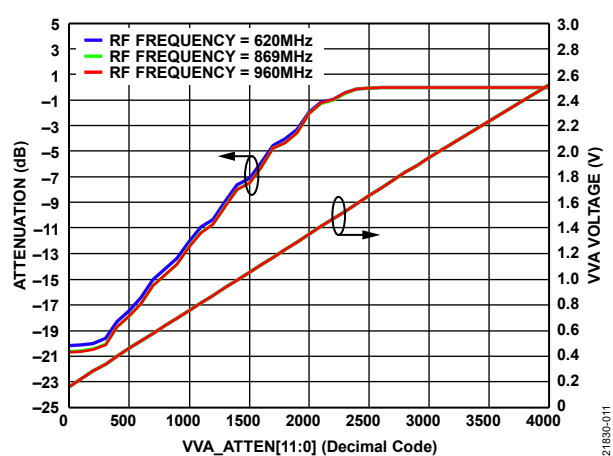


図 11. 620MHz、869MHz、960MHz における減衰量および VVA 電圧と VVA_ATTEN [11:0] の関係、DSA 減衰量 = $0dB$

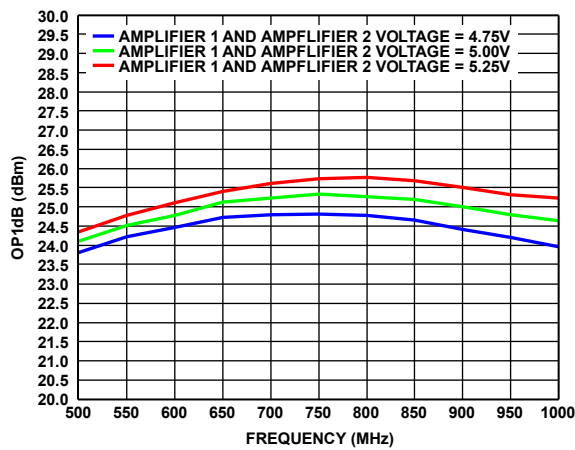


図 12. 様々な電源における OP1dB の周波数特性

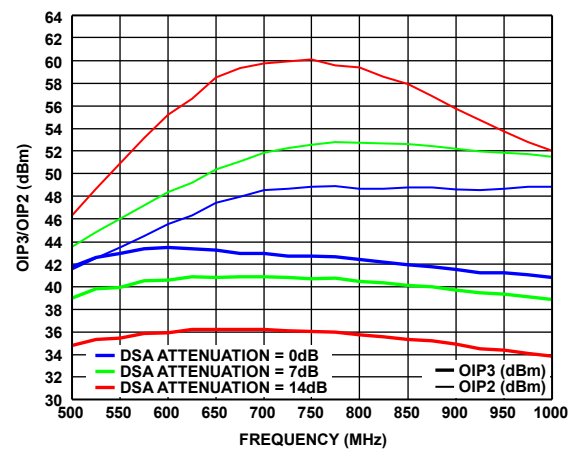


図 15. 様々な DSA 値における OIP3/OIP2 の周波数特性、VVA 減衰量 = 0dB

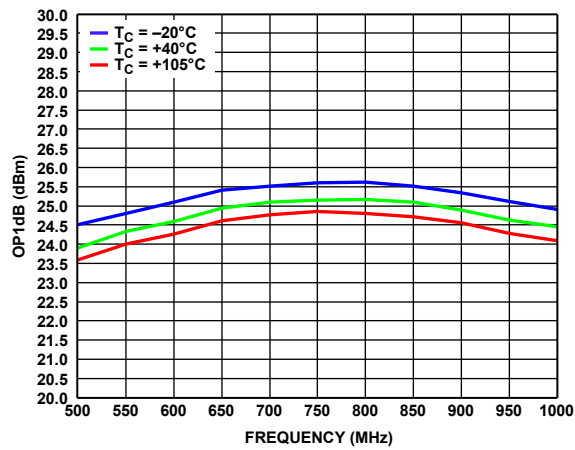


図 13. 様々な温度における OP1dB の周波数特性

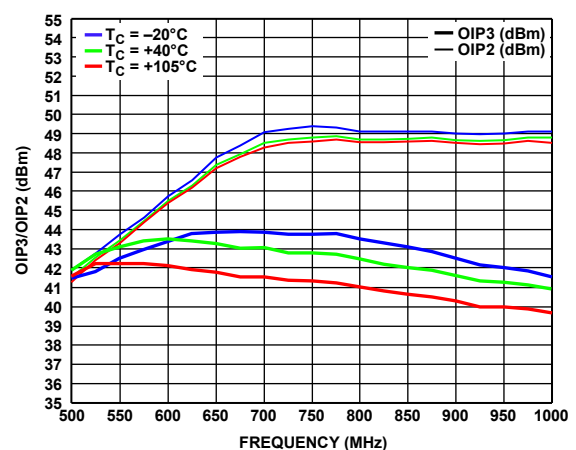


図 16. 様々な温度における OIP3/OIP2 の周波数特性

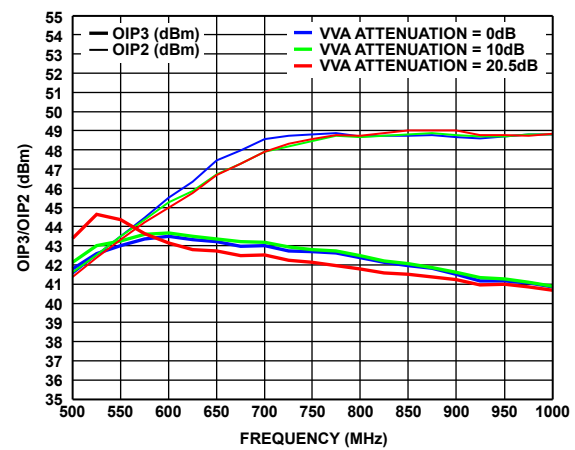


図 14. 様々な VVA 減衰値における OIP3/OIP2 の周波数特性、DSA 減衰量 = 0dB

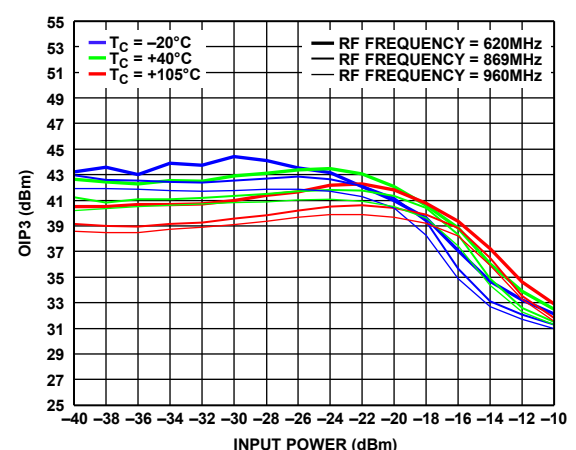


図 17. 様々な温度における 620MHz、869MHz、960MHz での OIP3 と入力電力の関係

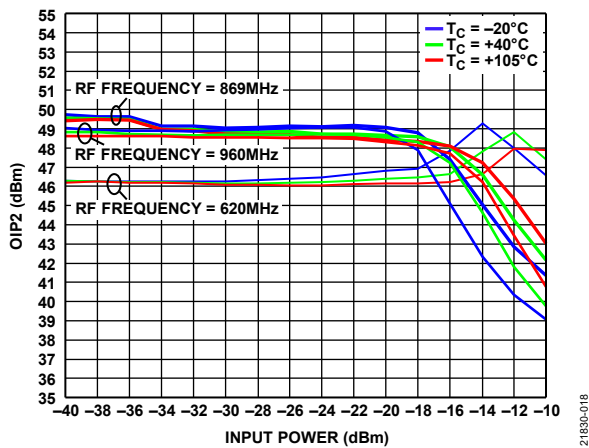


図 18. 様々な温度における 620MHz、869MHz、960MHz での OIP2 と入力電力の関係

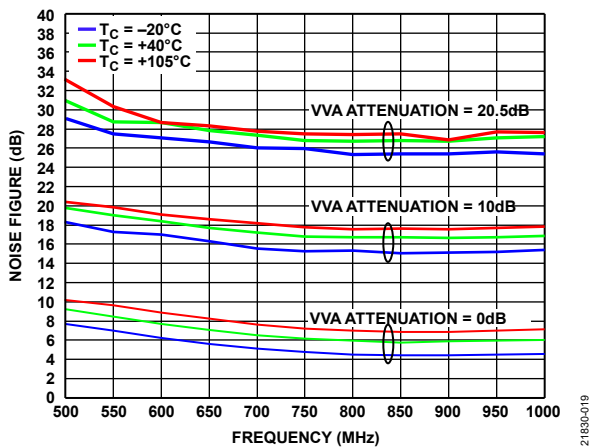


図 19. 様々な温度と VVA 値におけるノイズ指数の周波数特性、DSA 減衰量= 0dB

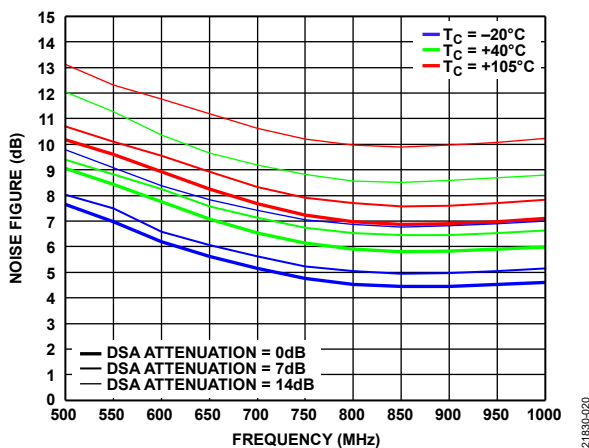


図 20. 様々な温度と DSA 値におけるノイズ指数の周波数特性、VVA 減衰量= 0dB

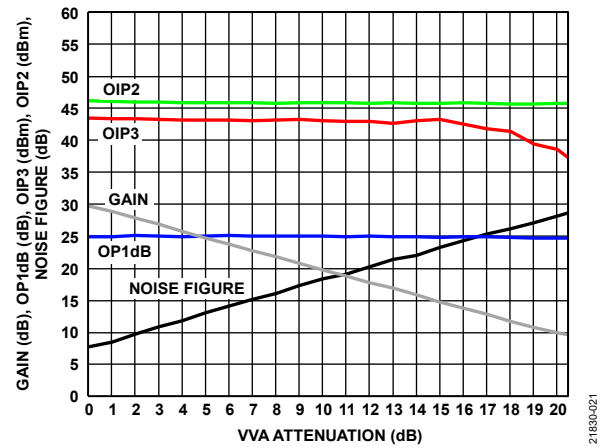


図 21. ゲイン、OP1dB、OIP3、OIP2、ノイズ指数と VVA 減衰量の関係、DSA 減衰量= 0dB、周波数= 620MHz

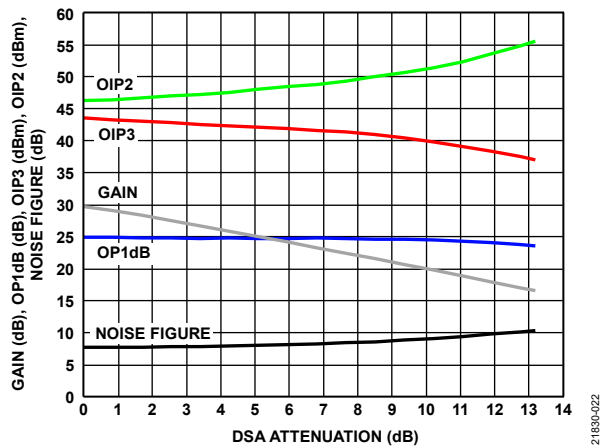


図 22. ゲイン、OP1dB、OIP3、OIP2、ノイズ指数と DSA 減衰量の関係、VVA 減衰量= 0dB、周波数= 620MHz

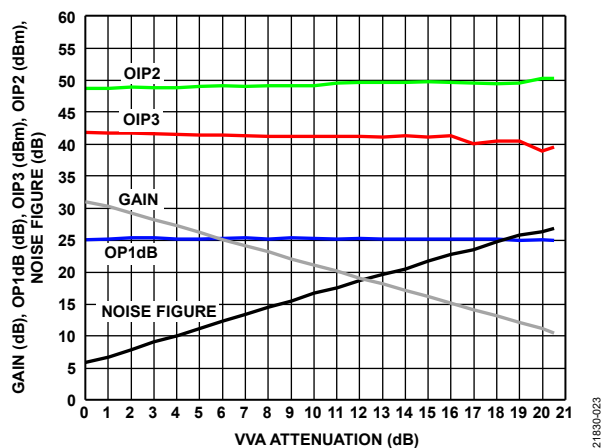


図 23. ゲイン、OP1dB、OIP3、OIP2、ノイズ指数と VVA 減衰量の関係、DSA 減衰量= 0dB、周波数= 869MHz

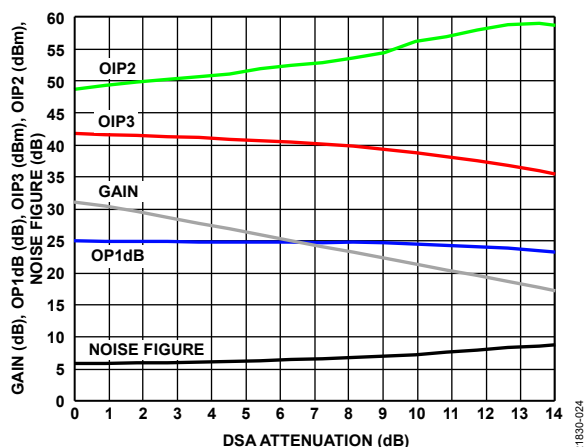


図 24. ゲイン、OP1dB、OIP3、OIP2、ノイズ指数と DSA 減衰量の関係、VVA 減衰量= 0dB、周波数= 869MHz

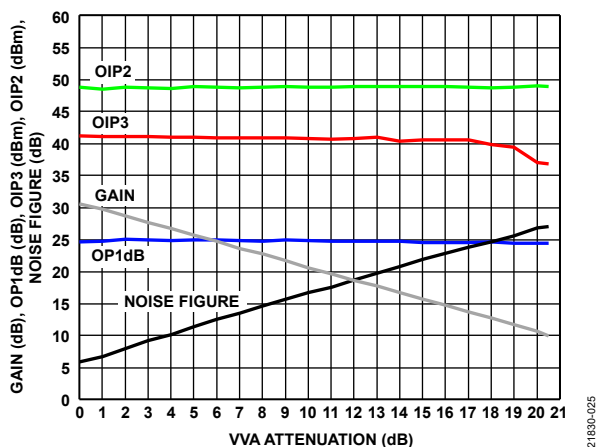


図 25. ゲイン、OP1dB、OIP3、OIP2、ノイズ指数と VVA 減衰量の関係、DSA 減衰量= 0dB、周波数= 960MHz

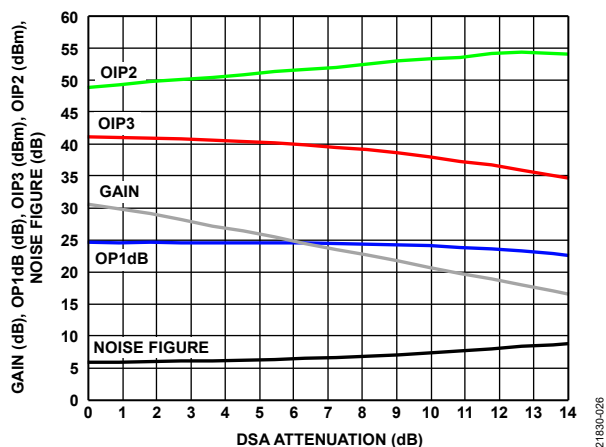


図 26. ゲイン、OP1dB、OIP3、OIP2、ノイズ指数と DSA 減衰量の関係、VVA 減衰量= 0dB、周波数= 960MHz

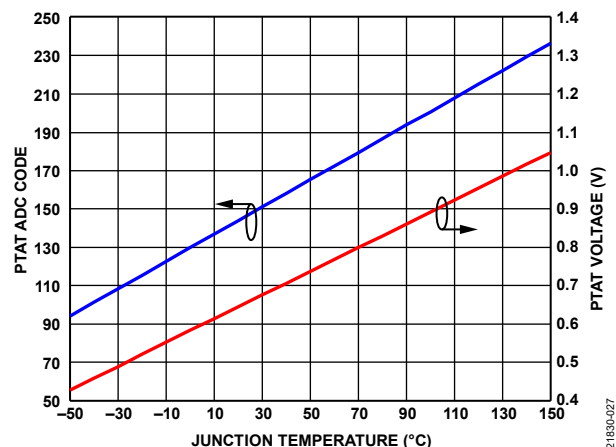


図 27. 絶対温度に比例 (PTAT) した ADC コードおよび PTAT 電圧とジャンクション温度の関係

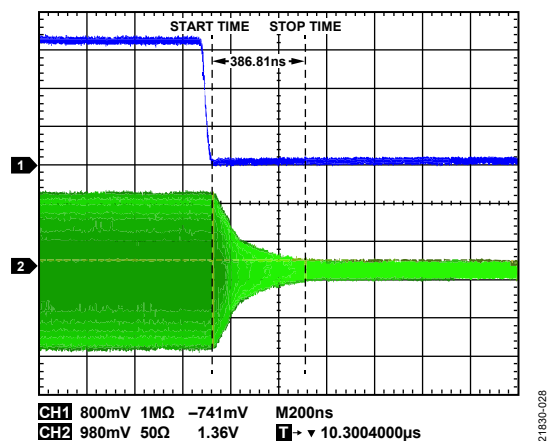


図 28. VVA ゲインのセトリング・タイム、VVA 減衰量の最小値～最大値

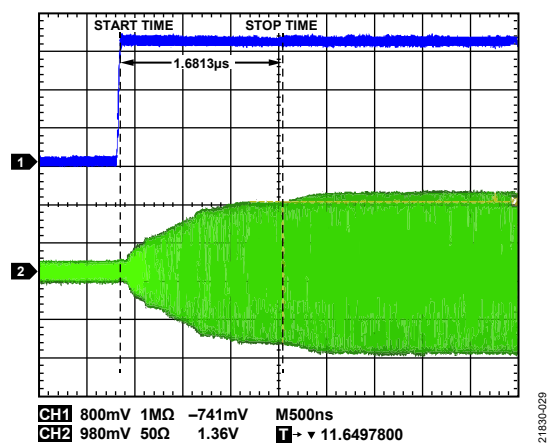


図 29. VVA ゲインのセトリング・タイム、VVA 減衰量の最大値～最小値

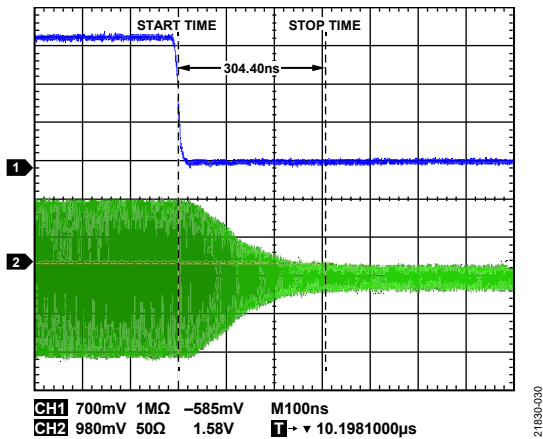


図 30. DSA ゲインのセトリング・タイム、
DSA 減衰量の最小値～最大値

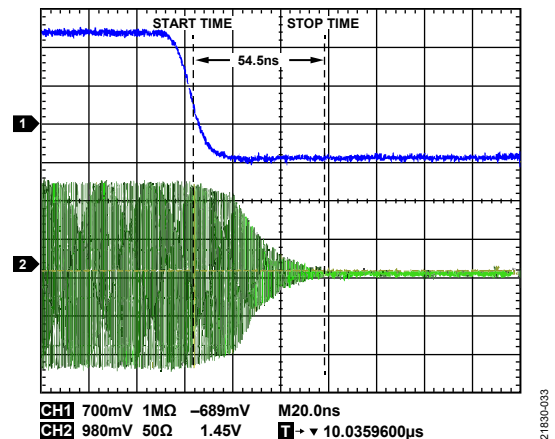


図 33. アンプ 1 から測定した TXEN の応答時間、
アンプ 1 の最小 DSA 減衰時にアンプ 2 はイネーブル、
最大 DSA 減衰時にアンプ 2 はディスエーブル

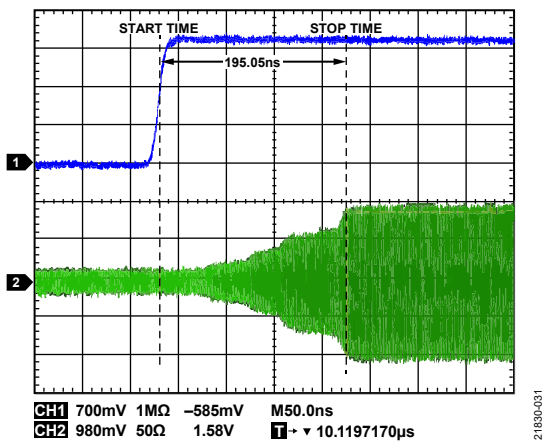


図 31. DSA ゲインのセトリング・タイム、
DSA 減衰量の最大値～最小値

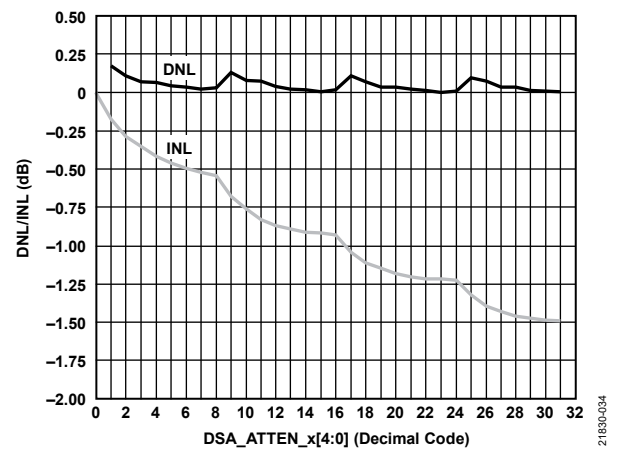


図 34. DSA ゲインのステップ誤差、周波数= 960MHz

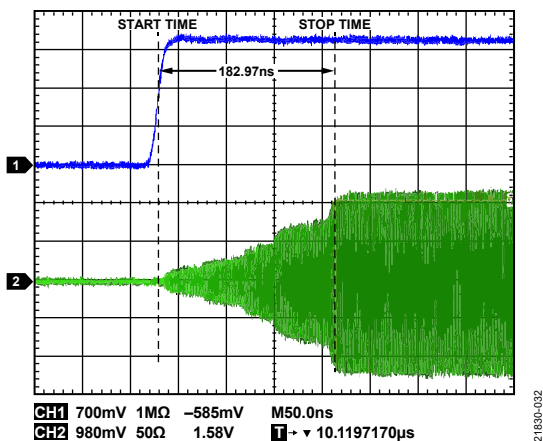


図 32. アンプ 1 から測定した TXEN の応答時間、
アンプ 1 の最大 DSA 減衰時にアンプ 2 はディスエーブル、
最小 DSA 減衰時にアンプ 2 はイネーブル

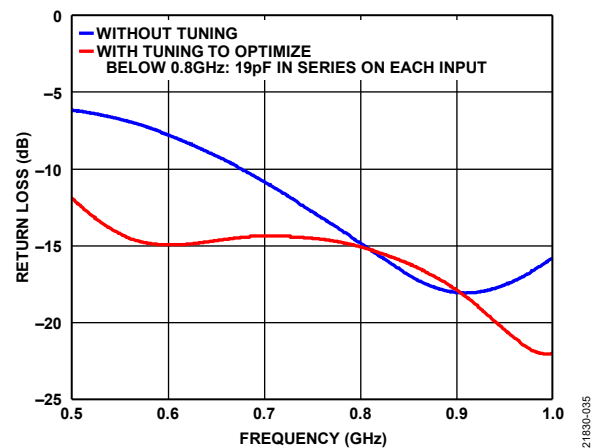


図 35. 0.5GHz～1.0GHz における差動 RF 入力 S11 の
リターン損失

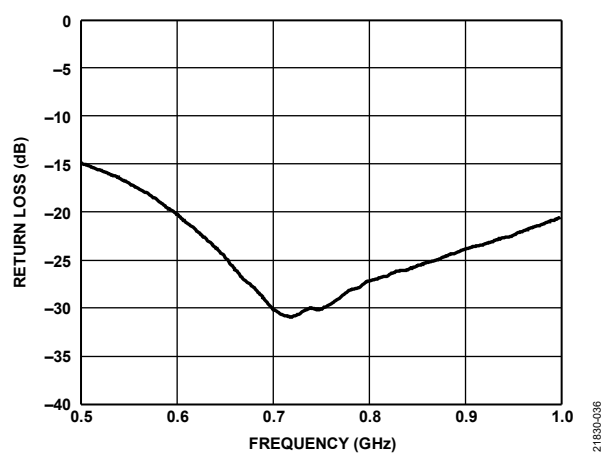


図 36 .0.5GHz~1.0GHz におけるシングル・エンド RF 出力 S22 のリターン損失

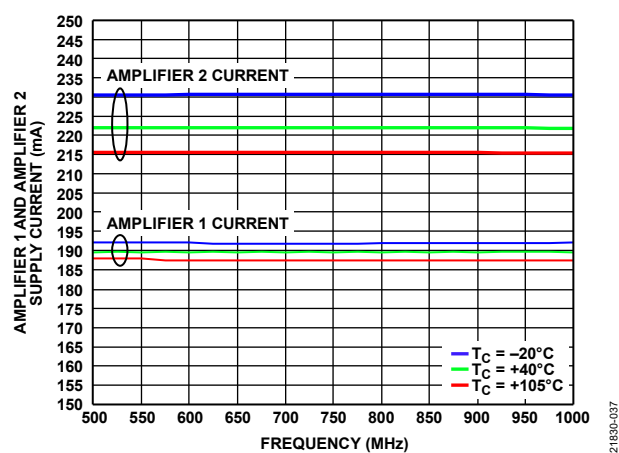


図 37. 様々な温度におけるアンプ 1 およびアンプ 2 の電源電流の周波数特性

動作原理

ADL6316 は高度に集積化された送信用 VGA で、トランスミッタにおける RF DAC とパワー・アンプの間のインターフェースとして使用されます。ADL6316 は、高ダイナミック・レンジ、マルチキャリアのトランスミッタ設計を対象としています。

ADL6316 には、内蔵 DAC または外部電圧で制御される 20.5dB の VVA、高直線性アンプ、RF DSA（減衰範囲：14dB、0.45dB ステップ）、および 2 段目の高直線性アンプが搭載されており、複数通りのゲイン制御が可能です。

ADL6316 のすべての構成要素を組み合わせるため、差動入力で始まるデバイスの信号経路は、内蔵バランによってシングル・エンドに変換されます。そして、内部の直交ハイブリッドでカップリングすることで、このシングル・エンドの信号を直交状態にします。

次に、内蔵の VVA、アンプ 1、DSA、およびアンプ 2 によって RF 信号振幅の性能が最適化された後、RF 信号は出力直交ハイブリッドを通過します。ADL6316 に搭載されたすべての構成要素は SPI 経由でプログラムできます。

RF 入力バランと DAC インターフェース・ネットワーク

ADL6316 は内蔵バランを介して、シングルチャンネル、50Ω の入力差動信号をシングル・エンドの信号に変換します。広帯域マッチングにより、DAC は 500MHz~1000MHz の周波数範囲で動作します。RF DAC に DC バイアスを供給するため、バイアス・ティーが内蔵されています。

直交ハイブリッド

RF 入力と RF 出力に直交ハイブリッドが内蔵されているため、ゲインの広帯域性能を実現し、低い入力反射係数で RF DAC と、また低い出力反射係数で PA とマッチングすることが可能です。

RF シグナル・チェーン

RF のパスは、20.5dB の VVA、第 1 段の固定ゲイン・アンプ、14dB の DSA、および第 2 段の固定ゲイン・アンプで構成されています（図 38 参照）。ADL6316 の VVA 減衰には、12 ビットの内部 DAC を使用した内部アナログ制御と外部アナログ制御の 2 つの制御モードがあります。内部制御モードでは、レジスタ 0x104、ビット [3:0] とレジスタ 0x103、ビット [7:0] を使用して減衰量を設定します。キャリアのグリッチの大部分を回避できるよう、デジタル・ビットはダブル・バッファ付きです。このため、レジスタ 0x104 はレジスタ 0x103 より先に書き込む必要があります。VVA を外部アナログ制御で使用する場合は、制御電圧を VVA_ANALOG ピン（ピン 30）に印加します。VVA 制御用レジスタの書き込み例を図 38 に示します。

表 7. VVA 制御のレジスタ書き込み

アドレス	ビット	設定	説明
0x105	[1:0]	00 10	DAC で VVA を制御 VVA_ANALOG（ピン 30）で VVA を制御
0x104	[3:0]	User defined	12 ビットの DAC コードで VVA 減衰を設定。最初にレジスタ 0x104、ビット [3:0] に書き込み、次にレジスタ 0x103、ビット [7:0] に書き込む
0x103	[7:0]	User defined	

次段の固定ゲイン・アンプは直交にバランスされた設定で使用します。DSA は 14dB の範囲と 0.45dB のステップ分解能を実現しています。デジタル 5 ビットによる DSA 減衰の制御はレジスタ 0x102 およびレジスタ 0x112 のビット [4:0] で設定します。最後の、2 段目の固定ゲイン・アンプも直交にバランスされた設定で使用します。

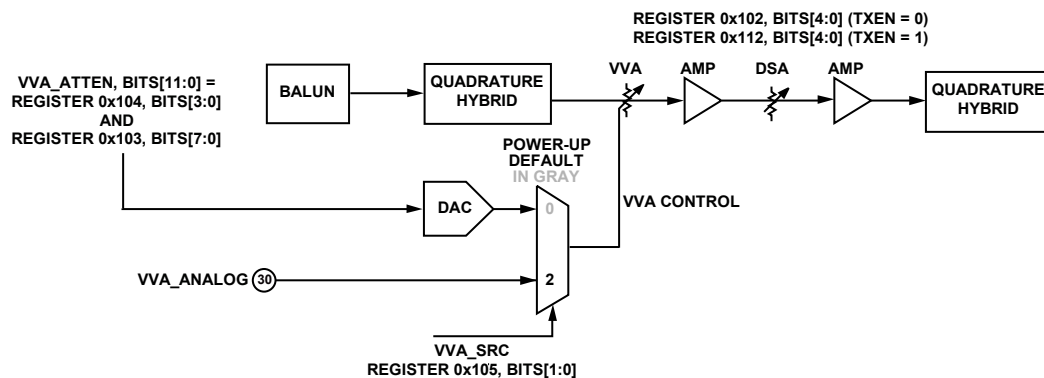


図 38. RF シグナル・チェーン

21830-038

基本的な接続方法

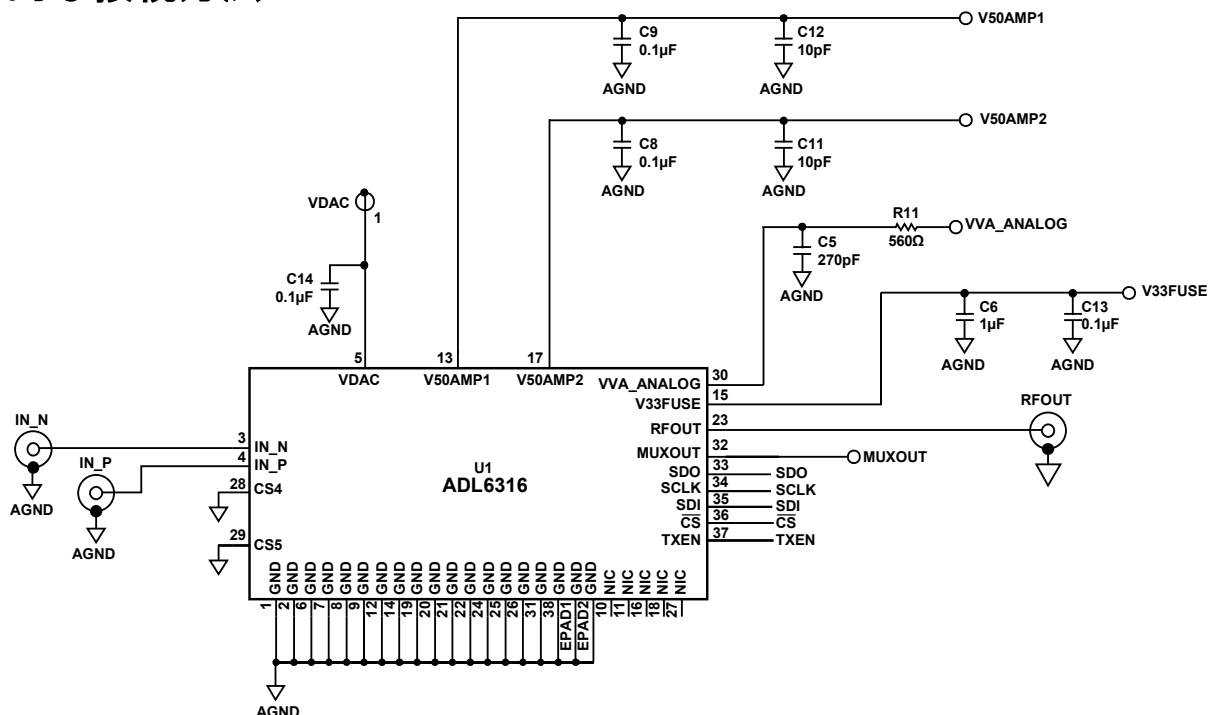


図 39. 基本的な接続方法

表 8. 基本的な接続方法

機能ブロック	ピン番号	記号	説明	基本的な接続方法
5 V	13, 17	V50AMP1, V50AMP2	アンプのアナログ電源電圧、5V	これらのピンは、10pF と 0.1µF のコンデンサを接続してグラウンドにデカップリングします。デカップリング・コンデンサは、ピンの近くに配置してください。
Decoupling	15	V33FUSE	3.3V LDO レギュレータのデカップリング	0.1µF と 1µF のコンデンサを接続してこのピンをグラウンドにデカップリングします。デカップリング・コンデンサは、ピンの近くに配置してください。
RF Inputs	5 3, 4	VDAC IN_N, IN_P	外部 RF DAC 用電源電圧 差動 RF 入力	RF DAC を使用しないで動作させる場合、VDAC はオープンにしておくことができます。 IN_N ピンと IN_P ピンを RF DAC またはトランシーバーの出力に接続して、差動の構成にします。
VVA	30	VVA_ANALOG	外部 VVA 制御電圧の入力	VVA 減衰を制御する電圧入力ピン。
RF Output	23	RFOUT	シングル・エンド RF 出力	RF 出力をパワー・メータ、ネットワーク・アナライザ、ノイズ指数メータ、スペクトラム・アナライザなどに接続します。
Serial Port	33 34 35 36	SDO SCLK SDI CS	SPI データ出力 SPI クロック SPI データ入力 チップ・セレクト (アクティブ・ロー)	許容ロジック・レベル: 1.8V~3.3V。 許容ロジック・レベル: 1.8V~3.3V。 許容ロジック・レベル: 1.8V~3.3V。 許容ロジック・レベル: 1.8V~3.3V。
Auxiliary Mux	32	MUXOUT	マルチプレクサ出力	マルチプレクサ出力をマルチメータ、オシロスコープ、スペクトラム・アナライザなどに接続します。
Chip Selection	28, 29	CS4, CS5	チップの選択	これらのピンはグラウンドに接続します。
Mode Control	37	TXEN	アンプ・イネード、DSA 減衰、およびトリム値の選択	許容ロジック・レベル: 1.8V~3.3V。
Ground	1, 2, 6, 7, 8, 9, 12, 14, 19, 20, 21, 22, 24, 25, 26, 31, 38	GND	グラウンド	これらのピンは PCB のグラウンドに接続します。
Exposed Pad	Not applicable	EPAD1, EPAD2	露出パッド	露出サーマル・パッドはパッケージ底面にあります。露出パッドは PCB のグラウンドにハンダ付けします。EPAD1 と EPAD2 は内部で接続されています。

プログラマビリティ・ガイド

レジスタ・マップを俯瞰すると、レジスタは、表 9 に示すように主要な機能ブロックに分類されます。ADL6316 のすべてのレジスタについての完全なリストは、レジスタの一覧のセクションを参照してください。

表 9. メモリ・マップの機能グループ

レジスタ・アドレス	機能ブロック
0x000 to 0x011	アナログ・デバイセスによる SPI 設定
0x100 to 0x101, 0x106	信号経路のイネーブル
0x103 to 0x105	VVA 電源、VVA 減衰
0x10B, 0x11B	アンプ 2 の最適化
0x102, 0x107 to 0x10A	DSA 減衰、アンプ・イネーブル、アンプのトリム、TXEN = 0 モード
0x112, 0x117 to 0x11A	DSA 減衰、アンプ・イネーブル、アンプのトリム、TXEN = 1 モード
0x120 to 0x121	補助マルチプレクサの選択、SPI 電源制御
0x127 to 0x129	ADC クロック、温度のリードバック
0x146 to 0x148	VVA および DSA 減衰のリードバック

信号経路のモード

ADL6316 には、2 つの信号経路モードがあります。これにより、予め規定された 2 つの動作モードを TXEN で制御できます。TXEN は、SPI による遅延のないリアルタイムの外部ピンです。表 10 に、目的のモードを選択するためのハードウェアの設定を示します。

表 10. モードの選択およびセットアップ・レジスタ

TXEN (Pin 37)	Mode	Enable, Setup Registers
0	TXEN = 0	0x102, 0x107 to 0x10A
1	TXEN = 1	0x112, 0x117 to 0x11A

各動作モードの制御は、レジスタ・マップの指定のサブセクションで設定されます。各動作モードでは、アンプ・ブロック、DSA 減衰、およびパワー・モードのイネーブルを個別に制御します。各機能の制御は、TXEN = 0 モードではレジスタ 0x102 とレジスタ 0x107～レジスタ 0x10A、TXEN = 1 モードではレジスタ 0x112 とレジスタ 0x117～レジスタ 0x11A で設定されます。TXEN ピン（ピン 37）のロジック・レベルで選択されたモードによってレジスタの状態が決まります（表 11 参照）。

表 11. モードのコントロール・レジスタ

レジスタ・アドレス	モード	機能ブロック
0x102	TXEN = 0	DSA 減衰
0x112	TXEN = 1	DSA 減衰
0x107	TXEN = 0	アンプ 1 の最適化
0x117	TXEN = 1	アンプ 1 の最適化
0x108	TXEN = 0	アンプ 1 イネーブル
0x118	TXEN = 1	アンプ 1 イネーブル
0x109	TXEN = 0	アンプ 2 の最適化
0x119	TXEN = 1	アンプ 2 の最適化
0x10A	TXEN = 0	アンプ 2 イネーブル
0x11A	TXEN = 1	アンプ 2 イネーブル

信号経路のイネーブル

信号経路のイネーブル・ビットはレジスタ 0x100、レジスタ 0x108、レジスタ 0x118、レジスタ 0x10A、レジスタ 0x11A にあります。図 40 に、それぞれのイネーブル・ビットが制御する各ブロックの詳細を示します。

補助マルチプレクサの制御

ADL6316 は、補助マルチプレクサの制御ブロックを複数備えており、様々な動作モードと検出ポイントを有しています（図 41 および表 12 参照）。

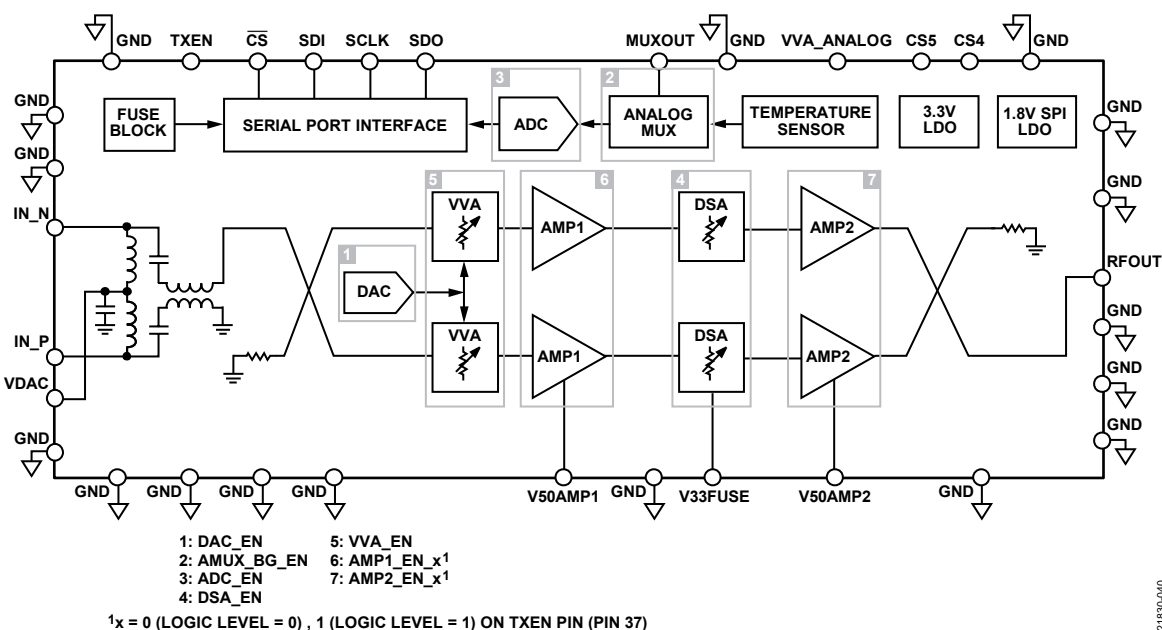


図 40. 信号経路のイネーブルのブロック図

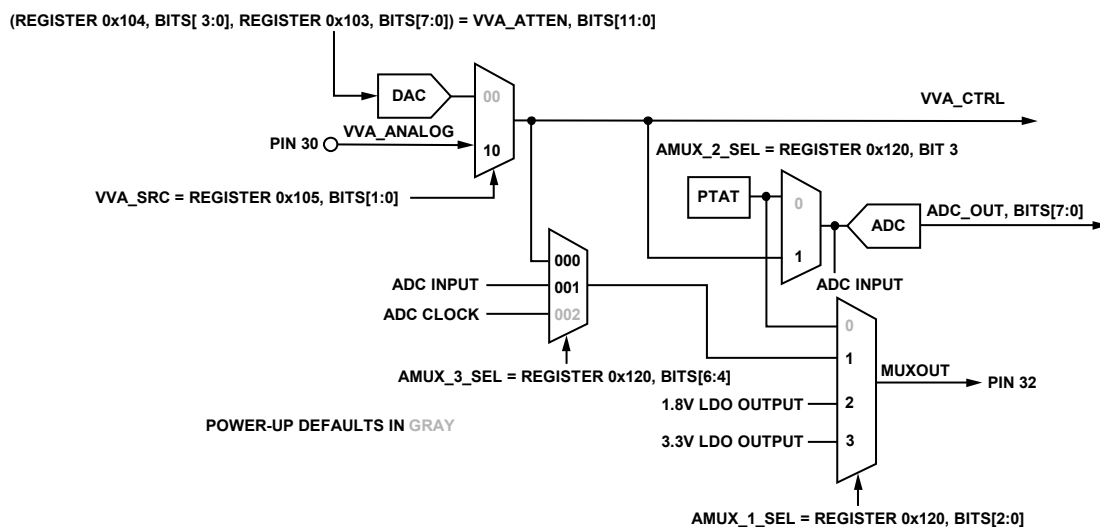


図 41. 補助マルチプレクサのブロック図

表 12. 補助マルチプレクサのプログラミング・ガイド

ビット名	レジスタ・アドレス	設定	説明
AMUX_3_SEL	Register 0x120, Bits[6:4]		マルチプレクサでの ADC 入力、VVA_CTRL、ADC クロックの選択。 VVA_CTRL は VVA 減衰を制御するための内部制御電圧信号です。
		000	VVA_CTRL。
		001	ADC 入力。
		010	ADC クロック。
		011	未使用。
		100	未使用。
		101	未使用。
		110	未使用。
AMUX_2_SEL	Register 0x120, Bit 3	111	未使用。
AMUX_1_SEL	Register 0x120, Bits[2:0]	0	ADC 入力の選択。 絶対温度に比例した (PTAT) ADC 入力。
		1	VVA_CTRL による ADC 入力。
		000	マルチプレクサ出力の選択。 PTAT。
		001	AMUX_3_SEL の出力。
		010	1.8V LDO 出力。
		011	3.3V LDO 出力。
		100	GND。
		101	GND。
		110	未使用。
		111	未使用。

シリアル・ポート・インターフェース (SPI)

ADL6316 の SPI を使用すると、4 線式 SPI ポートを通じて、特定の機能や動作を実行するようデバイスを設定できます。このインターフェースは柔軟性を高め、カスタマイズを可能とします。シリアル・ポート・インターフェースは、SCLK、SDI、SDO、CS の 4 本の制御線で構成されています。SPI ポートのタイミング条件を表 3 に示します。

ADL6316 のプロトコルは、読出し／書込みビット、6 個のチップ・セレクト ID ビット、9 個のレジスタ・アドレス・ビット、それに続く 8 個のデータ・ビットで構成されています。アドレスとデータの両方のフィールドは、デフォルトで MSB を先頭にし LSB で終了するように構成されます。

書込みサイクル時の ADL6316 入力ロジック・レベルは、1.8V ロジック・レベルを使用します (表 2 のデジタル・ロジック・パラメータを参照)。

読出しサイクルでは、SPI_IP8_3P3_CTRL ビット (レジスタ 0x121、ビット 4) を設定することで SDO を 1.8V (デフォルト) または 3.3V の出力レベルに設定できます。

SPI バスを共有した複数チップの動作

同一の 4 線式 SPI を使用して、最大 4 個の ADL6316 デバイスのアドレスを指定できます。そのため、各デバイスに追加の CS 線は不要です。この機能を実現するため、ADL6316 にはチップ ID 用に確保されたチップ ID ビットがあります (図 2 に示す SPI インターフェース・ポートを参照)。

ADL6316 は、6 個の MSB がチップ ID と異なるアドレスへの書込みをすべて無視しますが、レジスタ 0x000~レジスタ 0x00B は例外です。これらのレジスタへの書込みは、アドレスの 6 個の MSB にかかわらず常に受け入れます。

ADL6316 は、レジスタ 0x000~レジスタ 0x00B を含め、6 個の MSB がチップ ID と等しい場合にのみアドレスへの読出しを受け入れます。

図 42 に、4 線式 SPI を共有するためのチップ ID、CS5 ピンおよび CS4 ピンの設定方法を示します。図 42 において、CS5 と CS4 の設定は灰色で示しています。

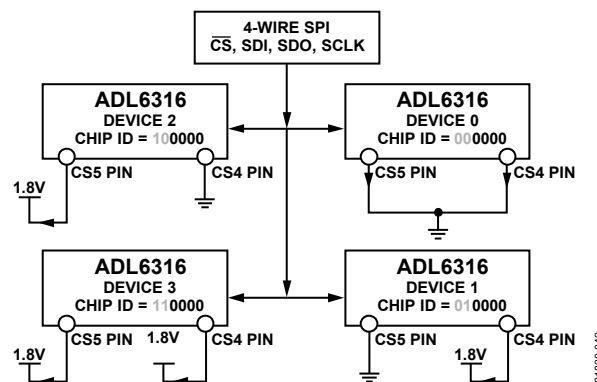


図 42. SPI バスを共有するための複数チップの設定

デバイス設定

ADL6316 を設定するための推奨手順は以下のとおりです。

1. SPI インターフェースを設定。表 13 を参照してください。
2. 補助マルチプレクサ制御を含む共通パラメータを設定。表 14 および表 15 を参照してください。
3. 動作モードを設定。表 16～表 19 を参照してください。
 - a. DSA の減衰量を設定。
 - b. アンプのイネーブル／ディスエーブルを設定。
 - c. アンプのリファレンス電流を設定。
 - d. 直線性が最適となるようアンプを設定。
 - e. 内部温度を測定。

表 13. SPI インターフェースの設定

アドレス	設定	メモ
0x000	0x99	ソフト・リセット、MSB ファースト、SDO アクティブ（4 線式 SPI）
0x001	0x00	単一命令、マスタ／スレーブのリードバック、ソフト・リセット、マスタ／スレーブの転送
0x00A	0x00	スクラッチ・パッド

表 14. 信号経路の調整

アドレス	設定	説明
0x100	0xFF	DAC、補助マルチプレクサのバンドギャップ、ADC、バイアス・ジェネレータ、DSA、VVA をイネーブル
0x101	0x01	IP3 最適化および 3.3V LDO レギュレータをイネーブル
0x106	0x00	EN_IBIASGEN_RESISTOR ビットを介してバイアス電流 I_{BIAS} をディスエーブル（デフォルト設定）
0x105	0x00	DAC からの VVA 制御電源
0x104	0x0F	VVA 減衰量の最小値、12 ビット・ワードの上位 4 ビット
0x103	0xFF	VVA 減衰量の最小値、12 ビット・ワードの下位 8 ビット

表 15. 補助マルチプレクサの制御

アドレス	設定	説明
0x120	0x00	PTAT による ADC 入力、PTAT によるマルチプレクサ出力
0x121	0x00	SPI SDO 電圧を 1.8V に設定

表 16. パワーダウン・モードのセットアップ、TXEN = ロジック・レベル 0

アドレス	設定	説明
0x102	0x1F	DSA の減衰量：14dB
0x107	0x80	低消費電力モードでのアンプ 1 のリファレンス電流 I_{REF} （TRM_AMP1_IREF_0）の設定
0x108	0x80	アンプ 1 をディスエーブル
0x109	0x80	低消費電力モードでのアンプ 2 の I_{REF} （TRM_AMP2_IREF_0）の設定
0x10A	0x80	アンプ 2 をディスエーブル

表 17. 通常動作モードのセットアップ、TXEN = ロジック・レベル 1

アドレス	設定	説明
0x112	0x00	DSA の減衰量：0dB
0x117	0x82	アンプ 1 の I_{REF} （TRM_AMP1_IREF_1）の設定
0x118	0x81	アンプ 1 をイネーブル
0x119	0x82	アンプ 2 の I_{REF} （TRM_AMP2_IREF_1）の設定
0x11A	0x81	アンプ 2 をイネーブル

表 18. 直線性の最適化

アドレス	設定	説明
0x10B	0x02	TRM_AMP2_CB ビットの設定
0x11B	0x02	TRM_AMP2_IP3 ビットの設定

表 19. ADC 変換による内部温度計測

アドレス	設定	説明
0x000	0x18	SDO をアクティブ
0x100	0xFF	ADC をイネーブル
0x127	0x20	ADC クロック分周器をイネーブルし、ADC クロック周波数を設定
0x120	0x00	PTAT による ADC 入力、PTAT によるマルチプレクサ出力
0x00A	0xCC	レジスタのダミー書込み
0x00A	0xCC	レジスタのダミー書込み
0x00A	0xCC	レジスタのダミー書込み
0x00A	0xCC	レジスタのダミー書込み
0x00A	0xCC	レジスタのダミー書込み
0x129	Not applicable	ADC からの温度の読出し

アプリケーション情報

直線性の最適化

ADL6316 の直線性は、TRM_AMP2_IP3（レジスタ 0x11B、ビット [1:0]）と TRM_AMP2_CB（レジスタ 0x10B、ビット [1:0]）の設定によって最適化できます。OIP3 を最適化するには、IP3_OFF ビット（レジスタ 0x101、ビット 1）を 0x00 に設定します。TRM_AMP2_IP3 ビットで 2 段目のアンプのスイッチを制御することにより、3 次歪みの相殺と OIP3 の最適化が可能です。TRM_AMP2_CB ビットでトランジスタにおけるコモン・ベース・バイアス電流を制御することにより、更に直線性を最適化することができます。

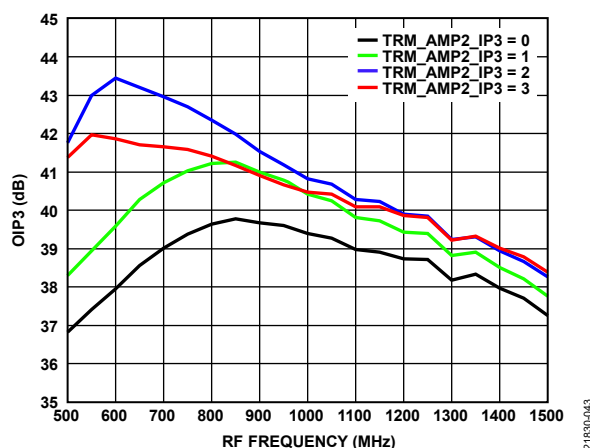


図 43. 様々な TRM_AMP2_IP3 設定値における OIP3 と RF 周波数の関係、TRM_AMP2_CB = 0x02、TRM_AMP1_IREF_x および TRM_AMP2_IREF_x = 0x02

TRM_AMP2_IP3 設定値と OIP3 最適化の関係を図 43 に示します。

性能および消費電力の最適化

ADL6316 は、消費電力と性能を最適化するための制御が可能です。性能が重要となるアプリケーションでは、消費電力は大きくなりますが、性能を最適化することができます。また、低消費電力を優先する場合は、TRM_AMPx_IREF_1（レジスタ 0x117 とレジスタ 0x119 のビット [3:0]）を使用してチップのアンプ・ブロックを調整し、消費電力を低減させることができます。

消費電力の最適化と性能の関係に応じて微調整される RF アンプの設定におけるリファレンス電流について、表 20 に示します。

LTE 動作における隣接・代替チャンネル電力比

5MHz、1 キャリアの LTE を使用した場合の ADL6316 の隣接・代替チャンネル電力比（CPR）を図 44 に示します。RF = 960MHz における隣接 CPR は -71.4dB、代替 CPR は -75.3dB です。隣接・代替 CPR の性能は、出力電力に応じて変化します。ADL6316 では、出力電力は入力電力、VVA 減衰量、または DSA 減衰量を調整することによって変化させることができます。ADL6316 を異なるモードで制御したときの、RF = 960MHz における隣接・代替 CPR と出力電力の関係を図 45～図 47 に示します。

図 45 に示すように、ADL6316 を -25.2dBm の入力電力で駆動し内部 VVA を 0dB、DSA を 0dB に設定したときに、隣接・代替 CPR は 5dBm の出力電力を得ることができます。-14.9dBm の入力電力における隣接・代替 CPR と出力電力の関係について、VVA 減衰で調整した場合を図 46 に、DSA 減衰で調整した場合を図 47 に示します。図 45～図 47 には、10dBm 以下の出力電力で隣接・代替 CPR 性能は -65dB 以下であり、10dBm 以上では、2 段目の RF アンプによる隣接・代替 CPR 性能への寄与が徐々に低下する様子が示されています。VVA 減衰量を固定して DSA を掃引すると、隣接・代替 CPR 性能は 6dBm 以下の出力電力において一定値を保ちます（図 47 参照）。

表 20. 960MHz における電力の最適化と性能の関係、VVA 減衰量 = 0dB、DSA 減衰量 = 0dB、TRM_AMP2_IP3 = 0x02

TRM_AMPx_IREF_1 Setting (Decimal) (Register 0x117 and Register 0x119, Bits[3:0])	DC Power (W)	Gain (dB)	OP1dB (dBm)	OIP3 (dBm)	NF (dB)
3	2.32	30.71	24.32	40.89	5.98
2	2.06	30.71	24.54	41.21	5.88
1	1.8	30.62	24.51	40.73	5.78
0	1.5	30.24	24.39	38.60	5.72

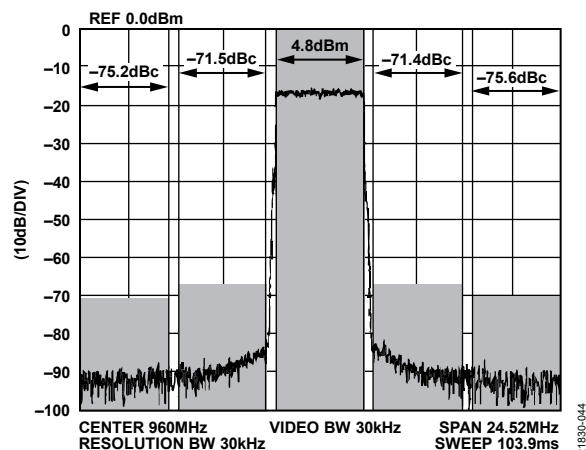


図 44. LTE キャリア、960MHz における隣接・代替 CPR、VVA 減衰量= 0dB、DSA 減衰量= 10.5dB、 $P_{IN} = -14.9\text{dBm}$

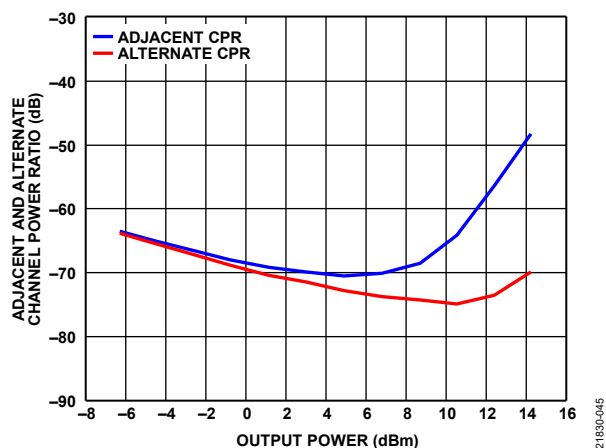


図 45. P_{IN} を掃引した場合の隣接・代替 CPR と出力電力 (P_{OUT}) の関係、960MHz、LTE テスト・モデル 1.1 (TM1.1)、VVA 減衰量= 0dB、DSA 減衰量= 0dB

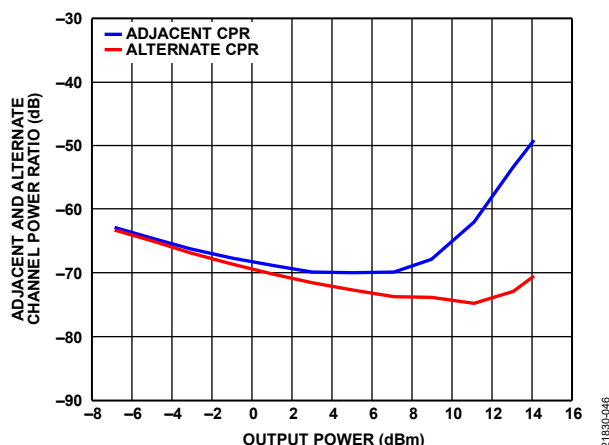


図 46. VVA 減衰量を掃引した場合の隣接・代替 CPR と出力電力 (P_{OUT}) の関係、960MHz、LTE TM1.1、 $P_{IN} = -14.9\text{dBm}$ 、DSA 減衰量= 0dB

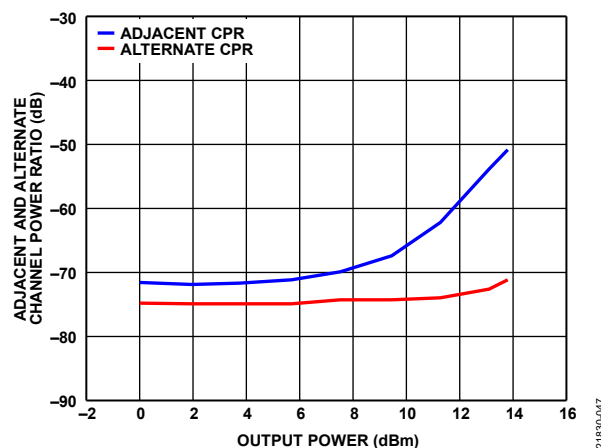


図 47. DSA 減衰量を掃引した場合の隣接・代替 CPR と出力電力 (P_{OUT}) の関係、960MHz、LTE TM1.1、 $P_{IN} = -14.9\text{dBm}$ 、VVA 減衰量= 0dB

レイアウト

ADL6316 の下面の露出パッドを、熱抵抗および電気インピーダンスの低いグランド・プレーンにハンダ付けします。通常、このパッドは評価用ボードのハンダ・マスクで覆われていない開口部にハンダ付けします。ADL6316-EVALZ 評価用ボードの露出パッドに形成された 19 個のビア・ホールの使用に注意してください。これらのグランド・ビアを、評価用ボードの他のすべてのグランド層に接続し、デバイス・パッケージからの熱放射を最大にします。ADL6316-EVALZ 評価用ボードの詳細については、アナログ・デバイスにお問い合わせください。

デカップリング・コンデンサは、電源電圧ピンの近くに配置してください。

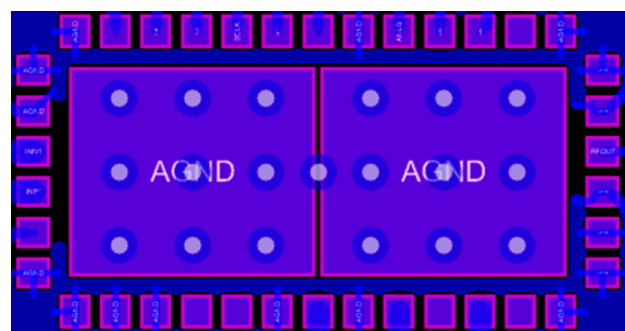


図 48. ADL6316-EVALZ 評価用ボードのレイアウト

特性評価のセットアップ

ADL6316 の特性評価に使用する基本的なセットアップを図 49 に示します。このセットアップでゲイン、HD2、HD3、OIP2、OIP3 を測定します。

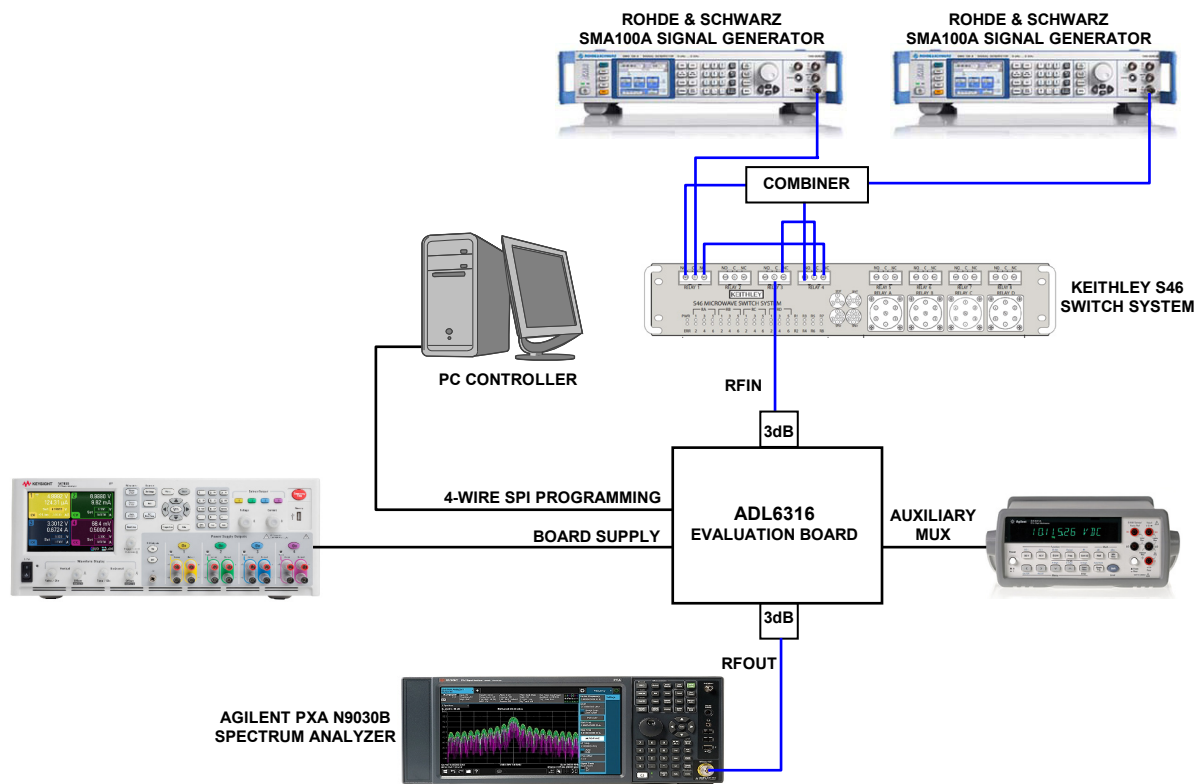


図 49. 特性評価のセットアップの概要

21830-049

レジスタの一覧

表 21. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x000	ADI_SPI_CONFIG	[7:0]	SOFTRESET_	LSB_FIRST_	ENDIAN_	SDOACTIVE_	SDOACTIV E	ENDIAN	LSB_FIRST	SOFTRESET	0x00	R/W	
0x001	REG_0X0001	[7:0]	SINGLE_INSTRUCTION	CSB_STALL	MASTER_SLAVE_RB	RESERVED		SOFT_RESET		MASTER_SLAVE_TRANSFER	0x00	R/W	
0x003	CHIPTYPE	[7:0]	CHIPTYPE									0x00	R
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]									0x00	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]									0x00	R
0x00A	SCRATCHPAD	[7:0]	SCRATCHPAD									0x00	R/W
0x00B	SPI_REV	[7:0]	SPI_REV									0x00	R
0x010	VARIANT_FEOL	[7:0]	FEOL				VARIANT					0x00	R
0x011	BEOL_SIF	[7:0]	SIF				BEOL					0x01	R
0x012	SPARE_012	[7:0]	SPARE_012									0x00	R
0x013	SPARE_013	[7:0]	SPARE_013									0x00	R
0x100	SIG_PATH0_0	[7:0]	DAC_EN	AMUX_BG_EN	ADC_EN	EN_IBIASGE N	DSA_EN	VVA_EN	RESERVED		0x40	R/W	
0x101	SIG_PATH1_0	[7:0]	RESERVED						IP3_OFF	LDO33_EN	0x01	R/W	
0x102	SIG_PATH2_0	[7:0]	RESERVED			DSA_ATTEN_0						0x3F	R/W
0x103	SIG_PATH3_0	[7:0]	VVA_ATTEN[7:0]									0x00	R/W
0x104	SIG_PATH4_0	[7:0]	RESERVED				VVA_ATTEN[11:8]					0x00	R/W
0x105	SIG_PATH5_0	[7:0]	RESERVED						VVA_SRC		0x00	R/W	
0x106	SIG_PATH6_0	[7:0]	RESERVED							EN_IBIASGEN_RESISTOR	0x00	R/W	
0x107	SIG_PATH7_0	[7:0]	BYPASS_TRM_AMP1_IREF_0	RESERVED		TRM_AMP1_IREF_SEL_0	TRM_AMP1_IREF_0					0x00	R/W
0x108	SIG_PATH8_0	[7:0]	BYPASS_TRM_AMP1_EN_0	RESERVED						AMP1_EN_0	0x00	R/W	
0x109	SIG_PATH9_0	[7:0]	BYPASS_TRM_AMP2_IREF_0	RESERVED		TRM_AMP2_IREF_SEL_0	TRM_AMP2_IREF_0					0x00	R/W
0x10A	SIG_PATHA_0	[7:0]	BYPASS_TRM_AMP2_EN_0	RESERVED						AMP2_EN_0	0x00	R/W	
0x10B	SIG_PATHB_0	[7:0]	SPARE_10B						TRM_AMP2_CB		0x00	R/W	
0x112	SIG_PATH2_1	[7:0]	RESERVED			DSA_ATTEN_1						0x20	R/W
0x117	SIG_PATH7_1	[7:0]	BYPASS_TRM_AMP1_IREF_1	RESERVED		TRM_AMP1_IREF_SEL_1	TRM_AMP1_IREF_1					0x00	R/W
0x118	SIG_PATH8_1	[7:0]	BYPASS_TRM_AMP1_EN_1	RESERVED						AMP1_EN_1	0x00	R/W	
0x119	SIG_PATH9_1	[7:0]	BYPASS_TRM_AMP2_IREF_1	RESERVED		TRM_AMP2_IREF_SEL_1	TRM_AMP2_IREF_1					0x00	R/W
0x11A	SIG_PATHA_1	[7:0]	BYPASS_TRM_AMP2_EN_1	RESERVED						AMP2_EN_1	0x00	R/W	
0x11B	SIG_PATHB_1	[7:0]	SPARE_11B						TRM_AMP2_IP3		0x00	R/W	
0x120	AMUX_SEL	[7:0]	RESERVED	AMUX_3_SEL			AMUX_2_SEL	AMUX_1_SEL				0x20	R/W
0x121	MULTI_FUNC_CTRL_0111	[7:0]	RESERVED			SPI_IP8_3P3_CTRL	AMUX_EX					0x00	R/W
0x127	ADC_CONTROL_	[7:0]	RESERVED		ADC_CLOCK_DIV_EN	ADC_MUX_SEL	RESERVED	ADC_CLK_FREQ				0x00	R/W
0x128	ADC_EOC	[7:0]	RESERVED								ADC_EOC	0x00	R
0x129	ADC_OUT	[7:0]	TEMP_ADC_OUT									0x00	R
0x146	GENERIC_READBACK_2	[7:0]	VVA_ATTEN_RDBK[7:0]									0x00	R
0x147	GENERIC_READBACK_3	[7:0]	RESERVED				VVA_ATTEN_RDBK[11:8]					0x00	R
0x148	GENERIC_READBACK_4	[7:0]	RESERVED		DSA_ATTEN_RDBK						0x00	R	

レジスタの詳細

アドレス：0x000、リセット：0x00、レジスタ名：ADI_SPI_CONFIG

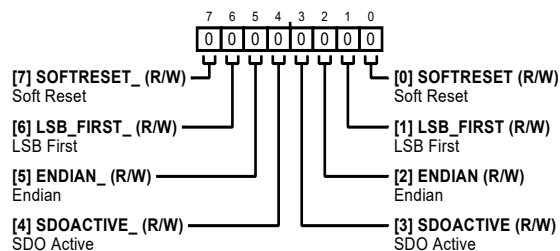


表 22. ADI_SPI_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット。 0：リセットをアサートしない。 1：リセットをアサート。	0x0	R/W
6	LSB_FIRST_	LSB ファースト。 0：MSB ファースト。 1：LSB ファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0：リトル・エンディアン。 1：ビッグ・エンディアン。	0x0	R/W
4	SDOACTIVE_	SDO アクティブ。 0：SDO 非アクティブ。 1：SDO アクティブ。	0x0	R/W
3	SDOACTIVE	SDO アクティブ。 0：SDO 非アクティブ。 1：SDO アクティブ。	0x0	R/W
2	ENDIAN	エンディアン。 0：リトル・エンディアン。 1：ビッグ・エンディアン。	0x0	R/W
1	LSB_FIRST	LSB ファースト。 0：MSB ファースト。 1：LSB ファースト。	0x0	R/W
0	SOFTRESET	ソフト・リセット。 0：リセットをアサートしない。 1：リセットをアサート。	0x0	R/W

アドレス：0x001、リセット：0x00、レジスタ名：REG_0X0001

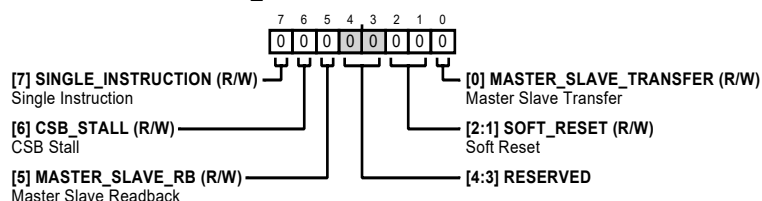


表 23. REG_0X0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令	0x0	R/W
6	CSB_STALL	CS停止	0x0	R/W
5	MASTER_SLAVE_RB	マスタ・スレーブのリードバック	0x0	R/W
[4:3]	RESERVED	予備	0x0	R
[2:1]	SOFT_RESET	ソフト・リセット	0x0	R/W
0	MASTER_SLAVE_TRANSFER	マスタ・スレーブの転送	0x0	R/W

アドレス：0x003、リセット：0x00、レジスタ名：CHIPTYPE

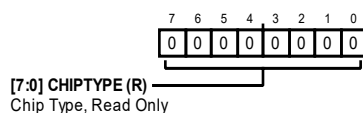


表 24. CHIPTYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIPTYPE	チップ・タイプ、読出し専用	0x0	R

アドレス：0x004、リセット：0x00、レジスタ名：PRODUCT_ID_L

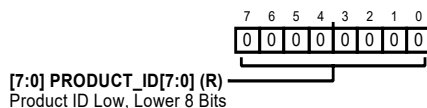


表 25. PRODUCT_ID_L ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID ロー、下位 8 ビット	0x0	R

アドレス：0x005、リセット：0x00、レジスタ名：PRODUCT_ID_H

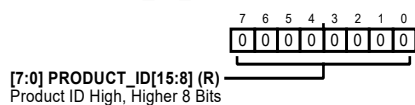


表 26. PRODUCT_ID_H ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID ハイ、上位 8 ビット	0x0	R

アドレス：0x00A、リセット：0x00、レジスタ名：SCRATCHPAD

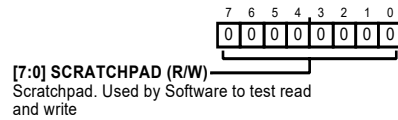


表 27. SCRATCHPAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	スクラッチ・パッド。ソフトウェアによって読出しと書込みのテストに使用	0x0	R/W

アドレス：0x00B、リセット：0x00、レジスタ名：SPI_REV

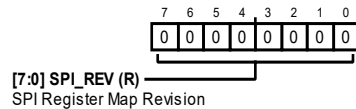


表 28. SPI_REV ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REV	SPI レジスタ・マップのリビジョン	0x0	R

アドレス：0x010、リセット：0x00、レジスタ名：VARIANT_FEOL

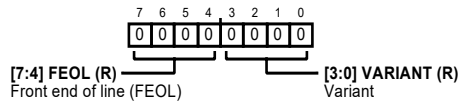


表 29. VARIANT_FEOL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	FEOL	フロント・エンド・オブ・ライン (FEOL)	0x0	R
[3:0]	VARIANT	バリエーション	0x0	R

アドレス：0x011、リセット：0x01、レジスタ名：BEOL_SIF

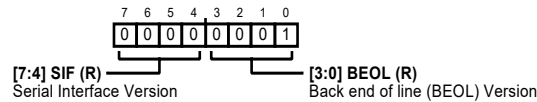


表 30. BEOL_SIF のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SIF	シリアル・インターフェースのバージョン	0x0	R
[3:0]	BEOL	バック・エンド・オブ・ライン (BEOL) のバージョン	0x1	R

アドレス：0x012、リセット：0x00、レジスタ名：SPARE_0012

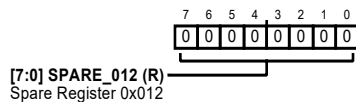


表 31. SPARE_0012 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_012	予備レジスタ 0x012	0x0	R

アドレス : 0x013、リセット : 0x00、レジスタ名 : SPARE_013

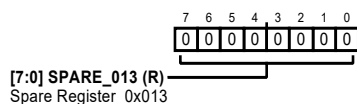


表 32. SPARE_013 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_013	予備レジスタ 0x013	0x0	R

アドレス : 0x100、リセット : 0x40、レジスタ名 : SIG_PATH0_0

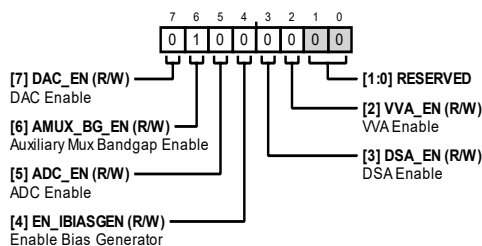


表 33. SIG_PATH0_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	DAC_EN	DAC イネーブル。 0 : DAC をディスエーブル。 1 : DAC をイネーブル。	0x0	R/W
6	AMUX_BG_EN	補助マルチプレクサ・バンドギャップのイネーブル。 0 : 補助マルチプレクサ・バンドギャップをディスエーブル。 1 : 補助マルチプレクサ・バンドギャップをイネーブル。	0x1	R/W
5	ADC_EN	ADC イネーブル。 0 : ADC をディスエーブル。 1 : ADC をイネーブル。	0x0	R/W
4	EN_IBIASGEN	バイアス・ジェネレータのイネーブル。 0 : バイアス・ジェネレータをディスエーブル。 1 : バイアス・ジェネレータをイネーブル。	0x0	R/W
3	DSA_EN	DSA イネーブル。 0 : DSA をディスエーブル。 1 : DSA をイネーブル。	0x0	R/W
2	VVA_EN	VVA イネーブル。 0 : VVA をディスエーブル。 1 : VVA をイネーブル。	0x0	R/W
[1:0]	RESERVED	予備。	0x0	R

アドレス : 0x101、リセット : 0x01、レジスタ名 : SIG_PATH1_0

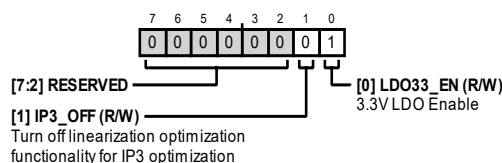


表 34. SIG_PATH1_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
1	IP3_OFF	IP3 最適化の直線性最適化機能のオフ。 0 : 直線性最適化機能をオン。 1 : 直線性最適化機能をオフ。	0x0	R/W
0	LDO33_EN	3.3V LDO のイネーブル。 0 : 3.3V LDO をディスエーブル。 1 : 3.3V LDO をイネーブル。	0x1	R/W

アドレス : 0x102、リセット : 0x3F、レジスタ名 : SIG_PATH2_0

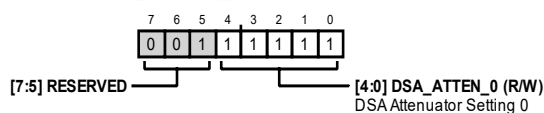


表 35. SIG_PATH2_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x1	R
[4:0]	DSA_ATTEN_0	DSA 減衰量の設定 0。 0 : 0dB。 1 : 0.45dB。 10 : 0.9dB。 11 : 1.35dB。 100 : 1.8dB。 101 : 2.25dB。 110 : 2.7dB。 111 : 3.15dB。 1000 : 3.6dB。 1001 : 4.05dB。 1010 : 4.5dB。 1011 : 4.95dB。 1100 : 5.4dB。 1101 : 5.85dB。 1110 : 6.3dB。 1111 : 6.75dB。 10000 : 7.2dB。 10001 : 7.65dB。 10010 : 8.1dB。 10011 : 8.55dB。 10100 : 9dB。 10101 : 9.45dB。 10110 : 9.9dB。 10111 : 10.35dB。 11000 : 10.8dB。 11001 : 11.25dB。 11010 : 11.7dB。	0x1F	R/W

ビット	ビット名	説明	リセット	アクセス
		11011 : 12.15dB。 11100 : 12.6dB。 11101 : 13.05dB。 11110 : 13.5dB。 11111 : 14dB。		

アドレス : 0x103、リセット : 0x00、レジスタ名 : SIG_PATH3_0

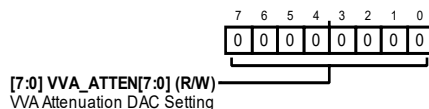


表 36. SIG_PATH3_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VVA_ATTEN[7:0]	VVA 減衰の DAC 設定	0x0	R/W

アドレス : 0x104、リセット : 0x00、レジスタ名 : SIG_PATH4_0

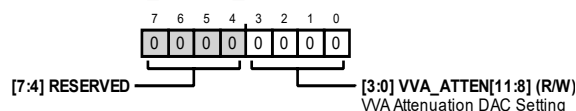


表 37. SIG_PATH4_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備	0x0	R
[3:0]	VVA_ATTEN[11:8]	VVA 減衰の DAC 設定	0x0	R/W

アドレス : 0x105、リセット : 0x00、レジスタ名 : SIG_PATH5_0

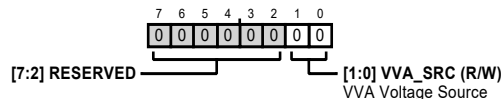


表 38. SIG_PATH5_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備	0x0	R
[1:0]	VVA_SRC	VVA 電圧電源 00 : DAC で VVA を制御 10 : ピン 30 で VVA を制御	0x0	R/W

アドレス : 0x106、リセット : 0x00、レジスタ名 : SIG_PATH6_0

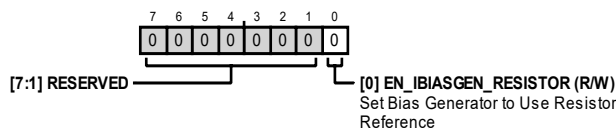


表 39. SIG_PATH6_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備	0x0	R
0	EN_IBIASGEN_RESISTOR	抵抗リファレンスを使用するバイアス・ジェネレータの設定 0 : I _{BIAS} をディスエーブル 1 : I _{BIAS} をイネーブル	0x0	R/W

アドレス : 0x107、リセット : 0x00、レジスタ名 : SIG_PATH7_0

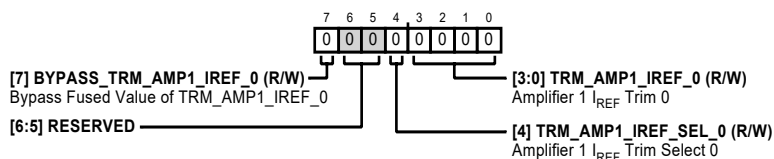


表 40. SIG_PATH7_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP1_IREF_0	TRM_AMP1_IREF_0 の融合値をバイパス	0x0	R/W
[6:5]	RESERVED	予備	0x0	R
4	TRM_AMP1_IREF_SEL_0	アンプ 1 の I _{REF} 調整の選択 0	0x0	R/W
[3:0]	TRM_AMP1_IREF_0	アンプ 1 の I _{REF} 調整 0	0x0	R/W

アドレス : 0x108、リセット : 0x00、レジスタ名 : SIG_PATH8_0

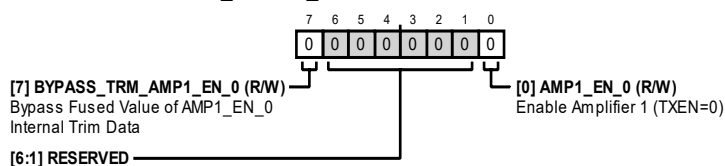


表 41. SIG_PATH8_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP1_EN_0	AMP1_EN_0 内部調整データの融合値をバイパス	0x0	R/W
[6:1]	RESERVED	予備	0x0	R
0	AMP1_EN_0	アンプ 1 のイネーブル (TXEN = 0)	0x0	R/W

アドレス : 0x109、リセット : 0x00、レジスタ名 : SIG_PATH9_0

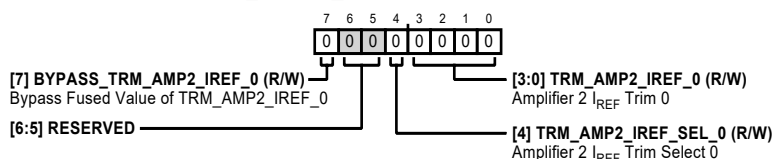


表 42. SIG_PATH9_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP2_IREF_0	TRM_AMP2_IREF_0 の融合値をバイパス	0x0	R/W
[6:5]	RESERVED	予備	0x0	R
4	TRM_AMP2_IREF_SEL_0	アンプ 2 の I _{REF} 調整の選択 0	0x0	R/W
[3:0]	TRM_AMP2_IREF_0	アンプ 2 の I _{REF} 調整 0	0x0	R/W

アドレス : 0x10A、リセット : 0x00、レジスタ名 : SIG_PATHA_0

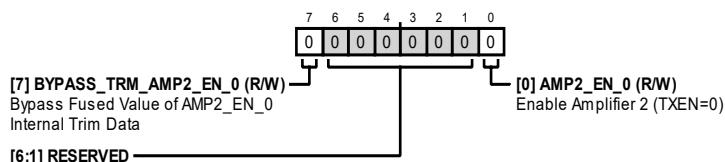


表 43. SIG_PATHA_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP2_EN_0	AMP2_EN_0 内部調整データの融合値をバイパス	0x0	R/W
[6:1]	RESERVED	予備	0x0	R
0	AMP2_EN_0	アンプ 2 のイネーブル (TXEN = 0)	0x0	R/W

アドレス : 0x10B、リセット : 0x00、レジスタ名 : SIG_PATHB_0

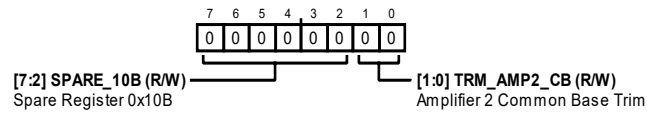


表 44. SIG_PATHB_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	SPARE_10B	予備レジスタ 0x10B	0x0	R/W
[1:0]	TRM_AMP2_CB	アンプ 2 のコモン・ベースの調整	0x0	R/W

アドレス : 0x112、リセット : 0x20、レジスタ名 : SIG_PATH2_1

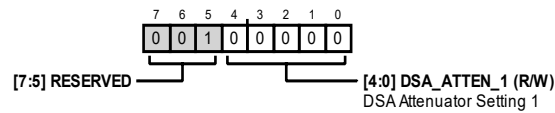


表 45. SIG_PATH2_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x1	R
[4:0]	DSA_ATTEN_1	DSA 減衰量の設定 1。 0 : 0dB。 1 : 0.45dB。 10 : 0.9dB。 11 : 1.35dB。 100 : 1.8dB。 101 : 2.25dB。 110 : 2.7dB。 111 : 3.15dB。 1000 : 3.6dB。 1001 : 4.05dB。 1010 : 4.5dB。 1011 : 4.95dB。 1100 : 5.4dB。 1101 : 5.85dB。 1110 : 6.3dB。 1111 : 6.75dB。 10000 : 7.2dB。 10001 : 7.65dB。 10010 : 8.1dB。 10011 : 8.55dB。 10100 : 9dB。 10101 : 9.45dB。 10110 : 9.9dB。 10111 : 10.35dB。 11000 : 10.8dB。 11001 : 11.25dB。 11010 : 11.7dB。 11011 : 12.15dB。 11100 : 12.6dB。 11101 : 13.05dB。 11110 : 13.5dB。 11111 : 14dB。	0x0	R/W

アドレス：0x117、リセット：0x00、レジスタ名：SIG_PATH7_1

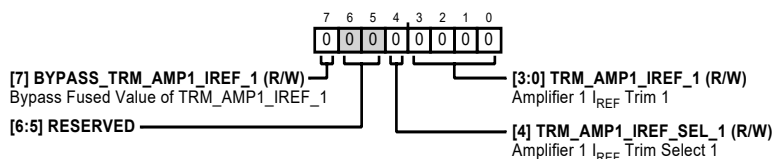


表 46. SIG_PATH7_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP1_IREF_1	TRM_AMP1_IREF_1 の融合値をバイパス	0x0	R/W
[6:5]	RESERVED	予備	0x0	R
4	TRM_AMP1_IREF_SEL_1	アンプ 1 の I _{REF} 調整の選択 1	0x0	R/W
[3:0]	TRM_AMP1_IREF_1	アンプ 1 の I _{REF} 調整 1	0x0	R/W

アドレス：0x118、リセット：0x00、レジスタ名：SIG_PATH8_1

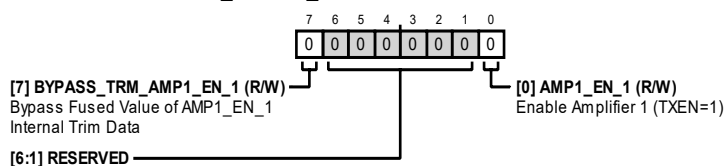


表 47. SIG_PATH8_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP1_EN_1	AMP1_EN_1 内部調整データの融合値をバイパス	0x0	R/W
[6:1]	RESERVED	予備	0x0	R
0	AMP1_EN_1	アンプ 1 のイネーブル (TXEN = 1)	0x0	R/W

アドレス：0x119、リセット：0x00、レジスタ名：SIG_PATH9_1

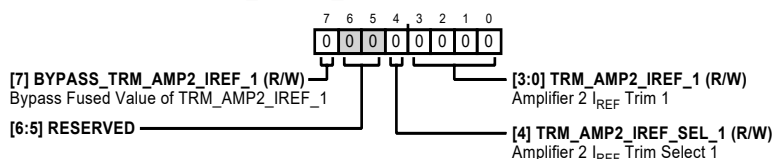


表 48. SIG_PATH9_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP2_IREF_1	TRM_AMP2_IREF_1 の融合値をバイパス	0x0	R/W
[6:5]	RESERVED	予備	0x0	R
4	TRM_AMP2_IREF_SEL_1	アンプ 2 の I _{REF} 調整の選択 1	0x0	R/W
[3:0]	TRM_AMP2_IREF_1	アンプ 2 の I _{REF} 調整 1	0x0	R/W

アドレス：0x11A、リセット：0x00、レジスタ名：SIG_PATHA_1

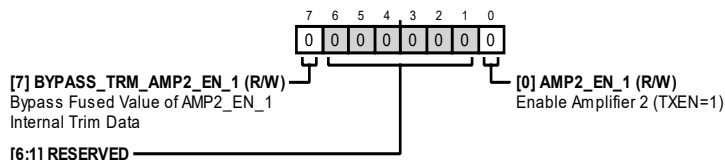


表 49. SIG_PATHA_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BYPASS_TRM_AMP2_EN_1	AMP2_EN_1 内部調整データの融合値をバイパス	0x0	R/W
[6:1]	RESERVED	予備	0x0	R
0	AMP2_EN_1	アンプ 2 のイネーブル (TXEN = 1)	0x0	R/W

アドレス : 0x11B、リセット : 0x00、レジスタ名 : SIG_PATHB_1

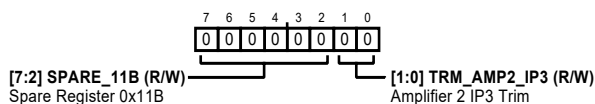


表 50. SIG_PATHB_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	SPARE_11B	予備レジスタ 0x11B	0x0	R/W
[1:0]	TRM_AMP2_IP3	アンプ 2 の IP3 の調整 00 : トリム・モード 0 01 : トリム・モード 1 10 : トリム・モード 2 11 : トリム・モード 3	0x0	R/W

アドレス : 0x120、リセット : 0x20、レジスタ名 : AMUX_SEL

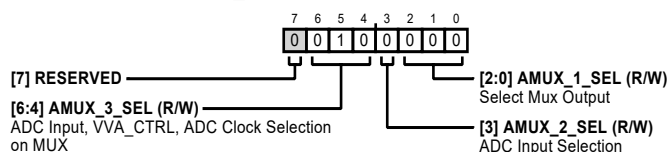


表 51. AMUX_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R/W
[6:4]	AMUX_3_SEL	マルチプレクサでの ADC 入力、VVA_CTRL、ADC クロックの選択。 000 : VVA_CTRL。 001 : ADC 入力。 010 : ADC クロック。 011~111 : 未使用。	0x2	R/W
3	AMUX_2_SEL	ADC 入力の選択。 0 : PTAT による ADC 入力。 1 : VVA_CTRL による ADC 入力。	0x0	R/W
[2:0]	AMUX_1_SEL	マルチプレクサ出力の選択。 000 : PTAT。 001 : AMUX_3_SEL の出力。 010 : 1.8V LDO 出力。 011 : 3.3V LDO 出力。 100 : GND。 101 : GND。 110 : 未使用。 111 : 未使用。	0x0	R/W

アドレス : 0x121、リセット : 0x00、レジスタ名 : MULTI_FUNC_CTRL_0111

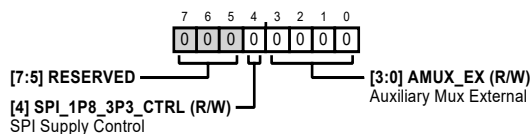


表 52. MULTI_FUNC_CTRL_0111 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備	0x0	R
4	SPI_1P8_3P3_CTRL	SPI 電源制御 0 : 1.8V リードバック 1 : 3.3V リードバック	0x0	R/W
[3:0]	AMUX_EX	補助マルチプレクサ外付け	0x0	R/W

アドレス：0x127、リセット：0x00、レジスタ名：ADC_CONTROL

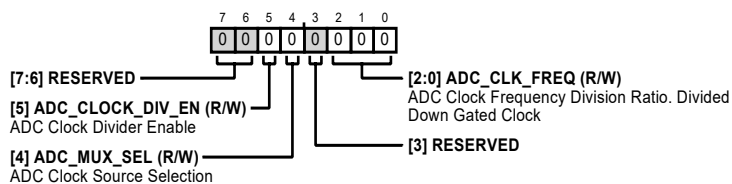


表 53. ADC_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	ADC_CLOCK_DIV_EN	ADC クロック分周器のイネーブル。 0：ADC クロック分周器をディスエーブル。 1：ADC クロック分周器をイネーブル。	0x0	R/W
4	ADC_MUX_SEL	ADC クロック源の選択。 0：ADC クロックに SCLK を使用。 1：未使用。	0x0	R/W
3	RESERVED	予備。	0x0	R
[2:0]	ADC_CLK_FREQ	ADC クロック周波数の分周比。ゲートド・クロックを分周。 000：ADC クロック = SCLK/2。 001：ADC クロック = SCLK/1。 010：ADC クロック = SCLK/2。 011：ADC クロック = SCLK/4。	0x0	R/W

アドレス：0x128、リセット：0x00、レジスタ名：ADC_EOC

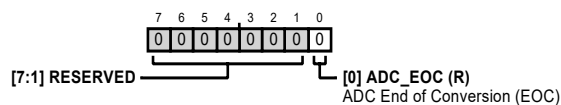


表 54. ADC_EOC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備	0x0	R
0	ADC_EOC	ADC の変換終了 (EOC)	0x0	R

アドレス：0x129、リセット：0x00、レジスタ名：ADC_OUT

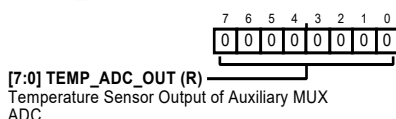


表 55. ADC_OUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEMP_ADC_OUT	補助マルチプレクサ ADC の温度センサー出力	0x0	R

アドレス：0x146、リセット：0x00、レジスタ名：GENERIC_READBACK_2

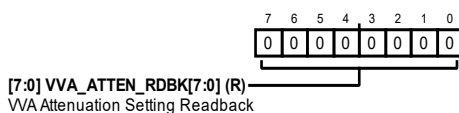


表 56. GENERIC_READBACK_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VVA_ATTEN_RDBK[7:0]	VVA 減衰量の設定値のリードバック	0x0	R

アドレス：0x147、リセット：0x00、レジスタ名：GENERIC_READBACK_3

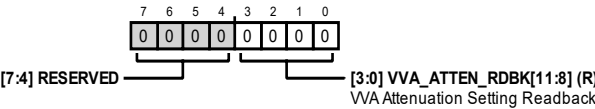


表 57. GENERIC_READBACK_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備	0x0	R
[3:0]	VVA_ATTEN_RDBK[11:8]	VVA 減衰量の設定値のリードバック	0x0	R

アドレス：0x148、リセット：0x00、レジスタ名：GENERIC_READBACK_4

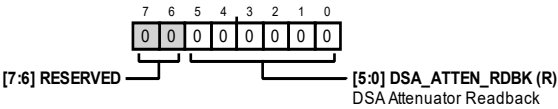


表 58. GENERIC_READBACK_4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備	0x0	R
[5:0]	DSA_ATTEN_RDBK	DSA 減衰量のリードバック	0x0	R

外形寸法

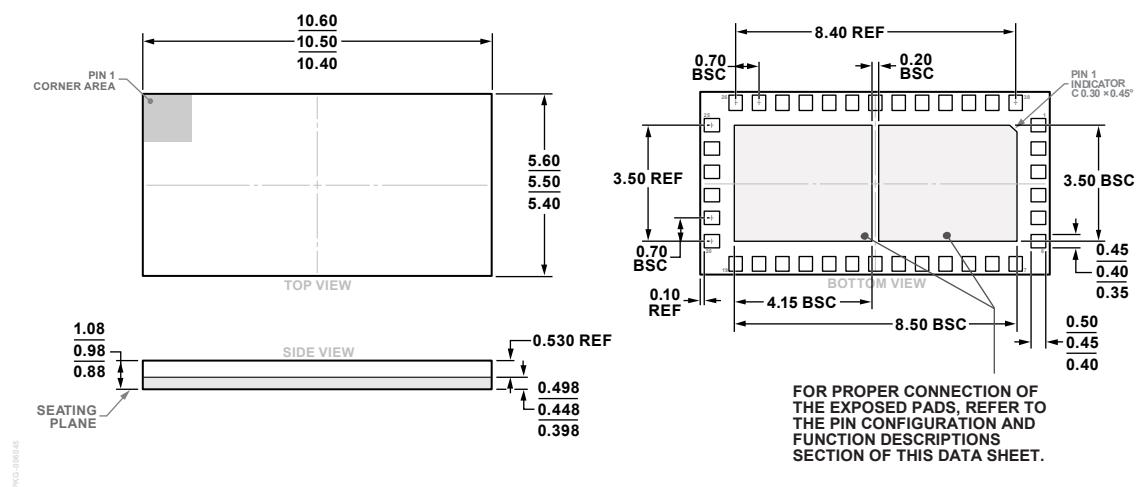


図 50. 38 端子のランド・グリッド・アレイ [LGA]
(CC-38-1)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range ²	Package Description	Package Option
ADL6316ACCZ	-40°C to +105°C	38-Terminal Land Grid Array [LGA]	CC-38-1
ADL6316ACCZ-R7	-40°C to +105°C	38-Terminal Land Grid Array [LGA]	CC-38-1
ADL6316-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品

² 露出パッドで測定