

10MHz~20GHz の集積化ベクトル・ ネットワーク・アナライザ・ フロント・エンド

特長

- ▶ 広帯域集積双方向ブリッジ
 - ▶ 指向性（未加工データ）：1GHz で 24.1dB、18GHz で 12.8dB
 - ▶ 低挿入損失：1GHz で 1.1dB、18GHz で 1.9dB
 - ▶ 反射損失：>12dB（代表値）
- ▶ SPI 構成可能な LO インターフェイス
 - ▶ 2 分周。1 通倍、2 通倍または 4 通倍
 - ▶ オフセット LO インターフェイスにより $f_{RF} = f_{LO}$ の駆動が可能
 - ▶ シングル・エンドまたは差動駆動
 - ▶ SYNC 機能 - 複数デバイス間の同期
- ▶ 高ダイナミック・レンジ広帯域 IF 信号パス
 - ▶ SPI プログラマブル IF 帯域幅（1MHz~100MHz）
 - ▶ SPI プログラマブル IF ゲイン（ステップ・サイズ：6dB）
 - ▶ 外部調整可能な出力コモンモード・レベル
- ▶ 5 ビット SPI 読出し可能温度センサー
- ▶ 低消費電力シャットダウン・モード
- ▶ 3mm × 4mm、26 ピン LGA パッケージ

アプリケーション

- ▶ 広帯域マルチポート・ベクトル・ネットワーク・アナライザ
- ▶ S パラメータの大きさおよび位相の計測
- ▶ インライン RF 電力計測
- ▶ ATE（自動試験装置）
- ▶ 反射率計
- ▶ 材料解析

機能ブロック図

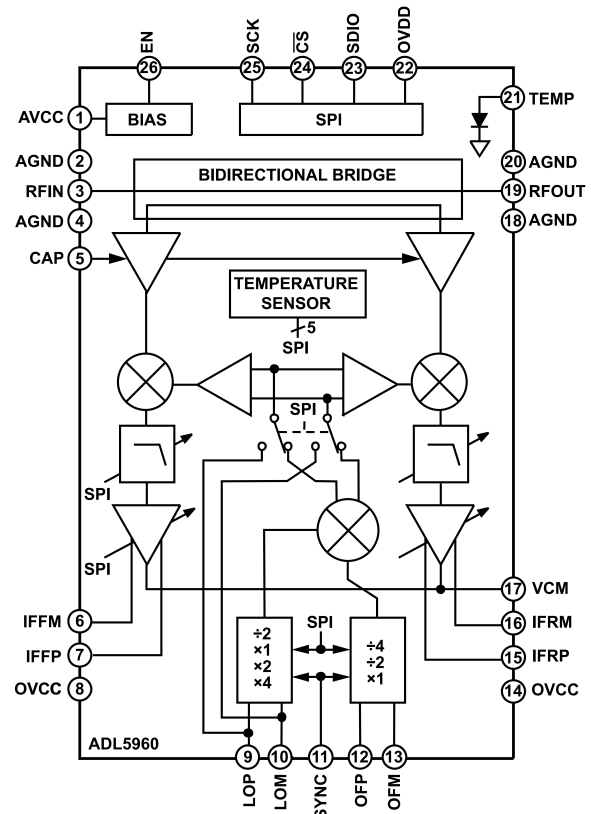


図 1. 機能ブロック図

概要

ADL5960 は、抵抗性双方向ブリッジ、ダウン・コンバージョン・ミキサー、プログラマブルな IF アンプおよびフィルタ、柔軟性の高い局部発振器（LO）インターフェイスからなる、広帯域でフォーム・ファクタの小さなベクトル・ネットワーク・アナライザのフロント・エンドです。このブリッジは 17GHz まで、14dB を超える指向性を備えています。RFIN から RFOUT までの 1 次伝送線は、低周波数ではわずか 1.1dB の損失で、20GHz では 1.8dB の損失に増加して、50Ω に広帯域整合されます。

ADL5960 は、様々な LO インターフェイス構成をサポートしており、これにより、ベクトル・ネットワーク・アナライザ（VNA）ソリューションのクロック設計と、A/D コンバータ（ADC）へのデバイスのインターフェイス接続が簡素化されます。LO インターフェイスの周波数分周器および通倍器により、LO ソースの動作周波数範囲を超える計測スイープが可能になり、6GHz シンセサイザを用いて ADL5960 の 20GHz 全周波数範囲にわたる動作が可能になります。IF 周波数オフセット・ミキサーは、OFF および OFM ピンによって形成されたオフセット・インターフェイスを介して駆動され、掃引された RF および LO イン

ターフェイスによる同じ周波数ソースの共有を実現することで、さらなる簡素化が可能になります。

IF 出力信号の周波数は、OFF/OFM インターフェイスを駆動する低周波数ソースによって決まります。4 分周をイネーブルにして、このインターフェイスを ADC サンプル周波数で駆動すると、IF 出力信号が自動的に最初のナイキスト・ゾーンにセンタリングされます。プログラマブルな帯域幅を有する IF フィルタと、個別にプログラム可能なゲインを有する IF アンプにより、順方向チャンネル（IFFP、IFFM）および逆方向チャンネル（IFRP、IFRM）の IF 出力信号のダイナミック・レンジを同時に最適できます。IF アンプは、調整可能な出力コモンモード・レベル、十分な駆動能力、広い出力電圧振幅を有しているため、広範囲の ADC への直接インターフェイス接続が可能です。

ADL5960 のすべての構成と機能は、3 線式シリアル・ペリフェラル・インターフェイス（SPI）を介して完全にプログラム可能です。ADL5960 は、3mm × 4mm、26 ピン LGA（ランド・グリッド・アレイ）パッケージで提供されます。

Rev. A

DOCUMENT FEEDBACK

TECHNICAL SUPPORT

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	マルチポート・ベクトル・ネットワーク・アナライザ	17
アプリケーション	1	キャリブレーションと誤差補正	19
機能ブロック図	1	アプリケーション情報	23
概要	1	インターフェイスの説明	23
仕様	3	LO インターフェイスの構成	25
シリアル・インターフェイスのタイミング仕様	5	IF 信号パスの構成	26
絶対最大定格	6	シリアル・ペリフェラル・インターフェイス	28
熱抵抗	6	プロトコル	28
ESD に関する注意	6	レジスタ・アドレス	28
ピン配置およびピン機能の説明	7	読出し・書込み方法	28
代表的な性能特性	8	レジスタの詳細	28
動作原理	16	代表的なアプリケーション・テスト回路	31
基本的な 1 ポート・ベクトル・ネットワーク・アナライザ	16	外形寸法	32
周波数プラン作成 — LO 構成	16	オーダー・ガイド	32
OF インターフェイス	17	評価用ボード	32
IF 信号パス	17		

改訂履歴

7/2023—Rev to Rev. A

Changes to Ordering Guide	32
---------------------------------	----

7/2023—Revision 0: Initial Version

仕様

特に指定のない限り、AVCC = OVCC = 5.0V、EN = OVDD = 3.3V、VCM = 2.5V、T_A = 25°C、ソースおよび負荷インピーダンス = 50Ω、RFIN での連続波 (CW) 入力、RF 電力 (P_{RF}) = 0dBm、LO 駆動シングル・エンド、LO 電力 (P_{LO}) = 0dBm、RF 周波数 (f_{RF}) = 1GHz、LO 周波数 (f_{LO}) = f_{RF} + 500kHz、FGAIN (レジスタ 0x23、ビット[6:0]) = RGAIN (レジスタ 0x24、ビット[6:0]) = 24 (10 進数)、BYPASS (レジスタ 0x20、ビット 4) = 1、デフォルトの SPI レジスタ値。図 72 にテスト回路を示します。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
BIDIRECTIONAL BRIDGE	RFIN to RFOUT				
RF Frequency Range			0.01 to 20		GHz
Insertion Loss	f _{RF} = 10 MHz		1.0		dB
	f _{RF} = 1 GHz		1.1		dB
	f _{RF} = 10 GHz		1.8		dB
	f _{RF} = 15 GHz		1.8		dB
	f _{RF} = 18 GHz		1.9		dB
	f _{RF} = 20 GHz		1.8		dB
Return Loss	f _{RF} < 20 GHz		>12		dB
Directivity ¹	f _{RF} = 10 MHz, LOMODE = 0, BYPASS = 0		21.6		dB
	f _{RF} = 1 GHz		24.1		dB
	f _{RF} = 10 GHz		28.3		dB
	f _{RF} = 15 GHz		20.7		dB
	f _{RF} = 18 GHz		12.8		dB
	f _{RF} = 20 GHz		8.9		dB
Third-Order Intercept (IP3)	f _{RF} = 1 GHz		71		dBm
VNA CHANNELS	RFIN to IFFP/IFFM, RFOUT to IFRP/IFRM				
RF Frequency Range			0.01 to 20		GHz
RF to IF Leakage	f _{RF} = 50 MHz, differential IF output		-13.5		dBV
Maximum Voltage Conversion Gain ²	FGAIN, RGAIN = 0x42 (66 dB)				
	f _{RF} = 10 MHz		41.1		dB
	f _{RF} = 1 GHz		49.2		dB
	f _{RF} = 10 GHz		48.0		dB
	f _{RF} = 15 GHz		47.4		dB
	f _{RF} = 18 GHz		46.4		dB
	f _{RF} = 20 GHz		45.2		dB
Minimum Voltage Conversion Gain	FGAIN, RGAIN = 0x00 (0 dB)				
	f _{RF} = 10 MHz		-21.4		dB
	f _{RF} = 1 GHz	-15	-13.3	-11	dB
	f _{RF} = 10 GHz		-14.5		dB
	f _{RF} = 15 GHz		-15.2		dB
	f _{RF} = 18 GHz		-16.2		dB
	f _{RF} = 20 GHz		-17.3		dB
Conversion Gain Step Size	See Table 11	4.4	6.0	6.3	dB
Input 1dB Compression Point (IP1dB)	f _{RF} = 1 GHz, FGAIN = RGAIN = 0		29		dBm
Output 1dB Compression Point (OP1dB)	FGAIN, RGAIN ≥ 12, 100 Ω differential load		18.4		dBm
Input Third-Order Intercept (IIP3) ³	f _{RF} = 1 GHz, FGAIN, RGAIN = 0		32		dBm
Output Third-Order Intercept (OIP3)	FGAIN = RGAIN = 30 (decimal)		32.3		dBm
Input Second-Order Intercept (IIP2) ³	f _{RF} = 1 GHz, FGAIN = RGAIN = 0		55		dBm
Noise Figure	FGAIN = RGAIN = 60 (decimal)				
	f _{RF} = 10 MHz		73.5		dB
	f _{RF} = 1 GHz		48.2		dB
	f _{RF} = 10 GHz		48.1		dB

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	$f_{RF} = 15 \text{ GHz}$		47.7		dB
	$f_{RF} = 18 \text{ GHz}$		49.5		dB
	$f_{RF} = 20 \text{ GHz}$		51.7		dB
LO INTERFACE	LOP, LOM				
Input Frequency Range	BYPASS = 1		0.01 to 20		GHz
	BYPASS = 0, LOMODE = 0 (divide by 2)		0.02 to 2.4		GHz
	BYPASS = 0, LOMODE = 1 (1×)		0.01 to 20		GHz
	BYPASS = 0, LOMODE = 2 (2×)		2 to 8		GHz
	BYPASS = 0, LOMODE = 3 (4×)		4 to 8		GHz
Return Loss	Characteristic impedance (Z_0) = 100 Ω differential		>10		dB
Input Power		-6	0	+6	dBm
LO to RF Leakage	BYPASS = 1, f_{LO}		-77.3		dBm
	BYPASS = 0, LOMODE = 0 (divide by 2), $f_{LO}/2$		-83.4		dBm
	BYPASS = 0, LOMODE = 0 (divide by 2), f_{LO}		-72.1		dBm
	BYPASS = 0, LOMODE = 1 (1×), f_{LO}		-80.4		dBm
	BYPASS = 0, LOMODE = 2 (2×), f_{LO}		-86.4		dBm
	BYPASS = 0, LOMODE = 2 (2×), $2f_{LO}$		-81.7		dBm
	BYPASS = 0, LOMODE = 3 (4×), f_{LO}		-93.4		dBm
	BYPASS = 0, LOMODE = 3 (4×), $2f_{LO}$		-102		dBm
	BYPASS = 0, LOMODE = 3 (4×), $4f_{LO}$		-92.1		dBm
LO to IF Leakage	$f_{RF} = 50 \text{ MHz}$, differential		13.6		dBV
OFFSET FREQUENCY (OF) INTERFACE	OFF, OFM				
Input Frequency Range			0.1 to 400		MHz
OF Induced Spurious Tone at f_{IF} ⁴	OFMODE = 2 (divide by 4), $3f_{IF} = 1.5 \text{ MHz}$		-3.2		dBc
	$5f_{IF} = 2.5 \text{ MHz}$		-6.2		dBc
	$7f_{IF} = 3.5 \text{ MHz}$		-8.7		dBc
Input Impedance	Differential		10 0.5		k Ω pF
Voltage Swing	Differential	0.125	0.5	2.0	V p-p
IF OUTPUT INTERFACE	IFFP/IFFM and IFRP/IFRM				
Output Frequency Range			0.1 to 100		MHz
Maximum Peak-to-Peak Voltage	Differential		8		V p-p
Short-Circuit Output Current	Single-ended, sourcing, output voltage = 0 V	200			mA
Output Noise Spectral Density	$f = f_{IF} = 500 \text{ kHz}$, FGAIN = RGAIN = 60 (decimal), differential		207		$\mu\text{V}/\sqrt{\text{Hz}}$
VCM INTERFACE	VCM				
Input Voltage Range		1.0		4.0	V
Output V_{CM} Error	IF output common-mode voltage (V_{CM})	-100	0	+100	mV
Input Impedance			10k 4p		Ω F
ENABLE INTERFACE	EN				
Logic Low Input Voltage				0.8	V
Logic High Input Voltage		2.0			V
Current into pin				20	μA
SPI AND SYNC INTERFACE	$\overline{\text{CS}}$, SCK, SDIO, SYNC				
Logic Low Input Voltage		0.7 × OVDD		0.3 × OVDD	V
Logic High Input Voltage					V
Input Voltage Hysteresis			209		mV
Current into Pin	$\overline{\text{CS}}$, SCK, SYNC			20	μA
Logic Low Output Voltage	SDIO, sinking 10 mA			0.3 × OVDD	V
Logic High Output Voltage	SDIO, sourcing 10 mA	0.7 × OVDD			V

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY INTERFACES					
Supply Voltage (AVCC, OVCC)	AVCC, OVCC, OVDD	4.75	5.0	5.25	V
Supply Current (AVCC + OVCC)	EN = AVCC, Register 0x20 = 0x0B (BYPASS = 0, LOMODE = 3)	200	225	250	mA
	EN = AVCC, Register 0x20 = 0x1D (OFMODE = 3)	110	120	130	mA
	EN = 0 V (shutdown)		32	2000	μA
SPI Supply Voltage (OVDD)		1.8	3.3	3.6	V
SPI Supply Current (OVDD)		2	24	500	μA

¹ RFOUT のショート、オープンおよび負荷終端に対するリバースとフォワードの IF 出力ポートの比率の計測から得られる誤差補正係数 (e_{00})。プリント回路基板 (PCB) 上のスルー・ラインについて測定した伝送マトリックスを半分に分割し、片方の半分を終端の理想的なモデルに組み込むことによって、PCB 伝送線の組込みが解除されます。詳細については、[キャリブレーションと誤差補正](#)のセクションを参照してください。

² 高インピーダンス IF 負荷を用いた、RF 入力から差動 IF 出力への電圧ゲイン。FGAIN および RGAIN ビット・フィールドは 7 ビット幅ですが、増幅されたノイズが IF 出力ドライバを飽和させ始めるため、0x42 を超える値の実用性は限られます。

³ 第 2 の RF トーン電力 = 0dBm、周波数 = $f_{RF} + 100\text{kHz}$ 。

⁴ $f_{IF} = 500\text{kHz}$ での必要な出力に対する大きさ。

シリアル・インターフェイスのタイミング仕様

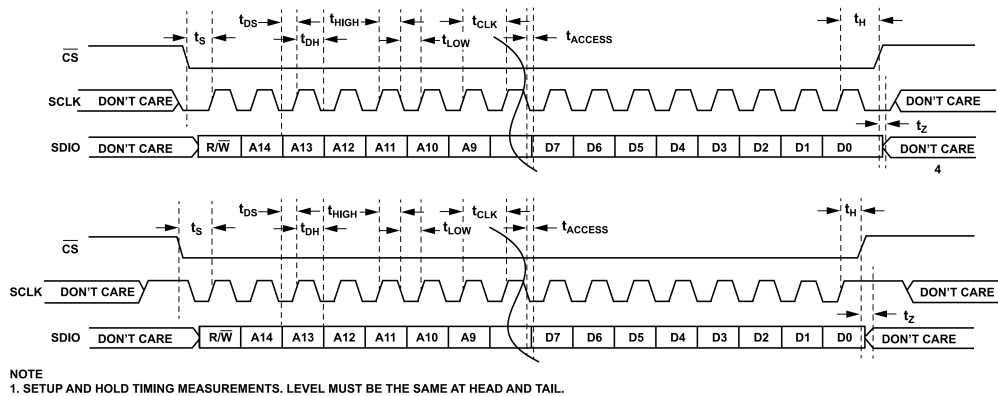


図 2. SPI タイミング図

表 2. SPI のタイミング仕様

Parameter	Description	Min	Typ	Max	Unit
t_{DS}	Setup time between data and rising edge of SCLK	15			ns
t_{DH}	Hold time between data and rising edge of SCLK	15			ns
t_{CLK}	Clock period	150			ns
t_s	Setup time between $\overline{CS}$ and SCLK	40			ns
t_H	Hold time between $\overline{CS}$ and SCLK	40			ns
t_{HIGH}	Minimum period that SCLK must be in a logic high state	75			ns
t_{LOW}	Minimum period that SCLK must be in a logic low state	75			ns
t_z	Maximum time delay between $\overline{CS}$ deactivation and SDIO bus return to high impedance			150	ns
t_{ACCESS}	Maximum time delay between falling edge of SCLK and output data valid for a read operation			30	ns

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
Supply Voltage (AVCC and OVCC)	5.5 V
RFIN, RFOUT Input AC Power	
Average ¹	30 dBm
Peak ¹	35 dBm
DC Voltage	
RFIN, RFOUT to AGND ¹	-5 V to +10 V
OVDD	-0.3 V to +3.8 V
SCK, $\overline{\text{CS}}$, and SDIO	-0.3 V to OVDD + 0.3 V
IFFP, IFFM, IFRP, IFRM ²	-0.3 V to OVCC + 0.3 V
Any Other Pin ³	-0.3 V to AVCC + 0.3 V
DC Current RFIN to or from RFOUT	100 mA
Temperature	
Maximum T _J	150°C
T _A Operating Range	-40°C to +105°C
Storage Range	-65°C to +150°C

¹ 製品テストの対象外です。設計と、製品テスト済みパラメータとの相関によって確保されています。ピーク電力デューティ・サイクルは最大 10%です。

² これらのピンの電圧は、5.5V、OVCC + 0.3V を超えないこと、または -0.3V を下回らないことが必須です。

³ これらのピンの電圧は、5.5V、AVCC + 0.3V を超えないこと、または -0.3V を下回らないことが必須です。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定されるジャンクションと周囲環境の間（またはダイと周囲環境の間）の熱抵抗で、 θ_{JC} はジャンクションとケースの間（またはダイとパッケージの間）の熱抵抗です。

表 4. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JB} ²	θ_{JCT} ³	θ_{JCB} ⁴	Ψ_{JT}	Ψ_{JB}	Unit
CC-26-2	39.32	13.10	30.09	7.63	1.30	12.95	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、2S2P JEDEC PCB の使用によって決定します。オーダー・ガイドを参照。

² θ_{JB} はジャンクションと基板の間の熱抵抗。

³ θ_{JCT} はジャンクションとケース上部の間の熱抵抗。

⁴ θ_{JCB} はジャンクションとケース下部の間の熱抵抗。

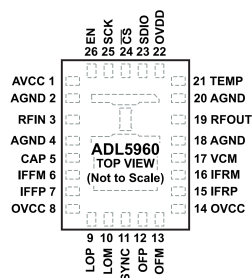
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. THE EXPOSED PAD (EPAD) ON THE UNDERSIDE OF THE DEVICE IS ALSO INTERNALLY CONNECTED TO GROUND AND REQUIRES GOOD THERMAL AND ELECTRICAL CONNECTION TO THE GROUND OF THE PRINTED CIRCUIT BOARD (PCB). CONNECT ALL GROUND PINS TO A LOW IMPEDANCE GROUND PLANE TOGETHER WITH THE EPAD.

図 5. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	AVCC	アナログ正電源ピン。1nF コンデンサと 4.7μF コンデンサを AVCC ピンのできるだけ近くに配置してバイパスします。
2, 4, 18, 20	AGND	アナログ・グラウンド・ピン。グラウンド・ピンはすべて内部接続されています。ピン 2 とピン 4 は、RFIN 伝送線（ピン 3）の RF リターン・グラウンドとして使用します。ピン 18 とピン 20 は、RFOUT 伝送線（ピン 19）の RF リターン・グラウンドとして使用します。
3, 19	RFIN, RFOUT	1 次伝送線の RF 入出力。RFIN と RFOUT は、50Ω の負荷特性インピーダンスを持ち、ソースと負荷に DC 結合できます。オープンおよびショート終端を用いるときは、最大消費電力定格を超えないようにしてください。
5	CAP	バイパス・コンデンサ。10MHz 動作には 100nF のコンデンサを推奨します。
6, 7, 15, 16	IFFM, IFFP, IFRP, IFRM	差動 IF 出力。ピン 6 とピン 7 は、（RFIN から RFOUT への）順方向電力転送に結合されます。ピン 15 とピン 16 は、（RFOUT から RFIN への）逆方向電力転送に結合されます。
8, 14	OVCC	IF アンプの正電源ピン。AVCC に接続する前に、各ピンに 1nF コンデンサと 4.7μF コンデンサを用いて OVCC をバイパスします。これらのコンデンサは OVCC のできるだけ近くに配置します。
9, 10	LOP, LOM	ダウン・コンバージョン・ミキサーの LO 入力。LOP と LOM は 100Ω 差で内部終端されます。差動またはシングル・エンドの信号ソースで、LOP および LOM ピンを駆動できます。レジスタ 0x20 で LO インターフェイスを設定します。
11	SYNC	同期入力。この CMOS 入力ピンは、ハイに駆動されたときに LO および IF 入力インターフェイスのデバイダを停止し、ローに駆動されたときに同期を開始します。フローティング状態のままの場合、内部の 415kΩ ブルダウン抵抗によって SYNC 機能が無効になります。
12, 13	OFP, OFM	IF オフセット基準周波数入力。OFP および OFM ピンは、レジスタ 0x20 の OFMODE ビット・フィールドが 0x0、0x1 または 0x2 に等しいときに、IF 出力に中心周波数を設定します。OFMODE を 0x3 に設定すると、この入力は無効になります。
17	VCM	IF 出力コモンモード電圧制御。VCM ピンは、出力コモンモード電圧を、IFFM、IFFP、IFRP、IFRM に設定します。オープンのままの場合、OVCC/2 にフローティングします。
21	TEMP	温度センス・ダイオード。TEMP ピンは、オンチップ接合ダイオードのアノードに接続します。TEMP ピンを使用すると、既知の電流をこのピンに流しながら、このピンの電圧計測によってダイ温度を計測できます。
22	OVDD	SPI 正電源ピン。このピンを SPI コントローラの電源に接続すると、SPI バス接続で電圧レベル変換器が不要になります。
23	SDIO	SPI データ入出力。SDIO ピンがフローティング状態の場合、内部の 415kΩ ブルダウン抵抗により、このピンは論理ローにブルダウンされます。
24	$\overline{\text{CS}}$	SPI チップ・セレクト（アクティブ・ロー）。 $\overline{\text{CS}}$ ピンがフローティング状態の場合、内部の 415kΩ ブルアップ抵抗により、このピンは OVDD に接続されます。
25	SCK	SPI クロック入力。SCK がフローティング状態のままの場合、内部の 415kΩ ブルダウン抵抗より、このピンは論理ローにブルダウンされます。
26	EN	チップ・イネーブル。EN ピンが論理ハイの場合、チップはイネーブルになります。EN ピンが論理ローの場合、ADL5960 はシャットダウンされます。EN がフローティング状態のままの場合、内部の 415kΩ ブルダウン抵抗により、ADL5960 はディスエーブルになります。
	EPAD	露出パッド。デバイスの下側の露出パッド（EPAD）は、グラウンドにも内部接続されており、PCB のグラウンドへの良好な熱的・電氣的接続が必要になります。グラウンド・ピンはすべて、EPAD に接続すると共に、低インピーダンスのグラウンド・プレーンに接続してください。

代表的な性能特性

特に指定のない限り、 $AVCC = OVCC = 5.0V$ 、 $EN = OVDD = 3.3V$ 、 $VCM = 2.5V$ 、 $T_A = 25^\circ C$ 、 50Ω のソースおよび負荷インピーダンス、 R_{FIN} での連続波入力、 $Z_O = 50\Omega$ 、 $P_{RF} = 0dBm$ 、LO 駆動シングル・エンド、 $P_{LO} = 0dBm$ 、 $f_{RF} = 1GHz$ 、 $f_{LO} = f_{RF} + 500kHz$ 。BYPASS = 1、FGAIN = RGAIN = 24、CIF1 = CIF2 = 15。図 72 にテスト回路を示します。

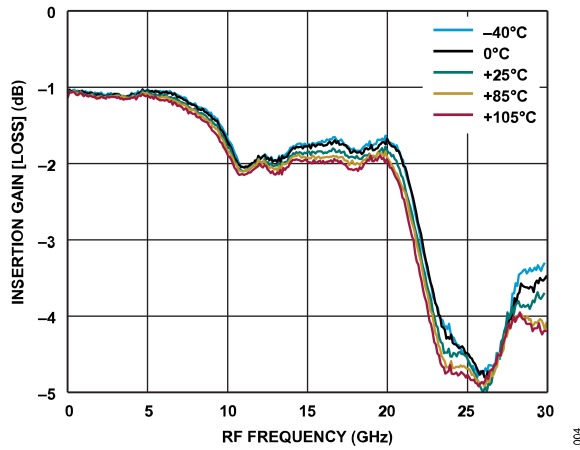


図 4. 様々な温度での、 R_{FIN} から R_{FOUT} への挿入ゲイン（損失）と RF 周波数の関係

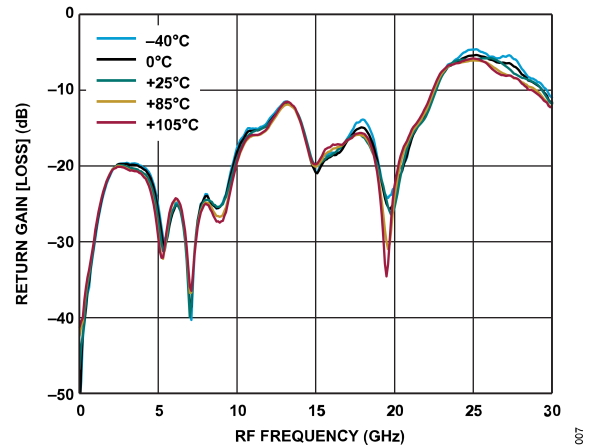


図 7. 様々な温度での、 R_{FIN} 、 R_{FOUT} 反射ゲイン（損失）と RF 周波数の関係

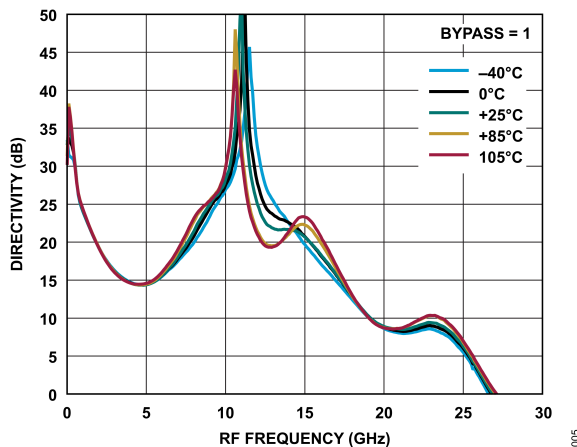


図 5. BYPASS = 1 の場合の、様々な温度での指向性と RF 周波数の関係

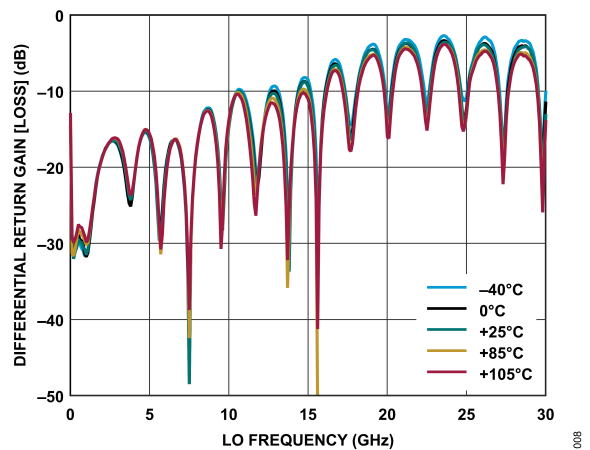


図 8. $Z_O = 100\Omega$ の場合の、様々な温度での LO 差動反射ゲイン（損失）と周波数の関係

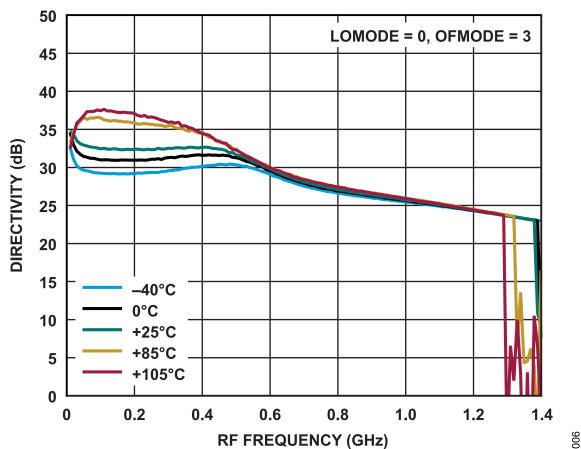


図 6. LOMODE = 0、OFMODE = 3 の場合の、様々な温度での指向性と RF 周波数の関係

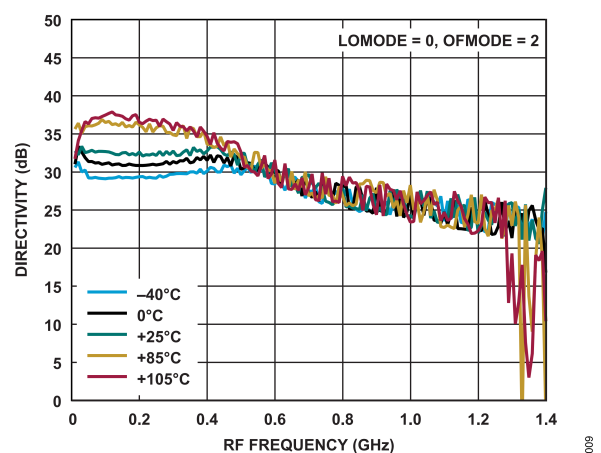


図 9. 様々な温度での、LOMODE = 0、OFMODE = 2 の場合の指向性と RF 周波数の関係

代表的な性能特性

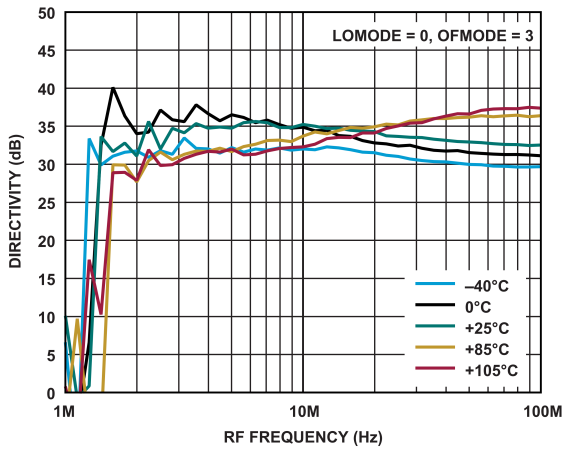


図 10. LOMODE = 0、OFMODE = 3 の場合の、様々な温度での指向性と低 RF 周波数の関係

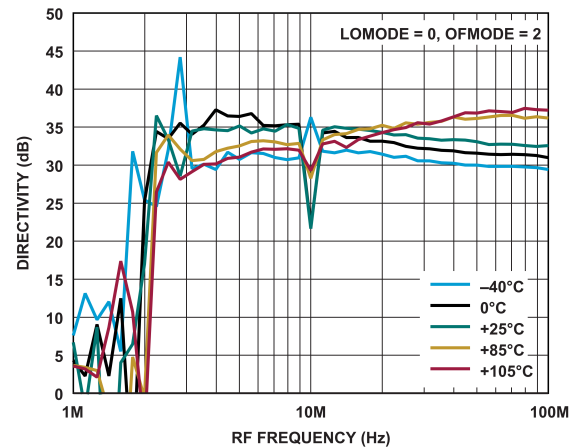


図 13. LOMODE = 0、OFMODE = 2 の場合の、様々な温度での指向性と低 RF 周波数の関係

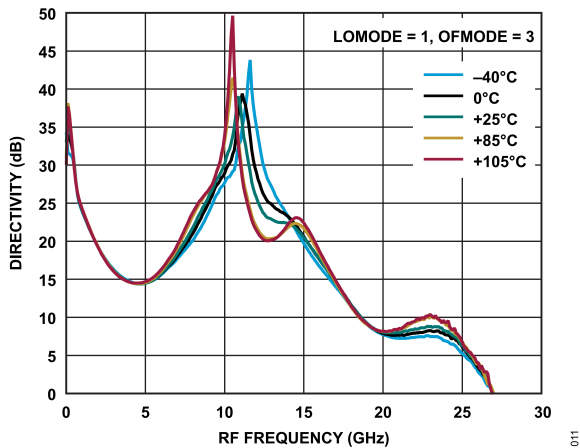


図 11. LOMODE = 1、OFMODE = 3 の場合の、様々な温度での指向性と RF 周波数の関係

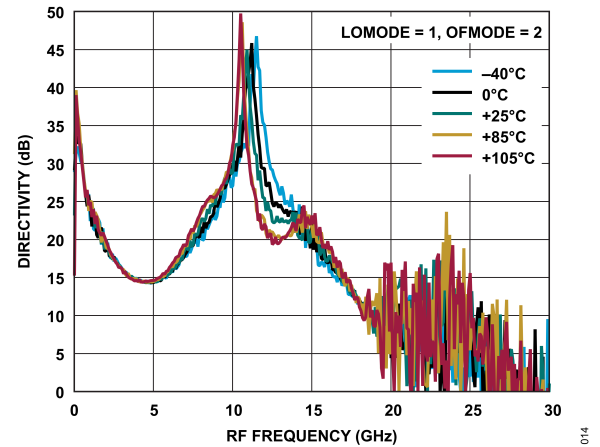


図 14. 様々な温度での、LOMODE = 1、OFMODE = 2 の場合の指向性と RF 周波数の関係

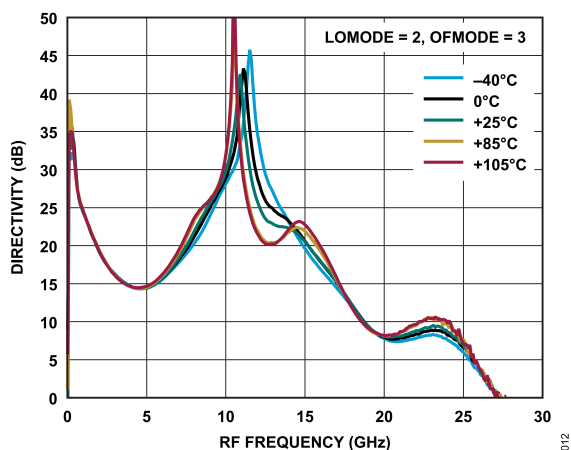


図 12. LOMODE = 2、OFMODE = 3 の場合の、様々な温度での指向性と RF 周波数の関係

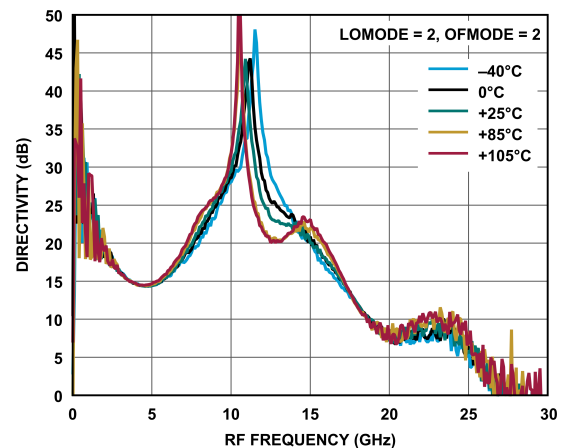


図 15. LOMODE = 2、OFMODE = 2 の場合の、様々な温度での指向性と RF 周波数の関係

代表的な性能特性

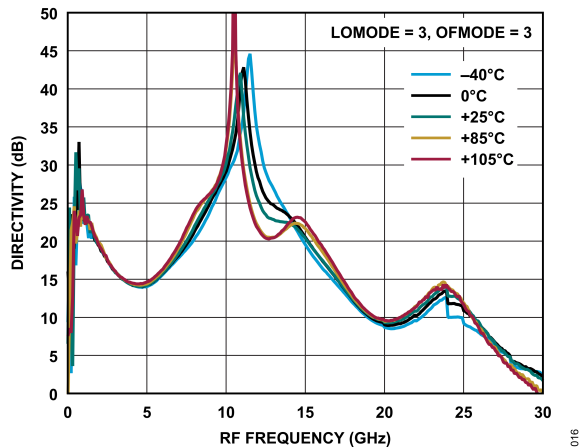


図 16. LOMODE = 3、OFMODE = 3 の場合の、様々な温度での指向性と RF 周波数の関係

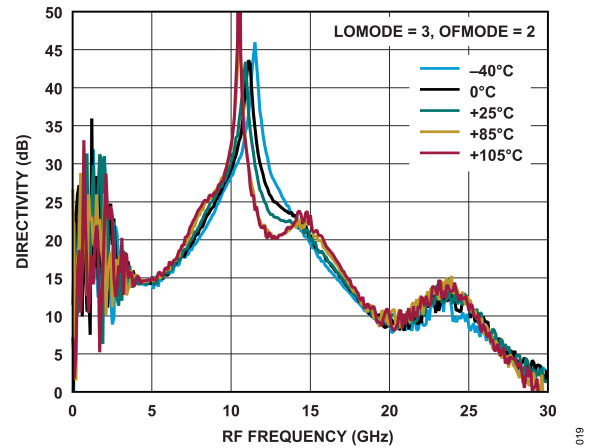


図 19. LOMODE = 3、OFMODE = 2 の場合の、様々な温度での指向性と RF 周波数の関係

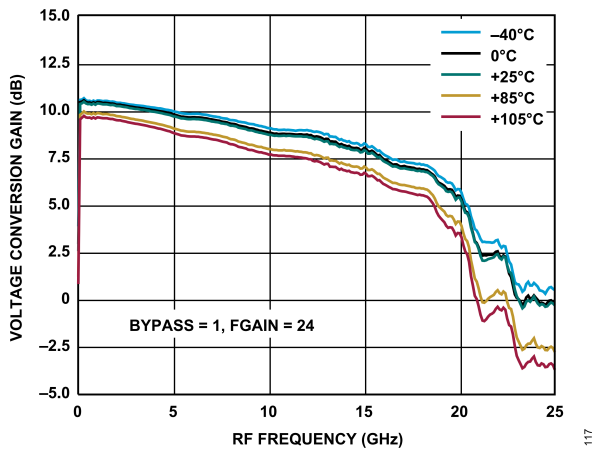


図 17. 様々な温度での、電圧変換ゲインと RF 周波数の関係

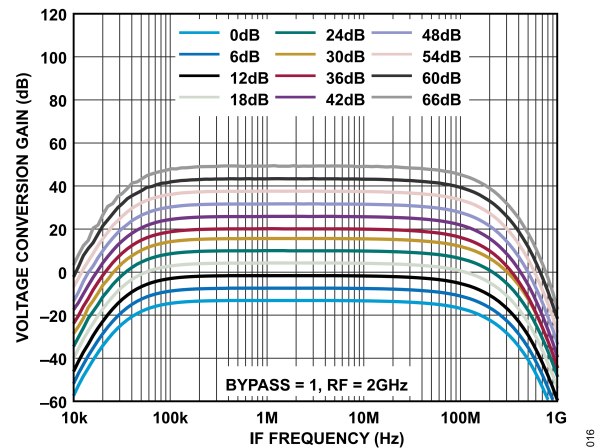


図 20. 電圧変換ゲインと、IF 周波数および FGAIN/RGBAIN 設定値の関係

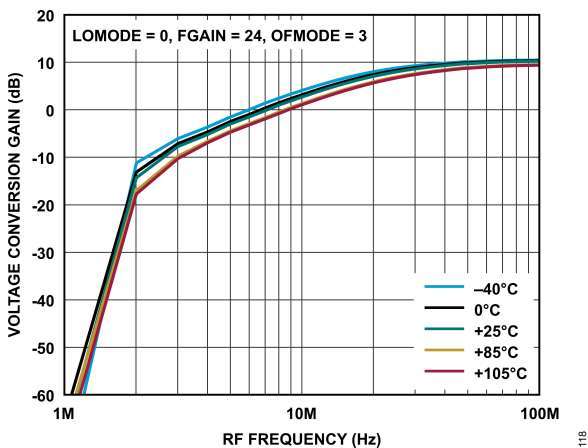


図 18. LOMODE = 0、OFMODE = 3 の場合の、様々な温度での低 RF 周波数における電圧変換ゲイン

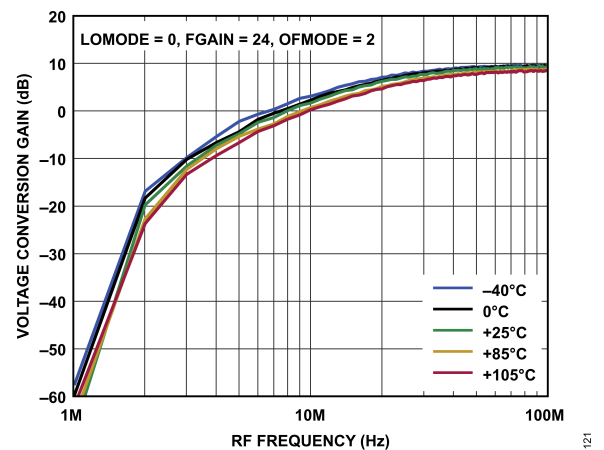


図 21. 様々な温度での、LOMODE = 0、OFMODE = 2 の場合の、低 RF 周波数での電圧変換ゲイン

代表的な性能特性

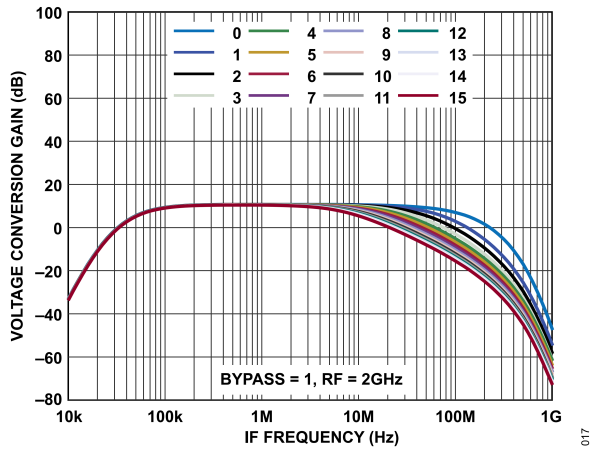


図 22. CIF2 = 0 の場合の、電圧変換ゲインと、IF 周波数および CIF1 設定値の関係

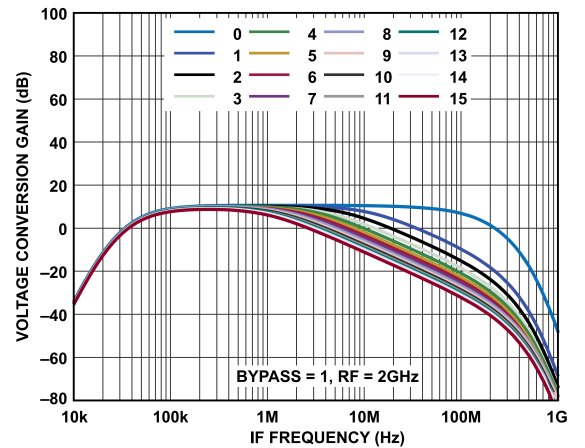


図 25. CIF1 = 0 の場合の、電圧変換ゲインと、IF 周波数および CIF2 設定値の関係

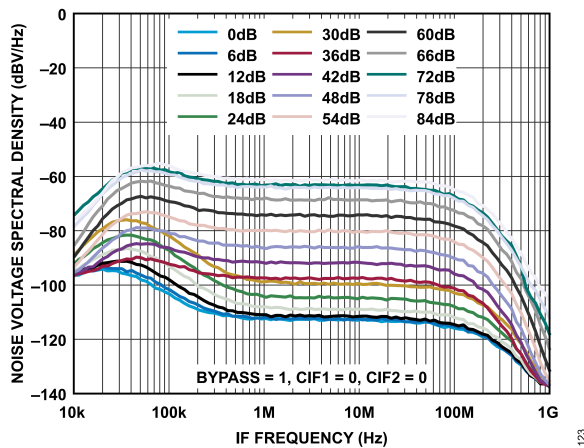


図 23. CIF1 = CIF2 = 0 の場合の、差動 IF 出力のノイズ電圧スペクトル密度と、IF 周波数およびゲイン設定値 (FGAIN、RGAIN) の関係

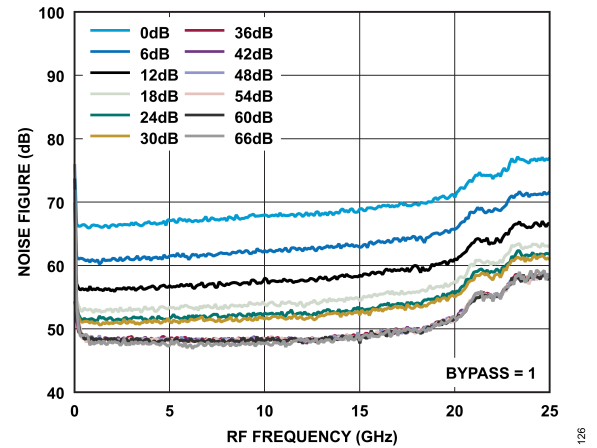


図 26. ノイズ指数と、RF 周波数および IF ゲイン設定値の関係

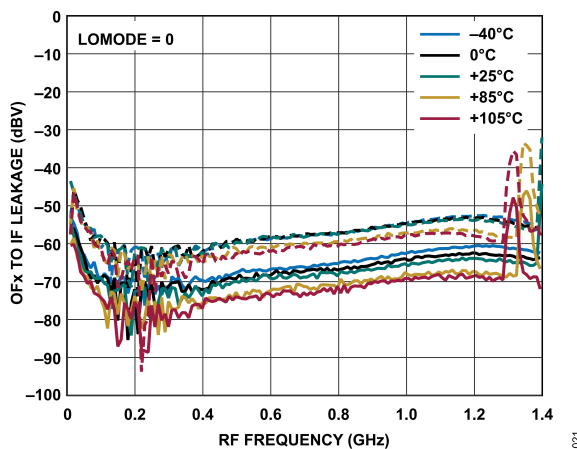


図 24. LOMODE = 0、OFMODE = 2 の場合の、様々な温度での、OFx から IF への漏れ。
実線：順方向チャンネル。破線：逆方向チャンネル

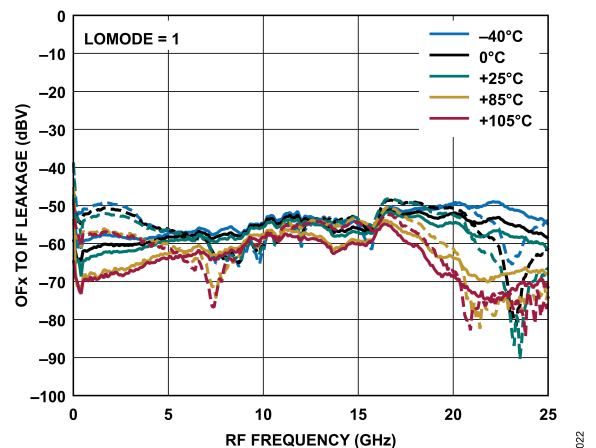


図 27. LOMODE = 1、OFMODE = 2 の場合の、様々な温度での、OFx から IF への漏れ。
実線：順方向チャンネル。破線：逆方向チャンネル

代表的な性能特性

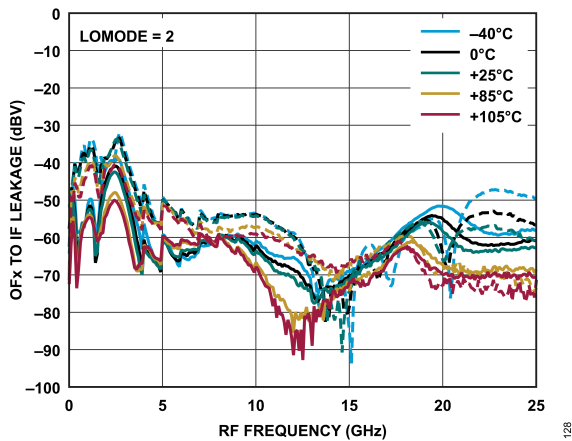


図 28. LOMODE = 2、OFMODE = 2 の場合の、様々な温度での、OFx から IF への漏れ。
実線：順方向チャンネル。破線：逆方向チャンネル

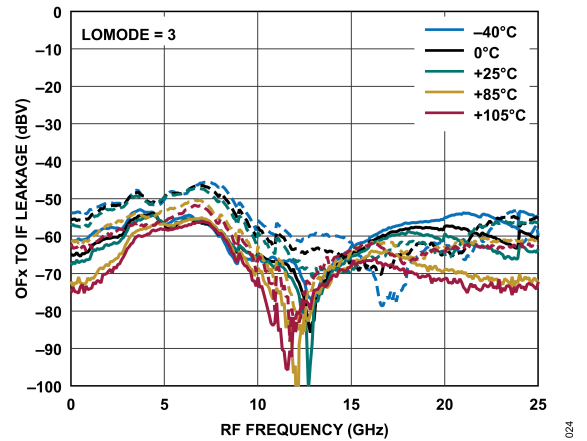


図 31. LOMODE = 3、OFMODE = 2 の場合の、様々な温度での、OFx から IF への漏れ。
順方向チャンネル。破線：逆方向チャンネル

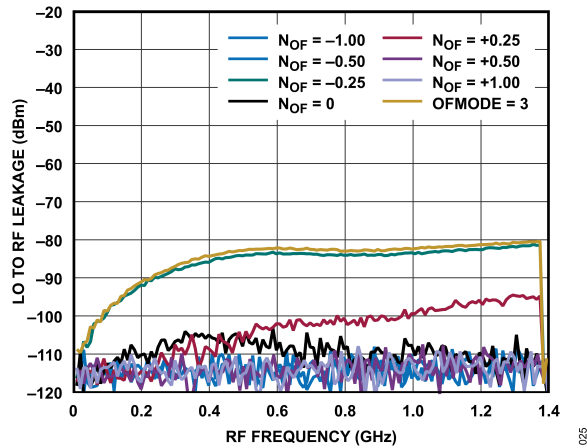


図 29. LOMODE = 0 の場合の LO から RF への漏れ
(計測周波数：OFMODE = 2 の場合、 $f_{RF} + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $f_{RF} + f_{IF}$)

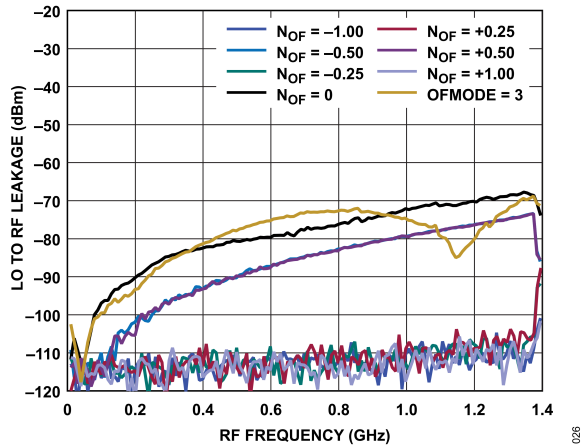


図 32. LOMODE = 0 の場合の LO から RF への漏れ
(計測周波数：OFMODE = 2 の場合、 $2 \times f_{RF} + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $2 \times f_{RF} + f_{IF}$)

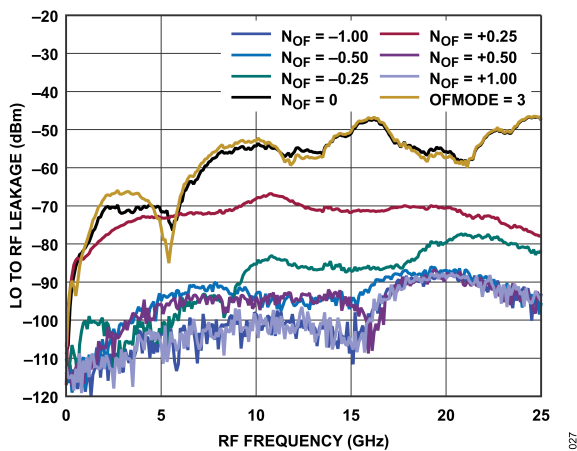


図 30. LOMODE = 1 の場合の LO から RF への漏れ
(計測周波数：OFMODE = 2 の場合、 $f_{RF} + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $f_{RF} + f_{IF}$)

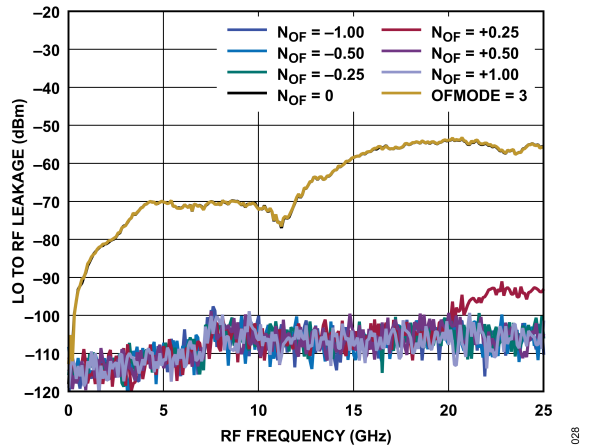


図 33. LOMODE = 2 の場合の LO から RF への漏れ
(計測周波数：OFMODE = 2 の場合、 $f_{RF}/2 + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $f_{RF}/2 + f_{IF}$)

代表的な性能特性

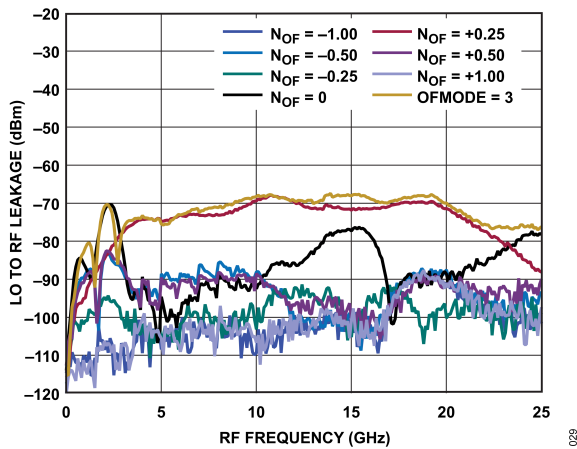


図 34. LOMODE = 2 の場合の LO から RF への漏れ
(計測周波数: OFMODE = 2 の場合、 $f_{RF} + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $f_{RF} + f_{IF}$)

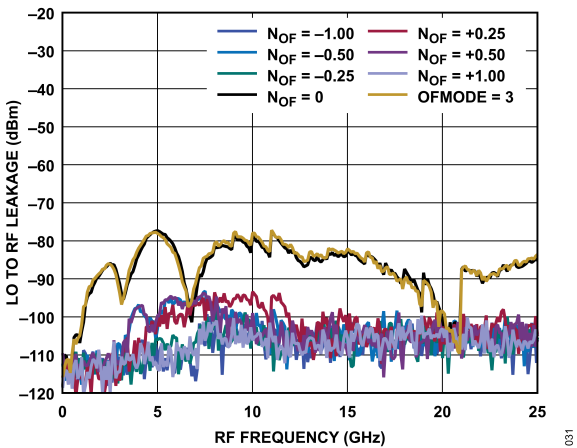


図 35. LOMODE = 3 の場合の LO から RF への漏れ
(計測周波数: OFMODE = 2 の場合、 $f_{RF}/2 + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $f_{RF}/2 + f_{IF}$)

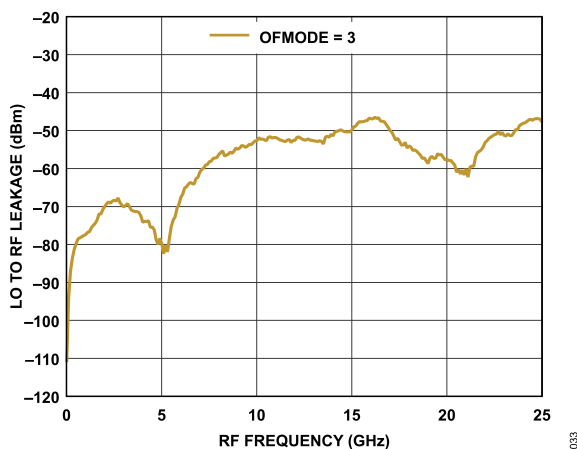


図 36. BYPASS = 1 の場合の LO から RF への漏れ
(計測周波数 = $f_{RF} + f_{IF}$)

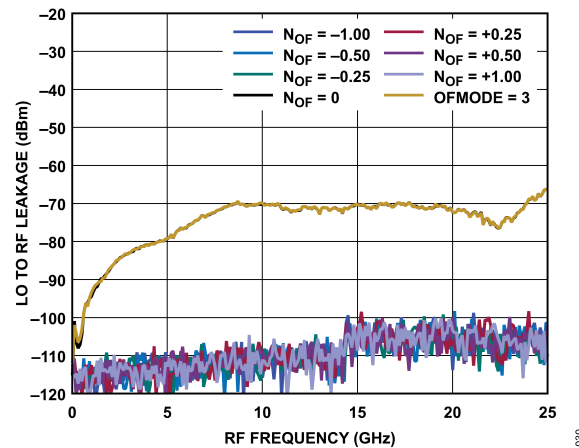


図 37. LOMODE = 3 の場合の LO から RF への漏れ
(計測周波数: OFMODE = 2 の場合、 $f_{RF}/4 + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $f_{RF}/4 + f_{IF}$)

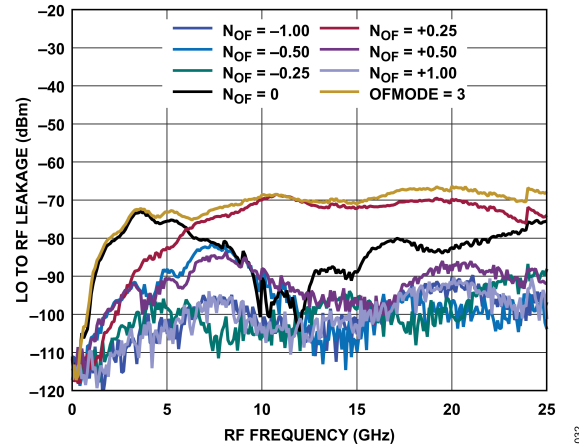


図 38. LOMODE = 3 の場合の LO から RF への漏れ
(計測周波数: OFMODE = 2 の場合、 $f_{RF} + N_{OF} \times f_{OF}$ 、
OFMODE = 3 の場合、 $f_{RF} + f_{IF}$)

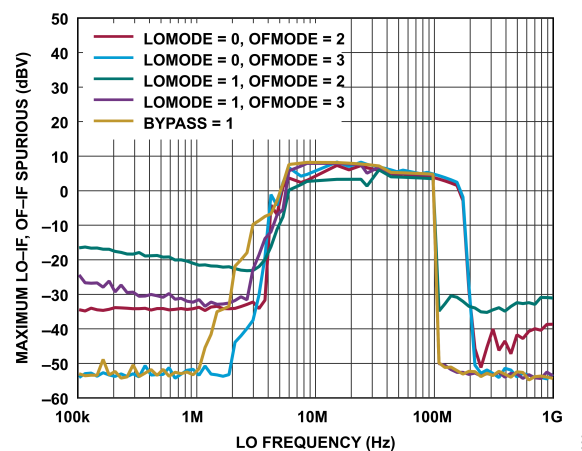


図 39. CIF1 = CIF2 = 0 の場合の、LO から IF への、OF から IF への最大スプリース・トーン・レベルと LO 周波数の関係

代表的な性能特性

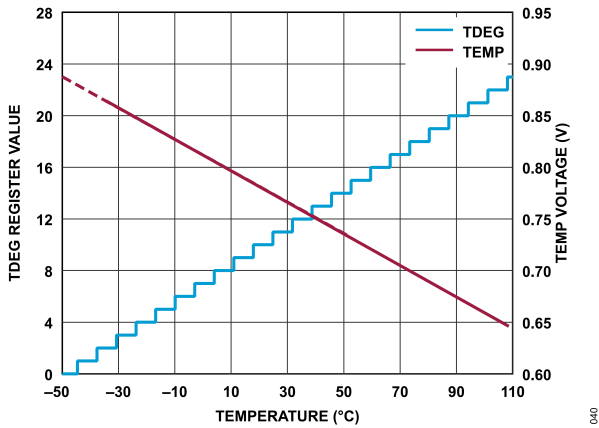


図 40. TDEG レジスタ値および TEMP 電圧と温度の関係
($I_{TEMP} = 42\mu A$)

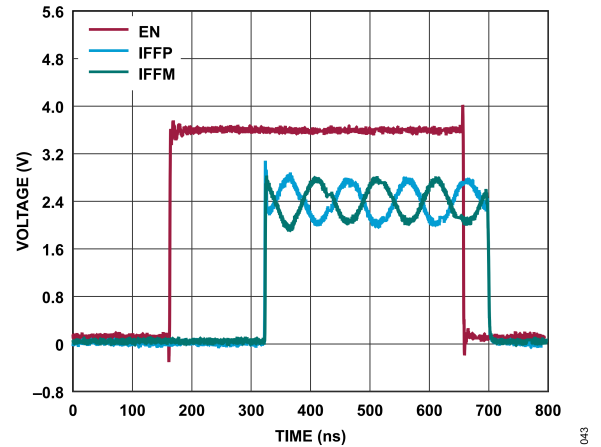


図 43. 連続波によるターン・オン／オフ時間 (RF = 1GHz、10dBm、IF = 10MHz、IFFP および IFFM に 50Ω 負荷)

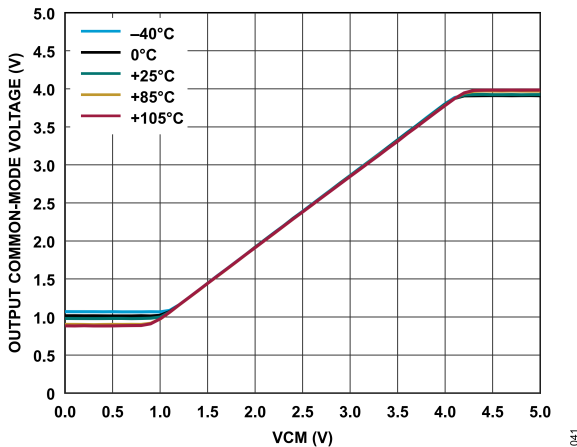


図 41. 様々な温度での、IF 出力共通モード電圧と、VCM インターフェイス (VCM) での電圧の関係

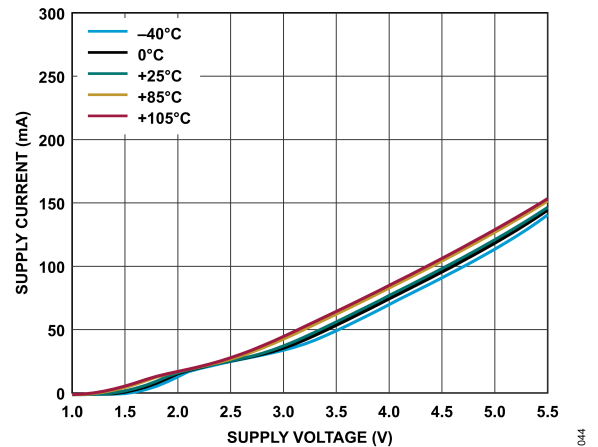


図 44. BYPASS = 1 の場合の、様々な温度での電源電流と電源電圧の関係。

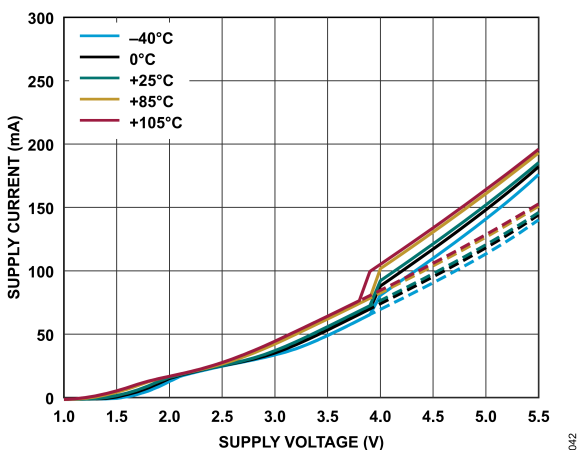


図 42. LOMODE = 0 の場合の、様々な温度での電源電流と電源電圧の関係。実線：OFMODE = 2。破線：OFMODE = 3

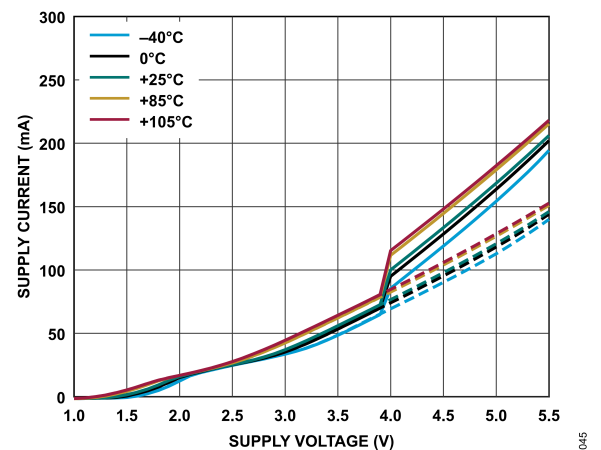


図 45. LOMODE = 1 の場合の、様々な温度での、電源電流と電源電圧の関係。実線：OFMODE = 2。破線：OFMODE = 3

代表的な性能特性

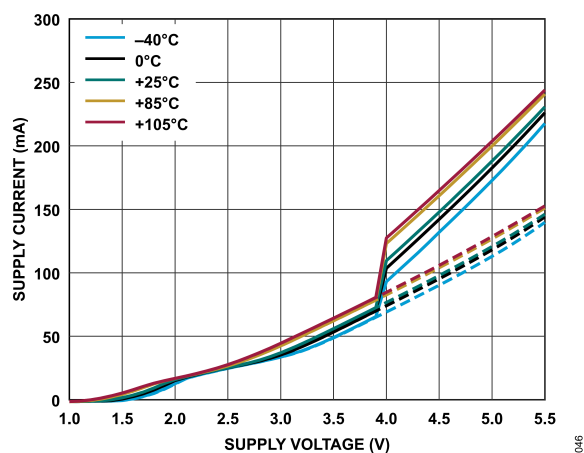


図 46. LOMODE = 2 の場合の、様々な温度での電源電流と電源電圧の関係。実線：OFMODE = 2。破線：OFMODE = 3

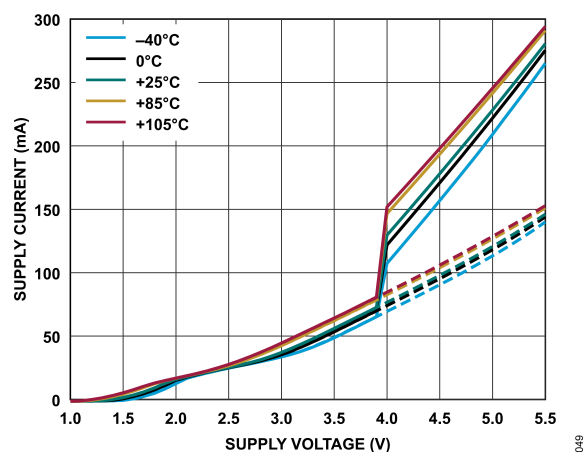


図 49. LOMODE = 3 の場合の、様々な温度での電源電流と電源電圧の関係。実線：OFMODE = 2。破線：OFMODE = 3

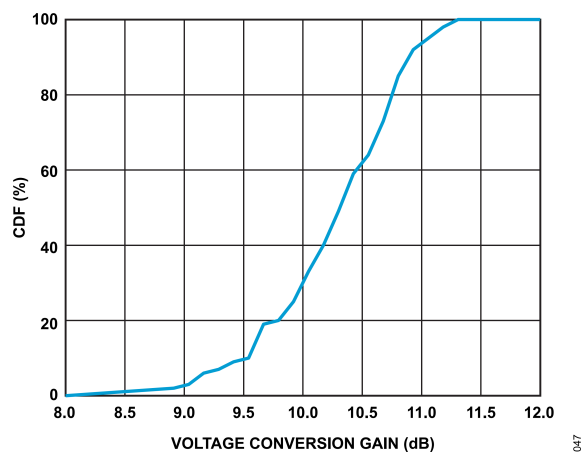


図 47. 変換ゲイン分布、FGAIN = 24、サンプル・サイズ：デバイス 100 個（CDF = 累積分布関数）関係

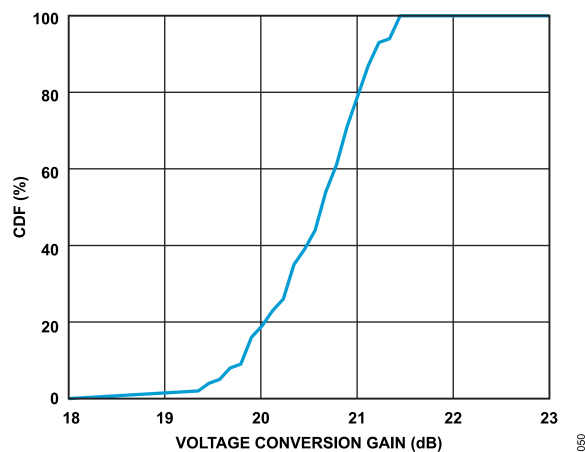


図 50. 変換ゲイン分布、FGAIN = 36、サンプル・サイズ：デバイス 100 個

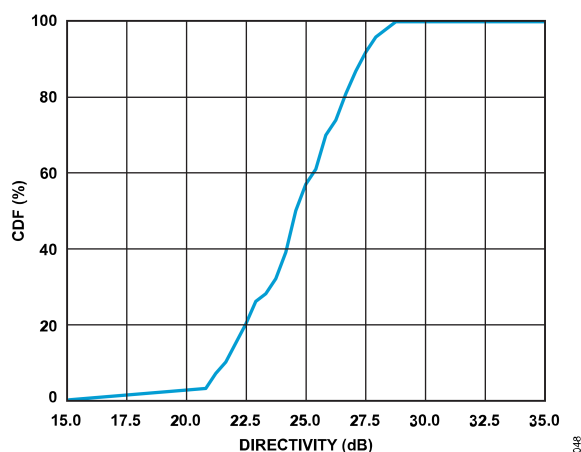


図 48. 指向性分布、RF = 1GHz、サンプル・サイズ：デバイス 100 個

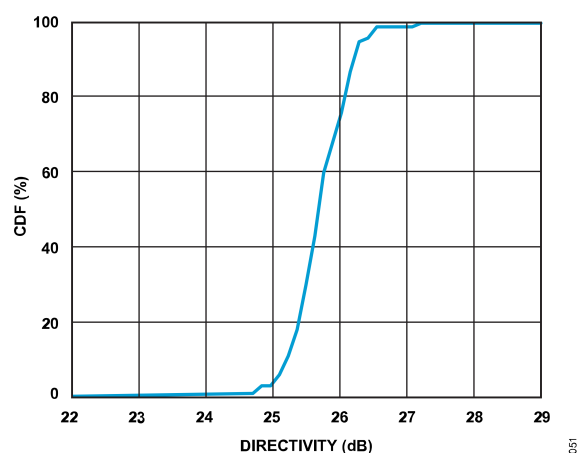


図 51. 指向性分布、RF = 10GHz、サンプル・サイズ：デバイス 100 個

動作原理

ADL5960 は、ブロードバンド・マルチポート・ネットワーク・アナライザ・ソリューションを小さなフットプリントで実現できるように設計されています。

ADL5960 は、集積化広帯域双方向抵抗性ブリッジを中心に構築され、広帯域デュアル・ダウン・コンバージョン・ミキサーに結合されています。ミキサーの差動 IF 出力は、SPI プログラマブルな帯域幅を有するローパス・フィルタと、個別に SPI プログラマブルなゲインを有する IF アンプを通過します。

ミキサーへの LO インターフェイスは、複数の SPI プログラマブル構成をサポートし、ベクトル・ネットワーク・アナライザ・アプリケーションにおける周波数プランを簡略化するように設計されています。LO インターフェイスには、LO 信号ソース自体がサポートするものより広い動作周波数範囲を可能にする周波数逡倍器および分周器が含まれています。LO インターフェイスへの 2 つ目の入力である、OFP および OFM ピンが形成するオフセット・インターフェイスは、大幅に簡略化された周波数プランを有するゼロ・オフセット動作モードを実現します。このモードでは、単一の掃引高周波信号ソースのみが必要になり、ADL5960 の RF インターフェイスと LO インターフェイスの両方を駆動します。OF インターフェイスに供給された信号は、LOP/LOM インターフェイスに供給された LO 信号と混合するときに IF 出力信号の周波数を制御してから、ダウン・コンバージョン・ミキサーを駆動します。

複数の ADL5960 デバイスを位相同期させて、同時に動作させるため、ネットワーク・アナライザ・ポートごとに 1 つの ADL5960 デバイスを用いて、フットプリントの小さいマルチポート・ネットワーク・アナライザの構築が可能です。

基本的な 1 ポート・ベクトル・ネットワーク・アナライザ

1 ポート・ベクトル・ネットワーク・アナライザまたは反射率計を用いて、負荷と周波数の関係が未知の場合に反射係数の大きさおよび位相を計測できます。

図 52 に、ADL5960 をベースとした 1 ポート・アナライザの基本構成を示します。ADL5960 の RFIN インターフェイスは、RF 信号ソース（通常は連続波）に接続し、一方、RFOUT インターフェイスは未知の負荷であるテスト対象デバイス（DUT）に接続します。ADL5960 は完全に対称形のため、RF ソースを RFOUT に接続し、負荷を RFIN に接続することもできます。RF ソースは、ソースから負荷に通じる ADL5960 の方向性ブリッジに、入射 RF 信号を注入します。負荷では、この入射電力波の一部は反射されて RF ソースに戻り、他の部分は負荷に吸収されます。計測される反射係数（大きさおよび位相の両方）は、負荷における入射電力に対する反射電力の比に等しくなります。双方向ブリッジを適切に動作させるには、RF 信号ソースが 50Ω の特性インピーダンスを持つことが重要です。LO インターフェイスは、50Ω のシングルエンド・ソースまたは 100Ω の差動ソースのいずれかによって駆動できます。

ADL5960 上の方向性ブリッジは、入射信号の一部を順方向 IF チャンネルの入力に供給し、同様に、反射信号の一部を逆方向 IF チャンネルの入力に供給します。これらの両方の IF 信号は、ダウン・コンバージョン、フィルタ処理、増幅が行われて、差動 IF チャンネル出力インターフェイスである、(IFFM および IFFM 端子を有する) IFFx と (IFRP および IFRM 端子を有する) IFRx でそれぞれ利用可能になります。

A/D 変換の後、入射波と反射波を表す IF 出力信号は、デジタル的に直交する（複素）ダウン・コンバージョン、フィルタ処理、デシメーションが行われます。最後に、それらの比（反射／入射）の計算により、（複素）反射係数が得られます。

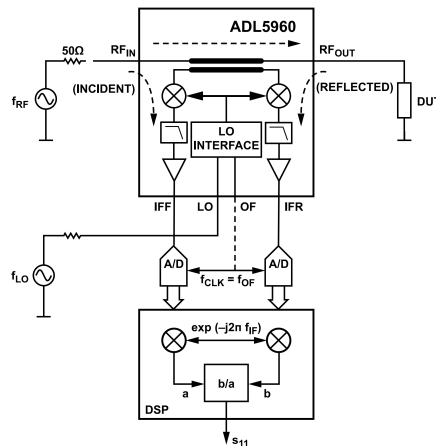


図 52. 1 ポート VNA（反射率計）として使用される ADL5960

周波数プラン作成 — LO 構成

ADL5960 の LO インターフェイスは、様々な構成をサポートしており、中には、精度をわずかに低下させる代わりに、VNA 構成を大幅に簡素化する構成もあります。

バイパス・モードは、レジスタ 0x20 でビット 4 を設定することによって選択され、ADL5960 の動作の最も基本的で最も高性能のモードです。このモードでは、LO インターフェイス（LOP および LOM ピン）に供給される LO 信号が、ダウン・コンバージョン・ミキサーを直接駆動し、周波数逡倍器、分周器、オフセット・ミキサーをバイパスします。一定の IF 出力周波数を維持するには、LO 信号は必ず、周波数掃引全体で RF 信号に対して一定の周波数オフセットを維持する必要があります。

$$f_{LO} = f_{RF} \pm f_{IF} \quad (1)$$

+記号はハイサイド注入に対応し、-記号はローサイド注入に対応します。混合成分のより多くが、目的の IF 信号よりも高い周波数で計算され、ローパス・フィルタ処理によって抑制されるため、ハイサイド注入は多くの場合、ダイナミック・レンジを少し大きくします。ADL5960 は最大 100MHz の IF 周波数をサポートします。高ダイナミック・レンジの A/D 変換では、好ましい IF 周波数は多くの場合、数 MHz ですが、2MHz~3MHz の IF 周波数では信号ソースに問題が生じるため、20GHz までの信号周波数の RF と LO の間に、数 MHz の正確で小さな周波数オフセットが必要になります。

ADL5960 の LO インターフェイスに内蔵された周波数分周器および逡倍器により、LO ソース自体（通常は周波数シンセサイザ）によってサポートされる周波数範囲を超える計測掃引が可能になります。レジスタ 0x20 のビット 4 がクリアされる（バイパス・モードが無効になる）と、ビット[1:0]の LOMODE ビット・フィールドを用いて、次式に示すように、LO 逡倍係数 M_{LO}を設定できます。

動作原理

$$M_{LO} = 2^{LOMODE-1} \quad (2)$$

つまり、2分周、あるいは1通倍、2通倍または4通倍です。必要な出力信号が、必要なIF出力周波数 f_{IF} で確実にダウン・コンバートするには、LOインターフェイスに供給される周波数は必ず、以下の条件を満たす必要があります。

$$f_{LO} = (f_{RF} \pm f_{IF}) / M_{LO} \quad (3)$$

表1から分かるとおり、2分周モードは、2.4GHzまでのLO入力周波数に対してのみ使用でき、一方、2倍モードと4倍モードは、それぞれ2GHz～8GHzと4GHz～8GHzでのみ動作します。LOインターフェイスは、通倍器出力の高調波と低調波を抑制する高周波フィルタも備えています。これらのフィルタの中心周波数は、レジスタ0x21とレジスタ0x22で設定できます。

OF インターフェイス

差動オフセット周波数 (OF) インターフェイスの採用により、VNA 構成を更に簡略化できます。この構成では、単一の掃引ソースを用いて、RF インターフェイスと LO インターフェイスを同じ周波数 (ゼロ周波数オフセット) で駆動できます。一方、IF 出力周波数は、OF インターフェイスに印加される信号によって設定されます。オフセット・ミキサーをイネーブルにするには、レジスタ0x20のビット4をクリアし、ビット[3:2]のOFMODE ビット・フィールドを設定します。オフセット周波数入力インターフェイスは、イネーブルされている場合、比が1、2、4のプログラマブル分周器を使用できます。表6に通倍係数 M_{OF} を示します。

表6. オフセット入力の設定

Register 0x20 [3:2] OFMODE	Divide by	M_{OF}
00	1	1
01	2	0.5
10 (default)	4	0.25
11	Dividers off	Not applicable

オフセット・ミキサーを含む IF 出力信号の周波数は、次のように表されます。

$$f_{IF} = f_{RF} - M_{LO} \times f_{LO} + M_{OF} \times f_{OF} \quad (4)$$

したがって、真のゼロ・オフセット掃引の場合、LO 周波数は以下を満たす必要があります。

$$f_{LO} = f_{RF} / M_{LO} \quad (5)$$

式4の最初の2つの項が相殺され、IF 出力周波数は以下のようになります。

$$f_{IF} = M_{OF} \times f_{OF} \quad (6)$$

設定値 $M_{OF} = 1/4$ (OFMODE = 2) は特に有用で、OFMODE 設定値として推奨します。OF インターフェイスが ADC サンプル・クロック周波数 f_s によって駆動されると、IF 波形の全サイクル当たり4つの時間領域サンプル・ポイントで、ADCの第1ナイキスト・ゾーンにIF出力信号を正確にセンタリングします。このモードでは、IF 波形の離散時間特性は、オフセット入力の4分周デジタル分割により明らかになります。

IF 信号パス

ミキサーのIF出力信号は、ローパス・フィルタを通過して、不要な混合成分とノイズを除去します。これらのフィルタの帯域幅は、レジスタ0x25を介してSPIでプログラム可能です。同じ帯域幅設定値が、両方のADL5960 IFチャンネルに適用されます。

ローパス・フィルタに続くIFアンプは、6dBステップで調整可能なSPIプログラマブル・ゲインを個別に持っています。このプログラマブル・ゲインにより、ADC入力ダイナミック・レンジへの、両方のチャンネルの最適なインターフェイス接続が可能になります。

ADL5960のIF出力インターフェイスは、広範囲のADCの直接駆動に適しています。広帯域ノイズのエイリアシングを避けるため、図53に示すように、簡単なアンチエイリアシング・フィルタの挿入を推奨します。

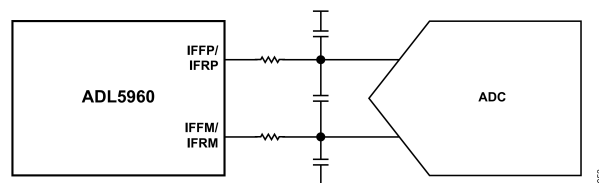


図53. ADC への ADL5960 のインターフェイス接続

差動IF出力ノードは、いずれも低ソース・インピーダンスです。このため、フィルタの駆動や高容量性負荷またはケーブルなどに必要な場合は、テスト回路に示すように、直列抵抗の使用を推奨します。

マルチポート・ベクトル・ネットワーク・アナライザ

ADL5960を用いて、図54に示すように、複数のポートからなるネットワーク・アナライザを作成できます。各ポートは1つのADL5960デバイスに接続され、RFスイッチはRF信号を一度に1つのADL5960にルーティングします。位相（および大きさ）の精度を最適化するには、RFソースからすべてのポートへの接続の長さが等しくなるようにします。更に、ADL5960デバイスのRFINポートは、RFソースがポートに接続されているときだけでなく、接続されていないときにも、常に50Ωで終端接続します。これを実現する適切な方法は、RFソースを極に接続したSPxT無反射型スイッチを使用することです。多くのポートを有するVNAの場合、無反射型（終端接続）RFスイッチのカスケードを使用できますが、挿入損失が大きくなり、周波数傾斜が増大する可能性があります。図54に示すRFソースへの接続は、過度に単純化されており、システムの最適なレイアウトのための推奨事項には全く従っていない点に注意してください。

動作原理

キャリブレーションと誤差補正

S パラメータ計測の精度は、ベクトル・ネットワーク・アナライザのハードウェアによって導入される様々な誤差の影響に敏感です。再現性があり予測可能な系統誤差は、キャリブレーションおよび誤差補正手法を用いて計測結果から除去できます。（ある程度まで）除去できる系統誤差の種類には、以下のものがあります。

- ▶ インピーダンスの不一致
- ▶ チャンネル間のゲインと挿入損失の差
- ▶ チャンネル間のクロストーク

様々な誤差補正およびキャリブレーション手法が、長年開発されてきました（例えば、D. K. Rytting, "Network Analyzer Accuracy Overview," 58th ARFTG Conference Digest, 2001, pp. 1-13, doi: 10.1109/ARFTG.2001.327486）。使用される特定の誤差、複雑性、キャリブレーション基準を除去するための有効性は、手法により様々です。ただし、適用される一般原則はすべて同じです。系統誤差は、高精度で既知の S パラメータ（キャリブレーション標準）を用いて、1 組の DUT に対する VNA 応答の計測によって求められます。計測された S パラメータを既知の S パラメータと比較すると、誤差係数の計算が可能になります。これらの誤差係数は、しばしば誤差アダプタと呼ばれるものに統合され、その後、後処理ステップで使用して、未知の DUT の S パラメータ計測値から誤差補正された S パラメータを計算できます。図 55 に概念図を示します。

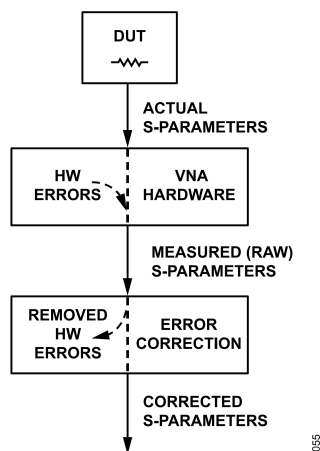


図 55. VNA における誤差補正の概念

異なる誤差補正手法には、異なるキャリブレーション標準セットの使用が必要です。最もよく知られているものには、「ショート、オープン、ロード、スルー」（SOLT）、「スルー、リフレクト、ライン」（TRL）、「スルー、リフレクト、マッチ」（TRM）があります。1 セット内の標準を選択する際は、スミス・チャートで広い領域にまたがるように、S パラメータが大きく異なるものにします。キャリブレーション標準自体も、特に、ショート標準およびオープン標準のような極端な S パラメータ値を持つものは通常、完全に理想的というわけではなく、また、通常、S パラメータ対周波数について製造業者が提供するモデルが含まれます。一般に、キャリブレーション標準は、以下の 2 つのカテゴリに細分化できます。

- ▶ 各 VNA ポートで計測された 1 ポート・キャリブレーション標準
- ▶ VNA ポートの各組み合わせで計測された 2 ポート・キャリブレーション標準

ADL5960 デバイスから構築された VNA のキャリブレーション手順は、その他の VNA システムのキャリブレーション手順と同様です。精度を最大にするには、使用する周波数に留意することが重要です。更に、キャリブレーション中に使用される ADL5960 SPI ゲイン、帯域幅、周波数通倍器／分周器の設定値は必ず、実際の DUT 計測中に使用される設定値と正確に一致する必要があります。ゲインなどの設定値が、デバイス間およびチャンネル間の開き（不一致）の影響を受けるため、設定値が実際の計測中に異なることが予想される場合は、複数の異なる構成に対して VNA をキャリブレーションします。

S パラメータは電力比計算の結果であり、原理的には絶対電力レベルの影響を受けませんが、多くの場合、計測中に RF ソース電力対周波数を正確に制御することが重要です。DUT が、半導体デバイスのように、印加された RF 電力レベル全体で非線形性を示すときには、電力レベルの変化は、計測精度に影響を及ぼす DUT 挙動の変化を引き起こすことがあります。ADL5960 順方向 IF チャンネルは、特に、負荷標準を用いたシステムのキャリブレーション中のように、ポートが 50Ω で終端接続されている場合に、RF 信号パスにおける電力レベルの監視に使用できます。ADL5960 自体の変換ゲインは、同様にロール・オフ対周波数を示すため、電力計測を精度よく実施するには、必ず考慮に入れる必要があります。

1 ポート・キャリブレーション

1 ポート S パラメータ計測のキャリブレーション手順は、図 56 の流れ図を用いて説明できます（D. K. Rytting, "Network Analyzer Accuracy Overview," 58th ARFTG Conference Digest, 2001, pp. 1-13, doi: 10.1109/ARFTG.2001.327486 も参照）。方向性結合器と誤差モデルは共に、実用的な VNA の動作を説明します。入射波 a_0 と反射波 b_0 は、VNA が計測した順方向および逆方向の電力を表しています。ADL5960 を用いると、これらのベクトルは、IF 出力の IFx と IFR_x から得られます。負荷に入射する実際の電力は a_1 で表され、負荷に反射される実際の電力は b_1 で表されます。誤差のない VNA で、 a_1 と b_1 が計測されます。

動作原理

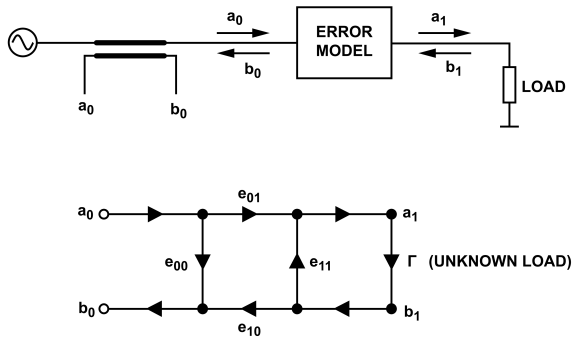


図 56. 1 ポート S パラメータ計測の誤差モデル

この流れ図は、計測された反射係数 $\Gamma_M = b_0/a_0$ が実際の反射係数 $\Gamma = b_1/a_1$ と異なる様々な要因を、より詳細に説明します。係数 e_{11} は、VNA ポートのインピーダンスの (50Ω との) 不一致を表します。 b_1 の一部は負荷まで反射されます。 e_{01} および e_{10} 係数はトラッキング誤差を表します。 ADL5960 に関して、トラッキング誤差は、ブリッジの挿入損失、RFIN から IFFx への変換ゲイン、RFOUT から IFRx への変換ゲイン、ならびにチャンネル間の変換ゲインの不一致で構成されています。最後に、 e_{00} は、実際の VNA の有限の指向性を表し、これは、順方向および逆方向に進行する電力波を分離する能力の尺度です。負荷が正確に 50Ω の場合、 $b_1 = 0$ であり、理想的な VNA の計測では $b_0 = 0$ となります。しかし、実際の VNA では、指向性は有限であり、いくつかの信号が順方向経路から逆方向経路に漏れます。

図 56 を用いると、計測された反射係数は、次のように、誤差係数で、また負荷の反射係数で表すことができます。

$$\Gamma_M = e_{00} + \frac{e_{01}e_{10}}{1 - \Gamma e_{11}} \Gamma \quad (7)$$

式 7 は並べ替えて、以下のように、誤差係数を線形表現に変更できます。

$$\begin{aligned} e_{00} - \Delta_e \Gamma + e_{11} \Gamma_M &= \Gamma_M \\ \Delta_e &= e_{00}e_{11} - e_{01}e_{10} \end{aligned} \quad (8)$$

3 つの異なる既知の負荷を計測するキャリブレーション手順、すなわち、計測された反射係数と実際の反射係数の 3 つの組み合わせを集めるキャリブレーション手順を用いて、次のように誤差係数を計算できます。

$$\begin{bmatrix} 1 - \Gamma_1 \Gamma_{M1} \\ 1 - \Gamma_2 \Gamma_{M2} \\ 1 - \Gamma_3 \Gamma_{M3} \end{bmatrix} \begin{bmatrix} e_{00} \\ \Delta_e \\ e_{11} \end{bmatrix} = \begin{bmatrix} \Gamma_{M1} \\ \Gamma_{M2} \\ \Gamma_{M3} \end{bmatrix} \Rightarrow \vec{e} = T^{-1} \vec{\Gamma}_M \quad (9)$$

システムがキャリブレーションされた後、補正された反射係数は、式 7 を並べ替えて、計測された係数から計算できます。

$$\Gamma = \frac{\Gamma_M - e_{00}}{e_{11}\Gamma_M - \Delta_e} \quad (10)$$

原理的には、十分に異なる標準の任意の組み合わせを用いて、システムのキャリブレーションが可能です。ショート、オープン、 50Ω 負荷の組み合わせが、最も一般的な選択肢です。式 9 で説明した手順は、重要なすべての周波数点で繰り返す必要があります。

2 ポート・キャリブレーション

2 ポート S パラメータ計測のキャリブレーション手順は、図 57 を用いて説明できます。VNA は、ポート 0、ポート 2、誤差モデルによってモデル化されます。システムのハードウェア誤差の結果、ポート 0 で計測された S パラメータは、ポート 1 の実際の DUT S パラメータとは異なり、ポート 2 で計測された S パラメータは、ポート 3 での DUT S パラメータとは異なります。誤差の寄与が電力に対して線形に変化する限り、ポート 0 とポート 2 における入射波と反射波は、以下のように、ブロック行列を用いて、ポート 1 とポート 3 における入射波と反射波に関連付けることができます。

$$\begin{bmatrix} b_0 \\ a_0 \\ b_2 \\ a_2 \end{bmatrix} = \begin{bmatrix} T_{01} & T_{03} \\ T_{21} & T_{23} \end{bmatrix} \begin{bmatrix} b_1 \\ a_1 \\ b_3 \\ a_3 \end{bmatrix} \quad (11)$$

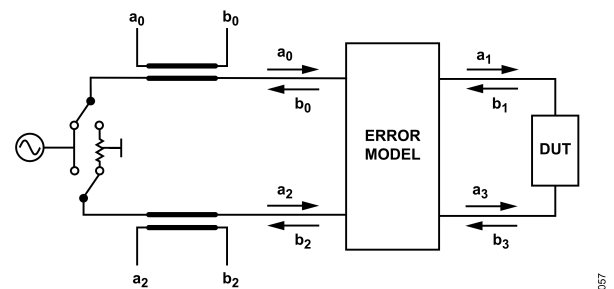


図 57. 2 ポート S パラメータ計測の誤差モデル

式 11 の各行列要素 T は、1 つの VNA ポートと 1 つの DUT ポートの間の相互作用を記述する 2×2 行列であり、これから、合計 16 の未知の誤差係数が得られます。誤差係数（行列要素）のサブセットまたはすべてを求めるために、各種のキャリブレーション方法が文献で報告されています。

誤差モデルを単純化する 1 つの方法は、VNA チャンネル間のクロストークが無視できる、すなわち、ポート 2 での計測誤差に対するポート 1 の寄与、およびポート 0 での計測誤差に対するポート 3 の寄与が非常に小さいと、仮定することです。各 VNA ポートが別個のデバイスで実現されるため、この仮定は、ADL5960 をベースとした VNA では妥当です。VNA チャンネル間の相互作用は、綿密な PCB レイアウトによって最小化できます。この状況では、式 11 の対角線上のブロック行列のみが非ゼロ要素を持つため、次のようになります。

動作原理

$$\begin{bmatrix} b_2 \\ a_2 \end{bmatrix} = T_{23} T_{31} T_{01}^{-1} \begin{bmatrix} b_0 \\ a_0 \end{bmatrix} = T_M \begin{bmatrix} b_0 \\ a_0 \end{bmatrix} \quad (12)$$

ここで、

T_{31} は DUT 自体の伝送行列（計測量）を表します。

T_M は VNA によって計測された伝送行列です。

誤差補正された伝送行列は、次のように表すことができます。

$$T_{CORRECTED} = T_{23}^{-1} T_M T_{01} \quad (13)$$

伝送行列 T_{01} および T_{23} を求めるために、様々なキャリブレーション手法が利用できます。最も簡単で効果的な方法の 1 つは、SOLT キャリブレーションです。この方法では、1 ポート・キャリブレーションを各ポートに適用してから、スルー接続（ポート 1 とポート 3 の間のショート）を計測します。

マルチポート・キャリブレーション

3 つ以上のポートで構成される VNA のキャリブレーションは、2 ポート・キャリブレーションのセクションで説明した 2 ポート・キャリブレーションと同様の手順で実行できます。決定される誤差係数の数は、 $4n^2$ のように二次的に増加します。ここで、 n はポートの数です。ただし、VNA ポート間の相互作用が無視できる場合は、誤差モデルのブロック対角線上の係数のみを考慮に入れる必要があり、残りの係数の数は $4n$ となります。

マルチポート・キャリブレーションで生じる実用上の問題は、キャリブレーション標準が通常、1 ポート（負荷）または 2 ポートのいずれかであるのに対して、キャリブレーション手順には、原理的に、計測された $n \times n$ S 行列と実際の標準 S パラメータのための $n \times n$ S 行列が必要になることです。

この問題は、一連の 2 ポート計測から n ポート S 行列を構築することによって対処できます。式 14 は 4 ポート・システムの概念を表します。

$$S = \begin{bmatrix} m_{12} & m_{12} & m_{13} & m_{14} \\ m_{12} & m_{12} & m_{23} & m_{24} \\ m_{13} & m_{23} & m_{13} & m_{34} \\ m_{14} & m_{24} & m_{34} & m_{14} \end{bmatrix} \quad (14)$$

ここで、 m_{xy} は、どの 2 ポート計測から対応する S パラメータを求めるかを示します。

例えば、 m_{12} で示されるポート 1 およびポート 2 を使用する 2 ポート計測を用いて、 S_{11} 、 S_{12} 、 S_{21} 、 S_{22} を求めることができます。S 行列全体を満たすには、2 つのポートの様々な組み合わせで計測する必要があります。一部のパラメータは、（ S_{11} のように）複数回求められ、1 回の計測を除くすべての計測で無視できます。一般に、 n^2 S パラメータのフルセットは、 $n(n-1)/2$ の 2 ポート計測セッションで求めることができます。

例えば、SOLT キャリブレーション方式を n ポート VNA に適用する場合、各ポートで 3 つの負荷を計測してから、2 つのポートのすべての組み合わせ間でスルー標準計測を行う必要があります。これに必要な計測実行の合計回数は次のとおりです。

$$3n + n(n-1)/2 = n(n+5)/2 \quad (15)$$

IF スプリアス・トーンの除去

目的の出力信号に加えて、一般に様々な他のスプリアス・トーンおよび混合成分が IF 出力信号スペクトルに存在します。これらの不要なトーンの一部は、目的の IF 信号と同じ周波数で現れるため、計測精度が低下します。本セクションで説明する手法を用いると、こうした不要なトーンの影響を低減し、計測精度を向上させることができます。

OF インターフェイスを用いる LO インターフェイス構成は、IF スプリアス・トーンの影響に最も敏感です。高調波、低調波、LO と OF の間の混合成分、部分的に抑制された画像周波数は、IF 出力スペクトルにおけるスプリアス・トーンに寄与します。スプリアス・トーンの影響は、RFOUT ポートの DUT が十分一致して、逆方向 IF 出力チャンネルの目的の信号が非常に小さい場合に、最も顕著です。図 58 は、IF 周波数におけるスプリアス・トーンの影響を示すもので、IF スプリアス・トーンについて補正された反射損失計測結果と生の未補正の結果とを比較しています。この図から明らかなように、スプリアス・トーンは、周波数に対するリップルを計測結果に導入し、特に 5GHz より低い周波数で計測感度を低下させます。

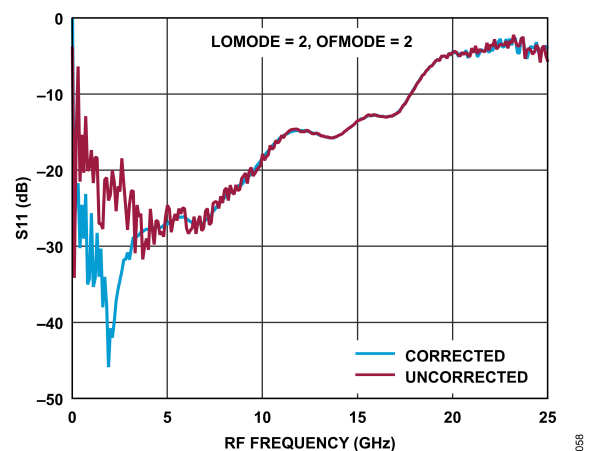


図 58. IF スプリアス・トーンの補正がある場合とない場合の 50Ω 負荷の反射損失計測

次の簡単な手順により、スプリアス・トーンによるリップルを大幅に低減できます。

1. RF が存在する状態で IF 出力信号を計測する。
2. IF 出力周波数における複素高速フーリエ変換（FFT）周波数成分を計算する。
3. RF 信号をオフにするか、非常に低いレベルに設定して、IF 出力信号を計測する。

動作原理

4. この場合の IF 周波数における周波数成分を計算する。
5. ステップ 2 の結果からステップ 4 の結果を差し引く。
6. 誤差補正とさらなる処理を、ステップ 5 の結果に適用する。

説明したステップの順序は変更可能で、RF 信号なしの周波数掃引は、将来の計測値の補正のためにメモリに保存できます。

アプリケーション情報

インターフェイスの説明

電源インターフェイス

AVCC、OVCC および OVDD ピンには独立した電源クランプがあり、クランプを動作させないために、必ず 100 μ s より低速でランブさせる必要があります。残留高周波リップルを抑制するために、1nF コンデンサと 4.7 μ F コンデンサを用いた電源インターフェイスのデカップリングを推奨します。OVDD を SPI コントローラの電源に接続すると、SPI バス・ラインへの論理レベル変換器の配置を不要にできます。

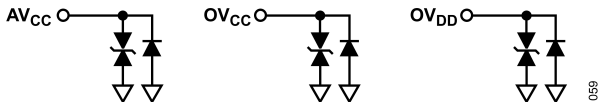


図 59. 簡略化された電源インターフェイスの回路図

RFIN および RFOUT インターフェイス

RFIN と RFOUT は共に、50 Ω の特性インピーダンスを持つシングル・エンド RF 入力です。両方のインターフェイスが内部で結合されているため、RFIN (または RFOUT) で観測される入力インピーダンスは、もう一方のインターフェイスである RFOUT (または RFIN) が 50 Ω で終端接続され、かつその場合に限り、50 Ω です。

両方のピンは、双方向ブリッジの 6 Ω 直列抵抗を介して内部で DC 結合されています。RF アンプのような DUT をバイアスするために、最大 100mA の DC 電流をブリッジに安全に流すことができます。このブリッジは、整合条件で最大 30dBm の平均信号レベルと、最大 35dBm のピーク・レベルをサポートするように設計されています。インターフェイスの信号電圧は必ず、オープン・サーキットなどの極端な不整合条件下で、-5V~+10V の範囲内に維持する必要があります。これにより、整合終端の場合よりも大きな電圧振幅が生じることがあります。

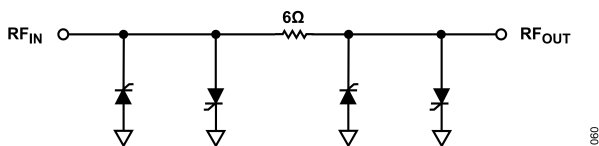


図 60. RFIN と RFOUT の簡略化されたインターフェイス

可能な限り最良のブリッジ指向性を実現するためには、RFIN と RFOUT の両方を必ず、綿密に整合させた 50 Ω の広帯域伝送線に接続する必要があります。図 61 に示す接地コプレーナ導波路 (GCPW) は、この目的に適しています。RFIN インターフェイスの RF リターン・パスとしてピン 2 とピン 4 (AGND) を使用し、RFOUT インターフェイスのリターン・パスとしてピン 18 とピン 20 を使用します。RFIN と RFOUT の間のグラウンド・シールドは、ブリッジを除く相互作用を最小限に抑えるために必要であり、計測された指向性にも影響を与えます。上部グラウンド層と下部グラウンド層は必ず、RFIN と RFOUT の間のシールド内に、および GCPW のグラウンド・リターン導体の端の周囲に、できるだけ多くのビアを用いて接続する必要があります。

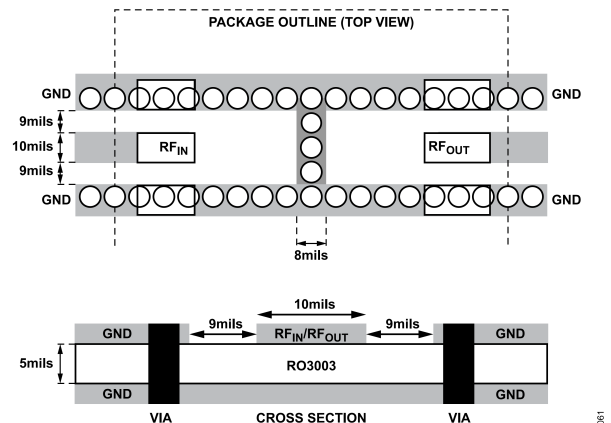


図 61. RFIN と RFOUT をインターフェイス接続するための GCPW 設計例

IFFP、IFFM、IFRP および IFRM インターフェイス

差動 IF 出力アンプは、100 Ω の差動負荷を 8V p-p まで駆動できます。出力がグラウンドまたは AVCC に短絡した場合、内部クランプは、各シングル・エンド出力 (IFFM、IFFP、IFRP、IFRM) について電流を約 200mA 以下に制限します。

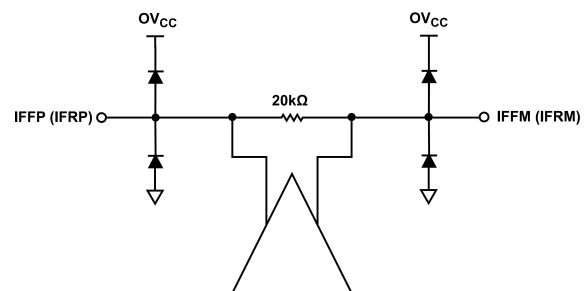


図 62. IF 出力インターフェイスの簡略図

VCM インターフェイス

VCM インターフェイスは、IFFx および IFRx 出力インターフェイスでコモンモード電圧レベルを制御し、様々な ADC への DC 結合インターフェイス接続を簡略化します。このピンは、選択した ADC から提供される場合、コモンモード出力またはリファレンス出力ピンに接続して、コモンモード・レベルを整合させ、利用可能なダイナミック・レンジを最大化できます。

VCM ピンがフローティング状態のままの場合は、内部の分圧器がコモンモード電圧レベルを OVCC/2 に設定します。外部駆動の場合、低インピーダンス電圧源を用いて、必ずこのピンの電圧を設定する必要があります。VCM ピン電圧のコモンモード出力電圧までのトラッキング範囲は、1V~4V の範囲内で線形です。この範囲外の電圧レベルでは、出力コモンモード・レベルは、それぞれ 1V または 4V に固定されます。

アプリケーション情報

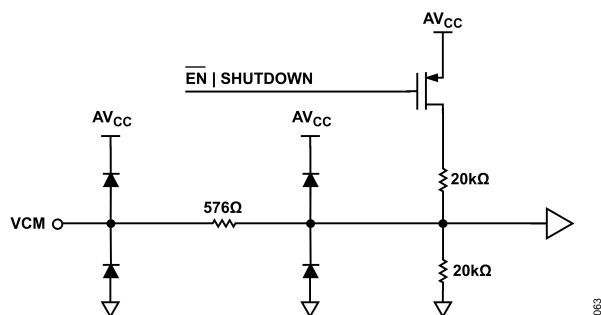


図 63. コモンモード制御インターフェイスの簡略図

LOP と LOM のインターフェイス

LO インターフェイスは、差動駆動またはシングル・エンド駆動できます。十分に設計された（例えば、グラウンド、信号、信号、接地コプレーナ導波路を用いた）PCB レイアウトを有する差動駆動 LO は、LO 信号放射と、システム内の他のネットへの不要な結合の低減に役立ちます。LOP および LOM 入力、AVCC/2 に内部バイアスされています。シングル・エンド駆動の場合、内部の 100Ω 終端は、2:1 外部バランを用いてインピーダンス整合できます。

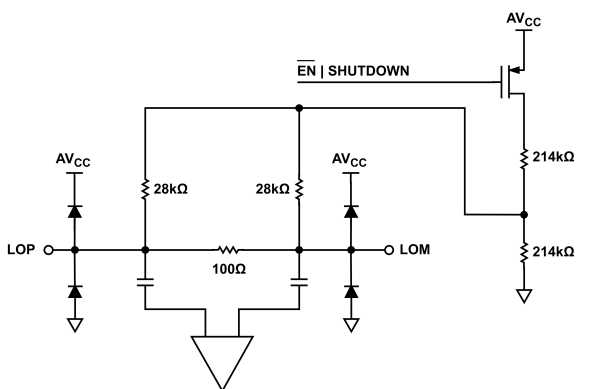


図 64. 簡略化された LO インターフェイス

OFP と OFM のインターフェイス

オフセット周波数インターフェイス（OFP と OFM）は、3.3V のコモンモード・レベルで内部バイアスされており、必ず外部信号ソースに AC 結合する必要があります。入力、1 つの端子を高容量コンデンサで AC 接地して、差動駆動またはシングル・エンド駆動させることができます。400kHz の入力周波数には、10nF 以上の値を推奨します。

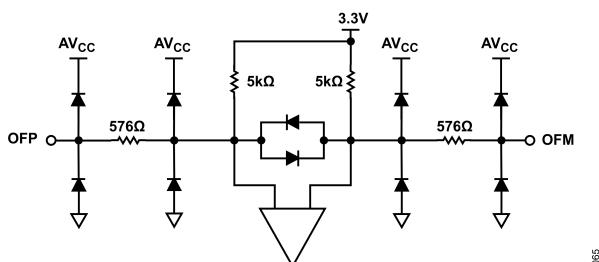


図 65. 簡略化されたオフセット周波数インターフェイス

EN インターフェイス

DEVICE_CONFIG（レジスタ 0x02、ビット 1）のシャットダウン・ビットが設定されているか、EN ピンがアサート解除されている場合、このチップはシャットダウン状態にあります。内部の 415kΩ プルダウンにより、ピンがフローティング状態のままである場合、デバイスが確実にオフとなる（シャットダウンされる）ようにできます。

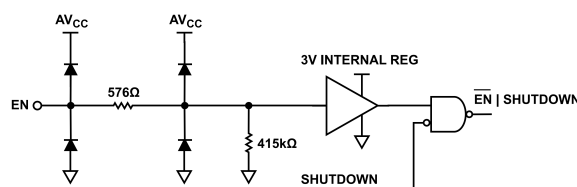


図 66. 簡略化されたイネーブル・インターフェイス

SYNC および SCK インターフェイス

SYNC インターフェイスと SCK インターフェイスはいずれも、高インピーダンス CMOS 論理入力インターフェイスです。表 1 に記載のとおり、論理ハイおよび論理ロー・レベルは、シリアル・ポート電源インターフェイス OVDD に対して定義されます。両方の入力は、フローティング状態のままのとき、内部的にローにプルダウンされます。

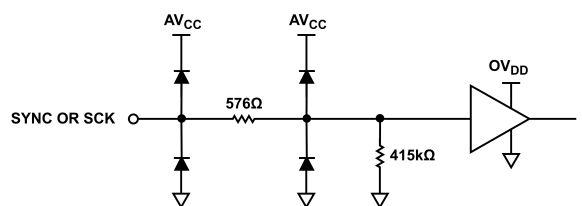


図 67. SYNC および SPI クロック・インターフェイス

SYNC インターフェイスは、システム内のすべての ADL5960 デバイスの同期に使用されます。このインターフェイスの立下がりエッジは、LO および OF インターフェイスの周波数分周器を既知の事前定義状態にリセットします。すべての ADL5960 デバイスは、LO または OF インターフェイスの次のエッジが現れる前に、負の SYNC エッジを受取ります。SYNC パルスは、電源投入直後に印加することもでき、その後で、LO および OF クロックが印加されます。

CS インターフェイス

CS インターフェイスは、このデバイスのシリアル・インターフェイスを介して通信の開始と終了を制御します。SPI は、表 1 に明記されているとおり、CS の電圧が論理ローを表す場合にアクティブになり、CS の電圧が論理ハイの場合にディスエーブルになります。このピンがフローティング状態のままの場合、入力は内部的にハイにプルアップされ、SPI をディスエーブルにします。

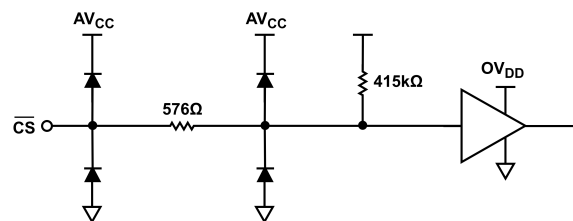


図 68. SPI チップ・セレクト・インターフェイス

アプリケーション情報

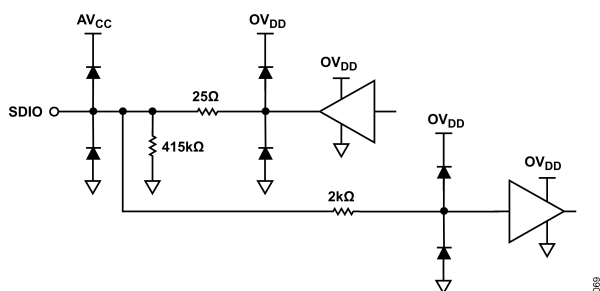


図 69. 簡略化された SDIO インターフェイス

SDIO インターフェイス

ADL5960 は、1 つの線でデータの送受信を行う 3 線式の SPI を実装しています。データの受信時、すなわち、デバイスへの書き込み動作時、送信器出力は、送信器がデータ・ラインを、必要に応じてローにプルダウンまたはハイにプルアップできるように、高いインピーダンスになります。データ入力線とデータ出力線が別々である 4 線式インターフェイスを用いて、このインターフェイスを SPI コントローラに接続するには、図 70 に示すような直列電流制限抵抗を使用して、コントローラ出力とターゲット出力を分離することを推奨します。この抵抗は、両方の出力が同時にアクティブになった場合に保護になります。

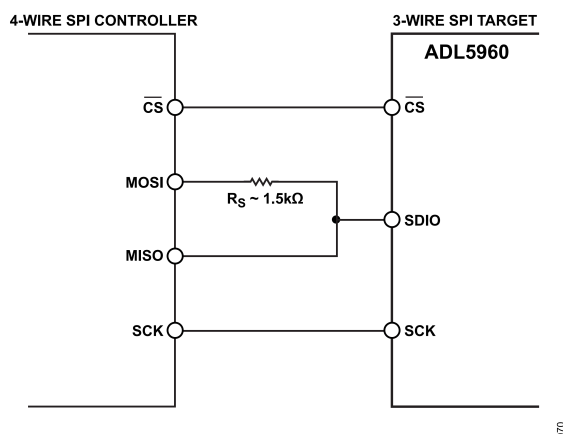


図 70. SPI 4 線式から 3 線式へのインターフェイス接続

TEMP インターフェイス

オンチップ・デジタル温度計に加えて、TEMP ピンを用いると、既知のリファレンス電流のピンへの印加と、グラウンドに対するピン電圧の計測によって、ダイ温度を監視できます。42μA の注入電流では、25°C で公称電圧が 0.775V になり、温度勾配は約 -1.54mV/°C になります。

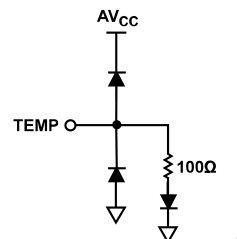


図 71. 温度ダイオード・インターフェイス

LO インターフェイスの構成

LO インターフェイスは、バイパス・モードと、SPI インターフェイスのレジスタ 0x20 を介して選択可能な 4 種類の通倍/分周モードをサポートしています。これらの各動作モードは、**バイパス・モード (バイパス = 1)** から **4 通倍モード (LOMODE = 3)** までのセクションで説明しています。

バイパス・モード (バイパス = 1)

LO 信号は、内部ダウン・コンバージョン・ミキサーに直接送られ、周波数通倍器と分周器をバイパスします。LO 通倍器および分周器、更に OF インターフェイスはディセーブルになります。ADL5960 は、このモードで最も広い帯域幅と最も高いダイナミック・レンジを実現します。

2 分周モード (LOMODE = 0)

LO 入力信号の周波数は、オフセット・ミキサーを通過する前に 2 で除算され、ダウン・コンバージョン・ミキサーに供給されます。この LO 動作モードは、RF 信号の周波数範囲がサポートする場合、VNA 計測周波数範囲を、LO ソース自体がサポートする最小周波数より下に拡張する手段を提供します。この動作モードは、オフセット周波数インターフェイスがイネーブルまたはディセーブルのいずれの場合も使用できます。

1 通倍モード (LOMODE = 1)

LO 信号は、LO 通倍器および分周器をバイパスしますが、オフセット・ミキサーを通過してダウン・コンバージョン・ミキサーに送られます。オフセット周波数インターフェイスがイネーブルの状態での使用を意図しています。オフセット周波数インターフェイスがディセーブルの状態でも使用できますが、代わりにバイパス・モード (バイパス = 1) を選択すると、性能が向上します。

2 通倍モード (LOMODE = 2)

LO 信号は、周波数ダブラ、プログラマブル・バンドパス・フィルタ、オフセット・ミキサーを通過してダウン・コンバージョン・ミキサーに送られます。バンドパス・フィルタは、ダブラ出力信号の低調波を抑制し、レジスタ 0x21 の CT2 ビット・フィールドの設定によって調整できます。表 7 に、様々な 2 × LO 周波数範囲の推奨設定値を示します。すべての CT2 設定値が有効です。例えば、CT2 = 2、CT2 = 5、…、CT2 = 30 など、表に示されていない CT2 設定値では、最小および最大の 2 × f_{LO} は、示された表項目に基づいて線形補間でできます。2 通倍モードは、単独でも、オフセット周波数インターフェイスと組み合わせても使用できます。

アプリケーション情報

表 7. LOMODE = 2 の場合の推奨 CT2 バンドパス・フィルタ設定値

CT2	Minimum $2 \times f_{LO}$ (GHz)	Maximum $2 \times f_{LO}$ (GHz)
0	15	20
1	14	15
3	11	14
4	10	12
6	9	10
8	8	9
12	7	8
15	6	7
22	5	6
31	4	5

4 通倍モード (LOMODE = 3)

LO 信号は、最初に周波数ダブラを通過してから、CT2 ビット・フィールドを介して同調されたバンドパス・フィルタを通過し、次に第 2 の周波数ダブラを通過してから、レジスタ 0x22 内の CT4 ビット・フィールドを介して同調された第 2 のバンドパス・フィルタを通過します。最後に、この信号は、オフセット・ミキサーを通過してダウン・コンバージョン・ミキサーを通過します。表 8 に、様々な $4 \times LO$ 周波数範囲の推奨設定値を示します。このリストは完全なものではありません。その他の有効な組み合わせが存在するため、周波数範囲が推奨設定値と部分的にまたは完全に重複します。このモードは、単独でも、オフセット周波数インターフェイスと組み合わせても使用できます。

表 8. LOMODE = 3 の場合の推奨 CT2 および CT4 バンドパス・フィルタ設定値

CT2	CT4	Minimum $4 \times f_{LO}$ (GHz)	Maximum $4 \times f_{LO}$ (GHz)
<5	<12	>20	>21
5	12	20	21
6	13	19	20
7	14	17	19
12	15	14	17

IF 信号パスの構成

ダウン・コンバージョン・ミキサーに続く IF 信号パスは、出力信号のダイナミック・レンジを最適化し、広範囲の ADC への最適なインターフェイス接続を実現するように構成できます。

2 つのカスケード接続されたローパス・フィルタは、帯域外ノイズおよびスプリアス・トーンを抑制するためのプログラマブル IF 帯域幅を提供します。第 1 のフィルタは、表 9 と図 22 に示すように、レジスタ 0x25 の CIF1 ビット・フィールドを介して、粗い帯域幅調整を提供します。

表 9. CIF2 = 0 の場合の IF - 3dB 帯域幅と CIF1 の関係

CIF1	f_{-3dB} (MHz)	CIF1	f_{-3dB} (MHz)
0	126	8	13.0
1	64.0	9	11.6
2	41.0	10	10.5
3	30.1	11	9.5

表 9. CIF2 = 0 の場合の IF - 3dB 帯域幅と CIF1 の関係 (続き)

CIF1	f_{-3dB} (MHz)	CIF1	f_{-3dB} (MHz)
4	24.1	12	8.8
5	19.7	13	8.1
6	16.7	14	7.6
7	14.5	15	7.0

第 2 のフィルタは、表 10 と図 25 に示すように、レジスタ 0x25 の CIF2 ビット・フィールドを介してプログラム可能な、間隔が短い低帯域幅設定値を提供します。両方の出力チャンネルは、同じ IF 帯域幅にプログラムされます。

表 10. CIF1 = 0 の場合の IF - 3dB 帯域幅と CIF2 の関係

CIF2	f_{-3dB} (MHz)	CIF2	f_{-3dB} (MHz)
0	126	8	1.5
1	11.1	9	1.3
2	5.9	10	1.2
3	3.8	11	1.0
4	3.1	12	0.99
5	2.3	13	0.86
6	2	14	0.80
7	1.6	15	0.70

これらのフィルタの後には、個別にプログラム可能なゲインを有する差動出力アンプがあります。調整可能なゲイン機能は、使用中の実際の RF 駆動レベルに対応するものであり、この機能により、広範囲のポート終端全体で、順方向チャンネルと逆方向チャンネルの両方のダイナミック・レンジの最適化も可能になります。例えば、ブリッジが 50Ω に近いインピーダンスで終端接続されている場合、逆方向 (反射) チャンネルのブリッジ出力信号レベルは、順方向 (入射) チャンネルのそれよりもはるかに低くなります。この差を補償するために、逆方向チャンネル・アンプは、順方向チャンネルよりも高いゲイン設定値にプログラムできます。そのため、両方のチャンネルは、IF 出力に接続された ADC の全入力ダイナミック・レンジを使用します。最適な計測精度を実現するために、キャリブレーション手順は必ず、順方向および逆方向チャンネルに対して、使用されたすべてのゲイン設定値の組み合わせを対象とする必要があります。

表 11 に示すように、順方向チャンネルと逆方向チャンネルのゲインは、それぞれレジスタ 0x23 の FGAIN ビット・フィールドとレジスタ 0x24 の RGAIN ビット・フィールドを介して、6dB ステップでプログラムできます。次のゲイン設定値を選択するには、ビット・フィールド値も 6 ステップで増やす必要があります (図 20 を参照)。48dB を超えるゲイン・レベルがサポートされていますが、増幅されたノイズが IF チャンネルを飽和させ始めるため、これらのレベルは通常、実用上あまり重要ではありません。

表 11. IF アンプ・ゲインと FGAIN および RGAIN 設定値の関係

FGAIN, RGAIN	IF Gain (dB)
0 to 5	0
6 to 11	6
12 to 17	12
18 to 23	18

アプリケーション情報

表 11. IF アンプ・ゲインと FGAIN および RGAIN 設定値の関係
(続き)

FGAIN, RGAIN	IF Gain (dB)
24 to 29	24
30 to 35	30
36 to 41	36
42 to 47	42
48 to 53	48
...	...

最高の総合計測精度を得るには、信号チェーンの大信号非線形性を最小にする必要があります。0 より大きい FGAIN（または RGAIN）値では、ADL5960 は、最大 1dB のわずかな大信号ゲイン拡大特性を示します。これにより、伝送係数または反射係数の計測値に小さな誤差が生じることがあります。非線形性誤差を軽減する 1 つの方法は、より低い入力電力レベル、例えば 0dBm 以下でキャリブレーションすることです。非線形性誤差を軽減する別の手法は、多項式曲線を当てはめて、デジタル領域で ADC 変換後に補正を適用する方法です。外部ハードウェアを伴うソリューションの場合は、FGAIN（または RGAIN）= 0 に設定し、[ADA4945](#) などの高精度 ADC ドライバを追加します。

結論として、調整可能な出力コモンモード・レベル、最大 8V p-p の出力電圧振幅、最大 200mA の電流駆動能力により、広範囲の適切な Σ - Δ 、逐次近似レジスタ（SAR）、または最大数百 MHz のサンプル・レートを持つパイプライン・ベースの ADC とインターフェイス接続するのに十分な柔軟性が提供されます。

シリアル・ペリフェラル・インターフェイス プロトコル

ADL5960 は、その内部機能のいくつかを制御・監視するための周辺機器として、SPI バスに接続できます。タイミング条件の詳細については、[シリアル・インターフェイスのタイミング仕様](#)のセクションを参照してください。共有データ入出力線を持つ 3 線インターフェイスは、16 ビット・アドレスを用いて、8 ビット幅のレジスタにアクセスします。各 SPI 命令は、レジスタ・アドレスと、それに続く 1 つ以上のデータ・バイトからなり、MSB が最初に転送されます。このデバイスは、単一バイト読出し・書込み操作と、ストリーミング読出し・書込み方法をサポートしています。

レジスタ・アドレス

16 ビット・レジスタ・アドレスの 15LSB は、 $2^{15} = 32,768$ 個の一意のレジスタ・アドレスを持つアドレス空間を定義します。ADL5960 が使用するののは、これらのアドレスの一部のみです。MSB は、デバイス・レジスタへの書込み操作 (MSB = 0) と、レジスタ・アドレスからのリードバック (MSB = 1) の区別を示すものです。

読出し・書込み方法

ADL5960 は、単一レジスタ読出し・書込み方法と、ストリーミング読出し・書込み方法の両方をサポートし、1 回の操作で複数のレジスタとの間でデータをやり取りします。

各命令は、 $\overline{\text{CS}}$ ラインのハイからローへの遷移で始まります。データは、MSB アドレス・ビットで始まり、 $\overline{\text{CS}}$ がローのままである限り、クロックの各立上がりエッジでラッチされます。命令は、 $\overline{\text{CS}}$

上のローからハイへの遷移で終わります。読出し命令が実行されると、SDIO 共有入出力線は、最後のアドレス・ビットをラッチした SCLK の立上がりエッジと、SCLK の次の立下がりエッジ直後の 1/2 クロック・サイクルの間に、高インピーダンス入力 (SDI) から低インピーダンス出力 (SDO) に変化します。 $\overline{\text{CS}}$ がアサート解除されると、SDIO は高インピーダンス入力 (SDI) 状態に戻ります。

ストリーミング読出し・書込み方法は、オートデクリメント・モードでのみ動作し、前のデータ・バイトより 1 つ下のアドレスを持つレジスタに次のデータ・バイトの読出し・書込みを行います。

レジスタの詳細

レジスタ 0x00 からレジスタ 0x05 までは、SPI を構成し、デバイス識別子が含まれます。レジスタ 0x20 からレジスタ 0x26 までは、このデバイスのアナログ回路機能を制御します。詳細は表 12 を参照してください。

インターフェイス設定レジスタ

レジスタ 0x00 はシリアル・インターフェイス設定レジスタであり、4 ビットの回文として実装され、各ニブルは他方のニブルのミラーです。このミラーにより、データのシフト方向にかかわらず、デバイス同期が失われた場合に、本デバイスを確実にプログラムできます。このため、このアドレスへの書込み時には、このレジスタを設定する際のあいまいさを取り除くために、回文が常に必要です。

表 12. ADL5960 SPI レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x00	SPI_CONFIG_A	7	SOFTRESET_	ソフト・リセット。ビット 0 のコピー	0x0	R/W
		6	LSB_FIRST_	LSB ファースト。ビット 1 のコピー	0x0	R/W
		5	ASCENSION_	アドレス・アセンション。ビット 2 のコピー。	0x0	R/W
		[4:3]	RESERVED	予備。	0x0	R
		2	ASCENSION	アドレス・アセンション。セットすると、アドレス・アセンション・アドレス・モードが有効になります。クリアすると、アドレスは下降します。 0: アドレス・オートデクリメント。 1: アドレス・オートインクリメント。	0x0	R/W
		1	LSB_FIRST	LSB ファースト。セットすると、入出力データは LSB ファーストで処理されます。このビットをクリアすると、データは MSB ファーストで処理されます。 1: LSB ファースト。 0: MSB ファースト。	0x0	R/W
		0	SOFTRESET	ソフト・リセット。このビットをセットすると、ハード・リセットと同等のリセットが開始されます。ただし、0x00 (このレジスタ) のビットと SPI ステート・マシンは影響を受けません。このビットは、ソフト・リセットが完了すると自動的にクリアされます。 1: リセットをアサート。 0: リセットをアサートしない。	0x0	R/W
0x01	SPI_CONFIG_B	7	SINGLE_INSTRUCTION	単一命令。このビットが設定されると、ストリーミングは無効になり、 $\overline{\text{CS}}$ ラインの状態にかかわらず、読出しまたは書込み操作が 1 回だけ実行されます。このビットをクリアすると、ストリーミングが有効になります。このビットが設定され、 $\overline{\text{CS}}$ がアサートされたままの場合、ステート・マシンは、 $\overline{\text{CS}}$ がアサート解除されたかのようにデータ・バイトの後でリセットし、次の命令を待ちます。これにより、 $\overline{\text{CS}}$ ラインが SPI コントローラによりアサート解除されていない場合でも、各データ・バイトの前に新しい命令が配置されます。	0x0	R/W

シリアル・ペリフェラル・インターフェイス

表 12. ADL5960 SPI レジスタの詳細（続き）

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		6	CSB_STALL	$\overline{\text{CS}}$ 停止。単一命令が有効、かつ $\overline{\text{CS}}$ 停止が有効になると、 $\overline{\text{CS}}$ 信号はハイにプルアップされても SPI ステート・マシンをリセットしません。 $\overline{\text{CS}}$ 停止が無効になると、 $\overline{\text{CS}}$ 信号がハイの場合に、SPI ステート・マシンは常にリセットされます。	0x0	R/W
		5	CONTROLLER_TARGET_RB	コントローラまたはターゲット・デバイスのリードバック。このビットをセットすると、SPI コントローラのフリップ・フロップ出力のリードバックが可能になります。このビットをクリアすると、内部 SPI レジスタ出力にアクセスできます。	0x0	R/W
		[4:0]	RESERVED	予備。	0x0	R
0x02	DEVICE_CONFIG	[7:2]	RESERVED	予備。	0x0	R
		1	SHUTDOWN	デバイス・シャットダウン。シャットダウンがアサートされる場合、デバイスは電源オフになります。 EN インターフェイス のセクションも参照してください。 0: 通常動作。 1: シャットダウン。	0x0	R/W
		0	RESERVED	予備。	0x0	R
0x03	CHIPTYPE	[7:0]	CHIPTYPE	チップ・タイプ、読み出し専用。	0x1	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L	PRODUCT_ID_L、下位 8 ビット。	0x60	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H	PRODUCT_ID_H、上位 8 ビット。	0x59	R
0x20	LO_CONFIG	[7:5]	RESERVED	予備。	0x0	R
		4	BYPASS	LO 経路をバイパス。LO チェーンは、アサートされると、すべての通信器と分周器がオフになるように設定されます。IFMODE と LOMODE は影響を与えません。LO 入力は、LO アンプによってのみ RF ミキサーに接続されます。	0x1	R/W
		[3:2]	OFMODE	OFMODE。オフセット基準周波数インターフェイスで分周器を構成します。00: 1 通倍。分周器はイネーブルされません。 01: 2 分周モード。 10: 4 分周モード。 11: 分周器をオフ。オフセット基準信号を切断します。	0x2	R/W
		[1:0]	LOMODE	LOMODE。LO チェーンの通信器と分周器を設定します。 00: 2 分周。 01: 1 通倍 (1×)。 10: 2 通倍 (2×)。 11: 4 通倍 (4×)。	0x1	R/W
0x21	CT2	[7:5]	RESERVED	予備。	0x0	R
		[4:0]	CT2	CT2 フィルタ設定。LO インターフェイスの周波数 2 通倍器にフィルタの中心周波数を設定します。	0x0	R/W
0x22	CT4	[7:4]	RESERVED	予備。	0x0	R
		[3:0]	CT4	CT4 フィルタ設定値。LO インターフェイスの周波数 4 通倍器にフィルタの中心周波数を設定します。	0x0	R/W
0x23	FGAIN	7	RESERVED	予備。	0x0	R
		[6:0]	FGAIN	フォワード・ゲイン。IFFP および IFFM 出力へのフォワード・パスにおける IF アンプのゲインを 6dB ステップで設定します。10 進レジスタ値はゲインを dB 単位で表します。	0x0	R/W
0x24	RGAIN	7	RESERVED	予備。	0x0	R
		[6:0]	RGAIN	リバース・ゲイン。IFRP および IFRM 出力へのリバース・パスにおける IF アンプのゲインを 6dB ステップで設定します。10 進レジスタ値はゲインを dB 単位で表します。 表 11 を参照してください。	0x0	R/W
0x25	CIF2_CIF1	[7:4]	CIF2	狭帯域 IF フィルタ設定。狭帯域 IF フィルタのコーナー周波数を設定します。 図 25 を参照してください。	0x0	R/W
		[3:0]	CIF1	広帯域 IF フィルタ設定。広帯域 IF フィルタのコーナー周波数を設定します。 図 22 を参照してください。	0x0	R/W
0x26	TDEG	7	RESERVED	予備。	0x0	R

シリアル・ペリフェラル・インターフェイス

表 12. ADL5960 SPI レジスタの詳細（続き）

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[4:0]	TDEG	温度計レジスタ。温度計の 5 ビット読出し。 図 40 を参照してください。約 7.4°C/ステップ、-44.6°C で TDEG = 0 から TDEG = 1 へ遷移します。	0x0	R

代表的なアプリケーション・テスト回路

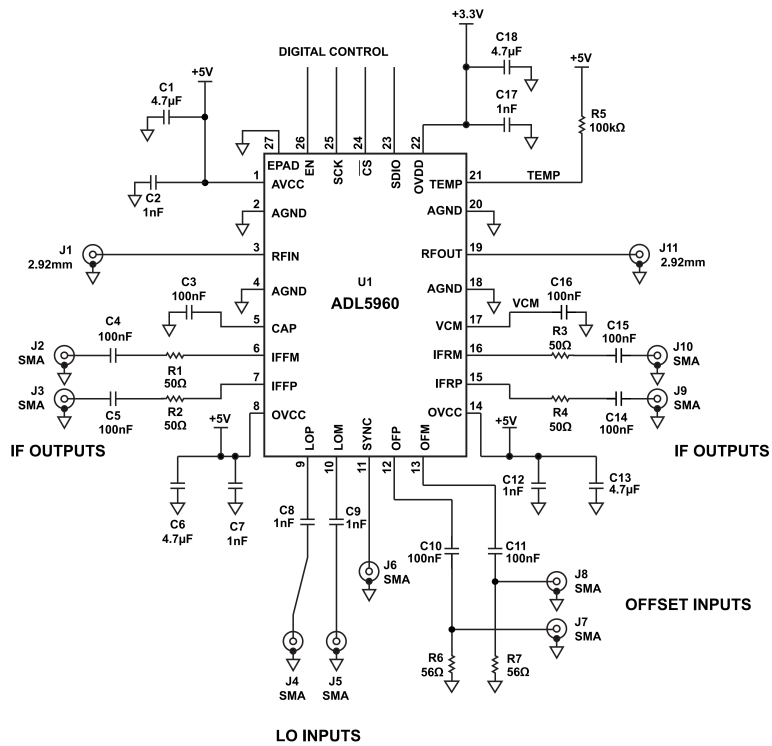


図 72. テスト回路

評価用ボードのコンポーネントの詳細については、[EVAL-ADL5960 ユーザ・ガイド](#)を参照してください。

外形寸法

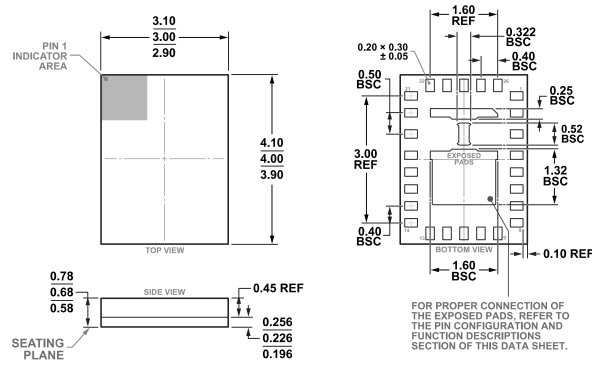


図 73.26 ピン・ランド・グリッド・アレイ [LGA]
3mm × 4mm
(CC-26-2)
単位：mm

更新：2023 年 7 月 5 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADL5960ACCZ	-40°C to +85°C	26-Lead Land Grid Array [LGA]		CC-26-2
ADL5960ACCZ-R2	-40°C to +85°C	26-Lead Land Grid Array [LGA]	Reel, 250	CC-26-2
ADL5960ACCZ-R7	-40°C to +85°C	26-Lead Land Grid Array [LGA]	Reel, 1500	CC-26-2

¹ Z = RoHS 準拠製品。

評価用ボード

Model ^{1, 2, 3}	Description
ADL5960-EVALZ	Evaluation Board
ADL5960-KIT-EVALZ	RF Evaluation Board Kit

¹ Z = RoHS 準拠製品。

² ADL5960-EVALZ パッケージにはボードのみが含まれています。

³ ADL5960-KIT-EVALZ には事前プログラム済みの [DC2026C](#) Linuino One コントローラ・ボードが含まれています。