



10dB ゲインの 完全差動 10GHz ADC ドライバ

データシート

ADL5580

特長

-3dB 帯域幅：10.0GHz
プリセットされている 10dB のゲインを抵抗の外付けで低減可能
差動信号またはシングルエンド信号を入力し、差動信号を出力
入力および出力を内部で DC カップリング
入力電圧ノイズ (NSD、RTI)：2.25nV/√Hz (100MHz 時)
低ノイズ入力段：11.3dB のノイズ指数 (1GHz 時)
+5.0V 電源および-1.8V 電源で低歪み、また 50Ω||1pF の
差動負荷で 1.4V p-p の差動出力
2GHz：-59.4dBc (HD2)、-54.3dBc (HD3)、
-68.2dBc (IMD3)
6GHz：-66dBc (HD2)、-88.1dBc (HD3)、
-48.3dBc (IMD3)
正電源電流：276mA (代表値) (5.0V 時)
負電源電流：-224mA (代表値) (-1.8V 時)
電源ディスエーブル

アプリケーション

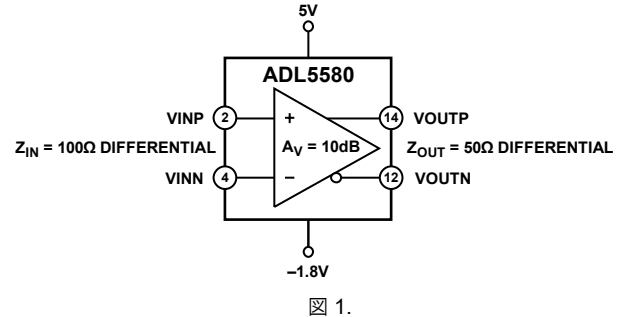
計測器および防衛アプリケーション

概要

ADL5580 は、10dB の電圧ゲインを持つ高性能のシングルエンドまたは差動のアンプで、DC~10.0GHz の範囲のアプリケーション向けに最適化されています。このアンプは、入力換算 (RTI) で 2.24nV/√Hz (1000MHz 時) という低いノイズ・スペクトル密度 (NSD) を実現し、広い周波数範囲にわたって歪み性能が最適化されているため、高速 12 ビット~16 ビットの A/D コンバータ (ADC) 向けに理想的なドライバになります。ADL5580 は、高性能、ゼロ中間周波数 (IF)、および複素 IF のレシーバーを設計する用途に適しています。更に、このデバイスは、シングルエンドの入力ドライバのアプリケーション向けに低歪みを実現します。

差動入力でのゲイン選択の際に、2 個の抵抗を直列に外付けすることにより、ゲインを 10dB より低い値に変更することができます。このデバイスは 0.5V の出力コモンモード電圧 (V_{CM}) で低歪みを維持すると同時に、最大 1.4V p-p のフルスケール・レベルで ADC を駆動できる柔軟な能力を備えています。ADL5580

機能ブロック図



を+5V 電源と-1.8V 電源で動作させた場合、正電源電流は+276mA (代表値) になり、負電源電流は-224mA (代表値) になります。このデバイスは電源ディスエーブル機能を備えており、電源をディスエーブルした場合、アンプの消費電力は 2mA になります。

ADL5580 は、DC~10.0GHz の周波数範囲で広帯域、低歪み、および低ノイズで動作するように最適化されています。このデバイスは、これらの特性を備えていると同時にゲインの調整が可能のため、多種多様な ADC、ミキサー、ピン・ダイオード・アッテネータ、表面弾性波 (SAW) フィルタ、および多くのデスクリーフ RF デバイスを駆動するための最適な選択肢になります。

ADL5580 は、アナログ・デバイス社の高速シリコン・ゲルマニウム (SiGe) プロセスで製造されており、小型の 4mm × 4mm、20 端子ランド・グリッド・アレイ (LGA) パッケージで供給され、-40°C~+85°C の温度範囲で動作します。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	コモンモード・ネットワークを使用した RF の入出力.....	15
アプリケーション.....	1	RF シグナル・チェーン.....	15
機能ブロック図.....	1	プログラマビリティ・ガイド.....	15
概要	1	SPI	15
改訂履歴	2	アプリケーション情報	16
仕様	3	基本的な接続方法	16
デジタル・ロジックのタイミング	6	入力および出力のインターフェース	17
絶対最大定格.....	8	レイアウト.....	17
熱抵抗	8	レジスタの一覧.....	18
ESD に関する注意.....	8	レジスタの詳細.....	19
ピン配置およびピン機能の説明.....	9	外形寸法.....	22
代表的な性能特性.....	10	オーダー・ガイド	22
動作原理	15		

改訂履歴

12/2020—Revision 0: Initial Version

仕様

特に指定のない限り、正電源電圧 (V_S) = +5.0V、負電源電圧 V_S = -1.8V、入力 V_{CM} = 1.7V、出力 V_{CM} = 0.5V、ソース・インピーダンス (R_S) = 100 Ω 差動、負荷インピーダンス (R_L) = 50 Ω 差動、出力電圧 (V_{OUT}) = 1.4V p-p コンボジット、ピーク容量 (C_{PEAK}) = 3、 T_A = 25°C、およびツー・トーン測定での信号間隔 = 2MHz。

表 1.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
DYNAMIC PERFORMANCE					
-3 dB Bandwidth ¹	$V_{OUT} \leq 1.4V$ p-p		10.0		GHz
Bandwidth, 1.0 dB Flatness	$V_{OUT} \leq 1.4V$ p-p		6		GHz
Voltage Gain (A_V)					
Differential Input	$R_L = 50\Omega 1pF$ 差動		10		dB
Single-Ended Input	$R_L = 50\Omega 1pF$ 差動		10		dB
Gain Supply Sensitivity	正電源電圧 $V_S \pm 5\%$ および 負電源電圧 $V_S \pm 5\%$		128		mdB/V
Gain Temperature Sensitivity	$T_A = -40^\circ C \sim +85^\circ C$		10.7		mdB/ $^\circ C$
Slew Rate	立上がり、 $V_{OUT} = 1.4V$ p-p ステップ		24		V/ns
	立下がり、 $V_{OUT} = 1.4V$ p-p ステップ		24		V/ns
Settling Time	1.4V ステップから 1% まで		2.4		ns
Overdrive Settling Time	差動出力電圧 : 2.8V p-p		640		ps
EN Response Time	シャットダウン・モードから		20		ns
	シャットダウン・モードまで		6		ns
Reverse Isolation (SDD12)	周波数 = 1000MHz		-70		dB
Input to Output Isolation when Disabled	周波数 = 1000MHz、EN ピンをローに設定		-87		dBc
INPUT AND OUTPUT CHARACTERISTICS					
Input V_{CM}	V_{CMI}		1.7		V
Input Resistance					
Differential			100		Ω
Single-Ended			100		Ω
Common-Mode Rejection Ratio (CMRR)	周波数 = 1000MHz		32.9		dB
Output V_{CM}	V_{CMO}		0.5		V
Output Resistance (Differential)			50		Ω
V_{CMI} and V_{CMO} Input Impedance			10		k Ω
Input Common-Mode					
Offset			97.7		mV
Drift	$T_A = 25^\circ C \sim 85^\circ C$		0.188		mV/ $^\circ C$
Input Differential Offset					
Voltage			0.4		mV
Drift	$T_A = -40^\circ C \sim +25^\circ C$		3.076		$\mu V/^\circ C$
Output Common-Mode					
Offset			6.6		mV
Drift	$T_A = -40^\circ C \sim +25^\circ C$		0.119		mV/ $^\circ C$
Output Differential Offset					
Voltage			0.4		mV
Drift	$T_A = 25^\circ C \sim 85^\circ C$		6.666		$\mu V/^\circ C$
Maximum Output Voltage Swing	周波数 = 1000MHz、1dB 圧縮ポイント		5		V p-p

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
NOISE AND HARMONIC PERFORMANCE					
Input Signal Frequency, 100 MHz					
Second Harmonic Distortion (HD2)			-77.2		dBc
Third Harmonic Distortion (HD3)			-74.2		dBc
Output Third-Order Intercept (OIP3)			43.6		dBm
Third-Order Intermodulation Distortion (IMD3)			-84.7		dBc
Output Second-Order Intercept (OIP2)			77.7		dBm
Second-Order Intermodulation Distortion (IMD2)			-76.4		dBc
Output 1 dB Compression Point (OP1dB)			17.5		dBm
Noise Figure			11.3		dB
NSD, RTI ²			2.25		nV/√Hz
Input Signal Frequency, 500 MHz					
HD2			-66.4		dBc
HD3			-66.1		dBc
OIP3			40.3		dBm
IMD3			-78.2		dBc
OIP2			66.8		dBm
IMD2			-65.6		dBc
OP1dB			17.5		dBm
Noise Figure			11.2		dB
NSD, RTI ²			2.23		nV/√Hz
Input Signal Frequency, 1000 MHz					
HD2			-66.3		dBc
HD3			-61.1		dBc
OIP3			38.1		dBm
IMD3			-73.5		dBc
OIP2			65.9		dBm
IMD2			-64.7		dBc
OP1dB			17.5		dBm
Noise Figure			11.3		dB
NSD, RTI ²			2.24		nV/√Hz
Input Signal Frequency, 2000 MHz					
HD2			-59.4		dBc
HD3			-54.3		dBc
OIP3			35.3		dBm
IMD3			-68.2		dBc
OIP2			60.2		dBm
IMD2			-59.1		dBc
OP1dB			17.5		dBm
Noise Figure			11.4		dB
NSD, RTI ²			2.26		nV/√Hz

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
Input Signal Frequency, 3000 MHz					
HD2			−60.6		dBc
HD3			−47.1		dBc
OIP3			32.8		dBm
IMD3			−63.2		dBc
OIP2			69.8		dBm
IMD2			−68.6		dBc
OP1dB			17.5		dBm
Noise Figure			10.9		dB
NSD, RTI ²			2.13		nV/√Hz
Input Signal Frequency, 4000 MHz					
HD2			−58		dBc
HD3			−54.8		dBc
OIP3			30.7		dBm
IMD3			−53.9		dBc
OIP2			58.6		dBm
IMD2			−57.3		dBc
OP1dB			18.0		dBm
Noise Figure			10.3		dB
NSD, RTI ²			1.96		nV/√Hz
Input Signal Frequency, 5000 MHz					
HD2			−60		dBc
HD3			−72.1		dBc
OIP3			28.1		dBm
IMD3			−53.9		dBc
OIP2			60.9		dBm
IMD2			−59.7		dBc
OP1dB			17.5		dBm
Noise Figure			10.0		dB
NSD, RTI ²			1.90		nV/√Hz
Input Signal Frequency, 6000 MHz					
HD2			−66		dBc
HD3			−88.1		dBc
OIP3			25.4		dBm
IMD3			−48.3		dBc
OIP2			67.3		dBm
IMD2			−66.1		dBc
OP1dB			17.0		dBm
NF			9.5		dB
NSD, RTI ²			1.78		nV/√Hz
DIGITAL LOGIC					
Input Voltage	SCLK、SDIO、 $\overline{\text{CS}}$ 、および EN				
High (V _{IH})		1.07			V
Low (V _{IL})				0.68	V
Input Current					
High (I _{IH})				−100	μA
Low (I _{IL})				100	μA

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
Output Voltage	SDIO				
At 1.8 V	レジスタ 0x200、ビット 0 = 0x0				
High (V _{OH})	ハイ・レベル出力電流 (I _{OH}) = -100μA または -1mA、静的な負荷	1.5			V
Low (V _{OL})	ロー・レベル出力電流 (I _{OL}) = 100μA または 1mA、静的な負荷			0.2	V
At 3.3 V	レジスタ 0x200、ビット 0 = 0x1				
V _{OH}	I _{OH} = -100μA または -1mA、静的な負荷	2.7			V
V _{OL}	I _{OL} = 100μA または 1mA、静的な負荷			0.2	V
SUPPLY AND POWER SPECIFICATIONS					
Power			1.76		W
Shutdown Power	室温時		11		mW
Shutdown Current	室温時		2		mA
Positive Supply					
Voltage (V _{PAVCC})	5%	4.75	5.0	5.25	V
Current (I _{PAVCC})			276		mA
Negative Supply					
Voltage (V _{MAVEE})	5%	-1.7	-1.8	-1.89	V
Current (I _{MAVEE})			-224		mA

¹ S パラメータは、テスト対象デバイス (DUT) 自体で取得されます。プリント回路基板 (PCB) は測定に使用されません。

² NSD RTI は、R_S = R_L と仮定して、ノイズ指数から以下のように計算されます。

$$NSD(RTI) = \frac{1}{2} \times \sqrt{4kT \times (10^{NF/10} - 1) \times R_{IN}}$$

ここで、

k はボルツマン定数で、 $1.381 \times 10^{-23} \text{ J/K}$ に相当します。

T は、ノイズ指数を評価するための標準絶対温度で、290K に相当します。

R_{IN} は、このアンプの差動入力インピーダンスで、100Ω に相当します。

デジタル・ロジックのタイミング

表 2.

パラメータ	説明	Min	Typ	Max	単位
f _{SCLK}	最大シリアル・クロック・レート、1/t _{SCLK} (t _{SCLK} は SCLK の時間)		25		MHz
t _{PWH}	SCLK をロジック・ハイに保持する最小時間		10		ns
t _{PWL}	SCLK をロジック・ローに保持する最小時間		10		ns
t _{DS}	データと SCLK の立上がりエッジ間のセットアップ・タイム		5		ns
t _{DH}	データと SCLK の立上がりエッジ間のホールド・タイム		5		ns
t _{DCS}	$\overline{\text{CS}}$ の立下がりエッジと SCLK の立上がりエッジ間のセットアップ・タイム		10		ns
t _H	$\overline{\text{CS}}$ の立上がりエッジと最後の SCLK の立下がりエッジ間のホールド・タイム		10		ns
t _{DV}	読出し動作時に SCLK の立下がりエッジから出力データが有効になるまでの最大時間遅延		5	14	ns
t _Z	$\overline{\text{CS}}$ の非アクティブから SDIO バスがハイ・インピーダンスに戻るまでの最大遅延時間			12	ns

タイミング図

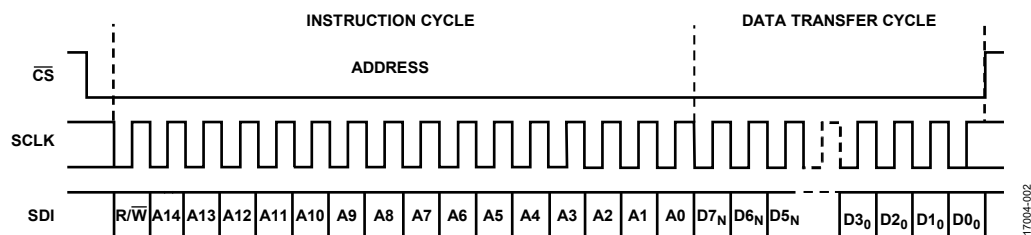


図 2. シリアル・ポート・インターフェースにおけるレジスタのタイミング、MSB ファースト

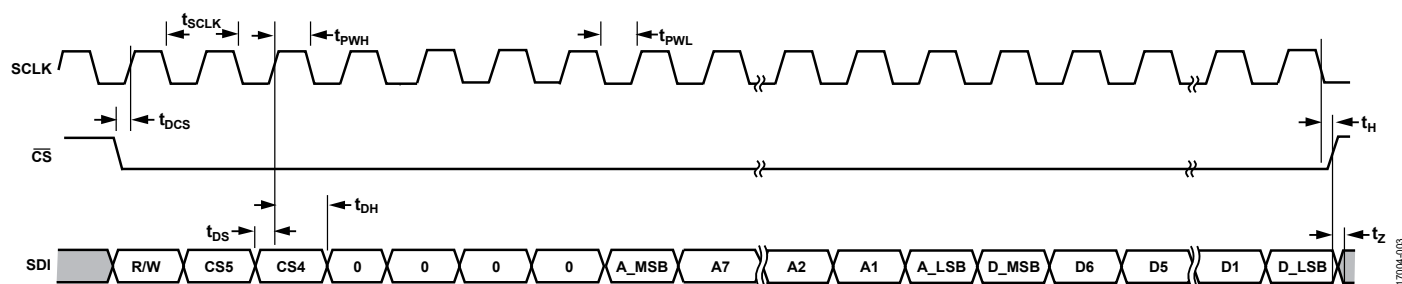


図 3. シリアル・ポート・インターフェースにおけるレジスタ書き込みのタイミング図

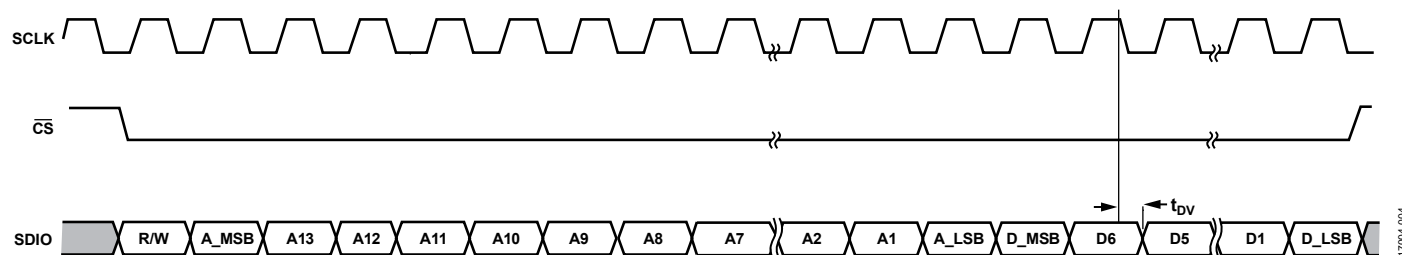


図 4. シリアル・ポート・インターフェースにおけるレジスタ読出しのタイミング図

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	
At PAVCC	5.5 V
At MAVEE	−1.98 V
RF Input Power (VINP and VINN) at 100 Ω	±350 mV
CS, SCLK, SDIO, and EN	−0.3 V to +3.6 V
Temperature	
Operating Range	−40°C to +85°C
Maximum Junction	125°C
Storage	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

表 4. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JCTOP}	$\theta_{JCBOTTOM}$	θ_{JB}	ψ_{JT}	ψ_{JB}	Unit
CC-20-7	53.5	24.3	20.9	24.2	6.0	25.5	°C/W

¹ 仕様規定されている熱抵抗値は、JEDEC 仕様の JESD-51 に基づいて計算しています。

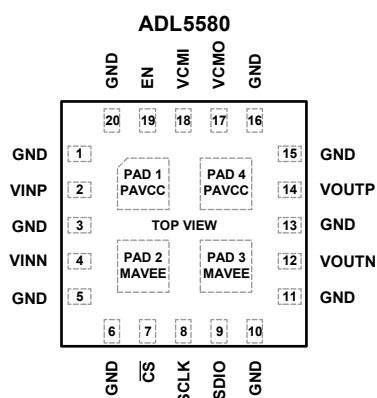
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. PAD 1 AND PAD 4 ARE THE POSITIVE VOLTAGE SUPPLY, 5.0V.
 2. PAD 2 AND PAD 3 ARE THE NEGATIVE VOLTAGE SUPPLY, -1.8V.

17004-005

図 5. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 3, 5, 6, 10, 11, 13, 15, 16, 20	GND	グラウンド。GND ピンをグラウンドに接続します。
2	VINP	正側の RF 入力 (RFIN) 信号。VINP は、アンプの平衡差動入力の正側です。
4	VINN	負側の RFIN 信号。VINN は、アンプの平衡差動入力の負側です。
7	$\overline{\text{CS}}$	シリアル・ペリフェラル・インターフェース (SPI) のチップ・セレクト。 $\overline{\text{CS}}$ はデジタル入力です。
8	SCLK	SPI シリアル・クロック。SCLK はデジタル入力です。
9	SDIO	SPI シリアル・データの入出力。SDIO はデジタルの入出力です。
12	VOUTN	負側の RF 出力 (RFOUT) 信号。VOUTN は、アンプの平衡差動出力の負側です。
14	VOUTP	正側の RFOUT 信号。VOUTP は、アンプの平衡差動出力の正側です。
17	VCMO	RF 出力信号用の V_{CMO} 。
18	VCMO	RF 入力信号用の V_{CMO} 。
19	EN	デジタル入力電源イネーブル。
PAD1, PAD4	PAVCC	正電圧電源、5.0V。
PAD2, PAD3	MAVEE	負電圧電源、-1.8V。

代表的な性能特性

特に指定のない限り、正電源電圧 $V_S = 5.0V$ 、負電源電圧 $V_S = -1.8V$ 、入力 $V_{CM} = 1.7V$ 、出力 $V_{CM} = 0.5V$ 、 $R_S = 100\Omega$ 差動、 $R_L = 50\Omega$ 差動、 $V_{OUT} = 1.4V$ p-p コンボジット、 $C_{PEAK} = 3$ 、 $T_A = 25^\circ C$ 、およびツーン測定での信号間隔 = 2MHz。

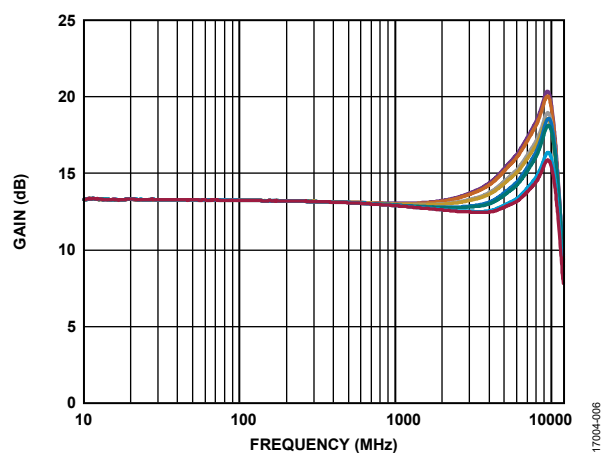


図 6. ゲインの周波数特性、 $C_{PEAK} = 0$ から $C_{PEAK} = 7$ まで、電源 = 公称、温度 = $25^\circ C$

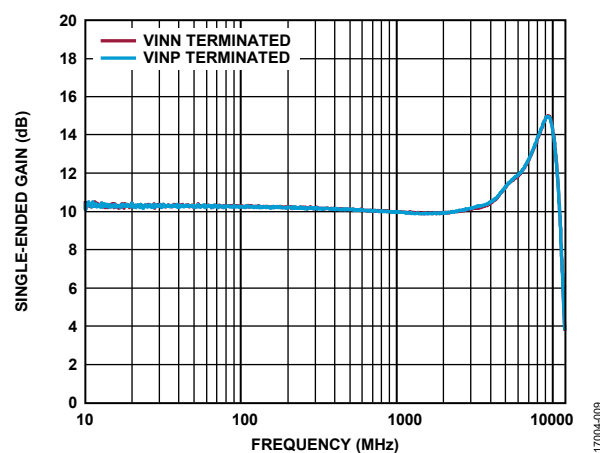


図 9. シングルエンド・ゲインの周波数特性、温度 = $25^\circ C$ 、 $C_{PEAK} = 3$ 、電源 = 公称

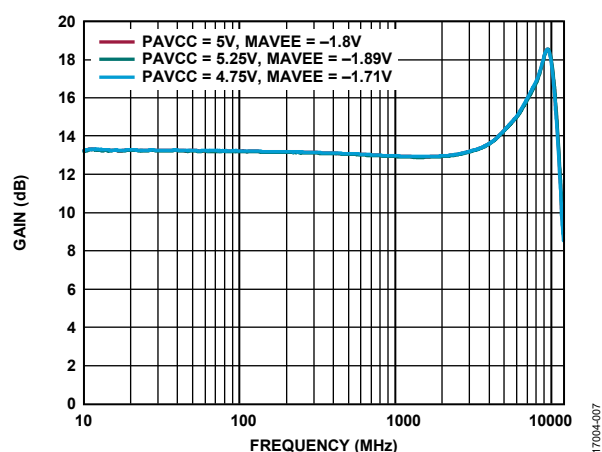


図 7. 様々な電源でのゲインの周波数特性、 $C_{PEAK} = 3$ 、温度 = $25^\circ C$

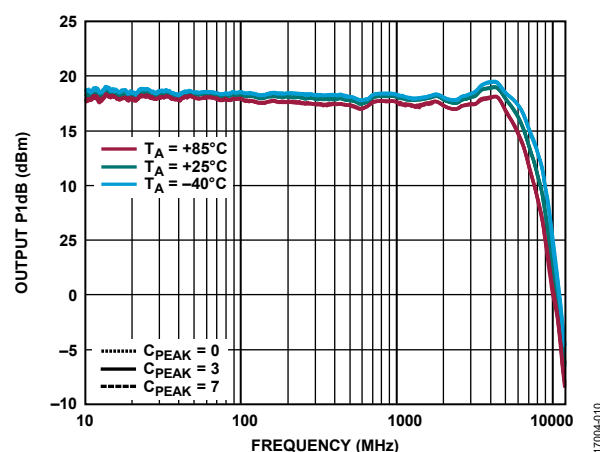


図 10. 様々な温度での出力 P1dB の周波数特性、電源 = 公称、 $C_{PEAK} = 0$ 、 $C_{PEAK} = 3$ 、および $C_{PEAK} = 7$

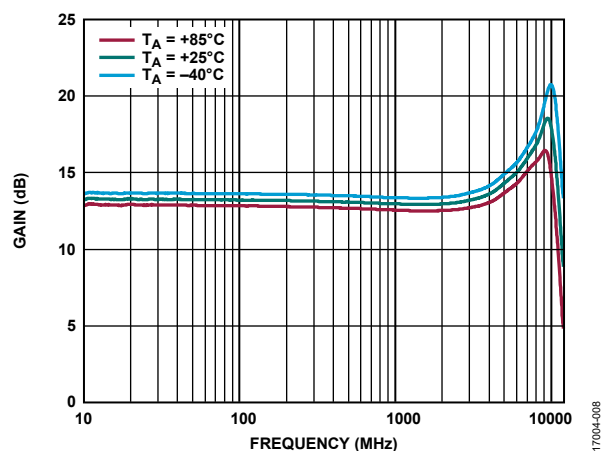


図 8. 様々な温度でのゲインの周波数特性、 $C_{PEAK} = 3$ 、電源 = 公称

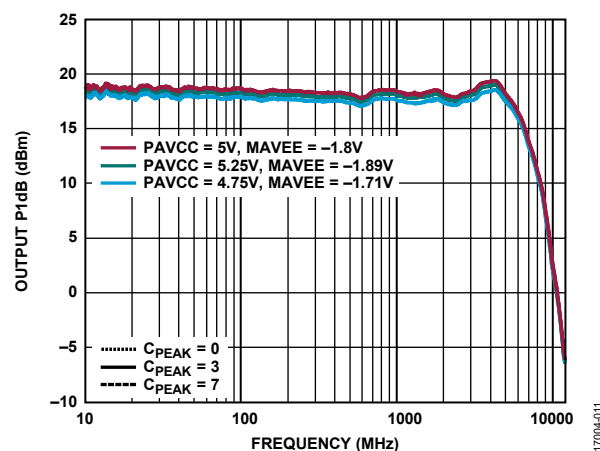


図 11. 様々な電源での出力 P1dB の周波数特性、温度 = $25^\circ C$ 、 $C_{PEAK} = 0$ 、 $C_{PEAK} = 3$ 、および $C_{PEAK} = 7$

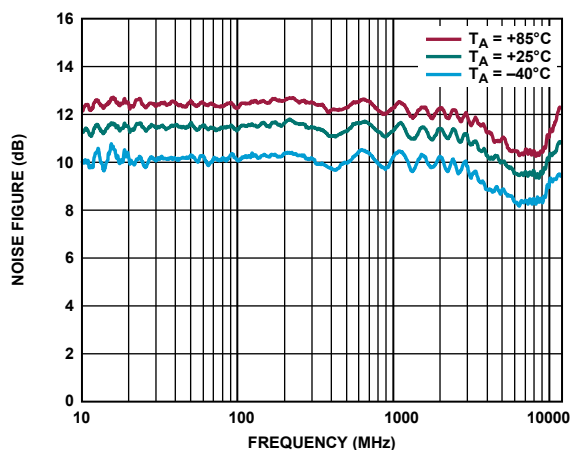


図 12. 様々な温度でのノイズ指数の周波数特性、
 $C_{PEAK} = 3$ 、電源 = 公称

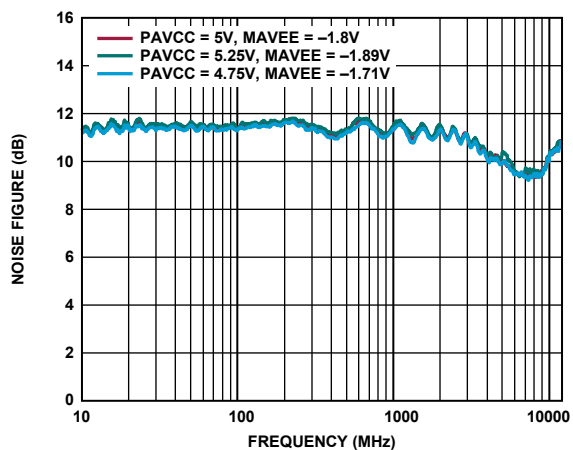


図 13. 様々な電源でのノイズ指数の周波数特性、
 $C_{PEAK} = 3$ 、温度 = 25°C

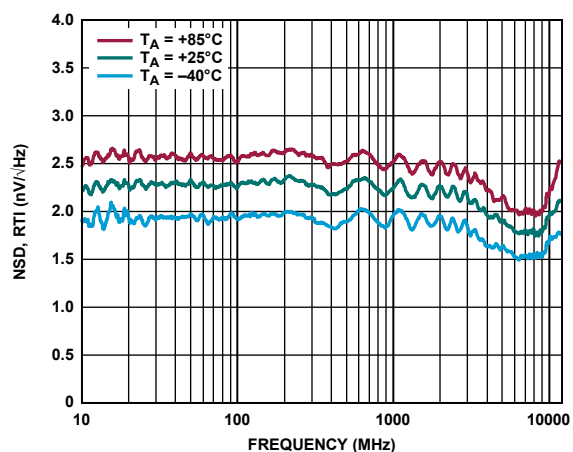


図 14. 様々な温度での NSD、RTI の周波数特性、
電源 = 公称、 $C_{PEAK} = 3$

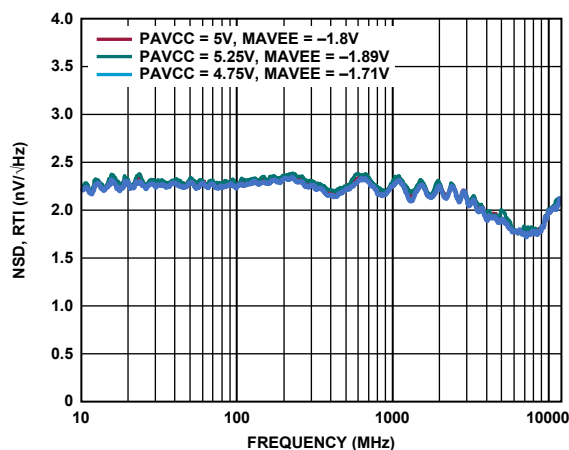


図 15. 様々な電源での NSD、RTI の周波数特性、
温度 = 25°C、 $C_{PEAK} = 3$

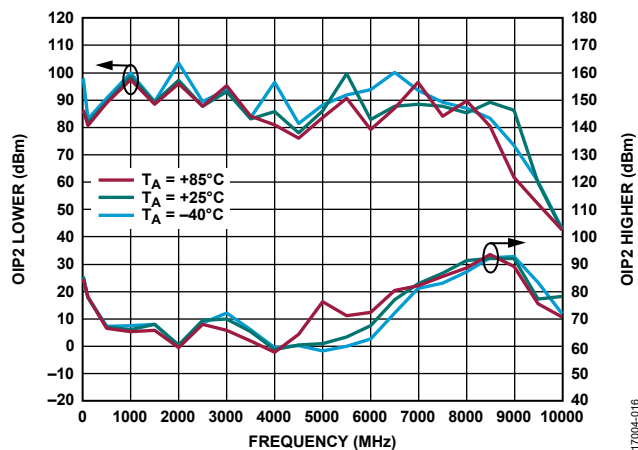


図 16. 様々な温度での OIP2 (低い方) および OIP2 (高い方) の
周波数特性、電源 = 公称、 $C_{PEAK} = 7$

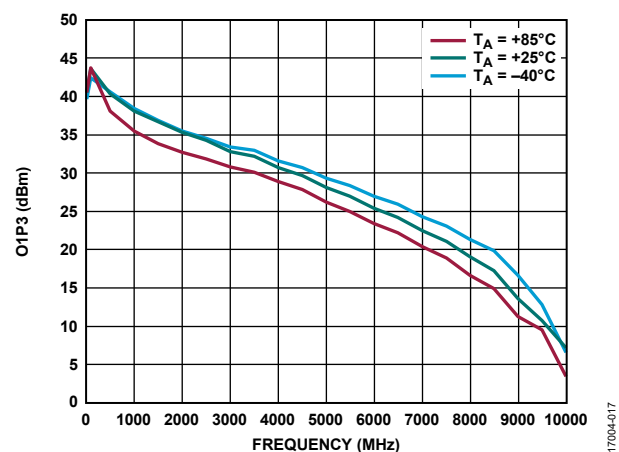


図 17. 様々な温度での OIP3 の周波数特性、
電源 = 公称、 $C_{PEAK} = 7$

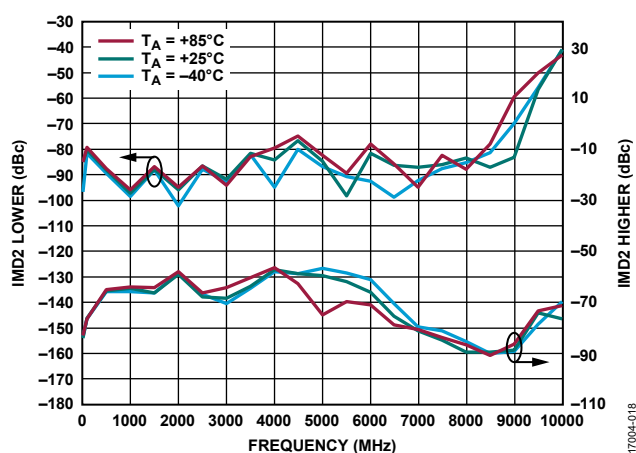


図 18. 様々な温度での IMD2（低い方）および IMD2（高い方）の周波数特性、電源 = 公称、 $C_{PEAK} = 7$

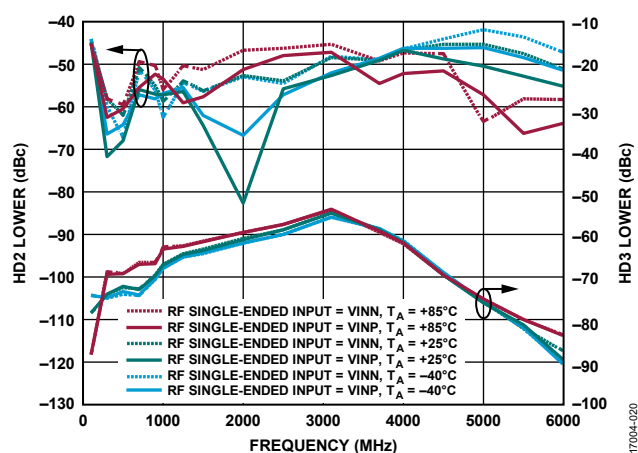


図 21. 様々な温度での HD2（低い方）および HD3（低い方）の周波数特性、 $C_{PEAK} = 7$

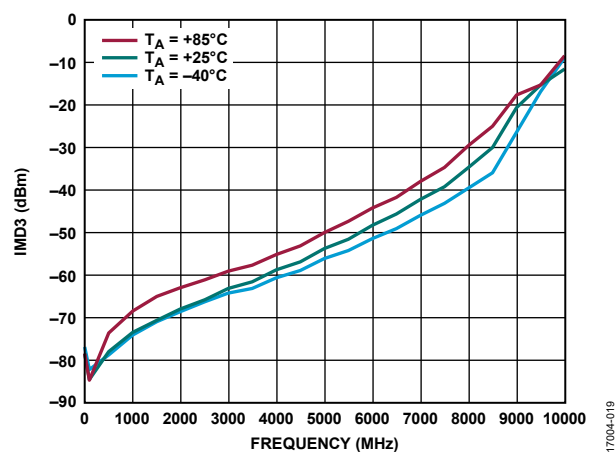


図 19. 様々な温度での IMD3 の周波数特性、電源 = 公称、 $C_{PEAK} = 7$

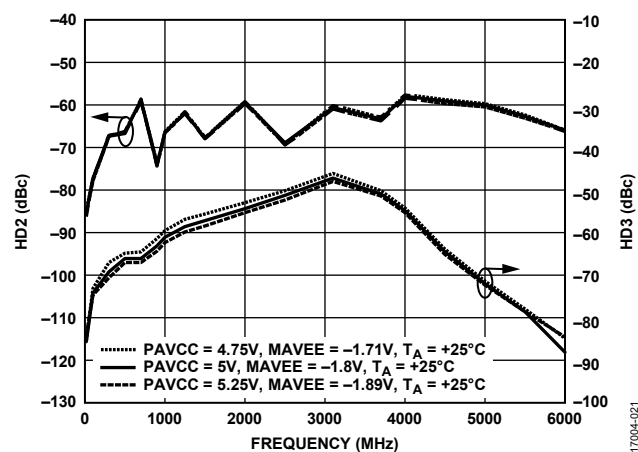


図 22. HD2 および HD3 の周波数特性、温度 = 公称、電源 = 公称、および $C_{PEAK} = 7$

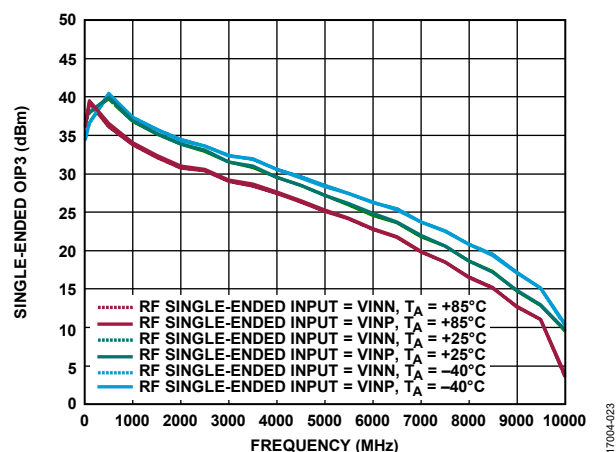


図 20. 様々な温度でのシングルエンド OIP3 の周波数特性

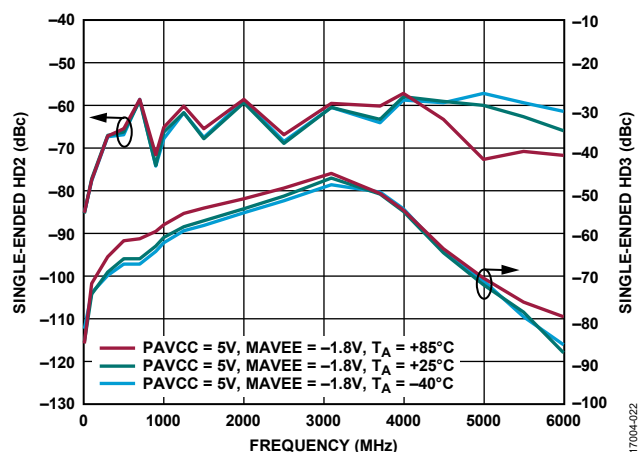


図 23. 様々な温度でのシングルエンドの HD2 および HD3 の周波数特性

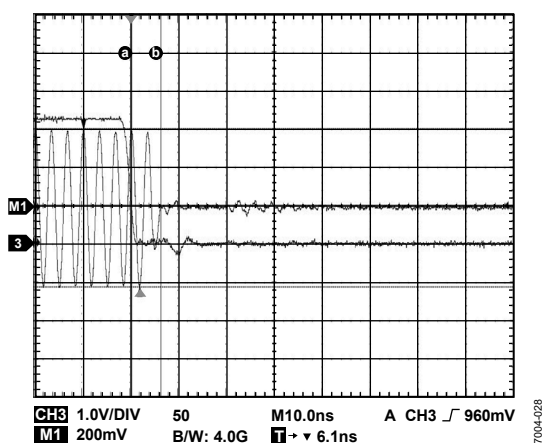


図 24. イネーブルの時間軸応答性 (チャンネル 3 (3) はイネーブル電圧、マーカー 1 (M1) は出力電圧)

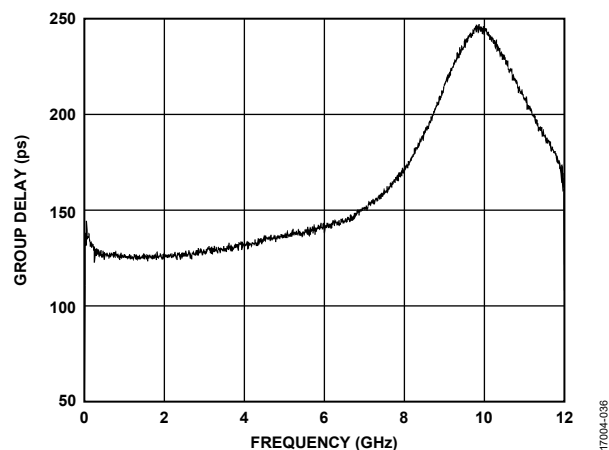


図 27. 群遅延の周波数特性

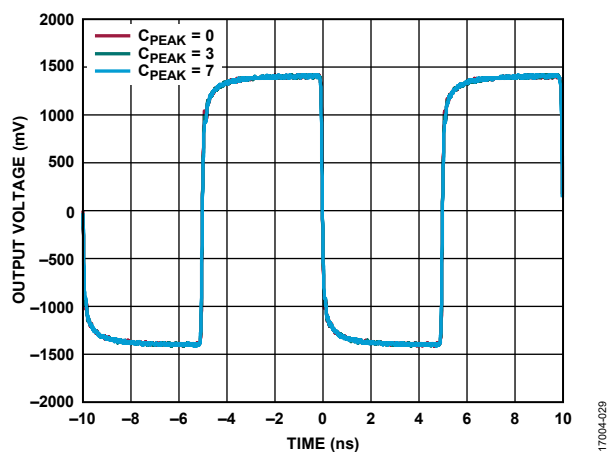


図 25. 大信号パルス応答

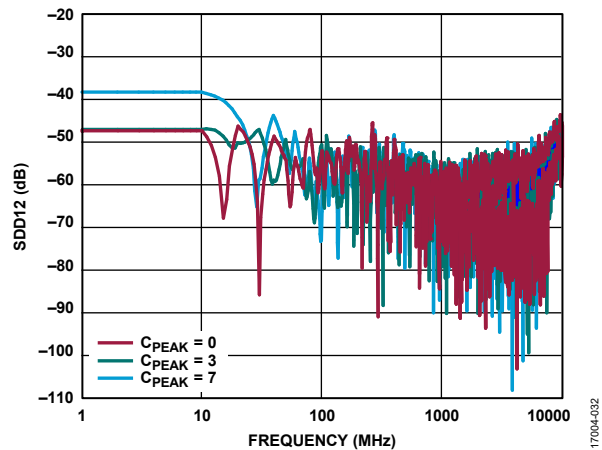


図 28. SDD12 の周波数特性
(赤: $C_{PEAK} = 0$ 、緑: $C_{PEAK} = 3$ 、および青: $C_{PEAK} = 7$)

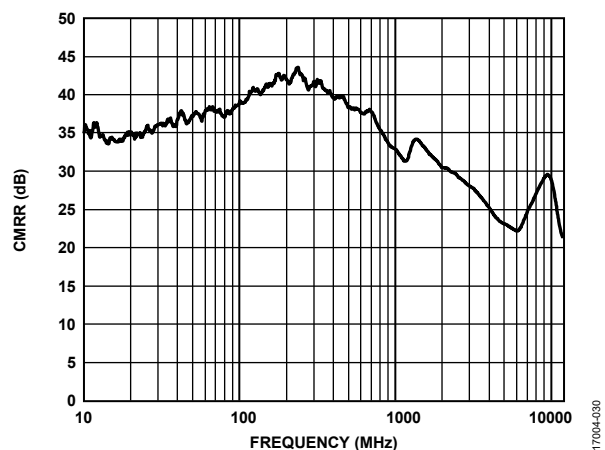


図 26. CMRR の周波数特性

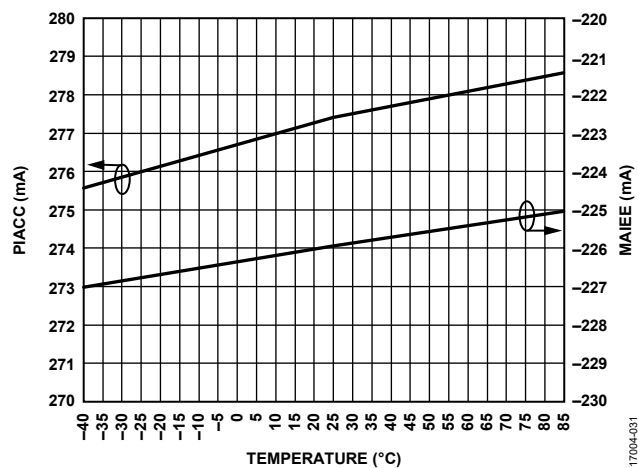


図 29. PAVCC 電流 (PIACC) と MAVEE 電流 (MAIEE) の温度特性

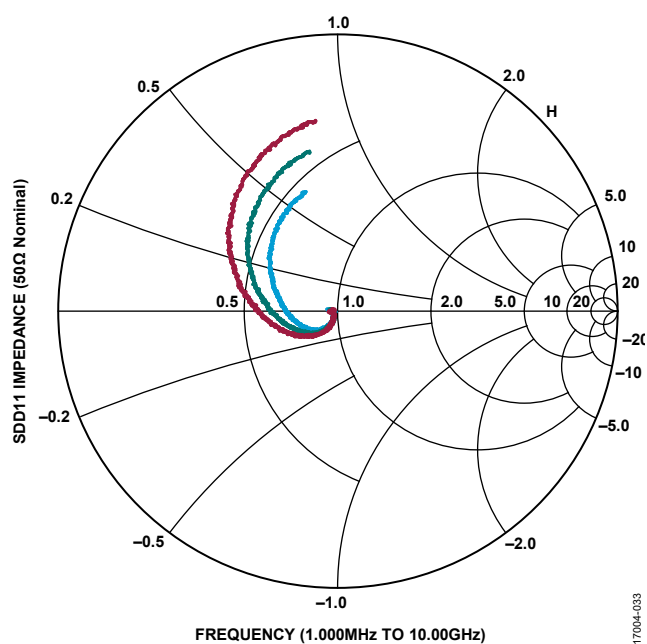


図 30. SDD11 インピーダンスの周波数特性
(赤: $C_{PEAK} = 0$ 、緑: $C_{PEAK} = 3$ 、および青: $C_{PEAK} = 7$)
(SDD11 は差動 S11)

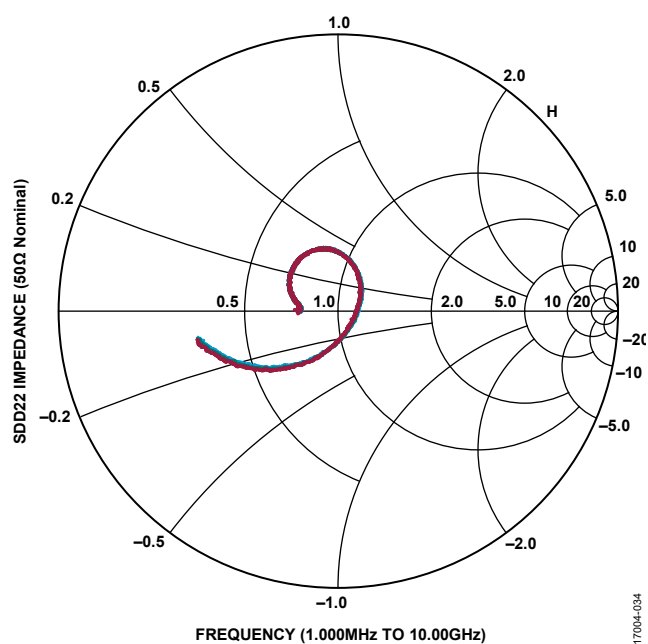


図 31. SDD22 インピーダンスの周波数特性
(赤: $C_{PEAK} = 0$ 、緑: $C_{PEAK} = 3$ 、および青: $C_{PEAK} = 7$)

動作原理

ADL5580 は、固定電圧ゲイン（10dB）、完全差動、高直線性を特長とするアンプであり、ADC ドライバでもあります。このアンプは、2つの電源電圧（+5V および -1.8V）で動作します。

小信号の -3dB 帯域幅は 10.0GHz で、また、ADL5580 に内蔵された構成要素のすべてを、SPI を介してプログラムできます。

コモンモード・ネットワークを使用した RF の入出力

入力インピーダンスが 100Ω 差動で、出力インピーダンスが 50Ω 差動であるため、マッチング・ネットワークなしで 50Ω 差動入力の AD9213 のような ADC を直接駆動できます。50Ω 差動以外の負荷条件の場合は、外部に終端ネットワークが必要です。

入出力の終端ブロックには 4 つの動作モードがあり、レジスタ 0x100 のビット [7:0] を通じて入出力のコモンモード動作を設定できます（表 7 を参照）。

モード 00 の場合、入力終端ブロックの V_{CM} 端子と出力終端ブロックの V_{CM} 端子を外部から駆動する必要があります。

モード 01 の場合、内部の電圧ジェネレータ（電圧は 2 ビットで制御される）がアクティブになり、入出力の終端ブロックの各 V_{CM} 端子は内部リファレンス電圧に駆動されます。内部リファレンス電圧と接続終端ブロックの V_{CM} が異なる場合、システムの動作は不定になるため、これを回避する必要があります。

モード 10 はモード 01 と同様ですが、内部の V_{CM} が接続終端ブロックに伝えられる際に、 V_{CMO} ピンと V_{CMI} ピンが内部リファレンス電圧に駆動される点が異なります。

V_{CMx} ピン用の電圧を外部から供給する際は、モード 11 を使用して内部の V_{CM} 終端を設定します。

RF シグナル・チェーン

ADL5580 は、平坦性や広帯域化を最適化するために制御レベルを追加しています。平坦性が重要なアプリケーションでは、ADL5580 は平坦性を最適化するために動作帯域幅を犠牲にしています。但し、動作帯域幅が重要な場合は、ADL5580 はピーク制御ビット PRG_CPEAK_1P8V（レジスタ 0x101、ビット [6:4]）を通じてチューニング・オプションを提供しています。

イネーブル

イネーブル・ビット（EN_AMP_1P8V と EN_REF_1P8V）は、レジスタ 0x101 のビット 1 とビット 0 に位置しています。これらの特別なイネーブル・ビットは、アンプ（EN_AMP_1P8V）とリファレンス（EN_REF_1P8V）のイネーブルを制御します。ADL5580 は、リアルタイムな外部ピンである EN ピン（19 番ピン）を使用することにより、SPI の遅延なしでイネーブルまたはディスエーブルを行うことができます。

プログラマビリティ・ガイド

レジスタ・マップの一覧を見ると、レジスタは、表 6 に示すように 3 つのメモリ・マップの機能ブロックに分割されます。ADL5580 のすべてのレジスタを記載した完全なリストについては、表 9 を参照してください。

表 6. メモリ・マップの機能ブロック

レジスタ・アドレス	機能ブロック
0x000 to 0x011	アナログ・デバイセズの SPI 設定
0x100 to 0x101, 0x200	信号経路の設定、イネーブル
0x300	直線性の最適化（オプション）

SPI

ADL5580 の SPI を使用すると、3 線式 SPI ポートを介して、デバイスが特定の機能や動作を実行するように設定できます。この機能や動作には、イネーブル・ブロック、バイアス電流レベル、伝達関数のピーキング、入出力の終端ブロックにおける動作モードの変更、および特定の動作モードにおける入出力の V_{CM} 終端の変更などがあります。この SPI によって、柔軟性とカスタム化を付加できます。SPI は SCLK、SDIO、および CS の 3 本の制御ラインで構成されています。SPI ポートのタイミング条件を表 2 に示します。

ADL5580 の書込みサイクルでの入力ロジック・レベルは、1.8V のロジック・レベルです。

読出しサイクルでは、SPI_1P8_3P3_CTRL ビット（レジスタ 0x200、ビット 0）を設定することで、SDIO を 1.8V（デフォルト）または 3.3V の出力レベルに設定できます。

表 7. コモンモード・セットアップ・モード

Mode	Register 0x100, Bits[7:6]	Register 0x100, Bits[5:4]		Register 0x100, Bits[3:2]	Register 0x100, Bits[1:0]	
	Output V_{CM} (V)	Output Internal V_{CM}	V_{CMO} Pin	Input V_{CM} (V)	Input Internal V_{CM}	V_{CMI} Pin
00	0.41	Disabled	Disconnect	1.39	Disabled	Disconnect
01	0.51	Enabled	Disconnect	1.53	Enabled	Disconnect
10	0.60	Enabled	Export	1.67	Enabled	Export
11	0.70	Disabled	Import	1.80	Disabled	Import

アプリケーション情報

基本接続図を図 32 に示し、ADL5580 の動作を表 8 に示します。

ADL5580 は、電源の影響を受けやすいデバイスです。内部のデジタル・ロジックに問題が起こらないようにするため、電源電圧はグリッジなしで単調に増加するように、引き上げと印加が行われる必要があります。

ADL5580 では、図 32 に示すように AC カップリングが可能です。また、仕様規定された入出力の各 V_{CM} の範囲内にある限り、DC カップリングも可能です。

基本的な接続方法

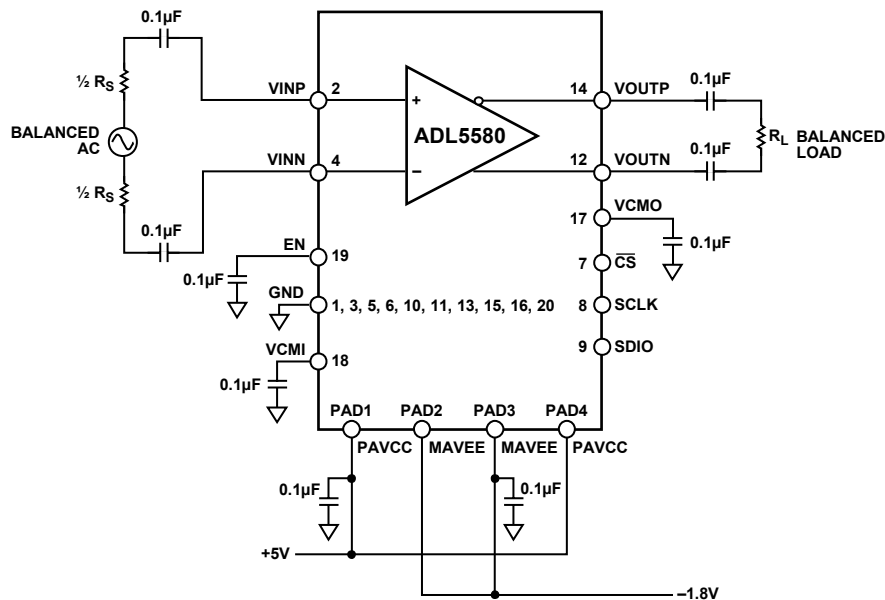


図 32. 基本接続図

表 8. ADL5580 の基本的な接続方法

機能ブロック	ピン番号	記号	説明	基本的な接続方法
5 V	PAD1, PAD4	PAVCC	アンプのアナログ電源電圧、5V	各 PAVCC パッドとグラウンドの間に 100pF と 1µF のコンデンサを配置してデカップリングを行います。デカップリング・コンデンサは、確実にパッドの近くに配置してください。
-1.8 V	PAD2, PAD3	MAVEE	アンプのアナログ電源電圧、-1.8V	各 MAVEE パッドとグラウンドの間に 100pF と 1µF のコンデンサを配置してデカップリングを行います。デカップリング・コンデンサは、確実にパッドの近くに配置してください。
RF Input	2 4 18	VINP VINN VCMI	差動 RF 入力 正側の RF 入力 負側の RF 入力 RF 入力信号用の V_{CM}	これらのピンを差動構成に接続します。
RF Output	12 14 17	VOUTN VOUTP VCMO	差動 RF 出力 負側の RF 出力 正側の RF 出力 RF 出力信号用の V_{CM}	この RF 出力をパワー・メータ、ネットワーク・アナライザ、ノイズ指数メータ、またはスペクトラム・アナライザに接続します。
Serial Port	7 8 9	CS SCLK SDIO	チップ・セレクト (アクティブ・ロー) SPI クロック SPI データの入出力	許容ロジック・レベル：1.8V～3.3V。 許容ロジック・レベル：1.8V～3.3V。 許容ロジック・レベル：1.8V～3.3V。
AMP Control	19	EN	アンプ・イネーブル	許容ロジック・レベル：1.8V～3.3V。
Ground	1, 3, 5, 6, 10, 11, 13, 15, 16, 20	GND	グラウンド	GND ピンを PCB のグラウンドに接続します。

入力および出力のインターフェース

差動入力／差動出力

ADL5580 は、差動入力／差動出力ドライバとして構成できます（図 33 を参照）。 100Ω の入力インピーダンスに 50Ω の抵抗（R1 と R2）を組み合わせ、1:1 バランを使用すると、 50Ω の入力をマッチングさせることができます。入力と出力に $0.1\mu\text{F}$ のコンデンサを使用すると、入力ピンと出力ピンのコモンモード・バイアス電圧（ V_{BIAS} ）をソースと平衡負荷から分離できます。期待どおりの AC 性能を引き出すには、負荷を 50Ω にします。

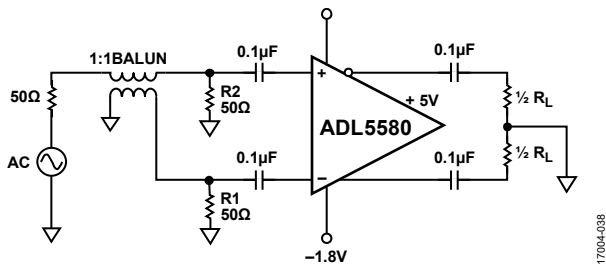


図 33. 差動入力から差動出力までの構成

ADL5580 の差動ゲインは、図 34 に示すように、ソース・インピーダンスと負荷によって決まります。

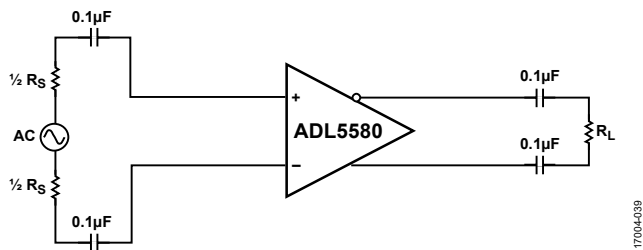


図 34. 差動入力負荷回路

シングルエンド入力／差動出力

ADL5580 は、シングルエンド入力／差動出力ドライバとして構成することもできます。この構成では、アンプの片側のみに信号が印加されるため、デバイスのゲインは減少します。入力と出力に $0.1\mu\text{F}$ のコンデンサを使用すると、入力ピンと出力ピンの V_{CM} をソースと平衡負荷から分離できます。

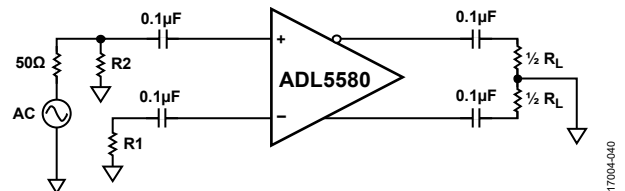


図 35. シングルエンド入力から差動出力までの構成

ADL5580 は、直線性の高い出力、固定ゲイン、DC カップリングを特長とするアンプで、数ギガでサンプリングする ADC のインターフェース向けに最適です。オープンループ・アーキテクチャであるため、 50Ω 差動の DC 出力負荷を想定しています。最大の直線出力振幅は、 1.4V p-p 差動用に最適化されています。

レイアウト

ADL5580 下面の 4 つの露出電源パッドを、熱抵抗および電気インピーダンスの低い電源プレーンにハンダ付けします。通常、これらのパッドは評価用ボードのハンダ・マスクで覆われていない開口部にハンダ付けします。ADL5580-EVALZ の各露出電源パッドに 4 つのビア・ホールが形成されていることに注目してください。これらの電源ビアを評価用ボードの電源層に接続し、デバイス・パッケージからの放熱をできる限り良くします。評価用ボードの詳細については、ADL5580-EVALZ の製品ページを参照してください。

デカップリング・コンデンサは、確実に電源電圧ピンの近くに配置してください。

レジスタの一覧

表 9.

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x000	ADI_SPI_CONFIG	[7:0]	SOFTRESET_	LSB_FIRST_	ENDIAN_	SDOACTIVE_	SDOACTIVE	ENDIAN	LSB_FIRST	SOFTRESET	0x00	R/W	
0x001	REG_0X0001	[7:0]	SINGLE_INTSTRÜCTION	CSB_STALL	MASTER_SLAVE_RB	RESERVED		SOFT_RESET		MASTER_SLAVE_TRANSFER	0x00	R/W	
0x003	CHIPTYPE	[7:0]	CHIPTYPE									0x01	R
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L									0x03	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H									0x00	R
0x00A	SCRATCHPAD	[7:0]	SCRATCHPAD									0x00	R/W
0x00B	SPI_REV	[7:0]	SPI_REV									0x00	R
0x010	VARIANT_FEOL	[7:0]	FEOL				VARIANT				0x00	R	
0x011	BEOL_SIF	[7:0]	SIF				BEOL				0x00	R	
0x100	GEN_CTL0	[7:0]	PRG_OTRM_1P8V			MS_OTRM_1P8V		PRG_ITRM_1P8V		MS_ITRM_1P8V		0x78	R/W
0x101	GEN_CTL1	[7:0]	RESERVED	PRG_CPEAK_1P8V			RESERVED		EN_AMP_1P8V		EN_REF_1P8V	0x33	R/W
0x200	SPI_CTL	[7:0]	RESERVED								SPI_1P8_3P3_CTRL	0x01	R/W

レジスタの詳細

アドレス : 0x000、リセット : 0x00、レジスタ名 : ADI_SPI_CONFIG

表 10. ADI_SPI_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット 0 : リセットをアサート 1 : リセットをアサートしない	0x00	R/W
6	LSB_FIRST_	LSB ファースト 0 : LSB ファースト 1 : MSB ファースト	0x00	R/W
5	ENDIAN_	エンディアン 0 : リトル・エンディアン 1 : ビッグ・エンディアン	0x00	R/W
4	SDOACTIVE_	SDO アクティブ 0 : SDO 非アクティブ 1 : SDO アクティブ	0x00	R/W
3	SDOACTIVE	SDO アクティブ 0 : SDO 非アクティブ 1 : SDO アクティブ	0x00	R/W
2	ENDIAN	エンディアン 0 : リトル・エンディアン 1 : ビッグ・エンディアン	0x00	R/W
1	LSB_FIRST	LSB ファースト 0 : LSB ファースト 1 : MSB ファースト	0x00	R/W
0	SOFTRESET	ソフト・リセット 0 : リセットをアサート 1 : リセットをアサートしない	0x00	R/W

アドレス : 0x001、リセット : 0x00、レジスタ名 : REG_0X0001

表 11. REG_0X0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INTSTRUCTION	単一命令	0x00	R/W
6	CSB_STALL	チップ・セレクト ($\overline{CS}$) 停止	0x00	R/W
5	MASTER_SLAVE_RB	マスタ・スレーブ・リード・バック (RB)	0x00	R/W
[4:3]	RESERVED	予備	0x00	R
[2:1]	SOFT_RESET	ソフト・リセット	0x00	R/W
0	MASTER_SLAVE_TRANSFER	マスタ・スレーブの転送	0x00	R/W

アドレス : 0x003、リセット : 0x01、レジスタ名 : CHIPTYPE

表 12. CHIPTYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIPTYPE	チップ・タイプ、読み出し専用	0x01	R

アドレス：0x004、リセット：0x03、レジスタ名：PRODUCT_ID_L

表 13. PRODUCT_ID_L ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_L	PRODUCT_ID_L、下位 8 ビット	0x03	R

アドレス：0x005、リセット：0x00、レジスタ名：PRODUCT_ID_H

表 14. PRODUCT_ID_H ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_H	PRODUCT_ID_H、上位 8 ビット	0x00	R

アドレス：0x00A、リセット：0x00、レジスタ名：SCRATCHPAD

表 15. SCRATCHPAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	スクラッチ・パッド	0x00	R/W

アドレス：0x00B、リセット：0x00、レジスタ名：SPI_REV

表 16. SPI_REV ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REV	SPI レジスタ・マップのリビジョン	0x00	R

アドレス：0x010、リセット：0x00、レジスタ名：VARIANT_FEOL

表 17. VARIANT_FEOL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	FEOL	フロント・エンド・オブ・ライン (FEOL)	0x00	R
[3:0]	VARIANT	バリエーション	0x00	R

アドレス：0x011、リセット：0x00、レジスタ名：BEOL_SIF

表 18. BEOL_SIF のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SIF	応力拡大係数 (SIF) のバージョン	0x00	R
[3:0]	BEOL	バック・エンド・オブ・ライン (BEOL) のバージョン	0x00	R

アドレス：0x100、リセット：0x78、レジスタ名：GEN_CTL0

表 19. GEN_CTL0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	PRG_OTRM_1P8V	これらのビットは、出力 V_{CM} をセットアップします。	0x1	R/W
[5:4]	MS_OTRM_1P8V	これらのビットは、 V_{CM} を内部または外部に設定すると共に、VCMO ピンの定義を設定します。	0x3	R/W
[3:2]	PRG_ITRM_1P8V	これらのビットは、入力 V_{CM} をセットアップします。	0x2	R/W
[1:0]	MS_ITRM_1P8V	これらのビットは、 V_{CM} を内部または外部に設定すると共に、VCM I ピンの定義を設定します。	0x0	R/W

アドレス : 0x101、リセット : 0x33、レジスタ名 : GEN_CTL1

表 20. GEN_CTL1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:4]	PRG_CPEAK_1P8V	これらのビットは、C _{PEAK} をセットアップします。	0x3	R/W
[3:2]	RESERVED	予備。	0x0	R
1	EN_AMP_1P8V	アンプ・ブロックをイネーブル。	0x1	R/W
0	EN_REF_1P8V	リファレンス・ブロックをイネーブル。	0x1	R/W

アドレス : 0x200、リセット : 0x01、レジスタ名 : SPI_CTL

表 21. SPI_CTL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備	0x0	R
0	SPI_1P8_3P3_CTRL	SPI 電源制御 0 : 1.8V リードバック 1 : 3.3V リードバック	0x1	R/W

外形寸法

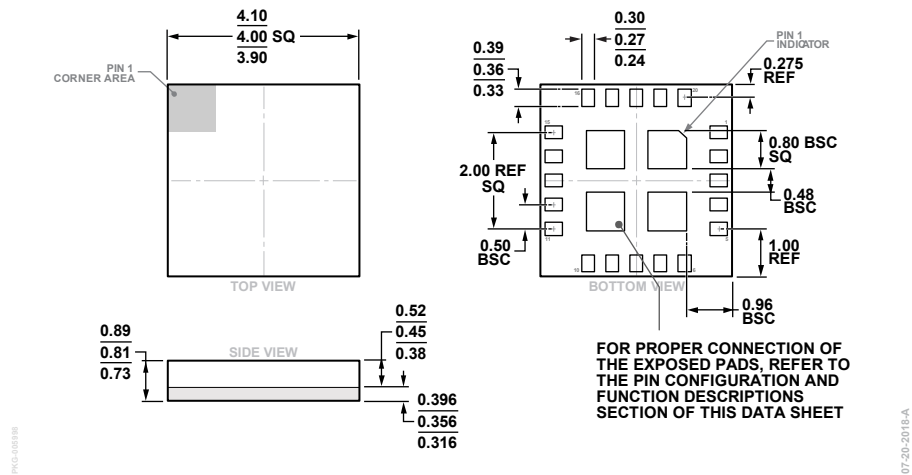


図 36. 20 端子のランド・グリッド・アレイ [LGA]
(CC-20-7)

寸法単位 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADL5580BCCZ	-40°C to +85°C	20-Terminal Land Grid Array [LGA]	CC-20-7
ADL5580BCCZ-R7	-40°C to +85°C	20-Terminal Land Grid Array [LGA]	CC-20-7
ADL5580-EVALZ		Evaluation Board	
AD-FMCADC20-DC-EBZ		DC-Coupled Combination AD9213 and ADL5580 Reference Design	
AD-FMCADC20-EBZ		AC-Coupled Combination AD9213 and ADL5580 Reference Design	

¹ Z = RoHS 準拠製品。