

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 3 月 24 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 3 月 24 日

製品名：ADIS16486

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

- 16 ページ 右の段 ジャイロセンサーのデータの項 最下行
- 17 ページ 右の段 加速度データの項 最下行
- 19 ページ 左の段 式を含む上から 21 行目
- 20 ページ 左の段 最下行

【誤】

「・・・y 軸と x 軸・・・」

【正】

「・・・y 軸と z 軸・・・」



6 種類の自由度を持つ慣性センサー

データシート

ADIS16486

特長

- 3 軸デジタル・ジャイロ・センサーのダイナミック・レンジ :
±450°/sec (最小値)
軸間ミスアライメント誤差 : ±0.018° (代表値)
動作中のバイアス安定度 : 5.3°/hr (代表値)
角度ランダム・ウォーク : 0.25°/√hr (代表値)
非直線性 : 0.01%FS
 - 3 軸デジタル加速度センサーのダイナミック・レンジ : ±18g
(最小値)
 - 3 軸、角度変化および速度変化の出力
 - 工場出荷時キャリブレーション済みの感度、バイアス、
軸アライメント
キャリブレーション温度範囲 : -40°C ~ +85°C
 - SPI 互換
 - プログラマブルな動作と制御
 - 自動と手動のバイアス補正制御
 - 4 個の FIR フィルタ・バンク、設定可能な 120 個のタップ
 - デジタル出力 : データ・レディ・アラーム・
インジケータ、外部クロック
 - 状態監視用アラーム
 - パワー・マネージメント用のパワーダウン/
スリープ・モード
 - オプションの外部同期入カクロック : 2.4kHz (最大値)
 - 慣性センサーの連続セルフ・テスト
 - 慣性センサーのオン・デマンド・セルフ・テスト
 - CRC ベースの連続メモリ・テスト
- 単電源 (VDD) 動作 : 3.0V ~ 3.6V
2000g の機械的衝撃耐性
動作温度範囲 : -40°C ~ +105°C

アプリケーション

- 姿勢方位基準装置
- プラットフォームの安定化と制御
- 無人車両のナビゲーション
- ロボットおよび計測器

概要

ADIS16486 は、3 軸ジャイロ・センサーと 3 軸加速度センサーを備えた全機能内蔵型の慣性システムです。ADIS16486 内の各慣性センサーは、業界最先端の iMEMS® 技術と、動的性能を最適化するシグナル・コンディショニングを組み合わせています。工場出荷時のキャリブレーションで、各センサーの感度、バイアス、アライメント、直線加速度 (ジャイロ・センサー・バイアス) の特性が評価されています。そのため、各センサーには動的補正式が備わり、高精度なセンサー計測を行うことができます。

ADIS16486 は、特にディスクリート部品を使った設計に伴う複雑さや投資と比較した場合、工業用システムに高精度な多軸慣性センシングを組み込むための簡単で費用対効果の優れた解決法を提供します。必要なモーション・テストとキャリブレーションはすべて工場での製造工程に組み込まれているため、システムを統合する時間を短縮できます。厳密な直交アライメントにより、ナビゲーション・システムの慣性フレーム・アライメントが簡単になります。シリアル・ペリフェラル・インターフェース (SPI) やレジスタ構造により、データ収集や設定制御とのインターフェースも容易です。内部回路はすべてバリレン・コーティングされており、湿気に対する保護バリアを構成しています。

ADIS16486 は、ADIS16480、ADIS16485、ADIS16487、ADIS16488A と同じフットプリントとコネクタ・システムを採用しているため、アップグレード処理が大幅に簡素化されています。ADIS16486 は約 47mm × 44mm × 14mm のモジュールにパッケージされており、24 ピン標準コネクタ・インターフェースを備えています。

機能ブロック図

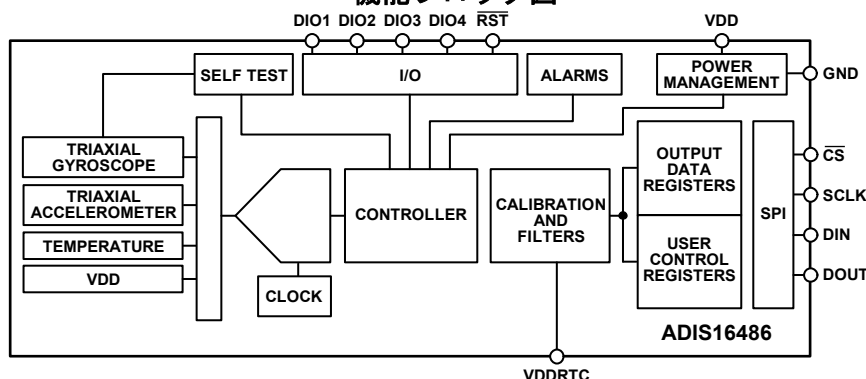


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	ユーザ・レジスタのメモリ・マップ	12
アプリケーション	1	ユーザ・レジスタ定義	15
概要	1	ジャイロ・センサーのデータ	16
機能ブロック図	1	加速度データ	17
改訂履歴	2	角度変化	18
仕様	3	速度変化	20
タイミング仕様	5	リアルタイム・クロック (RTC)	21
絶対最大定格	7	キャリブレーション	23
熱抵抗	7	FIR フィルタ	34
ESD に関する注意	7	アプリケーション情報	36
ピン配置およびピン機能の説明	8	推奨取付け方法	36
代表的な性能特性	9	評価用ツール	37
動作原理	10	電源に関する考慮事項	37
はじめに	10	X 線感度	37
レジスタ構造	10	パッケージとオーダー情報	38
SPI 通信	11	外形寸法	38
デバイスの設定	11	オーダー・ガイド	38
センサー・データの読出し	11		

改訂履歴

1/2021—Revision 0: Initial Version

仕様

特に指定のない限り、T_C = 25°C、VDD = 3.3V、角速度 = 0°/sec、ダイナミック・レンジ = ±450°/sec ± 1g。

表 1.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
GYROSCOPES					
Dynamic Range		±450		±480	°/sec
Sensitivity	32 ビット・データ・フォーマット (表 41 を参照)		3.052 × 10 ⁻⁷		°/sec/LSB
Repeatability ¹	-40°C ≤ T _C ≤ +85°C			±1	%
Sensitivity Temperature Coefficient	-40°C ≤ T _C ≤ +85°C、1σ		±25		ppm/°C
Misalignment Error	軸間		±0.018		Degrees
	軸〜フレーム (パッケージ) 間		±1.0		Degrees
Nonlinearity	最良適合直線、フルスケール (FS) = 450°/sec		0.01		% FS
Bias					
Repeatability ^{1,2}	-40°C ≤ T _C ≤ +85°C、1σ		±0.2		°/sec
In-Run Bias Stability	1σ		5.3		°/hr
Angular Random Walk	1σ		0.25		°/√hr
Temperature Coefficient	-40°C ≤ T _C ≤ +85°C、1σ		±0.0025		°/sec/°C
Error over Temperature	-15°C ≤ T _C ≤ +65°C、10°C 範囲		±0.0611		°/sec
Linear Acceleration Effect	任意の軸、1σ (CONFIG、ビット 7 = 1)		0.009		°/sec/g
	任意の軸、1σ (CONFIG、ビット 7 = 0)		0.015		°/sec/g
Noise					
Output Noise	フィルタリングなし		0.16		°/sec rms
Rate Noise Density	周波数 (f) = 10Hz~40Hz、フィルタリングなし		0.0068		°/sec/√Hz rms
3 dB Bandwidth			330		Hz
Sensor Resonant Frequency			18		kHz
ACCELEROMETERS ³	各軸	±18			g
Dynamic Range			1.221 × 10 ⁻⁸		g/LSB
Sensitivity	32 ビット・データ・フォーマット (表 55 を参照)			±0.5	%
Repeatability ¹	-40°C ≤ T _C ≤ +85°C				%
Sensitivity Temperature Coefficient	-40°C ≤ T _C ≤ +85°C、1σ		±25		ppm/°C
Misalignment	軸間		±0.035		Degrees
	軸〜フレーム (パッケージ) 間		±1.0		Degrees
Nonlinearity	最良適合直線、±10g		10		mg
	ベスト・ストレート・ライン近似、±18g		90		mg
Bias					
Repeatability ^{1,2,4}	-40°C ≤ T _C ≤ +85°C、1σ		±16		mg
In-Run Bias Stability	1σ		70		μg
Velocity Random Walk	1σ		0.029		m/sec/√hr
Temperature Coefficient	-40°C ≤ T _C ≤ +85°C、1σ		±0.1		mg/°C
Noise					
Output Noise	フィルタリングなし		1.29		mg rms
Noise Density	f = 10Hz~40Hz、フィルタリングなし		0.063		mg/√Hz rms
3 dB Bandwidth			330		Hz
Sensor Resonant Frequency			5.5		kHz
TEMPERATURE SENSOR					
Scale Factor	出力 = 0x0000 (25°C (±5°C))		0.00565		°C/LSB
LOGIC INPUTS ⁵					
Input Voltage					
High (V _{IH})		2.0			V
Low (V _{IL})				0.8	V
RST Pulse Width		1			μs
CS Wake-Up Pulse Width		20			μs

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
Input Current					
Logic 1, High (I_{IH})	$V_{IH} = 3.3V$			10	μA
Logic 0, Low (I_{IL})	$V_{IL} = 0V$				
All Pins Except $\overline{RST}$				10	μA
$\overline{RST}$ Pin			0.33		mA
Input Capacitance (C_{IN})			10		pF
DIGITAL OUTPUTS					
Output Voltage					
High (V_{OH})	ソース電流 (I_{SOURCE}) = 0.5mA	2.4			V
Low (V_{OL})	シンク電流 (I_{SINK}) = 2.0mA			0.4	V
FLASH MEMORY					
Data Retention ⁷	書換え回数 ⁶ $T_J = 85^\circ C$	100,000 20			Cycles Years
FUNCTIONAL TIMES ⁸	データが読出し可能となるまでの時間				
Power-On Start-Up Time				600	ms
Backup			1370	1500	ms
Reset Recovery Time ⁹			390	600	ms
Sleep Mode Recovery Time			730	1000	μs
Flash Memory					
Update Time ¹⁰			1.05	6.8	sec
Test Time			50		ms
On Demand Self Test (ODST) Time	内部クロック (2460Hz) 使用		12		ms
CONVERSION RATE			2.46		kSPS
Initial Clock Accuracy			0.02		%
Temperature Coefficient			40		ppm/ $^\circ C$
Sync Input Clock		0.7 ¹¹		2.4	kHz
POWER SUPPLY					
VDD	動作電圧範囲	3.0		3.6	V
Power Supply Current ¹²	通常動作モード、 $\mu + 1\sigma$		186		mA
	スリープ・モード		12.2		mA
	パワーダウン・モード		37		μA
VDDRTC ¹³	動作電圧範囲	3.0	3.3	3.6	V
Real-Time Clock (RTC) Supply Current	通常動作モード、VDDRTC = 3.3V		13		μA

¹ 再現性の仕様は、以下のドリフトの要因と条件に基づく分析的な予測を表しています。すなわち、温度ヒステリシス ($-40^\circ C \sim +85^\circ C$)、電子回路のドリフト (高温動作時の寿命テスト: $+110^\circ C$ 、500 時間)、温度サイクルによるドリフト (JESD22, Method A104-C, Method N, 500 サイクル、 $-55^\circ C \sim +85^\circ C$)、レート・ランダム・ウォーク (10 年予測)、およびブロードバンド・ノイズです。

² バイアス再現性は、様々な条件での長期的な動作特性を表します。短期再現性は、動作中のバイアス安定度とノイズ密度の仕様に関係しています。

³ 加速度センサーに関するすべての仕様は、 $\pm 18g$ のフルスケール・レンジに対するものです。

⁴ この性能指標は X 線曝露により低下する可能性があります。

⁵ デジタル入出力信号には 3.3V システムを使用しています。

⁶ 書換え回数は JEDEC 規格 22, Method A117 に準拠し、 $-40^\circ C$ 、 $+25^\circ C$ 、 $+85^\circ C$ 、 $+125^\circ C$ で測定しています。

⁷ データ保持仕様は、JEDEC 規格 22, Method A117 に準拠した $85^\circ C$ の T_J を想定しています。データ保持寿命は T_J に伴って短くなります。

⁸ これらの時間には、全体の精度に影響を与える可能性がある、熱安定時間と内部フィルタ応答時間は含まれていません。

⁹ 正しくリセットを開始してデバイスを復帰させるには、 $\overline{RST}$ ラインを少なくとも $10\mu s$ にわたってローに保持しなければなりません。

¹⁰ 正常パルス復帰のためのデータ・レディ信号の監視は (FNCTIO_CTRL のレジスタ構成については表 143 を参照)、システム待機時間を最小限に抑える助けとなります。

¹¹ このデバイスは 0.7kHz 未満のクロック・レートでも動作しますが、性能は低下します。

¹² 初回起動時やリセットによる復帰時には、過渡電源電流が 600mA に達することがあります。

¹³ RTC 機能を使用しないアプリケーションでも VDDRTC 電源を接続する必要があります。

タイミング仕様

特に指定のない限り、 $T_c = 25^\circ\text{C}$ および、 $V_{DD} = 3.3\text{V}$ 。タイミング図については図 2～図 4 を参照してください。

表 2.

パラメータ	説明	Min ¹	Typ	Max ¹	単位
f_{SCLK}	SCLK 周波数	0.01		15	MHz
t_{STALL}^2	データ間の待ち時間	2			μs
t_{CLS}	SCLK がローになっている時間	31			ns
t_{CHS}	SCLK がハイになっている時間	31			ns
t_{CS}	$\overline{\text{CS}}$ から SCLK エッジまでの時間	32			ns
t_{DAV}	SCLK のエッジ後、DOUT が有効になるまでの時間			10	ns
t_{DSU}	SCLK の立上がりエッジ前の DIN のセットアップ・タイム	2			ns
t_{DHD}	SCLK の立上がりエッジ後の DIN のホールド・タイム	2			ns
$t_{\text{DR}}, t_{\text{DF}}$	DOUT の立上がり時間および立下がり時間、100pF 以下の負荷		3	8	ns
t_{DSOE}	$\overline{\text{CS}}$ のアサートから DOUT がアクティブになるまでの時間	0		11	ns
t_{HD}	SCLK 立下がりエッジから DOUT 無効までの時間	0			ns
t_{SFS}	最後の SCLK 立上がりエッジから $\overline{\text{CS}}$ デアサートまでの時間	32			ns
t_{DSHI}	$\overline{\text{CS}}$ デアサートから DOUT が高インピーダンスになるまでの時間	0		9	ns
	データ・レディ・パルス幅		11	15	μs
t_1	入力同期パルス幅	5			μs
t_2	入力同期からデータ無効までの時間		560	570	μs
t_3	入力同期周期	417			μs

¹ 仕様については出荷テストを行っていませんが、設計と特性評価により確保されています。

² 待ち時間定格の例外については表 3 を参照してください。

レジスタ書き込み処理時間

表 3.

パラメータ	説明	Min ¹	Typ	Max	単位
STALL TIME					
FNCTIO_CTRL, Bits[7:4]	入力同期モードを有効化	75			μs
	入力同期モードを無効化	147			μs
FNCTIO_CTRL, Bits[3:0]	データ・レディを設定	3			μs
FILTR_BNK_0	FIR（有限インパルス応答）フィルタ・バンクをイネーブル／選択	101			μs
FILTR_BNK_1	FIR フィルタ・バンクをイネーブル／選択	101			μs
NULL_CNFG	autonull バイアス機能を設定	116			μs

¹ 正常パルス復帰のためのデータ・レディ信号の監視は（FNCTIO_CTRL のレジスタ構成については表 143 を参照）、システム待機時間を最小限に抑える助けとなります。

タイミング図

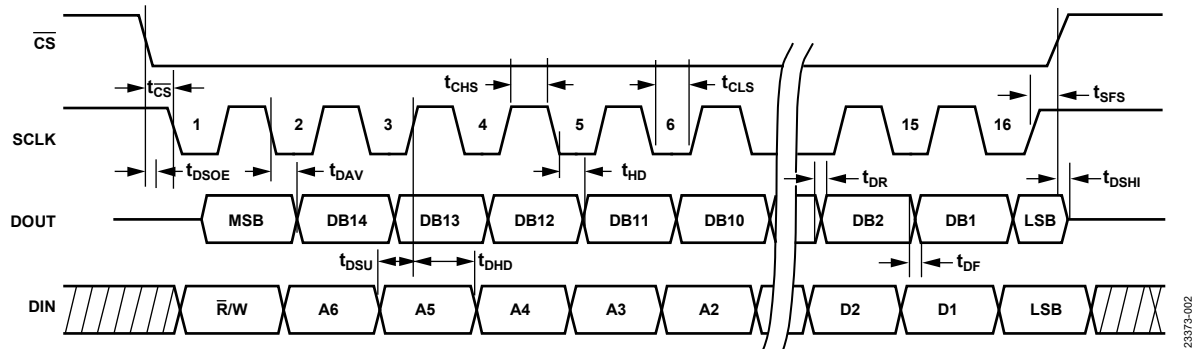


図 2. SPI のタイミングとシーケンス

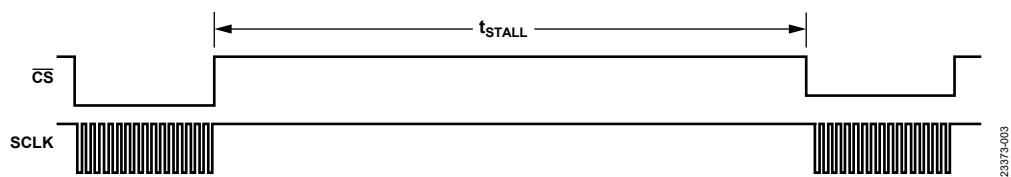


図 3. 待ち時間とデータ・レート

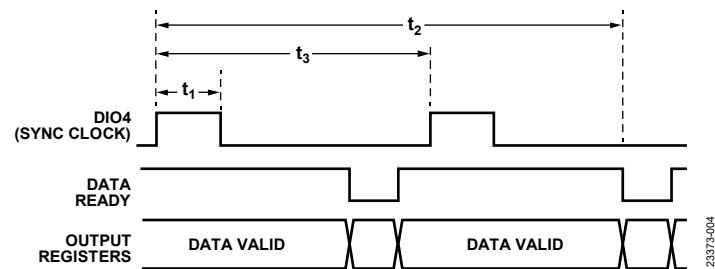


図 4. 入力クロックのタイミング図、FNCTIO_CTRL、ビット [7:4] = 0xFD

絶対最大定格

表 4.

Parameter	Rating
Mechanical Shock Survivability	
Any Axis, Unpowered	2000 g
Any Axis, Powered	2000 g
VDD to GND	−0.3 V to +3.6 V
Digital Input Voltage to GND	−0.3 V to VDD + 0.2 V
Digital Output Voltage to GND	−0.3 V to VDD + 0.2 V
Temperature Range	
Calibration	−40°C to +85°C
Operating	−40°C to +105°C
Storage ¹	−65°C to +150°C

¹ −55°C 未満の低温、または+105°C を超える高温下に長時間放置すると、工場出荷時のキャリブレーション精度に悪影響を与える可能性があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 5. パッケージ特性

Package Type	θ_{JA}	θ_{JC}	Device Weight
ML-24-6	22.8°C/W	10.1°C/W	48 g

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

ADIS16486
TOP VIEW
(Not to Scale)

DNC	DNC	DNC	DNC	DNC	GND	VDD	VDD	RST	CS	DOUT	DIO4
24	22	20	18	16	14	12	10	8	6	4	2
□	□	□	□	□	□	□	□	□	□	□	□
23	21	19	17	15	13	11	9	7	5	3	1
□	□	□	□	□	□	□	□	□	□	□	□
VDDRTC	DNC	DNC	DNC	GND	GND	VDD	DIO2	DIO1	DIN	SCLK	DIO3

NOTES

1. THIS REPRESENTATION DISPLAYS THE TOP VIEW PINOUT FOR THE MATING SOCKET CONNECTOR.
2. THE ACTUAL CONNECTOR PINS ARE NOT VISIBLE FROM THE TOP VIEW.
3. MATING CONNECTOR: SAMTEC CLM-112-02 OR EQUIVALENT.
4. DNC = DO NOT CONNECT. DO NOT CONNECT TO THESE PINS.

図 5. ピン配置

23373-005

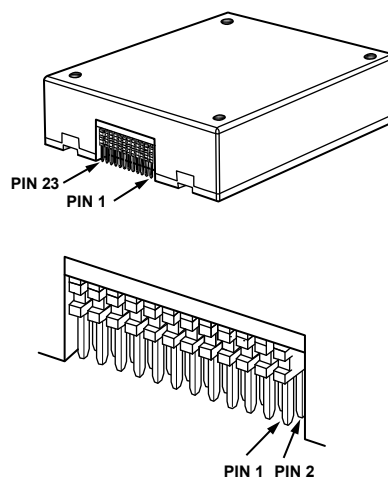


図 6. 軸の方向（正立状態）

23373-006

表 6. ピン機能の説明

ピン番号	記号	タイプ	説明
1	DIO3	Input and output	設定可能なデジタル入出力 3。
2	DIO4	Input and output	設定可能なデジタル入出力 4。
3	SCLK	Input	SPI シリアル・クロック。
4	DOUT	Output	SPI データ出力。SCLK 立下がりエッジでのクロック出力。
5	DIN	Input	SPI データ入力。SCLK 立上がりエッジでのクロック入力。
6	CS	Input	SPI チップ・セレクト。
7	DIO1	Input and output	設定可能なデジタル入出力 1。
8	RST	Input	リセット。
9	DIO2	Input and output	設定可能なデジタル入出力 2。
10, 11, 12	VDD	Supply	電源。
13, 14, 15	GND	Supply	電源グラウンド。
16 to 22, 24	DNC	Not applicable	接続なし。これらのピンには接続しないでください。
23	VDDRTC	Supply	RTC 電源。RTC 機能を使用しない場合でも、VDDRTC 電源は接続する必要があります。

代表的な性能特性

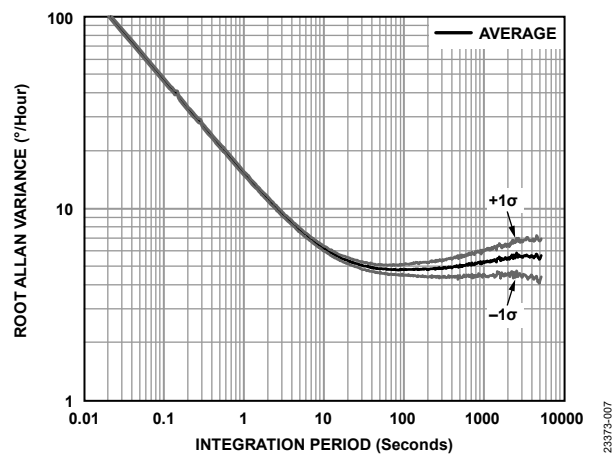


図 7. ジャイロ・センサーのアラン分散、25°C

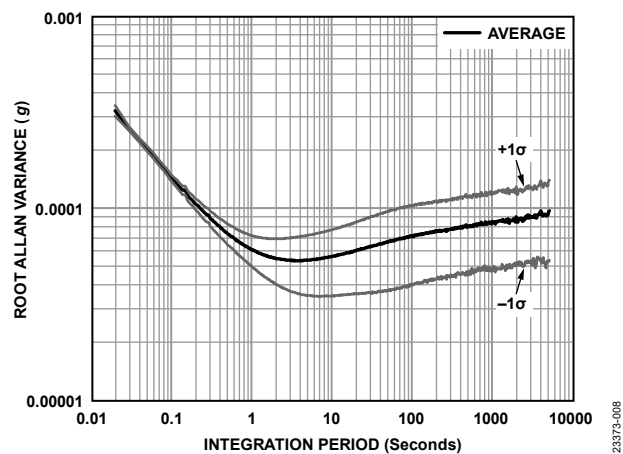


図 8. 加速度センサーのアラン分散、25°C

動作原理

はじめに

ADIS16486 は自律型センサー・システムで、適切な電源が供給されると自動的に起動します。初期化プロセスが終了すると ADIS16486 はサンプリングと処理を開始して、キャリブレーションされたセンサー・データを出力レジスタにロードします。レジスタには SPI ポートを使ってアクセスすることができます。SPI ポートは、通常、組み込みプロセッサの互換ポートに接続します (図 9 を参照)。マスタ・プロセッサのピン名と機能の一覧については表 7 を参照してください。4 つの SPI 信号によって、同期されたシリアル・データ通信が容易に行われます。工場出荷時のデフォルト設定では、DIO2 ピンに出力されるデータ・レディ信号により、安定したデータ・アクイジションをトリガできます (図 28 を参照)。

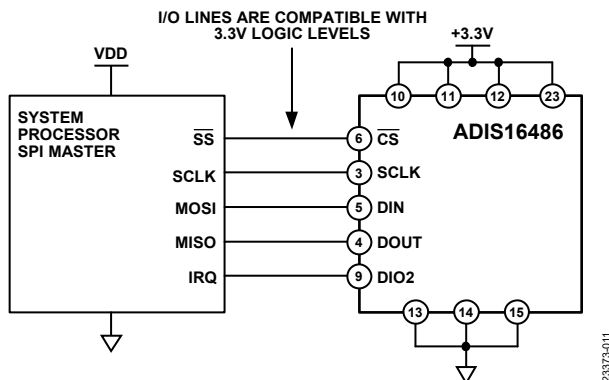


図 9. 電気接続図

表 7. 一般的なマスタ・プロセッサのピン名と機能

記号	機能
SS	スレーブ・セレクト
SCLK	シリアル・クロック
MOSI	マスタ出力、スレーブ入力
MISO	マスタ入力、スレーブ出力
IRQ	割り込み要求

ADIS16486 の SPI プロトコルを記述する設定一覧を表 8 に示します。マスタ・プロセッサの初期化ルーチンは、通常、ファームウェア・コマンドを使ってこれらの設定を行い、シリアル・コントロール・レジスタにその内容を書き込みます。

表 8. 一般的なマスタ・プロセッサの SPI 設定

プロセッサの設定値	説明
Master	ADIS16486 はスレーブとして動作
SCLK ≤ 15 MHz	最大シリアル・クロック・レート
SPI Mode 3	CPOL = 1 (極性)、CPHA = 1 (位相)
MSB First Mode	ビット・シーケンス
16-Bit Mode	シフト・レジスタとデータ長

レジスタ構造

レジスタ構造と SPI ポートは、ADIS16486 と組み込みプロセッサ・プラットフォーム間の接続を容易にします。このレジスタ構造には、出力データ・レジスタとコントロール・レジスタの両方が含まれます。出力データ・レジスタには、最新のセンサ

ー・データ、RTC、エラー・フラグ、アラーム・フラグ、および識別データが格納されます。コントロール・レジスタには、サンプル・レート、フィルタリング、入出力、アラーム、キャリブレーション、および診断構成のオプションが格納されます。ADIS16486 と外部プロセッサの間で行われるすべての通信の際には、ユーザ・レジスタのいずれか 1 つとの間で読出または書き込みが行われます。

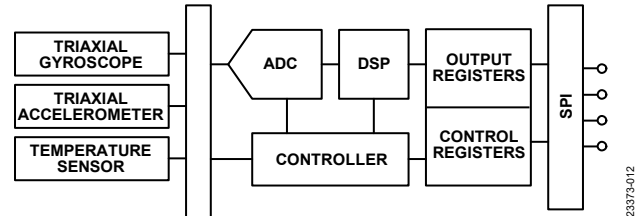
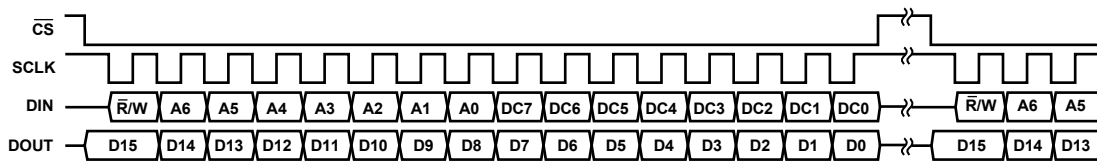


図 10. 基本動作

レジスタ構造はページ・アドレス方式を使用しますが、この方式で使用するページ数は 13 で、各ページには 64 個のレジスタ位置が格納されます。各レジスタは 16 ビット幅で、各バイトが、そのページのメモリ・マップ内に固有のアドレスを持っています。SPI ポートは、図 11 のビット・シーケンスを使って、一度に 1 ページずつアクセスを行います。ユーザは、対応するページ ID を PAGE_ID レジスタに書き込むことで、対象のページを選択します。現在どのページがアクティブになっているかを知るには、PAGE_ID レジスタを読み出します。各ページの PAGE_ID のレジスタ内容と、その基本的機能を表 9 に示します。PAGE_ID レジスタは、各ページのアドレス 0x00 に置かれます。

表 9. ユーザ・アクセス可能なページ・レジスタの割当て

PAGE	PAGE_ID 値	機能
0	0x00	出力データ、クロック、ID
1	0x01	予備
2	0x02	キャリブレーション
3	0x03	制御: サンプル・レート、フィルタリング、入出力、アラーム
4	0x04	シリアル番号
5	0x05	FIR フィルタ・バンク A、係数 0~係数 59
6	0x06	FIR フィルタ・バンク A、係数 60~係数 119
7	0x07	FIR フィルタ・バンク B、係数 0~係数 59
8	0x08	FIR フィルタ・バンク B、係数 60~係数 119
9	0x09	FIR フィルタ・バンク C、係数 0~係数 59
10	0x0A	FIR フィルタ・バンク C、係数 60~係数 119
11	0x0B	FIR フィルタ・バンク D、係数 0~係数 59
12	0x0C	FIR フィルタ・バンク D、係数 60~係数 119



NOTES

1. DOUT BITS ARE PRODUCED ONLY WHEN THE PREVIOUS 16-BIT DIN SEQUENCE STARTS WITH $\overline{R}/W = 0$.
2. WHEN $\overline{CS}$ IS HIGH, DOUT IS IN A THREE-STATE, HIGH IMPEDANCE MODE, WHICH ALLOWS MULTIFUNCTIONAL USE OF THE LINE FOR OTHER DEVICES.

23373-013

図 11. SPI 通信のビット・シーケンス

SPI 通信

各 SPI コマンドとその応答は 16 ビット長で、図 11 に示すデジタル・コーディングを使用します。

デバイスの設定

各レジスタは 16 ビット (2 バイト) で構成されます。ビット [7:0] には各レジスタの下位バイトが格納され、ビット [15:8] には上位バイトが格納されます。各バイトには、ユーザ・レジスタ・マップ内の固有アドレスが割り当てられます (表 10 参照)。レジスタの内容を更新するには、最初にその下位バイトに書き込みを行い、その次に上位バイトへの書き込みを行う必要があります。レジスタに新しいデータ・バイトを書き込む SPI コマンドのコーディングは、3 つの部分から成ります (図 11 を参照)。書き込みビット ($\overline{R}/W = 1$)、バイトのアドレス ([A6:A0])、およびその位置に書き込む新しいデータ ([DC7:DC0]) です。PAGE_ID レジスタが 0x0002 の場合に XG_BIAS_LOW レジスタに 0xFEDC を書き込むためのコーディング例を、図 12 に示します (表 105 を参照)。

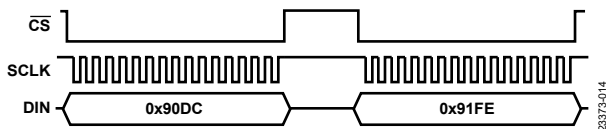


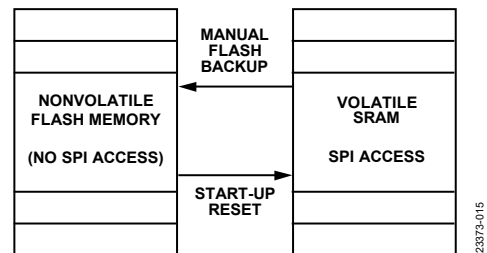
図 12. XG_BIAS_LOW に 0xFEDC を書き込むための SPI シーケンス

各レジスタ書き込みの処理時間の一覧については表 11 を参照してください。この処理時間は、書き込みコマンドが終了してからそのコマンドが ADIS16486 の動作に完全に影響を及ぼすようになるまでの時間です。

デュアル・メモリ構造

ADIS16486 は、デュアル・メモリ構造を採用しています (図 13 を参照)。この構造ではスタティック・ランダム・アクセス・メモリ (SRAM) がリアルタイム動作を受け持ち、フラッシュ・メモリが不揮発ストレージとして使われます。スタートアップ・プロセスでは、通常動作をサポートするために、動作コード、キャリブレーション係数、およびユーザ・レジスタ設定が、フラッシュ・メモリから SRAM にロードされます。手動のフラッシュ・メモリ更新コマンド (GLOB_CMD、ビット 3 (表 141 を参照)) は、ユーザ・レジスタ値をフラッシュ・メモリに保存するための簡便な方法です。フラッシュ・バックアップ機能のあるレジスタは、表 10 のフラッシュ・バックアップの列に「Yes」と表示されています。このフラッシュ・バックアップ機能は、これらの設定を保存して、次の起動プロセスまたはリセット・リカバリ・プロセス時に自動的に設定を呼び出せるようにします。フラッシュ・メモリには 2 つの独立したバンクがあり、ピンポン方式で動作して手動のフラッシュ・メモリ更新ごとに切り替わります。起動またはリセット・リカバリ時、ADIS16486 はフラッシュ・メモリ内のブート・ストリーム・データに巡回冗長検査 (CRC) を実行します。エラーが見つかつ

た場合、ADIS16486 はエラーフラグ (SYS_E_FLAG のビット 1) をセットし、ブート・ストリームのバックアップ・コピーを使用してブート・プロセスを再始動します。動作中、ADIS16486 は、CRC 検証を使用して SRAM の重要な部分を継続的にモニタし、SYS_E_FLAG のビット 2 でエラーを報告します。



23373-015

図 13. SRAM とフラッシュ・メモリの図

センサー・データの読出し

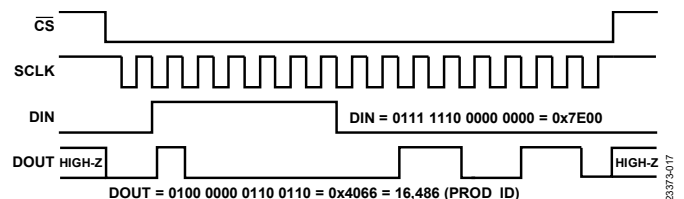
SPI での読出し要求用の 16 ビット・コマンド・コード (図 11 を参照) は、3 つの部分からなります。すなわち、読出しビット ($\overline{R}/W = 0$)、レジスタのアドレス ([A6:A0])、8 個のドント・ケア・ビット ([DC7:DC0]) です。読出しコマンドは、その後に続く 16 ビットの通信サイクル時に、対象レジスタの内容を DOUT ピンに出力します。連続する 2 つのレジスタ読出しを含む例を、図 14 に示します。この例は、Z_GYRO_OUT レジスタの内容を要求するために DIN = 0x1A00 から始まり、Z_GYRO_LOW レジスタの内容を要求するために 0x1800 がこれに続きます (PROD_ID レジスタは既に 0x0000 に等しいものとします)。図 14 は全二重動作モードの例で、ADIS16486 はその前の要求からのデータ応答を送信する間に、新しい要求を受信します。



23373-016

図 14. SPI 読出しの例

繰り返しパターンで PROD_ID レジスタ (表 91 参照) を読み出すときの 4 つの SPI 信号の例を、図 15 に示します。このパターンを利用すれば、すべての信号を明確に予測することができるので (PROD_ID レジスタの内容は変わりません)、SPI のセットアップと通信に関するトラブルシューティングの助けとなります。



23373-017

図 15. SPI の読出し例 (2 番めの 16 ビット・シーケンス)

ユーザ・レジスタのメモリ・マップ

表 10. ユーザ・レジスタのメモリ・マップ (N/A は該当なしを示します)

名前	R/W	フラッシュ・バックアップ	ページ ID	アドレス	デフォルト	レジスタの説明
PAGE_ID	R/W	No	0x00	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x00	0x02, 0x03	N/A	予備
DATA_CNT	R	No	0x00	0x04, 0x05	N/A	データおよびサンプルのカウント
SENS_PWR	R	No	0x00	0x06, 0x07	N/A	内部電源モニタ
SYS_E_FLAG	R	No	0x00	0x08, 0x09	0x0000	出力、ステータス、エラー・フラグのインジケータ
DIAG_STS	R	No	0x00	0x0A, 0x0B	0x0000	出力、セルフ・テスト・エラー・フラグ
ALM_STS	R	No	0x00	0x0C, 0x0D	0x0000	出力、アラーム・エラー・フラグ
TEMP_OUT	R	No	0x00	0x0E, 0x0F	N/A	出力、内部温度
X_GYRO_LOW	R	No	0x00	0x10, 0x11	N/A	出力、x 軸ジャイロ・センサー、下位ワード
X_GYRO_OUT	R	No	0x00	0x12, 0x13	N/A	出力、x 軸ジャイロ・センサー、上位ワード
Y_GYRO_LOW	R	No	0x00	0x14, 0x15	N/A	出力、y 軸ジャイロ・センサー、下位ワード
Y_GYRO_OUT	R	No	0x00	0x16, 0x17	N/A	出力、y 軸ジャイロ・センサー、上位ワード
Z_GYRO_LOW	R	No	0x00	0x18, 0x19	N/A	出力、z 軸ジャイロ・センサー、下位ワード
Z_GYRO_OUT	R	No	0x00	0x1A, 0x1B	N/A	出力、z 軸ジャイロ・センサー、上位ワード
X_ACCL_LOW	R	No	0x00	0x1C, 0x1D	N/A	出力、x 軸加速度センサー、下位ワード
X_ACCL_OUT	R	No	0x00	0x1E, 0x1F	N/A	出力、x 軸加速度センサー、上位ワード
Y_ACCL_LOW	R	No	0x00	0x20, 0x21	N/A	出力、y 軸加速度センサー、下位ワード
Y_ACCL_OUT	R	No	0x00	0x22, 0x23	N/A	出力、y 軸加速度センサー、上位ワード
Z_ACCL_LOW	R	No	0x00	0x24, 0x25	N/A	出力、z 軸加速度センサー、下位ワード
Z_ACCL_OUT	R	No	0x00	0x26, 0x27	N/A	出力、z 軸加速度センサー、上位ワード
Reserved	N/A	N/A	0x00	0x28 to 0x3F	N/A	予備
X_DELTANG_LOW	R	No	0x00	0x40, 0x41	N/A	出力、x 軸角度変化、下位ワード
X_DELTANG_OUT	R	No	0x00	0x42, 0x43	N/A	出力、x 軸角度変化、上位ワード
Y_DELTANG_LOW	R	No	0x00	0x44, 0x45	N/A	出力、y 軸角度変化、下位ワード
Y_DELTANG_OUT	R	No	0x00	0x46, 0x47	N/A	出力、y 軸角度変化、上位ワード
Z_DELTANG_LOW	R	No	0x00	0x48, 0x49	N/A	出力、z 軸角度変化、下位ワード
Z_DELTANG_OUT	R	No	0x00	0x4A, 0x4B	N/A	出力、z 軸角度変化、上位ワード
X_DELTVEL_LOW	R	No	0x00	0x4C, 0x4D	N/A	出力、x 軸速度変化、下位ワード
X_DELTVEL_OUT	R	No	0x00	0x4E, 0x4F	N/A	出力、x 軸速度変化、上位ワード
Y_DELTVEL_LOW	R	No	0x00	0x50, 0x51	N/A	出力、y 軸速度変化、下位ワード
Y_DELTVEL_OUT	R	No	0x00	0x52, 0x53	N/A	出力、y 軸速度変化、上位ワード
Z_DELTVEL_LOW	R	No	0x00	0x54, 0x55	N/A	出力、z 軸速度変化、下位ワード
Z_DELTVEL_OUT	R	No	0x00	0x56, 0x57	N/A	出力、z 軸速度変化、上位ワード
Reserved	N/A	N/A	0x00	0x58 to 0x77	N/A	予備
TIME_MS_OUT	R/W	No	0x00	0x78, 0x79	N/A	RTC : 分および秒
TIME_DH_OUT	R/W	No	0x00	0x7A, 0x7B	N/A	RTC : 日付および時間
TIME_YM_OUT	R/W	No	0x00	0x7C, 0x7D	N/A	RTC : 年および月
PROD_ID	R	Yes	0x00	0x7E, 0x7F	0x4066	出力、製品識別 (16,486)
Reserved	N/A	N/A	0x01	0x00 to 0x7F	N/A	予備
PAGE_ID	R/W	No	0x02	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x02	0x02, 0x03	N/A	予備
X_GYRO_SCALE	R/W	Yes	0x02	0x04, 0x05	0x0000	キャリブレーション、ジャイロ・センサー・スケール、x 軸
Y_GYRO_SCALE	R/W	Yes	0x02	0x06, 0x07	0x0000	キャリブレーション、ジャイロ・センサー・スケール、y 軸
Z_GYRO_SCALE	R/W	Yes	0x02	0x08, 0x09	0x0000	キャリブレーション、ジャイロ・センサー・スケール、z 軸
X_ACCL_SCALE	R/W	Yes	0x02	0x0A, 0x0B	0x0000	キャリブレーション、加速度センサー・スケール、x 軸
Y_ACCL_SCALE	R/W	Yes	0x02	0x0C, 0x0D	0x0000	キャリブレーション、加速度センサー・スケール、y 軸
Z_ACCL_SCALE	R/W	Yes	0x02	0x0E, 0x0F	0x0000	キャリブレーション、加速度センサー・スケール、z 軸

名前	R/W	フラッシュ・ バックアップ	ページ ID	アドレス	デフォルト	レジスタの説明
XG_BIAS_LOW	R/W	Yes	0x02	0x10, 0x11	0x0000	キャリブレーション、オフセット、ジャイロ・センサー・バイアス、x 軸、下位ワード
XG_BIAS_HIGH	R/W	Yes	0x02	0x12, 0x13	0x0000	キャリブレーション、オフセット、ジャイロ・センサー・バイアス、x 軸、上位ワード
YG_BIAS_LOW	R/W	Yes	0x02	0x14, 0x15	0x0000	キャリブレーション、オフセット、ジャイロ・センサー・バイアス、y 軸、下位ワード
YG_BIAS_HIGH	R/W	Yes	0x02	0x16, 0x17	0x0000	キャリブレーション、オフセット、ジャイロ・センサー・バイアス、y 軸、上位ワード
ZG_BIAS_LOW	R/W	Yes	0x02	0x18, 0x19	0x0000	キャリブレーション、オフセット、ジャイロ・センサー・バイアス、z 軸、下位ワード
ZG_BIAS_HIGH	R/W	Yes	0x02	0x1A, 0x1B	0x0000	キャリブレーション、オフセット、ジャイロ・センサー・バイアス、z 軸、上位ワード
XA_BIAS_LOW	R/W	Yes	0x02	0x1C, 0x1D	0x0000	キャリブレーション、オフセット、加速度センサー・バイアス、x 軸、下位ワード
XA_BIAS_HIGH	R/W	Yes	0x02	0x1E, 0x1F	0x0000	キャリブレーション、オフセット、加速度センサー・バイアス、x 軸、上位ワード
YA_BIAS_LOW	R/W	Yes	0x02	0x20, 0x21	0x0000	キャリブレーション、オフセット、加速度センサー・バイアス、y 軸、下位ワード
YA_BIAS_HIGH	R/W	Yes	0x02	0x22, 0x23	0x0000	キャリブレーション、オフセット、加速度センサー・バイアス、y 軸、上位ワード
ZA_BIAS_LOW	R/W	Yes	0x02	0x24, 0x25	0x0000	キャリブレーション、オフセット、加速度センサー・バイアス、z 軸、下位ワード
ZA_BIAS_HIGH	R/W	Yes	0x02	0x26, 0x27	0x0000	キャリブレーション、オフセット、加速度センサー・バイアス、z 軸、上位ワード
Reserved	N/A	N/A	0x02	0x28 to 0x73	0x0000	予備
USER_SCR_1	R/W	Yes	0x02	0x74, 0x75	0x0000	ユーザ・スクラッチ・レジスタ 1
USER_SCR_2	R/W	Yes	0x02	0x76, 0x77	0x0000	ユーザ・スクラッチ・レジスタ 2
USER_SCR_3	R/W	Yes	0x02	0x78, 0x79	0x0000	ユーザ・スクラッチ・レジスタ 3
USER_SCR_4	R/W	Yes	0x02	0x7A, 0x7B	0x0000	ユーザ・スクラッチ・レジスタ 4
FLSHCNT_LOW	R/W	Yes	0x02	0x7C, 0x7D	N/A	診断、フラッシュ・メモリ書換え回数カウンタ、下位ワード
FLSHCNT_HIGH	R/W	Yes	0x02	0x7E, 0x7F	N/A	診断、フラッシュ・メモリ書換え回数カウンタ、上位ワード
PAGE_ID	R/W	No	0x03	0x00, 0x01	0x0000	ページ識別子
GLOB_CMD	W	No	0x03	0x02, 0x03	0x0000	制御、グローバル・コマンド
Reserved	N/A	N/A	0x03	0x04, 0x05	N/A	予備
FNCTIO_CTRL	R/W	Yes	0x03	0x06, 0x07	0x000D	補助入出力ライン設定
GPIO_CTRL	R/W	Yes	0x03	0x08, 0x09	0x00X0 ¹	汎用入出力制御
CONFIG	R/W	Yes	0x03	0x0A, 0x0B	0x00C0	制御、クロック、各種設定
DEC_RATE	R/W	Yes	0x03	0x0C, 0x0D	0x0000	制御、出力、デシメーション・フィルタ
NULL_CNFG	R/W	Yes	0x03	0x0E, 0x0F	0x070A	制御、連続バイアス予測
SLP_CNT	R/W	No	0x03	0x10, 0x11	N/A	制御、パワー・マネージメント
Reserved	N/A	N/A	0x03	0x12 to 0x15	N/A	予備
FILTR_BNK_0	R/W	Yes	0x03	0x16, 0x17	0x0000	FIR フィルタ制御
FILTR_BNK_1	R/W	Yes	0x03	0x18, 0x19	0x0000	FIR フィルタ制御
Reserved	N/A	N/A	0x03	0x1A to 0x1F	N/A	予備
ALM_CNFG_0	R/W	Yes	0x03	0x20, 0x21	0x0000	アラーム設定
ALM_CNFG_1	R/W	Yes	0x03	0x22, 0x23	0x0000	アラーム設定
Reserved	N/A	N/A	0x03	0x24 to 0x27	N/A	予備
XG_ALM_MAGN	R/W	Yes	0x03	0x28, 0x29	0x0000	アラーム設定、x 軸ジャイロ・センサー・アラーム
YG_ALM_MAGN	R/W	Yes	0x03	0x2A, 0x2B	0x0000	アラーム設定、y 軸ジャイロ・センサー・アラーム
ZG_ALM_MAGN	R/W	Yes	0x03	0x2C, 0x2D	0x0000	アラーム設定、z 軸ジャイロ・センサー・アラーム
XA_ALM_MAGN	R/W	Yes	0x03	0x2E, 0x2F	0x0000	アラーム設定、x 軸加速度センサー・アラーム
YA_ALM_MAGN	R/W	Yes	0x03	0x30, 0x31	0x0000	アラーム設定、y 軸加速度センサー・アラーム
ZA_ALM_MAGN	R/W	Yes	0x03	0x32, 0x33	0x0000	アラーム設定、z 軸加速度センサー・アラーム
Reserved	N/A	N/A	0x03	0x34 to 0x77	N/A	予備
FIRM_REV	R	Yes	0x03	0x78, 0x79	N/A	ファームウェア・レビジョン
FIRM_DM	R	Yes	0x03	0x7A, 0x7B	N/A	ファームウェア・レビジョン月日
FIRM_Y	R	Yes	0x03	0x7C, 0x7D	N/A	ファームウェア・レビジョン年
BOOT_REV	R	Yes	0x03	0x7E, 0x7F	N/A	ブート・レビジョン番号
PAGE_ID	R/W	No	0x04	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x04	0x02, 0x03	N/A	予備
CAL_SIGTR_LWR	R	Yes	0x04	0x04, 0x05	N/A	署名 CRC、キャリブレーション値、下位ワード

名前	R/W	フラッシュ・ バックアップ	ページ ID	アドレス	デフォルト	レジスタの説明
CAL_SIGTR_UPR	R	Yes	0x04	0x06, 0x07	N/A	署名 CRC、キャリブレーション値、上位ワード
CAL_DRVTN_LWR	R	No	0x04	0x08, 0x09	N/A	導出 CRC、キャリブレーション値、下位ワード
CAL_DRVTN_UPR	R	No	0x04	0x0A, 0x0B	N/A	導出 CRC、キャリブレーション値、上位ワード
CODE_SIGTR_LWR	R	Yes	0x04	0x0C, 0x0D	N/A	署名 CRC、プログラム・コード、下位ワード
CODE_SIGTR_UPR	R	Yes	0x04	0x0E, 0x0F	N/A	署名 CRC、プログラム・コード、上位ワード
CODE_DRVTN_LWR	R	No	0x04	0x10, 0x11	N/A	導出 CRC、プログラム・コード、下位ワード
CODE_DRVTN_UPR	R	No	0x04	0x12, 0x13	N/A	導出 CRC、プログラム・コード、上位ワード
Reserved	N/A	N/A	0x04	0x1C to 0x1F	N/A	予備
SERIAL_NUM	R	Yes	0x04	0x20, 0x21	N/A	ロット固有のシリアル番号
Reserved	N/A	N/A	0x04	0x22 to 0x7F	N/A	予備
PAGE_ID	R/W	No	0x05	0x00, 0x01	0x0000	ページ識別子
Reserved	N/A	N/A	0x05	0x02 to 0x07	N/A	予備
FIR_COEF_Axxx	R/W	Yes	0x05	0x08 to 0x7F	N/A	FIR フィルタ・バンク A、係数 0～係数 59
PAGE_ID	R/W	No	0x06	0x00	0x0000	ページ識別子
Reserved	N/A	N/A	0x06	0x02 to 0x07	N/A	予備
FIR_COEF_Axxx	R/W	Yes	0x06	0x08 to 0x7F	N/A	FIR フィルタ・バンク A、係数 60～係数 119
PAGE_ID	R/W	No	0x07	0x00	0x0000	ページ識別子
Reserved	N/A	N/A	0x07	0x02 to 0x07	N/A	予備
FIR_COEF_Bxxx	R/W	Yes	0x07	0x02 to 0x7E	N/A	FIR フィルタ・バンク B、係数 0～係数 59
PAGE_ID	R/W	No	0x08	0x00	0x0000	ページ識別子
Reserved	N/A	N/A	0x08	0x02 to 0x07	N/A	予備
FIR_COEF_Bxxx	R/W	Yes	0x08	0x08 to 0x7F	N/A	FIR フィルタ・バンク B、係数 60～係数 119
PAGE_ID	R/W	No	0x09	0x00	0x0000	ページ識別子
Reserved	N/A	N/A	0x09	0x02 to 0x07	N/A	予備
FIR_COEF_Cxxx	R/W	Yes	0x09	0x08 to 0x7F	N/A	FIR フィルタ・バンク C、係数 0～係数 59
PAGE_ID	R/W	No	0x0A	0x00	0x0000	ページ識別子
Reserved	N/A	N/A	0x0A	0x02 to 0x07	N/A	予備
FIR_COEF_Cxxx	R/W	Yes	0x0A	0x08 to 0x7F	N/A	FIR フィルタ・バンク C、係数 60～係数 119
PAGE_ID	R/W	No	0x0B	0x00	0x0000	ページ識別子
Reserved	N/A	N/A	0x0B	0x02 to 0x07	N/A	予備
FIR_COEF_Dxxx	R/W	Yes	0x0B	0x08 to 0x7F	N/A	FIR フィルタ・バンク D、係数 0～係数 59
PAGE_ID	R/W	No	0x0C	0x00	0x0000	ページ識別子
Reserved	N/A	N/A	0x0C	0x02 to 0x07	N/A	予備
FIR_COEF_Dxxx	R/W	Yes	0x0C	0x08 to 0x7F	N/A	FIR フィルタ・バンク D、係数 60～係数 119

¹ GPIO_CTRL のビット [7:4] は DIOx ピンに関するロジック・レベルを反映するもので、デフォルト設定はありません。

表 11. レジスタ書き込みの処理時間

Registers	Processing Time (μs)
TIME_MS_OUT, TIME_DH_OUT, TIME_YM_OUT	82 ¹
X_GYRO_SCALE, Y_GYRO_SCALE, Z_GYRO_SCALE, X_ACCL_SCALE, Y_ACCL_SCALE, Z_ACCL_SCALE	406.5
XG_BIAS_LOW, XG_BIAS_HIGH, YG_BIAS_LOW, YG_BIAS_HIGH, ZG_BIAS_LOW, ZG_BIAS_HIGH	406.5
XA_BIAS_LOW, XA_BIAS_HIGH, YA_BIAS_LOW, YA_BIAS_HIGH, ZA_BIAS_LOW, ZA_BIAS_HIGH	406.5
XG_ALM_MAGN, YG_ALM_MAGN, ZG_ALM_MAGN, XA_ALM_MAGN, YA_ALM_MAGN, ZA_ALM_MAGN	406.5
USER_SCR_1, USER_SCR_2, USER_SCR_3, USER_SCR_4	0
GLOB_CMD	82 ²
GPIO_CTRL, DEC_RATE, CONFIG, ALM_CNFG_0, ALM_CNFG_1, SLP_CNT	82
FNCTIO_CTRL	147
NULL_CNFG	116
FILTR_BNK_0, FILTR_BNK_1	101
FIR_COEF_xxxx	0 ³

¹ TIME_xx_xxxx レジスタの処理時間には、これらの値が同期するのに必要な時間 (≤1sec) は含まれていません。

² GLOB_CMD レジスタの処理時間には、このレジスタで各コマンドを実行するのに必要な時間は含まれていません。

³ FIR_COEF_xxxx レジスタの処理時間には、FIR フィルタがセトリングするまでの時間は含まれていません。

ユーザ・レジスタ定義

ページ番号 (PAGE_ID)

PAGE_ID レジスタの内容 (表 12 と表 13 を参照) は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、SPI ベースのユーザ・アクセスのためページ 2 を選択するには、DIN = 0x8002 に設定します。ユーザ・アクセスが可能な各レジスタに関連するページ割り当てについては、表 10 を参照してください。

表 12. PAGE_ID のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x00, 0x01	0x0000	R/W	No

表 13. PAGE_ID のビット定義

ビット	説明 (デフォルト = 0x0000)
[15:0]	ページ番号、2 進数フォーマット

データおよびサンプリング・カウンタ (DATA_CNT)

DATA_CNT レジスタ (表 14 および表 15 を参照) は、連続的なリアルタイムのサンプリング・カウンタです。カウンタは 0x0000 から始まり、センサー出力データ・レジスタが更新されるごとに 1 ずつ増加し、0xFFFF の後は 0x0000 に戻ります。

表 14. DATA_CNT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x04, 0x05	Not applicable	R	No

表 15. DATA_CNT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	データ・カウンタ、バイナリ・フォーマット

内部電源モニタ (SENS_PWR)

SENS_PWR レジスタ (表 16 および表 17 を参照) は、読出し専用レジスタで、内部電源の測定値を示します。表 18 にデータ・フォーマットの例を示します。

表 16. SENS_PWR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x06, 0x07	Not applicable	R	No

表 17. SENS_PWR のビット定義

ビット	説明 (デフォルトなし)
[15:0]	関連電源測定値、2 の補数 (式 1 を参照)

$$SENS_PWR_{LSB} = \left(\frac{2.5\text{ V}}{Supply} \times 2^{16} \right) - 2^{15} \quad (1)$$

表 18. SENS_PWR のデータ・フォーマット例

Supply Level (V)	Decimal	Hex	Binary
4.90	+669	0x029D	0000 0010 1001 1101
4.95	+331	0x014B	0000 0001 0100 1011
5	0	0x0000	0000 0000 0000 0000
5.05	-324	0xFEBC	1111 1110 1011 1100
5.10	-643	0xFD7D	1111 1101 0111 1101

ステータスおよびエラー・フラグ・インジケータ (SYS_E_FLAG)

SYS_E_FLAG レジスタ (表 19 と表 20 を参照) は、様々なエラー・フラグを立てます。このレジスタの内容を読み出すと、ビット 7 を除くビットが 0 に戻ります。エラー状態が続く場合は、そのフラグ (ビット) が自動的にアラーム値である 1 に戻ります。

表 19. SYS_E_FLAG のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x08, 0x09	0x0000	R	No

表 20. SYS_E_FLAG のビット定義

ビット	説明 (デフォルト = 0x0000)
15	ウォッチドッグ・タイマー・フラグ。1 は、問題を解消するために ADIS16486 が自動的に自分自身をリセットすることを示します。
[14:9]	未使用。
8	内部電源モニタ。1 は、センサーの電源に問題があることを示します。回復のためリセットを行ってください。エラーが再発して解消できない場合は、ADIS16486 を交換します。
7	処理オーバーラン。1 は、処理オーバーランが発生したことを示します。回復のためリセットを行ってください。エラーが再発して解消できない場合は、ADIS16486 を交換します。このエラーが発生する原因の 1 つとして考えられるのは、VDDRTC ビンに電力が供給されていないことです。
6	フラッシュ・メモリ更新失敗。1 は、最後に行ったフラッシュ・メモリの更新 (GLOB_CMD のビット 3、表 141 を参照) が失敗したことを示します。テストを繰り返してもこのエラーが再発して解消できない場合は、ADIS16486 を交換してください。
5	センサー不具合。1 は、連続またはオン・デマンドのセルフ・テストのうち少なくとも 1 つが不合格であることを示します。装置が作動中でない場合は、ODST (GLOB_CMD のビット 1、表 141 を参照) を実行してください。エラーが再発して解消できない場合は、ADIS16486 を交換してください。
4	オーバーレンジ。1 は、少なくとも 1 つのセンサーのデジタル指示値が、その最大値の 99% に達したことを示します。回復のためリセットを行ってください。エラーが再発して解消できない場合は、ADIS16486 を交換します。
3	SPI 通信エラー。「1」は、SCLK サイクルの合計数が 16 の整数倍でないことを示します。回復させるには、それ以前の通信シーケンスを繰り返してください。エラーが続く場合は、マスタ・プロセッサからの SPI サービスに問題があることを示している可能性があります。
2	SRAM 不具合状態。1 は、SRAM とフラッシュ・メモリの間の CRC (時間 = 20ms) で不合格となったことを示します。回復のためリセットを行ってください。エラーが再発して解消できない場合は、ADIS16486 を交換します。
1	ブート・メモリ不具合。1 は、一次フラッシュ・メモリ・バンクがリファレンス CRC 値に一致せず、デバイスがフラッシュ・メモリ内のバックアップ・メモリ・バンクを使用して自動的に再起動したことを示します。エラーが再発して解消できない場合は、ADIS16486 を交換します。
0	アラーム・ステータス・フラグ。1 は、ユーザ・プログラマブル・アラームの 1 つがアクティブになっていることを示します。どのアラームがアクティブになっているかの指示については、ALM_STS レジスタを参照してください。

セルフ・テスト・エラー・フラグ (DIAG_STS)

SYS_E_FLAG のビット 5 (表 20 を参照) には CST 動作および ODS_T 動作の可否 (0 = 合格) が格納され、DIAG_STS レジスタ (表 21 と表 22 を参照) には各慣性センサーの可否フラグ (0 = 合格) が格納されます。DIAG_STS レジスタの内容を読み出すと、すべてのビットが 0 にクリアされます。エラー状態が続く場合は、この DIAG_STS レジスタ内のビットが 1 に戻ります。CST は、通常動作時の異常動作を検出するための独自の方法を利用します。これに対し、ODST では人為的に、各慣性センサーが実際の動きに対する応答をシミュレーションするようにします。

表 21. DIAG_STS のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x0A, 0x0B	0x0000	R	No

表 22. DIAG_STS のビット定義

ビット	説明 (デフォルト = 0x0000)
[15:6]	未使用
5	ODST 不合格、z 軸加速度センサー (1 = 不合格)
4	ODST 不合格、y 軸加速度センサー (1 = 不合格)
3	ODST 不合格、x 軸加速度センサー (1 = 不合格)
2	ODST 不合格、z 軸ジャイロ・センサー (1 = 不合格)
1	ODST 不合格、y 軸ジャイロ・センサー (1 = 不合格)
0	ODST 不合格、x 軸ジャイロ・センサー (1 = 不合格) または、連続セルフ・テスト (CST) 不合格、すべてのジャイロ・センサーおよび加速度センサー (1 = 不合格)

アラーム・エラー・フラグ (ALM_STS)

ALM_STS レジスタ (表 23 と表 24 を参照) には、ALM_CNFG_0 レジスタ (表 159 参照) と ALM_CNFG_1 レジスタ (表 161 参照) レジスタのアラーム設定用のエラー・フラグが格納されます。ALM_STS レジスタの内容を読み出すと、すべてのビットが 0 にクリアされます。アラーム状態が続く場合、対応するビットは次のサンプル・サイクルで 1 に戻ります。

表 23. ALM_STS のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x0C, 0x0D	0x0000	R	No

表 24. ALM_STS のビット定義

ビット	説明 (デフォルト = 0x0000)
[15:6]	未使用
5	z 軸加速度センサー・アラーム・フラグ (1 = アラームがアクティブ)
4	y 軸加速度センサー・アラーム・フラグ (1 = アラームがアクティブ)
3	x 軸加速度センサー・アラーム・フラグ (1 = アラームがアクティブ)
2	z 軸ジャイロ・センサー・アラーム・フラグ (1 = アラームがアクティブ)
1	y 軸ジャイロ・センサー・アラーム・フラグ (1 = アラームがアクティブ)
0	x 軸ジャイロ・センサー・アラーム・フラグ (1 = アラームがアクティブ)

内部温度 (TEMP_OUT)

TEMP_OUT レジスタ (表 25 と表 26 を参照) には、ADIS16486 の内部温度の大まかな測定値がセットされています。このデータは、温度環境の相対的な変化を監視するのに極めて有効です。

表 25. TEMP_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x0E, 0x0F	Not applicable	R	No

表 26. TEMP_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	温度データ、2 の補数、0.00565°C/LSB、25°C = 0x0000

表 27. TEMP_OUT のデータ・フォーマット例

Temperature (°C)	Decimal	Hex	Binary
+85	+10,619	0x297B	0010 1001 0111 1011
+25 + 0.0113	+2	0x0002	0000 0000 0000 0010
+25 + 0.00565	+1	0x0001	0000 0000 0000 0001
+25	0	0x0000	0000 0000 0000 0000
+25 - 0.00565	-1	0xFFFF	1111 1111 1111 1111
+25 - 0.0113	-2	0xFFFE	1111 1111 1111 1110
-40	-11,504	0xD310	1101 0011 0001 0000

ジャイロ・センサーのデータ

ADIS16486 のジャイロ・センサーは、3 本の直交軸 (x、y、z) 回りの回転角速度を測定します。ジャイロ・センサーの各軸の方向と、その各測定値が正の応答となる回転方向を図 16 に示します。

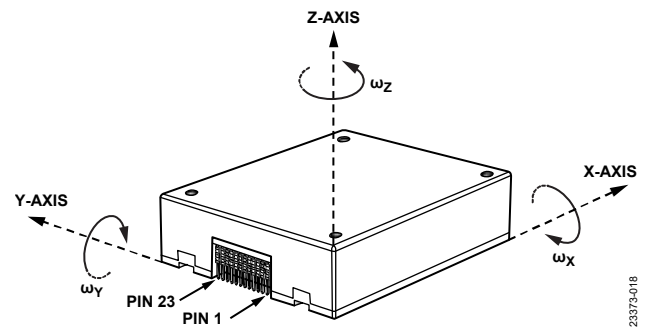


図 16. ジャイロ・センサーの軸と極性の割り当て

各ジャイロ・センサーには 2 つの出力データ・レジスタがあります。x 軸ジャイロ・センサー測定において、X_GYRO_LOW レジスタと X_GYRO_OUT レジスタを組み合わせることで 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 17 に示します。このフォーマットは y 軸と x 軸にも当てはまります。

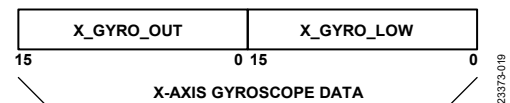


図 17. ジャイロ・センサーの出力データ構造

x 軸ジャイロ・センサー (X_GYRO_LOW、X_GYRO_OUT)

X_GYRO_LOW レジスタ (表 28 と表 29 を参照) と X_GYRO_OUT レジスタ (表 30 と表 31 を参照) には、x 軸のジャイロ・センサー・データが格納されます。

表 28. X_GYRO_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x10, 0x11	Not applicable	R	No

表 29. X_GYRO_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	x 軸ジャイロ・センサー・データ、下位ワード

表 30. X_GYRO_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x12, 0x13	Not applicable	R	No

表 31. X_GYRO_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	x 軸ジャイロ・センサー・データ、上位ワード、2 の補数、範囲: $\pm 450^\circ/\text{sec}$ 、 $0^\circ/\text{sec} = 0x0000$ 、1LSB = $0.02^\circ/\text{sec}$

y 軸ジャイロ・センサー (Y_GYRO_LOW、Y_GYRO_OUT)

Y_GYRO_LOW レジスタ (表 32 と表 33 を参照) と Y_GYRO_OUT レジスタ (表 34 と表 35 を参照) には、y 軸のジャイロ・センサー・データが格納されます。

表 32. Y_GYRO_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x14, 0x15	Not applicable	R	No

表 33. Y_GYRO_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	y 軸ジャイロ・センサー・データ、下位ワード

表 34. Y_GYRO_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x16, 0x17	Not applicable	R	No

表 35. Y_GYRO_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	y 軸ジャイロ・センサー・データ、上位ワード、2 の補数、範囲: $\pm 450^\circ/\text{sec}$ 、 $0^\circ/\text{sec} = 0x0000$ 、1LSB = $0.02^\circ/\text{sec}$

z 軸ジャイロ・センサー (Z_GYRO_LOW、Z_GYRO_OUT)

Z_GYRO_LOW レジスタ (表 36 と表 37 を参照) と Z_GYRO_OUT レジスタ (表 38 と表 39 を参照) には、z 軸のジャイロ・センサー・データが格納されます。

表 36. Z_GYRO_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x18, 0x19	Not applicable	R	No

表 37. Z_GYRO_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	z 軸ジャイロ・センサー・データ、下位ワード、追加分解能ビット

表 38. Z_GYRO_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x1A, 0x1B	Not applicable	R	No

表 39. Z_GYRO_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	z 軸ジャイロ・センサー・データ、上位ワード、2 の補数、範囲: $\pm 450^\circ/\text{sec}$ 、 $0^\circ/\text{sec} = 0x0000$ 、1LSB = $0.02^\circ/\text{sec}$

ジャイロ・センサーの分解能

16 ビットと 32 ビットの角速度 (ジャイロ・センサー) データのフォーマットを示す様々な数値の例を、表 40 と表 41 に示します。

表 40. 16 ビット・ジャイロ・センサー・データのフォーマット例

Rotation Rate ($^\circ/\text{sec}$)	Decimal	Hex	Binary
+450	+22,500	0x57E4	0101 0111 1110 0100
+0.04	+2	0x0002	0000 0000 0000 0010
+0.02	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
-0.02	-1	0xFFFF	1111 1111 1111 1111
-0.04	-2	0xFFFE	1111 1111 1111 1110
-450	-22,500	0xA81C	1010 1000 0001 1100

表 41. 32 ビット・ジャイロ・センサー・データのフォーマット例

Rotation Rate ($^\circ/\text{sec}$)	Decimal	Hex
+450	+1,474,560,000	0x57E40000
+0.02/2 ¹⁵	+2	0x00000002
+0.02/2 ¹⁶	+1	0x00000001
0	0	0x00000000
-0.02/2 ¹⁶	-1	0xFFFFFFF
-0.02/2 ¹⁵	-2	0xFFFFFFF
-450	-1,474,560,000	0x73600000

加速度データ

ADIS16486 の加速度センサーは、3 本の直交軸 (x、y、z) に沿った動的加速度と静的加速度 (重力に対する応答) の両方を測定します。加速度センサーの各軸の方向と、その各測定値が正の応答となる加速度方向を図 18 に示します。

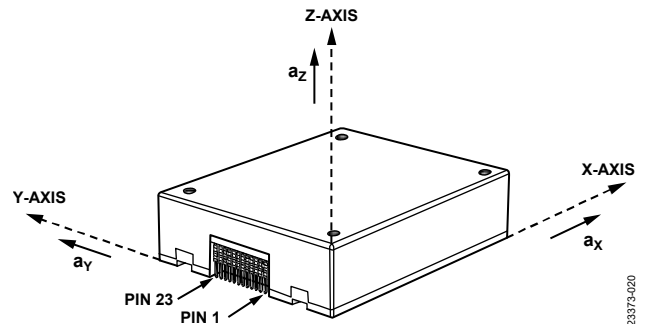


図 18. 加速度センサーの軸と極性の割り当て

各加速度センサーには 2 つの出力データ・レジスタがあります。x 軸加速度センサー測定において、X_ACCL_LOW レジスタと X_ACCL_OUT レジスタを組み合わせることで 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 19 に示します。このフォーマットは y 軸と x 軸にも当てはまります。

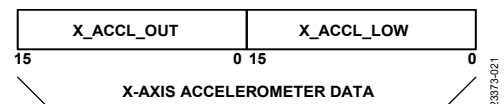


図 19. 加速度センサーの出力データ構造

x 軸加速度センサー (X_ACCL_LOW、X_ACCL_OUT)

X_ACCL_LOW レジスタ (表 42 と表 43 を参照) と X_ACCL_OUT レジスタ (表 44 と表 45 を参照) には、x 軸の加速度センサー・データが格納されます。

表 42. X_ACCL_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x1C, 0x1D	Not applicable	R	No

表 43. X_ACCL_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	x 軸加速度センサー・データ、下位ワード

表 44. X_ACCL_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x1E, 0x1F	Not applicable	R	No

表 45. X_ACCL_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	x 軸加速度センサー・データ、上位ワード、2 の補数、範囲: $\pm 18g$ 、 $0g = 0x0000$ 、 $1LSB = 0.8mg$

y 軸加速度センサー (Y_ACCL_LOW、Y_ACCL_OUT)

Y_ACCL_LOW レジスタ (表 46 と表 47 を参照) と Y_ACCL_OUT レジスタ (表 48 と表 49 を参照) には、y 軸の加速度センサー・データが格納されます。

表 46. Y_ACCL_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x20, 0x21	Not applicable	R	No

表 47. Y_ACCL_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	y 軸加速度センサー・データ、下位ワード

表 48. Y_ACCL_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x22, 0x23	Not applicable	R	No

表 49. Y_ACCL_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	y 軸加速度センサー・データ、2 の補数、範囲: $\pm 18g$ 、 $0g = 0x0000$ 、 $1LSB = 0.8mg$

z 軸加速度センサー (Z_ACCL_LOW、Z_ACCL_OUT)

Z_ACCL_LOW レジスタ (表 50 と表 51 を参照) と Z_ACCL_OUT レジスタ (表 52 と表 53 を参照) には、z 軸の加速度センサー・データが格納されます。

表 50. Z_ACCL_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x24, 0x25	Not applicable	R	No

表 51. Z_ACCL_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	z 軸加速度センサー・データ、下位ワード

表 52. Z_ACCL_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x26, 0x27	Not applicable	R	No

表 53. Z_ACCL_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	z 軸加速度センサー・データ、上位ワード、2 の補数、範囲: $\pm 18g$ 、 $0g = 0x0000$ 、 $1LSB = 0.8mg$

加速度センサーの分解能

16 ビットと 32 ビットの直線加速度データのフォーマットを示す様々な数値の例を、表 54 と表 55 に示します。

表 54. 16 ビット加速度センサー・データのフォーマット例

Acceleration	Decimal	Hex	Binary
+18 g	+20,000	0x4E20	0100 1110 0010 0000
+1.6 mg	+2	0x0002	0000 0000 0000 0010
+0.8 mg	+1	0x0001	0000 0000 0000 0001
0 mg	0	0x0000	0000 0000 0000 0000
-0.8 mg	-1	0xFFFF	1111 1111 1111 1111
-1.6 mg	-2	0xFFFE	1111 1111 1111 1110
-18 g	-20,000	0xB1E0	1011 0001 1110 0000

表 55. 32 ビット加速度センサー・データのフォーマット例

Acceleration (g)	Decimal	Hex
+18	+1,310,720,000	0x4E200000
+0.0008/2 ¹⁵	+2	0x00000002
+0.0008/2 ¹⁶	+1	0x00000001
0	0	0x00000000
-0.0008/2 ¹⁶	-1	0xFFFFFFF
-0.0008/2 ¹⁵	-2	0xFFFFFFF
-18	-1,310,720,000	0xB1E00000

角度変化

各軸 (x、y、z) 周りの回転角速度 (ジャイロ・センサー) の測定値に加えて、ADIS16486 は角度変化の測定も出力します。これはサンプル更新ごとの角度変位を計算したものです。

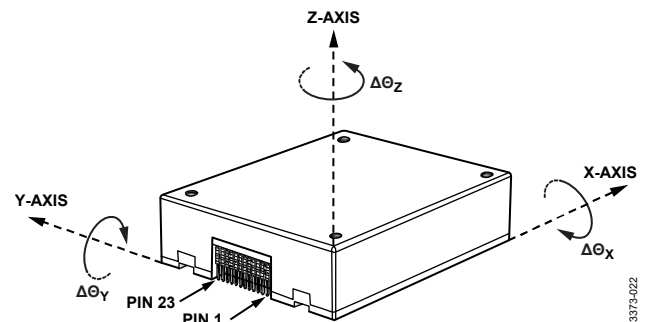


図 20. 角度変化の軸と極性割り当て

角度変化出力はジャイロ・センサー測定値の積分値を表し、3つの軸すべてについて以下の式を使用します（x 軸について例示）。

$$\Delta\theta_{x,nD} = \frac{1}{2f_s} \times \sum_{d=0}^{D-1} (\omega_{x,nD+d} + \omega_{x,nD+d-1})$$

ここで、
 D はデシメーション・レート = DEC_RATE + 1（表 149 を参照）、
 f_s はサンプル・レート、
 d は総和公式の増分変数、
 ω_x は x 軸回りの回転速度（ジャイロ・センサー）、
 n はデシメーション・フィルタ前のサンプル時間です。

内部サンプル・クロックを使用する場合、 f_s は 2460SPS です。外部クロック・オプションを使用する場合、 f_s は外部クロックの周波数に等しくなります。外部クロック周波数は、高回転速度時に角度変化データ・レジスタがオーバーフローするのを防ぐために、700Hz 以上となるようにしてください。

角度変化測定時は、各軸につき 2 つの出力データ・レジスタを使用します。x 軸角度変化測定において、X_DELTANG_LOW のレジスタと X_DELTANG_OUT のレジスタを組み合わせて 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 21 に示します。このフォーマットは y 軸と x 軸にも当てはまります。

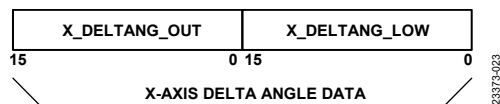


図 21. 角度変化出力のデータ構造

x 軸角度変化 (X_DELTANG_LOW、X_DELTANG_OUT)

X_DELTANG_LOW レジスタ（表 56 と表 57 を参照）と X_DELTANG_OUT レジスタ（表 58 と表 59 を参照）には、x 軸の角度変化データが格納されます。

表 56. X_DELTANG_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x40, 0x41	Not applicable	R	No

表 57. X_DELTANG_LOW のビット定義

ビット	説明（デフォルトなし）
[15:0]	x 軸角度変化データ、下位ワード

表 58. X_DELTANG_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x42, 0x43	Not applicable	R	No

表 59. X_DELTANG_OUT のビット定義

ビット	説明（デフォルトなし）
[15:0]	x 軸角度変化データ、2 の補数、範囲：±720°、0° = 0x0000、1LSB = 720°/2 ¹⁵ = 約 0.022°

y 軸角度変化 (Y_DELTANG_LOW、Y_DELTANG_OUT)

Y_DELTANG_LOW レジスタ（表 60 と表 61 を参照）と Y_DELTANG_OUT レジスタ（表 62 と表 63 を参照）には、y 軸の角度変化データが格納されます。

表 60. Y_DELTANG_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x44, 0x45	Not applicable	R	No

表 61. Y_DELTANG_LOW のビット定義

ビット	説明（デフォルトなし）
[15:0]	y 軸角度変化データ、下位ワード

表 62. Y_DELTANG_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x46, 0x47	Not applicable	R	No

表 63. Y_DELTANG_OUT のビット定義

ビット	説明（デフォルトなし）
[15:0]	y 軸角度変化データ、2 の補数、範囲：±720°、0° = 0x0000、1LSB = 720°/2 ¹⁵ = 約 0.022°

z 軸角度変化 (Z_DELTANG_LOW、Z_DELTANG_OUT)

Z_DELTANG_LOW レジスタ（表 64 と表 65 を参照）と Z_DELTANG_OUT レジスタ（表 66 と表 67 を参照）には、z 軸の角度変化データが格納されます。

表 64. Z_DELTANG_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x48, 0x49	Not applicable	R	No

表 65. Z_DELTANG_LOW のビット定義

ビット	説明（デフォルトなし）
[15:0]	z 軸角度変化データ、下位ワード

表 66. Z_DELTANG_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x4A, 0x4B	Not applicable	R	No

表 67. Z_DELTANG_OUT のビット定義

ビット	説明（デフォルトなし）
[15:0]	z 軸角度変化データ、2 の補数、範囲：±720°、0° = 0x0000、1LSB = 720°/2 ¹⁵ = 約 0.022°

角度変化の分解能

16 ビットと 32 ビットの速度変化データのフォーマットを示す様々な数値の例を、表 68 と表 69 に示します。

表 68. 16 ビット角度変化データのフォーマット例

Delta Angle (°)	Decimal	Hex	Binary
+720 × (2 ¹⁵ - 1)/2 ¹⁵	+32,767	0x7FFF	0111 1111 1110 1111
+720/2 ¹⁴	+2	0x0002	0000 0000 0000 0010
+720/2 ¹⁵	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
-720/2 ¹⁵	-1	0xFFFF	1111 1111 1111 1111
-720/2 ¹⁴	-2	0xFFFFE	1111 1111 1111 1110
-720	-32,768	0x8000	1000 0000 0000 0000

表 69. 32 ビット角度変化データのフォーマット例

Delta Angle (°)	Decimal	Hex
$+720 \times (2^{23} - 1)/2^{23}$	+2,147,483,647	0x7FFFFFFF
$+720/2^{22}$	+2	0x00000002
$+720/2^{23}$	+1	0x00000001
0	0	0x00000000
$-720/2^{23}$	-1	0xFFFFFFF
$-720/2^{22}$	-2	0xFFFFFFF
-720	-2,147,483,648	0x80000000

速度変化

各軸 (x、y、z) に沿った直線加速度の測定値に加えて、ADIS16486 は、サンプル更新ごとの直線速度測定値の変化も計算します。

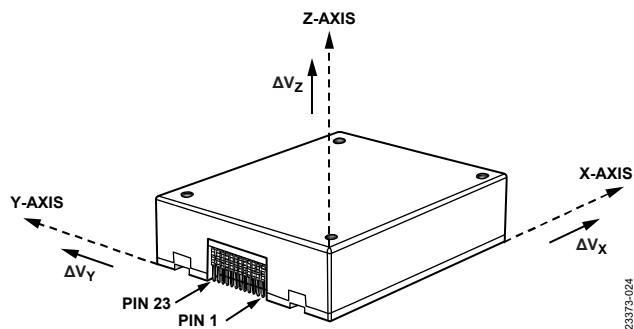


図 22. 速度変化の軸と極性割り当て

速度変化出力は加速度測定値の積分値を表し、3 つの軸すべてについて以下の式を使用します (x 軸について例示)。

$$\Delta V_{x,nD} = \frac{1}{2f_s} \times \sum_{d=0}^{D-1} (a_{x,nD+d} + a_{x,nD+d-1})$$

ここで、
 D はデシメーション・レート = DEC_RATE + 1 (表 149 を参照)、
 f_s はサンプル・レート、
 d は総和公式の増分変数、
 a_x は x 軸回りの加速度 (加速度センサー)、
 n はデシメーション・フィルタ前のサンプル時間です。

内部サンプル・クロックを使用する場合、 f_s は 2460SPS です。外部クロック・オプションを使用する場合、 f_s は外部クロックの周波数に等しくなります。外部クロック周波数は、高加速度時に速度変化データ・レジスタがオーバーフローするのを防ぐために、700Hz 以上となるようにしてください。

速度変化測定時は、各軸につき 2 つの出力データ・レジスタを使用します。x 軸速度変化測定において、X_DELTVEL_LOW レジスタと X_DELTVEL_OUT レジスタを組み合わせる 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 23 に示します。このフォーマットは y 軸と z 軸にも当てはまります。

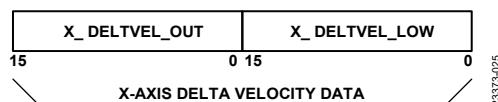


図 23. 速度変化出力のデータ構造

x 軸速度変化 (X_DELTVEL_LOW、X_DELTVEL_OUT)

X_DELTVEL_LOW レジスタ (表 70 と表 71 を参照) と X_DELTVEL_OUT レジスタ (表 72 と表 73 を参照) には、x 軸の速度変化データが格納されます。

表 70. X_DELTVEL_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x4C, 0x4D	Not applicable	R	No

表 71. X_DELTVEL_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	x 軸速度変化データ、下位ワード

表 72. X_DELTVEL_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x4E, 0x4F	Not applicable	R	No

表 73. X_DELTVEL_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	x 軸速度変化データ、上位ワード、2 の補数、範囲： ±200m/sec、0m/sec = 0x0000、1LSB = 200m/sec ÷ 2 ¹⁵ = 約 6.104mm/sec

y 軸速度変化 (Y_DELTVEL_LOW、Y_DELTVEL_OUT)

Y_DELTVEL_LOW レジスタ (表 74 と表 75 を参照) と Y_DELTVEL_OUT レジスタ (表 76 と表 77 を参照) には、y 軸の速度変化データが格納されます。

表 74. Y_DELTVEL_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x50, 0x51	Not applicable	R	No

表 75. Y_DELTVEL_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	y 軸速度変化データ、下位ワード

表 76. Y_DELTVEL_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x52, 0x53	Not applicable	R	No

表 77. Y_DELTVEL_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	y 軸速度変化データ、上位ワード、2 の補数、範囲： ±200m/sec、0m/sec = 0x0000、1LSB = 200m/sec ÷ 2 ¹⁵ = 約 6.104mm/sec

z 軸速度変化 (Z_DELTVEL_LOW、Z_DELTVEL_OUT)

Z_DELTVEL_LOW レジスタ (表 78 と表 79 を参照) と Z_DELTVEL_OUT レジスタ (表 80 と表 81 を参照) には、z 軸の速度変化データが格納されます。

表 78. Z_DELTVEL_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x54, 0x55	Not applicable	R	No

表 79. Z_DELTVEL_LOW のビット定義

ビット	説明 (デフォルトなし)
[15:0]	z 軸速度変化データ、下位ワード

表 80. Z_DELTVEL_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x56, 0x57	Not applicable	R	No

表 81. Z_DELTVEL_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:0]	z 軸速度変化データ、上位ワード、2 の補数、範囲： ±200m/sec、0m/sec = 0x0000、1LSB = 200m/sec ÷ 2 ¹⁵ = 約 6.104mm/sec

速度変化の分解能

16 ビットと 32 ビットの両フォーマットについて、速度変化データの例を表 82 と表 83 に示します。

表 82. 16 ビット速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hex	Binary
+200 × (2 ¹⁵ - 1)2 ¹⁵	+32,767	0x7FFF	0111 1111 1110 1111
+200/2 ¹⁴	+2	0x0002	0000 0000 0000 0010
+200/2 ¹⁵	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
-200/2 ¹⁵	-1	0xFFFF	1111 1111 1111 1111
-200/2 ¹⁴	-2	0xFFFE	1111 1111 1111 1110
-200	-32,768	0x8000	1000 0000 0000 0000

表 83. 32 ビット速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hex
+200 × (2 ³¹ - 1)2 ³¹	+2,147,483,647	0x7FFFFFFF
+200/2 ³⁰	+2	0x00000002
+200/2 ³¹	+1	0x00000001
0	0	0x00000000
-200/2 ³¹	-1	0xFFFFFFFF
-200/2 ³⁰	-2	0xFFFFFFFFE
-200	-2,147,483,648	0x80000000

リアルタイム・クロック (RTC)

VDDRTC 電源ピン (表 6 のピン 23 を参照) は RTC 機能専用の電源を供給します。VDDRTC ピンを専用の 3.3V 電源に接続すれば、主電源 (VDD) がオフになった場合でも RTC の動作を維持できます。なお、VDDRTC 電源は、この機能を使用しない場合でも常に接続しておく必要があります。

RTC 機能は、2 つあるモードの 1 つを CONFIG レジスタのビット 0 で選択することによって設定します (表 147 を参照)。RTC データは、TIME_MS_OUT レジスタ (表 85 を参照)、TIME_DH_OUT (表 87 を参照)、TIME_YM_OUT (表 89 を参照) から得ることができます。経時タイマー・モードを使用する場合、時刻データ・レジスタはデバイス起動時 (あるいはリセット時) に 0x0000 から開始され、ストップ・ウォッチと同様の形式で計時が続けられます。

クロックおよびカレンダー・モードを使用する場合は、以下の順番でリアルタイム・レジスタに現在時刻を書き込みます：秒 (TIME_MS_OUT のビット [5:0])、分 (TIME_MS_OUT のビット [13:8])、時 (TIME_DH_OUT のビット [5:0])、日 (TIME_DH_OUT のビット [12:8])、月 (TIME_YM_OUT のビット [3:0])、年 (TIME_YM_OUT のビット [14:8])。タイマーの更新は、TIME_YM_OUT のビット [14:8] バイトの書き込みが完了して初めて有効になります。

新たに更新された値が RTC レジスタに反映されるのは、TIME_YM_OUT のビット [14:8] (年) への書き込み終了後、最初の 1 秒が経過した時点です。TIME_YM_OUT のビット [14:8] に書き込みがあると、すべてのタイミング値が有効になります。したがってタイマーを更新する場合は、年情報を更新する必要がない場合でも、必ず最後にこの位置へ書き込みを行ってください。

CONFIG のビット 0 = 1 (DIN = 0x8003、DIN = 0x8AC1、DIN = 0x8B00) と設定した後に、それぞれの時刻データ・レジスタに現在時刻を書き込みます。このシーケンスでは、CONFIG レジスタ内の他ビットの工場出荷時の値が維持されます。CONFIG レジスタの設定後、GLOB_CMD のビット 3 = 1 (DIN = 0x8003、DIN = 0x8204、DIN = 0x8300) と設定し、これらの設定値をフラッシュ・メモリにバックアップします。VDDRTC だけはタイム・トラッキング用に電源が必要ですが、TIME_xx_OUT レジスタ内の時刻データへのアクセスは通常動作で行うことができます (VDD = 3.3V、完全起動)。RTC 機能を使用しない場合でも、VDDRTC の電源電圧は表 1 の条件を満たす必要があります。

RTC: 分および秒、TIME_MS_OUT

表 84. TIME_MS_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x78, 0x79	Not applicable	R/W	No

表 85. TIME_MS_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:14]	未使用
[13:8]	分、バイナリ・データ、範囲 = 0~59
[7:6]	未使用
[5:0]	秒、バイナリ・データ、範囲 = 0~59

RTC: 日時、TIME_DH_OUT

表 86. TIME_DH_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x7A, 0x7B	Not applicable	R/W	No

表 87. TIME_DH_OUT のビット定義

ビット	説明 (デフォルトなし)
[15:13]	未使用
[12:8]	日、バイナリ・データ、範囲 = 1~31
[7:6]	未使用
[5:0]	時、バイナリ・データ、範囲 = 0~23

RTC: 年月、TIME_YM_OUT

表 88. TIME_YM_OUT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x7C, 0x7D	Not applicable	R/W	No

表 89. TIME_YM_OUT のビット定義

ビット	説明 (デフォルトなし)
[15]	未使用
[14:8]	年、バイナリ・データ、範囲 = 0~99、西暦 2000 年が基点
[7:4]	未使用
[3:0]	月、バイナリ・データ、範囲 = 1~12

製品 ID、PROD_ID

PROD_ID レジスタ (表 90 と表 91 を参照) には、デバイス番号の数値部分 (16,486) が格納されます。このレジスタのループ

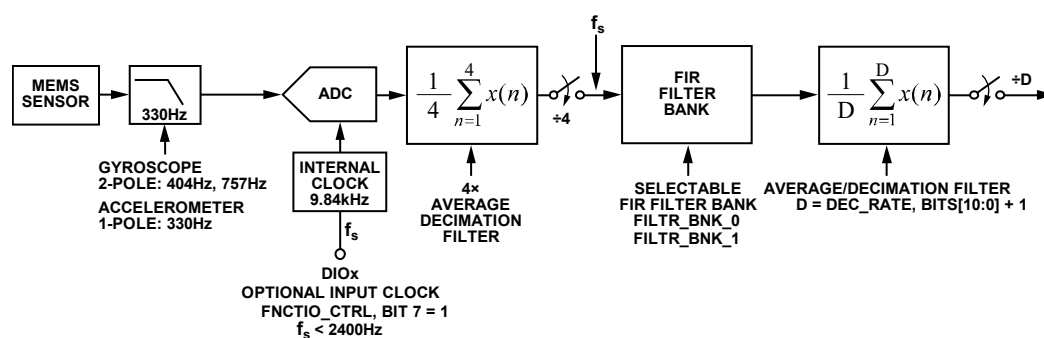
読出しを使用して通信の完全性を評価する方法の例については、[図 15](#) を参照してください。

表 90. PROD_ID のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x00	0x7E, 0x7F	0x4066	R	Yes

表 91. PROD_ID のビット定義

ビット	説明 (デフォルト = 0x4066)
[15:0]	製品識別 = 0x4066



NOTES

1. WHEN FNCTIO_CTRL, BIT 7 = 1, f_s IS THE EXTERNAL INPUT CLOCK, AND EACH CLOCK PULSE ON THE DESIGNATED DIOx LINE (FNCTIO_CTRL, BITS[5:4]) STARTS A 4-SAMPLE BURST, AT A SAMPLE RATE OF 9.84 kHz. THESE FOUR SAMPLES FEED INTO THE 4x AVERAGE/DECIMATION FILTER, WHICH PRODUCES A DATA RATE THAT IS EQUAL TO THE INPUT CLOCK FREQUENCY.
2. WHEN FNCTIO_CTRL, BIT 7 = 0, f_s IS THE INTERNALLY GENERATED 2.46 kHz SAMPLE CLOCK.

23373-030

図 24. サンプリングと周波数応答の信号フロー

キャリブレーション

各慣性センサー（加速度センサー、ジャイロ・センサー）のシグナル・チェーンには固有の補正式が使われていますが、これらの式は、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ の温度範囲で個々の ADIS16486 に対し、直線加速度（ジャイロ・センサー）に関するバイアス、感度、アラインメント、応答の広範な特性評価を行うことによって得られたものです。これらの補正式自体にはアクセスできませんが、ユーザ・アクセス可能なレジスタを通じて、個々のセンサーについてバイアスとスケール・ファクタを調整することができます。これらの補正係数は、シグナル・チェーンの補正式が工場で導出された直後から用いられます。

キャリブレーション、ジャイロ・センサー・スケール、X_GYRO_SCALE

X_GYRO_SCALE レジスタ（表 92 と表 93 を参照）は、ユーザによる x 軸ジャイロ・センサーのスケール・ファクタ調整を可能にします。このスケール・ファクタが x 軸のジャイロ・センサー・データに及ぼす影響については、図 25 を参照してください。

表 92. X_GYRO_SCALE のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x04, 0x05	0x0000	R/W	Yes

表 93. X_GYRO_SCALE のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

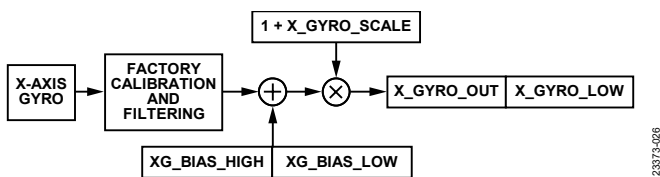


図 25. ジャイロ・センサーのユーザ・キャリブレーション信号パス

キャリブレーション、ジャイロ・センサー・スケール、Y_GYRO_SCALE

Y_GYRO_SCALE レジスタ（表 94 と表 95 を参照）は、ユーザによる y 軸ジャイロ・センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_GYRO_SCALE レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、y 軸のジャイロ・センサー測定値に影響を与えます（図 25 を参照）。

表 94. Y_GYRO_SCALE のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x06, 0x07	0x0000	R/W	Yes

表 95. Y_GYRO_SCALE のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	y 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

キャリブレーション、ジャイロ・センサー・スケール、Z_GYRO_SCALE

Z_GYRO_SCALE のレジスタ（表 96 と表 97 を参照）は、ユーザによる z 軸ジャイロ・センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_GYRO_SCALE レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、z 軸のジャイロ・センサー測定値に影響を与えます（図 25 を参照）。

表 96. Z_GYRO_SCALE のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x08, 0x09	0x0000	R/W	Yes

表 97. Z_GYRO_SCALE のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	z 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

キャリブレーション、加速度センサー・スケール、X_ACCL_SCALE

X_ACCL_SCALE レジスタ（表 98 と表 99 を参照）は、ユーザによる x 軸加速度センサーのスケール・ファクタ調整を可能にします。このスケール・ファクタが x 軸の加速度センサー・データに及ぼす影響については、図 26 を参照してください。

表 98. X_ACCL_SCALE のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x0A, 0x0B	0x0000	R/W	Yes

表 99. X_ACCL_SCALE のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

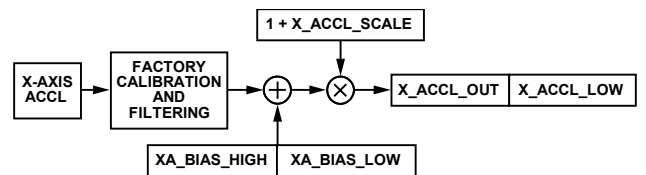


図 26. 加速度センサーのユーザ・キャリブレーション信号パス

キャリブレーション、加速度センサー・スケール、Y_ACCL_SCALE

Y_ACCL_SCALE レジスタ（表 100 と表 101 を参照）は、ユーザによる y 軸加速度センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_ACCL_SCALE レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、y 軸の加速度センサー測定値にも影響を与えます（図 26 を参照）。

表 100. Y_ACCL_SCALE のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x0C, 0x0D	0x0000	R/W	Yes

表 101. Y_ACCL_SCALE のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	y 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

キャリブレーション、加速度センサー・スケール、Z_ACCL_SCALE

Z_ACCL_SCALE レジスタ（表 102 と表 103 を参照）は、ユーザによる z 軸加速度センサーのスケール・ファクタ調整を可能にします。このレジスタは、X_ACCL_SCALE レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、z 軸の加速度センサー測定値にも影響を与えます（図 26 を参照）。

表 102. Z_ACCL_SCALE のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x0E, 0x0F	0x0000	R/W	Yes

表 103. Z_ACCL_SCALE のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	z 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

キャリブレーション、ジャイロ・センサー・バイアス、XG_BIAS_LOW、XG_BIAS_HIGH

XG_BIAS_LOW レジスタ（表 104 と表 105 を参照）と XG_BIAS_HIGH レジスタ（表 106 と表 107 を参照）を組み合わせると、ユーザが x 軸ジャイロ・センサーのバイアスを調整できます。表 40 のデジタル・フォーマット例は XG_BIAS_HIGH レジスタにも適用され、表 41 のデジタル・フォーマット例は、XG_BIAS_LOW と XG_BIAS_HIGH のレジスタを結合して得られる 32 ビット数に適用されます。これら 2 つのレジスタの組み合わせ方法と x 軸ジャイロ・センサー測定への影響については、図 25 を参照してください。

表 104. XG_BIAS_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x10, 0x11	0x0000	R/W	Yes

表 105. XG_BIAS_LOW のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸ジャイロ・センサーのオフセット補正、下位ワード、2 の補数、0°/sec = 0x0000、1LSB = $0.02^\circ/\text{sec} \div 2^{16}$ = 約 0.000000305°/sec

表 106. XG_BIAS_HIGH のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x12, 0x13	0x0000	R/W	Yes

表 107. XG_BIAS_HIGH のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、0°/sec = 0x0000、1LSB = $0.02^\circ/\text{sec}$

キャリブレーション、ジャイロ・センサー・バイアス、YG_BIAS_LOW、YG_BIAS_HIGH

YG_BIAS_LOW レジスタ（表 108 と表 109 を参照）と YG_BIAS_HIGH レジスタ（表 110 と表 111 を参照）を組み合わせると、ユーザが y 軸ジャイロ・センサーのバイアスを調整できます。表 40 のデジタル・フォーマット例は YG_BIAS_HIGH レジスタにも適用され、表 41 のデジタル・フォーマット例は、YG_BIAS_LOW と YG_BIAS_HIGH のレジスタを結合して得られる 32 ビット数に適用されます。このレジスタは、XG_BIAS_LOW レジスタと XG_BIAS_HIGH レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、y 軸のジャイロ・センサー測定値に影響を与えます（図 25 参照）。

表 108. YG_BIAS_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x14, 0x15	0x0000	R/W	Yes

表 109. YG_BIAS_LOW のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	y 軸ジャイロ・センサーのオフセット補正、下位ワード、2 の補数、0°/sec = 0x0000、1LSB = $0.02^\circ/\text{sec} \div 2^{16}$ = 約 0.000000305°/sec

表 110. YG_BIAS_HIGH のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x16, 0x17	0x0000	R/W	Yes

表 111. YG_BIAS_HIGH のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	y 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、0°/sec = 0x0000、1LSB = $0.02^\circ/\text{sec}$

キャリブレーション、ジャイロ・センサー・バイアス、ZG_BIAS_LOW、ZG_BIAS_HIGH

ZG_BIAS_LOW レジスタ（表 112 と表 113 を参照）と ZG_BIAS_HIGH レジスタ（表 114 と表 115 を参照）を組み合わせると、ユーザが z 軸ジャイロ・センサーのバイアスを調整できます。表 40 のデジタル・フォーマット例は ZG_BIAS_HIGH レジスタにも適用され、表 41 のデジタル・フォーマット例は、ZG_BIAS_LOW と ZG_BIAS_HIGH のレジスタを結合して得られる 32 ビット数に適用されます。このレジスタは、XG_BIAS_LOW レジスタと XG_BIAS_HIGH レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、z 軸のジャイロ・センサー測定値に影響を与えます（図 25 参照）。

表 112. ZG_BIAS_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x18, 0x19	0x0000	R/W	Yes

表 113. ZG_BIAS_LOW のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	z 軸ジャイロ・センサーのオフセット補正、下位ワード、2 の補数、0°/sec = 0x0000、1LSB = $0.02^\circ/\text{sec} \div 2^{16}$ = 約 0.000000305°/sec

表 114. ZG_BIAS_HIGH のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x1A, 0x1B	0x0000	R/W	Yes

表 115. ZG_BIAS_HIGH のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	z 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、0°/sec = 0x0000、1LSB = $0.02^\circ/\text{sec}$

キャリブレーション、加速度センサー・バイアス、XA_BIAS_LOW、XA_BIAS_HIGH

XA_BIAS_LOW レジスタ（表 116 と表 117 を参照）と XA_BIAS_HIGH レジスタ（表 118 と表 119 を参照）を組み合わせると、ユーザが x 軸加速度センサーのバイアスを調整できます。表 54 のデジタル・フォーマット例は XA_BIAS_HIGH レジスタにも適用され、表 55 のデジタル・フォーマット例は、XA_BIAS_LOW と XA_BIAS_HIGH のレジスタを結合して得られる 32 ビット数に適用されます。これら 2 つのレジスタの組み合わせ方法と x 軸加速度センサー測定への影響については、図 26 を参照してください。

表 116. XA_BIAS_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x1C, 0x1D	0x0000	R/W	Yes

表 117. XA_BIAS_LOW のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸加速度センサーのオフセット補正、下位ワード、2 の補数、 $0g = 0x0000$ 、 $1LSB = 0.8mg \div 2^{16} = \text{約 } 0.01221\mu g$

表 118. XA_BIAS_HIGH のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x1E, 0x1F	0x0000	R/W	Yes

表 119. XA_BIAS_HIGH のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸加速度センサーのオフセット補正、上位ワード、2 の補数、 $0g = 0x0000$ 、 $1LSB = 0.8mg$

キャリブレーション、加速度センサー・バイアス、YA_BIAS_LOW、YA_BIAS_HIGH

YA_BIAS_LOW レジスタ（表 120 と表 121 を参照）と YA_BIAS_HIGH レジスタ（表 122 と表 123 を参照）を組み合わせると、ユーザが y 軸加速度センサーのバイアスを調整できます。表 54 のデジタル・フォーマット例は YA_BIAS_HIGH レジスタにも適用され、表 55 のデジタル・フォーマット例は、YA_BIAS_LOW と YA_BIAS_HIGH のレジスタを結合して得られる 32 ビット数に適用されます。これらのレジスタは、XA_BIAS_LOW レジスタと XA_BIAS_HIGH レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、y 軸の加速度センサー測定値に影響を与えます（図 26 を参照）。

表 120. YA_BIAS_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x20, 0x21	0x0000	R/W	Yes

表 121. YA_BIAS_LOW のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	y 軸加速度センサーのオフセット補正、下位ワード、2 の補数、 $0g = 0x0000$ 、 $1LSB = 0.8mg \div 2^{16} = \text{約 } 0.01221\mu g$

表 122. YA_BIAS_HIGH のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x22, 0x23	0x0000	R/W	Yes

表 123. YA_BIAS_HIGH のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	y 軸加速度センサー・オフセット補正、上位ワード、2 の補数、 $0g = 0x0000$ 、 $1LSB = 0.8mg$

キャリブレーション、加速度センサー・バイアス、ZA_BIAS_LOW、ZA_BIAS_HIGH

ZA_BIAS_LOW レジスタ（表 124 と表 125 を参照）と ZA_BIAS_HIGH レジスタ（表 126 と表 127 を参照）を組み合わせると、ユーザが z 軸加速度センサーのバイアスを調整できます。表 54 のデジタル・フォーマット例は ZA_BIAS_HIGH レジスタにも適用され、表 55 のデジタル・フォーマット例は、ZA_BIAS_LOW と ZA_BIAS_HIGH のレジスタを結合して得られる 32 ビット数に適用されます。このレジスタは、XA_BIAS_LOW レジスタと XA_BIAS_HIGH レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、z 軸の加速度センサー測定値に影響を与えます（図 26 参照）。

表 124. ZA_BIAS_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x24, 0x25	0x0000	R/W	Yes

表 125. ZA_BIAS_LOW のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	z 軸加速度センサーのオフセット補正、下位ワード、2 の補数、 $0g = 0x0000$ 、 $1LSB = 0.8mg \div 2^{16} = \text{約 } 0.01221\mu g$

表 126. ZA_BIAS_HIGH のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x26, 0x27	0x0000	R/W	Yes

表 127. ZA_BIAS_HIGH のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	z 軸加速度センサー・オフセット補正、上位ワード、2 の補数、 $0g = 0x0000$ 、 $1LSB = 0.8mg$

スクラッチ・レジスタ、USER_SCR_x

USER_SCR_1（表 128 と表 129 を参照）、USER_SCR_2（表 130 と表 131 を参照）、USER_SCR_3（表 132 と表 133 を参照）、USER_SCR_4（表 134 と表 135 を参照）の 4 個のレジスタには、ユーザが任意の情報を保存することができます。

表 128. USER_SCR_1 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x74, 0x75	0x0000	R/W	Yes

表 129. USER_SCR_1 のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	ユーザ定義

表 130. USER_SCR_2 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x76, 0x77	0x0000	R/W	Yes

表 131. USER_SCR_2 のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	ユーザ定義

表 132. USER_SCR_3 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x78, 0x79	0x0000	R/W	Yes

表 133. USER_SCR_3 のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	ユーザ定義

表 134. USER_SCR_4 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x7A, 0x7B	0x0000	R/W	Yes

表 135. USER_SCR_4 のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	ユーザ定義

フラッシュ・メモリ書換え回数カウンタ、 FLSHCNT_LOW、FLSHCNT_HIGH

FLSHCNT_LOW レジスタ（表 136 と表 137 を参照）と FLSHCNT_HIGH レジスタ（表 138 と表 139 を参照）は、組み合わされて、フラッシュ・メモリの書込みサイクル数を記録する 32 ビット・バイナリ・カウンタを構成します。フラッシュ・メモリは、書込みサイクルに加えてサービス寿命も有限で、その長さはジャンクション温度に依存します。特定のジャンクション温度においてフラッシュ・メモリのデータ保持寿命を予測するための指標を、図 27 に示します。ジャンクション温度は、ケース温度より約 7°C 高くなっています。

表 136. FLSHCNT_LOW のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x7C, 0x7D	Not applicable	R/W	Yes

表 137. FLSHCNT_LOW のビット定義

ビット	説明（デフォルトなし）
[15:0]	フラッシュ・メモリ書込みカウンタ、下位ワード

表 138. FLSHCNT_HIGH のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x02	0x7E, 0x7F	Not applicable	R/W	Yes

表 139. FLSHCNT_HIGH のビット定義

ビット	説明（デフォルトなし）
[15:0]	フラッシュ・メモリ書込みカウンタ、上位ワード

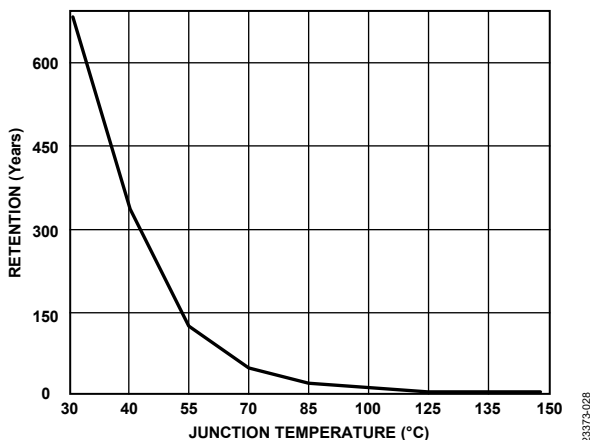


図 27. フラッシュ・メモリのデータ保持期間

グローバル・コマンド、GLOB_CMD

GLOB_CMD レジスタ（表 140 と表 141 を参照）は、各種動作のトリガ・ビットを出力します。目的の機能レジスタを開始するには、GLOB_CMD レジスタの該当ビットに 1 を書き込んでください。

表 140. GLOB_CMD のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x02, 0x03	0x0000	W	No

表 141. GLOB_CMD のビット定義

ビット	説明（デフォルト = 0x0000）
[15:8]	未使用
7	ソフトウェア・リセット
6	工場キャリブレーション値の復元
[5:4]	未使用
3	フラッシュ・メモリの更新
2	未使用
1	セルフ・テスト
0	バイアス補正の更新

ソフトウェア・リセット

ADIS16486 のリセットを開始するには、ページ 3（DIN = 0x8003）を選択して GLOB_CMD のビット 7 = 1（DIN = 0x8280 の後、DIN = 0x8300）に設定します。このリセットは、すべてのデータを削除してすべてのレジスタをフラッシュ設定から初期化し、データのサンプリングと処理を再開します。この機能は、RST ピンにロー・パルスを加える方法（表 6 を参照）に代えて、ファームウェアを使用する方法を実行します。

工場キャリブレーション値の復元

工場出荷時のキャリブレーションを復元するには、ページ 3（DIN = 0x8003）を選択して GLOB_CMD のビット 6 = 1（DIN = 0x8240 の後、DIN = 0x8300）に設定します。この復元を行うと、以下のレジスタに 0x0000 が書き込まれます：X_GYRO_SCALE、Y_GYRO_SCALE、Z_GYRO_SCALE、X_ACCL_SCALE、Y_ACCL_SCALE、Z_ACCL_SCALE、XG_BIAS_LOW、XG_BIAS_HIGH、YG_BIAS_LOW、YG_BIAS_HIGH、ZG_BIAS_LOW、ZG_BIAS_HIGH、XA_BIAS_LOW、XA_BIAS_HIGH、YA_BIAS_LOW、YA_BIAS_HIGH、ZA_BIAS_LOW、ZA_BIAS_HIGH。

フラッシュ・メモリの更新

手動によるフラッシュ更新を開始するには、ページ 3（DIN = 0x8003）を選択して GLOB_CMD のビット 3 = 1（DIN = 0x8208 の後、DIN = 0x8300）に設定します。SYS_E_FLAG のビット 6（表 20 を参照）は、このプロセスが成功したか（0）失敗したか（1）を示します。

ODST

ODST ルーチンを実行するには、ページ 3（DIN = 0x8003）を選択して GLOB_CMD のビット 1 = 1（DIN = 0x8202 の後、DIN = 0x8300）に設定します。これにより以下のステップが実行されます。

1. 各センサーの出力を測定します。
2. 各センサーの機械的素子に内力を働かせます。この力は、実際の慣性動作に対応する力をシミュレートします。
3. 各センサーの出力応答を測定します。
4. 各センサーにかかる内力を無効にします。
5. 力をかけた状態と通常動作状態状態（力をかけていない状態）の差を計算します。
6. この差と内部合否基準を比較します。
7. 各センサーの合否結果を DIAG_STS（表 22 を参照）で、全体的な合否フラグを SYS_E_FLAG のビット 5（表 20 を参照）で報告します。

表 1 に示すセルフ・テスト実行時間は 12ms ですが、外部クロック使用時はこの値と異なることがあります。また、デバイスが動作中に ODS_T を実行すると、誤って合格となることがあります。

バイアス補正の更新

連続バイアス・エスティメータ (CBE) の補正係数を使ってユーザ・オフセット・レジスタを更新するには、ページ 3 (DIN = 0x8003) を選択して GLOB_CMD のビット 0 = 1 (DIN = 0x8201 の後、DIN = 0x8300) に設定します。バイアス予測値をできるだけ正確なものとするには、平均時間全体を通じて慣性プラットフォームが安定するようにしてください。

補助入出力ラインの設定、FNCTIO_CTRL

FNCTIO_CTRL レジスタ (表 142 と表 143 を参照) は、各入出力ピン (DIO1、DIO2、DIO3、DIO4) の設定を制御します。各 DIOx ピンがサポートする機能は一度に 1 つだけです。1 つのピンに 2 つの機能が割り当てられている場合は、優先度の低い方のイネーブル・ビットが自動的にゼロにリセットされます (優先度の低い機能が無効化される)。優先順位は高い方から順に、データ・レディ、同期クロック入力、アラーム・インジケータ、汎用の順です。FNCTIO_CTRL のビット [5:4] のビット設定を変更するには 75ms の実行時間が必要ですが、FNCTIO_CTRL レジスタ内の他ビットの設定変更に必要な時間はわずか 3ms です。この実行時間中 (75ms または 3ms)、レジスタの動作状態と内容は変化しません。ただし、SPI インターフェースは、通常の通信 (他のレジスタへのアクセス用) をサポートしています。

表 142. FNCTIO_CTRL のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x06, 0x07	0x000D	R/W	Yes

表 143. FNCTIO_CTRL のビット定義

ビット	説明 (デフォルト = 0x000D)
[15:12]	未使用
11	アラーム・インジケータ: 1 = イネーブル、0 = ディスエーブル
10	アラーム・インジケータの極性: 1 = 正、0 = 負
[9:8]	アラーム・インジケータ・ラインの選択: 00 = DIO1、01 = DIO2、10 = DIO3、11 = DIO4
7	同期クロック入力イネーブル: 1 = イネーブル、0 = ディスエーブル
6	同期クロック入力の極性: 1 = 立上がりエッジ、0 = 立下がりエッジ
[5:4]	同期クロック入力ラインの選択: 00 = DIO1、01 = DIO2、10 = DIO3、11 = DIO4
3	データ・レディのイネーブル: 1 = イネーブル、0 = ディスエーブル
2	データ・レディの極性: 1 = 正、0 = 負
[1:0]	データ・レディ・ラインの選択: 00 = DIO1、01 = DIO2、10 = DIO3、11 = DIO4

データ・レディ・インジケータ

FNCTIO_CTRL のビット [3:0] には、データ・レディ機能に関する 3 つの設定オプション (オン/オフ、極性、使用する DIOx ピン) があります。この信号の主な目的は、組込みプロセッサの割り込み制御ラインを駆動し、データ収集を同期させて遅延を最小にすることです。工場出荷時のデフォルト設定では、DIO2 ピンは正極性のデータ・レディ信号に割り当てられています。

すなわち、出力レジスタのデータは、DIO2 ラインがハイの場合に有効となります (図 28 を参照)。この設定は、パルスがローからハイになる時にアクティブになる割り込みサービス・ピンをこの DIO2 ピンが駆動する場合に、指定されます。

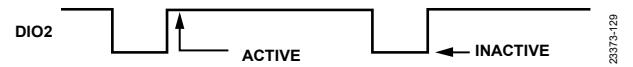


図 28. データ・レディ、FNCTIO_CTRL のビット [3:0] = 1101 (デフォルト) の場合

この割り当てを負極性で DIO1 ピンに変更するには、以下の手順に従ってください。

1. ページ 3 を選択します (DIN = 0x8003)。
2. FNCTIO_CTRL のビット [3:0] = 1000 (DIN = 0x8608 の後、DIN = 0x8700) に設定します。

データ・レディ信号の周期は、最大±2%変動する場合があります。

入力同期およびクロック制御

FNCTIO_CTRL のビット [7:4] は、DIOx ピンの 1 つを慣性センサー・データをサンプリングするための入力同期信号として使用する際の、設定オプションとして使用できます。例えば、DIO4 を正極性の入力クロック・ピンとして設定し、データ・レディ機能に関する工場出荷時デフォルト設定を維持するには、以下の手順に従ってください。

1. ページ 3 を選択します (DIN = 0x8003)。
2. FNCTIO_CTRL のビット [7:0] = 0xFD (DIN = 0x86FD) に設定します。
3. FNCTIO_CTRL のビット [15:8] = 0x00 (DIN = 0x8700) に設定します。

なお、このコマンドによって、内部サンプリング・クロックも無効化されます。そのため、入力クロック信号が存在しない場合、データ・サンプリングは発生しません。性能を最適化するには、2400Hz の入力クロック周波数を使用してください。

アラーム・インジケータ

FNCTIO_CTRL のビット [11:8] には、DIOx ピンの 1 つをアラーム・インジケータとして使用する際の、3 つの設定オプション (オン/オフ、極性、DIOx ピン) があります。この信号の主な目的は、SYS_E_FLAG レジスタ内のビットが 1 になるとアクティブになる信号を出力することです (表 20 を参照)。例えば、DIO3 ピンを負極性のアラーム・インジケータとして設定し、データ・レディ機能に関する工場出荷時デフォルト設定を保つには、以下の手順に従ってください。

1. ページ 3 を選択します (DIN = 0x8003)。
2. FNCTIO_CTRL のビット [7:0] = 0x0D (DIN = 0x860D) に設定します。
3. FNCTIO_CTRL のビット [15:8] = 0x0A (DIN = 0x870A) に設定します。

汎用入出力制御、GPIO_CTRL

表 144. GPIO_CTRL のレジスタ定義¹

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x08, 0x09	0x00X0	R/W	Yes

¹ GPIO_CTRL のビット [7:4] は DIOx ピンに関するロジック・レベルを反映するもので、デフォルト設定はありません。

表 145. GPIO_CTRL のビット定義¹

ビット	説明 (デフォルト = 0x00X0)
[15:8]	ドント・ケア
7	汎用入出力ライン 4 (DIO4) データ・レベル
6	汎用入出力ライン 3 (DIO3) データ・レベル
5	汎用入出力ライン 2 (DIO2) データ・レベル
4	汎用入出力ライン 1 (DIO1) データ・レベル
3	DIO4 の方向制御 (1= 出力、0 = 入力)
2	DIO3 の方向制御 (1= 出力、0 = 入力)
1	DIO2 の方向制御 (1= 出力、0 = 入力)
0	DIO1 の方向制御 (1= 出力、0 = 入力)

¹ GPIO_CTRL のビット [7:4] は DIOx ピンに関するロジック・レベルを反映するもので、デフォルト設定はありません。

FNCTIO_CTRL レジスタが DIOx ピンを設定しない場合は、GPIO_CTRL レジスタがピンの汎用使用に関するレジスタ制御を行います。GPIO_CTRL のビット [3:0] は、各ラインの入出力割り当てを制御します。DIOx ピンが入力の場合は、GPIO_CTRL のビット [7:4] を読み出すことによって、そのレベルをモニタします。DIOx ピンを出力として使用する場合は、GPIO_CTRL のビット [7:4] へ書込みを行うことによって、そのレベルを設定します。例えば、DIO1 ピンと DIO3 ピンをそれぞれハイ出力ラインおよびロー出力ラインとして設定し、DIO2 ピンと DIO4 ピンを入力ラインとして設定するには、以下の手順に従います。

1. ページ 3 を選択します (DIN = 0x8003)。
2. GPIO_CTRL のビット [7:0] = 0x15 (DIN = 0x8815 の後、DIN = 0x8900) に設定します。

各種設定、CONFIG

CONFIG レジスタ (表 146 と表 147 を参照) は、ジャイロ・センサーの直線 g 補償 (オン/オフ)、加速度センサーの振動ポイント・アライメント (オン/オフ)、および RTC 機能のための設定オプションを提供します。

表 146. CONFIG のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x0A, 0x0B	0x00C0	R/W	Yes

表 147. CONFIG のビット定義

ビット	説明 (デフォルト = 0x00C0)
[15:8]	未使用
7	ジャイロ・センサーの直線方向 g 補償 (1=イネーブル)
6	振動ポイント・アライメント (1=イネーブル)
[5:2]	未使用
1	RTC、夏時間 (1: イネーブル、0: ディスエーブル)
0	RTC 制御 (1: 相対および経時タイマー・モード、0: カレンダー・モード)

振動ポイント

CONFIG のビット 6 には、加速度センサーを図 29 に示すパッケージのコーナにマップする、振動ポイント・アライメント機能があります。この機能を有効にするには、ページ 3 (DIN = 0x8003) を選択して CONFIG のビット 6 = 1 (DIN = 0x8A40 の後、DIN = 0x8B00) に設定します。

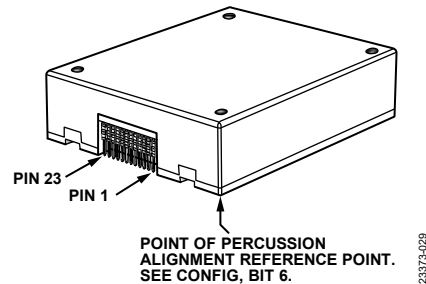


図 29. 振動ポイント基準点

直線加速度がジャイロ・センサーのバイアスに及ぼす影響

ADIS16486 には、ジャイロ・センサー内の直線 g の影響に関する 1 次補償が含まれています。これは以下のモデルを使用しています。

$$\begin{bmatrix} \omega_{XC} \\ \omega_{YC} \\ \omega_{ZC} \end{bmatrix} = \begin{bmatrix} LG_{11} & LG_{12} & LG_{13} \\ LG_{21} & LG_{22} & LG_{23} \\ LG_{31} & LG_{32} & LG_{33} \end{bmatrix} \times \begin{bmatrix} A_X \\ A_Y \\ A_Z \end{bmatrix} + \begin{bmatrix} \omega_{XPC} \\ \omega_{YPC} \\ \omega_{ZPC} \end{bmatrix}$$

直線 g 補正係数 LG_{XY} は、3 方向すべての直線加速度に関する補正を、データ・サンプルのレート (内部クロック使用時で 2460SPS) で各ジャイロ・センサー (ω_{XPC}、ω_{YPC}、ω_{ZPC}) のデータ・パスに適用します。CONFIG のビット 7 は、この補償のオン/オフ制御を行いますこのビットの工場デフォルト値では、この補償を有効にしています。補償をオフにするには、ページ 3 (DIN = 0x8003) を選択し、CONFIG のビット 7 = 0 (DIN = 0x8A40 の後、DIN = 0x8B00) に設定します。このコマンド・シーケンスは、同時に振動ポイント・アライメント機能のデフォルト設定 (オン) を維持します。

デシメーション・フィルタ、DEC_RATE

DEC_RATE レジスタ (表 148 と表 149 を参照) は、最終フィルタ段 (図 24 を参照) を制御します。この機能は、加速度センサーとジャイロ・センサーのデータの平均化とデシメーションを行う一方で、更新ごとの角度変化と速度変化を追跡する時間も延長します。出力サンプル・レートは 2460 / (DEC_RATE + 1) です。外部クロック・オプション (FNCTIO_CTRL レジスタのビット [7:4]、図 24 を参照) を使用する場合は、この関係式の 2460 を入力クロック周波数に置き換えてください。例えば、出力サンプル・レートを 98.4SPS (2460 ÷ 25) に下げるには、ページ 3 (DIN = 0x8003) を選択し、DEC_RATE = 0x18 (DIN = 0x8C18 の後、DIN = 0x8D00) に設定します。

表 148. DEC_RATE のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x0C, 0x0D	0x0000	R/W	Yes

表 149. DEC_RATE のビット定義

ビット	説明 (デフォルト = 0x0000)
[15:11]	ドント・ケア
[10:0]	デシメーション・レート、バイナリ・フォーマット、最大 = 2047、サンプル・レートへの影響については図 24 を参照

連続バイアス予測、NULL_CNFG

NULL_CNFG レジスタ（表 150 と表 151 を参照）は、GLOB_CMD のビット 0（表 141 を参照）のバイアス補正更新コマンドに関連付けられた CBE の設定を制御します。NULL_CNFG レジスタのビット [3:0] はバイアス予測のための合計平均時間 (t_A) を設定し、NULL_CNFG レジスタのビット [13:8] は各センサーのオン／オフを制御します。NULL_CNFG レジスタの工場出荷時のデフォルト設定では、ジャイロ・センサー用のバイアス・ヌル・コマンドはイネーブルに、加速度センサー用のバイアス・ヌル・コマンドはディスエーブルになっており、平均時間は約 26.64 秒に設定されています。この計算は、内部サンプル・クロック ($f_s = 2460\text{SPS}$) を使用することを前提としています。FNCTIO_CTRL レジスタのビット 7～1 を設定して外部クロックを使用する場合は（表 142 および表 143 を参照）、 f_s は、デシメーション前の慣性計測ユニット (IMU) のサンプル・レートとなります。

表 150. NULL_CNFG のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x0E, 0x0F	0x070A	R/W	Yes

表 151. NULL_CNFG のビット定義

ビット	説明（デフォルト = 0x070A）
[15:14]	未使用。
13	z 軸加速度バイアス補正のイネーブル（1 = イネーブル）。
12	y 軸加速度バイアス補正のイネーブル（1 = イネーブル）。
11	x 軸加速度バイアス補正のイネーブル（1 = イネーブル）。
10	z 軸ジャイロ・センサー・バイアス補正のイネーブル（1 = イネーブル）。
9	y 軸ジャイロ・センサー・バイアス補正のイネーブル（1 = イネーブル）。
8	x 軸ジャイロ・センサー・バイアス補正のイネーブル（1 = イネーブル）。
[7:4]	未使用。
[3:0]	時間ベース制御 (TBC)、範囲：0～13（デフォルト = 10）、時間ベース (t_B) = $2^{TBC}/f_s$ 。ここで、 f_s はデシメーション前の IMU サンプル・レートで、工場出荷時のデフォルト内部クロックを使用する場合は、2460SPS です。autonull に必要な t_A は、 $64 \times t_B$ です。

NULL_CNFG レジスタのセンサー・ビットがアクティブ (= 1) のとき、GLOB_CMD のビット 0 = 1（DIN シーケンス：0x8003、0x8201、0x8300）に設定すると、対応するバイアス補正レジスタが、その時点のバイアス誤差に対して（CBE により）補正された値に自動的に更新されます。例えば、NULL_CNFG のビット 8 = 1 に設定すると、XG_BIAS_LOW レジスタ（表 105 を参照）と XG_BIAS_HIGH レジスタ（表 107 を参照）が更新されます。

パワー・マネージメント、SLP_CNT

SLP_CNT レジスタ（表 152 と表 153 を参照）は、パワーダウン・モードとスリープ・モードの両方を制御します。パワーダウン・モードとスリープ・モードの違いは、アイドル時の消費電力と復帰時間です。パワーダウン・モードは消費電力が最も少なくなりますが、復帰に要する時間が長くなります。更に、パワーダウン・モードではすべての揮発性設定が失われますが、スリープ・モードではこれらの設定が維持されます。

表 152. SLP_CNT のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x10, 0x11	Not applicable	R/W	No

表 153. SLP_CNT のビット定義

ビット	説明（デフォルトなし）
[15:10]	未使用
9	パワーダウン・モード
8	通常スリープ・モード
[7:0]	プログラム可能時間ビット、1sec/LSB、0x00 = 不定

特定時間長のスリープ・モードを開始するには、ページ 3（DIN = 0x8003）を選択し、スリープ時間の長さを SLP_CNT のビット [7:0] に書き込み、SLP_CNT のビット 8 = 1（DIN = 0x9101）に設定します。SLP_CNT のビット 8 = 1 に設定した後で CS ラインがハイになると、スリープ・モードが開始されます。ADIS16486 を 100 秒間スリープ・モードにするには、以下のシーケンスに従います。

1. ページ 3 を選択します（DIN = 0x8003）。
2. SLP_CNT のビット [7:0] = 0x64（DIN = 0x9064）とし、100 秒のスリープ時間を設定します。
3. SLP_CNT のビット 8 = 1（DIN = 0x9101）とし、スリープ・モードを開始します。

期限を指定せずにスリープ・モードを開始するには、SLP_CNT のビット [7:0] = 0x00（DIN = 0x9000）に設定してから、SLP_CNT のビット 8 = 1（DIN = 0x9101）に設定します。100 秒間のパワーダウン期間を開始するには、ADIS16486 を 100 秒間のスリープ・モードにするシーケンスを使用します。ただし、SLP_CNT のビット 8 = 1（DIN = 0x9101）ではなく、SLP_CNT のビット 9 = 1（DIN = 0x9102）に設定してください。期限を指定せずにパワーダウンを開始するには、まず SLP_CNT のビット [7:0] = 0x00 に設定してから、SLP_CNT のビット 9 = 1（DIN = 0x9102）に設定します。

スリープ・モードまたはパワーダウン・モードを終了してデバイスを作動させるには、以下のいずれかのオプションを使用して通常モードに復帰させます。

- $\overline{\text{CS}}$ をハイからローにアサートします。
- $\overline{\text{RST}}$ を一時的にローにしてから再びハイにします。
- 電源を一度切ってから再びオンにします。

スリープ・モード・ビットとパワーダウン・モード・ビットが共にハイに設定された場合は、通常スリープ・モード・ビット（SLP_CNT のビット 8）が優先されます。

FIR フィルタ制御、FILTR_BNK_0、FILTR_BNK_1

FILTR_BNK_0 レジスタ（表 154 と表 155 を参照）と FILTR_BNK_1 レジスタ（表 156 と表 157 を参照）は、各センサーのシグナル・チェーン内にある FIR フィルタ・バンクの設定を制御します（図 24 を参照）。これらのレジスタは、各慣性センサー用の FIR バンクと、各センサーが使用する FIR バンク（A、B、C、D）のオン／オフ制御を行います。

FILTR_BNK_0 レジスタおよび FILTR_BNK_1 レジスタにコマンドを書き込みます。これにより、FIR フィルタの有効化または設定が行われます。処理が完了するまでには最大 101 μs が必要です。この実行時間の間、SPI インターフェースは通常動作をサポートし、レジスタ値は更新プロセスの最後に更新されます。

表 154. FILTR_BNK_0 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x16, 0x17	0x0000	R/W	Yes

表 155. FILTR_BNK_0 のビット定義

ビット	説明 (デフォルト = 0x0000)
15	ドント・ケア
14	y 軸加速度センサー・フィルタのイネーブル (1 = イネーブル)
[13:12]	y 軸加速度センサー・フィルタ・バンクの選択 : 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
11	x 軸加速度センサー・フィルタのイネーブル (1 = イネーブル)
[10:9]	x 軸加速度センサー・フィルタ・バンクの選択 : 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
8	z 軸ジャイロ・センサー・フィルタのイネーブル (1 = イネーブル)
[7:6]	z 軸ジャイロ・センサー・フィルタ・バンクの選択 : 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
5	y 軸ジャイロ・センサー・フィルタのイネーブル (1 = イネーブル)
[4:3]	y 軸ジャイロ・センサー・フィルタ・バンクの選択 : 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D
2	x 軸ジャイロ・センサー・フィルタのイネーブル (1 = イネーブル)
[1:0]	x 軸ジャイロ・センサー・フィルタ・バンクの選択 : 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D

表 156. FILTR_BNK_1 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x18, 0x19	0x0000	R/W	Yes

表 157. FILTR_BNK_1 のビット定義

ビット	説明 (デフォルト = 0x0000)
[15:3]	ドント・ケア
2	z 軸加速度センサー・フィルタのイネーブル (1 = イネーブル)
[1:0]	z 軸加速度センサー・フィルタ・バンクの選択 : 00 = バンク A、01 = バンク B、10 = バンク C、11 = バンク D

アラーム設定、ALM_CNFG_0、ALM_CNFG_1

ALM_CNFG_0 レジスタ (表 158 と表 159 を参照) および ALM_CNFG_1 レジスタ (表 160 と表 161 を参照) は、各慣性センサーのアラーム機能用に、オン/オフ、極性、動作モード (静的/動的) の 3 つの設定制御オプションを提供します。

表 158. ALM_CNFG_0 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x20, 0x21	0x0000	R/W	Yes

ΔX_ACCL_OUT、ΔZ_GYRO_OUT、ΔY_GYRO_OUT、ΔX_GYRO_OUT の算出

表 159 のビット [13:12]、ビット [9:8]、ビット [5:4]、ビット [1:0] に示す ΔX_ACCL_OUT、ΔZ_GYRO_OUT、ΔY_GYRO_OUT、ΔX_GYRO_OUT の算出には、式 2~式 5 を使用します。

$$\Delta X_ACCL_OUT = \frac{1}{8} \left(\sum_{n=0}^7 X_A(n) - \sum_{n=0}^7 X_A(n-104) \right) \quad (2)$$

ここで、 $X_A = X_ACCL_OUT$ 。

$$\Delta Z_GYRO_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Z_G(n) - \sum_{n=0}^7 Z_G(n-104) \right) \quad (3)$$

ここで、 $Z_G = Z_GYRO_OUT$ 。

$$\Delta Y_GYRO_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Y_G(n) - \sum_{n=0}^7 Y_G(n-104) \right) \quad (4)$$

ここで、 $Y_G = Y_GYRO_OUT$ 。

$$\Delta X_GYRO_OUT = \frac{1}{8} \left(\sum_{n=0}^7 X_G(n) - \sum_{n=0}^7 X_G(n-104) \right) \quad (5)$$

ここで、 $X_G = X_GYRO_OUT$ 。

ΔZ_ACCL_OUT と ΔY_ACCL_OUT の算出

表 161 のビット [5:4] とビット [1:0] に示す ΔZ_ACCL_OUT と ΔY_ACCL_OUT の算出には、式 6 と式 7 を使用します。

$$\Delta Z_ACCL_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Z_A(n) - \sum_{n=0}^7 Z_A(n-104) \right) \quad (6)$$

ここで、 $Z_A = Z_ACCL_OUT$ 。

$$\Delta Y_ACCL_OUT = \frac{1}{8} \left(\sum_{n=0}^7 Y_A(n) - \sum_{n=0}^7 Y_A(n-104) \right) \quad (7)$$

ここで、 $Y_A = Y_ACCL_OUT$ 。

表 159. ALM_CNFG_0 のビット定義

ビット	説明 (デフォルト = 0x0000)
15	x 軸加速度センサー。0 : アラーム・オフ、1 : アラーム・オン。
14	未使用。
[13:12]	x 軸加速度センサーの極性とモードの設定。アラーム (ALM_STS のビット 3 = 1、表 24 を参照) のトリガ条件には、4 つあるオプションのいずれか 1 つを選択。 00 : $X_ACCL_OUT < XA_ALM_MAGN$ 。 01 : $\Delta X_ACCL_OUT < XA_ALM_MAGN$ (式 2 を参照)。 10 : $X_ACCL_OUT > XA_ALM_MAGN$ 。 11 : $\Delta X_ACCL_OUT > XA_ALM_MAGN$ (式 2 を参照)。
11	z 軸ジャイロ・センサー。0 : アラーム・オフ、1 : アラーム・オン。
10	未使用。
[9:8]	z 軸ジャイロ・センサーの極性とモードの設定。アラーム (ALM_STS のビット 2 = 1、表 24 を参照) のトリガ条件には、4 つあるオプションのいずれか 1 つを選択。 00 : $Z_GYRO_OUT < ZG_ALM_MAGN$ 。 01 : $\Delta Z_GYRO_OUT < ZG_ALM_MAGN$ (式 3 を参照)。 10 : $Z_GYRO_OUT > ZG_ALM_MAGN$ 。 11 : $\Delta Z_GYRO_OUT > ZG_ALM_MAGN$ (式 3 を参照)。
7	y 軸ジャイロ・センサー。0 : アラーム・オフ、1 : アラーム・オン。
6	未使用。
[5:4]	y 軸ジャイロ・センサーの極性とモードの設定。アラーム (ALM_STS のビット 1 = 1、表 24 を参照) のトリガ条件には、4 つあるオプションのいずれか 1 つを選択。 00 : $Y_GYRO_OUT < YG_ALM_MAGN$ 。 01 : $\Delta Y_GYRO_OUT < YG_ALM_MAGN$ (式 4 を参照)。 10 : $Y_GYRO_OUT > YG_ALM_MAGN$ 。 11 : $\Delta Y_GYRO_OUT > YG_ALM_MAGN$ (式 4 を参照)。

ビット	説明（デフォルト = 0x0000）
3	x 軸ジャイロ・センサー。0：アラーム・オフ、1：アラーム・オン。
2	未使用。
1:0	x 軸ジャイロ・センサーの極性とモードの設定。アラーム・フラグ（ALM_STS のビット 0 = 1、表 24 を参照）のトリガ条件には、4 つあるオプションのいずれか 1 つを選択。 00：X_GYRO_OUT < XG_ALM_MAGN。 01：ΔX_GYRO_OUT < XG_ALM_MAGN（式 5 を参照）。 10：X_GYRO_OUT > XG_ALM_MAGN。 11：ΔX_GYRO_OUT > XG_ALM_MAGN（式 5 を参照）。

表 160. ALM_CNFG_1 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x22, 0x23	0x0000	R/W	Yes

表 161. ALM_CNFG_1 のビット定義

ビット	説明（デフォルト = 0x0000）
[15:8]	未使用。
7	z 軸加速度センサー。0：アラーム・オフ、1：アラーム・オン。
6	未使用。
[5:4]	z 軸加速度センサーの極性とモードの設定。アラーム（ALM_STS のビット 5 = 1、表 24 を参照）のトリガ条件には、4 つあるオプションのいずれか 1 つを選択。 00：Z_ACCL_OUT < ZA_ALM_MAGN。 01：ΔZ_ACCL_OUT < ZA_ALM_MAGN（式 6 を参照）。 10：Z_ACCL_OUT > ZA_ALM_MAGN。 11：ΔZ_ACCL_OUT > ZA_ALM_MAGN（式 6 を参照）。
4	z 軸加速度センサー・モード。0：静的、1：動的。
3	y 軸加速度センサー。0：アラーム・オフ、1：アラーム・オン。
2	未使用。
[1:0]	y 軸加速度センサーの極性とモードの設定。アラーム（ALM_STS のビット 4 = 1、表 24 を参照）のトリガ条件には、4 つあるオプションのいずれか 1 つを選択。 00：Y_ACCL_OUT < YA_ALM_MAGN。 01：ΔY_ACCL_OUT < YA_ALM_MAGN（式 7 を参照）。 10：Y_ACCL_OUT > YA_ALM_MAGN。 11：ΔY_ACCL_OUT > YA_ALM_MAGN（式 7 を参照）。

x 軸ジャイロ・センサー・アラーム、XG_ALM_MAGN

ALM_CNFG_0 のビット 3 = 1（表 159 を参照）の場合、XG_ALM_MAGN レジスタ（表 162 と表 163 を参照）に、x 軸ジャイロ・センサーのアラーム閾値が格納されます。このアラームは、ALM_STS のビット 0 のアラーム・フラグに関連付けられています（表 24 参照）。

表 162. XG_ALM_MAGN のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x28, 0x29	0x0000	R/W	Yes

表 163. XG_ALM_MAGN のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸ジャイロ・センサーのアラーム閾値設定、2 の補数、0°/sec = 0x0000、1LSB = 0.02°/sec

アラームの例

x 軸回りの回転速度が 100°/sec を超えたときに x 軸ジャイロ・センサー・アラームがアクティブ（ALM_STS のビット 0 = 1）になるように設定するには、以下のシーケンスを使用します。

- ページ 3 を選択します（DIN = 0x8003）。
- XG_ALM_MAGN のビット [7:0] = 0x88（DIN = 0xA888）に設定します。
- XG_ALM_MAGN のビット [15:8] = 0x13（DIN = 0xA913）に設定します。
- ALM_CNFG_1 のビット [7:0] = 0x0C（DIN = 0xA00C）に設定します。
- ALM_CNFG_1 のビット [15:8] = 0x00（DIN = 0xA100）に設定します。

XG_ALM_MAGN レジスタの値は次式に示すように 0x1388 です。

$$100^\circ/\text{sec} \div 0.02^\circ/\text{sec}/\text{LSB} = 5000\text{LSB} = 0x1388$$

y 軸ジャイロ・センサー・アラーム、YG_ALM_MAGN

ALM_CNFG_0 のビット 7 = 1（表 159 を参照）の場合、YG_ALM_MAGN レジスタ（表 164 と表 165 を参照）に、y 軸ジャイロ・センサーのアラーム閾値が格納されます。このアラームは、ALM_STS のビット 1 のアラーム・フラグに関連付けられています（表 24 参照）。

表 164. YG_ALM_MAGN のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x2A, 0x2B	0x0000	R/W	Yes

表 165. YG_ALM_MAGN のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	y 軸ジャイロ・センサーのアラーム閾値設定、2 の補数、0°/sec = 0x0000、1LSB = 0.02°/sec

z 軸ジャイロ・センサー・アラーム、ZG_ALM_MAGN

ALM_CNFG_0 のビット 11 = 1（表 159 を参照）の場合、ZG_ALM_MAGN レジスタ（表 166 と表 167 を参照）に、z 軸ジャイロ・センサーのアラーム閾値が格納されます。このアラームは、ALM_STS のビット 2 のアラーム・フラグに関連付けられています（表 24 参照）。

表 166. ZG_ALM_MAGN のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x2C, 0x2D	0x0000	R/W	Yes

表 167. ZG_ALM_MAGN のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	z 軸ジャイロ・センサーのアラーム閾値設定、2 の補数、0°/sec = 0x0000、1LSB = 0.02°/sec

x 軸加速度センサー・アラーム、XA_ALM_MAGN

ALM_CNFG_0 のビット 15 = 1（表 159 を参照）の場合、XA_ALM_MAGN レジスタ（表 168 と表 169 を参照）に、x 軸加速度センサーのアラーム閾値が格納されます。このアラームは、ALM_STS のビット 3 のアラーム・フラグに関連付けられています（表 24 参照）。

表 168. XA_ALM_MAGN のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x2E, 0x2F	0x0000	R/W	Yes

表 169. XA_ALM_MAGN のビット定義

ビット	説明（デフォルト = 0x0000）
[15:0]	x 軸加速度センサーのアラーム閾値設定、2 の補数、0g = 0x0000、1LSB = 0.8mg

y 軸加速度センサー・アラーム、YA_ALM_MAGN

ALM_CNFG_1 のビット 3 = 1 (表 161 を参照) の場合、YA_ALM_MAGN レジスタ (表 170 と表 171 を参照) に、y 軸加速度センサーのアラーム閾値が格納されます。このアラームは、ALM_STS のビット 4 のアラーム・フラグに関連付けられています (表 24 参照)。

表 170. YA_ALM_MAGN のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x30, 0x31	0x0000	R/W	Yes

表 171. YA_ALM_MAGN のビット定義

ビット	説明 (デフォルト = 0x0000)
[15:0]	y 軸加速度センサーのアラーム閾値設定、2 の補数、0g = 0x0000、1LSB = 0.8mg

z 軸加速度センサー・アラーム、ZA_ALM_MAGN

ALM_CNFG_1 のビット 7 = 1 (表 161 を参照) の場合、ZA_ALM_MAGN レジスタ (表 172 と表 173 を参照) に、z 軸加速度センサーのアラーム閾値が格納されます。このアラームは、ALM_STS のビット 5 のアラーム・フラグに関連付けられています (表 24 参照)。

表 172. ZA_ALM_MAGN のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x32, 0x33	0x0000	R/W	Yes

表 173. ZA_ALM_MAGN のビット定義

ビット	説明 (デフォルト = 0x0000)
[15:0]	z 軸加速度センサーのアラーム閾値設定、2 の補数、0g = 0x0000、1LSB = 0.8mg

ファームウェア・レビジョン、FIRM_REV

FIRM_REV レジスタ (表 174 と表 175 を参照) は、内部ファームウェアのファームウェア・レビジョンを示します。このレジスタは 2 進化 10 進数 (BCD) フォーマットを使用し、各ニプルが 1 つの桁を表します。例えば、FIRM_REV = 0x1234 の場合のファームウェア・レビジョンは 12.34 です。

表 174. FIRM_REV のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x78, 0x79	Not applicable	R	Yes

表 175. FIRM_REV のビット定義

ビット	説明 (デフォルトなし)
[15:12]	ファームウェア・レビジョンの BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[11:8]	ファームウェア・レビジョンの BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[7:4]	ファームウェア・レビジョンの BCD コード、小数第 1 位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[3:0]	ファームウェア・レビジョンの BCD コード、小数第 2 位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9

ファームウェア・レビジョン月日、FIRM_DM

FIRM_DM レジスタ (表 176 と表 177 を参照) には、工場設定日を表す月と日付が格納されます。FIRM_DM のビット [15:12] と FIRM_DM のビット [11:8] には、工場設定月を表す数値が BCD フォーマットで格納されます。例えば、11 月は FIRM_DM

のビット [15:8] = 0x11 で表されます。FIRM_DM のビット [7:4] と FIRM_DM のビット [3:0] には、工場設定日を表す数値が BCD フォーマットで格納されます。例えば、27 日は FIRM_DM のビット [7:0] = 0x27 で表されます。

表 176. FIRM_DM のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x7A, 0x7B	Not applicable	R	Yes

表 177. FIRM_DM のビット定義

ビット	説明 (デフォルトなし)
[15:12]	工場設定月の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~2
[11:8]	工場設定月の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[7:4]	工場設定日の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~3
[3:0]	工場設定日の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9

ファームウェア・レビジョン年、FIRM_Y

FIRM_Y レジスタ (表 178 と表 179 を参照) には、工場設定日の西暦年が格納されます。例えば、2013 年は FIRM_Y = 0x2013 で表されます。

表 178. FIRM_Y のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x7C, 0x7D	Not applicable	R	Yes

表 179. FIRM_Y のビット定義

ビット	説明 (デフォルトなし)
[15:12]	工場設定年の BCD コード、1000 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[11:8]	工場設定年の BCD コード、100 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[7:4]	工場設定年の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~3
[3:0]	工場設定年の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9

ブート・レビジョン番号、BOOT_REV

表 180. BOOT_REV のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x03	0x7E, 0x7F	Not applicable	R	Yes

表 181. BOOT_REV のビット定義

ビット	説明 (デフォルトなし)
[15:8]	バイナリ、上位レビジョン番号
[7:0]	バイナリ、下位レビジョン番号

連続 SRAM テスト

このデバイスは、プログラム・コード (CODE_SIGTR_xxx) とキャリブレーション係数 (CAL_DRVNTN_xxx) を含む SRAM メモリ・ブロックで、CRC 機能を使用しています。このプロセスはバックグラウンドで行われ、プログラム・コードとキャリブレーション係数の各々に対し 32 ビット CRC 値をリアルタイムで生成します。各サイクルの終了時に、プロセッサは、これらの計算値を CAL_SIGTR_xxx レジスタおよび CODE_DRVNTN_xxx レジスタ (表 187、表 189、表 195、表 197 を参照) に書き込み、それらの値をこれらのメモリ位置の工場設定時の状態を反映した署名値と比較します。計算結果が署名値に一致しない場合は、

SYS_E_FLAG のビット 2 が 1 に増加します。各署名値は、CAL_SIGTR_xxx レジスタおよび CODE_DRVNTN_xxx レジスタを介してユーザ・アクセス可能です（表 183、表 185、表 191、表 193 を参照）。SYS_E_FLAG のビット 2 が 0 を維持するためには次の条件を満たす必要があります。

- CAL_SIGTR_LWR = CAL_DRVNTN_LWR
- CAL_SIGTR_UPR = CAL_DRVNTN_UPR
- CODE_SIGTR_LWR = CODE_DRVNTN_LWR
- CODE_SIGTR_UPR = CODE_DRVNTN_UPR

署名 CRC、キャリブレーション値、 CAL_SIGTR_LWR

表 182. CAL_SIGTR_LWR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x04, 0x05	Not applicable	R	Yes

表 183. CAL_SIGTR_LWR のビット定義

ビット	説明（デフォルトなし）
[15:0]	プログラム・コードの工場設定 CRC 値、下位ワード

署名 CRC、キャリブレーション値、 CAL_SIGTR_UPR

表 184. CAL_SIGTR_UPR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x06, 0x07	Not applicable	R	Yes

表 185. CAL_SIGTR_UPR のビット定義

ビット	説明（デフォルトなし）
[15:0]	プログラム・コードの工場設定 CRC 値、上位ワード

導出 CRC、キャリブレーション値、 CAL_DRVNTN_LWR

表 186. CAL_DRVNTN_LWR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x08, 0x09	Not applicable	R	No

表 187. CAL_DRVNTN_LWR のビット定義

ビット	説明（デフォルトなし）
[15:0]	プログラム・コードの計算 CRC 値、下位ワード

導出 CRC、キャリブレーション値、 CAL_DRVNTN_UPR

表 188. CAL_DRVNTN_UPR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x0A, 0x0B	Not applicable	R	No

表 189. CAL_DRVNTN_UPR のビット定義

ビット	説明（デフォルトなし）
[15:0]	プログラム・コードの計算 CRC 値、上位ワード

署名 CRC、プログラム・コード、 CODE_SIGTR_LWR

表 190. CODE_SIGTR_LWR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x0C, 0x0D	Not applicable	R	Yes

表 191. CODE_SIGTR_LWR のビット定義

ビット	説明（デフォルトなし）
[15:0]	キャリブレーション係数の工場設定 CRC 値、下位ワード

署名 CRC、プログラム・コード、 CODE_SIGTR_UPR

表 192. CODE_SIGTR_UPR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x0E, 0x0F	Not applicable	R	Yes

表 193. CODE_SIGTR_UPR のビット定義

ビット	説明（デフォルトなし）
[15:0]	キャリブレーション係数の工場設定 CRC 値、上位ワード

導出 CRC、プログラム・コード、 CODE_DRVNTN_LWR

表 194. CODE_DRVNTN_LWR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x10, 0x11	Not applicable	R	No

表 195. CODE_DRVNTN_LWR のビット定義

ビット	説明（デフォルトなし）
[15:0]	キャリブレーション係数の計算 CRC 値、下位ワード

導出 CRC、プログラム・コード、 CODE_DRVNTN_UPR

表 196. CODE_DRVNTN_UPR のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x12, 0x13	Not applicable	R	No

表 197. CODE_DRVNTN_UPR のビット定義

ビット	説明（デフォルトなし）
[15:0]	キャリブレーション係数の計算 CRC 値、上位ワード

ロット固有シリアル番号、SERIAL_NUM

表 198. SERIAL_NUM のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x04	0x20, 0x21	Not applicable	R	Yes

表 199. SERIAL_NUM のビット定義

ビット	説明（デフォルトなし）
[15:0]	ロット固有のシリアル番号

FIR フィルタ

ADIS16486 には、ユーザ設定可能な 4 つの FIR フィルタ・バンクがあります。FIR フィルタ・バンクのサンプル・レートは、IMU のサンプル・レートと同じです。FIR フィルタの後段でデシメーションが発生するため、FIR のサンプル・レートはデシメーション・レートとは無関係で、DEC_RATE レジスタの設定には影響されません。内部生成サンプリング・クロック（デフォルト設定）をユーザが選択した場合、IMU の公称サンプル・レート（および FIR のサンプル・レート）は 2460SPS です。FNCTIO_CTRL レジスタのビット 7 を 1 に設定することで外部クロックを供給する場合は（表 142 および表 143 を参照）、FIR のサンプル・レートは、ADIS16486 に供給される入力同期クロックの周波数に等しくなります。

FILTR_BNK_0 レジスタ（表 155 を参照）および FILTR_BNK_1 レジスタ（表 157 を参照）を使用して、4 つの FIR フィルタ・バンクを慣性センサーごとに個別に設定し選択することができます。（図 24 を参照）。各 FIR フィルタ・バンク（A、B、C、D）には 120 個のタップがあり、2 ページのメモリを消費します。各フィルタ・バンク内の各タップに対応する係数には、16 ビットの 2 の補数フォーマットを使用する専用のレジスタがあります。すべての係数の合計が 32,768 の場合の FIR フィルタのゲインは 1 です。必要タップ数が 120 未満のフィルタ設計では、特定タップに関わる遅延をなくするために、すべての未使用レジスタに 0x0000 を書き込みます。

FIR フィルタ・バンク A、FIR_COEF_A000～FIR_COEF_A119

バンク A の FIR 係数レジスタの 1 つである FIR_COEF_A071 のレジスタ定義とビット定義の詳細を、表 201 と表 202 に示します（表 200 を参照）。

表 200. FIR フィルタ・バンク A のメモリ・マップ

Page	Page ID	Address	Register
5	0x05	0x00	PAGE_ID
5	0x05	0x02 to 0x07	Not used
5	0x05	0x08	FIR_COEF_A000
5	0x05	0x0A	FIR_COEF_A001
5	0x05	0x0C to 0x7C	FIR_COEF_A002 to FIR_COEF_A058
5	0x05	0x7E	FIR_COEF_A059
6	0x06	0x00	PAGE_ID
6	0x06	0x02 to 0x07	Not used
6	0x06	0x08	FIR_COEF_A060
6	0x06	0x0A	FIR_COEF_A061
6	0x06	0x0C to 0x7C	FIR_COEF_A062 to FIR_COEF_A118
6	0x06	0x7E	FIR_COEF_A119

表 201. FIR_COEF_A071 のレジスタ定義

Page ID	Addresses	Default	Access	Flash Backup
0x06	0x1E, 0x1F	Not applicable	R/W	Yes

表 202. FIR_COEF_A071 のビット定義

ビット	説明（デフォルトなし）
[15:0]	FIR バンク A、係数 71、2 の補数

FIR_COEF_A071 レジスタを-169（0xFF57）の 10 進数値に設定するには、以下の手順を実行します。

1. ページ 6 を選択します（DIN = 0x8006）。
2. FIR_COEF_A071 のビット [7:0] = 0x57（DIN = 0x9E57）に設定します。
3. FIR_COEF_A071 のビット [15:8] = 0xFF（DIN = 0x9FFF）に設定します。

FIR フィルタ・バンク B、FIR_COEF_B000～FIR_COEF_B119

表 203. フィルタ・バンク B のメモリ・マップ

Page	Page ID	Address	Register
7	0x07	0x00	PAGE_ID
7	0x07	0x02 to 0x07	Not used
7	0x07	0x08	FIR_COEF_B000
7	0x07	0x0A	FIR_COEF_B001
7	0x07	0x0C to 0x7C	FIR_COEF_B002 to FIR_COEF_B058
7	0x07	0x7E	FIR_COEF_B059
8	0x08	0x00	PAGE_ID
8	0x08	0x02 to 0x07	Not used
8	0x08	0x08	FIR_COEF_B060
8	0x08	0x0A	FIR_COEF_B061
8	0x08	0x0C to 0x7C	FIR_COEF_B062 to FIR_COEF_B118
8	0x08	0x7E	FIR_COEF_B119

FIR フィルタ・バンク C、FIR_COEF_C000～FIR_COEF_C119

表 204. フィルタ・バンク C のメモリ・マップ

Page	Page ID	Address	Register
9	0x09	0x00	PAGE_ID
9	0x09	0x02 to 0x07	Not used
9	0x09	0x08	FIR_COEF_C000
9	0x09	0x0A	FIR_COEF_C001
9	0x09	0x0C to 0x7C	FIR_COEF_C002 to FIR_COEF_C058
9	0x09	0x7E	FIR_COEF_C059
10	0x0A	0x00	PAGE_ID
10	0x0A	0x02 to 0x07	Not used
10	0x0A	0x08	FIR_COEF_C060
10	0x0A	0x0A	FIR_COEF_C061
10	0x0A	0x0C to 0x7C	FIR_COEF_C062 to FIR_COEF_C118
10	0x0A	0x7E	FIR_COEF_C119

FIR フィルタ・バンク D、FIR_COEF_D000～FIR_COEF_D119

表 205. フィルタ・バンク D のメモリ・マップ

Page	Page ID	Address	Register
11	0x0B	0x00	PAGE_ID
11	0x0B	0x02 to 0x07	Not used
11	0x0B	0x08	FIR_COEF_D000
11	0x0B	0x0A	FIR_COEF_D001
11	0x0B	0x0C to 0x7C	FIR_COEF_D002 to FIR_COEF_D058
11	0x0B	0x7E	FIR_COEF_D059
12	0x0C	0x00	PAGE_ID
12	0x0C	0x02 to 0x07	Not used
12	0x0C	0x08	FIR_COEF_D060
12	0x0C	0x0A	FIR_COEF_D061
12	0x0C	0x0C to 0x7C	FIR_COEF_D062 to FIR_COEF_D118
12	0x0C	0x7E	FIR_COEF_D119

デフォルト・フィルタの性能

FIR フィルタ・バンクのフィルタ設計は工場でプログラムされたものです。これらはすべて、DC ゲイン 1 のローパス・フィルタです。各フィルタ設計の概要を表 206 に、周波数応答特性を図 30 に示します。位相遅延は、合計タップ数の 1/2 です。

表 206. デフォルト構成の FIR フィルタの概要

FIR Filter Bank	Taps	-3 dB Frequency (Hz)
A	120	310
B	120	55
C	32	275
D	32	63

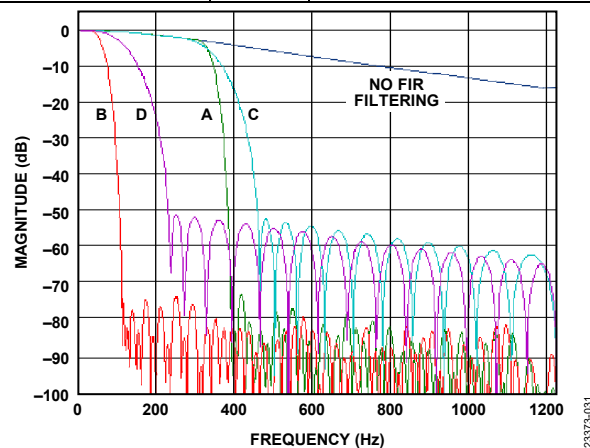


図 30. FIR フィルタの周波数応答曲線

アプリケーション情報

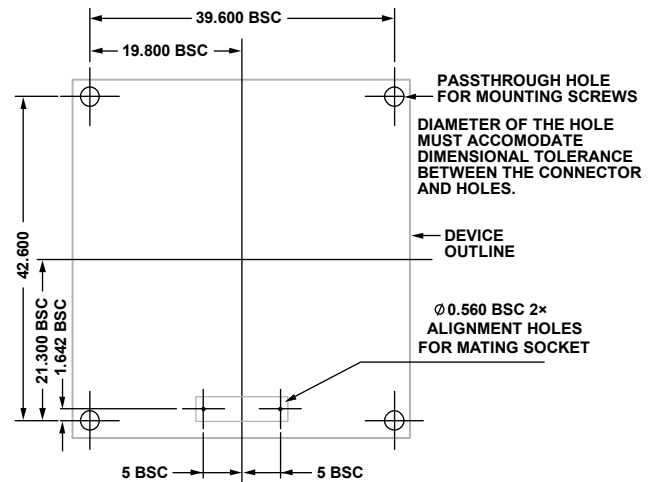
推奨取付け方法

最適な性能を得るために、ADIS16486 をシステムに組み込む場合は、以下の規則に従ってください。

- 電気コネクタに水平方向の力（図 18 の x 軸および y 軸方向）がかからないようにしてください。
- 取付け力は、パッケージ表面四隅の取付け穴周囲部分だけにかかるようにしてください。
- 取付け力は、四隅に均等にかかるようにしてください。推奨トルク設定は 40 インチ・オンス (0.285Nm) です。

上記 3 つの規則で、パッケージを歪ませてセンサーにバイアス誤差を発生させるおそれがある不規則な荷重状態を防止することができます。取付け例を図 33 に示します。この例ではワッシャを利用してパッケージを取付け面から浮かせ、2.85mm の貫通穴と、裏面に取付けたワッシャとナットでパッケージを固定しています。取付け穴とコネクタ・アライメント・ピンのドリル位置の詳細を図 31 と図 32 に示します。

ADIS16486 取付けの詳細については、AN-1295 アプリケーション・ノートを参照してください。



NOTES

1. ALL DIMENSIONS IN mm UNITS.
2. IN THIS CONFIGURATION, THE CONNECTOR IS FACING DOWN AND ITS PINS ARE NOT VISIBLE.

図 31. 推奨 PCB レイアウト・パターン（コネクタ下向き）

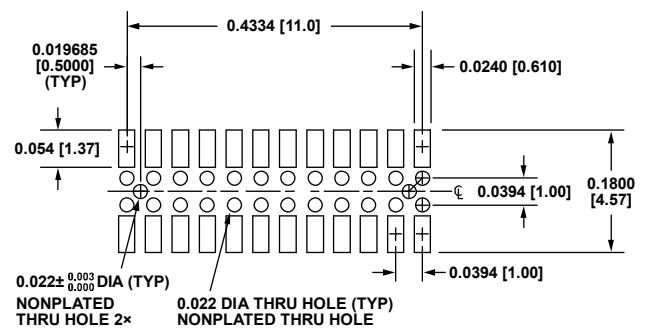


図 32. Samtec CLM-112-02-G-D-A を接続用コネクタに使用する際の推奨レイアウトと機械的設計

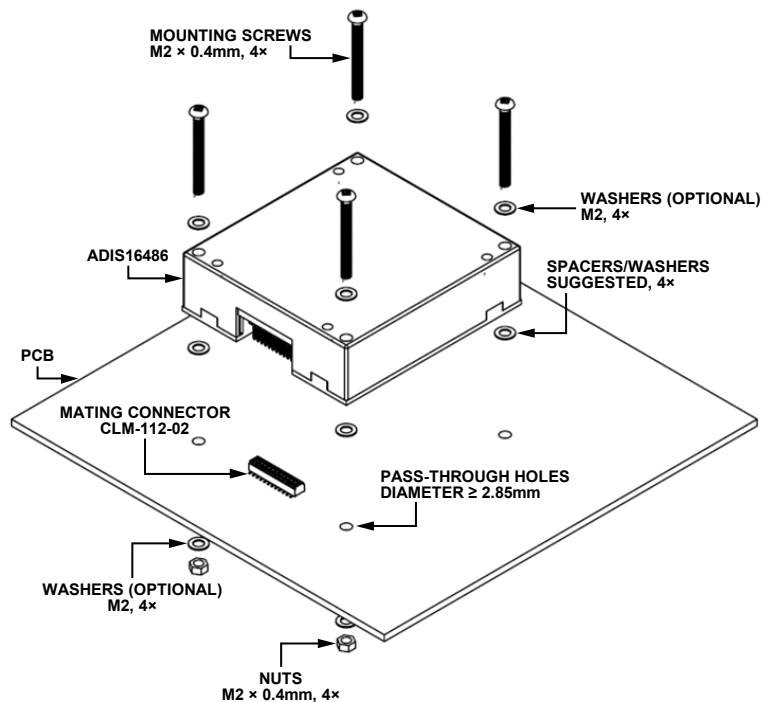


図 33. 取付け例

評価用ツール

ブレイクアウト・ボード、ADIS16IMU1/PCBZ

ADIS16IMU1/PCBZ（別売り）には、ADIS16486 用のブレイクアウト・ボード機能があり、標準の 1mm リボン・ケーブルに対応した大型のコネクタを通じて、ADIS16486 にアクセスできます。また、ADIS16486 をブレイクアウト・ボードに取り付けるための 4 個の取付け穴も備えています。発注の詳細についてはオーダー・ガイドを参照してください。

PC ベースの評価ツール、EVAL-ADIS2

EVAL-ADIS2 を使用すれば、ADIS16486 を PC ベースで評価することができます。

電源に関する考慮事項

VDD 電源は、電源の最初のランプおよびセトリング・プロセスにおいて、24 μ F の容量（VDD ピンから GND ピンに至る ADIS16486 内部）を充電しなければなりません。VDD が 2.85V に達すると ADIS16486 はその内部スタートアップ・プロセスを開始し、そのために新たな過渡電流が生じます。スタートアップ・プロセスの代表的な電流プロファイルを図 34 に示します。図 34 の最初のピークは 24 μ F のコンデンサ・バンク充電に関係するもので、2 番目のピーク（最初のピーク後約 360ms）は ADIS16486 の初期化プロセスに関係するものです。図 34 の 2 番目のピークに関わる電流プロファイルの詳細を、図 35 に示します。

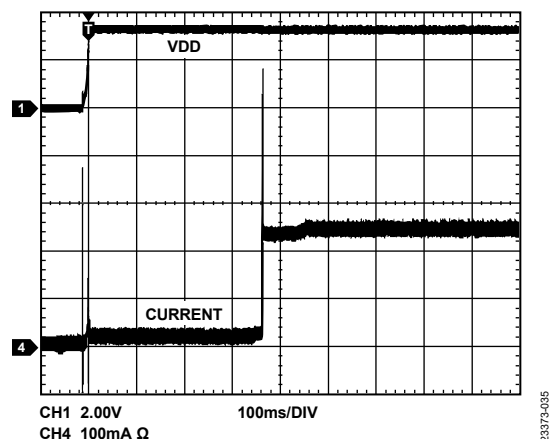


図 34. スタートアップ時の過渡電流

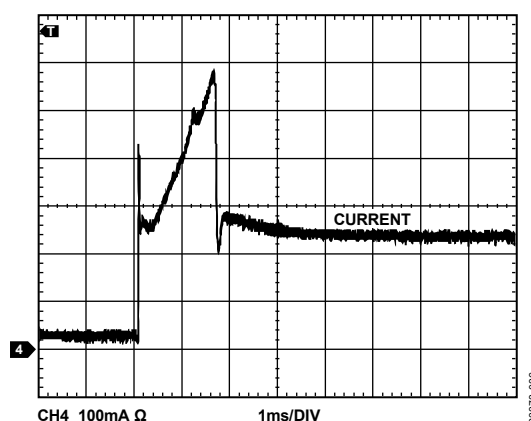


図 35. 過渡電流（ピーク値）

X 線感度

電子機器のハンダ接合を検査する製造システムにおける X 線のような高ドーズ・レート of X 線にさらされると、加速度センサーのバイアス誤差に影響が生じる可能性があります。最適な性能を維持するために、ADIS16486 にこの種の検査を行うことは避けてください。

パッケージとオーダー情報

外形寸法

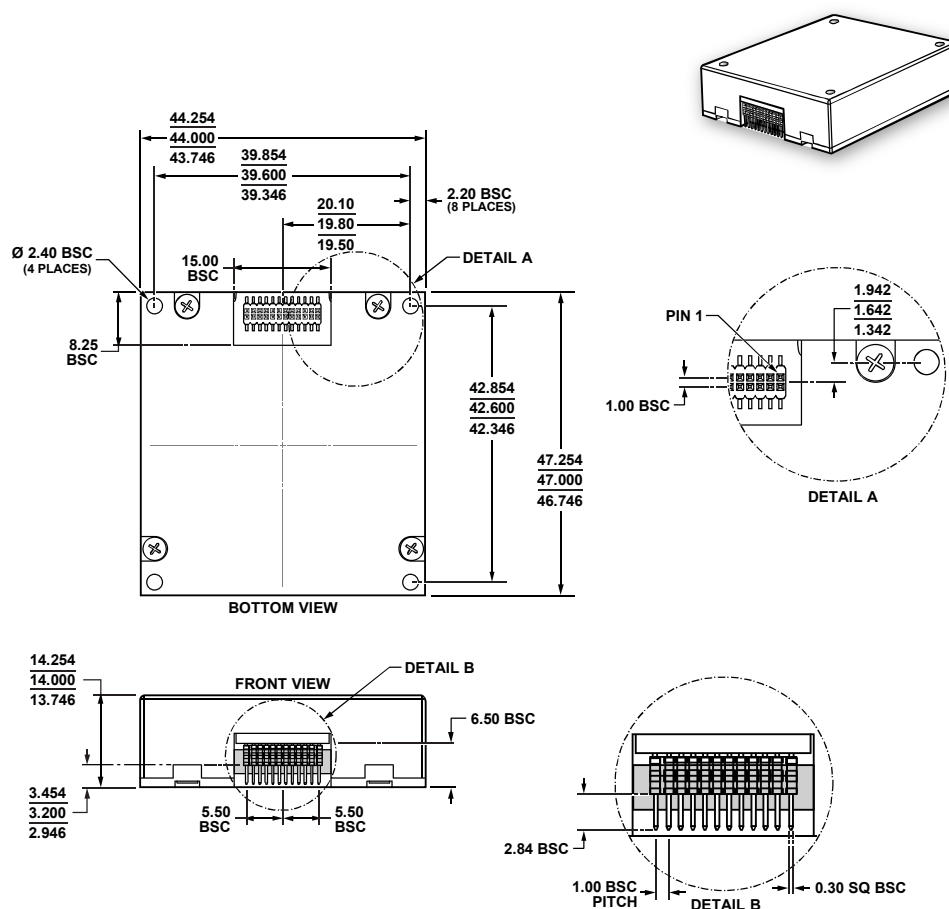


図 36. コネクタ・インターフェース付き 24 ピン・モジュール [MODULE]
(ML-24-6)
寸法: mm

12.07.2012-E

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADIS16486BMLZ-P	-40°C to +105°C	24-Lead Module with Connector Interface [MODULE]	ML-24-6
ADIS16IMU1/PCBZ		Breakout Board	
EVAL-ADIS2Z		EVAL-ADIS2 Evaluation System	

¹ Z = RoHS 準拠製品