

堅牢で低消費電力の産業用10BASE-T1LイーサネットMAC-PHY

特長

- ▶ 10BASE-T1L IEEE 802.3cg-2019規格準拠
- ▶ 1.0V/2.4Vで最長1700mのケーブル長に対応
- ▶ SPIを備えたMACを内蔵
 - ▶ OPEN Alliance 10BASE-T1x MAC-PHYシリアル・インターフェースに対応
 - ▶ 16個のMACアドレス・フィルタ
 - ▶ 28kBのバッファで高優先度キューおよび低優先度キューに対応
 - ▶ カット・スルーまたはストア・アンド・フォワード動作
 - ▶ IEEE 1588タイム・スタンプに対応
 - ▶ 統計カウンタ
- ▶ 低消費電力：42mW（両電源、1.0V p-p）
- ▶ 診断機能
 - ▶ TDRによるケーブル・フォルト検出
 - ▶ MSEによるリンク品質インジケータ
 - ▶ フレーム・ジェネレータおよびフレーム・チェッカ
 - ▶ 複数のループバック・モード
 - ▶ IEEEテスト・モードに対応
- ▶ 1.0V p-pおよび2.4V p-pの送信レベルに対応
- ▶ 4ピンMDI（RXN、RXP、TXN、TXP）
- ▶ 本質的安全アプリケーションに最適
- ▶ 外部終端抵抗
- ▶ オートネゴシエーション
- ▶ 25MHzの水晶発振器または外部クロック入力
- ▶ 電磁両立性（EMC）のテスト規格
 - ▶ IEC 61000-4-4電気高速トランジェント（EFT）（±4kV）
 - ▶ IEC 61000-4-2 ESD（±4kVの接触放電）
 - ▶ IEC 61000-4-2 ESD（±8kVの気中放電）
 - ▶ IEC 61000-4-6伝導耐性（10V/m）
 - ▶ IEC 61000-4-5サージ（±4kV）
 - ▶ IEC 61000-4-3、放射耐性（クラスA）
 - ▶ EN55032放射妨害波（クラスB）
- ▶ 小型パッケージ：40ピン（6mm×6mm）LFCSP
- ▶ 温度範囲
 - ▶ 工業用：-40°C～+85°C
 - ▶ 拡張：-40°C～+105°C

アプリケーション

- ▶ フィールド計測器
- ▶ ビルディング・オートメーションおよび火災安全
- ▶ ファクトリ・オートメーション
- ▶ エッジ・センサーおよびアクチュエータ
- ▶ 状態監視および機械接続

機能ブロック図

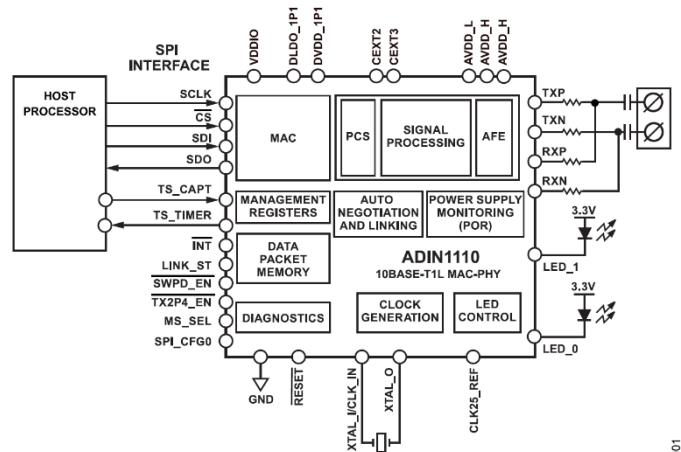


図 1. 機能ブロック図

概要

ADIN1110は、産業用イーサネット・アプリケーション向けの超低消費電力で単一ポートの10BASE-T1Lトランシーバー設計で、長距離伝送10Mbpsのシングル・ペア・イーサネット（SPE）に対するIEEE® 802.3cg-2019™イーサネット規格に準拠しています。メディア・アクセス制御（MAC）インターフェースを内蔵した**ADIN1110**は、4線シリアル・ペリフェラル・インターフェース（SPI）を介して、様々なホスト・コントローラと直接接続できます。このSPIにより、MACを内蔵していない低消費電力のプロセッサを使用できるため、システム・レベルの総合的な消費電力を最小限に抑えることができます。SPIは、Open Alliance SPIプロトコルまたは汎用SPIプロトコルを使用するように設定できます。プログラマブルな送信レベル、外付け終端抵抗、独立した受信ピンと送信ピンによって、**ADIN1110**は、本質安全アプリケーションに適したデバイスとなっています。

ADIN1110には電圧源モニタリング回路およびパワーオン・リセット（POR）回路が内蔵されており、システム・レベルの堅牢性を高めています。

ADIN1110は、6mm × 6mmの40ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用しています。

アナログ・デバイスでは、文化的に適切な用語および言語を提供するよう、技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いいたします。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

目次

特長.....	1	10BASE-T1Lリンクの確立.....	19
アプリケーション.....	1	アンマネージドPHY動作.....	19
機能ブロック図.....	1	マネージドPHY動作.....	19
概要.....	1	オンチップ診断.....	22
仕様.....	4	ループバック・モード.....	22
タイミング特性.....	6	フレーム・ジェネレータとフレーム・チェッカ.....	23
パワーアップ・タイミング.....	6	テスト・モード.....	24
SPI.....	6	時間領域反射率測定（TDR）.....	24
絶対最大定格.....	8	アプリケーション情報.....	26
熱抵抗.....	8	システム・レベルのパワー・マネージメント.....	26
静電放電（ESD）定格.....	8	LED回路例.....	26
ESDに関する注意.....	8	部品の推奨事項.....	27
ピン配置およびピン機能の説明.....	9	802.1AS対応.....	28
代表的な性能特性.....	11	電磁両立性（EMC）と電磁耐性（EMI）.....	29
動作原理.....	12	MAC SPI.....	30
電源ドメイン.....	12	SPI.....	30
アナログ・フロント・エンド.....	12	MAC.....	42
MAC.....	12	レジスタ.....	45
送信振幅の設定.....	12	SPIレジスタの詳細.....	45
マスタ／スレーブ設定.....	13	PHY条項22レジスタの詳細.....	68
オートネゴシエーション.....	13	PHY条項45レジスタの詳細.....	71
MDI.....	13	PCBレイアウトに関する推奨事項.....	106
リセット動作.....	14	パッケージ・レイアウト.....	106
LED機能.....	14	部品の配置と配線.....	106
リンク・ステータス・ピン.....	16	水晶発振器の配置と配線.....	106
パワーダウン・モード.....	16	PCBの層構成.....	106
ハードウェア構成ピン.....	17	外形寸法.....	107
アンマネージド・アプリケーション.....	17	オーダー・ガイド.....	107
マネージド・アプリケーション.....	17	評価用ボード.....	107
ハードウェア構成ピンの機能.....	17		

改訂履歴

9/2023—Rev. A to Rev. B

Changes to General Description Section.....	1
Changes to Evaluation Boards.....	107

2/2023—Rev. 0 to Rev. A

Change to Features Section.....	1
Changes to Applications Section.....	1
Changes to General Description Section.....	1
Deleted Table 1, Renumbered Sequentially.....	1
Added Table 1; Renumbered Sequentially.....	4
Changes to Table 2 Title.....	5
Changes to Table 8.....	9

目次

Change to Figure 6	11
Added Analog Front-End Section.....	12
Changes to Interrupt ($\overline{\text{INT}}$) Section	12
Added Transmit Amplitude Configuration Section	12
Added Master/Slave Configuration Section.....	13
Added Software Configuration Section and Table 9	13
Changed MDI Interface Section to MDI Section.....	13
Changes to Table 10	14
Changes to Hardware Configuration Pins Section	17
Added Unmanaged Applications Section	17
Added Managed Applications Section.....	17
Added Table 12	17
Added Time Domain Reflectometry (TDR) Section	24
Added Fault Detection with the TDR Engine Section	24
Added TDR Offset Calibration Section.....	24
Added Cable Calibration Section	25
Added Length/Distance to Fault Accuracy Section and Table 19.....	25
Changes to Component Recommendations Section.....	27
Changed Crystal Section to External Crystal Oscillator Section	28
Changes to External Crystal Oscillator Section and Figure 19	28
Changed External Clock Input Section to External 25 MHz Clock Input Section	28
Changes to External 25 MHz Clock Input Section and Figure 20	28
Added Table 20	28
Changes to MAC SPI Section.....	30
Added SPI Section.....	30
Changes to Transmit Data Header Section and Table 31.....	36
Changes to Receive Data Footer Section	37
Change to OPEN Alliance SPI Cut Through Mode Section	37
Changes to Control Transactions Section and Table 34.....	38
Changed SPI Register Map Section to SPI Register Details Section	45
Added MAC Section	42
Change to Frame Filtering on Receive Section.....	42
Changed PHY Clause 45 Register Map Section to PHY Clause 45 Register Details Section	71
Change to Component Placement and Routing Section.....	106

10/2021—Revision 0: Initial Version

仕様

特に指定のない限り、AVDD_H = AVDD_L = VDDIO = 3.3 V、DVDD_1P1は内部低ドロップアウト（LDO）レギュレータから供給（DVDD_1P1 = DLDO_1P1）、すべての仕様値の温度範囲は-40°C～+105°C。

表 1. 一般仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
DIGITAL INPUTS/OUTPUTS					SPIピン、 $\overline{\text{SWPD_EN}}$ 、 $\overline{\text{TX2P4_EN}}$ 、TS_TIMER/MS_SEL、TS_CAPT、 $\overline{\text{INT}}$ 、LINK_ST、RESET、LED_xIに適用
VDDIO = 3.3 V					
Input Low Voltage (V_{IL})			0.8	V	
Input High Voltage (V_{IH})	2.0			V	
Output Low Voltage (V_{OL})			0.4	V	出力ロー電流 (I_{OL}) (最小) = 2mA
Output High Voltage (V_{OH})	2.4			V	出力ハイ電流 (I_{OH}) (最小) = 2mA
VDDIO = 2.5 V					
V_{IL}			0.7	V	
V_{IH}	1.7			V	
V_{OL}			0.4	V	I_{OL} (最小) = 2mA
V_{OH}	2.0			V	I_{OH} (最小) = 2mA
VDDIO = 1.8 V					
V_{IL}			$0.3 \times$ VDDIO	V	
V_{IH}	0.7 VDDIO			V	
V_{OL}			$0.2 \times$ VDDIO	V	I_{OL} (最小) = 2mA
V_{OH}	$0.8 \times$ VDDIO			V	I_{OH} (最小) = 2mA
$\overline{\text{RESET}}$ Deglitch Time	0.3	0.5	1	μs	
LED OUTPUT					
Output Drive Current	8			mA	VDDIO = 3.3V
	6			mA	VDDIO = 2.5V
	4			mA	VDDIO = 1.8V
CLOCKS					
External Crystal (XTAL)					XTAL_IピンおよびXTAL_Oピンで使用する外部水晶発振器の条件
Crystal Frequency		25		MHz	
Crystal Frequency Tolerance	-30		+30	ppm	
Crystal Drive Level		<200		μW	
Crystal Equivalent Series Resistance (ESR)			60	Ω	
XTAL_I, XTAL_O Input Capacitance ($C_{IN,EQ}$)		1.5		pF	XTALピンへの等価並列差動入力容量
Crystal Load Capacitance (C_L) ¹		10	18	pF	プリント回路基板（PCB）パターンの容量とXTAL_IとXTAL_Oの $C_{IN,EQ}$ を含む
Start-up Time			2	ms	水晶発振器のみ
Clock Input (CLK_IN)					
Clock Input Frequency		25		MHz	XTAL_Iピンに印加される外部クロックの条件
Clock Jitter			40	ps	実効値
Clock Input Voltage Range	0.8		2.5	V p-p	XTAL_I/CLK_INピンにサイン波または方形波を入力。詳細については 外部25MHzクロック入力 のセクションを参照してください。
Clock Input Duty Cycle	45		55	%	
XTAL_I Input Impedance ($Z_{IN,EQ}$)					
Driving Point Resistance R_P ²		6		k Ω	$R_P C_P$

仕様

表 1. 一般仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Driving Point Capacitance C_P^2		3		pF	
CLK25_REF Clock Output					
CLK25_REF Frequency		25		MHz	
V_{OH}		1.05		V	負荷 = 10pF
V_{OL}		0		V	負荷 = 10pF
CLK25_REF Duty Cycle	45		55	%	負荷 = 10pF
CLK25_REF Frequency Tolerance	-50		+50	ppm	

1 $C_L = ((C1 \times C2)/(C1 + C2) + C_{STRAY})$ 、ここで、 C_{STRAY} は配線とパッケージの寄生成分を含む浮遊容量です。

2 R_P および C_P は、ACグラウンドへの等価並列RC回路の値 ($R_P||R_C$) で、XTAL_I/CLK_INピンの駆動点のインピーダンスをモデル化しています。

表 2. 10BASE-T1Lの仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
POWER REQUIREMENTS					
Supply Voltage Range					
AVDD_H	3.13	3.3	3.46	V	2.4V p-pまたは1.0V p-pの送信レベル
AVDD_L	1.71	1.8 or 3.3	3.46	V	
AVDD_H, AVDD_L	1.71	1.8	3.46	V	1.0Vp-pの送信レベル
DVDD_1P1	1.0	1.1	1.2	V	
VDDIO	1.71	1.8, 2.5, or 3.3	3.46	V	
1.0 V p-p Transmit Level (Single Supply)					AVDD_H = AVDD_L = VDDIO = 1.8V、DVDD_1P1 = DLDO_1P1
AVDD_x Supply Current, I_{AVDD}		28		mA	
Power Consumption		50		mW	100%データ・スループット、フル・アクティブ
1.0 V p-p Transmit Level (Dual Supply)					AVDD_H = AVDD_L = VDDIO = 1.8V、DVDD_1P1 = 外部1.1V
AVDD_x Supply Current, I_{AVDD}		16		mA	
DVDD_1P1 Supply Current, I_{DVDD}		12		mA	
Power Consumption		42		mW	100%データ・スループット、フル・アクティブ
2.4 V p-p Transmit Level (Single Supply)					AVDD_H = AVDD_L = VDDIO = 3.3V、DVDD_1P1 = DLDO_1P1
AVDD_x Supply Current, I_{AVDD}		36		mA	
Power Consumption		119		mW	100%データ・スループット、フル・アクティブ
2.4 V p-p Transmit Level (Dual Supply)					AVDD_H = 3.3V、AVDD_L = VDDIO = 1.8V、DVDD_1P1 = DLDO_1P1
AVDD_x Supply Current, I_{AVDD}		16.5		mA	
VDDIO Supply Current, I_{VDDIO}		18		mA	
Power Consumption		87		mW	100%データ・スループット、フル・アクティブ
2.4 V p-p Transmit Level (Triple Supply)					AVDD_H = 3.3V、AVDD_L = VDDIO = 1.8V、DVDD_1P1 = 外部1.1V
AVDD_x Supply Current, I_{AVDD}		16.5		mA	
VDDIO Supply Current, I_{VDDIO}		6		mA	
DVDD_1P1 Supply Current, I_{DVDD}		12		mA	
Power Consumption		78		mW	100%データ・スループット、フル・アクティブ
ANALOG INPUTS AND OUTPUTS					
MDI Gain Offset	-7.5		+3.5	%	

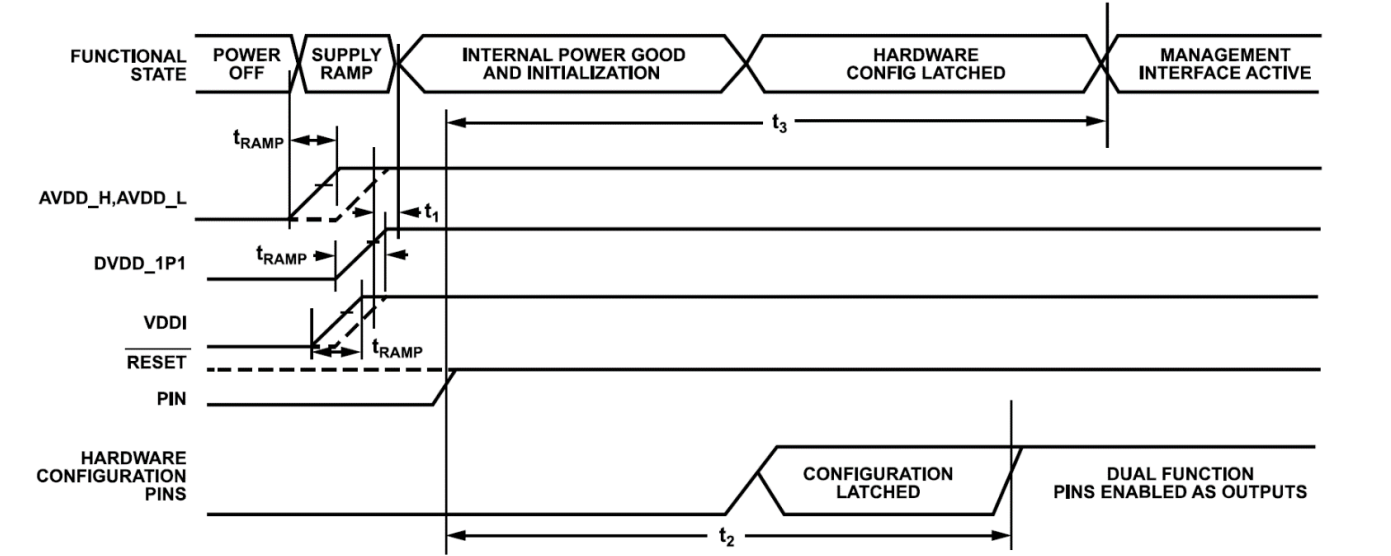
タイミング特性

パワーアップ・タイミング

表3. パワーアップのタイミング

Parameter	Description	Min	Typ	Max	Unit
t_{RAMP}	Power supply ramp time			40	ms
t_1	Minimum time interval to internal power good ¹	20		43	ms
t_2	Hardware configuration latch time	6	8	14	μs
t_3	Management interface (SPI) active			50	ms

1 最小タイム・インターバルは、立上がり閾値に到達する最後の電源を基準とします。特定の電源シーケンスは必要ありません。



002

図2. パワーアップのタイミング図

SPI

表4.

Parameter ^{1, 2}	Description	Min	Typ	Max	Unit
t_1	SCLK cycle time	40			ns
t_2	SCLK high time	17			ns
t_3	SCLK low time	17			ns
t_4	$\overline{CS}$ falling edge to SCLK rising edge setup time	17			ns
t_5	Last SCLK rising edge to $\overline{CS}$ rising edge	17			ns
t_6	$\overline{CS}$ high time	40			ns
t_7	Data setup time	5			ns
t_8	Data hold time	5			ns
t_9 ³	SCLK falling edge to SDO valid			12	ns
t_{10} ³	$\overline{CS}$ rising edge to SDO tristate			15	ns
t_{11} ³	$\overline{CS}$ falling edge to SDO valid (for readback MSB only)			12	ns

1 設計および特性評価により確保。出荷テストの対象外です。

2 すべての入力信号は、立上がり時間 (t_R) = 立下がり時間 (t_F) = 5ns (VDDIOの10%~90%) で仕様規定し、1.2Vの電圧レベルから時間を測定しています。

3 SDOピンの容量性負荷は10pFです。

タイミング特性

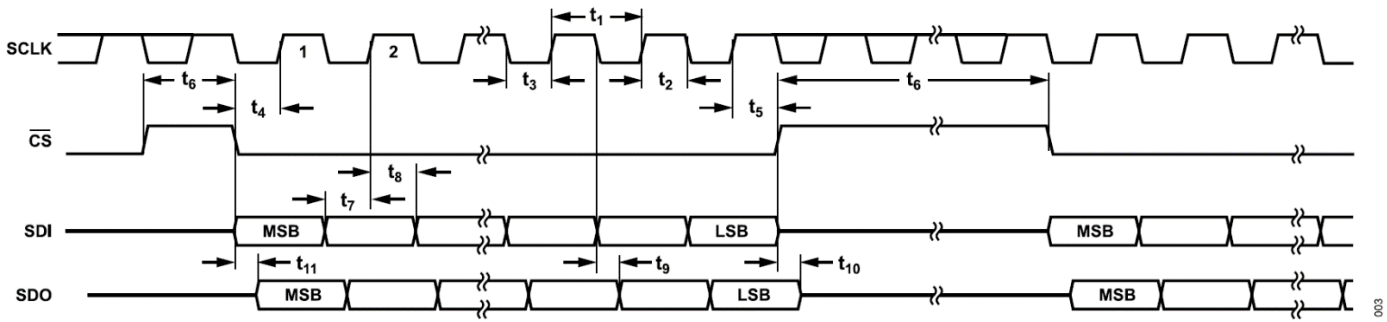


図3. シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、T_A = 25°C。

表5.

Parameter	Rating
VDDIO to GND	-0.3 V to +4 V
DVDD_1P1, DLDO_1P1 to GND	-0.3 V to +1.35 V
AVDD_H, AVDD_L to GND	-0.3 V to +4 V
SPI ¹ , INT to GND	-0.3 V to VDDIO + 0.3 V
TXN, TXP, RXN, RXP to GND	-0.3 V to AVDD + 0.3 V
LED_x, RESET, LINK_ST to GND	-0.3 V to VDDIO + 0.3 V
XTAL_I/CLK_IN to GND	-0.3 V to 2.75 V
XTAL_O, CLK25_REF to GND	-0.3 V to 1.35 V
Operating Temperature Range (T _A)	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T _J maximum)	125°C
Power Dissipation	(T _J maximum - T _A)/θ _{JA}
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

1 SPIピンの全リストについては、ピン配置およびピン機能の説明のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを定めるものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めるものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA}は、1立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲空気間の熱抵抗です。

表6. 熱抵抗

Package Type	θ _{JA} ¹	Unit
CP-40-29 ²	45	°C/W

1 θ_{JA}は最も厳しい条件、すなわち、表面実装パッケージ用回路基板にデバイスをハンダ付けした状態で仕様規定されています。

2 テスト条件1：熱抵抗のシミュレーション値は、サーマル・ビアを備えたJEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD51を参照してください。

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADIN1110のESD定格

表7. ADIN1110、40ピンLFCSP

ESD Model	Withstand Threshold (V)	Class
HBM		
TXN, TXP, RXN, RXP Pins	8000	3B
All Other Pins	2000	2
FICDM	1250	C3

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

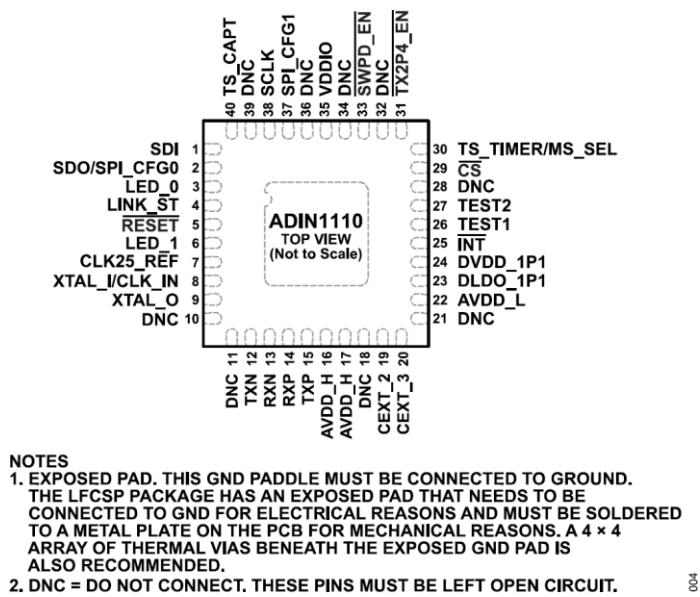


図4.ピン配置

表 8. ピン機能の説明（ピン配置のハードウェア上のグループ分けは変更される可能性があります）

ピン番号	記号 ¹	説明
Clock Interface		
7	CLK25_REF	アナログ・リファレンス・クロック出力。水晶発振器からの25MHzリファレンス・クロックは、このCLK25_REFピンで利用できます。
8	XTAL_I/CLK_IN	水晶発振器の入力（XTAL_I）。 シングルエンドの25MHzリファレンス・クロック入力（CLK_IN）。
9	XTAL_O	水晶発振器出力。XTAL_I/CLK_INでシングルエンドのリファレンス・クロックを使用する場合、XTAL_Oはオープン・サーキットのままにします。 外部25MHzクロック入力 のセクションを参照してください。
SPI		
1	SDI	シリアル・データ入力。データは、クロックの各立上がりエッジでSDIピンに入力されます。
2	SDO/SPI_CFG0 ²	シリアル・データ出力（SDO）。データは、クロックの各立下がりエッジでSDOピンに出力されます。 SPIプロトコル設定ピン0（SPI_CFG0）。 表16 を参照してください。
25	$\overline{\text{INT}}$	割り込みピン出力。アクティブ・ローのオープンドレイン出力。 $\overline{\text{INT}}$ のローは、マスク解除されている管理割り込みを示します。このピンには、VDDIOへの1.5kΩプルアップ抵抗が必要です。
29	$\overline{\text{CS}}$	アクティブ・ローのチップ・リセット。
37	SPI_CFG1	SPIプロトコル設定ピン1。 表16 を参照してください。
38	SCLK	シリアル・クロック入力。データは、クロックの各立上がりエッジでシフト・レジスタに入力されます。
Time Stamp Support		
30	TS_TIMER/MS_SEL ²	タイム・スタンプ・タイマー出力（TS_TIMER）。 アプリケーション情報の セクションを参照してください。 マスタ／スレーブの選択（MS_SEL）。マスタ優先を選択する場合はハイ、スレーブ優先を選択する場合はローに設定します。 表14 を参照してください。
40	TS_CAPT	タイム・スタンプの取得、ADIN1110への入力。 アプリケーション情報の セクションを参照してください。タイム・スタンプ機能を使用しない場合、内部にプルダウン抵抗があるため、このピンをオープンのままにしておくことができます。
Reset		
5	$\overline{\text{RESET}}$	アクティブ・ロー入力。10μsを超える時間、ローに保持します。内部にプルアップ抵抗があるため、 $\overline{\text{RESET}}$ にはプルアップ抵抗は不要です。
Media Dependent Interface (MDI)		

ピン配置およびピン機能の説明

表 8. ピン機能の説明（ピン配置のハードウェア上のグループ分けは変更される可能性があります）

ピン番号	記号 ¹	説明
12	TXN	送信用負側ピン。
13	RXN	受信用負側ピン。
14	RXP	受信用正側ピン。
15	TXP	送信用正側ピン。
Configuration/Status		
3	LED_0	汎用LED用プログラマブルLEDインジケータ。LEDはアクティブ・ローです。LEDは、アクティブ・ハイまたはアクティブ・ローにすることができます。デフォルトでは、リンクが確立されるとLED_0が点灯し、アクティビティがあると点滅するよう設定されています。 LED機能のセクション を参照してください。
4	LINK_ST	リンク・ステータス出力。LINK_STは、有効なリンクが確立されているかどうかを示します。LINK_STはアクティブ・ハイです。
6	LED_1	汎用LED用プログラマブルLEDインジケータ。LEDは、アクティブ・ハイまたはアクティブ・ローにすることができます。デフォルトでは、LED_1はディスエーブルです。 LED機能のセクション を参照してください。
31	TX2P4_EN ²	送信レベル振幅ハードウェア構成ピン。送信振幅が1.0V p-pの場合にのみハイに設定します。送信振幅が1.0V p-pおよび2.4V p-pの場合はローに設定します。 表15 を参照してください。
33	SWPD_EN ²	ソフトウェア・パワーダウン設定。ローにセットすると、パワーアップ/リセット後にPHYがソフトウェア・パワーダウン・モードになるよう設定されます。 表13 を参照してください。
LDOs and REFERENCE		
19	CEXT_2	バンド・ギャップ電圧リファレンス用外部デカップリング。このピンのできるだけ近くで、0.1μFのコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
20	CEXT_3	LDO回路用外部デカップリング。このピンのできるだけ近くで、1μFのコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
Power and Ground Pins		
16, 17	AVDD_H	デバイス内の様々なアナログ回路用のアナログ電源電圧。この電源レールは、送信レベル設定に応じて1.8V~3.3Vで供給できます。AVDD_Hが3.3Vの場合、1.0V p-pと2.4V p-pの両方の送信動作モードに対応し、AVDD_Hが1.8Vの場合は、1.0V p-pの送信動作モードにのみ対応します。このピンのできるだけ近くで、0.1μFと0.01μFのコンデンサをグラウンドに接続します。
22	AVDD_L	内部LDO回路用のアナログ電源電圧。この電源レールは1.8V~3.3Vで供給できます。AVDD_Lは、長距離伝送アプリケーションではAVDD_Hレールに直結できます。また、低消費電力用に両電源で構成されている場合はより低電圧の別のレールに接続できます。このピンのできるだけ近くで、0.1μFと0.01μFのコンデンサをグラウンドに接続します。
23	DLDO_1P1	デジタル・コア1.1V電源出力ピン。このピンのできるだけ近くで、0.68μFのコンデンサをGNDに接続します。内部LDOレギュレータを使用する場合は、このピンをDVDD_1P1ピンに直接接続します。
24	DVDD_1P1	1.1V DVDD_1P1電源レールの入力ピン。内部LDOレギュレータを使用する場合は、このピンをDLDO_1P1ピンに直接接続します。代わりに、外部1.1Vレールをこのピンに供給して電力効率を向上することもできます。このピンのできるだけ近くで、0.1μFのコンデンサをGNDに接続します。
35	VDDIO	SPI用の3.3V、2.5V、または1.8Vのデジタル電力。このピンのできるだけ近くで、0.1μFと0.01μFのコンデンサをGNDに接続します。
	EP	露出パッド。このGNDパッドはグラウンドに接続する必要があります。LFCSPパッケージには、電気的な理由によりGNDに接続する必要があり、機械的な理由によりPCBの金属面にハンダ付けする必要のある露出パッドがあります。露出GNDパッドの下に、4×4アレイのサーマル・ビアを設けることを推奨します。
Other Pins		
10, 11, 18, 21, 28, 32, 34, 36, 39	DNC	接続なし。これらのピンはオープン・サーキットのままにする必要があります。
26	TEST1	このピンには、VDDIOへの1.5kΩプルアップ抵抗が必要です。
27	TEST2	このピンはオープン・サーキットのままにする必要があります。

¹ ピンが機能信号とハードウェア・ピン設定信号の間で共有されている場合、ハードウェア・ピン設定信号は記号の最後の名前になり、このデータシートではピンは機能信号名を用いて呼称されます。

² すべてのハードウェア構成ピンには、内部プルダウン抵抗があります。これらのピンに外部抵抗を接続しないデフォルト動作モードを[表11](#)に示します。代替動作モードが必要な場合は、4.7kΩのプルアップ抵抗を使用してください。

代表的な性能特性

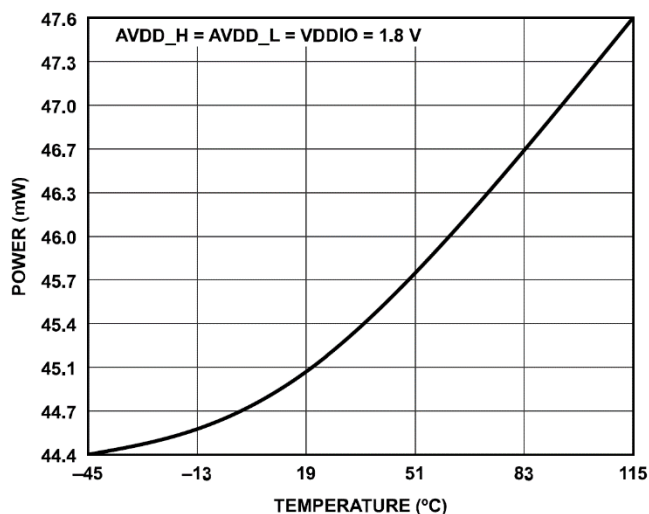


図5. 消費電力と温度の関係、1.8V単電源、内部LDO回路

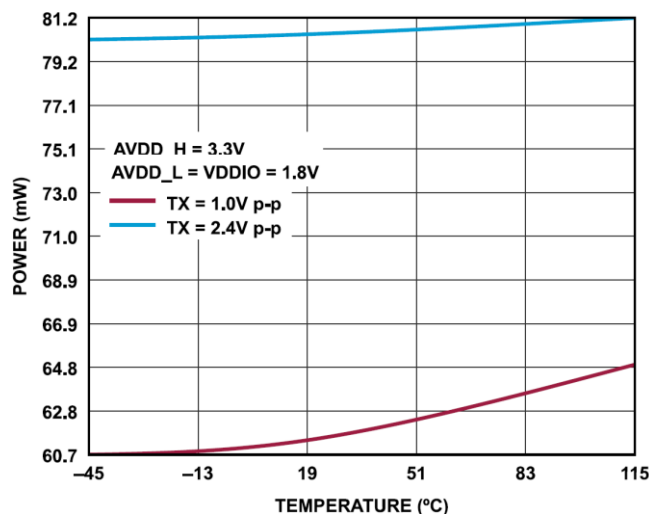


図8. 消費電力と温度の関係、AVDD_H = 3.3V、AVDD_L = VDDIO = 1.8V、内部LDO回路

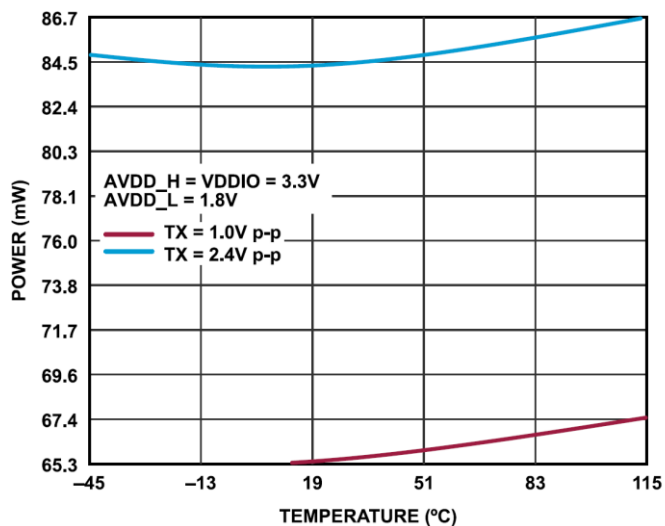


図6. 消費電力と温度の関係、AVDD_H = 3.3V、VDDIO = 3.3V、AVDD_L = 1.8V、内部LDO回路

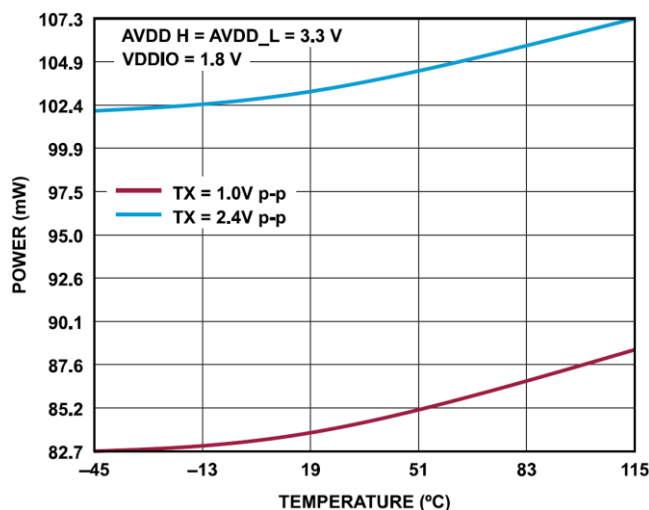


図9. 消費電力と温度の関係、AVDD_H = AVDD_L = 3.3V、VDDIO = 1.8V、内部LDO回路

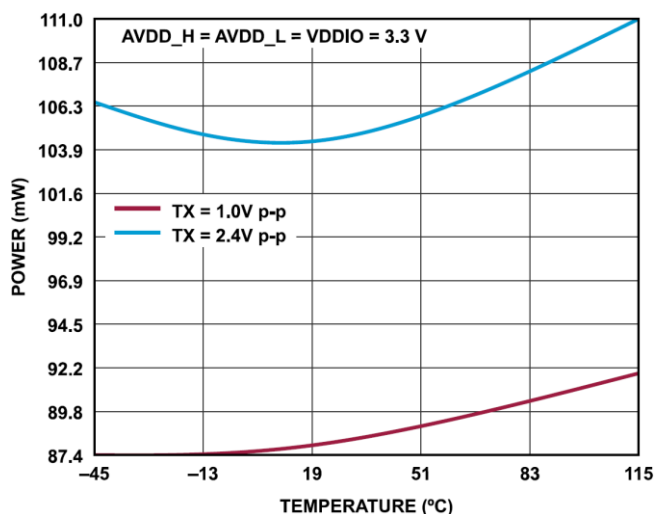


図7. 消費電力と温度の関係、3.3V単電源、内部LDO回路

動作原理

ADIN1110は低消費電力で単一ポートの10Mb/sイーサネットMAC-PHYデバイスで、長距離伝送10Mbpsシングル・ペア・イーサネットに対するIEEE 802.3cg イーサネット規格に準拠しています。

ADIN1110は以下のような機能を備えています。

- ▶ 関連する一般的なアナログ・回路をすべて備えた10BASE-T1L イーサネットPHYコアおよびMAC
- ▶ 入力および出力のクロック・バッファ処理
- ▶ SPIおよびサブシステム・レジスタ
- ▶ リセットとクロックを管理する制御ロジック
- ▶ ハードウェア構成ピン
- ▶ 2個の設定可能なLEDピン

電源ドメイン

ADIN1110には、以下の4つの電源ドメインがあり、少なくとも1つの電源レールが必要です。

- ▶ AVDD_Hは、ADIN1110のアナログ・フロント・エンド (AFE) 回路用のアナログ電源入力です。
- ▶ AVDD_Lは、内部LDO回路用のアナログ電源電圧です。AVDD_Lは、単電源モードではAVDD_Hレールに、低消費電力向けのデュアル電源モードに設定されている場合はより低電圧のレールに接続できます。
- ▶ DVDD_1P1は1.1Vのデジタル・コア電源入力です。DVDD_1P1は、DLDO_1P1ピンからDVDD_1P1ピンに供給される内部1.1V LDO出力で動作できます。あるいは、DVDD_1P1を外部の1.1V電源で駆動して電力効率の向上を図ることもできます。
- ▶ VDDIOにより、SPIの電圧源をADIN1110の他の回路から独立して設定できます。VDDIOは、AVDD_Lレールに直接接続できます。

単電源アプリケーションでは、AVDD_HおよびAVDD_LをVDDIOに接続し、内部1.1V LDO回路をDVDD_1P1用に使用します。使用する適切な電源電圧は、最終アプリケーションとケーブル長によって異なります。長距離伝送／幹線アプリケーションでは、2.4V p-pという大きな送信振幅を得るためにAVDD_H = 3.3Vとする必要がありますが、支線アプリケーションではAVDD_H = 1.8Vとして1.0V p-pのより小さな送信振幅を用いることができます。

アナログ・フロント・エンド

アナログ・フロント・エンド (AFE) 段は、ハイブリッド段、9レベルDAC、ライン・ドライバ、アナログ受信フィルタ、入力バッファ、ADCで構成されています。

ライン・ドライバは、MDIインターフェース・ピンであるTXPおよびTXNを介して、ラインに信号を送信します。ハイブリッド段では、送信された信号がMDIピンで受信された信号から差し引かれます。これによりシングル・ペア・ケーブルで全二重動作が可能になります。

その後、受信信号はアナログ受信フィルタを通過し入力バッファに達した後、ADCに送られます。

MAC

ADIN1110のMACは16通りのMACアドレスをサポートしています。また、MACには、低優先度受信先入れ先出し (FIFO) が1つ、高優先度受信FIFOが1つ、送信FIFOが1つあります。これらのFIFOは、汎用のSPIプロトコルを使用する場合はストア・アンド・フォワード・モードでデータを送信し、OPEN Allianceプロトコルを使用する場合はストア・アンド・フォワード・モードまたはカット・スルー・モードでデータを送信できます。

汎用バージョンとOPEN AllianceバージョンのSPIプロトコルが使用できます。データは、汎用SPIプロトコルを用いる場合はSPI半二重通信で転送され、OPEN Allianceプロトコルを用いる場合は全二重通信で転送されます。MAC SPIのセクションを参照してください。

割込み (INT)

ADIN1110は、ユーザが選択可能な様々な条件に応答し、 $\overline{\text{INT}}$ ピンを使用してホスト・プロセッサへの割込みを生成できます。割込みを生成するには、以下の条件が選択できます。

- ▶ リンク・ステータスの変化
- ▶ 使用可能な受信FIFOデータ
- ▶ フレーム送信完了または送信空き容量
- ▶ タイム・スタンプの取得
- ▶ 動作エラーの検出
- ▶ PHY関連の割込み

割込みが発生すると、システムはMACステータス・レジスタ (STATUS0およびSTATUS1) をポーリングすることで、割込みの発生源を特定できます。

送信振幅の設定

ADIN1110は、次の2つの送信振幅の動作モードに対応しています。

- ▶ 1.0V p-pおよび2.4V p-pのモード (ハイ・レベル)
- ▶ 1.0V p-pのみのモード

ハイ・レベルの送信モードを使用すると、ADIN1110は両方の電圧レベルに対応できます。したがって、動作レベルは、リンク・パートナーの機能に基づき、オートネゴシエーション (イーネブルの場合) の間に自動的に設定されます。ハイ・レベルの送信動作モードでは、デバイスが正常に動作するためにAVDD_Hが2.4V以上でなくてはならない点に注意してください。

動作モードは、 $\overline{\text{TX2P4_EN}}$ のハードウェア構成ピンの信号で設定されます (送信振幅のセクションを参照) また、ADIN1110は、オートネゴシエーション・プロセスに使用される送信レベル・レジスタ・ビットのデフォルト値を、このピンで設定されたレベルに基づき設定します。

ADIN1110は、 $\overline{\text{TX2P4_EN}}$ ピンがオープン (内部プルダウン抵抗) のままの場合、ハイ・レベル送信動作モードになるようデフォルト設定されています。

動作原理

マスタ／スレーブ設定

10BASE-T1L規格では、マスタ／スレーブ・クロック・スキームを使用します。このスキームは、一般的にエコー・キャンセル付きの全二重トランシーバー規格で使用されています。

10BASE-T1Lリンクでは1つのPHYがマスタに指定され、他方のPHYがスレーブに指定されます。どちらのPHYがマスタでどちらのPHYがスレーブになるかは、オートネゴシエーションで決まります。マスタとスレーブの割り当ては一般的には重要ではありません。

ソフトウェア設定

マスタおよびスレーブ設定ビット (CFG_MST) を使用してPHYの役割を設定します。このビットはオートネゴシエーションがディスエーブルされている場合にのみ使用します。それ以外の場合は、このビットはオートネゴシエーション・プロセスの間にセットまたはリセットされます (オートネゴシエーションのセクションを参照)。

表9. CFG_MSTの設定

Bit Setting	Description
0	Prefer slave
1	Prefer master

オートネゴシエーション

ADIN1110は、IEEE 802.3の条項98に準拠したオートネゴシエーション機能を使用しており、リンク・パートナーが共通の動作モードに合意できるようにするための、PHY間の情報交換メカニズムを提供しています。オートネゴシエーション・プロセス中、PHYは自身の機能をアダプタイズし、リンク・パートナーから受信した機能と比較します。その結果、動作モードは2つのデバイスに共通の送信振幅モードとマスタ／スレーブ優先度設定されます。

リンクが切断された場合、オートネゴシエーション・プロセスは自動的に再起動します。オートネゴシエーションは、オートネゴシエーション制御レジスタのオートネゴシエーション再起動ビット (AN_RESTART) に書き込むことでも要求できます。

オートネゴシエーション・プロセスは、交換されるページの数に応じて完了するまでに時間がかかりますが、リンクを確立するためには常に最も速い方法です。IEEE 802.3規格の条項98には、オートネゴシエーションに関連したタイマーについての詳細が記載されています。

ADIN1110ではオートネゴシエーションはデフォルトでイネーブルされており、常にイネーブルしておくことを強く推奨します。

送信振幅の決定

オートネゴシエーションを使用して送信振幅を決定できます。PHYは、ハードウェア設定を介して、1.0V p-pおよび2.4V p-pの両方の送信レベルに対応するよう設定することも、1.0V p-p送信レベルでのみ動作するよう設定することもできます (表15参照)。また、この設定は、10BASE-T1Lのハイ・レベル送信動作モード機能 (AN_ADV_B10L_TX_LVL_HI_ABL) および10BASE-T1Lハイ・レベル送信動作モード要求 (AN_ADV_B10L_TX_LVL_HI_REQ)

のレジスタ・ビットを用いてソフトウェア設定により行うこともできます。

2.4V p-p送信レベルで動作させるには、ローカルPHYとリモートPHYの両方が2.4Vで動作可能であることをアダプタイズする必要があり、また、少なくとも1方のPHYが2.4V p-pの送信レベルの動作を要求する必要があります。

1.0V p-p送信レベル動作でのみPHYを動作させる場合は、AN_ADV_B10L_TX_LVL_HI_ABLビットを0に設定し、2.4V p-p送信レベル動作がアダプタイズされないようにします。この場合、オートネゴシエーションの結果は、リモートのPHYがアダプタイズする設定にかかわらず、1.0V p-p送信レベル動作のみになります。

マスタ／スレーブの判断

オートネゴシエーションは、マスタまたはスレーブのステータスを判断するのに使用されます。PHYはハードウェア設定を介してスレーブ優先またはマスタ優先となるよう設定できます (表14参照)。オートネゴシエーションがディスエーブルされている場合、MS_SELハードウェア構成ピンがデフォルトのマスタ／スレーブ選択を設定します。なお、ADIN1110の推奨使用方法は、オートネゴシエーションをイネーブルすることである点に注意してください。

オートネゴシエーション中、スレーブ優先が選択され、リモート端がマスタ優先になるかマスタ強制になった場合、ローカルPHYはスレーブに (リモートはマスタに) 設定されます。リモート端がスレーブ優先またはスレーブ強制となった場合、ローカルPHYはマスタに (リモートはスレーブに) 設定されます。

MDI

メディア依存インターフェース (MDI) は、ツイスト・ワイヤー・ペアを介してADIN1110をイーサネット・ネットワークに接続します。

ADIN1110では、TXN/TXPピンおよびRXN/RXPピンとツイスト・ワイヤー・ペアの間に外部ハイブリッドが必要です。この外部ハイブリッドによって、システムは、ケーブルに結合した信号からローカルの送信信号を除去し、必要な受信信号を残すことで、全二重通信が可能となります。

ADIN1110のハイブリッドが正常に動作するには、特定のトポロジと値が必要です。トポロジおよび各部品を値を図10に示します。これらの部品のサイズ、消費電力、電圧定格は、他のシステム条件、例えば本質安全の条件のコンテキストで検討してください。

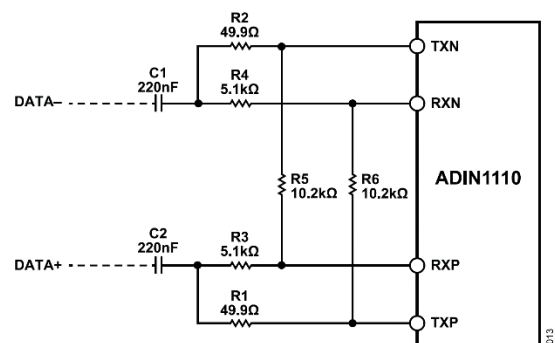


図10. ADIN1110の推奨ハイブリッド

動作原理

リセット動作

ADIN1110は、次のチップ・リセットをサポートしています：

- ▶ パワーオン・リセット
- ▶ ハードウェア・リセット
- ▶ ソフトウェア・リセット
- ▶ MACサブシステム・リセット
- ▶ PHYサブシステム・リセット

これらのリセットはすべて、PHYコアおよびMACを含むADIN1110を既知の状態にします。MACがリセットされるたびに、SDOピンがプルダウンされ、TS_TIMERピンがロー状態に駆動されます。

パワーオン・リセット

ADIN1110は、すべての電源をモニタするための電源モニタ回路を搭載しています。パワーアップ時、ADIN1110は各電源が最小の立上がり閾値を超え電源が良好であると判断されるまで、ハードウェア・リセット状態に保持されます。

PORモジュールは、電源をモニタして1つ以上の電源が最小立下がり閾値を下回ったかどうかを検出することによるブラウンアウト保護機能を備えています。ブラウンアウトが検出されると、デバイスは電源が良好になるまでハードウェア・リセット状態を維持します。

ハードウェア・リセット

ハードウェア・リセットは、パワーオン・リセット回路により、またはRESETピンをローにアサートすることにより、開始されます。RESETピンを10μs以上の間、ローにします。このピンにはデグリッチ回路が含まれており、0.3μsより短いパルスは除去されます。

RESETピンがアサート解除されると、すべての入出力（I/O）ピンがトリステート・モードに保持され、ハードウェア構成ピンがラッチされて、I/Oピンはそれぞれの機能モードに設定されます。すべての外部および内部電源が有効かつ安定な場合、水晶発振器回路がイネーブルされます。水晶発振器が起動し安定すると、フェーズ・ロック・ループ（PLL）がイネーブルされます。RESETピンがアサート解除されてから50ms（最大）の遅延後、すべての内部クロックが有効になり、内部ロジックはリセットから解放され、すべての管理インターフェース・レジスタはデバイスをプログラムできるようアクセス可能となります。

ソフトウェア・リセット

チップ全体のソフトウェア・リセットは、RESETレジスタのSWRESETフィールドに1を書き込むことで開始できます。

SPIソフトウェア・リセットが開始されたときに送信が行われた場合は、フレーム送信が突然停止し、ラントまたは巡回冗長検査

（CRC）が不合格のフレームが送信される可能性があります。MAC-PHYがリセットされると、ADIN1110にはリンクを確立する用意が整います。

このソフトウェア・リセットが開始されると、ハードウェア・リセットとほぼ同様に、チップが完全に初期化されます。I/Oピンはトリステート・モードに保持され、ハードウェア構成ピンがラッチされて、I/Oピンはそれぞれの機能モードに設定されます。水晶発振器回路がイネーブルになり、水晶発振器が起動して安定するとPLLがイネーブルされます。SOFT_RSTキーの書き込み後約10ms（最大）経過すると、内部ロジックがリセットから解放され、すべての管理インターフェース・レジスタがアクセス可能になります。

MACサブシステム・リセット

MACのみのソフトウェア・リセットは、必要なキー・ペアをSOFT_RSTレジスタに書き込むことで開始できます。

リセットは、約1.2μsの間適用されます。MACサブシステム・リセットは、MACとPHYの間の任意の送信／受信パケット交換を中断しますが、既存のリンクを切断したり、リンクの確立を妨げたりするようなことはありません。PHY管理レジスタは初期化されません。

MACのみのソフトウェア・リセットをトリガするには、PHYがソフトウェア・パワーダウンの対象外であることが必要です。

PHYサブシステム・リセット

PHYサブシステムはADIN1110の一部として機能し、10BASE-T1L PHYトランシーバーのアナログ回路とデジタル回路の両方を含んでいます。PHYサブシステムのリセットは、PHYサブシステム・リセット・レジスタ・ビット（CRSM_PHY_SUBSYS_RST）をセットすることで開始されます。このビットがセットされると、PHYサブシステムがリセットされます。リセットは約1.2μsの間適用され、その後、このビットはセルフ・クリアされます。PHYのデジタル回路がすべてリセットされ、すべてのアクティブなリンクが切断されます。このリセットにより管理レジスタが初期化されることはありません。また、すべての管理レジスタへのアクセスは、PHYサブシステムのリセットの間も可能です。これは短時間のリセットであり、デバイスのソフトウェア初期化を継続しながらデバイスを既知の状態にする場合に使用できます。

LED機能

LED_0およびLED_1は、LED機能という特徴を利用し、ADIN1110の様々なアクティビティを表示するよう設定できます。LED機能は、LED0_FUNCTIONビットおよびLED1_FUNCTIONビットを使用して設定できます（LED制御レジスタのセクションを参照）。

LEDx_FUNCTIONの7、8、9、10（10進数）のビット設定値は、LEDモード2では使用できません。

表10. LED_xピンの設定の概要

Parameter	LED_0	LED_1
Pin Number	3	6
Internal Pull-Up or Pull-Down Resistor	Pull-up	Pull-down

動作原理

表10. LED_xピンの設定の概要（続き）

Parameter	LED_0	LED_1
Status at Power-Up or Reset	Enabled	Disabled (via pinmux)
LED Pin Mux	Not applicable	DIGIO_LED1_PINMUX bits (see the Pin Mux Configuration 1 Register section)
Enable LED	LED0_EN bit (see the LED Control Register section)	LED1_EN bit (see the LED Control Register section)
LED Polarity	LED0_POLARITY bits (see the LED Polarity Register section)	LED1_POLARITY bits (see the LED Polarity Register section)
LED Mode	LED0_MODE bit (see the LED Control Register section), default: LED Mode 1	LED1_MODE bit (see the LED Control Register section), default: LED Mode 1
LED Function ¹	LED0_FUNCTION bits (see the LED Control Register section), default: LINKUP_TXRX_ACTIVITY	LED1_FUNCTION bits (see the LED Control Register section), default: TXRX_ACTIVITY
LED Blink Rate	LED0_BLINK_TIME_CNTRL (see the LED_0 On/Off Blink Time Register section)	LED1_BLINK_TIME_CNTRL (see the LED 1 On/Off Blink Time Register section)
Maximum Current ²	8 mA at 3.3 V	8 mA at 3.3 V

1 LEDx_FUNCTIONビットの7、8、9、10（10進数）の設定値はLEDモード2では使用できません。

2 表2を参照してください。

動作原理

代表的な使用例

LED_0ピンおよびLED_1ピンは、外部LEDを接続してADIN1110のリンク・ステータスや送受信アクティビティを指示するために使用できます。各LEDに割り当てられるアクティビティは、LED_CNTRLで設定可能です（[LED制御レジスタ](#)のセクションを参照）。

LEDピンは、超低消費電力のLEDに適しています。LED_0ピンとLED_1ピンの最大出力電流は、VDDIO = 3.3Vの場合8mAです。これより大きなLED出力が必要な場合は、外部トランジスタを使用することを推奨します。

LED_xピンは、ホスト・コントローラの汎用入出力（GPIO）にも接続できます（パルス幅変調入力またはハードウェア割込みとして設定）。この設定は、ユーザ・インターフェースをすべて外部ホスト・コントローラによって処理する必要があるアプリケーションで有効です（例えば外部LEDモジュールやディスプレイ）。なお、この状況では、ADIN1110のLED_xピンとコントローラの間に値の小さな抵抗を直列に配置して、過渡的なサージ電流が発生しないようにすることを推奨します。

LEDピンのマルチプレクス

内部マルチプレクサは、LED_1ピンでLED_1信号をイネーブルするよう設定する必要があります。LED_1はデフォルトではディスエーブルされており、DIGIO_LED1_PINMUXビットを使用してイネーブルできます（[ピン・マルチプレクサ設定1レジスタ](#)のセクションを参照）。

LED_0ピンはマルチプレクスする必要はありません。

LED極性

LED_0ピンとLED_1ピンは、LED極性モード機能を使用して、様々なLED回路の極性に対応するよう設定できます（[LED極性レジスタ](#)のセクションを参照）。LEDごとに次の3つの極性モードが使用できます。

- ▶ オートセンス（デフォルト）
- ▶ アクティブ・ハイ
- ▶ アクティブ・ロー

オートセンス・モードの場合、ADIN1110はパワーアップ時またはリセット時にピンを自動的に検出し、適切な極性設定を選択します。アクティブ・ハイ・モードの場合、ADIN1110はアノード側からLEDを駆動するよう設定されます。アクティブ・ロー・モードの場合、ADIN1110はカソード側からLEDを駆動するよう設定されます。

回路例については、[LED回路例](#)のセクションで説明します。

LEDモード

LED_0およびLED_1のアクティビティ動作は、次の2つのLEDモードを使用して設定できます。

- ▶ LEDモード1：点滅のデューティ・サイクルは、それぞれ、LED0_BLINK_TIME_CNTRLレジスタ（[LED_0オン／オフ点滅時間レジスタ](#)のセクションを参照）およびLED1_BLINK_TIME_CNTRLレジスタ（[LED_1オン／オフ点滅時間レジスタ](#)のセクションを参照）を用いて定義されます。

- ▶ LEDモード2：点滅のデューティ・サイクルは、アクティビティ・レベル（%）に基づきADIN1110によって自動的に定義されます。

リンク・ステータス・ピン

LINK_STピンは、リンク・ステータス・ビット

（AN_LINK_STATUS）がアサートされた場合にハイにアサートされ、ADIN1110とそのリンク・パートナーの間のリンクがアクティブになったことを示します。

デフォルトでは、LINK_ST信号はアクティブ・ハイで、DIG_IO_LINK_ST_POLARITYビットを用いてアクティブ・ハイまたはアクティブ・ローに設定できます（[ピン・マルチプレクサ設定1レジスタ](#)のセクションを参照）。

パワーダウン・モード

ADIN1110は次の2種類のパワーダウン・モードに対応しています。

- ▶ ハードウェア・パワーダウン
- ▶ ソフトウェア・パワーダウン

消費電力が最小になるモードはハードウェアのパワーダウン・モードであり、その場合、デバイスは完全にオフになり、アクセスできなくなります。

ハードウェア・パワーダウン・モード

ハードウェア・パワーダウン・モードは、ADIN1110の動作が不要で、消費電力を最小化する場合に使用できます。RESETピンがアサートされ、ローに保持されると、ADIN1110はハードウェア・パワーダウン・モードに入ります。このモードでは、すべてのアナログ回路とデジタル回路がディスエーブルされ、クロックはゲート・オフされ、すべてのI/Oピンがトライステート・モードに保持されて、唯一の電力は回路の漏れ電力となります。このモードでは、管理レジスタにはアクセスできません。

ソフトウェア・パワーダウン・モード

ソフトウェア・パワーダウン・モードは、リンクを確立する前にADIN1110のレジスタを設定するために使用できます。ADIN1110は、SWPD_ENピンによってリセット後にソフトウェア・パワーダウン・モードになるよう設定できます。また、ADIN1110には、ソフトウェア・パワーダウン・ビット（CRSM_SFT_PD）をセットすることで、ソフトウェア・パワーダウン・モードになるよう命令を送ることもできます。

ソフトウェア・パワーダウン・ステータス・ビット

（CRSM_SFT_PD_RDY）は、デバイスがソフトウェア・パワーダウン状態にあることを示します。ソフトウェア・パワーダウン・モードでは、アナログ回路とデジタル回路は低消費電力状態になりますが、PLLはアクティブで、出力クロックを供給するようにも設定できます。MDIピンの信号またはエネルギーは無視され、リンクは確立しません。管理インターフェース・レジスタにはアクセスが可能で、ソフトウェアによりデバイスを設定できます。CRSM_SFT_PDビットをクリアすると、ADIN1110はソフトウェア・パワーダウン・モードを終了します。この時点で、MAC-PHYはオートネゴシエーションを開始し、オートネゴシエーションが終了するとリンクの確立を試行します。

ハードウェア構成ピン

ADIN1110は、ハードウェア構成ピンを使用して、マネージド構成またはアンマネージド構成で動作できます。

ハードウェア構成ピンは、代替のブートストラップ機能を備えた標準的なピンです。ADIN1110は、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、直ちにハードウェア構成ピンのレベルを読み出し、それに対応してPHY設定を構成します。ADIN1110がアクティブな場合、直ちにPHYのリンクの確立を試行します。リンクの確立後、ハードウェア構成ピンはメインのピン機能で使用できます。これらのピンは、アンマネージド構成またはマネージド構成で使用できます。

アンマネージド構成とは、ADIN1110のPHYパラメータがハードウェア構成ピンで設定されていることを意味します。このモードは、システムが、ソフトウェア制御を必要とせずにADIN1110のポート設定を静的に構成する必要がある場合に使用できます。

マネージド構成とは、SPIを介してソフトウェアによりADIN1110の全制御を行うことを意味します。PHYおよびMAC層はソフトウェアで設定できます。ハードウェア構成設定ピンは、外部ホストに接続することも、プルアップ/プルダウン抵抗を使ってハードウェア設定することもできます。ホスト・コントローラがアクティブな場合、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、ADIN1110の設定をハードウェア・ピンでオーバーライドできます。

アンマネージド・アプリケーション

アンマネージド・アプリケーションでは、ソフトウェアを介入させることなく、ハードウェア構成ピンを使用してADIN1110を構成できます。

アンマネージド・アプリケーションでは、リセット後のソフトウェア・パワーダウンはディスエーブルする必要があります。そうしないと、ADIN1110は無限にパワーダウンのままになります。デバイスがパワーダウン・モードを終了するには、SPIを介してレジスタを操作するしかありません（[ソフトウェア・パワーダウン・モード](#)のセクションを参照）。

マネージド・アプリケーション

マネージド・アプリケーションの場合、ADIN1110はSPIを介してホスト・コントローラで設定できます。ホスト・コントローラは、アプリケーションの要求に応じてデバイスを動的に設定できます。

マネージド・アプリケーションでは、リセット機能後のソフトウェア・パワーダウンをイネーブルできます。ホスト・コントローラが管理インターフェースを使用してADIN1110をアクティブ・モードにするためです。

ハードウェア構成ピンの機能

以下の機能を、ADIN1110のハードウェア構成ピンで設定できます。

- ▶ リセット後のソフトウェア・パワーダウン・モード
- ▶ 送信振幅の設定
- ▶ マスタ/スレーブの選択
- ▶ SPIプロトコルの設定

すべてのハードウェア構成ピンには、内部プルダウン抵抗があります。これらのピンに外部抵抗を接続しないデフォルト動作モード

ドを表11に示します。代替動作モードが必要な場合は、4.7kΩのプルアップ抵抗を使用してください。

表11. デフォルトのハードウェア構成モード

Hardware Configuration Pin Function	Default Mode
Software Power-Down Mode after Reset	PHY in software power-down mode after reset
Master/Slave Selection	Prefer slave
Transmit Amplitude	1.0 V p-p and 2.4 V p-p
SPI Protocol Configuration	OPEN Alliance protocol with protection

表12. ハードウェア構成ピンの推奨制御

Required Pin Level	Managed Configuration Options	Unmanaged Configuration Options
High	4.7 kΩ external pull-up resistor Host GPIO output high ¹	4.7 kΩ external pull-up resistor
Low	External pull-down resistor Host GPIO output low ¹ Host GPIO tristated ² Floating pin ²	External pull-down resistor Floating pin ²

¹ 値の低い直列抵抗を推奨します。

² 外部プルダウン抵抗を推奨します。

リセット後のソフトウェア・パワーダウン

リセット後にソフトウェア・パワーダウン・モードに入らないようにADIN1110を構成している場合、ADIN1110はリセットが終了するとオートネゴシエーションを開始し、オートネゴシエーション終了後にリンクを確立しようとします。リセット後にソフトウェア・パワーダウン・モードに入るようにADIN1110を構成している場合、ADIN1110はSPI経由で設定されるまでソフトウェア・パワーダウン・モードのまま待機します。この時点で、PHYの構成はソフトウェアによってソフトウェア・パワーダウンを終了するように設定できます。

表13 ソフトウェア・パワーダウン（ハードウェア構成）

Software Power-Down Configuration	SWPD_EN
PHY in software power-down after reset	0
PHY not in software power-down	1

マスタ/スレーブの優先度

MS_SELハードウェア構成ピンは、TS_TIMERピンと共有され、マスタ/スレーブのデフォルトの選択を設定します。パワーアップ時またはリセット時にMS_SELがローにプルダウンされていると、デバイスはスレーブ優先にデフォルト設定されます（内部プルダウン抵抗があるために外部プルアップ抵抗がMS_SELピンに接続されていない場合に該当）。パワーアップ時またはリセット時にMS_SELがハイにプルアップされていると、デバイスはマスタ優先にデフォルト設定されます。

オートネゴシエーションがディスエーブルされている場合は、MS_SELはデフォルトのマスタ/スレーブ選択を行います。ADIN1110ではオートネゴシエーションはデフォルトでイネーブルされており、常にイネーブルしておくことを強く推奨します。

ハードウェア構成ピン

オートネゴシエーション中、スレーブ優先が選択され、リモート端がマスタ優先になるかマスタ強制になった場合、ローカルPHYはスレーブに（リモートはマスタに）設定されます。リモート端がスレーブ優先またはスレーブ強制となった場合、ローカルPHYはマスタに（リモートはスレーブに）設定されます。

表14. マスタ／スレーブの選択（ハードウェア構成）

Master/Slave Selection	MS_SEL
Prefer Slave Selection	0
Prefer Master Selection	1

送信振幅

TX2P4_ENハードウェア構成ピンを用いると、目的のアプリケーションに必要な送信振幅をユーザが設定できます（表15参照）。TX2P4_ENがローにプルダウンされている場合、ADIN1110は、オートネゴシエーションによって決まる1.0V p-pと2.4V p-pの両方の送信レベルに対応するようデフォルト設定されます。TX2P4_ENがハイにプルアップされている場合、ADIN1110はデフォルトで2.4V p-pの送信動作をディスエーブルし、1.0V p-pの送信レベルでのみ動作するよう設定されます。TX2P4_ENがハイ（1.0V p-pのみ）に接続されている場合、SPIを介して関連するレジスタを変更することはできません。例えば、ADIN1110がハードウェア・ピンによって1.0V p-pレベルのみのモードに設定されている場合、2.4V p-pの動作はできません。

1.0V p-p送信動作モードは、支線の使用事例に対応しており、1.8Vの低いAVDD_H電源電圧で動作できます。このモードは本質安全アプリケーションに対応しています。

2.4Vp-pのより高電圧の送信動作モードは、幹線アプリケーションに対応しており、3.3Vの高いAVDD_H電源電圧を必要とします。このモードは、ノイズ・レベルが高い産業用イーサネット環境において、長いケーブル長で使用できます

表15. 送信振幅の設定（ハードウェア構成）

Transmit Amplitude Selection	TX2P4_EN
1.0 V p-p or 2.4 V p-p	0
1.0 V p-p	1

SPIプロトコルの設定

ADIN1110では、CRC有りまたはCRC無しの汎用SPIプロトコル、保護有りまたは保護無しのOPEN Alliance SPIプロトコルのいずれかを使用できます。

表16. SPIプロトコル（ハードウェア構成）

SPI Protocol	SPI_CFG1	SPI_CFG0
OPEN Alliance with Protection	0	0
OPEN Alliance Without Protection	0	1
Generic SPI with 8-bit CRC	1	0
Generic SPI Without 8-bit CRC	1	1

10BASE-T1L リンクの確立

アンマネージドPHY動作

アンマネージドPHYアプリケーションまたはPHYのソフトウェア・マネージメントがない弱くマネージメントされたPHYアプリケーションでは、ハードウェア構成ピンが動作モードを決定します。TX2P4_ENピンは、PHYが1.0V p-pおよび2.4V p-pの両方の送信レベル動作に対応することをアドバタイズする、または1.0V p-p送信レベル動作にのみ対応することをアドバタイズするよう設定できます。MS_SELピンを用いると、スレーブ優先またはマスタ優先をアドバタイズするようPHYを設定できます。リセットが解除されたときにPHYがソフトウェア・パワーダウン・モードにならないよう、パワーアップ時およびリセット時にSWPD_ENピンをプルアップする必要があります。PHYのリセットが解除されると、ADIN1110はオートネゴシエーションを開始し、オートネゴシエーションが終了するとリンクの確立を試行します。

弱くマネージメントされたPHYでは、ハードウェア構成ピンを用いてPHYの動作を決定し、10BASE-T1Lのリンクを確立することができます。その後、ソフトウェアによってPHYの動作をモニタできます。

マネージドPHY動作

マネージドPHYアプリケーションでは、管理インターフェースを用いてPHYの動作を設定します。ハードウェア構成ピンを用いると、送信振幅やマスタ/スレーブ設定を制御するために使用するレジスタのデフォルト値を設定できます。リセットが解除されたときにPHYがソフトウェア・パワーダウン・モードになるよう、パワーアップ時およびリセット時にSWPD_ENピンをプルアップする必要があります。ソフトウェアがPHYを設定し、PHYがソフトウェア・パワーダウン・モードを終了してオートネゴシエーションを開始しリンクの確立を試行するまで、PHYはソフトウェア・パワーダウン・モードを維持します。

パワーアップおよびリセットの完了

MACがリセットを終了したことを確認するには、PHY識別レジスタ (PHYID) を読み出します。レジスタのリセット値 (0x283BC91) が読み出せる場合は、デバイスはリセットを終了し、設定の準備が整っています。

次に、ホストは、STATUS0レジスタを讀出し、RESETCフィールドが1であることを確認する必要があります。RESETCフィールドが0で、CONFIG0レジスタのSYNCフィールドが1の場合、MAC-PHYは既にホストによって設定済みであり、リセットされていない点に注意してください。この状態は、ホストがリセットされていてもMAC-PHYはリセットされていないことを示している可能性があります。

STATUS0レジスタのRESETCフィールドに1を書き込んでこのフィールドをクリアすると、割込みピンがハイにアサートされます。

STATUS0レジスタのPHYINTフィールドもアサートされます。このフィールドをクリアするには、対応するステータス・レジスタであるPHY_SUBSYS_IRQ_STATUSおよびCRSM_IRQ_STATUSをクリアあるいはマスクする必要があります。

システム・レディ・ビット (CRSM_SYS_RDY) も読み出すことができ、スタートアップ・シーケンスが完了しシステムの通常動作の準備が整っていることを確認できます。

ソフトウェア・パワーダウン・ステータス・ビット

(CRSM_SFT_PD_RDY) を読み出すと、デバイスがソフトウェア・パワーダウン状態になっているかどうかを確認できます。このビットはSWPD_ENハードウェア構成ピンによって設定されます。

MACの初期化

パワーアップまたはリセット後、ADIN1110のMACを設定します。必要に応じIMASK0レジスタとIMASK1レジスタに書込みを行って割込みをイネーブルします。

CONFIG0およびCONFIG2に書き込むと、必要なMAC機能をセッティングできます。例えば、OPEN Allianceのチャック・サイズを設定したり、必要に応じてカット・スルーをイネーブルしたりできます。

MACを設定する場合、CONFIG0レジスタのSYNCフィールドに1を書き込むと、MAC設定が完了したことを通知できます。

デバイスをリンク用に設定

パワーアップまたはリセット後、ADIN1110のPHYをリンクに必要な動作に設定します。ADIN1110は、ハードウェア構成ピンを使用してリンクに必要な設定が既に行われている場合もありますが、管理レジスタを使用すると、より広い制御が可能になります。

オートネゴシエーション・プロセスを使用すると、ローカルPHYとリモートPHY間で動作モードを一致させることができます。例えば、オートネゴシエーションを使用すると、PHYがマスタとして動作するデバイスとスレーブとして動作するデバイスの間で、モードが確実に一致するようにできます。オートネゴシエーションは、2つのPHY間で送信レベルを一致させることもできます。

ADIN1110ではオートネゴシエーションはデフォルトでイネーブルされています。また、オートネゴシエーションは常にイネーブルしておくことを強く推奨します。オートネゴシエーションはIEEE規格で定義され、PHY同士の間での堅牢なリンク動作を確保するためのメカニズムを多数備えており、リンクを最も速く確立できる方法です。

送信レベル動作モードのアドバタイズ

10BASE-T1L高電圧送信アビリティ読出し専用レジスタ・ビット (B10L_TX_LVL_HI_ABLE) が1にセットされ、AVDD_Hピンに3.3Vの電源が供給されている場合、ADIN1110は1.0V p-pと2.4V p-pのどちらの送信レベル動作にも対応します。送信レベルが高いほど長距離伝送に対応できますが、消費電力も大きくなります。ADIN1110は、AVDD_Hピンの電圧が1.8Vの場合、非常に低い消費電力で1.0V p-pの送信レベル動作に対応できます。本質的に安全な動作のためには、1.0V p-pの送信レベル動作が必要です。

ADIN1110は、1.0V p-pおよび2.4V p-pの両方の送信レベル動作に対応する (B10L_TX_LVL_HI_ABLE = 1の場合) ことをアドバタイズするよう設定することも、1.0V p-p送信レベル動作にのみ対応することをアドバタイズするよう設定することもできます。この設定を行うには、BASE-T1オートネゴシエーション・アドバタイズメント・レジスタにある10BASE-T1Lハイ・レベル送信動作モード・アビリティ・ビット (AN_ADV_B10L_TX_LVL_HI_ABL) を用います。0は1.0 V p-p送信レベルのみのモードに対応し、1は1.0V p-pと2.4V p-pの両方の送信レベルに対応します。

10BASE-T1L リンクの確立

また、ADIN1110は2.4V p-p送信レベル動作のリクエストをアドバタイズするよう設定することもできます (B10L_TX_LVL_HI_ABL = 1の場合)。この設定は、10BASE-T1Lハイ・レベル送信動作モード・リクエスト・ビット (AN_ADV_B10L_TX_LVL_HI_REQ) を用いて行います。0は1.0 V p-p送信レベルをリクエストし、1は2.4V p-pの送信レベルをリクエストします。

リンク・パートナーがアドバタイズした送信レベル・アビリティは、リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・アビリティ・レジスタ・ビット (AN_LP_ADV_B10L_TX_LVL_HI_ABL) で読み出せます。リンク・パートナーがアドバタイズした送信レベル・リクエストは、リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・リクエスト・レジスタ・ビット (AN_LP_ADV_B10L_TX_LVL_HI_REQ) で読み出せます。これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット (AN_COMPLETE) がセットされると有効になります。

ローカルまたはリモートのPHYがハイ・レベル (2.4V p-p) 送信動作モードに対応できないことをアドバタイズする場合、または、ローカルPHYとリモートPHYのどちらもハイ・レベル (2.4V p-p) 送信動作モードのリクエストをアドバタイズしない場合は、1.0V p-p送信レベルでの動作になります。

ローカルおよびリモートのどちらのPHYもハイ・レベル (2.4V p-p) 送信動作モードで送信できることをアドバタイズしている場合で、かつ、ローカルまたはリモートのPHYがハイ・レベル (2.4V p-p) 送信動作モードのリクエストをアドバタイズしている場合、2.4V p-p送信レベルでの動作になります。

したがって、一方のPHYが1.0V p-p送信レベルで動作しなくてはならないようにすることは確実にできますが、2.4V p-p送信レベルでの動作はリクエストすることしかできません。

表17. オートネゴシエーションによる送信レベルの決定¹

HI_ABL ²	HI_REQ	LP_HI_ABL	LP_HI_REQ	Transmit Level
0	X	0	X	1.0 V p-p
1	X	0	X	1.0 V p-p
0	X	1	X	1.0 V p-p
1	0	1	0	1.0 V p-p
1	0	1	1	2.4 V p-p
1	1	1	0	2.4 V p-p
1	1	1	1	2.4 V p-p

¹ Xは、ドント・ケアを意味します。
² HI_ABL、HI_REQ、LP_HI_ABL、LP_HI_REQは、それぞれ、アドバタイズメント・ビットAN_LP_ADV_B10L_TX_LVL_HI_ABL、AN_LP_ADV_B10L_TX_LVL_HI_REQ、AN_ADV_B10L_TX_LVL_HI_ABL、AN_ADV_B10L_TX_LVL_HI_REQを指します。

マスタ／スレーブのアドバタイズメント

10BASE-T1L規格では、マスタ／スレーブ・クロック・スキームと呼ばれるスキームを使用します。このスキームは、一般的にエコー・キャンセルを用いる全二重トランシーバー規格で使用されています。1つのPHYがマスタに指定され、他方のPHYがスレーブに指定されます。どちらのPHYがマスタでどちらのPHYがスレーブになるかは、オートネゴシエーションで決まります。どちらのPHYがどちらであるかは一般的には重要ではありません。

ADIN1110のMS_SELピンには内部プルダウン抵抗があり、PHYをスレーブ優先アドバタイズにするようデフォルト設定されています。スレーブ優先アドバタイズのデフォルト設定を用いるか、マスタ優先アドバタイズの設定を用いることを推奨します。

PHYがマスタとして動作することが必須である場合には、マスタ強制アドバタイズ設定を用いてください。ただし、この設定を用いる場合は注意が必要です。リモート端もマスタ強制の場合、設定フォルトが生じ、オートネゴシエーションが失敗しリンクが確立されなくなるためです。

強制マスタ／スレーブ設定レジスタ・ビット (AN_ADV_FORCE_MS) を用いると、マスタ／スレーブ設定を優先としてアドバタイズするか強制値としてアドバタイズするかを、次のように設定できます。すなわち、0ではマスタ／スレーブ設定が優先モード、1ではマスタ／スレーブ設定が強制モードになります。

マスタ／スレーブ設定レジスタ・ビット (AN_ADV_MST) を用いると、マスタ／スレーブ設定をアドバタイズするようPHYを設定できます (0ではスレーブ、1ではマスタ)。

リンク・パートナーがアドバタイズするマスタ／スレーブ設定は、リンク・パートナー強制マスタ／スレーブ設定レジスタ・ビット (AN_LP_ADV_FORCE_MS) およびリンク・パートナー・マスタ／スレーブ設定レジスタ・ビット (AN_LP_ADV_MST) で読み出すことができます。これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット (AN_COMPLETE) がセットされると有効になります。

ローカルPHYとリモートPHYの優先設定が同じ場合 (例えば、どちらもスレーブまたはどちらもマスタ)、ランダム・プロセスを用いてどちらがマスタでどちらがスレーブになるかを決定します。あるPHYが強制設定の場合、そのマスタ／スレーブ設定には、どちらのPHYも同じマスタ／スレーブ設定であった場合に優先設定のあるPHYよりも、高い優先度が与えられます。どちらのPHYも強制設定され同じマスタ／スレーブ設定である場合には、設定フォルトが発生し、オートネゴシエーションは失敗します。

マスタ／スレーブの判断結果は、マスタ／スレーブ判断結果レジスタ・ビット (AN_MS_CONFIG_RSLTN) を用いて読み出すことができます。この結果は、PHYの設定がマスタかスレーブか、または、設定フォルトがあるかどうかを示します。これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット (AN_COMPLETE) がセットされると有効になります。

10BASE-T1L リンクの確立

表18. オートネゴシエーションによるマスタ／スレーブの決定¹

Local		Remote		Local	Remote
AN_ADV_FORCE_MS	AN_ADV_MST	AN_LP_ADV_FORCE_MS	AN_LP_ADV_MST	Master/Slave Resolution	
0	0	0	0	Master/Slave	Slave/Master
0	0	0	1	Slave	Master
0	1	0	0	Master	Slave
0	1	0	1	Master/Slave	Slave/Master
0	X	1	0	Master	Slave
0	X	1	1	Slave	Master
1	0	0	X	Slave	Master
1	1	0	X	Master	Slave
1	0	1	0	Configuration Fault	Configuration Fault
1	0	1	1	Slave	Master
1	1	1	0	Master	Slave
1	1	1	1	Configuration Fault	Configuration Fault

¹ Xは、ドント・ケアを意味します。

オートネゴシエーションの完了

オートネゴシエーションが完了すると、オートネゴシエーション完了指示レジスタ・ビット（AN_LINK_GOOD）がセットされます。このビットはオートネゴシエーション送信が完了したことを示し、イネーブルされたPHY技術がリンクを確立している途中かあるいは既に確立済みであることを示します。

オートネゴシエーションが完了しリンクが確立すると、オートネゴシエーション完了レジスタ・ビット（AN_COMPLETE）が設定されます。このビットが1として読み出された場合、オートネゴシエーションが完了してPHYリンクが確立しており、AN_ADV_ABILITYレジスタ・ビットとAN_LP_ADV_ABILITYレジスタ・ビットの内容は有効となっています。

リンク・ステータス

リンクのステータスは、リンク・ステータス・レジスタ・ビット（AN_LINK_STATUS）を読み出すことで判定できます。このビットはローにラッチされます。

このビットが1の場合、有効なリンクが確立されていることを示します。

このビットが0の場合は、最後の読出し以降にリンクが切断されています。このビットの読出し値が0の場合、このビットを再度読み出してリンク・ステータスを判定する必要があります（[ラッチ・ロー・レジスタ](#)のセクションを参照）。

リンクが切断されると、オートネゴシエーション・プロセスは自動的に再起動します。オートネゴシエーションは、オートネゴシエーション制御レジスタ（AN_CONTROL）のオートネゴシエーション再起動ビット（AN_RESTART）への書込みを通じて要求することで再起動できます。

ループバック・モード

MAC-PHYのPHYコアには、以下のループバック・モードがあります。

- ▶ 物理メディア・アタッチメント（PMA）ループバック
- ▶ 物理コーディング・サブレイヤ（PCS）ループバック
- ▶ MACインターフェース・ループバック
- ▶ MACインターフェース・リモート・ループバック

これらのループバック・モードは、PHY内の様々な機能ブロックをテストおよび検証します。内蔵のフレーム・チェッカとフレーム・ジェネレータを使用すると、PHYコア内のデジタルおよびアナログ・データ・パスの完全な自己完結型インサーキット・テストが可能になります。必要なソフトウェアをホスト・プロセッサに実装することで、(PHYコアのみに限定されることなく) ADIN1110のMAC部を含むループバックを確立することもできます。

PMAループバック

PMAループバックの場合、MDIピンをオープン・サーキットのままにして、未終端のコネクタまたはケーブルに送信します。最も正確な結果を得るためには、ケーブルは取り外しておきます。PHYは、自身の送信からの反射を受信することで動作します。このループバックは、IEEE 802.3cg規格副条項146.5.6のPMAローカル・ループバックの実装を目的としたものです。

なお、10BASE-T1L PMAループバック場合、デバイスは強制リンク設定モード（オートネゴシエーションはディスエーブル）に設定する必要があります。B10L LB PMA LOC ENビット

(B10L_PMA_CNTRLレジスタ)を設定するとPMAループバックがイネーブルされます。

PCSループバック

PCSループバック・モードは、PHYデジタル・ブロックの入力段でPCSブロック内のレシーバーに送信データをループバックします。B10L_LB_PCS_ENビット（B10L_PCS_CNTRLレジスタ）を設定するとPCSループバックがイネーブルされます。

PCSループバック・モードがイネーブルされている場合、MDIピ
ンには信号は送信されません。

MACインターフェース・ループバック

MACインターフェース・ループバック・モードでは、MACインターフェースで受信したデータをSPIホストにループバックします。MAC_IF_LB_ENビット（MAC_IF_LOOPBACKレジスタ）を設定するとMACインターフェース・ループバックがイネーブルされます。同じレジスタ内のMAC_IF_LB_TX_SUP_ENビットがセットされている場合（デフォルトでセット）、MDIピンへの信号の伝送が抑制されます。

MACインターフェース・リモート・ループバック

MACインターフェース・リモート・ループバックでは、リモートPHYとのリンク・アップを必要とし、リモートPHYから受信したデータをリモートPHYにループバックすることができます。このリンクを行うと、リモートPHYが適切なデータを確実に受信できるようになるため、リンクが完全であることをリモートPHYが検証できます。MAC_IF_REM_LB_ENビット (MAC_IF_LOOPBACKレジスタ) をセットすることでMACインターフェース・リモート・ループバックが可能となります。同じレジスタ内でMAC_IF_REM_LB_RX_SUP_ENビットがセットされていると (デフォルトでセット)、PHYが受信したデータは抑制されMACには送信されません。

MACループバック

MACループバックでは、MAC送信チャンネルで受信したデータをSPIホストにループバックします。MACループバックはP1_LOOPレジスタでイネーブルされます。

ホスト・プロセッサ・ループバック

ADIN1110内のPHYコアに関連するループバック・モード以外に、ホスト・プロセッサを使用して完全なMACループバックを作成できます。完全なMACループバックでは、図11に示すように、MACから受信されるフレームはすべて、MACに戻されます。

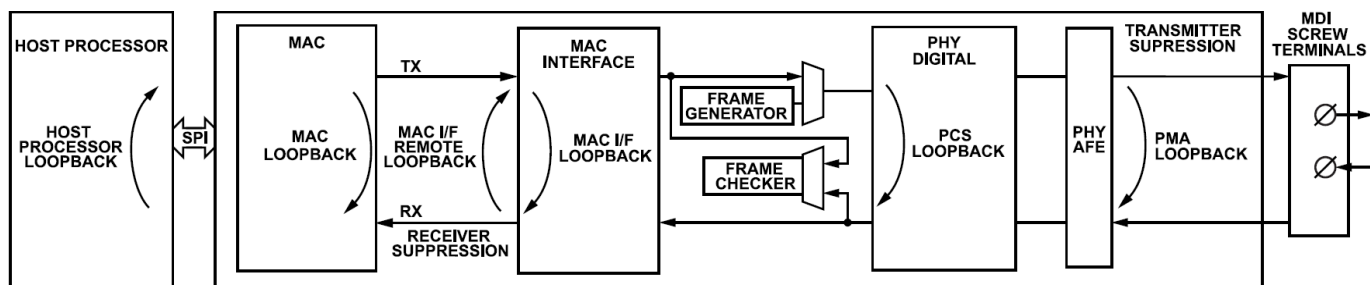


図11.ADIN1110のループバック・モード

オンチップ診断

フレーム・ジェネレータとフレーム・チェッカ

ADIN1110は、フレームを生成し、受信したフレームを確認するように構成できます（図12を参照）。フレーム・ジェネレータとフレーム・チェッカを個別に使用して、フレームの生成またはフレームの確認ができます。あるいは、フレーム・ジェネレータとフレーム・チェッカを一緒に使用して、フレームの生成とフレームの確認を同時に行うことができます。フレームをリモート・エンドでループバックさせると、フレーム・チェッカを使用してADIN1110が生成したフレームを確認できます。

フレーム・ジェネレータをイネーブルした場合、PHYのデータ・ソースはMACではなくフレーム・ジェネレータから取得されます。

フレーム・ジェネレータの制御レジスタでは、送信するフレームのタイプ（ランダム・データやすべて1など）、フレーム長、および生成するフレーム数を設定します。

要求されたフレームの生成は、フレーム・ジェネレータをイネーブルすること（FG_EN）から始めます。フレームの生成が完了すると、フレーム・ジェネレータ完了ビットがセットされます（FG_DONE）。

フレーム・チェッカは、フレーム・チェッカ・イネーブル・ビット（FC_EN）を使用してイネーブルします。フレーム・チェッカは、MACインターフェースまたはPHYのいずれかから受信したフレームを確認および分析するよう設定できます。これは、フレーム・チェッカ送信選択ビット（FC_TX_SEL）を使用して設定します。フレーム・チェッカは、受信したフレーム数、CRCエラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

フレーム・チェッカはCRCエラー数をカウントし、これらは受信エラー・カウンタ・レジスタ（RX_ERR_CNT）で通知されます。フレーム・チェッカ・エラー・カウンタとフレーム・チェッカ・フレーム・カウンタ間の同期を確保するために、受信エラー・カウンタ・レジスタが読み出されると、すべてのカウンタがラッチされます。したがって、フレーム・チェッカを使用する際は、最

初に受信エラー・カウンタを読み出し、次に他のすべてのフレーム・カウンタとエラー・カウンタを読み出します。受信フレーム・カウンタ・レジスタのラッチされたコピーは、FC_FRM_CNT_HレジスタとFC_FRM_CNT_Lレジスタで利用できます。

フレーム・チェッカは、CRCエラーに加えて、フレーム長エラー、フレーム・アライメント・エラー、シンボル・エラー、オーバーサイズ・フレーム・エラー、アンダーサイズ・フレーム・エラーをカウントします。フレーム・チェッカは、受信したフレームの他、フレーム内のニブル数が奇数であるフレームをカウントし、また、プリアンプル内のニブル数が奇数であるパケットをカウントします。フレーム・チェッカはまた、偽キャリア・イベント数（不正なストリーム開始区切り（SSD：start of stream delimiter）状態に入った回数）もカウントします。

2つのMAC-PHYを使用したリモート・ループバックによるフレーム・ジェネレータとフレーム・チェッカ

2つのMAC-PHYデバイスを使用すると、PHYコアからPHYコアへの接続を自己完結型で簡単に検証する方法を構成できます。あるいは、ホスト・プロセッサを用いてリモート端でループバックを実行することにより、完全なシグナル・チェーンを構成できます。図12に、各MAC-PHYの構成方法の概要を示します。外部ケーブルを両方のデバイス間に接続し、MAC-PHY 1がフレーム・ジェネレータを使用してフレームを生成します。

テストをADIN1110のPHYコア部分だけに限定する場合は、MAC-PHY 2がMACインターフェース・リモート・ループバックをイネーブルします（MAC_IF_REM_LB_EN）。MAC-PHY 1によって発行されたフレームはケーブルを通して送信され、PHY 2シグナル・チェーンを通過してPHY 2 MACリモート・ループバックによって返され、ケーブルを介して再び戻されて、MAC-PHY 1フレーム・チェッカによって確認されます。あるいは、MAC-PHY 1からのフレームをリモート・デバイスのホスト・プロセッサまで送信して、そこから、MAC-PHY 2のMACおよびPHYブロックを通じてループバックし、MAC-PHY 1に戻すこともできます。

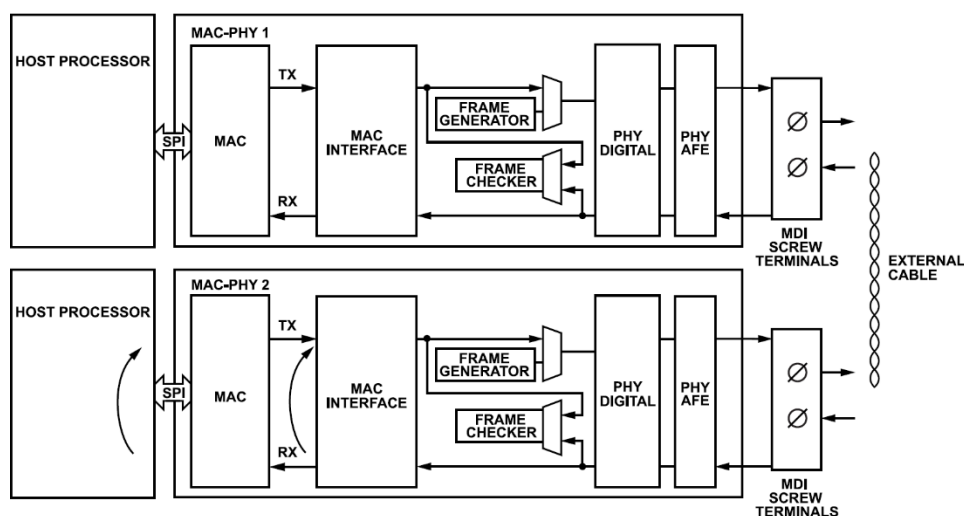


図12. セルフ・チェック用に2つのPHY間で使用するリモート・ループバック

オンチップ診断

テスト・モード

ADIN1110には、いくつかのテスト・モードが備わっており、トランスミッタの波形、歪み、ジッタ、ドループのテストができます。これらのテスト・モードは、トランスミッタ回路に供給されたデータ・シンボルのみを変更し、トランスミッタおよびレシーバーの電気特性やジッタ特性が通常動作から変わることはありません。

ADIN1110に含まれている次のテスト・モードは、IEEE 802.3cg規格の副条項146.5.2で定義されているものです。

- ▶ テスト・モード1。トランスミッタ出力電圧およびタイミング・ジッタのテスト・モードです。このモードが選択されている場合、ADIN1110はデータ記号シーケンス (+1, -1) を繰り返し送信します。
- ▶ テスト・モード2。トランスミッタ出力ドループ・テスト・モードです。このモードでは、ADIN1110は10個の+1記号を送信し、続いて10個の-1記号を送信します。このシーケンスは無限に繰り返されます。
- ▶ テスト・モード3。アイドル・モード・テスト・モードの通常動作です。このテスト・モードが選択されている場合、ADIN1110はデータを通常のフレーム間アイドル信号に設定し、非テスト動作時およびマスタ・データ・モード時のように送信します。

これらのテスト・モードの他、ADIN1110は、副条項45.2.1.186a.2で定義されている送信ディスエーブル・モードも備えています。このモードは、通常動作時のように受信バスと送信バスのどちらもアクティブ状態に維持しますが、伝送するのは0記号のみです。このモードを使用すると、副条項146.8.3で規定されているMDIのリターン・ロスを測定できます。

テスト・モード1~3へのアクセス

ADIN1110をテスト・モード1、テスト・モード2、またはテスト・モード3に設定するには、デバイスがソフトウェア・パワーダウン・モード (CRSM_SFT_PD) になっていることが必要です。ADIN1110のパワーダウン・ステータスは、ソフトウェア・パワーダウン・ステータス・ビット (CRSM_SFT_PD_RDY) を読み出すことで確認できます。

ADIN1110がソフトウェア・パワーダウン・モードになっている場合は、オートネゴシエーション・イネーブル・ビット (AN_EN) をクリアしてオートネゴシエーションをディスエーブルしてください。

オートネゴシエーションがディスエーブルされたら、オートネゴシエーション強制モード・ビット (AN_FRC_MODE_EN) に書き込むことでオートネゴシエーション設定を強制します。

この状態で10BASE-T1Lテスト・モード・コントロール・レジスタ (B10L_TEST_MODE_CNTRL) に適切な値を書き込み、更にソフトウェア・パワーダウン・ビット (CRSM_SFT_PD) をクリアしてデバイスをパワーダウン状態から復帰させることで、目的のテスト・モードを選択できます。

送信ディスエーブル・テスト・モードへのアクセス

ADIN1110を送信ディスエーブル・テスト・モードに設定するには、デバイスがソフトウェア・パワーダウン・モード (CRSM_SFT_PD) になっている必要があります。ADIN1110のパワーダウン・ステータスは、ソフトウェア・パワーダウン・ステータス・ビット

(CRSM_SFT_PD_RDY) を読み出すことで確認できます。

ADIN1110がソフトウェア・パワーダウン・モードになっている場合は、オートネゴシエーション・イネーブル・ビット

(AN_EN) をクリアしてオートネゴシエーションをディスエーブルしてください。

オートネゴシエーションがディスエーブルされたら、オートネゴシエーション強制モード・ビット (AN_FRC_MODE_EN) に書き込むことでオートネゴシエーション設定を強制します。

この状態でB10L_TX_DIS_MODE_ENビットを1にセットすることで、送信ディスエーブル・テスト・モードをイネーブルできます。テスト・モードを終了するにはCRSM_SFT_PDに0を書き込みます。

時間領域反射率測定 (TDR)

10BASE-T1L準拠のPHYが長いケーブルを通じた通信を可能とするならば、欠陥のあるケーブルのデバッグは、適切なツールなしではコストを要し困難なものになる可能性があります。これを緩和するため、アナログ・デバイセズの10BASE-T1L製品では、TDRエンジンを備えています。これは、ケーブルのフォルト検出、フォルト地点までの距離、およびケーブル長の推定を可能にします。

この診断ソリューションは、高精度のオンチップTDRエンジンとホスト・マイクロコントローラ上で実行する一連のアルゴリズムを組み合わせたもので、広範なケーブルに対応できる最大限の柔軟性により高度なケーブル診断機能を実現します。



図13. ADIN1110のTDRエンジン

TDRエンジンによるフォルト検出

アナログ・デバイセズのアルゴリズムには8.3nsの時間分解能があります。これは、1m未満の長さ分解能に相当し、精度2%で最大1600mのケーブル長が可能です。

このフォルト・ディテクタ・アルゴリズムは、ADIN1110がMDIを介して別のPHYに物理的に接続されている場合でも、オープン・フォルトあるいは短絡フォルト状態を検出できます。この場合、リンク・パートナーのPHYがDMEページを送信している可能性があることを意味します。TDRの従来の方法では、他の信号源またはノイズも同じリンクにある場合に、フォルトを検出するのが困難です。これはアナログ・デバイセズのソリューションにはあてはまりません。そのため、このソリューションは、リモート・エンドまでの間に何の制御も行われない場合のデバッグに適しています。

フォルト検出アルゴリズムは、診断に必要な高レベルの関数を含むCコード・ライブラリとして提供されます。これらの関数は、高度な処理を利用しないよう最適化されているため、低消費電力のマイクロコントローラで実行できます。

フォルト検出には、1つの関数呼び出しで十分です。関数はフォルトの種類とMDIコネクタからフォルトまでの距離（メートル単位）を返します。

オンチップ診断

TDRオフセットのキャリブレーション

ライブラリには、TDR測定のアフセットをキャリブレーションする関数が含まれています。ライブラリにあるこの関数は、様々なMDI回路によって信号経路内に変動する遅延が生じ、これによって長さ測定のアフセットが影響を受ける可能性のある場合に有用です。例えば、MDIに絶縁トランスを使用すると、数メートルの長さに匹敵する信号遅延を引き起こす可能性が極めて高くなります。

このキャリブレーションにはフォルト・ディテクタを稼働させる必要はなく、デフォルトで平均値が提供されます。ただし、精度が求められる場合には、ケーブルを短絡させることを推奨します。このキャリブレーションが必要な場合、実験室内で特定のMDI回路を実装して行い、オフセット値を不揮発性メモリに保存してその後の使用に供することができます。

このキャリブレーションを実行するには、MDIポートをオープンまたは短絡のままにする必要があります。MDIポートには負荷やケーブルを接続しないでください。

ケーブルのキャリブレーション

デフォルトでは、アルゴリズムはIEEE 802.3cg規格に準拠した長距離伝送ケーブルに対応するよう最適化されています。ただし、様々な挿入損失、リターン損失、信号遅延特性を持つ広い範囲のケーブル・タイプに対し、このライブラリは、どのケーブルでも動作できるようアルゴリズムを最適化し、より正確な長さの推定ができるよう公称伝搬速度（NVP）を推定するキャリブレーション関数を備えています。長さの精度は、主にNVP値の精度に依存します。

このキャリブレーションを実行するには、既知の長さのケーブルをMDIポートに取り付ける必要があります、その末端はオープンまたは短絡の状態に保持します。NVP値は一般に0.5～0.9の範囲で、ケーブルの構造の特性を表すものです。一般的には約0.65の平均NVP値が前提とされます。このキャリブレーションは、フォルト・ディテクタを動作させるには不要ですが、高い長さ精度が必要な場合や、標準的でないケーブルを使用する場合には必要となります。与えられたケーブルについて実験室でこのキャリブレーションを行えば、その値を不揮発性メモリに保存できます。

これらの関数の使用に関する詳細については、Cコード・ドライバを参照してください。

フォルトまでの長さ／距離の精度

フォルトまでの距離あるいは長さの測定精度は、主にNVP値によって決まります。このNVP値は、NVPキャリブレーションを行うために使用するケーブル長の精度によって決まります。

表19に、様々なケーブルや長さに対してフォルトを誘起しそのフォルトまでの距離を測定した結果を示します。すべての場合について、アルゴリズムは、テスト時に誘起されたオープンまたは短絡状態を正しく検出しています。このテストで用いたProfibus PAケーブルのNVP値を大まかに見積もり、同じ値をCat5EケーブルおよびCat6ケーブルにも使用しています。

表19. 様々なケーブルに対する長さ推定誤差

Cable Type	Estimated Length (m)	Length Error (%)	Note
Fieldbus Type A - AWG 18	50.2	0.7	NVP calibrated
Fieldbus Type A - AWG 18	102.1	2.1	NVP calibrated
Fieldbus Type A - AWG 18	403.4	0.8	NVP calibrated
Fieldbus Type A - AWG 18	807.6	0.8	NVP calibrated
Fieldbus Type A - AWG 18	1045.3	1.0	NVP calibrated
Fieldbus Type A - AWG 18	1462.9	2.0	NVP calibrated
Cat5E	133.1	2.4	NVP not calibrated
Cat5E	244.4	1.8	NVP not calibrated
Cat6	73.6	5.1	NVP not calibrated
Cat6	137.2	5.6	NVP not calibrated

アプリケーション情報

システム・レベルのパワー・マネージメント

送信レベル = 1.0V p-p

1.0V p-pの送信モードは、信号振幅条件が低くなる傾向のある、最長400mまでのケーブル長に対応した短距離のアプリケーションで用いることができます。

ADIN1110が1.0V p-p送信動作モードで動作する必要があるアプリケーションでは、 $\overline{\text{TX2P4_EN}}$ ピン信号は4.7k Ω の抵抗を介してハイ・レベルにする必要があります（図14参照）。この構成では、ADIN1110は1.0V p-p送信動作モードでのみ動作するように設定され、ADIN1110はより低い電圧レール（例えば1.8V）の信号電源電圧で動作できるため、システムの消費電力を最小限に抑えることができます。

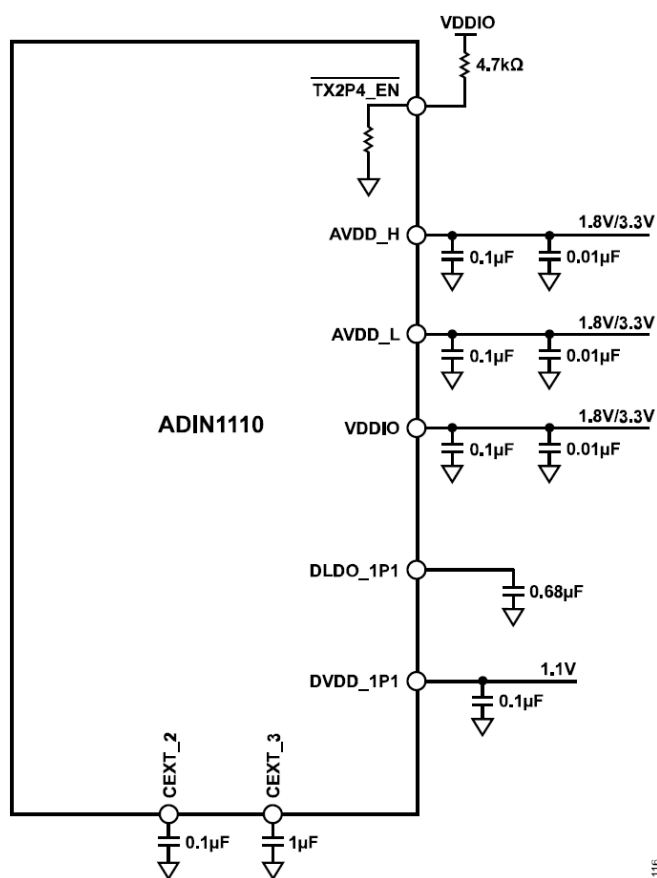


図14.1.0V p-p送信モードの電源およびコンデンサ

送信レベル = 2.4V p-p

より長距離のアプリケーションでは、2.4V p-pのより大きな信号振幅が必要です。このモードでは、ADIN1110は最長1000mの長距離ケーブルで動作するように設計されており、3.3Vのより高いAVDD_H電源電圧が必要です。

ADIN1110を2.4V p-pで動作できるようにするには、 $\overline{\text{TX2P4_EN}}$ をローに接続する必要があります（内部にプルダウン抵抗があるため、これを行うのに外部接続は不要です）。この動作モードでは、MDIOまたはオートネゴシエーションを通じて1.0V p-p動作モードを選択することも可能です。

推奨する電源構成の概要を図15に示します。単電源動作の場合、AVDD_H、AVDD_L、VDDIOの各電源レールに同じレールを供給できます。DVDD_1P1の1.1Vレールは、内部から引き出すことも、外部の1.1Vレールで供給することもできます。この構成では、MDIOまたはオートネゴシエーションを通じてリンクが1.0V p-p送信動作モードで確立されている場合でも、AVDD_H = 3.3Vが必要であることに注意してください。

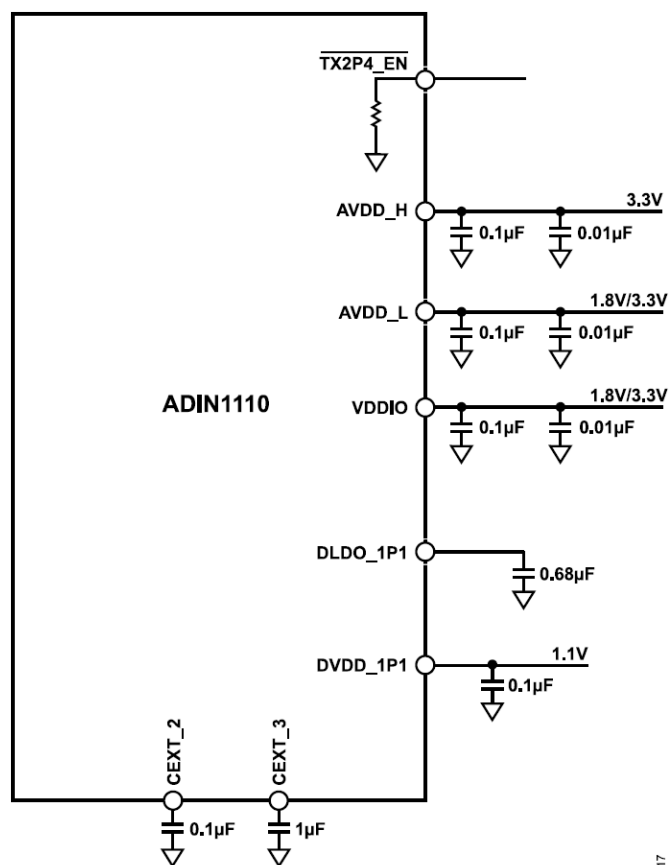


図15.2.4V p-pおよび1.0V p-p送信モードの電源およびコンデンサ

LED回路例

LED_0ピンとLED_1ピンは、選択したLED極性モードに応じて、様々な回路構成で使用できます（LED極性レジスタのセクションを参照）。このセクションで説明する回路例は、各LEDに使用できる次の3つの極性モードに対する例です。

- ▶ オートセンス（デフォルト）
- ▶ アクティブ・ロー
- ▶ アクティブ・ハイ

LED機能のセクションで説明したように、LED_0およびLED_1のVDDIO = 3.3Vでの最大出力電流は8mAです。より大きな電流が必要な場合は、トランジスタ制御LEDで説明する回路を用いることを検討してください。

アプリケーション情報

アクティブ・ハイのLED極性

アクティブ・ハイ構成では、LED_xピンがアノード側から外部LEDを駆動できます。LED電流を制御するにはR0とR1の抵抗を選択します（詳細については表2のLED仕様を参照してください）。4.7kΩの外部プルダウン抵抗（R_{PD0}およびR_{PD1}）を推奨します。

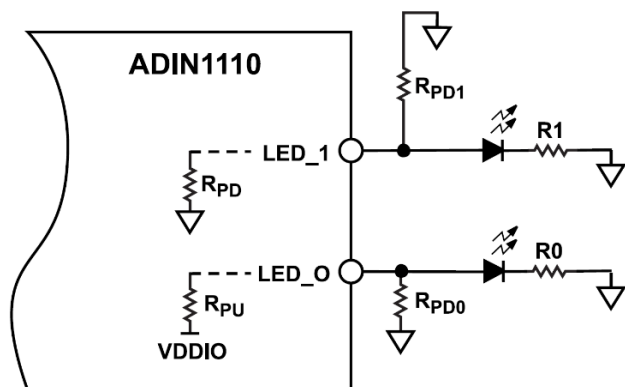


図16.推奨するアクティブ・ハイLED回路

アクティブ・ローのLED極性

アクティブ・ロー構成では、LED_xピンはカソード側から外部LEDを駆動できます。LED電流を制御するにはR0とR1の抵抗を選択します（詳細については表2のLED仕様を参照してください）。4.7kΩの外部プルアップ抵抗（R_{PU0}およびR_{PU1}）を推奨します。

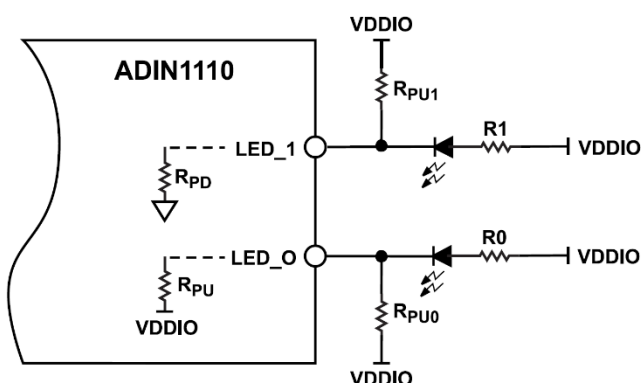


図17.推奨するアクティブ・ローLED回路

トランジスタ制御LED

必要なLED電流がLED_0ピンとLED_1ピンが供給できる電流より大きい場合の代表的な構成を、図18に示します。

この回路は、アクティブ・ハイLEDモードを使用して動作します。Nチャンネル金属酸化膜半導体電界効果トランジスタ（MOSFET）などの外部トランジスタが使用できます。トランジスタは、動作中に、ゲート入力容量がLEDの最大定格を超える電流をシンクすることのないように選択する必要があります（詳細については、トランジスタの技術仕様書を参照してください）。必要に応じ、トランジスタのゲートとADIN1110ピンの間に抵抗を配置したり、GNDとLED_xピンの間にコンデンサを並列に配置したりして、突入電流を低減することができます。これらの追加の抵抗やコンデンサの値は、選択したトランジスタに応じて定める必要があります。

LED電流を制御するにはR0とR1の抵抗を選択します。4.7kΩの外部プルダウン抵抗（R_{PD0}およびR_{PD1}）を推奨します。

VCC電圧は、LEDの消費電力条件を満たすよう設定できます。

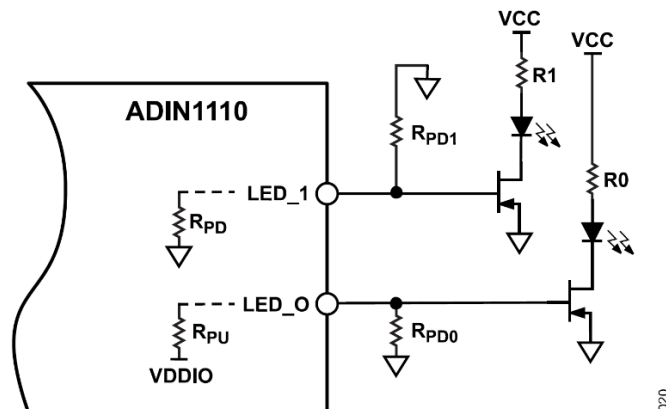


図18.推奨するトランジスタ制御LED回路

オートセンスの極性

オートセンス・モードでは、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時に、LEDの極性が自動的に検出されます。

LED_0（内部プルアップ）およびLED_1（内部プルダウン）には、その内部プルアップ構成およびプルダウン構成に応じて異なるオートセンス動作があります。アクティブ・ハイのLED極性、アクティブ・ローのLED極性、およびトランジスタ制御LEDの各セクションで説明したいずれかの構成を使用すると、この2つのLED_xピンを同じ方法で制御できます。

部品の推奨事項

ADIN1110には外部の25MHzクロックが必要です。このクロックは外部水晶発振器または外部シングルエンド・クロックから供給することができます。

XTAL_I/CLK_INピンの信号電圧（V_{CLK_IN}）は、ピークtoピーク電圧が0.8V～2.5Vの範囲のサイン波またはフィルタ処理された方形波であることが必要です。シングルエンド・クロック・オプションでは、最高性能を実現するために、振幅が1.0V p-pのV_{CLK_IN}を推奨します。

以下のセクションで様々な回路構成を提示します。これらのオプションを通じ、受動部品の値に変更を加えた一般的な回路トポロジを用いることができます。

アプリケーション情報

なお、通常動作時は、外部クロック源入力（水晶発振器または25MHzの外部シングルエンド・クロック）から生成された25MHzのリファレンス・クロックがCLK25_REF出力ピンに供給されます。このピンは、別の10BASE-T1Lデバイスなど、他の回路へのリファレンス・クロックとして使用できます。CLK25_REFは、リセット・モードではディスエーブルになります。

外部水晶発振器

外部水晶発振器（XTAL）の代表的な接続を図19に示します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1110のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。推奨する負荷に関する情報および水晶発振器の性能仕様については、個々の水晶発振器のベンダに問い合わせてください。

水晶発振器（CL）の負荷容量は、水晶発振器のベンダにより定義されています。C_{PCB1}はXTAL_I/CLK_INピンと下層のグラウンド・プレーン間、C_{PCB2}はXTAL_Oピンと下層のグラウンド・プレーン間の寄生容量です。C_{X1}とC_{X2}は水晶発振器が動作するために必要な2つの外部負荷コンデンサです。

以下の関係を仮定します。

- ▶ C_{PCB1} ≈ C_{PCB2} ≈ C_{PCBX}
- ▶ C_{X1} ≈ C_{X2} ≈ C_{XX}

すると、C_{XX} = 2 × CL - C_{PCBX} - 3 pFとなります。

周波数誤差を最小限に抑えるには、温度係数が明確に低い高精度コンデンサをC_{XX}として選択します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1110のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。

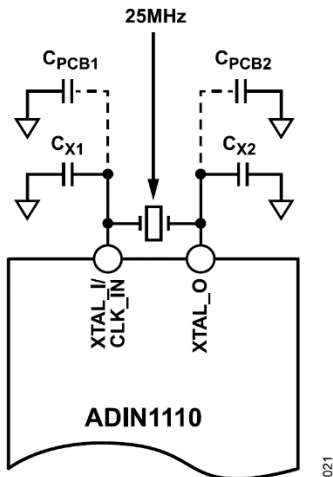


図19. 水晶発振器の接続

外部25MHzクロック入力

クロック源はADIN1110のXTAL_I/CLK_INピン入力とデカップリングする必要があり、また、XTAL_Oピンはオープン・サーキットのままにします。

0.8 V ≤ V_{CLK_IN p-p} ≤ 2.5 Vの範囲では、以下の結果となります。

- ▶ 0.8 V ≤ V_{s p-p} ≤ 1.0 Vの場合、以下のようになります。
 - ▶ R1 = 50Ω
 - ▶ R2は不要
- ▶ 1.0 V < V_{s p-p} < 1.8 Vの場合、以下のようになります。
 - ▶ 最高性能を実現するにはV_{CLK_IN}を1.0V p-pに設定
 - ▶ 500Ω ≤ R1 ≤ 2kΩ
 - ▶ 1kΩ ≤ R2 ≤ 2kΩ
 - ▶ V_{s p-p} - V_{CLK_IN p-p} > 0.2V
 - ▶ $R2 = \frac{V_{CLK_IN\ p-p} \times R1}{V_{s\ p-p} - V_{CLK_IN\ p-p}}$
- ▶ 1.8 V ≤ V_{s p-p}の場合、以下のようになります。
 - ▶ R1 = 2kΩ
 - ▶ R2 = 2KΩ

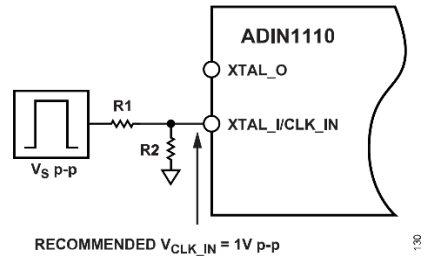


図20. 外部25MHzクロック入力回路

表20. V_{CLK_IN} = 1V p-pの場合での様々なV_{s p-p}値に対するR1およびR2の値

V _s (V p-p)	R1	R2
1.0	50 Ω	Not applicable
1.2	500 Ω	2.5 kΩ
1.8	2 kΩ	2 kΩ
2.2	2 kΩ	2 kΩ
2.5	2 kΩ	2 kΩ
2.8	2 kΩ	2 kΩ
3.0	2 kΩ	2 kΩ
3.3	2 kΩ	2 kΩ

802.1AS対応

通常、802.1ASネットワークで動作するデバイスは、次の動作を繰り返し実行します。

- ▶ ピア遅延要求の生成および応答の処理
- ▶ ピア遅延要求の受信および応答の生成
- ▶ 同期フレーム（スレーブ・クロック）の受信
- ▶ 同期フレーム（マスタ・クロック）の送信

これらの機能では、MACが特定の入力フレームおよび出力フレームをタイム・スタンプできることが必要です。

これらの機能を支援するため、ADIN1110のMACには次のハードウェアがあります。

アプリケーション情報

- ▶ 内部自走カウンタ
- ▶ 同調カウンタ
- ▶ TS_TIMER出力での波形発生

内部自走カウンタ

ADIN1110には、120MHzで動作する内部自走カウンタがあります。このカウンタは8.333nsの精度を備えています。このカウンタを用いる場合、約35sの周期があります。この周期により、クロックが必要な動作の間、例えば、ピア遅延要求の受信と応答の送信の間に、ラップする（一周する）ことはありません。

自走カウンタをイネーブルするには、TS_ENビットを1にセットする必要があります。

自走カウンタがイネーブルされている場合、ADIN1110はすべての受信フレームについてタイム・スタンプを取得し、このタイム・スタンプが各受信データ・フレームの前に付加されます。送信フレームのタイム・スタンプは、要求時に取得されます。詳細については[タイム・スタンプの取得](#)のセクションを参照してください。

自走カウンタの値は、TS_FREECNT_CAPTレジスタのカウンタの値を取得する、入力キャプチャ信号（TS_CAPT）を用いて取得できます。

同調カウンタ

同調カウンタは、下位32ビットが1LSB = 1nsでナノ秒を表す64ビット・カウンタです。下位32ビットがTS_1SEC_CMPに保存されている値に達すると、これらのビットはクリアされ、秒を表す上位32ビットがインクリメントします。

同調カウンタをイネーブルするには、TS_ENビットを1にセットする必要があります。

送信フレームおよび受信フレームのタイム・スタンプを取得するために、次の3つのモードがサポートされています。

1. OPEN Alliance仕様セクション7.8の定義に従い、2ビットの秒および30ビットのナノ秒のタイム・スタンプを取得。[設定レジスタ0](#)のセクションを参照してください。
2. OPEN Alliance仕様セクション7.8の定義に従い、32ビットの秒および30ビットのナノ秒のタイム・スタンプを取得。[設定レジスタ0](#)のセクションを参照してください。
3. 32ビットの自走カウンタを取得。[タイマー設定レジスタ](#)のセクションを参照してください。

送信フレームおよび受信フレームのタイム・スタンプを取得できるようにするには、FTSE（CONFIG0レジスタ）を1にセットしてください。

TS_TIMER出力での波形発生

ADIN1110は、2つのカウンタを使用して同調された時間により駆動される繰り返し波形を発生する、出力信号（TS_TIMER）を生成できます。これら2つのカウンタ、TS_TIMER_HIおよびTS_TIMER_LOは、TS_TIMER信号のハイ時間およびロー時間を指定するもので、同調された時間により駆動されるため16の倍数でプログラムする必要があります。

TS_TIMERの必要な周期が16の倍数でプログラムできないことは頻繁にあるため、量子化誤差補正レジスタを0～15の間の値に設定して、TS_TIMERの量子化誤差を補正できます。

64ビット同調タイマーを基準に時間を指定して、TS_TIMER出力の発生を開始することができます。TS_TIMER_STARTレジスタを同調タイマーのナノ秒部分に相当する値で設定して、ワンショット・スタートを生成することができます。

TS_TIMER出力をイネーブルにする手順は次のとおりです。

1. 必要に応じ、TS_TIMER出力のデフォルト値を0から1に変更するために、TS_TIMER_DEFビットに1を書き込みます。
2. TS_TIMER出力のハイ時間とロー時間に必要な値をTS_TIMER_HIレジスタとTS_TIMER_LOレジスタに書き込みます。
3. 量子化誤差補正に必要な値をTS_TIMER_QE_CORRレジスタに書き込みます。
4. 開始時間をTS_TIMER_STARTレジスタに書き込みます。同調カウンタのナノ秒部分がこの値と一致すると、TS_TIMERが切替を開始します。

TS_TIMER出力はTS_TIMER_STOPビットに1を書き込むことで停止できます。TS_TIMER出力が停止すると、出力はTS_TIMER_DEFで指定されたデフォルト値に戻ります。

電磁両立性（EMC）と電磁耐性（EMI）

ADIN1110は、システム・レベルでEMCとEMIのテストを行っています。[表21](#)にテスト結果の概要を示します。

表21. ADIN1110に対しシステム・レベルで実施したEMC/EMIテスト

EMC/EMI Test	Withstand Threshold
IEC 61000-4-4 Electrical Fast Transient (EFT)	±4 kV
IEC 61000-4-2 ESD (Contact Discharge)	±4 kV
IEC 61000-4-2 ESD (Air Discharge)	±8 kV
IEC 61000-4-5 Surge	±4 kV
IEC 61000-4-6 Conducted Immunity	10 V/m
IEC 61000-4-3 Radiated Immunity	Class A
EN 55032 Radiated Emissions	Class B

MAC SPI

SPI

ADIN1110のレジスタ・インターフェースは、SCLK、CS、SDI、SDO/SPI_CFG0の各ピンで構成される4線式SPIを介しています。

レジスタで可能なアクセス許可は次のとおりです。

- ▶ R/W：読出し／書込み
- ▶ R：読出し専用
- ▶ W：書込み専用
- ▶ R/WIC：読出し／1を書き込んでクリア

ADIN1110では、SPIからMDIOへのマスタ・ブリッジを介してPHYレジスタにアクセスすることもできます。[PHYレジスタへのSPIアクセス](#)のセクションを参照してください。

次のレジスタには追加のアクセス許可があります。

- ▶ R LL：読出し専用、ラッチ・ロー
- ▶ R LH：読出し専用、ラッチ・ハイ
- ▶ R/W SC：読出し／書込み、セルフ・クリア

汎用SPIプロトコル

汎用SPIの詳細は、[表22～表29](#)を参照してください。プロトコルはハードウェア構成ピンによって決まります。レジスタ・マップは32ビットマップとして構成され、すべてのアクセスは32ビット・ワードの整数倍の形を取ります。32ビット・ワードの整数倍でのシングル・アクセスとバースト・アクセスの両方がサポートされています。データのMSBが最初に送信されます。

表22. 制御書込みトランザクション

MSB								LSB	
	D47	D46	D45	D44 to D32	D31 to D24	D23 to D16	D15 to D8	D7 to D0	
SDI	1	0	R/W	ADDR[12:0]	DATA[31:24]	DATA[23:16]	DATA[15:8]	DATA[7:0]	

表23. 制御読出しトランザクション

MSB								LSB	
	D55	D54	D53	D52 to D40	D39 to D32	D31 to D24	D23 to D16	D15 to D8	D7 to D0
SDI	1	0	R/W	ADDR[12:0]	TA[7:0]	0	0	0	0
SDO						DATA[31:24]	DATA[23:16]	DATA[15:8]	DATA[7:0]

表24. バースト書込みトランザクション（制御またはデータ）

MSB											LSB	
	D79	D78	D77	D76 to D64	D63 to D56	D55 to D48	D47 to D40	D39 to D32	D31 to D24	D23 to D16	D15 to D8	D7 to D0
SDI	1	0	R/W	ADDR[12:0]	DATA0[31:24]	DATA0[23:16]	DATA0[15:8]	DATA0[7:0]	DATA1[31:24]	DATA1[23:16]	DATA1[15:8]	DATA1[7:0]

表25. バースト読出しトランザクション（制御またはデータ）

MSB													LSB	
	D87	D86	D85	D84 to D72	D71 to D64	D63 to D56	D55 to D48	D47 to D40	D39 to D32	D31 to D24	D23 to D16	D15 to D8	D7 to D0	
SDI	1	0	R/W	ADDR[12:0]	TA[7:0]	0	0	0	0	0	0	0	0	
SDO						DATA0[31:24]	DATA0[23:16]	DATA0[15:8]	DATA0[7:0]	DATA1[31:24]	DATA1[23:16]	DATA1[15:8]	DATA1[7:0]	

R/WフィールドおよびTAフィールドは次のように定義されます。

- ▶ R/W：読出し／書込み
 - ▶ 0：読出し
 - ▶ 1：書込み
- ▶ TA：ターン・アラウンド

バースト書込みとバースト読出しは4バイトの整数倍であることが必要です。書き込む最後のワード（4バイト）には、1バイト～4バイトの有効なデータを含めることができます。ただし、TX_FSIZEは、元のフレーム・サイズ＋フレーム・ヘッダ用2バイトで書き込まれます。（[図21](#)参照）。例えば、2バイトのヘッダが付加された65バイトのフレームを送信するには、67をTX_FSIZEに書き込みますが、68バイトがSDIを通じて転送されません。最後のバイトは使用されません。

パワーアップ時にハードウェア構成ピンを使用してSPIプロトコルのCRCをイネーブルできます。この8ビットCRCは、0x0をシードとして多項式 $x^8 + x^2 + x + 1$ を使用し、最大3ビットのエラー検出が可能です。8ビットCRCは、各制御トランザクションおよび各データ・トランザクションのADDRビットの後ろに置かれ、また、各制御トランザクションの各32ビット・データワードの後ろに置かれます。イーサネット・フレームには固有の32ビットCRCが含まれているため、データ・トランザクションでは各32ビット・データワードの後ろに8ビットCRCが置かれることはありません。

MAC SPI

表26. CRC付き制御書き込みトランザクション

MSB					LSB				
	D102	D101	D101	D100 to D89	D88 to D80	D79 to D48	D47 to D40	D39 to D8	D7 to D0
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	DATA0[31:0]	CRC[7:0]	DATA1[31:0]	CRC[7:0]

表27. CRC付き制御読み出しトランザクション

MSB										LSB
	D110	D109	D108	D107 to D96	D95 to D88	D87 to D80	D79 to D48	D47 to D40	D39 to D8	D7 to D0
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	TA[7:0]	0	0	0	0
SDO							DATA0[31:0]	CRC[7:0]	DATA1[31:0]	CRC[7:0]

表28. CRC付きデータ書き込みトランザクション

MSB					LSB				
	D86	D85	D84	D83 to D71	D71 to D64	D63 to D32	D31 to D0		
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	DATA0[31:0]	DATA1[31:0]		

表29. CRC付きデータ読み出しトランザクション

MSB					LSB				
	D94	D93	D92	D91 to D80	D79 to D72	D71 to D64	D63 to D32	D31 to 0	
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	TA[7:0]	0	0	
SDO							DATA0[31:0]	DATA1[31:0]	

汎用SPIプロトコルは半二重です。したがって、フレーム・データをMAC_TXレジスタに書き込むこととMAC_RXレジスタから読み出すことを同時に実行することはできません。そのため、10Mbpsでイーサネットの全二重伝送を行うには、SPI SCLK周波数を25MHzにする必要があります。

MACフレーム：送信および受信

表30に示す2バイトのフレーム・ヘッダが、すべての送信フレームと受信フレームに付加されます。このフレーム・ヘッダは常にフレーム・データに先行します（図21参照）。

タイム・スタンプの取得

受信時にTIME_STAMP_PRESETがアサートされている場合、表30の2バイト・ヘッダの後ろとデータ・フレームの前に、4バイトまたは8バイトのタイム・スタンプが追加されます。このタイム・スタンプは、その後受信FIFO読み出し時に、ソフトウェアによって保存または廃棄することができます。

送信時にEGRESS_CAPTUREが00以外に設定されている場合、ADIN1110は送信されたフレームのタイム・スタンプをTTSCxHレジスタとTTSCxLレジスタに取得します。

タイム・スタンプを取得するには、TS_EN（TS_CFGレジスタ）を1にセットし、FTSE（CONFIG0レジスタ）を1にセットしてカウンタをイネーブルします。

SPI経由でのフレーム送信

汎用SPIプロトコルをストア・アンド・フォワード・モードで使用する場合、以下のシーケンスに従います。

1. このデバイスは、ストア・アンド・フォワード・モードで動作するようデフォルト設定されています。
2. 送信FIFOスペース・レジスタを読み出すことで、フレーム用のスペースがあることを確認します。MACはFIFOのフレームに2バイトのサイズ・フィールドを内部で追加します。そのため、イーサネット・フレームに加え2バイトのヘッダと2バイトのサイズ・フィールドのための十分なスペースを確保してください。
3. フレームのサイズをバイト単位で書き込みます。このサイズには、MAC送信フレーム・サイズ・レジスタに対する2バイトのヘッダが含まれます。ホストがフレーム・チェック・シーケンス（FCS）をフレームに追加した場合は、これもサイズに含まれます。
4. MAC送信レジスタを使用して、2バイトのフレーム・ヘッダを含むフレーム・データを送信FIFOに書き込みます。送信の最初のバイトは、TXDのビット[31:24]に書き込まれます。フル・フレームを1回のバーストで書き込むことも、分割して数回の小さなバーストで書き込むこともできます。バースト書き込みデータは常に4バイトの整数倍でなくてはなりません。つまり、最後のワード（4バイト）には、1バイト～4バイトの有効なデータが含まれます。
5. フレームのフレーム終了（EOF：end of frame）バイトが送信FIFOから読み出されると、ビット送信レディがアサートされ、TX_RDY_MASKが設定されている場合には割込みがトリガされます。

MAC SPI

TRANSMIT: 2-BYTE FRAME HEADER TO THE TX REGISTER IN FRONT OF THE FRAME

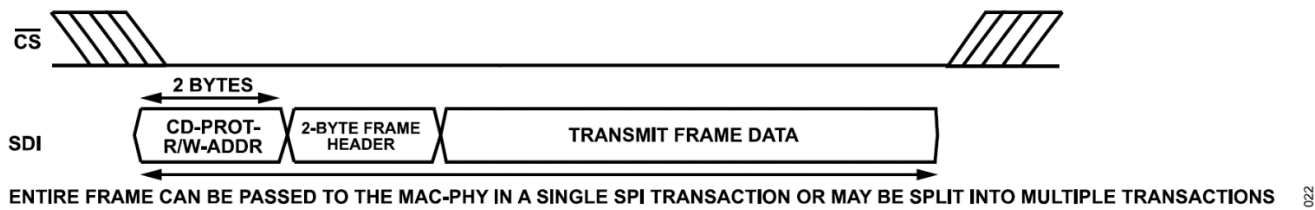


図21. MACフレーム：送信

RECEIVE: 2-BYTE FRAME HEADER READ FIRST FROM THE P1_RX REGISTER

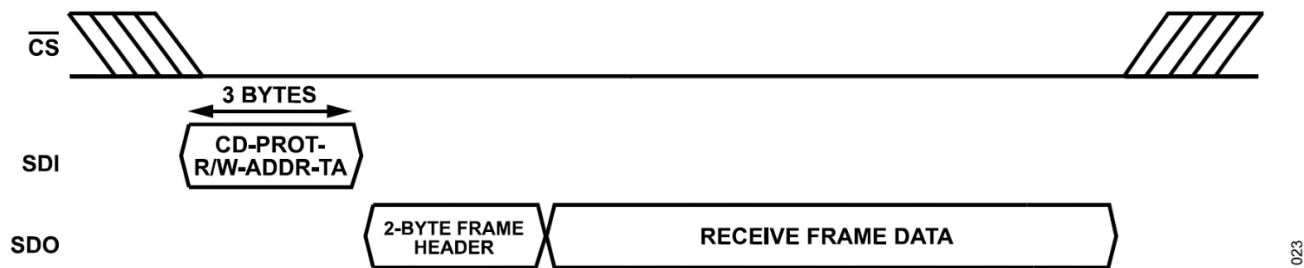


図22. MACフレーム：受信

MAC SPI

表30. フレーム・ヘッダ

D15 to D11	D10	D9 to D8	D7 to D6	D5 to D4	D3	D2	D1 to D0
Reserved	Priority	Reserved	EGRESS_CAPTURE	Reserved	TIME_STAMP_PARITY	TIME_STAMP_PRESENT	Reserved

以下の定義を参照してください。

- ▶ 優先度：どの優先度を持つキューからフレームを受信したかを示します。送信では使用しません。送信フレームでは0に設定します。
- ▶ EGRESS_CAPTURE：以下に示すように、送信タイム・スタンプをホストの読出し可能送信時間レジスタに取得します。
 - ▶ 00：動作なし。
 - ▶ 01：TTSCALレジスタとTTSCAHレジスタのペアに取得。取得時にSTATUS0レジスタのTTSCAAビットがアサートします。
 - ▶ 10：TTSCBLレジスタとTTSCBHレジスタのペアに取得。取得時にSTATUS0レジスタのTTSCABビットがアサートします。
 - ▶ 11：TTSCCLレジスタとTTSCCHレジスタのペアに取得。取得時にSTATUS0レジスタのTTSCACビットがアサートします。
- ▶ TIME_STAMP_PARITY：追加されたタイム・スタンプの奇数パリティ。送信では使用しません。送信フレームでは0に設定します。
- ▶ TIME_STAMP_PRESENT：受信時、データの最初の4バイトまたは8バイトにフレームのタイム・スタンプが含まれます。送信では使用しません。送信フレームでは0に設定します。
- ▶ 予備：常に0に設定されます。

SPI経由でのフレーム受信

汎用SPIプロトコルをストア・アンド・フォワード・モードで使用する場合、イーサネット・フレームを受信するには、以下の手順に従います。

1. このデバイスは、ストア・アンド・フォワード・モードで動作するようデフォルト設定されています。
2. P1_RX_RDY_MASKビットを0に設定して、フル・フレームの受信時に割込みをイネーブルします。
3. P1_RX_RDYビットがアサートされている場合、MAC受信フレーム・サイズ・レジスタを読み出して受信フレームのサイズを判定します。
4. MAC受信レジスタを通じてフレームを読み出します。フレーム全体をバースト読出しすることも、複数の小さなバースト読出しに分割することもできます。受信フレームの最初のバイトはP1_RXのビット[31:24]に返されます。バースト読出しトランザクションは4バイトの倍数であることが必要です。フレームのサイズが4バイトの倍数でない場合、最後の4バイトの一部が0でパディングされます。
5. 再度P1_RX_RDYを読み出します。ビットの値が1の場合、別のフレームを読み出せます。ステップ3から繰り返してください。

カット・スルー

判定SPIプロトコルは、送信動作の場合にカット・スルー・モードに対応します。

フレームの送信前に、送信カット・スルー・イネーブル・ビット

に1を書き込みます。

フレーム送信が開始される閾値は、ホスト送信開始閾値を通じて変更できます（送信閾値レジスタのセクションを参照）。このレジスタのデフォルト値は1です。そのため、デフォルトでは、ホスト送信FIFOに書き込むと直ちに送信が開始されます。

フレーム送信がアンダー・ランとならないよう、ホスト送信FIFOには10Mbpsより高いレートで書き込む必要があります。フレームがアンダー・ランとなった場合、ホスト送信アンダー・ラン・エラー・ビットがアサートされます。

汎用SPIエラー

汎用SPI CRCエラー

レジスタへの書き込み時にSPI CRCエラーが発生した場合、レジスタへの書き込みは行われません。

その書き込み先が送信レジスタである場合、送信FIFOにはデータがなくなり、ホストによってクリアする必要があります。同様に、受信レジスタの読出しで受信フレームにデータがない場合、FIFOをクリアする必要があります。

エラーのあるトランザクションが設定レジスタへの書き込みだった場合、SPIホストは、再度その書き込みを発行する必要があります。どの設定かをソフトウェアが判定できない場合、RST_MAC_ONLYキーをSOFT_RSTレジスタに書き込んでMACをリセットする必要があります。

汎用SPI送信プロトコル・エラー（TXPE）

TX_FSIZEレジスタへの書き込み時にTXPEがアサートされますが、MACは、TX_FSIZEレジスタに書き込まれた以前のフレーム・サイズに関連して送信レジスタに更に書き込みがあるものと推定します。このエラーは通常動作では発生せず、ソフトウェア・ドライバに問題があることを示すものです。例えば、送信レジスタには書き込みを行わずにTX_FSIZEレジスタに2回続けて書き込むというような問題です。

TXPEのアサートに応答して、ホストは送信FIFOをクリアする必要があります。

OPEN ALLIANCE SPIプロトコル

OPEN Alliance SPIプロトコルのバージョン1.0は、SPIを介して全二重動作でデータを転送できるため、12MHz～16MHzまたはそれ以上の範囲のSPIクロック周波数で10Mbpsの双方向フレーム転送を実現できます。

ADIN1110は次のOPEN Alliance SPI機能に対応しています（詳細はサポート対象ケイパビリティ・レジスタのセクションを参照）。

- ▶ 送信FCSの検証
- ▶ カット・スルー
- ▶ 送受信時にIEEE 1588のタイプ・スタンプを取得
- ▶ サポートされているチャUNKの最小サイズは8バイト

MAC SPI

OPEN Alliance SPIプロトコルは、2つのタイプのトランザクションを定義します。イーサネット・フレーム転送用のデータ・トランザクションとレジスタの読出し/書込み動作の制御トランザクションです。

チャンクはデータ・トランザクションの基本要素で、4バイトのオーバーヘッドと設定済みのペイロード・サイズで構成されます。

データ・トランザクションは、同数の送信チャンクと受信チャンクで構成されます。送信方向と受信方向のどちらのチャンクも、有効フレーム・データを含んでいてもいなくてもよく、また、そのデータが互いに影響しないため、異なる長さのフレームを同時

に送受信できます。送信フレームのチャンクのデータ・ヘッダと受信フレームのデータ・フッタは、ペイロードのどのバイトに有効フレーム・データが含まれているかを示します。ADIN1110で使用されるOPEN Alliance SPIプロトコルの詳細については、OPEN Alliance 10BASE-T1x MAC-PHYシリアル・インターフェース・バージョン1.0を参照してください。

図23に示すように、データ・トランザクションと制御トランザクションの間でCSがアサート解除される必要がある点に注意してください。

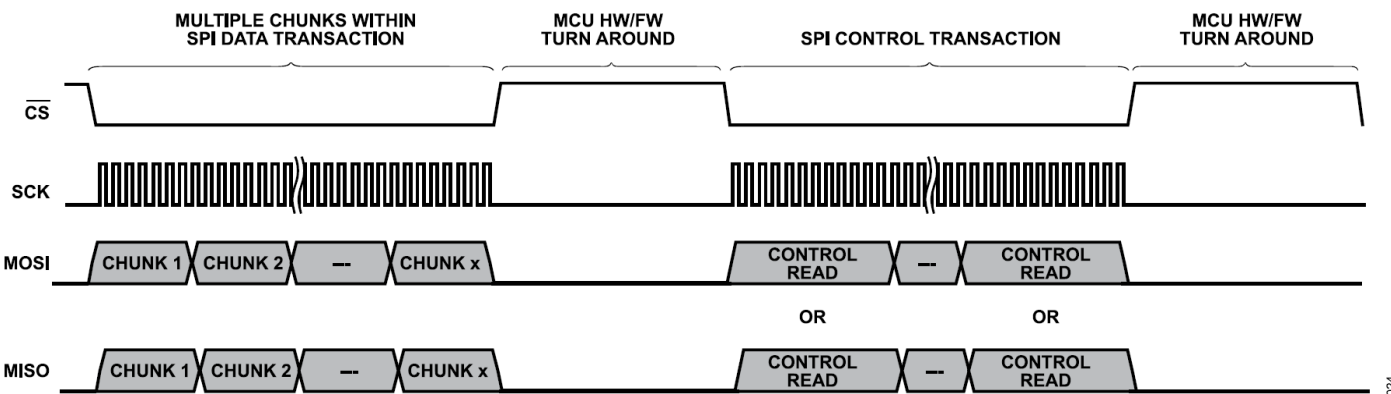


図23.イーサネットのデータ・フレーム転送とそれに続く制御転送

MAC SPI

データ・チャンク

図24に示すように、送信データ・チャンクは、4バイトのヘッダとそれに続く送信データ・チャンク・ペイロードで構成されています。

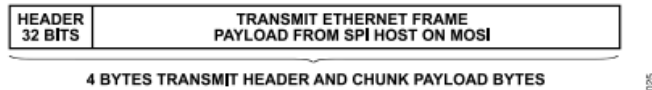


図24. 送信データ・チャンク

図25に示すように、受信データ・チャンクは、受信データ・チャンク・ペイロードとそれに続く4バイトのフッタで構成されています。



図25. 受信データ・チャンク

データ・チャンク・ペイロードのデフォルト・サイズは64バイトです。このサイズは、チャンク・ペイロード・セクタ・ビットを使用して、8バイト、16バイト、32バイト、または64バイトに設定できます。データ・チャンク・サイズは、データの送信または受信をイネーブルする前に設定する必要があります。そのため、データ・チャンク・サイズを設定したら、MAC-PHYをリセットせずにこれを変更することはできません。

データ・チャンク・トランザクション

データ・トランザクションは、SDOおよびSDIの1〜N個のチャンクで構成されています。4バイトのデータ・ヘッダがSDOの各送信データ・チャンクの先頭に生じ、4バイトのデータ・フッタがSDIの各データ・チャンクの末尾に生じます。これらのヘッダとフッタには、データ・チャンク・ペイロード内の送信フレームと受信フレームの有効性と位置を判定するために必要な情報が含まれています。イーサネット・フレームは、図26および図27に示すように、ペイロード内の32ビットに揃えられたワードで開始します。

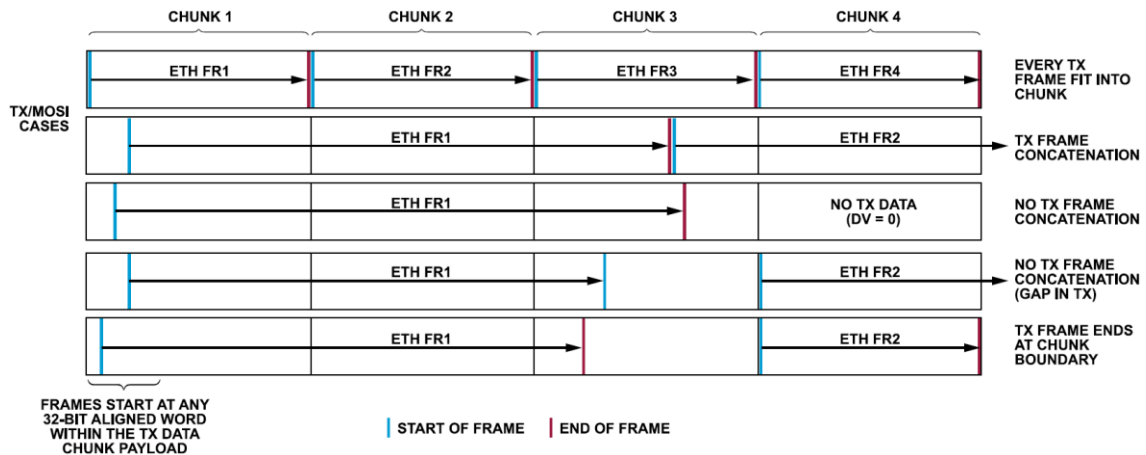


図26. 送信データ・チャンクのケース

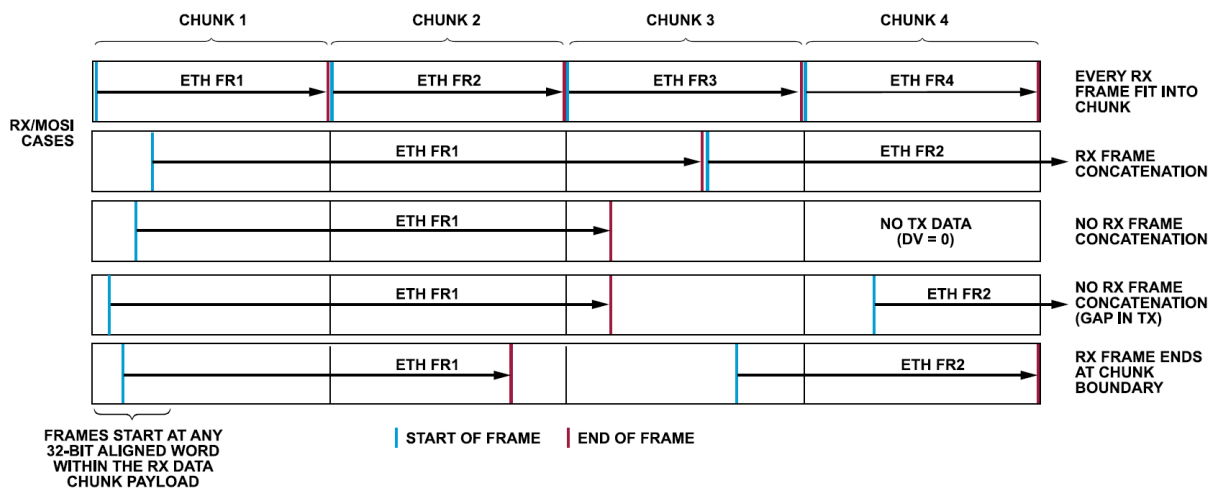


図27. 受信データ・チャンクのケース

MAC SPI

送信データ・ヘッダ

表31. 送信データ・ヘッダ

D31	D30	D29	D28 to D24	D23 to D22	D21	D20	D19 to D16	D15	D14	D13 to D8	D7 to D6	D5 to D1	D0
1	SEQ	NORX	RSVD	VS	DV	SV	SWO	RSVD	EV	EBO	TSC	RSVD	P

以下の定義を参照してください。

- ▶ **SEQ** : データ・チャンク・シーケンス。シーケンス機能はADIN1110ではサポートされていません。このビットは0に設定する必要があります。
- ▶ **NORX** : 受信フラグなし。SPIホストは、このビットを1に設定することで、現在の受信データ・チャンク内の受信フレーム・データを処理していないことをMAC-PHYに通知できます。通常動作では、NORXを0に設定して、現在のチャンク内の受信フレーム・データを受け入れて処理していることを通知します。
- ▶ **VS** : ベンダ固有ビット。この2つのビットはホストによって00に設定する必要があります。
- ▶ **DV** : データ有効フラグ。SPIホストはこのビットを使用して、現在のチャンクに有効な送信データが含まれている（DV = 1）かないかを通知します。このビットが0の場合、MAC-PHYはチャンク・ペイロードを無視します。
- ▶ **SV** : 開始有効フラグ。このビットが1の場合、イーサネット・フレームの先頭は現在の送信データ・チャンク・ペイロードにあります。SVビットを、IEEE 802.3規格に記載されているフレーム開始区切り（SFD : start of frame delimiter）バイトと混同しないでください。
- ▶ **SWO** : 開始ワード・オフセット。SVが1の場合、このフィールドには、送信データ・チャンク・ペイロードに含まれる32ビット・ワードのオフセットが格納され、新しいイーサネット・フレームの開始点を指し示します。SVが0の場合、ホストはこのフィールドに0を書き込まなければなりません。
- ▶ **EV** : 終了有効フラグ。このビットが1の場合、イーサネット・フレームの末尾が現在の送信データ・チャンク・ペイロードにあります。
- ▶ **EBO** : 終了バイト・オフセット。EVが1の場合、このフィールドには、送信データ・チャンク・ペイロードに含まれるバイト・オフセットが格納され、送信するイーサネット・フレームの最後のバイトを指し示します。EVが0の場合、ホストはこのフィールドに0を書き込む必要があります。
- ▶ **TSC** : タイム・スタンプの取得。フレームがネットワークに送信された場合にタイム・スタンプの取得をリクエストします。以下を参照してください。
 - ▶ **00** : 動作なし。
 - ▶ **01** : TTSCALレジスタとTTSCAHレジスタのペアに取得。取得時にSTATUS0レジスタのTTSCAAビットがアサートします。
 - ▶ **10** : TTSCBLレジスタとTTSCBHレジスタのペアに取得。取得時にSTATUS0レジスタのTTSCABビットがアサートします。
 - ▶ **11** : TTSCCLレジスタとTTSCCHレジスタのペアに取得。取得時にSTATUS0レジスタのTTSCACビットがアサートします。
- ▶ **P** : パリティ。パリティ・ビットは送信データ・ヘッダ全体にわたって計算されます。方法は奇数パリティです。
- ▶ **RSVD** : 予備。常に0に設定されます。

MAC SPI

受信データ・フッタ

表32. 受信データ・フッタ

D31	D30	D29	D28 to D24	D23 to D22	D21	D20	D19 to D16	D15	D14	D13 to D8	D7	D6	D5 to D1	D0
EXST	HDRB	SYNC	RCA	VS	DV	SV	SWO	FD	EV	EBO	RTSA	RTSP	TXC	P

以下の定義を参照してください。

- ▶ **EXST** : 拡張ステータス。STATUS0レジスタまたはSTATUS1レジスタのどのビットもセットされマスクされていない場合に、このビットがセットされます。
- ▶ **HDRB** : 受信ヘッダ不良。このビットがセットされている場合、MAC-PHYは、パリティ・エラーのある制御ヘッダまたはデータ・ヘッダを受信しています。
- ▶ **SYNC** : 設定同期フラグ。このフィールドは、CONFIG0レジスタのSYNCビットの状態を反映しています。このビットが0の場合、MAC-PHYの設定がSPIホストの想定とは異なっている可能性があることを示します。設定に従い、SPIホストは設定レジスタ内の対応ビットをセットし、それがこのフィールドに反映されます。
- ▶ **RCA** : 使用可能受信チャンク。RCAフィールドは、現在のデータ・チャンク以外に読み出し可能な、フレーム・データの追加受信データ・チャンクの最小数を示します。MAC-PHYのバッファに読み出し用として留保されている受信データ・フレームがこれ以上ない場合には、このフィールドは0になります。
- ▶ **VS** : ベンダ固有。
 - ▶ **VS[1]** : 受信したフレームの優先度。
 - ▶ 0 : 低優先度キューを介して受信したフレーム。
 - ▶ 1 : 高優先度キューを介して受信したフレーム。
 - ▶ **VS[0]** : 予備。
- ▶ **DV** : データ有効フラグ。SPIホストはこのビットを使用して、現在のチャンクに有効な送信データが含まれている (DV = 1) かいないかを通知します。このビットが0の場合、SPIホストはチャンク・ペイロードを無視します。
- ▶ **SV** : 開始有効フラグ。このビットが1の場合、イーサネット・フレームの先頭は現在の送信データ・チャンク・ペイロードにあります。SVビットを、IEEE 802.3規格に記載されているSFDバイトと混同しないでください。
- ▶ **SWO** : 開始ワード・オフセット。SVが1の場合、このフィールドには、受信データ・チャンク・ペイロードに含まれる32ビット・ワードのオフセットが格納され、新しいイーサネット・フレームの開始点を差し示します。受信したフレームの先頭に受信タイム・スタンプが追加されている場合 (RTSA=1)、SWOはタイム・スタンプの最上位バイトを差し示します。SVが0の場合、ホストはこのフィールドに0を書き込まなければなりません。
- ▶ **FD** : フレーム・ドロップこのビットがセットされている場合、SPIホストが受信したイーサネット・フレームをドロップする必要がある条件を、MACが検出したことを示します。このビットは受信したフレームの末尾でのみ有効 (EV = 1)、それ以外の場合は0であることが必要です。
- ▶ **EV** : 終了有効フラグ。このビットが1の場合、イーサネット・フレームの末尾は現在の受信データ・チャンク・ペイロードにあります。
- ▶ **EBO** : 終了バイト・オフセット。EVが1の場合、このフィールドには、受信データ・チャンク・ペイロードに含まれるバイト・オフセットが格納され、受信したイーサネット・フレームの最後のバイトを指し示します。EV = 0の場合、このフィールドは0です。

- ▶ **RTSA** : 受信タイム・スタンプの追加。32ビットまたは64ビットのタイム・スタンプがSPIフレームの先頭に追加された場合に、このビットがセットされます。このビットは、SV = 0の場合には0にする必要があります。
- ▶ **TXC** : 送信クレジット。このフィールドには、SPIホストが送信バッファ・オーバーフローを生じることなく単一のトランザクションに書き込める、フレーム・データの送信データ・チャンクの最小数が格納されています。
- ▶ **P** : パリティ。パリティ・ビットは受信データ・ヘッダ全体にわたって計算されます。方法は奇数パリティです。

OPEN Alliance SPIカット・スルー・モード

ホストからまたはホストへのカット・スルー・モードがイネーブルされている場合、フレームの送信方法は、ストア・アンド・フォワード・モードを使用する場合と同じままです。ただし、フレーム受信は、チャンクを満たすのに十分なフレーム・データが受信された場合に開始され、フレーム送信は、設定された送信閾値に達した場合に開始されます (送信閾値レジスタのセクションを参照)。

カット・スルー・モードは、受信カット・スルー・イネーブル・ビットと送信カット・スルー・イネーブル・ビットを通じてイネーブルできます (設定レジスタ0のセクションを参照)。

受信時、MACはデータが使用可能になるとそのデータを返します。ストア・アンド・フォワード・モードの場合とは異なり、フレーム開始 (SOF : start of frame) チャンクとフレーム終了 (EOF) チャンクの間に空のチャンク (DV = 0) がある場合もあります。

ホストのフレーム読み出し速度が遅く、受信FIFOを空の状態に保てない場合、フレームは、ストア・アンド・フォワード・モードで動作しているのと同じように、受信FIFOでバッファされます。すべてのフレームが読み出されると、FIFOの動作はカット・スルー・モードに戻ります。

フレームが送信時にアンダー・ラン状態にならないよう、ホストは、送信時に十分速いレート (>10Mbps) でフレーム・データを供給する必要があります。MACがアンダー・ランとなった場合は、STATUS0レジスタのTXBUEがアサートされ、MACは動作中にフレーム送信を停止し、フレームに不良CRCを付加します。

カット・スルー送信遅延

送信ヘッダのSWOが0 (フレームはチャンク内で直ちに開始) のSPIデータ・トランザクションの開始から、SPI周波数が16MHz、TX_THRESHが1の状態でMHでTX_ENが立ち上がるまでの時間間隔は、4μsです。PHYの送信遅延は3.2μsです。その結果、合計送信遅延は7.2μsとなります。

カット・スルー受信遅延

受信遅延は、チャンク・サイズとSPI周波数によって変化します。表33は、SPI周波数が16MHzの場合の遅延を、すべてのサポート対象チャンク・サイズについて示したものです。

MAC SPI

表33. すべてのサポート対象チャンク・サイズについての16MHz時の受信遅延

Chunk Size (Bytes)	PHY Rx Latency (μs)	Time to Receive a Chunk of Data on the Ethernet Wire (μs) ¹	Time to Start of Frame Transfer over SPI (μs) ²	Total Rx Latency onto Wire (μs)	Total Rx Latency to End of First Chunk Transfer (μs) ³
64	6.4	57.6	17	81	98
32	6.4	32	9	47.4	56.4
16	6.4	19.2	5	30.6	35.6
8	6.4	12.8	3	22.2	25.2

- SPIでの転送開始までに、チャンクを満たすのに十分なフレーム・データを受信する必要があります。フレーム・プリアンブルを受信するまでの時間も含まれません。
- マイクロコントローラは割込みを待たず、SPIで連続してOPEN Allianceデータ・トランザクションを提供しているものと仮定しています。フレーム転送は、平均してチャンクの途中で開始されます。
- 実際にはマイクロコントローラはチャンクの最後で受信ヘッダを受信するまで、データを使用できません。

制御トランザクション

表34. 制御コマンド・ヘッダ

D31	D30	D29	D28	D27 to D24	D23 to D8	D7 to D1	D0
0	HDRB	WNR	AID	MMS	ADDR [15:0]	LEN	P

制御トランザクションは少なくとも1つの制御コマンドで構成されています。これらのコマンドは、SPIホストがMAC-PHY内のレジスタの読書きを行うために使用され、それぞれが32ビットの制御コマンド・ヘッダとそれに続くレジスタ・データで構成されています。表34を参照してください。

以下の定義を参照してください。

- HDRB** : 受信ヘッダ不良。MAC-PHYで設定されている場合、HDRBはパリティ・エラーのあるヘッダが受信されたことを示します。このビットは常にSPIホストがクリアする必要があります。MAC-PHYはこの値を無視します。
- WNR** : 書き込み非読出し。1の場合、データがレジスタに書き込まれます。それ以外の場合、データは読み出されます。
- AID** : アドレス・インクリメント・ディスエーブル。クリアされると、アドレスは各レジスタの読出しまたは書き込み後に、自動的に1だけポスト・インクリメントされます。
- MMS** : メモリ・マップ・セクタ。このフィールドは、アクセスするための特定のレジスタ・メモリ・マップを選択します。表35を参照してください。
- ADDR** : アクセスするために選択されたメモリ・マップ内の最初のレジスタのアドレス。
- LEN** : 長さ。読出し／書き込みを行うレジスタの数を指定します。このフィールドは、レジスタの数 - 1と解釈されます。そのため、長さが0の場合、1つのレジスタの読出しまたは書き込みを行います。
- P** : パリティ。パリティ・ビットは制御コマンド・ヘッダ全体にわたって計算されます。使用する方法は奇数パリティです。

表35. レジスタ・メモリ・マップ (MMS)

MMS	Memory Map Description
0	Standard control and status (SPI Address 0x00 to Address 0x20)
1	MAC (from SPI Address 0x30)

制御書込み

MAC-PHYは、制御書込みコマンドの最後でSPIホストからのデータの最終32ビットを無視します。また、書込みコマンドとデータは、MAC-PHYからSPIにエコー・バックされるため、バス・エラー発生時にどのレジスタ書込みが失敗したかを特定できます。

制御書込みコマンドは、1つのレジスタにも、複数のレジスタにも書き込むことができます。複数のレジスタに書き込む場合、アドレスは自動的にポスト・インクリメントされます。

制御書込みコマンドの後に別の制御コマンドが続く場合、エコーされたレジスタ書込みデータの最後のワードの直後に、新しい制御ヘッダが続く必要があります。書込みコマンドがトランザクションの最後のコマンドである場合、SPIホストは、エコーされたレジスタ書込みデータの最後のワードの後で、 $\overline{CS}$ をアサート解除する必要があります。

MAC SPI

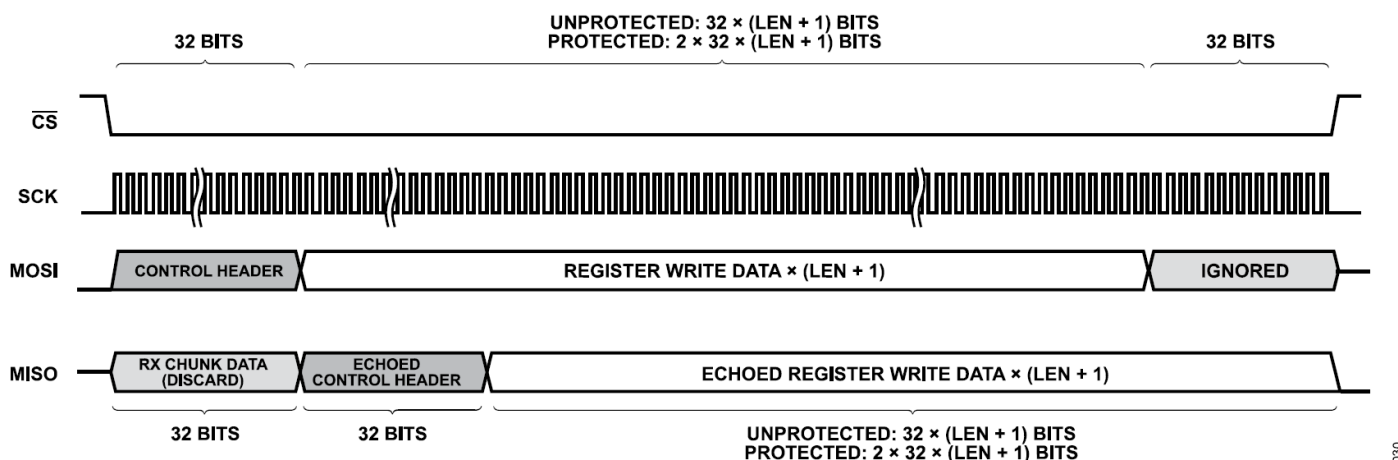


図28. OPEN Alliance制御セクション

制御読出し

MAC-PHYは、制御ヘッダに続く制御読出しコマンドの残りの部分についてはSPIホストからの全データを、無視します。制御読出しコマンドは、1つのレジスタも、複数のレジスタも読み出すことができます。複数のレジスタを読み出すと、制御ヘッダのアドレス・インクリメント・ディスエーブル・ビットに従い、アドレスが自動的にポスト・インクリメントされます。

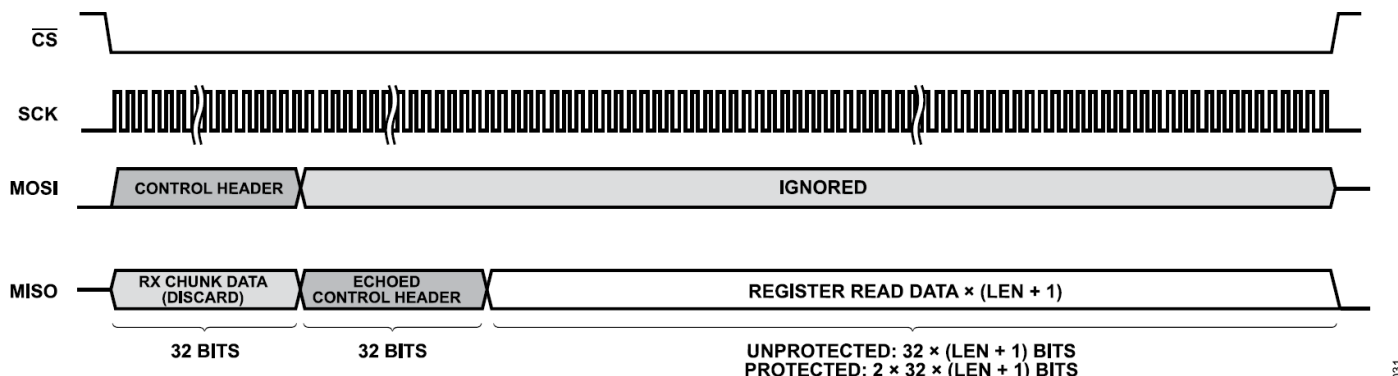


図29. 制御読出しトランザクション

OPEN ALLIANCE SPIエラー

以下に示すOPEN Alliance SPIエラーを参照してください。

- ▶ SPIヘッダ・パリティ・エラー。送信ヘッダでパリティ・エラーが検出され、SPIでの転送プロセスに送信フレームがある場合、このフレームはドロップされます。MACがカット・スルー・モードで動作している場合、フレーム送信が停止し、不良CRCがフレームに付加されます。

MAC-PHYは $\overline{\text{CS}}$ がハイになるまで、ワードごとに固定値0x4000_0000を返します。MAC-PHYは、 $\overline{\text{CS}}$ が新たにアサートした後の最初のデータ・フッタで、DV = 1、EV = 1、EBO = 0、FD = 1の応答を行います。

制御トランザクションにパリティ・エラーがある場合、動作は完了しません。SPIトランザクションの間にMAC-PHYが固定値0x4000_0000をSDOで返すため、ソフトウェアは、どのト

ランザクションがエラーを引き起こしたかを判定できますその後、ソフトウェアは、ヘッダ・エラー・ビットをクリアした後、破損した制御トランザクションを再送信できます。

- ▶ 送信プロトコル・エラー。送信データ・チャンクの転送時にMAC-PHYがプロトコル・エラーを検出した場合に発生します。これらのエラーは、通常、SPIホスト・ファームウェアの問題が原因であり、通常動作では発生しません。MAC-PHYが受信したデータ・ヘッダが事前のフレーム開始指示 (SV = 1) なしでデータ有効 (DV = 1) を示した場合、送信プロトコル・エラー・ビットがセットされます。この場合、データ・チャンクは無視されます。あるいは、MAC-PHYがフレーム終了 (EV = 1) なしでフレーム開始 (SV = 1) を示す2つのデータ・ヘッダを受信した場合、MAC-PHYは直前のフレーム開始インジケータからのフレーム・データをドロップし、次のフレーム開始インジケータからのフレーム・データの受入れを開始します。

MAC SPI

- ▶ 送信バッファ・オーバーフロー。直前のデータ・フッタの送信クレジット・フィールド (TXC) で示されたように使用できる送信バッファ・スペースがない場合に、送信フレーム・データをMAC-PHYに書き込もうとすると発生しますこの状態では、MAC-PHYは、送信データ・チャンクを無視し、ホスト送信FIFOオーバーフロー・ビットをセットします。また、既にバッファにあるフレーム・データはドロップされます。
- ▶ 送信バッファ・アンダー・ラン。このエラーは、カット・スルー・モードでのみ発生します。SPIホストは、このエラーを避けるために、常にネットワークより高速でMAC-PHYにフレーム・データを送信します。このエラーが発生した場合、ホスト送信FIFOアンダー・ラン・エラー・ビットがセットされ、MAC-PHYはフレームを無効化する方法でフレーム送信を停止します。また、MAC-PHYは、フレーム終了指示 (EV = 1) を受け取るまで、SPIホストから受信する追加のフレーム・データを無視します。
- ▶ フレーム喪失エラー。このエラーは、データ・チャンクまたは制御コマンドの予想終了時より前にCS信号がアサート解除された場合に、発生します。MAC-PHYおよびフレーム喪失エラーがセットされ、進行中の送信フレームがドロップされ、SPIホストに送信中の受信フレームが終了します。
- ▶ 受信バッファ・オーバーフロー。このエラーが発生するのは、SPIホストがMAC-PHYからフレーム・データを読み出す速度が十分でない場合です。このエラーは、ストア・アンド・フォワード・モードおよびカット・スルー・モードのどちらでも発生する可能性があります。このエラーが発生すると、MAC-PHYはPHYから受信されているフレームを終了します。ストア・アンド・フォワード・モードでは、フレームのどの部分もSPIホストに転送されません。カット・スルー・モードでは、MAC-PHYはフレーム・ドロップをセットして (FD = 1)、フレームを終了します (EV = 1)。
- ▶ 制御データ保護エラー。制御データ保護エラー (CDPE) ビットおよびフレーム喪失エラー (LOFE) ビットは、OPEN Alliance SPIで保護がイネーブルされ、ホストから受信した書き込みデータにエラーがある場合に、アサートされます。この場合、書き込みは完了しません。
- ▶ 可能な場合、ソフトウェアは再度書き込みを実行します。どの設定レジスタに書き込まれたかをソフトウェアが判定できない場合、デバイスが適切に設定されていない可能性があります。この場合、RST_MAC_ONLYキーをソフトウェア・リセット・レジスタに書き込むことでMACをリセットする必要があります。

PHYレジスタへのSPIアクセス

ADIN1110には、PHY管理レジスタにアクセスするために、SPIを用いる間接的なアクセス機能があります。PHY管理レジスタにアクセスするには、SPIレジスタ・マップの8個のMDIOACC n レジスタを使用します。各MDIOACC n レジスタは1つのMDIOトランザクションに対応します。

MDCのデフォルト速度は2.5MHzです。CONFIG2レジスタのMSPEEDビットを使用して、2.5MHzまたは4.166MHzのMDC周波数を選択できます。

MDIOマスタは、8個のMDIOACC n レジスタのTRDONEビットをラウンド・ロビンモードでポーリングします。TRDONEフィール

ドの1つが0であることをMDIOマスタが検出すると、MDIOマスタはMDIOトランザクションを開始します。MDIOトランザクションが完了すると、TRDONEビットが1にセットされ、マスタは、次のMDIOACC n レジスタのTRDONEビットをチェックし始めます。

なお、MDIO_DEVADには常にアクセス先のレジスタのデバイスIDが書き込まれ、MDIO_PRTADには常に0x1が書き込まれ、MDIO_STには条項45のアクセス用に0x0が書き込まれます（これは以下の例のすべてにあてはまります）。

PHYレジスタXYZへの書き込み例：

1. MDIOACC0に、MDIO_DATA = レジスタXYZのアドレス、MDIO_DEVAD = レジスタXYZのデバイスID、MDIO_PRTAD = 0x1、MDIO_OP = 0x0 (ADDR)、MDIO_ST = 0x0、TRDONE = 0x0を書き込みます。
2. MDIOACC1に、MDIO_DATA = レジスタXYZに書き込まれる値、MDIO_OP = 0x1 (WR)、TRDONE = 0x0を書き込みます。
3. オプションで、MDIOACC0.TRDONE = 0x1をポーリングして、アドレス書き込み動作が完了したことを確認します。
4. MDIOACC1.TRDONE = 0x1をポーリングして、データ書き込み動作が完了していることを確認します。

PHYレジスタXYZの読み出し例：

1. MDIOACC0に、MDIO_DATA = レジスタXYZのアドレス、MDIO_OP = 0x0 (ADDR)、TRDONE = 0x0を書き込みます。
2. MDIOACC1に、MDIO_OP = 0x3 (RD)、およびTRDONE = 0x0を書き込みます。
3. MDIOACC1.TRDONE = 0x1をポーリングして、データ書き込み動作が完了したことを確認します。MDIOACC1.MDIO_DATAにはMDIOレジスタXYZの内容が反映されています。

書き込み動作の後に書き込み動作を検証するための読み出しがある例：

1. MDIOACC0に、MDIO_DATA = レジスタABCのアドレス、およびTRDONE = 0x0を書き込みます。
2. MDIOACC1に、MDIO_DATA = レジスタABCに書き込まれる値、MDIO_OP = 0x1 (WR)、TRDONE = 0x0を書き込みます。
3. MDIOACC2にMDIO_OP = 0x3 (RD)、およびTRDONE = 0x0を書き込みます。
4. MDIOACC2.TRDONE = 0x1をポーリングして、すべての動作が完了したことを確認します。MDIO_DATAにはレジスタABCの内容が反映されています。

4連続書き込みの例。8つのレジスタ全部にコマンドを書き込んでから、任意のレジスタをチェックできます。

1. MDIOACC0に、MDIO_DATA = レジスタABCのアドレス、およびTRDONE = 0x0を書き込みます。
2. MDIOACC1に、レジスタABCへの書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0を書き込みます。
3. MDIOACC2に、MDIO_DATA = レジスタDEFのアドレス、およびTRDONE = 0x0を書き込みます。
4. MDIOACC3に、レジスタDEFへの書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0を書き込みます。

MAC SPI

- MDIOACC4に、MDIO_DATA = レジスタGHJのアドレス、およびTRDONE = 0x0を書き込みます。
- MDIOACC5に、レジスタGHJへの書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0を書き込みます。
- MDIOACC6に、MDIO_DATA = レジスタXYZのアドレス、およびTRDONE = 0x0を書き込みます。
- MDIOACC7に、レジスタXYZへの書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0を書き込みます。
- ホストはMDIOACC7 TRDONE = 0x1をポーリングして、すべてのデータ書き込み動作が完了していることを確認します。

レジスタXYZから始まるバースト読出しの例：

- MDIOACC0に、MDIO_DATA = レジスタXYZのアドレス、MDIO_OP = 0x0 (ADDR)、TRDONE = 0x0を書き込みます。
- MDIOACC1に、MDIO_OP = 0x2 (INC_RD)、およびTRDONE = 0x0を書き込みます。
- MDIOACC2に、MDIO_OP = 0x2 (INC_RD)、およびTRDONE = 0x0を書き込みます。
- MDIOACC3に、MDIO_OP = 0x2 (INC_RD)、およびTRDONE = 0x0を書き込みます。
- MDIOACC4に、MDIO_OP = 0x2 (INC_RD)、およびTRDONE = 0x0を書き込みます。
- MDIOACC5に、MDIO_OP = 0x2 (INC_RD)、およびTRDONE = 0x0を書き込みます。
- MDIOACC6に、MDIO_OP = 0x2 (INC_RD)、およびTRDONE = 0x0を書き込みます。
- MDIOACC7に、MDIO_OP = 0x2 (INC_RD)、およびTRDONE = 0x0を書き込みます。
- MDIOACC7.TRDONE = 1をポーリングして、すべてのデータ読出し動作が完了していることを確認します。
- MDIOACC1.MDIO_DATAを読み出します。ここにはレジスタXYZの内容が反映されています。
- MDIOACC2.MDIO_DATAを読み出します。ここにはアドレスXYZ.ADDR + 1のレジスタの内容が反映されています。
- MDIOACC3.MDIO_DATAを読み出します。ここにはアドレスXYZ.ADDR + 2のレジスタの内容が反映されています。
- MDIOACC4.MDIO_DATAを読み出します。ここにはアドレスXYZ.ADDR + 3のレジスタの内容が反映されています。
- MDIOACC5.MDIO_DATAを読み出します。ここにはアドレスXYZ.ADDR + 4のレジスタの内容が反映されています。
- MDIOACC6.MDIO_DATAを読み出します。ここにはアドレスXYZ.ADDR + 5のレジスタの内容が反映されています。
- MDIOACC7.MDIO_DATAを読み出します。ここにはアドレスXYZ.ADDR + 6のレジスタの内容が反映されています。

レジスタXYZの条項22の書き込み例：

- MDIOACC0に、MDIO_DATA = 書き込みデータ、MDIO_DEV_AD = レジスタXYZのアドレス、MDIO_PRTAD =

0x1、MDIO_OP = 0x1 (WR)、MDIO_ST = 0x1 (条項22)、TRDONE = 0x0を書き込みます。

- MDIOACC0.TRDONE = 0x1をポーリングして、データ書き込み動作が完了していることを確認します。

レジスタXYZの条項22の読出し例：

- MDIOACC0に、MDIO_DEV_AD = レジスタXYZのアドレス、MDIO_PRTAD = 0x1、MDIO_OP = 0x3 (RD)、MDIO_ST = 0x1 (条項22)、TRDONE = 0x0を書き込みます。
- MDIOACC0.TRDONE = 0x1をポーリングして、読出し動作が完了していることを確認します。MDIO_DATAにはMDIOレジスタXYZの内容が反映されています。

レジスタXYZの条項22の書き込みおよびリード・バックの例：

- MDIOACC0に、MDIO_DATA = 書き込みデータ、MDIO_DEV_AD = レジスタXYZのアドレス、MDIO_PRTAD = 0x1、MDIO_OP = 0x1 (WR)、MDIO_ST = 0x1 (条項22)、TRDONE = 0x0を書き込みます。
- MDIOACC1に、MDIO_DEV_AD = レジスタXYZのアドレス、MDIO_PRTAD = 0x1、MDIO_OP = 0x3 (RD)、MDIO_ST = 0x1 (条項22)、TRDONE = 0x0を書き込みます。
- MDIOACC1.TRDONE = 0x1をポーリングして、読出し動作が完了していることを確認します。MDIO_DATAにはMDIOレジスタXYZの内容が反映されています。

MDIO PHYアドレスの決定

ADIN1110 PHYのMDIO PHYアドレスは0x1です。

PHY入力レジスタの内容

PHYレジスタでは、管理レジスタの制御情報およびステータス情報へのアクセスが可能です。

PHY条項45のレジスタ・マップのレジスタは、MDIO管理可能デバイス (MMD) に基づいて4つのデバイス・アドレス・グループに分けられています (表36参照)。各デバイス・アドレス空間内で、0x0000~0x7FFFのレジスタ・アドレスにはIEEE規格レジスタがあり、0x8000~0xFFFFのレジスタ・アドレスにはベンダ固有レジスタがあります。

表36. 条項45のレジスタ・グループ分け

Device Address	MMD Name
0x01	Physical medium attachment (PMA)/physical medium dependent (PMD)
0x03	Physical coding sublayer (PCS)
0x07	Autonegotiation
0x1E	Vendor Specific 1

条項45では、1つのMDIOインターフェースを通じて最大32のMMDからなる最大32のPHYにアクセスできます。

一部のレジスタのデフォルト値は、 $\overline{\text{RESET}}$ ピンがアサート解除された直後に読み出されるハードウェア構成ピンの値によって決定されます。この場合、レジスタの表のリセット値はピン依存として記載されています。そのため、ADIN1110のデフォルト動作はSPIを通じて書き込まなくても設定できます。この方法は、ソフト

MAC SPI

ウェアを介在せずにハードウェア構成ピンによってPHYの所望の動作を設定する、アンマネージド・アプリケーションで有用です。アンマネージド・アプリケーションの場合、リセット後にソフトウェア・パワーダウ入るようにPHYを設定しないでください。それにより、PHYは他のハードウェア構成ピンで設定されたリンクをすぐに立ち上げようとすることができます。マネージド・アプリケーションでは、管理インターフェースを介してPHYを設定するためのソフトウェアを使用できます。この場合、ハードウェア構成ピンを用いて、リセット後にソフトウェア・パワーダウ入・モードに入るようにPHYを設定でき、それによってリンクの試行前にPHYを設定できます。

推奨レジスタ動作

ADIN1110のPHYレジスタの多くは、IEEE 802.3規格で定義され、これらのレジスタの各動作はこの規格に従います。この動作は常に明確とは限らないため、レジスタの推奨動作および使用法と共にこのセクションで説明します。

ラッチ・ロー・レジスタ

IEEE 802.3-2018規格では、特定のMDIOアクセス可能レジスタにラッチ・ロー動作を求めています。背景にある考え方は、これらのレジスタを断続的にしか読み出せないソフトウェアが、一時的あるいは短期的となり得る状態を検出できるようにすることです。例えば、AN_LINK_STATUSビットはラッチ・ローであることが必要です。デバイスがリセットまたはパワーダウ入状態を終了すると、ラッチ条件が無効となり、AN_LINK_STATUSビットの値は、現在のリンク状態を反映したものになります。ただし、リンクがいったん確立してから切断されると、ラッチ条件が有効になります。この場合、リンクが一時的に再び確立しても、AN_LINK_STATUSビットでは0が読み出されます。ラッチ条件がクリアされるのは、AN_LINK_STATUSビットが読み出され、リンクが切断されたことをソフトウェアが認識できた場合のみです。

このようなラッチ・ロー動作の影響として、ソフトウェアは現在のリンク状態を判定する場合、2回連続したAN_LINK_STATUSビットの読出しが必要になります。最初の読出しはアクティブなラッチ条件をクリアするために必要です。

また、ソフトウェアは、1つのレジスタ・アドレスを共有するMDIOアクセス可能ビット間の相互作用に配慮する必要もあります。例えば、AN_PAGE_RXビットとAN_LINK_STATUSビットは同じレジスタ・アドレスにあります。その結果、AN_PAGE_RXビットを読み出すと、AN_LINK_STATUSビットに関連するアクティブなラッチ条件がすべてクリアされてしまいます。

IEEE複製レジスタ

IEEE 802.3-2018規格は、10Mbpsから40Gbps以上におよぶ非常に広範な規格と速度をカバーしており、また、多数の条項を含んでいます。多くの条項に関連したレジスタがあり、異なるPHYが、異なる条項や、これらの条項の異なる組み合わせを含む場合もあります。そのため、ソフトウェア・リセット、ソフトウェア・パワーダウ入、ループバックなどの一般的な機能のレジスタは、複数の条項で記載されている傾向があります。

ADIN1110では、これらのレジスタは物理的には1か所に実装されていますが、複数のアドレスでアクセスすることもできます。例

えば、ソフトウェア・リセット・ビットは、以下のすべてのIEEE MMD位置およびベンダ固有のレジスタ位置で読書きできます。

- ▶ PMA_SFT_RST
- ▶ B10L_PMA_SFT_RST
- ▶ PCS_SFT_RST
- ▶ B10L_PCS_SFT_RST
- ▶ CRSM_SFT_RST

この例の場合、これらは、PMA/PMD、PCS、オートネゴシエーション、ベンダ固有MMD 1のデバイス・アドレス位置です（表36参照）。

同じレジスタに複数のアドレス位置があることで、特に、ラッチ・ローやセルフ・クリアのアクセス許可を持つレジスタに関して、デバイスの使用法が必要以上に複雑なものになります。これは、IEEE規格では避けることができません。

ADIN1110のデータシートでは、これらのIEEEレジスタごとに1つの推奨アドレス位置のみを挙げることで、デバイスの動作と使用法を簡潔にしています。一般に、規格の802.3cg (10BASE-T1L) セクションで示されているレジスタは、これ以前の（同等の）レジスタに優先して推奨されています。特に、あるレジスタが1つのレジスタ・アドレスに有用なIEEEレジスタ・ビットを多数含む場合、ベンダ固有アドレスのレジスタが推奨されることが一般的です。ADIN1110は、パワーオン・リセット、ハードウェア・リセット、またはソフトウェア・リセット後の起動完了時に、10BASE-T1L規格によってカバーされるすべてのIEEEレジスタ・アドレス位置へのレジスタ・アクセスに対応しています。

リード・モディファイ・ライト動作

すべてのレジスタ書込み動作は、リード・モディファイ・ライト動作として実行する必要があります。このプロセスに従わないと、レジスタ・ビットの値が意図せずに変更される場合があります。

MAC

受信時のフレーム・フィルタ処理

デフォルトでは、デバイスは受信した全フレームをフィルタ処理します。フレームを受信するには、アドレス・フィルタリング・テーブルをセットアップします。あるいは、全受信フレームに対するデフォルト動作を変更することもできます。

デバイスは、MAC宛先アドレス（DA）に基づき最大16の異なるMACアドレスをフィルタするよう設定できます。

特定のDAのフレームを受信するには、そのDAが16のADDR_FILT_xレジスタのいずれかにプログラムされている必要があります。各レジスタは32ビット幅です。そのため、例えば、0800 005A 646BというDAをADDR_FILT[0]にプログラムするには、次のように書き込みます。

1. 0x0800をADDR_FILT_UPR0に書込む。
2. 0x005A646BをADDR_FILT_LWR0に書込む。

MAC SPI

このDAを持つフレームをホストに転送するには、ADDR_FILT_UPR_nレジスタのTO_HOSTビットを1にセットします。このルールを適用するには、APPLY2PORT1ビットを1に設定します。

MACアドレスは、ADDR_MSK_xレジスタを使用してマスクできます。例えば、0x8000 005A 64xxの範囲のすべてのMACアドレスを受信するには、次のように書き込みます。

1. 0xFFFFをADDR_MSK_UPR0に書き込む。
2. 0xFFFFFFFF00をADDR_MSK_LWR0に書き込む。

16のADDR_FILT_xレジスタのいずれにも一致しないフレームはデフォルトでドロップされます。CONFIG2レジスタのP1_FWD_UNK2HOSTビットが1にセットされている場合、DAに一致しないすべてのフレームはホストに転送されます。図30にフィルタ処理アルゴリズムを示します。

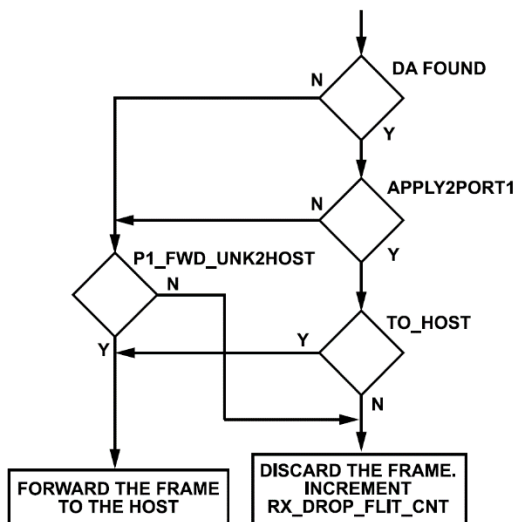


図30. フィルタ処理アルゴリズム

不良CRCまたはアサートされたRX_ERが付加されたPHYからの受信フレームや、ラント・フレームおよびジャバー・フレームはドロップされてカウントされます。

受信優先度キュー

受信に関し、高優先度FIFOと低優先度FIFOの2種類のFIFOがあります。

デフォルトでは、低優先度FIFOは12kBに設定され、高優先度FIFOは8kBに設定されています。これらのFIFOのサイズの変更は、FIFO_SIZEレジスタのP1_RX_LO_SIZEとP1_RX_HI_SIZEの各フィールドを通じていずれかのフレームを受信または送信する前に可能です。

フレームは常に、高優先度FIFOから最初に返されます。

統計カウンタ

受信ポートには15個の32ビット・カウンタがあり、フレームの送受信時ごとにインクリメントします。

表37. 統計カウンタ

Name	Description
P1_RX_FRM_CNT	Rx frame count
P1_RX_UCAST_CNT	Rx unicast frame count
P1_RX_MCAST_CNT	Rx multicast frame count
P1_RX_BCAST_CNT	Rx broadcast frame count
P1_RX_CRC_ERR_CNT	Rx CRC errored frame count
P1_RX_ALGN_ERR_CNT	Rx alignment error count
P1_RX_PHY_ERR_CNT	Rx PHY error count
P1_RX_LS_ERR_CNT	Rx long and short frame error count
P1_TX_FRM_CNT	Tx frame count
P1_TX_UCAST_CNT	Tx unicast frame count
P1_TX_MCAST_CNT	Tx multicast frame count
P1_TX_BCAST_CNT	Tx broadcast frame count
P1_RX_DROP_FULL_CNT	Rx frames dropped due to FIFO full
P1_RX_DROP_FLIT_CNT	Rx frames dropped due to filtering
P1_RX_IFG_ERR_CNT	Rx frames received with interframe gap (IFG) errors

受信ドロップFIFOフル・カウンタ

受信フレームの最初のバイトが適切な受信FIFOに書き込まれる前に、FIFOの空き容量がチェックされます。最低256バイトの空き容量がない場合、フレームはドロップされ、P1_RX_DROP_FULL_CNTカウンタがインクリメントします。FIFOに最低256バイトの空き容量がある場合、ロジックはそのフレームの受信FIFOへの書き込みを開始します。受信したフレームが256バイトを超え、受信FIFOがいっぱいの場合、フレームはドロップされ、P1_RX_DROP_FULL_CNTカウンタがインクリメントします。

フレーム受信および送信エラー

デフォルトでは、受信したエラー・フレームはすべてドロップされ、カウントされます。エラー・フレームを受信しても割込みは生成されません。代わりに、これらのフレームはドロップされてカウントされるため、ソフトウェアは統計カウンタをモニタする必要があります。

SRAM ECCエラー

フレームをFIFOに書き込む場合、フレームのサイズがフレームの前の16ビット・ワードに挿入され、FIFOに書き込まれます。5ビットの誤り訂正符号（ECC）がサイズ・フィールドと並んで配置されます。

この場所がスタティック・ランダム・アクセス・メモリ（SRAM）から読み出されると、ECCがチェックされます。ダブル・ビット・エラーが検出された場合、STATUS1レジスタのRX_ECC_ERRビットまたはTX_ECC_ERRビットがアサートされます。受信FIFOからフレーム・ヘッダを読み出す際にダブル・ビット・エラーが検出された場合、そのフレームは送信されません。

MAC SPI

ECCエラーに応答して、FIFOは自動的にクリアされます。FIFOの全フレームが失われ、送信は停止し、送信されたフレームには不良CRCが付加されます。次に受信されたフレームがFIFOに書き込まれます。

レジスタ

SPIレジスタの詳細

表38. SPIレジスタマップ

Address	Name	Description	Reset	Access
0x00	IDVER	Identification Version Register.	0x00000010	R
0x01	PHYID	PHY Identification Register.	0x0283BC91	R
0x02	CAPABILITY	Supported Capabilities Register.	0x000006C3	R
0x03	RESET	Reset Control and Status Register.	0x00000000	W
0x04	CONFIG0	Configuration Register 0.	0x00000006	R/W
0x06	CONFIG2	Configuration Register 2.	0x00000800	R/W
0x08	STATUS0	Status Register 0.	0x00000040	R/W
0x09	STATUS1	Status Register 1.	0x00000000	R/W
0x0B	BUFSTS	Buffer Status Register.	0x00007700	R
0x0C	IMASK0	Interrupt Mask Register 0.	0x00001FBF	R/W
0x0D	IMASK1	Mask Bits for Driving the Interrupt Pin Register.	0x43FA1F1A	R/W
0x10	TTSCAH	Transmit Time Stamp Capture Register A (High).	0x00000000	R
0x11	TTSCAL	Transmit Time Stamp Capture Register A (Low).	0x00000000	R
0x12	TTSCBH	Transmit Time Stamp Capture Register B (High).	0x00000000	R
0x13	TTSCBL	Transmit Time Stamp Capture Register B (Low).	0x00000000	R
0x14	TTSCCH	Transmit Time Stamp Capture Register C (High).	0x00000000	R
0x15	TTSCCL	Transmit Time Stamp Capture Register C (Low).	0x00000000	R
0x20 to 0x27 by 1	MDIOACCn	MDIO Access Registers.	0x8C000000	R/W
0x30	TX_FSIZE	MAC Tx Frame Size Register.	0x00000000	R/W
0x31	TX	MAC Transmit Register.	0x00000000	W
0x32	TX_SPACE	Tx FIFO Space Register.	0x00000FFF	R
0x34	TX_THRESH	Transmit Threshold Register.	0x00000041	R/W
0x36	FIFO_CLR	MAC FIFO Clear Register.	0x00000000	W
0x37 to 0x3A by 1	SCRATCHn	Scratch Registers.	0x00000000	R/W
0x3B	MAC_RST_STATUS	MAC Reset Status.	0x00000003	R
0x3C	SOFT_RST	Software Reset Register.	0x00000000	W
0x3D	SPI_INJ_ERR	Inject an Error on MISO from the DUT.	0x00000000	R/W
0x3E	FIFO_SIZE	FIFO Sizes Register.	0x00000464	R/W
0x3F	TFC	Tx FIFO Frame Count Register.	0x00000000	R
0x40	TXSIZE	Tx FIFO Valid Half Words Register.	0x00000000	R
0x41	HTX_OVF_FRM_CNT	Host Tx Frames Dropped Due to FIFO Overflow.	0x00000000	R
0x42	MECC_ERR_ADDR	Address of a Detected ECC Error in Memory.	0x00000000	R
0x43 to 0x49 by 1	CECC_ERRn	Corrected ECC Error Counters.	0x00000000	R
0x50 to 0x6E by 2	ADDR_FILT_UPRn	MAC Address Rule and DA Filter Upper 16 Bits Registers.	0x00000000	R/W
0x51 to 0x6F by 2	ADDR_FILT_LWRn	MAC Address DA Filter Lower 32 Bits Registers.	0x00000000	R/W
0x70 to 0x72 by 2	ADDR_MSK_UPRn	Upper 16 Bits of the MAC Address Mask.	0x0000FFFF	R/W
0x71 to 0x73 by 2	ADDR_MSK_LWRn	Lower 32 Bits of the MAC Address Mask.	0xFFFFFFFF	R/W
0x80	TS_ADDEND	Time Stamp Accumulator Addend Register.	0x85555555	R/W
0x81	TS_1SEC_CMP	Timer Update Compare Register.	0x3B9ACA00	R/W
0x82	TS_SEC_CNT	Seconds Counter Register.	0x00000000	R/W
0x83	TS_NS_CNT	Nanoseconds Counter Register.	0x00000000	R/W
0x84	TS_CFG	Timer Configuration Register.	0x00000000	R/W
0x85	TS_TIMER_HI	High Period for TS_TIMER Register.	0x00000000	R/W
0x86	TS_TIMER_LO	Low Period for TS_TIMER Register.	0x00000000	R/W
0x87	TS_TIMER_QE_CORR	Quantization Error Correction Register.	0x00000000	R/W

レジスタ

表38. SPIレジスタマップ（続き）

Address	Name	Description	Reset	Access
0x88	TS_TIMER_START	TS_TIMER Counter Start Time Register.	0x00000000	R/W
0x89	TS_EXT_CAPT0	TS_CAPT Pin 0 Time Stamp Register.	0x00000000	R
0x8A	TS_EXT_CAPT1	TS_CAPT Pin 1 Time Stamp Register.	0x00000000	R
0x8B	TS_FREECNT_CAPT	TS_CAPT Free Running Counter Register.	0x00000000	R
0x90	P1_RX_FSIZE	P1 MAC Rx Frame Size Register.	0x00000000	R
0x91	P1_RX	P1 MAC Receive Register.	0x00000000	R
0xA0	P1_RX_FRM_CNT	P1 Rx Frame Count Register.	0x00000000	R
0xA1	P1_RX_BCAST_CNT	P1 Rx Broadcast Frame Count Register.	0x00000000	R
0xA2	P1_RX_MCAST_CNT	P1 Rx Multicast Frame Count Register.	0x00000000	R
0xA3	P1_RX_UCAST_CNT	P1 Rx Unicast Frame Count Register.	0x00000000	R
0xA4	P1_RX_CRC_ERR_CNT	P1 Rx CRC Errored Frame Count Register.	0x00000000	R
0xA5	P1_RX_ALGN_ERR_CNT	P1 Rx Align Error Count Register.	0x00000000	R
0xA6	P1_RX_LS_ERR_CNT	P1 Rx Long/Short Frame Error Count Register.	0x00000000	R
0xA7	P1_RX_PHY_ERR_CNT	P1 Rx PHY Error Count Register.	0x00000000	R
0xA8	P1_TX_FRM_CNT	P1 Tx Frame Count Register.	0x00000000	R
0xA9	P1_TX_BCAST_CNT	P1 Tx Broadcast Frame Count Register.	0x00000000	R
0xAA	P1_TX_MCAST_CNT	P1 Tx Multicast Frame Count Register.	0x00000000	R
0xAB	P1_TX_UCAST_CNT	P1 Tx Unicast Frame Count Register.	0x00000000	R
0xAC	P1_RX_DROP_FULL_CNT	P1 Rx Frames Dropped Due to FIFO Full Register.	0x00000000	R
0xAD	P1_RX_DROP_FILT_CNT	P1 Rx Frames Dropped Due to Filtering Register.	0x00000000	R
0xAE	P1_RX_IFG_ERR_CNT	Frame Received on Port 1 with IFG Errors.	0x00000000	R
0xB0	P1_TX_IFG	P1 Transmit Inter Frame Gap Register.	0x0000000B	R/W
0xB3	P1_LOOP	P1 MAC Loopback Enable Register.	0x00000000	R/W
0xB4	P1_RX_CRC_EN	P1 CRC Check Enable on Receive Register.	0x00000001	R/W
0xB5	P1_RX_IFG	P1 Receive Inter Frame Gap Register.	0x0000000A	R/W
0xB6	P1_RX_MAX_LEN	P1 Max Receive Frame Length Register.	0x00000618	R/W
0xB7	P1_RX_MIN_LEN	P1 Min Receive Frame Length Register.	0x00000040	R/W
0xB8	P1_LO_RFC	P1 Rx Low Priority FIFO Frame Count Register.	0x00000000	R
0xB9	P1_HI_RFC	P1 Rx High Priority FIFO Frame Count Register.	0x00000000	R
0xBA	P1_LO_RXSIZE	P1 Low Priority Rx FIFO Valid Half Words Register.	0x00000000	R
0xBB	P1_HI_RXSIZE	P1 High Priority Rx FIFO Valid Half Words Register.	0x00000000	R

識別バージョン・レジスタ

アドレス：0x00、リセット：0x00000010、レジスタ名：IDVER

表 39. IDVERのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:8]	RESERVED	予備。	0x0	R
[7:4]	MAJVER	OPEN Allianceのメジャー・バージョン。このデバイスでサポートするOPEN Allianceシリアル10BASE-T1x MAC-PHYインターフェース仕様のメジャー・バージョン識別子。	0x1	R
[3:0]	MINVER	OPEN Allianceのマイナー・バージョン。このデバイスでサポートするOPEN Allianceシリアル10BASE-T1x MAC-PHYインターフェース仕様のマイナー・バージョン識別子。	0x0	R

レジスタ

PHY識別レジスタ

アドレス：0x01、リセット：0x0283BC91、レジスタ名：PHYID

表 40. PHYIDのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:10]	OUI	組織固有識別子（ビット[23:2]）。OUIフィールドの22ビットはメーカーが割り当てた24ビット組織固有識別子（OUI）の22個の最上位ビットに対応します。OUIのビット2がPHYIDのビット31、OUIのビット23がPHYIDのビット10、というように、OUIはPHYIDレジスタに配列されます。	0xA0EF	R
[9:4]	MODEL	メーカーのモデル番号。メーカーのモデル番号は、デバイスを識別するのに使用されます。	0x9	R
[3:0]	REVISION	メーカーのリビジョン番号。メーカーの製品リビジョン番号は、デバイスのリビジョン・レベルを示すために使用されます。	0x1	R

サポート対象ケイパビリティ・レジスタ

アドレス：0x02、リセット：0x000006C3、レジスタ名：CAPABILITY

表 41. CAPABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:11]	RESERVED	予備。	0x0	R
10	TXFCSVC	送信フレーム・チェック・シーケンス検証ケイパビリティ。SPIホストによって追加されたFCSやSPIホストから受信したFCSを検証できることを示します。このビットがセットされている場合、MACは、SPIホストによってパディングとFCSが付加された送信フレームを受け入れ、受信したFCSを付けてSPIホストに受信フレームを送信するように設定されていることも示します。 0：送信FCS検証に対応していない。 1：送信FCS検証に対応している。	0x1	R
9	IPRAC	間接PHYレジスタ・アクセス・ケイパビリティ。SPIレジスタ・メモリ・スペース内でPHYレジスタが直接アクセス可能であるかどうかを示します。 0：PHYレジスタは間接アクセス可能ではない。 1：PHYレジスタは間接アクセス可能。	0x1	R
8	DPRAC	直接PHYレジスタ・アクセス・ケイパビリティ。SPIレジスタ・メモリ・スペース内でPHYレジスタが直接アクセス可能であるかどうかを示します。 0：PHYレジスタは直接アクセス可能ではない。 1：PHYレジスタは直接アクセス可能。	0x0	R
7	CTC	カット・スルー・ケイパビリティ。MAC-PHYデバイスがネットワークとの間でMAC-PHYを通じたフレームのカット・スルー転送に対応しているかどうかを示します。 0：カット・スルーに対応していない。 1：カット・スルーに対応している。	0x1	R
6	FTSC	フレーム・タイム・スタンプ・ケイパビリティ。フレーム・タイム・スタンプ・ケイパビリティ。MAC-PHYデバイスがネットワークとの間のフレームの送受信時に、IEEE 1588タイム・スタンプの取得に対応しているかどうかを示します。 1：フレームの送受信時のIEEE 1588タイム・スタンプの取得に対応している。 0：フレームの送受信時のIEEE 1588タイム・スタンプの取得に対応していない。	0x1	R
5	AIDC	アドレス・インクリメント・ディスエーブル・ケイパビリティ。MAC-PHYデバイスが、制御コマンド・ヘッダのAIDビットを使用した制御コマンド読出しおよび書込みにおける、レジスタ・アドレスの自動ポスト・インクリメントのディスエーブルに対応しているかどうかを示します。アドレス・インクリメントのディスエーブルには対応していません。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x0	R
4	SEQC	TXデータ・チャンク・シーケンスおよび再試行ケイパビリティ。MAC-PHYが、Txデータ・チャンク・ヘッダおよびTxデータ・チャンク再試行においてSPIホストが送信するSEQビットをモニタリングするかどうかを示します。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。 1：Txデータ・チャンク・シーケンスおよび再試行に対応している。 0：Txデータ・チャンク・シーケンスおよび再試行には対応していない。	0x0 R	4
3	RESERVED	予備。	0x0	R
[2:0]	MINCPS	最小サポート対象チャンク・ペイロード・サイズ（CPS）。CONFIG0レジスタのCPSフィールドに設定できる最小サイズのチャンク・ペイロードを示します。最小サポート対象チャンク・ペイロード・サイズは2 ^N です。ここで、Nはこれらのビットの値です。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x3	R

レジスタ

表 41. CAPABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
		110 : 最小サポート対象チャUNK・ペイロード・サイズは64バイトです。 101 : 最小サポート対象チャUNK・ペイロード・サイズは32バイトです。 100 : 最小サポート対象チャUNK・ペイロード・サイズは16バイトです。 011 : 最小サポート対象チャUNK・ペイロード・サイズは8バイトです。		

リセット制御およびステータス・レジスタ。

アドレス : 0x03、リセット : 0x00000000、レジスタ名 : RESET

表 42. RESETのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
0	SWRESET	ソフトウェア・リセット。MAC-PHYのソフトウェア・リセット。このビットに1を書き込むと、統合されたPHYを含めMAC-PHYが完全に初期状態にリセットされます。これには全ステート・マシンのリセットやレジスタのデフォルト値へのリセットも含まれますが、これに限定されません。このビットがセットされた場合、制御コマンド書込みが完了できるようCSがアサート解除されるまで、リセットは生じません。リセットが有効になるためには、CSが100ns以上アサートを保持する必要があります。このビットはセルフ・クリア・ビットです。	0x0	W

設定レジスタ0

アドレス : 0x04、リセット : 0x00000006、レジスタ名 : CONFIG0

表 43. CONFIG0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
15	SYNC	設定の同期。このビットの状態は、RxフッタSYNCビットに反映されます。このビットは、リセット時にデフォルトで0になります。SPIホストによって1が書き込まれると、0を書き込んでもこのビットはクリアされません。リセット後は直ちにSYNCビットが0にクリアされ、RESETCは1にセットされ、割込みピンがアサートされます。 0 : MAC-PHYがリセットされ、設定は行われない。 1 : MAC-PHYが設定される。	0x0	R/W1S
14	TXFCSVE	送信フレーム・チェック・シーケンス検証イネーブル。セットされた場合、受信した全イーサネット・フレームの最後の4オクテットが検証されます。このビットをセットする場合、CRC_APPENDは0でなくてはなりません。つまり、CRCを各送信フレームに付加するようMACを設定することはできません。	0x0	R/W
13	CSARFE	CSアライン受信フレーム・イネーブル。セットされた場合、すべての受信イーサネット・フレーム・データは、CSアサートに続く最初の受信チャUNK・ペイロードの先頭からのみ開始します。開始ワード・オフセット（SWO）は常に0です。このビットがクリアされると、受信フレームはどの受信チャUNK内からでも開始できます。Open Alliance SPIプロトコルにのみ適用されます。	0x0	R/W
12	ZARFE	ゼロ・アライン受信フレーム・イネーブル。セットされた場合、すべての受信イーサネット・フレーム・データは、SWOが0の受信チャUNK・ペイロードの先頭から開始するよう揃えられます。このビットがクリアされると、受信フレームは受信チャUNK・ペイロード内のどこからでも開始できます。Open Alliance SPIプロトコルにのみ適用されます。	0x0	R/W
[11:10]	TXCTHRESH	送信クレジット閾値。このフィールドは、IRQnがアサートされる前に書き込まなくてはならない空きバッファの送信クレジット（TXC）数を設定します。00 : 1クレジット以上（デフォルト）、01 : 4クレジット以上、10 : 8クレジット以上、11 : 16クレジット以上です。Open Alliance SPIプロトコルにのみ適用されます。 00 : ≥ 1クレジット。 01 : ≥ 4クレジット。 10 : ≥ 8クレジット。 11 : ≥ 16クレジット。	0x0	R/W
9	TXCTE	送信カット・スルー・イネーブル。このビットは、MAC-PHYデバイスを通じたSPIホストからネットワークへのフレーム転送のカット・スルー・モードをイネーブルします。Txのカット・スルーがイネーブルされている場合、ホストは、データが10Mbpsを上回る速度でデバイスに供給され、フレーム送信がアンダー・ランにならないようにする必要があります。	0x0	R/W

レジスタ

表 43. CONFIG0のビットの説明

ビット	ビット名	説明	リセット	アクセス
8	RXCTE	受信カット・スルー・イネーブル。このビットは、MAC-PHYデバイスを通じたネットワークからSPIホストへのフレーム転送のカット・スルー・モードをイネーブルします。カット・スルー・モードは、フレーム受信がイネーブルされる前のデバイス設定でイネーブルされる必要があります。つまり、P1_FWD_UNK2HOSTをセットする前か、ADDR_FILT_xレジスタに書き込みを行う前に、カット・スルーをイネーブルします。汎用SPIプロトコルの使用時にはRXCTEを0にする必要があります。	0x0	R/W
7	FTSE	フレーム・タイム・スタンプ・イネーブル。このビットによって、IEEE 1588の送受信のフレーム・タイム・スタンプがイネーブルされます。 0：フレーム送受信タイム・スタンプはディスエーブル。 1：フレーム送受信タイム・スタンプはイネーブル。	0x0	R/W
6	FTSS	受信フレーム・タイム・スタンプ・セレクト。このMAC-PHYデバイスが対応しておりFTSE = 1によってイネーブルされている場合、このビットは受信フレームに付加されるタイム・スタンプのサイズとフォーマットを設定し、送信フレームのリクエスト時に取得します。 0：32ビットのタイム・スタンプ。 1：64ビットのタイム・スタンプ。	0x0	R/W
5	PROTE	制御データ読書き保護をイネーブル。このビットがセットされOPEN Alliance SPIプロトコルが使用される場合、MAC-PHYとの間で読書きされる全制御データはその補数と共に転送されてビット・エラー検出が行われます。このビットがセットされ汎用SPIプロトコルが使用される場合、CRC8がSDIIに供給される必要があります、SDOでの読出しデータはCRC8を供給する必要があります。このビットに書き込みを行うことはできません。値はパワーアップ時にピン検出を通じてセットされます。	0x0	R
4	SEQE	Txデータ・チャンク・シーケンスおよび再試行をイネーブル。このMAC-PHYデバイスが対応している場合、このビットは、SPIホストによってTxデータ・チャンク・ヘッダに送信されるSEQビットのMAC-PHYモニタリングと、Txデータ・チャンク再試行をイネーブルします。0：Txデータ・チャンク・シーケンスおよび再試行への対応がディスエーブル。MAC-PHYはTxヘッダのSEQビットを無視します。1：Txデータ・チャンク・シーケンスおよび再試行への対応がイネーブル。MAC-PHYはTxヘッダのSEQビットをモニタし、SEQビットに変更がない場合、Txデータ・チャンクの再書き込みを可能にします。 サポートされていません。Open Alliance SPIプロトコルにのみ適用されます。	0x0	R/W
3	RESERVED	予備。	0x0	R
[2:0]	CPS	チャンク・ペイロード・セクタ (N)。チャンク・ペイロードのサイズは2^Nです。Nの最小値は3、最大値は6です。デフォルトは64バイトです。このフィールドは、ホストからのフレーム転送が開始される前、およびRx FIFOへのフレーム受信が可能となる前のデバイス設定時に設定する必要があります。このフィールドは、ホストからのフレーム送信中、または受信フレームのホストへの送信中には変更できません。設定同期 (SYNC) ビットをセットすると、MAC-PHYをリセットせずにチャンク・ペイロード・サイズを変更することはできません。このMAC-PHYデバイスの最小サポート対象チャンク・ペイロード・サイズは、CAPABILITYレジスタのCPSPMINフィールドに示されています。Open Alliance SPIプロトコルにのみ適用されます。 011：チャンク・サイズは8バイトです。 100：チャンク・サイズは16バイトです。 101：チャンク・サイズは32バイトです。 110：チャンク・サイズは64バイトです。	0x6	R/W

設定レジスタ2

アドレス：0x06、リセット：0x00000800、レジスタ名：CONFIG2

ベンダ固有のものです。

表 44. CONFIG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予備。	0x4	R
8	TX_RDY_ON_EMPTY	Tx FIFOが空の場合にTX_RDYをアサートします。デフォルトでは、フレーム送信時にTX_RDYがアサートされます。このビットがセットされていると、Tx FIFOが空の場合にTX_RDYがアサートされます。このフィールドは、汎用SPIプロトコルでのみ使用されます。	0x0	R/W
7	SFD_DETECT_SRC	SFDを、PHYとMACのどちらで検出するかを定めます。 0：PHYからのSFDを選択。このオプションでは、SFDが、1588のタイマー・ロジック	0x0	R/W

レジスタ

表 44. CONFIG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
		クで使用されているものと同じ120MHzクロック・ドメインで検出されるため、ジッタが最小となります。 1：MACからのSFDを選択。MACからのSFDは25MHzクロック・ドメインから生じるため、SFD検出時にジッタが増加します。		
6	STATS_CLR_ON_RD	読出し時の統計クリア。このフィールドは、以下のレジスタ／カウンタが読出し時にクリアされるかどうかを決定します。 P1_RX_FRM_CNT、P1_RX_BCAST_CNT、P1_RX_MCAST_CNT、 P1_RX_UCAST_CNT、P1_RX_CRC_ERR_CNT、P1_RX_ALGN_ERR_CNT、 P1_RX_LS_ERR_CNT、P1_RX_PHY_ERR_CNT、P1_TX_FRM_CNT、 P1_TX_BCAST_CNT、P1_TX_MCAST_CNT、P1_TX_UCAST_CNT、 P1_RX_DROP_FULL_CNT、P1_RX_DROP_FILT_CNT、P1_RX_IFG_ERR_CNT、 CECC_ERRn 0：統計カウンタは読出し時にクリアされません。カウンタは最大値に達すると、0x0にロールオーバーします。 1：統計カウンタは読出し時にクリアされます。カウンタは最大値に達すると、読み出されるまで最大値を保持します。汎用SPIプロトコルを使用している場合、ステータス・カウンタは、すべてのカウンタが正しいシーケンスで確実にクリアされるよう、1回のSPIトランザクションでバースト読み出しされる必要があります。汎用SPIプロトコルが使用されている場合、1つのSPIレジスタ／カウンタが読み出されると、これがクリアされ、次のカウンタ（アドレス位置）もクリアされます。	0x0	R/W
5	CRC_APPEND	CRC付加のイネーブル。MAC Tx経路にCRCの付加をイネーブルします。CRC付加のイネーブル（1）またはディスエーブル（0）はMACにより行われます。 このフィールドが0に設定されている場合、MACは、ホストが末尾に有効なCRCヘッダを持つフレームを提供していることを前提とします。ホストには、常にフレームにCRC32が付加されるようにすることを推奨します。これによりSPIを介して送信フレームのエラー検出が行われるためです。CRC32は、フレーム送信時にチェックされます。エラーが検出されると、TXFCSEがアサートされます。同様に、受信時には、CRC32がフレームと共にホストに転送され、ホストはこれが正しいものであることを検証します。	0x0	R/W
4	P1_RCV_IFG_ERR_FRM	ポート1（P1）でIFGエラー付きフレームを承認。イネーブルの場合、MACはポート1でIFGエラー付きフレームを承認します。ポート1の最小IFG条件を満たさないフレームの受け取りをイネーブルします。	0x0	R/W
3	RESERVED	予備。	0x0	R/W
2	P1_FWD_UNK2HOST	どのMACアドレスにも一致しないフレームをホストに転送。未知のフレームを転送するためのデフォルト・ルールを定めます。宛先アドレスがわからないフレームは低優先度FIFOに置かれます。	0x0	R/W
[1:0]	MSPEED	SPIからMDIOへのブリッジのMDCクロック速度。 00：2.5MHz 01：4.166MHz	0x0	R/W

ステータス・レジスタ0

アドレス：0x08、リセット：0x00000040、レジスタ名：STATUS0

表 45. STATUS0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予備。	0x0	R
12	CDPE	制御データ保護エラー。制御データの読書き保護がイネーブルの場合、このビットは、MAC-PHYがホストからの保護された制御書込みデータにエラーを検出したことを示します。使用しない場合には、このビットには0の読出し専用値を予約する必要があります。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x0	R/W1C
11	TXFCSE	送信フレーム・チェック・シーケンス・エラー。このビットは、無効なFCSが付加されたフレームが、ホストからSPIを介して受信されたことを示します。それでも、フレームが送信されているときにFCSがチェックされるため、フレームはデバイスから転送されます。	0x0	R/W1C
10	TTSCAC	送信タイム・スタンプ取得可能C。	0x0	R/W1C
9	TTSCAB	送信タイム・スタンプ取得可能B。	0x0	R/W1C
8	TTSCAA	送信タイム・スタンプ取得可能A。	0x0	R/W1C

レジスタ

表 45. STATUS0のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	PHYINT	ポート1のPHY割込み。ホストのソフトウェアは、MDIO割込みステータス・レジスタ（PhySubsysIrqStatusまたはCrsmIrqStatus）を読み出して、割込みのソースを判別する必要があります。パワーオン・リセットまたはピン・リセットを終了する場合、このビットがアサートされますが、デフォルトでは、このフィールドは割込みのアサートからはマスクされています。	0x0	R
6	RESETC	リセット完了。MAC-PHYリセットが完了し設定の準備ができると、このビットがセットされます。これがセットされると、IRQnにマスク不能の割込みアサートを生成してSPIホストにアラートを発します。また、RESETCビットがセットされると、SPIホストが1を書き込んでこのビットがクリアされるまで、あるいはこのビットがマスクされるまで、すべてのRxフッタにEXST = 1が設定されます。	0x1	R/W1C
5	HDRE	ヘッダ・エラー。このビットがセットされている場合、MAC-PHYがSPIホストから受信した無効なヘッダを検出したことを示します。無効なヘッダの原因はパリティ・チェック・エラーです。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x0	R/W1C
4	LOFE	フレーム喪失エラー。このビットがセットされている場合、MAC-PHYが、データ・チャンクまたはコマンド制御トランザクションの予定されている終了より前に、CSの早期アサート解除を検出したことを示します。このビットはCDPEがアサートされた場合も、アサートされます。	0x0	R/W1C
3	RXBOE	受信バッファ・オーバーフロー・エラー。このビットがセットされている場合、（ネットワークからの）受信バッファがオーバーフローし、受信フレーム・データが失われたことを示しています。	0x0	R/W1C
2	TXBUE	ホストTx FIFOアンダー・ラン・エラー。このエラーは、ホストからのカット・スルーがイネーブルされている場合にのみアサートされます。ホストのソフトウェアは、10Mbpsより速いレートでMACにフレーム・データを書き込むことによって、このビットがアサートされないようにする必要があります。アンダー・ラン・エラーが発生した場合、そのとき行われているパケットの送信は停止します。	0x0	R/W1C
1	TXBOE	ホストTx FIFOオーバーフロー。ホストのソフトウェアは、Tx FIFOに書き込む前にTx FIFO内の使用可能な空き容量をチェックすることで、このビットがアサートされないようにする必要があります。OPEN Alliance SPIデータ・プロトコルを使用している場合は、Tx FIFOの空き容量がRxフッタのTxCフィールドに示されます。汎用SPIプロトコルを使用している場合は、TX_SPACEレジスタがTx FIFOの残り容量を示します。ホストのTx FIFOがオーバーフローした場合、書き込まれているフレームが廃棄され、ソフトウェアは全フレームを再送信することを選択できます。FIFOへの書込みは次のSOFで開始します。サイズが4kB（またはそれ以上）であるため、ホストのTx FIFOには複数フレームの余地が常にあります。そのため、その時点で送信されているフレームは、FIFOの書込みサイドでオーバーフローの割込みを受けることはありません。	0x0	R/W1C
0	TXPE	送信プロトコル・エラー。このビットがセットされている場合、Txデータ・チャンク・プロトコル・エラーが発生したことを示しています。DV = 1で先行のSV = 1がない状態でデータ・チャンクを受信。SV = 1でEV = 1がない（SV = 1を繰り返し受信）状態でデータ・チャンクを受信。汎用SPIプロトコルを使用している場合、このビットは、直前のフレームが完全には書き込まれていないことを示します。TX_FSIZEレジスタへの書込みは検出されますが、MACは、TX_FSIZEレジスタに書き込まれた以前のフレーム・サイズに関連してTxレジスタに更に書込みがあるものと推定します。	0x0	R/W1C

ステータス・レジスタ1

アドレス：0x09、リセット：0x00000000、レジスタ名：STATUS1

表 46. STATUS1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予備。	0x0	R/W1C
12	TX_ECC_ERR ECC	Tx FIFOからフレーム・サイズを読み出したときのECCエラー。Tx FIFOからのサイズ・フィールドの読み出し時に、訂正不能のECCエラーが検出されました。FIFOは自動的にクリアされ、このECCエラーに関連するフレームおよびTx FIFO内のその他のフレームは消去されるかドロップされます。	0x0	R/W1C
11	RX_ECC_ERR	Rx FIFOからフレーム・サイズを読み出したときのECCエラー。Rx FIFOからのフレーム・サイズ・フィールドの読み出し時に、訂正不能のECCエラーが検出されました。FIFOは自動的にクリアされ、このECCエラーに関連するフレームおよびRx FIFO内のその他のフレームの消去やドロップは行われません。	0x0	R/W1C
10	SPI_ERR	SPIトランザクションでエラーが検出されました。汎用SPIプロトコルを使用している場合、このフィールドはCRCエラーが検出されたことを示します。このフィールドは、OPEN Alliance プロトコルでは使用されません。OPEN Alliance SPIエラーについては、 ステータス・レジスタ0 のHDREおよびCDPEを参照してください。	0x0	R/W1C
9	RESERVED	予備。	0x0	R/W1C

レジスタ

表 46. STATUS1のビットの説明

ビット	ビット名	説明	リセット	アクセス
8	P1_RX_IFG_ERR	Rx MACフレーム間ギャップ・エラー。フレーム間ギャップ (IFG) が短すぎる場合、フレームは受信時にドロップされます。受信時にIFGを測定するために使用される閾値は、P1_RX_IFGレジスタで設定できます。	0x0	R/W1C
[7:6]	RESERVED	予備。	0x0	R
5	P1_RX_RDY_HI	ポート1のRxレディ高優先度。使用可能な高優先度フレームがあることを示します。このフィールドは割り込みピンを駆動しません。このフィールドは、LES (Low complexity Ethernet Switch) の汎用SPIプロトコルでのみ使用されます。	0x0	R
4	P1_RX_RDY	ポート1のRx FIFOにデータが格納されています。ストア・アンド・フォワード・モードでは、このフィールドは、ポート1のRx FIFOに少なくとも1つのフレームがあることを示します。カット・スルー・モードでは、このフィールドは受信閾値 (RX_THRESH) に達したこと、または、フレームのEOFバイトが受信されたことを示します。デフォルトでは、Rx高優先度FIFOとRx低優先度FIFOの両方にフレームがある場合、高優先度FIFOからのフレームが最初に読み出されます。このフィールドは、汎用SPIプロトコルでのみ使用されます。	0x0	R
3	TX_RDY	Txレディ。TX_RDY_ON_EMPTYが0の場合、TX_RDYは、フレーム送信が完了したときにアサートされます。TX_RDY_ON_EMPTYが1の場合、TX_RDYは、Tx FIFOが空で、フレーム送信が完了したときにアサートされます。このビットは、このフィールドに1を書き込むことでクリアされます。このフィールドは、汎用SPIプロトコルでのみ使用されます。	0x0	R/W1C
2	RESERVED	予備。	0x0	R
1	LINK_CHANGE	リンク・ステータスの変化。ポート1でリンク・ステータスの変化したことを示します。	0x0	R/W1C
0	P1_LINK_STATUS	ポート1のリンク・ステータス。このビットは、割り込みイベントを発生しません。 0：リンクはダウン状態。 1：リンクはアップ状態。	0x0	R

バッファ・ステータス・レジスタ

アドレス：0x0B、リセット：0x00007700、レジスタ名：BUFSTS

表 47. BUFSTSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	Reserved.	0x0	R
[15:8]	TXC	使用可能な送信クレジット。現在SPIホストが書き込みに使用できる送信データのチャンク・バッファ数。このフィールドを読み出すと、SPIホストは、必要に応じて、使用可能な送信チャンクの数単一のDMAの待ち行列に加えることができます。このフィールドの値は31で飽和し、全RXデータ・フッタの5ビットTXCフィールドに送信されます。使用可能な送信バッファ・クレジットのデフォルト (最大) 数は、実装ごとに固有です。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x77	R
[7:0]	RCA	使用可能な受信チャンク。現在SPIホストが読出しに使用できる受信データのチャンク数。このフィールドを読み出すと、SPIホストは、必要に応じて、使用可能な受信チャンクの数単一のDMAの待ち行列に加えることができます。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x0	R

割り込みマスク・レジスタ0

アドレス：0x0C、リセット：0x00001FBF、レジスタ名：IMASK0

表 48. IMASK0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予備。	0x0	R
12	CDPEM	制御データ保護エラー・マスク。このビットを1にセットすると、STATUS0の制御データ保護エラー・ステータス・ビットがフッタのEXSTビットをアサートできないようになります。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x1	R/W
11	TXFCSEM	送信フレーム・チェック・シーケンス・エラー・マスク。このビットを1にセットすると、STATUS0の送信フレーム・チェック・シーケンス・エラー・ステータス・ビットが割り込みピンをアサートできないようになります。	0x1	R/W
10	TTSCACM	送信タイム・スタンプ取得可能Cマスク。このビットを1にセットすると、STATUS0の送信タイム・スタンプ取得可能Cのステータス・ビットがフッタのEXSTビットをアサートできないようになります。	0x1	R/W
9	TTSCABM	送信タイム・スタンプ取得可能Bマスク。このビットを1にセットすると、STATUS0の送信タイム・スタ	0x1	R/W

レジスタ

表 48. IMASK0のビットの説明

ビット	ビット名	説明	リセット	アクセス
		ンブ取得可能Bのステータス・ビットがフッタのEXSTビットをアサートできないようになります。		
8	TTSCAAM	送信タイム・スタンプ取得可能Aマスク。このビットを1にセットすると、STATUS0の送信タイム・スタンプ取得可能Aのステータス・ビットがフッタのEXSTビットをアサートできないようになります。	0x1	R/W
7	PHYINTM	物理層割込みマスク。このビットを1にセットすると、STATUS0の物理層割込み（PHYINT）ステータス・ビットがフッタのEXSTビットをアサートできないようになります。	0x1	R/W
6	RESETCM	RESET完了マスク。このビットは、リセット完了（RESETC）ステータス・ビットのマスクとして予約済みです。このビットは読み出し専用で、常にゼロです。RESETCステータス・ビットは、RESETCがセットされている場合にIRQnを常にアサートする、マスク不能割込みであるためです。	0x0	R
5	HDREM	ヘッダ・エラー・マスク。このビットを1にセットすると、STATUS0のヘッダ・エラー（HDRE）ステータス・ビットがフッタのEXSTビットをアサートできないようになります。このフィールドは、OPEN Alliance SPIプロトコルでのみ使用されます。	0x1	R/W
4	LOFEM	フレーム喪失エラー・マスク。このビットを1にセットすると、STATUS0のフレーム喪失エラー（LOFE）ステータス・ビットがフッタのEXSTビットをアサートできないようになります。	0x1	R/W
3	RXBOEM	受信バッファ・オーバーフロー・エラー・マスク。このビットを1にセットすると、STATUS0の受信バッファ・オーバーフロー・エラー（RXBOE）ステータス・ビットがフッタのEXSTビットをアサートできないようになります。	0x1	R/W
2	TXBUEM	送信バッファ・アンダーフロー・エラー・マスク。このビットを1にセットすると、STATUS0の送信バッファ・アンダーフロー・エラー（TXBUE）ステータス・ビットがフッタのEXSTビットをアサートできないようになります。	0x1	R/W
1	TXBOEM	送信バッファ・オーバーフロー・エラー・マスク。このビットを1にセットすると、STATUS0の送信バッファ・オーバーフロー・エラー（TXBOE）ステータス・ビットがフッタのEXSTビットをアサートできないようになります。	0x1	R/W
0	TXPEM	送信プロトコル・エラー・マスク。このビットを1にセットすると、STATUS0の送信プロトコル・エラー（TXPE）ステータス・ビットがIRQnをアサートできないようになります。	0x1	R/W

割込みピン駆動用マスク・ビット・レジスタ。

アドレス：0x0D、リセット：0x43FA1F1A、レジスタ名：IMASK1

表 49. IMASK1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予備。	0x21FD0	R
12	TX_ECC_ERR_MASK	TXF_ECC_ERRのマスク・ビット。	0x1	R/W
11	RX_ECC_ERR_MASK	RXF_ECC_ERRのマスク・ビット。	0x1	R/W
10	SPI_ERR_MASK	SPI_ERRのマスク・ビット。このフィールドは、汎用SPIプロトコルでのみ使用されます。	0x1	R/W
9	RESERVED	予備。	0x1	R/W
8	P1_RX_IFG_ERR_MASK	RX_IFG_ERRのマスク・ビット。	0x1	R/W
[7:5]	RESERVED	予備。	0x0	R
4	P1_RX_RDY_MASK	P1_RX_RDYのマスク・ビット。このフィールドは、汎用SPIプロトコルでのみ使用されます。	0x1	R/W
3	TX_RDY_MASK	TX_FRM_DONEのマスク・ビット。このフィールドは、汎用SPIプロトコルでのみ使用されます。	0x1	R/W
2	RESERVED	予備。	0x0	R
1	LINK_CHANGE_MASK	LINK_CHANGEのマスク・ビット。	0x1	R/W
0	RESERVED	予備。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタA（ハイ）

アドレス：0x10、リセット：0x00000000、レジスタ名：TTSCAH

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの上位32ビットです。

表 50. TTSCAHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCH_A	送信タイム・スタンプAのビット [63:32]。	0x0	R

レジスタ

送信タイム・スタンプ・キャプチャ・レジスタA（ロー）。

アドレス：0x11、リセット：0x00000000、レジスタ名：TTSCAL

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの下位32ビットです。

表 51. TTSCALのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCAL_A	送信タイム・スタンプAのビット [31:0]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタB（ハイ）

アドレス：0x12、リセット：0x00000000、レジスタ名：TTSCBH

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの上位32ビットです。

表 52. TTSCBHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCBH_B	送信タイム・スタンプBのビット [63:32]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタB（ロー）。

アドレス：0x13、リセット：0x00000000、レジスタ名：TTSCBL

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの下位32ビットです。

表 53. TTSCBLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCBL_B	送信タイム・スタンプBのビット [31:0]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタC（ハイ）

アドレス：0x14、リセット：0x00000000、レジスタ名：TTSCCH

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの上位32ビットです。

表 54. TTSCCHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCCH_C	送信タイム・スタンプCのビット[63:32]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタC（ロー）。

アドレス：0x15、リセット：0x00000000、レジスタ名：TTSCCL

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの下位32ビットです。

表 55. TTSCCLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCCL_C	送信タイム・スタンプCのビット[31:0]。	0x0	R

MDIOアクセス・レジスタ

アドレス：0x20～0x27（インクリメントは1）、リセット：0x8C000000、レジスタ名：MDIOACCn

このレジスタを使用すると、SPIからMDIOへのブリッジを介してPHYレジスタにアクセスできます。

レジスタ

表 56. MDIOACCnのビットの説明

ビット	ビット名	説明	リセット	アクセス
31	MDIO_TRDONE	トランザクション完了。MDIOトランザクションを開始するためには、SPIホストによってこのビットに0を書き込む必要があります。MDIOトランザクションが終了すると、このビットはMAC-PHYによって1にセットされます。	0x1	R/W
30	MDIO_TAERR	ターンアラウンド・エラー。MDIOトランザクション中にターンアラウンド・エラーが発生すると、MAC-PHYによってこのビットが1にセットされます。これが発生した場合、読出し動作および読出し後アドレス・インクリメント（read-post-increment-address）動作のデータ・フィールドの内容は無視されます。	0x0	R
[29:28]	MDIO_ST	フレームの開始。このフィールドでは、条項45と条項22のMDIOアクセスの選択を行います。 01：条項22 00：条項45	0x0	R/W
[27:26]	MDIO_OP	動作コード。 00：MDアドレス・コマンド。 01：書き込みコマンド。 11：読出しコマンド。 10：インクリメンタル読出しコマンド。	0x3	R/W
[25:21]	MDIO_PRTAD	MDIOポート・アドレス。これは、ターゲット・ポート（PHY）のアドレスです。これは、条項45ではポートアドレス（PRTAD）と呼ばれ、条項22ではPHYアドレス（PHYAD）と呼ばれます。	0x0	R/W
[20:16]	MDIO_DEVAD MDIO	MDIOデバイス・アドレスClause 45を使用する場合は、これはデバイスのアドレスです。Clause 22を使用する場合は、これはレジスタのアドレスです。	0x0	R/W
[15:0]	MDIO_DATA	データ/アドレスの値。書き込み動作（条項45または条項22）では、SPIホストはこれを16ビット値に設定して書き込む必要があります。アドレス動作（条項45）では、SPIホストはこれを16ビットのレジスタ・アドレス値に設定する必要があります。読出し動作（条項45または条項22）の場合、または、読出し後アドレス・インクリメント動作（条項45）の場合では、SPIホストはこの値を0にセットする必要があります。（TRDONEで指示されている）MDIOトランザクションの完了時、MAC-PHYはこれを16ビット値の読出しに設定します。	[15:0]	MDIO_DATA

MAC Txフレーム・サイズ・レジスタ。

アドレス：0x30、リセット：0x00000000、レジスタ名：TX_FSIZE

表 57. TX_FSIZEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:11]	RESERVED	予備。	0x0	R
[10:0]	TX_FRM_SIZE	送信フレーム・サイズ。このフィールドは、汎用SPIプロトコルの使用時に、送信FIFOに書き込まれるフレームのサイズをバイト単位で示します。サイズには2バイトのフレーム・ヘッダが含まれる必要があります。これは、Tx FIFOのSPI側で使用され、フル・フレームが書き込まれるタイミングを決定します。フル・フレームのバイト数に達したら、MAC_TXF_SIZEに再度書き込みが行われるまで、以降のMAC_TXレジスタへの書き込みは無視されます。このフィールドは、汎用SPIプロトコルでのみ使用されます。	0x0	R/W

MAC送信レジスタ

アドレス：0x31、リセット：0x00000000、レジスタ名：TX

送信FIFOはこのレジスタを介して書き込まれます。

表 58. TXのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TDR	送信データ・レジスタ。このレジスタに書き込みを行うと、ホストのTx FIFOに4バイトが加わります。フレームの最終ワードに含まれるのは、4バイト未満のデータのみであることに注意してください。ハードウェアはMAC_TXF_SIZEを使用して、フレームの最後のSPI書き込みで有効な1バイト、2バイト、3バイト、または4バイトがあるかどうかを判別します。汎用SPIプロトコルでのみ使用されます。	0x0	W

レジスタ

Tx FIFOスペース・レジスタ

アドレス：0x32、リセット：0x00000FFF、レジスタ名：TX_SPACE

表 59. TX_SPACEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0 R	
[13:0]	TX_SPACE	使用可能な送信FIFOスペース（ハーフ・ワード(16ビット)単位）。これはホストのソフトウェアで使用され、Tx FIFOにフレームのスペースがあるかどうかを判別します。ソフトウェアは2フレームを送信待ち行列に加え、TX_RDY割込みを待ちます。あるいは、Tx FIFOを複数のフレームで満たし、TX_SPACEを使用して次のフレームのための空き容量があるかどうかを判別します。フレーム・サイズとヘッダを格納するには、ホストのTX FIFOにフレームあたり2ワード分の容量を追加する必要があります。例えば、TX_SPACEが64の場合、書き込める最大フレーム・サイズは、(64 - 2) × 2バイト = 124 バイトとなります。汎用SPIプロトコルでのみ使用されます。	0xFFFF	R

送信閾値レジスタ

アドレス：0x34、リセット：0x00000041、レジスタ名：TX_THRESH

表 60. TX_THRESHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予備。	0x1	R
[5:0]	HOST_TX_THRESH	カット・スルーでのホスト送信開始閾値。Txのカット・スルーがイネーブルされている場合（TX_CUT_THRU_EN = 1）、このフィールドを使用して、ホストから送信されるフレームのフレーム送信開始閾値をハーフ・ワード（16ビット）単位で設定します。このフィールドに有効な値の範囲は、1～26ハーフ・ワードです。	0x1	R/W

MAC FIFOクリア・レジスタ

アドレス：0x36、リセット：0x00000000、レジスタ名：FIFO_CLR

表 61. FIFO_CLRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:2]	RESERVED	予備。	0x0	R
1	MAC_TXF_CLR	ホスト送信FIFOをクリア。その時点でフレームが送信されている場合、その送信は停止し不良CRCがフレームに付加されます。	0x0	W
0	MAC_RXF_CLR	受信FIFOをクリア。Rx FIFOへの書き込みは次のフレームの開始時に再開されます。	0x0	W

スクラッチ・レジスタ

アドレス：0x37～0x3A（インクリメントは1）、リセット：0x00000000、レジスタ名：SCRATCHn

表 62. SCRATCHnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	SCRATCH_DATA	スクラッチ・データ。	0x0	R/W

MACリセット・ステータス・レジスタ

アドレス：0x3B、リセット：0x00000003、レジスタ名：MAC_RST_STATUS

読出し時にこのレジスタが0x00000000_00000001を返した場合、発振器のクロックはアクティブですが、25MHz水晶発振器のクロックはアクティブではありません。

読出し時にこのレジスタが0x00000000_00000003を返した場合、発振器のクロックと25MHz水晶発振器のクロックはどちらもアクティブです。

このレジスタが0x00000000_00000000（SDO出力パッドはイネーブルでCSはロー）を返した場合、SPIスレーブおよびMACコアはどちらもリセットされたままです。

レジスタ

このレジスタは、1回のSPI読出しのみに対応しています。SPIバースト読出しではこのレジスタへのインクリメントを行うことができません。

表 63. MAC_RST_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:2]	RESERVED	予備。	0x0	R
1	MAC_CRYSL_CLK_RDY	MAC水晶発振器クロック・レディ。このフィールドが0の場合、MACコアがリセットからリリースされていないことを示します。このフィールドが1の場合、MACコアがリセットからリリースされていることを示します。MACコアは、水晶発振器クロック（25MHz）がレディ状態になったときにリセットからリリースされます。	0x1	R
0	MAC_OSC_CLK_RDY	MAC発振器クロック・レディ。	0x1	R

ソフトウェア・リセット・レジスタ

アドレス：0x3C、リセット：0x00000000、レジスタ名：SOFT_RST

表 64. SOFT_RSTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	RST_KEY	ソフトウェア・リセット。リセットをトリガするには、1組のキーを順番に連続してSPIに書き込みます。0x4F1C：キー1でMACロジックのみをリセット。 0xC1F4：キー2でMACロジックのみをリセット。CSがハイになるまでリセットは有効になりません。また、リセットが有効になるには、CSが100ns以上アサートされ続けなくてはなりません。MAC-PHYがソフトウェア・パワーダウン・モードの場合は、MAC_ONLYリセットは有効になりません。つまり、CRSM_SFT_P_CNTRL.CRSM_SFT_PDは0であることが必要です。 0x6F1A：キー1でリセットのリリースをMACコア・ロジックにリクエスト。25MHz水晶発振器クロックが使用できない場合にMACコア・ロジックにリセットのリリースをリクエストするには、MAC_RST_EXIT_REQ_KEYxを使用します。これにより、発振器クロック（12.5MHz～25.7MHz）を使用してMACをリセットから解除できます。その後SPIアクセスは15MHzで続行できるため、MACレジスタやPHYレジスタへのデバッグ・アクセスができます。 0xA1F6：キー2でリセットのリリースをMACコア・ロジックにリクエスト。	0x0	W

DUTからMISOへのエラー注入レジスタ

アドレス：0x3D、リセット：0x00000000、レジスタ名：SPI_INJ_ERR

表 65. SPI_INJ_ERRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
0	TEST_SPI_INJ_ERR	SPI MISO経路にエラーを注入します。この機能を使用すると、ソフトウェアは、MISOで受信したエラーがソフトウェアで正しく検出されるかどうかテストできます。このビットをセットし、OPEN Alliance SPI プロトコルをデータ・トランザクションに使用している場合、Rxフッタのパリティ・ビットは反転します。また、Rxフッタのタイム・スタンプ・パリティ・ビットも反転します。このビットをセットし、OPEN Alliance SPI プロトコルをバーストの2番目のワードから始まる保護された制御バースト書き込みトランザクションに使用している場合、エコーされた各32ビット・ワードのMSビットは反転します。このビットをセットし、保護された制御読出しトランザクションにOPEN Alliance SPI プロトコルを使用している場合、各32ビットの補数ワードのMSビットは反転します。このビットをセットし、保護をイネーブルして汎用SPIプロトコルを使用している場合、レジスタの読出し時に返されたCRC8は反転します。	0x0	R/W

FIFOサイズ・レジスタ

アドレス：0x3E、リセット：0x00000464、レジスタ名：FIFO_SIZE

FIFOサイズを変更する前に、フレームの送信と受信を停止し、FIFOを空にする必要があります。

全フレームをドロップするよう転送ルールを設定し、全受信フレームがドロップされるようP1_UNK2HOSTを0にしてください。

また、RXF_CLRとTXF_CLRを使用してFIFOをリセットしてください。それによりFIFOサイズを変更できます。

合計のFIFOサイズは、28kB以下であることが必要です。

レジスタ

表 66. FIFO_SIZEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:2]	RESERVED	予備。	0x0	R
[11:8]	P1_RX_HI_SIZE	Port 1 Rx High Priority FIFO Size. 0000 : 0kB。 0001 : 2kB。 0010 : 4kB。 0011 : 6kB。 0100 : 8kB。 0101 : 10kB。 0110 : 12kB。 0111 : 14kB。 1000 : 16kB。	0x4	R/W
[7:4]	P1_RX_LO_SIZE	Port 1 Rx Low Priority FIFO Size. 0000 : 0kB。 0001 : 2kB。 0010 : 4kB。 0011 : 6kB。 0100 : 8kB。 0101 : 10kB。 0110 : 12kB。 0111 : 14kB。 1000 : 16kB。	0x6	R/W
[3:0]	HTX_SIZE	Host Transmit FIFO Size. 0000 : 0kB。 0001 : 2kB。 0010 : 4kB。 0011 : 6kB。 0100 : 8kB。 0101 : 10kB。 0110 : 12kB。 0111 : 14kB。 1000 : 16kB。	0x4	R/W

Tx FIFOフレーム・カウント・レジスタ

アドレス：0x3F、リセット：0x00000000、レジスタ名：TFC

デバッグ用のみ。送信FIFOに格納されているフレームの数。

表 67. TFCのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予備。	0x0	R
[8:0]	TFC	Tx FIFOに格納されているフレームの数。	0x0	R

Tx FIFO有効ハーフ・ワード・レジスタ

アドレス：0x40、リセット：0x00000000、レジスタ名：TXSIZE

ホストTx FIFOでの有効なハーフ・ワード（16ビット）の数。

レジスタ

表 68. TXSIZEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
[13:0]	TX_SIZE	Tx FIFOに格納されているデータ。ハーフ・ワード（16ビット）の数。	0x0	R

FIFOオーバーフローによりドロップされたホストTxフレーム・レジスタ

アドレス：0x41、リセット：0x00000000、レジスタ名：HTX_OVF_FRM_CNT

表 69. HTX_OVF_FRM_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	HTX_OVF_FRM_CNT	FIFOオーバーフローによりドロップされたホストTxフレームをカウントします。	0x0	R

メモリ内で検出されたECCエラーのアドレス・レジスタ

アドレス：0x42、リセット：0x00000000、レジスタ名：MECC_ERR_ADDR

表 70. MECC_ERR_ADDRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
[13:0]	MECC_ERR_ADDR	メモリ内の訂正不能ECCエラーのアドレス。これは最初に検出された訂正不能ECCエラーのアドレスです。RX_ECC_ERRまたはTX_ECC_ERRのいずれかがアサートされている場合です。RX_ECC_ERRおよびTX_ECC_ERRがクリアされると、レジスタは次のECCエラーのアドレスを取得できる状態になります。SRAMは16ビット幅で、このアドレスはSRAM内の場所を指し示します。	0x0	R

訂正されたECCエラーのカウンタ・レジスタ

アドレス：0x43～0x49（インクリメントは1）、リセット：0x00000000、レジスタ名：CECC_ERRn

表 71. CECC_ERRnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:10]	RESERVED	予備。	0x0	R
[9:0]	CECC_ERR_CNT	訂正されたECCエラーのカウント。カウンタは以下のようにFIFOにマップします。 CECC_ERR[0]：P1の低優先度Rx FIFO、CECC_ERR[1]：P1の高優先度Rx FIFO、 CECC_ERR[4]：ホストからのTx FIFO。	0x0	R

MACアドレス・ルールおよびDAフィルタ上位16ビット・レジスタ

アドレス：0x50～0x6E（インクリメントは2）、リセット：0x00000000、レジスタ名：ADDR_FILT_UPRn

MACアドレスの上位16ビットおよびそのMACアドレスに関連するフィルタ処理ルールが格納されています。

ADDR_FILT_xレジスタに書き込む場合、2つのレジスタ位置を所定のテーブル・エントリに順番に書き込む必要があります。

例えばテーブル・エントリ0に書き込むには、レジスタを次の順序で書き込む必要があります。

1. ADDR_FILT_UPR0。
2. ADDR_FILT_LWR0。

表 72. ADDR_FILT_UPRnのビットの説明

ビット	ビット名	説明	リセット	アクセス
31	RESERVED	予備。	0x0	R/W
30	APPLY2PORT1	ポート1に適用。 0：ポート1に適用されない。このテーブル・エントリ／ルールは、ポート1で受信したフレームには適用されません。 1：ポート1に適用される。このテーブル・エントリ／ルールは、ポート1で受信したフレームに適用されます。	0x0	R/W

レジスタ

表 72. ADDR_FILT_UPRnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[29:20]	RESERVED	予備。	0x0	R
19	HOST_PRI	ホストRxポートの優先度。ホストの受信ポートには、低優先度FIFOと高優先度FIFOの2つのFIFOがあります。このフィールドは、フレームがどちらのFIFOに配置されるかを決定します。0は低優先度、1は高優先度です。デフォルトでは、メモリ・リソースは高優先度FIFOに対し提供されています。ただし、高優先度FIFOに割り当てられたメモリが、FIFO_SIZEレジスタへの書き込みによって別のFIFOに移されている場合、このフィールドを1にセットすることはできません。	0x0	R/W
[18:17]	RESERVED	予備。	0x0	R
16	TO_HOST	このMACアドレスに一致するフレームをホストに転送します。APPLY2PORT1が1にセットされ、TO_HOSTが1にセットされている場合、このDAに一致するフレームは、ホストに転送されます。TO_HOSTが0の場合、このエントリのDAに一致するフレームはドロップされます。	0x0	R/W
[15:0]	MAC_ADDR, Bits[47:32]	MACアドレス。	0x0	R/W

MACアドレスDAフィルタ下位32ビット・レジスタ

アドレス：0x51～0x6F（インクリメントは2）、リセット：0x00000000、レジスタ名：ADDR_FILT_LWRn

DAフィルタ・テーブルのMACアドレスの下位32ビットです。

これらのレジスタの1つに対する書き込みは、対応するADDR_FILT_UPRnレジスタへの書き込み後に行う必要があります。

表 73. ADDR_FILT_LWRnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	MAC_ADDR, Bits[31:0]	MACアドレス。	0x0	R/W

MACアドレス・マスクの上位16ビット・レジスタ

アドレス：0x70～0x72（インクリメントは2）、リセット：0x0000FFFF、レジスタ名：ADDR_MSK_UPRn

DAマスク・テーブルのMACアドレス・マスクの上位16ビット。

ADDR_MSK_xレジスタに書き込む場合、2つのレジスタ位置すべてを所定のテーブル・エントリに順番に書き込む必要があります。UPRレジスタを先に、LWRレジスタを最後に書き込む必要があります。

表 74. ADDR_MSK_UPRnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	MAC_ADDR_MASK, Bits[47:32]	アドレス・テーブルのMACアドレス・ビット・マスク。	0xFFFF	R/W

MACアドレス・マスクの下位32ビット・レジスタ

アドレス：0x71～0x73（インクリメントは2）、リセット：0xFFFFFFFF、レジスタ名：ADDR_MSK_LWRn

DAマスク・テーブルのMACアドレス・マスクの下位32ビット。

ADDR_MSK_xレジスタに書き込む場合、2つのレジスタ位置すべてを所定のテーブル・エントリに順番に書き込む必要があります。UPRレジスタを先に、LWRレジスタを最後に書き込む必要があります。

表 75. ADDR_MSK_LWRnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	MAC_ADDR, Bits[31:0]	アドレス・テーブルのMACアドレス・ビット・マスク。	0xFFFFFFFF	R/W

レジスタ

タイム・スタンプ・アキュムレータ加数レジスタ

アドレス：0x80、リセット：0x85555555、レジスタ名：TS_ADDEND

表 76. TS_ADDENDのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_ADDEND	タイム・スタンプ・アキュムレータ加数。	0x85555555	R/W

タイマー更新比較レジスタ

アドレス：0x81、リセット：0x3B9ACA00、レジスタ名：TS_1SEC_CMP

表 77. TS_1SEC_CMPのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_1SEC_CMP	タイム・スタンプ1秒比較値。	0x3B9ACA00	R/W

秒カウンタ・レジスタ

アドレス：0x82、リセット：0x00000000、レジスタ名：TS_SEC_CNT

秒カウンタに書き込むにはこのレジスタを使用します。

表 78. TS_SEC_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_SEC_CNT	秒カウンタへの書き込みを行います。	0x0	R/W

ナノ秒カウンタ・レジスタ

アドレス：0x83、リセット：0x00000000、レジスタ名：TS_NS_CNT

ナノ秒カウンタに書き込むにはこのレジスタを使用します。

表 79. TS_NS_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_NS_CNT	ナノ秒カウンタへの書き込みを行います。このレジスタは、16（10進数）で除算可能な値でプログラムする必要があります。それは、カウンタが120MHzのクロックで駆動され16刻みでインクリメントするためです。	0x0	R/W

タイマー設定レジスタ

アドレス：0x84、リセット：0x00000000、レジスタ名：TS_CFG

表 80. TS_CFGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:5]	RESERVED	予備。	0x0	R
4	TS_CAPT_FREE_CNT	自走カウンタを取得します。このビットが1でFTSSが0の場合、タイム・スタンプは32ビットの自走カウンタから取得されます。このビットが0でFTSSが0の場合、OPEN Alliance MAC-PHY仕様で定義された32ビットのタイム・スタンプが取得されます。FTSSが1の場合、OPEN Alliance MAC-PHY仕様で定義された64ビットのタイム・スタンプが取得されます。	0x0	R/W
3	TS_TIMER_STOP	TS_TIMER出力のトグルを停止。このフィールドに1を書き込むと、TS_TIMERの出力のトグルが停止し、出力をデフォルト値に戻します。TS_TIMER_STARTレジスタに書き込みを行うと、TS_TIMER出力信号が再開します。このビットは自動的に0にクリアされます。	0x0	W
2	TS_TIMER_DEF	TS_TIMER出力のデフォルト値。TS_TIMERのデフォルト値を0から変更するには、このフィールドに1を書き込んでから、TS_TIMERをイネーブルします（TS_TSTARTに書き込むとイネーブルされます）。このレジスタに1を書き込むと、TS_TIMER出力は直ちに0から1に切り替わりすることに注意してください。TS_TIMERが既にイネーブルされている場合、このフィールドへの書き込みは無効です。	0x0	R/W

レジスタ

表 80. TS_CFGのビットの説明

ビット	ビット名	説明	リセット	アクセス
1	TS_CLR	1588タイム・スタンプ・カウンタをクリアします。1を書き込むと、タイム・スタンプ・カウンタが0にリセットされます。このフィールドは1を書き込まれた後、自動的に0にクリアされます。アキュムレータ、ナノ秒カウンタ、秒カウンタ、自走カウンタの4つのカウンタがクリアされます。	0x0	W
0	TS_EN	1588タイム・スタンプ・カウンタをイネーブル。1に設定されている場合、タイム・スタンプ・カウンタがイネーブルされ、全受信フレームのタイム・スタンプが取得されます。TS_ENが0の場合、カウンタはクリアされずにフリーズします。そのため、カウンタをディスエーブルした後TS_CLRを使用するように書き込みを行い、カウンタを既知の状態にしてから再開することを推奨します。	0x0	R/W

TS_TIMERのハイ時間レジスタ

アドレス：0x85、リセット：0x00000000、レジスタ名：TS_TIMER_HI

表 81. TS_TIMER_HIのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_TIMER_HI	TS_TIMERハイ時間。このレジスタは、16（10進数）で除算可能な値でプログラムする必要があります。それは、カウンタが120MHzのクロックで駆動され16刻みでインクリメントするためです。フィールドに書き込める最小値は16（10進数）です。	0x0	R/W

TS_TIMERのロー時間レジスタ

アドレス：0x86、リセット：0x00000000、レジスタ名：TS_TIMER_LO

表 82. TS_TIMER_LOのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_TIMER_LO	TS_TIMERロー時間。このレジスタは、16（10進数）で除算可能な値でプログラムする必要があります。それは、カウンタが120MHzのクロックで駆動され16刻みでインクリメントするためです。フィールドに書き込める最小値は16（10進数）です。	0x0	R/W

量子化誤差補正レジスタ

アドレス：0x87、リセット：0x00000000、レジスタ名：TS_TIMER_QE_CORR

表 83. TS_TIMER_QE_CORRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:8]	RESERVED	予備。	0x0	R
[7:0]	TS_TIMER_QE_CORR	TS_TIMERの量子化誤差補正值。必要なTS_TIMERロー時間とハイ時間が16で直接割り切れない場合、このフィールドを0～15の値でプログラムし、TS_TIMER量子化誤差を補正します。	0x0	R/W

TS_TIMERカウンタ開始時間レジスタ

アドレス：0x88、リセット：0x00000000、レジスタ名：TS_TIMER_START

TS_TIMERカウンタを開始する時間。

表 84. TS_TIMER_STARTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_TSTART	TS_TIMERカウンタを開始する時間。このレジスタに書き込むとTS_TIMER出力が開始します。TS_TIMER出力を開始するには、このフィールドに16以上の値を書き込む必要があります。TS_TIMERの起動後、TS_TIMER_STOPに書き込みを行うとタイマーが停止し、TS_TIMER出力はそのデフォルト値に戻ります。	0x0	R/W

レジスタ

TS_CAPTUREピン0タイム・スタンプ・レジスタ

アドレス：0x89、リセット：0x00000000、レジスタ名：TS_EXT_CAPTURE0

TS_CAPTUREピンのアサート時に取得されたタイム・スタンプ。

表 85. TS_EXT_CAPTURE0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_EXT_CAPTURED, Bits[31:0]	TS_CAPTUREピンのアサート時に取得されたタイム・スタンプ。	0x0	R

TS_CAPTUREピン1タイム・スタンプ・レジスタ

アドレス：0x8A、リセット：0x00000000、レジスタ名：TS_EXT_CAPTURE1

TS_CAPTUREピンのアサート時に取得されたタイム・スタンプ。

表 86. TS_EXT_CAPTURE1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_EXT_CAPTURED, Bits[63:32]	TS_CAPTUREピンのアサート時に取得されたタイム・スタンプ。	0x0	R

TS_CAPTURE自走カウンタ・レジスタ

アドレス：0x8B、リセット：0x00000000、レジスタ名：TS_FREECNT_CAPTURE

TS_CAPTUREアサート時の自走カウンタの取得。

表 87. TS_FREECNT_CAPTUREのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_CNT_CAPTURED	取得された自走カウンタ。この32ビット・カウンタはTS_EXT_CAPTUREと同様に、TS_CAPTUREピンのアサート時に取得されます。	0x0	R

P1 MAC Rxフレーム・サイズ・レジスタ

アドレス：0x90、リセット：0x00000000、レジスタ名：P1_RX_FSIZE

表 88. P1_RX_FSIZEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:11]	RESERVED	予備。	0x0	R
[10:0]	P1_RX_FRM_SIZE	受信フレームのサイズ。Rx FIFOの先頭フレームのサイズ（バイト単位）。サイズには、追加されたヘッダが含まれます。汎用SPIプロトコルを使用している場合、P1_RXを介した受信FIFOからのフレームを読み出す前に、このレジスタを読み出す必要があります。	0x0	R

P1 MAC受信レジスタ

アドレス：0x91、リセット：0x00000000、レジスタ名：P1_RX

受信FIFOはこのレジスタを介して読み出されます。

SPIを介してRx FIFOからのデータをバースト読出しすることができます。

レジスタ

表 89. P1_RXのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RDR	受信データ・レジスタ。このフィールドは、汎用SPIプロトコルでのみ使用されます。このレジスタを読み出すと、受信FIFOの先頭の4バイトが返されます。またFIFOからこれらの4バイトが引き出されます。上位8ビットに最初のバイトが格納され、次の8ビットには2番目のバイトが格納される、というように続きます。全フレームが読み出されると、P1_RX_FRM_SIZEレジスタが最初に読み出されるまで、P1 Rx FIFOからはそれ以上のデータは返されません。汎用SPIプロトコルでのみ使用されます。	0x0	R

P1 Rxフレーム・カウント・レジスタ

アドレス：0xA0、リセット：0x00000000、レジスタ名：P1_RX_FRM_CNT

表 90. P1_RX_FRM_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_FRM_CNT	Rxのフレーム・カウント。このカウンタは、良好なフレームを受信した場合も不良フレームを受信した場合もインクリメントします。	0x0	R

P1 Rxブロードキャスト・フレーム・カウント・レジスタ

アドレス：0xA1、リセット：0x00000000、レジスタ名：P1_RX_BCAST_CNT

表 91. P1_RX_BCAST_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_BCAST_CNT	Rxのブロードキャスト・フレーム・カウント。このカウンタは、良好なフレームを受信した場合も不良フレームを受信した場合もインクリメントします。	0x0	R

P1 Rxマルチキャスト・フレーム・カウント・レジスタ

アドレス：0xA2、リセット：0x00000000、レジスタ名：P1_RX_MCAST_CNT

表 92. P1_RX_MCAST_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_MCAST_CNT	Rxのマルチキャスト・フレーム・カウント。このカウンタは、良好なフレームを受信した場合も不良フレームを受信した場合もインクリメントします。	0x0	R

P1 Rxユニキャスト・フレーム・カウント・レジスタ

アドレス：0xA3、リセット：0x00000000、レジスタ名：P1_RX_UCAST_CNT

表 93. P1_RX_UCAST_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_UCAST_CNT	Rxのユニキャスト・フレーム・カウント。	0x0	R

P1 Rx CRCエラー・フレーム・カウント・レジスタ

アドレス：0xA4、リセット：0x00000000、レジスタ名：P1_RX_CRC_ERR_CNT

表 94. P1_RX_CRC_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_CRC_ERR_CNT	RxのCRCエラー・フレーム・カウント。	0x0	R

P1 Rxアライン・エラー・カウント・レジスタ

アドレス：0xA5、リセット：0x00000000、レジスタ名：P1_RX_ALGN_ERR_CNT

レジスタ

表 95. P1_RX_ALGN_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_ALGN_ERR_CNT	Rxのアライン・エラー・カウント。	0x0	R

P1 Rx長／短フレーム・エラー・カウント・レジスタ

アドレス：0xA6、リセット：0x00000000、レジスタ名：P1_RX_LS_ERR_CNT

表 96. P1_RX_LS_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_LS_ERR_CNT	Rxの長／短フレーム・エラー・カウント。	0x0	R

P1 Rx PHY・エラー・カウント・レジスタ

アドレス：0xA7、リセット：0x00000000、レジスタ名：P1_RX_PHY_ERR_CNT

表 97. P1_RX_PHY_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_PHY_ERR_CNT	RxのPHYエラー・カウント。	0x0	R

P1送信フレーム・カウント・レジスタ

アドレス：0xA8、リセット：0x00000000、レジスタ名：P1_TX_FRM_CNT

表 98. P1_TX_FRM_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_FRM_CNT	Txのフレーム・カウント。	0x0	R

P1 Txブロードキャスト・フレーム・カウント・レジスタ

アドレス：0xA9、リセット：0x00000000、レジスタ名：P1_TX_BCAST_CNT

表 99. P1_TX_BCAST_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_BCAST_CNT	Txのブロードキャスト・フレーム・カウント。	0x0	R

P1 Txマルチキャスト・フレーム・カウント・レジスタ

アドレス：0xAA、リセット：0x00000000、レジスタ名：P1_TX_MCAST_CNT

表 100. P1_TX_MCAST_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_MCAST_CNT	Txのマルチキャスト・フレーム・カウント。	0x0	R

P1 Txユニキャスト・フレーム・カウント・レジスタ

アドレス：0xAB、リセット：0x00000000、レジスタ名：P1_TX_UCAST_CNT

表 101. P1_TX_UCAST_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_UCAST_CNT	Txのユニキャスト・フレーム・カウント。	0x0	R

レジスタ

FIFOフルによりドロップされたP1 Rxフレーム・レジスタ

アドレス：0xAC、リセット：0x00000000、レジスタ名：P1_RX_DROP_FULL_CNT

表 102. P1_RX_DROP_FULL_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_DROP_FULL_CNT	FIFOフルによりドロップされたRxのフレーム。受信FIFOフルによりドロップされたフレームをカウントします。	0x0	R

フィルタリングによりドロップされたP1 Rxフレーム・レジスタ

アドレス：0xAD、リセット：0x00000000、レジスタ名：P1_RX_DROP_FILT_CNT

表 103. P1_RX_DROP_FILT_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_DROP_FILT_CNT	フィルタリングによりドロップされたRxフレーム。	0x0	R

ポート1でIFGエラー付きで受信したフレーム・レジスタ

アドレス：0xAE、リセット：0x00000000、レジスタ名：P1_RX_IFG_ERR_CNT

表 104. P1_RX_IFG_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_IFG_ERR_CNT	ポート1の受信フレームのIFGエラー・カウンタ	0x0	R

P1送信フレーム間ギャップ・レジスタ

アドレス：0xB0、リセット：0x0000000B、レジスタ名：P1_TX_IFG

表 105. P1_TX_IFGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:8]	RESERVED	予備。	0x0	R
[7:0]	P1_TX_IFG	フレーム間ギャップ。Txのフレーム間に(P1_TX_IFG + 1) × 8ビット分の時間のフレーム間ギャップ (IFG) を生成します。	0xB	R/W

P1 MACループバック・イネーブル・レジスタ

アドレス：0xB3、リセット：0x00000000、レジスタ名：P1_LOOP

表 106. P1_LOOPのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
0	P1_LOOPBACK_EN	MACループバック。MIIインターフェースでのPHYへのループバックをイネーブルします。 0：通常動作、ループバックはディスエーブル。 1：ループバックがイネーブル。	0x0	R/W

受信時P1 CRCチェック・イネーブル・レジスタ

アドレス：0xB4、リセット：0x00000001、レジスタ名：P1_RX_CRC_EN

表 107. P1_RX_CRC_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予備。	0x0	R
0	P1_CRC_CHK_EN	受信時のCRCチェック・イネーブル。	0x1	R/W

レジスタ

P1受信フレーム間ギャップ・レジスタ

アドレス：0xB5、リセット：0x0000000A、レジスタ名：P1_RX_IFG

表 108. P1_RX_IFGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予備。	0x0	R
[5:0]	P1_RX_IFG	フレーム間ギャップ。受信MACは、フレーム間ギャップ (IFG) が P1_RX_IFG × 8ビット分の時間より長いことを確認します。受信IFGが短すぎる場合は、MACは受信フレームをドロップし、P1_RX_IFG_ERRをアサートします。このフィールドでサポートされる最大値は63（10進数）です。	0xA	R/W

P1最大受信フレーム長レジスタ

アドレス：0xB6、リセット：0x00000618、レジスタ名：P1_RX_MAX_LEN

最大受信フレーム長（バイト単位）。

表 109. P1_RX_MAX_LENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	P1_MAX_FRM_LEN	受信時の最大フレーム長。	0x618	R/W

P1最小受信フレーム長レジスタ

アドレス：0xB7、リセット：0x00000040、レジスタ名：P1_RX_MIN_LEN

最小受信フレーム長（バイト単位）。

表 110. P1_RX_MIN_LENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予備。	0x0	R
[15:0]	P1_RX_MIN_LEN	受信時の最小フレーム長。	0x40	R/W

P1 Rx低優先度FIFOフレーム・カウント・レジスタ

アドレス：0xB8、リセット：0x00000000、レジスタ名：P1_LO_RFC

受信FIFOに格納されているフレームの数。

表 111. P1_LO_RFCのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予備。	0x0	R
[8:0]	P1_LO_RFC	低優先度FIFOの受信フレーム数。Rx FIFOのフレーム数です。デバッグ目的で使用されます。ストア・アンド・フォワード・モードでは、ホスト・ソフトウェアは少なくとも1つのフレームが使用できることを知れば十分です。 ステータス・レジスタ1 のセクションのP1_RX_RDYを参照してください。	0x0	R

P1 Rx高優先度FIFOフレーム・カウント・レジスタ

アドレス：0xB9、リセット：0x00000000、レジスタ名：P1_HI_RFC

レジスタ

受信FIFOに格納されているフレームの数。

表 112. P1_HI_RFCのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予備。	0x0	R
[8:0]	P1_HI_RFC	高優先度FIFOの受信フレーム数。Rx FIFOのフレーム数です。デバッグ目的で使用されます。ストア・アンド・フォワード・モードでは、ホスト・ソフトウェアは少なくとも1つのフレームが使用できることを知れば十分です。 ステータス・レジスタ1 のセクションのP1_RX_RDYを参照してください。	0x0	R

P1低優先度Rx FIFO有効ハーフ・ワード・レジスタ

アドレス：0xBA、リセット：0x00000000、レジスタ名：P1_LO_RXSIZE

低優先度Rx FIFOの有効ハーフ・ワード（16ビット）の数。

表 113. P1_LO_RXSIZEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
[13:0]	P1_LO_RXSIZE	受信FIFOに格納されているデータ。ハーフ・ワード（16ビット）の数です。	0x0	R

P1高優先度Rx FIFO有効ハーフ・ワード・レジスタ

アドレス：0xBB、リセット：0x00000000、レジスタ名：P1_HI_RXSIZE

高優先度Rx FIFOの有効ハーフ・ワード（16ビット）の数。

表 114. P1_HI_RXSIZEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予備。	0x0	R
[13:0]	P1_HI_RXSIZE	受信FIFOに格納されているデータ。ハーフ・ワード（16ビット）の数です。	0x0	R

PHY条項22レジスタの詳細

表 115. PHY条項22レジスタの概要

ビット	ビット名	説明	リセット	アクセス
0x0	MI_CONTROL	MII Control Register.	0x1100	R/W
0x1	MI_STATUS	MII Status Register.	0x1009	R
0x2	MI_PHY_ID1	PHY Identifier 1 Register.	0x0283	R
0x3	MI_PHY_ID2	PHY Identifier 2 Register.	0xBC91	R
0xD	MMD_ACCESS_CNTRL	MMD Access Control.	0x0000	R/W
0xE	MMD_ACCESS	MMD Access.	0x0000	R/W

MII制御レジスタ

アドレス：0x0、リセット：0x1100、レジスタ名：MI_CONTROL

このアドレスは、802.3規格の条項22.2.4.1で規定されているMII制御レジスタに対応しています。

表 116. MI_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_SFT_RST	ソフトウェア・リセット。ソフトウェア・リセット・レジスタを使用すると、ソフトウェアのリセット・サイクルを開始できます。CRSM_SFT_RSTをミラーリングします。	0x0	R/W SC
14	MI_LOOPBACK	ローカル・ループバック（PCS）。ループバック・レジスタにより、PHYループバック・モードを有効にすることができます。LB_PCS_ENをミラーリングします。	0x0	R/W

レジスタ

表 116. MI_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
13	MI_SPEED_SEL_LSB	MII速度の選択 (LSB)。MI_SPEED_SEL_MSBを参照してください。	0x0	R
12	MI_AN_EN	オートネゴシエーションのイネーブル。AN_FRC_MODE_ENレジスタを使用すると、強制リンク設定モードをイネーブルできます。AN_ENをミラーリングします。 1: オートネゴシエーションをイネーブル。 0: オートネゴシエーションをディスエーブル。	0x1	R
11	MI_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・レジスタを使用すると、PHYをソフトウェア・パワーダウン・モードにできます。このモードでは、大半のPHY回路がオフに切り替わります。ただし、全レジスタに対するMDIOアクセスは引き続き可能です。このレジスタのデフォルト値は、ピンを使用して設定されます。そのため、PHYは、適切なソフトウェア初期化が実行されるまで、リセット状態を維持できます。CRSM_SFT_PDをミラーリングします。	Pin Dependent	R/W
10	MI_ISOLATE	MII絶縁。このビットで、PHYとMIIを絶縁できます。	0x0	R/W
9	RESERVED	予備。	0x0	R/W SC
8	MI_FULL_DUPLEX	MII全二重。PHYは全二重モードでのみ動作可能なので、二重モード・レジスタへの書き込みはできず、常に1が読み出されます。	0x1	R
7	MI_COLTEST	MIIコリジョン・テスト。PHYは全二重モードでのみ動作可能でCOLピンがないため、コリジョン・テスト・レジスタへの書き込みはできず、常に0が読み出されます。	0x0	R
6	MI_SPEED_SEL_MSB	MII速度の選択 (MSB)。PHYは10Mbpsでのみ動作可能なので、速度選択MSB/LSBレジスタへの書き込みはできず、常に00が読み出されます。	0x0	R
5	MI_UNIDIR_EN	MII単方向イネーブル。PHYは、有効なリンクが確立されたことを判別したかどうかにかかわらず、MIIからデータを送信できないので、単方向イネーブル・レジスタへの書き込みはできず、常に0が読み出されます。	0x0	R
[4:0]	RESERVED	予備。	0x0	R

MIIステータス・レジスタ

アドレス: 0x1、リセット: 0x1009、レジスタ名: MI_STATUS

このアドレスは、802.3規格の条項22.2.4.2で規定されているMIIステータス・レジスタに対応しています。

表 117. MI_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_T4_SPRT	100BASE-T4アビリティ。PHYは100BASE-T4に対応していないため、100BASE-T4アビリティ・ビットは常に0が読み出されます。	0x0	R
14	MI_FD100_SPRT	全二重100BASE-Xアビリティ。PHYは100BASE-X全二重に対応していないため、100BASE-X全二重アビリティ・ビットは常に0が読み出されます。	0x0	R
13	MI_HD100_SPRT	半二重100BASE-Xアビリティ。PHYは100BASE-X半二重に対応していないため、100BASE-X半二重アビリティ・ビットは常に0が読み出されます。	0x0	R
12	MI_FD10_SPRT	全二重10Mbpsアビリティ。10Mbps全二重アビリティ・ビットは、PHYが10Mbps全二重に対応していることを示します。	0x1	R
11	MI_HD10_SPRT	半二重10Mbpsアビリティ。PHYは10Mbps半二重に対応していないため、10Mbps半二重アビリティ・ビットは常に0が読み出されます。	0x0	R
10	MI_FD_T2_SPRT	全二重100BASE-T2アビリティ。PHYは100BASE-T2全二重に対応していないため、100BASE-T2全二重アビリティ・ビットは常に0が読み出されます。	0x0	R
9	MI_HD_T2_SPRT	半二重100BASE-T2アビリティ。PHYは100BASE-T2半二重に対応していないため、100BASE-T2半二重アビリティ・ビットは常に0が読み出されます。	0x0	R
8	MI_EXT_STAT_SPRT	拡張ステータス・サポート。拡張ステータス・サポート・ビットは常に0として読み出され、PHYがレジスタ0xFで拡張ステータス情報を提供しないことを示します。	0x0	R
7	MI_UNIDIR_ABLE	単方向アビリティ。PHYは、有効なリンクが確立されていることを判別したときにのみMIIからデータを送信できるため、単方向アビリティ・レジスタは常に0が読み出されます。	0x0	R
6	MI_MF_PREAM_SUP_ABLE	管理プリアンブル抑制アビリティ。PHYは、先頭にプリアンブル・パターンがない管理フレームは受信できないため、管理フレーム・プリアンブル抑制アビリティ・ビットは常に0が読み出されます。	0x0	R

レジスタ

表 117. MI_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
5	MI_AN_COMPLETE	オートネゴシエーション完了。オートネゴシエーション完了ビットは、オートネゴシエーション・プロセスが完了し、PHYリンクが確立したことを示します。AN_COMPLETEをミラーリングします。	0x0	R
4	MI_REM_FLT	リモート・フォルト。PHYはリモート・フォルト検出に対応していないため、リモート・フォルト・ビットは常に0が読み出されます。	0x0	R LH
3	MI_AN_ABLE	オートネゴシエーション・アビリティ。PHYはオートネゴシエーションを実行できるため、オートネゴシエーション・ビットは常に1が読み出されます。AN_ABLEをミラーリングします。	0x1	R
2	MI_LINK_STAT_LAT	リンク・ステータス。このビットは、IEEE 802.3規格の副条項45.2.7.20.5に記載のラッチ・ロー機能を使用します。リンク・ステータス値が切断を示している場合、このレジスタはレジスタ読出し時にラッチがクリアされるまで、クリア状態を維持します。AN_LINK_STATUSをミラーリングします。	0x0	R LL
1	MI_JABBER_DET	MIIジャババー検出。10BASE-T1L PHYはジャババー検出機能に対応していないため、ジャババー検出ビットは常に0が読み出されます。	0x0	R LH
0	MI_EXT_CAPABLE	MII拡張ケイパビリティ。PHYは拡張レジスタ・セットを通じてアクセスできるケイパビリティの拡張セットを備えているため、拡張ケイパビリティ・ビットは常に1が読み出されます。拡張レジスタ・セットには、0、1、15を除くすべての管理レジスタが含まれています。	0x1	R

PHY識別子1レジスタ

アドレス：0x2、リセット：0x0283、レジスタ名：MI_PHY_ID1

PHY識別子1のアドレスを使用すると、OUIの16ビットがわかります。

表 118. MI_PHY_ID1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MI_PHY_ID1	PHY識別子1のアドレスを使用すると、OUIの16ビットがわかります。	0x283	R

PHY識別子2レジスタ

アドレス：0x3、リセット：0xBC91、レジスタ名：MI_PHY_ID2

PHY識別子2のアドレスを使用すると、OUIの6ビット、モデル番号、リビジョン番号がわかります。

表 119. MI_PHY_ID2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MI_PHY_ID2_OUI	OUI、ビット[7:2]。	0x2F	R
[9:4]	MI_MODEL_NUM	モデル番号。	0x9	R
[3:0]	MI_REV_NUM	リビジョン番号。	0x1	R

MMDアクセス制御レジスタ

アドレス：0xD、リセット：0x0000、レジスタ名：MMD_ACCESS_CNTRL

このアドレスは、IEEE 802.3-2018規格の条項22.2.4.3.11で規定されているMMDアクセス制御レジスタに対応しています。

表 120. MMD_ACCESS_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD_ACR_FUNCTION	機能。機能レジスタは、MMD_DARレジスタへのアクセス時のMMDアクセスの種類を選択します。 00：アドレス。 01：データ、ポスト・インクリメントなし。 10：データ、読み書き時にポスト・インクリメント。 11：データ、書き込み時にのみポスト・インクリメント。	0x0	R/W
[13:5]	RESERVED	予備。	0x0	R
[4:0]	MMD_ACR_DEVAD	デバイス・アドレス。このレジスタの値によって、MMD_DARレジスタへのすべてのアクセスが、選択されたMMDに振り向けられます。	0x0	R/W

レジスタ

MMDアクセス・レジスタ

アドレス：0xE、リセット：0x0000、レジスタ名：MMD_ACCESS

このアドレスは、IEEE 802.3-2018規格の条項22.2.4.3.12で規定されているMMDアクセス・アドレス・データ・レジスタに対応しています。

MMD_ADDR_DATAレジスタをMMD_ACCESS_CNTRLレジスタと併用すると、条項22.2.4で定められたインターフェースと機構を使用してMMDアドレス空間へのアクセスができます。

表 121. MMD_ACCESSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD_ACCESS	アクセス・アドレス。このアドレスは、IEEE規格802.3-2018の条項22.2.4.3.12で規定されているMMDアクセス・アドレス・データ・レジスタに対応しています。 MMD_ADDR_DATAレジスタをMMD_ACCESS_CNTRLレジスタと併用すると、条項22.2.4で定められたインターフェースと機構を使用してMMDアドレス空間へのアクセスができます。	0x283	R

PHY条項45レジスタの詳細

表 122. PHY条項45レジスタの概要

Device Address	Register Address	Name	Description	Reset	Access
0x01	0x0000	PMA_PMD_CNTRL1	PMA/PMD Control 1 Register.	0x0000	R/W
0x01	0x0001	PMA_PMD_STAT1	PMA/PMD Status 1 Register.	0x0002	R
0x01	0x0005	PMA_PMD_DEVS_IN_PKG1	PMA/PMD MMD Devices in Package 1.	0x008B	R
0x01	0x0006	PMA_PMD_DEVS_IN_PKG2	PMA/PMD MMD Devices in Package 2 Register.	0xC000	R
0x01	0x0007	PMA_PMD_CNTRL2	PMA/PMD Control 2 Register.	0x003D	R/W
0x01	0x0008	PMA_PMD_STAT2	PMA/PMD Status 2.	0x8301	R
0x01	0x0009	PMA_PMD_TX_DIS	PMA/PMD Transmit Disable Register.	0x0000	R/W
0x01	0x000B	PMA_PMD_EXT_ABILITY	PMA/PMD Extended Abilities Register.	0x0800	R
0x01	0x0012	PMA_PMD_BT1_ABILITY	BASE-T1 PMA/PMD Extended Ability Register.	0x0004	R
0x01	0x0834	PMA_PMD_BT1_CONTROL	BASE-T1 PMA/PMD Control Register.	0x8002	R/W
0x01	0x08F6	B10L_PMA_CNTRL	10BASE-T1L PMA Control Register.	0x0000	R/W
0x01	0x08F7	B10L_PMA_STAT	10BASE-T1L PMA Status Register.	0x2800	R
0x01	0x08F8	B10L_TEST_MODE_CNTRL	10BASE-T1L Test Mode Control Register.	0x0000	R/W
0x01	0x8015	CR_STBL_CHK_FOFFS_SAT_THR	Frequency Offset Saturation Threshold for CR Stability Check Register.	0x0008	R/W
0x01	0x81E7	SLV_FLTR_ECHO_ACQ_CR_KP	Slave IIR Filter Change Echo Acquisition Clock Recovery Proportional Gain Register.	0x0400	R/W
0x01	0x8302	B10L_PMA_LINK_STAT	10BASE-T1L PMA Link Status Register.	0x0000	R
0x01	0x830B	MSE_VAL	Mean Squared Error (MSE) Value Register.	0x0000	R
0x03	0x0000	PCS_CNTRL1	PCS Control 1 Register.	0x0000	R/W
0x03	0x0001	PCS_STAT1	PCS Status 1 Register.	0x0002	R
0x03	0x0005	PCS_DEVS_IN_PKG1	PCS MMD Devices in Package 1 Register.	0x008B	R
0x03	0x0006	PCS_DEVS_IN_PKG2	PCS MMD Devices in Package 2 Register.	0xC000	R
0x03	0x0008	PCS_STAT2	PCS Status 2 Register.	0x8000	R
0x03	0x08E6	B10L_PCS_CNTRL	10BASE-T1L PCS Control Register.	0x0000	R/W
0x03	0x08E7	B10L_PCS_STAT	10BASE-T1L PCS Status Register.	0x0000	R

レジスタ

表122. PHY条項45レジスタの概要 (続き)

Device Address	Register Address	Name	Description	Reset	Access
0x07	0x0005	AN_DEVS_IN_PKG1	AUTO-NEGOTIATION MMD Devices in Package 1 Register.	0x008B	R
0x07	0x0006	AN_DEVS_IN_PKG2	AUTO-NEGOTIATION MMD Devices in Package 2 Register.	0xC000	R
0x07	0x0200	AN_CONTROL	BASE-T1 Autonegotiation Control Register.	0x1000	R/W
0x07	0x0201	AN_STATUS	BASE-T1 Autonegotiation Status Register.	0x0008	R
0x07	0x0202	AN_ADV_ABILITY_L	BASE-T1 Autonegotiation Advertisement Register, Bits[15:0].	0x0001	R/W
0x07	0x0203	AN_ADV_ABILITY_M	BASE-T1 Autonegotiation Advertisement Register, Bits[31:16].	0x4000	R/W
0x07	0x0204	AN_ADV_ABILITY_H	BASE-T1 Autonegotiation Advertisement Register, Bits[47:32].	0x0000	R/W
0x07	0x0205	AN_LP_ADV_ABILITY_L	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[15:0].	0x0000	R
0x07	0x0206	AN_LP_ADV_ABILITY_M	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[31:16].	0x0000	R
0x07	0x0207	AN_LP_ADV_ABILITY_H	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[47:32].	0x0000	R
0x07	0x0208	AN_NEXT_PAGE_L	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[15:0].	0x2001	R/W
0x07	0x0209	AN_NEXT_PAGE_M	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[31:16].	0x0000	R/W
0x07	0x020A	AN_NEXT_PAGE_H	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[47:32].	0x0000	R/W
0x07	0x020B	AN_LP_NEXT_PAGE_L	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[15:0].	0x0000	R
0x07	0x020C	AN_LP_NEXT_PAGE_M	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[31:16].	0x0000	R
0x07	0x020D	AN_LP_NEXT_PAGE_H	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[47:32].	0x0000	R
0x07	0x020E	AN_B10_ADV_ABILITY	10BASE-T1 Autonegotiation Control Register.	0x8000	R/W
0x07	0x020F	AN_B10_LP_ADV_ABILITY	10BASE-T1 Autonegotiation Status Register.	0x0000	R
0x07	0x8000	AN_FRC_MODE_EN	Autonegotiation Force Mode Enable Register.	0x0000	R/W
0x07	0x8001	AN_STATUS_EXTRA	Extra Autonegotiation Status Register.	0x0000	R
0x07	0x8030	AN_PHY_INST_STATUS	PHY Instantaneous Status.	0x0010	R
0x1E	0x0002	MMD1_DEV_ID1	Vendor Specific MMD 1 Device Identifier High Register.	0x0283	R
0x1E	0x0003	MMD1_DEV_ID2	Vendor Specific MMD 1 Device Identifier Low Register.	0xBC01	R
0x1E	0x0005	MMD1_DEVS_IN_PKG1	Vendor Specific 1 MMD Devices in Package Register.	0x008B	R
0x1E	0x0006	MMD1_DEVS_IN_PKG2	Vendor Specific 1 MMD Devices in Package Register.	0xC000	R
0x1E	0x0008	MMD1_STATUS	Vendor Specific MMD 1 Status Register.	0x8000	R
0x1E	0x0010	CRSM_IRQ_STATUS	System Interrupt Status Register.	0x1000	R
0x1E	0x0020	CRSM_IRQ_MASK	System Interrupt Mask Register.	0x1FFE	R/W
0x1E	0x8810	CRSM_SFT_RST	Software Reset Register.	0x0000	R/W
0x1E	0x8812	CRSM_SFT_PD_CNTRL	Software Power-Down Control Register.	0x0000	R/W
0x1E	0x8814	CRSM_PHY_SUBSYS_RST	PHY Subsystem Reset Register.	0x0000	R/W
0x1E	0x8815	CRSM_MAC_IF_RST	PHY MAC Interface Reset Register.	0x0000	R/W

レジスタ

表122. PHY条項45レジスタの概要（続き）

Device Address	Register Address	Name	Description	Reset	Access
0x1E	0x8818	CRSM_STAT	System Status Register.	0x0000	R
0x1E	0x8819	CRSM_PMG_CNTRL	CRSM Power Management Control Register.	0x0000	R/W
0x1E	0x882C	CRSM_DIAG_CLK_CTRL	CRSM Diagnostics Clock Control.	0x0002	R/W
0x1E	0x8C22	MGMT_PRT_PKG	Package Configuration Values Register.	0x0000	R
0x1E	0x8C30	MGMT_MDIO_CNTRL	MDIO Control Register.	0x0000	R/W
0x1E	0x8C56	DIGIO_PINMUX	Pin Mux Configuration 1 Register.	0x00FE	R/W
0x1E	0x8C80	LED0_BLINK_TIME_CNTRL	LED 0 On/Off Blink Time Register.	0x3636	R/W
0x1E	0x8C81	LED1_BLINK_TIME_CNTRL	LED 1 On/Off Blink Time Register.	0x3636	R/W
0x1E	0x8C82	LED_CNTRL	LED Control Register.	0x8480	R/W
0x1E	0x8C83	LED_POLARITY	LED Polarity Register.	0x0000	R/W
0x1F	0x0002	MMD2_DEV_ID1	Vendor Specific MMD 2 Device Identifier High Register.	0x0283	R
0x1F	0x0003	MMD2_DEV_ID2	Vendor Specific MMD 2 Device Identifier Low Register.	0xBC91	R
0x1F	0x0005	MMD2_DEVS_IN_PKG1	Vendor Specific 2 MMD Devices in Package Register.	0x008B	R
0x1F	0x0006	MMD2_DEVS_IN_PKG2	Vendor Specific 2 MMD Devices in Package Register.	0xC000	R
0x1F	0x0008	MMD2_STATUS	Vendor Specific MMD 2 Status Register.	0x8000	R
0x1F	0x0011	PHY_SUBSYS_IRQ_STATUS	PHY Subsystem Interrupt Status Register.	0x0000	R
0x1F	0x0021	PHY_SUBSYS_IRQ_MASK	PHY Subsystem Interrupt Mask Register.	0x2402	R/W
0x1F	0x8001	FC_EN	Frame Checker Enable Register.	0x0001	R/W
0x1F	0x8004	FC_IRQ_EN	Frame Checker Interrupt Enable Register.	0x0001	R/W
0x1F	0x8005	FC_TX_SEL	Frame Checker Transmit Select Register.	0x0000	R/W
0x1F	0x8008	RX_ERR_CNT	Receive Error Count Register.	0x0000	R
0x1F	0x8009	FC_FRM_CNT_H	Frame Checker Count High Register.	0x0000	R
0x1F	0x800A	FC_FRM_CNT_L	Frame Checker Count Low Register.	0x0000	R
0x1F	0x800B	FC_LEN_ERR_CNT	Frame Checker Length Error Count Register.	0x0000	R
0x1F	0x800C	FC_ALGN_ERR_CNT	Frame Checker Alignment Error Count Register.	0x0000	R
0x1F	0x800D	FC_SYMB_ERR_CNT	Frame Checker Symbol Error Count Register.	0x0000	R
0x1F	0x800E	FC_OSZ_CNT	Frame Checker Oversized Frame Count Register.	0x0000	R
0x1F	0x800F	FC_USZ_CNT	Frame Checker Undersized Frame Count Register.	0x0000	R
0x1F	0x8010	FC_ODD_CNT	Frame Checker Odd Nibble Frame Count Register.	0x0000	R
0x1F	0x8011	FC_ODD_PRE_CNT	Frame Checker Odd Preamble Packet Count Register.	0x0000	R
0x1F	0x8013	FC_FALSE_CARRIER_CNT	Frame Checker False Carrier Count Register.	0x0000	R
0x1F	0x8020	FG_EN	Frame Generator Enable Register.	0x0000	R/W
0x1F	0x8021	FG_CNTRL_RSTRT	Frame Generator Control/Restart Register.	0x0001	R/W
0x1F	0x8022	FG_CONT_MODE_EN	Frame Generator Continuous Mode Enable Register.	0x0000	R/W
0x1F	0x8023	FG_IRQ_EN	Frame Generator Interrupt Enable Register.	0x0000	R/W
0x1F	0x8025	FG_FRM_LEN	Frame Generator Frame Length Register.	0x006B	R/W
0x1F	0x8026	FG_IFG_LEN	Frame Generator Interframe Gap Length Register.	0x000C	R/W
0x1F	0x8027	FG_NFRM_H	Frame Generator Number of Frames High Register.	0x0000	R/W

レジスタ

表122. PHY条項45レジスタの概要（続き）

Device Address	Register Address	Name	Description	Reset	Access
0x1F	0x8028	FG_NFRM_L	Frame Generator Number of Frames Low Register.	0x0100	R/W
0x1F	0x8029	FG_DONE	Frame Generator Done Register.	0x0000	R
0x1F	0x8055	MAC_IF_LOOPBACK	MAC Interface Loopbacks Configuration Register.	0x000A	R/W
0x1F	0x805A	MAC_IF_SOP_CNTRL	MAC Start Of Packet (SOP) Generation Control Register.	0x001B	R/W

PMA/PMD制御1レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0000、リセット：0x0000、レジスタ名：PMA_PMD_CNTRL1

このアドレスは、802.3規格の条項45.2.1.1で規定されているPMA/PMD制御レジスタ1に対応しています。このレジスタのリセット値は、ハードウェア構成ピンの設定に依存することに注意してください。

表 123. PMA_PMD_CNTRL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PMA_SFT_RST PMA	PMAソフトウェア・リセット。PMAソフトウェア・リセット・ビットを使用するとチップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。このビットはセルフ・クリア・ビットで、リセットの進行中は1の値を返します。それ以外の場合は0を返します。	0x0	R/W SC
[14:12]	RESERVED	予備。	0x0	R
11	PMA_SFT_PD PMA	PMAソフトウェア・パワーダウン。PMAソフトウェア・パワーダウン・レジスタは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対するMDIOアクセスは引き続き可能です。このレジスタのデフォルト値は、SWPD_ENピンを使用して設定可能です。そのため、チップは、適切なソフトウェア初期化が行われるまで、パワーダウン・モードを維持することができます。	0x0	R/W
[10:1]	RESERVED	予備。	0x0	R
0	LB_PMA_LOC_EN	PMAローカル・ループバックをイネーブル。このビットを1に設定すると、PMAは送信経路のデータを受け入れ、それを受信経路で返します。このビットを0に設定すると、PMAは通常動作モードで動作します。	0x0	R/W

PMA/PMDステータス1レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0001、リセット：0x0002、レジスタ名：PMA_PMD_STAT1

このアドレスは、802.3規格の条項45.2.1.2で規定されているPMA/PMDステータス・レジスタ1に対応しています。

表 124. PMA_PMD_STAT1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
2	PMA_LINK_STAT_OK_LL	PMAリンク・ステータス。このビットが1の場合、リンクが確立されていることを示します。ビットが0の場合、最後のビット読出し後、リンクが切断されたことを示します。	0x0	R LL
1	PMA_SFT_PD_ABLE	PMAソフトウェア・パワーダウン・エーブル。PMAがソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予備。	0x0	R

パッケージ1のPMA/PMD MMDデバイス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：PMA_PMD_DEVS_IN_PKG1

表 125. PMA_PMD_DEVS_IN_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG1	パッケージのPMA/PMD MMDデバイス。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

レジスタ

パッケージ2のPMA/PMD MMDデバイス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：PMA_PMD_DEVS_IN_PKG2

表 126. PMA_PMD_DEVS_IN_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG2	パッケージのPMA/PMD MMDデバイス。ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。	0xC000	R

PMA/PMD制御2レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0007、リセット：0x003D、レジスタ名：PMA_PMD_CNTRL2

表 127. PMA_PMD_CNTRL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	RESERVED	予備。	0x0	R
[6:0]	PMA_PMD_TYPE_SEL	PMA/PMDのタイプの選択。IEEE 802.3規格を参照。PMA_PMD_TYPE_SELを使用するのは、オートネゴシエーションがディセーブルされ、強制リンク設定モードがイネーブルされている場合のみです。オートネゴシエーションがイネーブルの場合、PHYのタイプはオートネゴシエーション・プロセス自体によって決められます。ADIN1110では、このフィールドに有効な唯一の値は、BASE-T1 PMA/PMD用の値です。 0000000 : TS_10GBASE_CX4_PMA_PMD。 0000001 : TS_10GBASE_EW_PMA_PMD。 0000010 : TS_10GBASE_LW_PMA_PMD。 0000011 : TS_10GBASE_SW_PMA_PMD。 0000100 : TS_10GBASE_LX4_PMA_PMD。 0000101 : TS_10GBASE_ER_PMA_PMD。 0000110 : TS_10GBASE_LR_PMA_PMD。 0000111 : TS_10GBASE_SR_PMA_PMD。 0001000 : TS_10GBASE_LRM_PMA_PMD。 0001001 : TS_10GBASE_T_PMA。 0001010 : TS_10GBASE_KX4_PMA_PMD。 0001011 : TS_10GBASE_KR_PMA_PMD。 0001100 : TS_1000BASE_T_PMA_PMD。 0001101 : TS_1000BASE_KX_PMA_PMD。 0001110 : TS_100BASE_TX_PMA_PMD。 0001111 : TS_10BASE_T_PMA_PMD。 0010000 : TS_10_1GBASE_PRX_D1。 0010001 : TS_10_1GBASE_PRX_D2。 0010010 : TS_10_1GBASE_PRX_D3。 0010011 : TS_10GBASE_PR_D1。 0010100 : TS_10GBASE_PR_D2。 0010101 : TS_10GBASE_PR_D3。 0010110 : TS_10_1GBASE_PRX_U1。 0010111 : TS_10_1GBASE_PRX_U2。 0011000 : TS_10_1GBASE_PRX_U3。 0011001 : TS_10GBASE_PR_U1。 0011010 : TS_10GBASE_PR_U3。 0011011 : TS_RESERVED。 0011100 : TS_10GBASE_PR_D4。 0011101 : TS_10_1GBASE_PRX_D4。 0011110 : TS_10GBASE_PR_U4。 0011111 : TS_10_1GBASE_PRX_U4。 0100000 : TS_40GBASE_KR4_PMA_PMD。 0100001 : TS_40GBASE_CR4_PMA_PMD。 0100010 : TS_40GBASE_SR4_PMA_PMD。 0100011 : TS_40GBASE_LR4_PMA_PMD。 0100100 : TS_40GBASE_FR_PMA_PMD。 0100101 : TS_40GBASE_ER4_PMA_PMD。 0100110 : TS_40GBASE_T_PMA。	0x3D	R/W

レジスタ

表 127. PMA_PMD_CNTRL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
		0101000 : TS_100GBASE_CR10_PMA_PMD。 0101001 : TS_100GBASE_SR10_PMA_PMD。 0101010 : TS_100GBASE_LR4_PMA_PMD。 0101011 : TS_100GBASE_ER4_PMA_PMD。 0101100 : TS_100GBASE_KP4_PMA_PMD。 0101101 : TS_100GBASE_KR4_PMA_PMD。 0101110 : TS_100GBASE_CR4_PMA_PMD。 0101111 : TS_100GBASE_SR4_PMA_PMD。 0110000 : TS_2_5GBASE_T_PMA。 0110001 : TS_5GBASE_T_PMA。 0110010 : TS_10GPASS_XR_D_PMA_PMD。 0110011 : TS_10GPASS_XR_U_PMA_PMD。 0110100 : TS_BASE_H_PMA_PMD。 0110101 : TS_25GBASE_LR_PMA_PMD。 0110110 : TS_25GBASE_ER_PMA_PMD。 0110111 : TS_25GBASE_T_PMA。 0111000 : TS_25GBASE_CR_OR_25GBASE_CR_S_PMA_PMD。 0111001 : TS_25GBASE_KR_OR_25GBASE_KR_S_PMA_PMD。 0111010 : TS_25GBASE_SR_PMA_PMD。 0111101 : TS_BASE_T1_PMA_PMD。 1010011 : TS_200GBASE_DR4_PMA_PMD。 1010100 : TS_200GBASE_FR4_PMA_PMD。 1010101 : TS_200GBASE_LR4_PMA_PMD。 1011001 : TS_400GBASE_SR16_PMA_PMD。 1011010 : TS_400GBASE_DR4_PMA_PMD。 1011011 : TS_400GBASE_FR8_PMA_PMD。 1011100 : TS_400GBASE_LR8_PMA_PMD。		

PMA/PMDステータス2レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0008、リセット : 0x8301、レジスタ名 : PMA_PMD_STAT2

表 128. PMA_PMD_STAT2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PMA_PMD_PRESENT	PMA/PMDが存在。PMAが存在し応答していることを示します。	0x2	R
[13:10]	RESERVED	予備。	0x0	R
9	PMA_PMD_EXT_ABLE	PHY拡張アビリティ・サポート。PHYがPMA_PMD_EXT_ABILITYに記載の拡張アビリティに対応していることを示します。	0x1	R
8	PMA_PMD_TX_DIS_ABLE	PMA/PMD Txディスエーブル。PMAが送信ディスエーブルに対応していることを示します。	0x1	R
[7:1]	RESERVED	予備。	0x0	R
0	LB_PMA_LOC_ABLE	PMAローカル・ループバック・エーブル。PMAがローカル・ループバックに対応していることを示します。	0x1	R

レジスタ

PMA/PMD送信ディスエーブル・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0009、リセット：0x0000、レジスタ名：PMA_PMD_TX_DIS

このアドレスは、802.3規格の条項45.2.1.8で規定されているPMD送信ディスエーブル・レジスタに対応しています。

表 129. PMA_PMD_TX_DISのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]		予備。	Reserved.	0x0
0	PMA_TX_DIS PMD	PMD送信ディスエーブル。このビットを1に設定すると、PMDは送信経路の出力をディスエーブルします。それ以外の場合は、PMDは送信経路の出力をイネーブルします。	0x0	R/W

PMA/PMD拡張アビリティ・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x000B、リセット：0x0800、レジスタ名：PMA_PMD_EXT_ABILITY

PMA/PMD拡張アビリティ。

表 130. PMA_PMD_EXT_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
11	PMA_PMD_BT1_ABLE	PHYはBASE-T1に対応。PHYがPMA_PMD_BT1_ABILITYに記載のBASE-T1拡張アビリティに対応していることを示します。	0x1	R
[10:0]	RESERVED	予備。	0x0	R

BASE-T1 PMA/PMD拡張アビリティ・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0012、リセット：0x0004、レジスタ名：PMA_PMD_BT1_ABILITY

このアドレスは、802.3規格の条項45.2.1.16で規定されているBASE-T1 PMA/PMD拡張アビリティ・レジスタに対応しています。このレジスタは読み出し専用で、書き込みを行っても無効です。

表 131. PMA_PMD_BT1_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	B10S_ABILITY	10BASE-T1Sアビリティ。PMA/PMDは10BASE-T1Sに対応していないため、このビットは常に0として読み出されます。	0x0	R
2	B10L_ABILITY	10BASE-T1Lアビリティ。PMA/PMDは10BASE-T1Lに対応しているため、このビットは常に1として読み出されます。	0x1	R
1	B1000_ABILITY	1000BASE-T1アビリティ。PMA/PMDは1000BASE-T1に対応していないため、このビットは常に0として読み出されます。	0x0	R
0	B100_ABILITY	100BASE-T1アビリティ。PMA/PMDは100BASE-T1に対応していないため、このビットは常に0として読み出されます。	0x0	R

BASE-T1 PMA/PMD制御レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0834、リセット：0x8002、レジスタ名：PMA_PMD_BT1_CONTROL

このアドレスは、802.3規格の条項45.2.1.185で規定されているBASE-T1 PMA/PMD制御レジスタに対応しています。

表 132. PMA_PMD_BT1_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x1	R
14	CFG_MST	マスタ／スレーブ設定。CFG_MSTが使用されるのは、オートネゴシエーションがディスエーブルの場合のみです。そうでない場合、この値はオートネゴシエーション・プロセス自体によって決まります。このビットを1に設定すると、デバイスはマスタとして設定されます。それ以外では、デバイスはスレーブとして設定されます。	Pin Dependent	R/W
[13:4]	RESERVED	予備。	0x0	R

レジスタ

表 132. PMA_PMD_BT1_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[3:0]	BT1_TYPE_SEL	BASE-T1のタイプの選択。以下の制御レジスタのビットの定義については、IEEE 802.3規格を参照してください（Xはドント・ケアを意味します）。 1XXX: 予備 01XX: 予備 0011 : 10BASE-T1S。 0010 : 10BASE-T1L。 0001 : 1000BASE-T。 0000 : 100BASE-T。 BT1_TYPE_SELを使用するのは、オートネゴシエーションがディスエーブルされ、強制リンク設定モードがイネーブルされている場合のみです。オートネゴシエーションがイネーブルの場合、PHYのタイプはオートネゴシエーション・プロセス自体によって決められます。ADIN1110レジスタでは、10BASE-T1L用の値のみ有効です。	0x2	R/W

10BASE-T1L PMA制御レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x08F6、リセット：0x0000、レジスタ名：B10L_PMA_CNTRL

このアドレスは、802.3cg規格の条項45.2.1.186aで規定されている10BASE-T1L PMA制御レジスタに対応しています。

表 133. B10L_PMA_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R/W SC
14	B10L_TX_DIS_MODE_EN	10BASE-T1L送信ディスエーブル・モード。このビットを1に設定すると、送信経路の出力がディスエーブルされます。そうでない場合は、送信経路の出力がイネーブルされます。	0x0	R/W
13	RESERVED	予備。	0x0	R
12	B10L_TX_LVL_HI	10BASE-T1L送信電圧振幅制御。この設定はオートネゴシエーションがディスエーブルされている場合にのみ使用します。そうでない場合、設定はオートネゴシエーション・プロセス自体によって決まります。このビットを1にセットすると、デバイスは2.4V p-pの動作モードで動作します。それ以外では、デバイスは1.0V p-pの動作モードで動作します。	Pin Dependent	R/W
11	RESERVED	予備。	0x0	R/W
10	B10L_EEE	10BASE-T1L EEEイネーブル。	0x0	R/W
[9:1]	RESERVED	予備。	0x0	R
0	B10L_LB_PMA_LOC_EN	10BASE-T1L PMAループバック。このビットを1に設定すると、PMAは送信経路のデータを受け入れ、それを受信経路で返します。このビットを0に設定すると、PMAは通常動作モードで動作します。	0x0	R/W

10BASE-T1L PMAステータス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x08F7、リセット：0x2800、レジスタ名：B10L_PMA_STAT

このアドレスは、802.3cg規格の条項45.2.1.186bで規定されている10BASE-T1L PMAステータス・レジスタに対応しています。

表 134. B10L_PMA_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予備。	0x0	R
13	B10L_LB_PMA_LOC_ABLE	10BASE-T1L PMAループバック・アビリティ。PMAにはループバック・アビリティがあるため、このビットは常に1として読み出されます。	0x1	R
12	B10L_TX_LVL_HI_ABLE	10BASE-T1L高電圧Txアビリティ。PHYが10BASE-T1Lの高電圧（2.4V p-p）送信レベル動作モードに対応していることを示します。	Pin Dependent	R
11	B10L_PMA_SFT_PD_ABLE	PMAはパワーダウンに対応。PMAがソフトウェア・パワーダウンに対応していることを示します。	0x1	R
10	B10L_EEE_ABLE	10BASE-T1L EEEアビリティ。PHYが10BASE-T1L EEEに対応しているかどうかを示します。	0x0	R
[9:0]	RESERVED	予備。	0x0	R

レジスタ

10BASE-T1Lテスト・モード制御レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x08F8、リセット：0x0000、レジスタ名：B10L_TEST_MODE_CNTRL

このアドレスは、802.3cg規格の条項45.2.1.186cで規定されている10BASE-T1L PMAテスト・モード制御レジスタに対応しています。このレジスタのデフォルト値は、デバイスの初期状態として、管理の介入のない通常動作を選択します。

表 135. B10L_TEST_MODE_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	B10L_TX_TEST_MODE	10BASE-T1Lトランスミッタ・テスト・モード。 000：通常動作。 001：テスト・モード1 - トランスミッタ出力電圧およびタイミング・ジッタのテスト・モード。テスト・モード1がイネーブルされている場合、PHYはデータ記号シーケンス（+1, -1）を繰り返し送信します。 010：テスト・モード2 - トランスミッタ出力ドループ・テスト・モード。テスト・モード2がイネーブルされている場合、PHYは10個の+1記号を送信し、続いて10個の-1記号を送信します。 011：テスト・モード3 - アイドル・モードでの通常動作。テスト・モード3がイネーブルされている場合、PHYはデータを通常のフレーム間アイドル信号に設定し、非テスト動作時およびマスタ・データ・モード時のように送信します。	0x0	R/W
[12:0]	RESERVED	予備。	0x0	R

CR安定性チェック用周波数オフセット飽和閾値レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x8015、リセット：0x0008、レジスタ名：CR_STBL_CHK_FOFFS_SAT_THR

表 136. CR_STBL_CHK_FOFFS_SAT_THRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
[10:0]	CR_STBL_CHK_FOFFS_SAT_THR	クロック再生（CR）安定性チェック用の周波数オフセット飽和閾値。	0x8	R/W

スレーブIIRフィルタ変化エコー・アキュイジション・クロック再生比例ゲイン・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x81E7、リセット：0x0400、レジスタ名：SLV_FLTR_ECHO_ACQ_CR_KP

表 137. SLV_FLTR_ECHO_ACQ_CR_KPのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	SLV_FLTR_ECHO_ACQ_CR_KP	スレーブの無限インパルス応答（IIR）フィルタ変化エコー・アキュイジション・クロック再生比例ゲイン。	0x400	R/W

10BASE-T1L PMAリンク・ステータス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x8302、リセット：0x0000、レジスタ名：B10L_PMA_LINK_STAT

このアドレスを読み出すことで、10BASE-T1L PMAリンクのステータスが判定できます。B10L_PMA_LINK_STATを読み出すと、これらのビットのラッチ条件がクリアされます。

表 138. B10L_PMA_LINK_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予備。	0x0	R

レジスタ

表 138. B10L_PMA_LINK_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
9	B10L_REM_RCVR_STAT_OK_LL	10BASE-T1Lリモート・レシーバー・ステータスOKラッチ・ロー。 B10L_REM_RCVR_STAT_OKのラッチ・ロー・バージョン。	0x0	R LL
8	B10L_REM_RCVR_STAT_OK	10BASE-T1Lリモート・レシーバー・ステータスOK。このビットが1の場合、リモート・レシーバーのステータスがOKであることを示します。	0x0	R
7	B10L_LOC_RCVR_STAT_OK_LL	10BASE-T1Lローカル・レシーバー・ステータスOKラッチ・ロー。 B10L_LOC_RCVR_STAT_OKのラッチ・ロー・バージョン。	0x0	R LL
6	B10L_LOC_RCVR_STAT_OK	10BASE-T1Lローカル・レシーバー・ステータスOK。このビットが1の場合、ローカル・レシーバーのステータスがOKであることを示します。	0x0	R
5	B10L_DSCR_STAT_OK_LL	BASE-T1Lデスクランブラ・ステータスOKラッチ・ロー。このビットが1の場合、デスクランブラのステータスがOKであることを示します。	0x0	R LL
4	B10L_DSCR_STAT_OK	10BASE-T1Lデスクランブラ・ステータスOK。このビットが1の場合、デスクランブラのステータスがOKであることを示します。	0x0	R
[3:2]	RESERVED	予備。	0x0	R
1	B10L_LINK_STAT_OK_LL	リンク・ステータスOKラッチ・ロー。このビットが1の場合、リンクのステータスがOKであることを示します。	0x0	R LL
0	B10L_LINK_STAT_OK	リンク・ステータスOK。このビットが1の場合、リンクのステータスがOKであることを示します。	0x0	R

MSE値レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x830B、リセット：0x0000、レジスタ名：MSE_VAL

表 139. MSE_VALのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MSE_VAL	MSE値。LSBの重みは 2^{-18} であることに注意してください。S/N比（SNR）の値を計算する場合、10BASE-T1Lの平均のアイドル・シンボル・パワーは0.64422です。	0x0	R

PCS制御1レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0000、リセット：0x0000、レジスタ名：PCS_CNTRL1

このアドレスは、802.3規格の条項45.2.3.1で規定されているPCS制御レジスタ1に対応しています。

表 140. PCS_CNTRL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PCS_SFT_RST	PCSソフトウェア・リセット。PMA_SFT_RSTをミラーリングします。	0x0	R/W SC
14	LB_PCS_EN	PCSループバック・イネーブル。このビットを1に設定すると、PCSは送信経路のデータを受け入れ、それを受信経路で返します。このビットを0に設定すると、PCSは通常動作モードで動作します。	0x0	R/W
[13:12]	RESERVED	予備。	0x0	R
11	PCS_SFT_PD	PCSソフトウェア・パワーダウン。PMA_SFT_PDをミラーリングします。	0x0	R/W
[10:0]	RESERVED	予備。	0x0	R

PCSステータス1レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0001、リセット：0x0002、レジスタ名：PCS_STAT1

表 141. PCS_STAT1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予備。	0x0	R
1	PCS_SFT_PD_ABLE	PCSソフトウェア・パワーダウン・エーブル。PCSがソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予備。	0x0	R

レジスタ

パッケージ1のPCS MMDデバイス・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：PCS_DEVS_IN_PKG1

表 142. PCS_DEVS_IN_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG1	パッケージのPCS MMDデバイス。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

パッケージ2のPCS MMDデバイス・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：PCS_DEVS_IN_PKG2

ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。

表 143. PCS_DEVS_IN_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG2	パッケージのPCS MMDデバイス。ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。	0xC000	R

PCSステータス2レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0008、リセット：0x8000、レジスタ名：PCS_STAT2

表 144. PCS_STAT2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PCS_PRESENT	PCSあり。PCSが存在し応答していることを示します。	0x2	R
[13:0]	RESERVED	予備。	0x0	R

10BASE-T1L PCS制御レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x08E6、リセット：0x0000、レジスタ名：B10L_PCS_CNTRL

このアドレスは、802.3cg規格の条項45.2.3.68aで規定されている10BASE-T1L PCS制御レジスタに対応しています。

表 145. B10L_PCS_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R/W SC
14	B10L_LB_PCS_EN	PCSループバック・イネーブル。このビットを1に設定すると、10BASE-T1L PCSループバックが有効になります。	0x0	R/W
[13:0]	RESERVED	予備。	0x0	R

10BASE-T1L PCSステータス・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x08E7、リセット：0x0000、レジスタ名：B10L_PCS_STAT

このアドレスは、802.3cg規格の条項45.2.3.68bで規定されている10BASE-T1L PCSステータス・レジスタに対応しています。

表 146. B10L_PCS_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
2	B10L_PCS_DSCR_STAT_OK_LL	PCSデスクランブラのステータス。このビットが1の場合、10BASE-T1L デスクランブラがロックされていることを示します。このビットが0の場合、最後のビット読出し後、10BASE-T1Lデスクランブラのロックが解除されたことを示します。	0x0	R LL
[1:0]	RESERVED	予備。	0x0	R

レジスタ

パッケージ1のオートネゴシエーションMMDデバイス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：AN_DEVS_IN_PKG1

条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。

表 147. AN_DEVS_IN_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG1	パッケージのオートネゴシエーションMMDデバイス。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

パッケージ2のオートネゴシエーションMMDデバイス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：AN_DEVS_IN_PKG2

ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。

表 148. AN_DEVS_IN_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG2	パッケージのオートネゴシエーションMMDデバイス。ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。	0xC000	R

BASE-T1オートネゴシエーション制御レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0200、リセット：0x1000、レジスタ名：AN_CONTROL

このアドレスは、802.3規格の条項45.2.7.19で規定されているBASE-T1オートネゴシエーション制御レジスタに対応しています。

表 149. AN_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R/W SC
12	AN_EN	オートネゴシエーションのイネーブル。このビットが1にセットされると、オートネゴシエーションがイネーブルされます。オートネゴシエーションはデフォルトでイネーブルされており、常にイネーブルしておくことを強く推奨します。	0x1	R/W
[11:10]	RESERVED	予備。	0x0	R
9	AN_RESTART	オートネゴシエーションの再起動。このビットを1に設定すると、オートネゴシエーションが再起動します。このビットはセルフ・クリア・ビットで、オートネゴシエーション・プロセスが開始されるまで1の値を返します。	0x0	R/W SC
[8:0]	RESERVED	予備。	0x0	R

BASE-T1オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0201、リセット：0x0008、レジスタ名：AN_STATUS

このアドレスは、802.3規格の条項45.2.7.20で規定されているBASE-T1オートネゴシエーション・ステータス・レジスタに対応しています。

表 150. AN_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	AN_PAGE_RX	ページ受信。このビットがセットされた場合、新しいリンクのコードワードが受信され、AN_LP_ADV_ABILITYレジスタまたはAN_LP_NEXT_PAGEレジスタに保存されていることを示します。オートネゴシエーション時にこのビットが初めてセットされた場合に、AN_LP_ADV_ABILITYの内容が有効となります。このビットは、AN_STATUS レジスタを読み出すことで0にリセットされます。	0x0	R LH
5	AN_COMPLETE	オートネゴシエーション完了。このビットが1として読み出された場合に、オートネゴシエーションが完了してPHYリンクが確立し、AN_ADV_ABILITY_xレジスタとAN_LP_ADV_ABILITY_xレジスタの内容は有効となります。このビットが0を返す場合、オートネゴシエーションはディセーブルされ、AN_ENビットはクリアされています。	0x0	R

レジスタ

表 150. AN_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
4	AN_REMOTE_FAULT	オートネゴシエーション・リモート・フォルト。リンク・パートナーから受信したベース・ページのリモート・フォルト設定。	0x0	R LH
3	AN_ABLE	オートネゴシエーション・アビリティ。このビットが1の場合、PHYがオートネゴシエーションを実行できることを示します。	0x1	R
2	AN_LINK_STATUS	リンク・ステータス。このビットが1の場合、有効なリンクが確立されていることを示します。このビットが0の場合は、最後の読出し以降にリンクが切断されていることを示します。	0x0	R LL
[1:0]	RESERVED	予備。	0x0	R

BASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0202、リセット：0x0001、レジスタ名：AN_ADV_ABILITY_L

このアドレスは、802.3規格の条項45.2.7.21で規定されているBASE-T1オートネゴシエーション・アダプタイズメント・レジスタのビット[15:0]に対応しています。

表 151. AN_ADV_ABILITY_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_ADV_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHYがネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R/W
14	AN_ADV_ACK	アクノレッジ (ACK)。このビットは、デバイスがリンク・パートナーのリンク・コードワードを受信したことを示します。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_ADV_REMOTE_FAULT	リモート・フォルト。IEEE 802.3規格の副条項98.2.1.2.7を参照してください。	0x0	R/W
12	AN_ADV_FORCE_MS	強制マスタ/スレーブ設定。このビットを使用すると、PHYはマスタ/スレーブ設定を強制できます。このビットが0の場合、マスタ/スレーブ設定は優先モードです。(AN_ADV_MSTの設定は優先設定です。) このビットが1の場合、マスタ/スレーブ設定は強制モードです。(AN_ADV_MSTの設定は強制設定です。) 詳細についてはIEEE 802.3規格の副条項98.2.1.2.5を参照してください。	0x0	R/W
[11:10]	AN_ADV_PAUSE	一時停止アビリティ。このビット・フィールドは、全二重リンクで非対称および対称の一時停止機能に対応していることをアダプタイズします。詳細についてはIEEE 802.3規格の副条項98.2.1.2.6を参照してください。	0x0	R/W
[9:5]	RESERVED	予備。	0x0	R
[4:0]	AN_ADV_SELECTOR	セクタ。このビット・フィールドの値は5'b00001で、これはIEEE 802.3のセクタ値です。IEEE 802.3規格の副条項98.2.1.2.1を参照してください。	0x1	R

BASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0203、リセット：0x4000、レジスタ名：AN_ADV_ABILITY_M

このアドレスは、802.3規格の条項45.2.7.21で規定されているBASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[31:16]に対応しています。

表 152. AN_ADV_ABILITY_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	AN_ADV_B10L	10BASE-T1Lアビリティ。このビットは、デバイスが10BASE-T1Lと互換であることを示します。		0x1
[13:5]	RESERVED	予備。	0x0	R
4	AN_ADV_MST	マスタ/スレーブ設定このビットは、マスタ/スレーブ設定を次のようにアダプタイズします。0：スレーブ、1：マスタAN_ADV_FORCE_MSビットも参照してください。これは、このビットが優先値と強制値のどちらを表すかを決定します。IEEE規格802.3の副条項98.2.1.2.3を参照してください(マスタ/スレーブ設定は送信されたノンス・フィールドのビット4です)。	Pin Dependent	R/W
[3:0]	RESERVED	予備。	0x0	R

レジスタ

BASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0204、リセット：0x0000、レジスタ名：AN_ADV_ABILITY_H

このアドレスは、802.3規格の条項45.2.7.21で規定されているBASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[47:32]に対応しています。

表 153. AN_ADV_ABILITY_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	Reserved.	0x0	R
13	AN_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1Lハイ・レベル送信動作モード・アビリティ。このビットは、PHYがハイ・レベル（2.4V p-p）送信動作モードで送信できることをアダプタイズします。このビットは、AN_ADV_B10L_TX_LVL_HI_REQと共に使用され、10BASE-T1L送信レベル（2.4V p-pまたは1.0V p-p）を設定します。詳細についてはAN_ADV_B10L_TX_LVL_HI_REQビットを参照してください。	Pin dependent	R/W
12	AN_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1Lハイ・レベル送信動作モード・リクエスト。このビットは、PHYがハイ・レベル（2.4V p-p）送信動作モードを使用することをリクエストしていることをアダプタイズします。送信レベルは次のように決定されます。少なくともどちらか一方のPHYがハイ・レベル送信に対応できない（AN_ADV_B10L_TX_LVL_HI_ABL = 0）場合、どちらのPHYも低電圧（1.0V p-p）送信動作モードを使用しなくてはなりません。反対に、少なくともどちらか一方のPHYがハイ・レベル送信をリクエストしている（AN_ADV_B10L_TX_LVL_HI_REQ = 1）場合、どちらのPHYも高電圧（2.4V p-p）送信動作モードを使用しなくてはなりません。詳細についてはIEEE P802.cgの副条項146.6.4を参照してください。	Pin dependent	R/W
[11:0]	RESERVED	予備。	0x0	R

BASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0205、リセット：0x0000、レジスタ名：AN_LP_ADV_ABILITY_L

このアドレスは、802.3規格の条項45.2.7.22で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・ベース・ページ・アビリティ・レジスタのビット[15:0]に対応しています。AN_LP_ADV_ABILITY_MレジスタおよびAN_LP_ADV_ABILITY_Hレジスタの値は、AN_LP_ADV_ABILITY_Lの読み出し時にラッチされることに注意してください。

表 154. AN_LP_ADV_ABILITY_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_ADV_NEXT_PAGE_REQ	リンク・パートナー・ネクスト・ページ・リクエスト。このビットは、リンク・パートナーのPHYがネクスト・ページを送信しようとしていることを示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R
14	AN_LP_ADV_ACK	リンク・パートナー・アクノレッジ（ACK）。このビットは、デバイスがリンク・パートナーのリンク・コードワードを受信したことを示します。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_LP_ADV_REMOTE_FAULT	リンク・パートナー・リモート・フォルト。IEEE 802.3規格の副条項98.2.1.2.7を参照してください。	0x0	R
12	AN_LP_ADV_FORCE_MS	リンク・パートナー強制マスタ／スレープ設定。このビットは、次の値を使用して、リンク・パートナーの強制マスタ／スレープ設定を示します。詳細についてはIEEE 802.3規格の副条項98.2.1.2.5を参照してください。 0：優先モード（AN_LP_ADV_MSTは優先設定）。 1：強制モード（AN_LP_ADV_MSTは強制設定）。	0x0	R
[11:10]	AN_LP_ADV_PAUSE	リンク・パートナー一時停止アビリティ。このビット・フィールドは、全二重リンクでリンク・パートナーの非対称および対称一時停止機能に対応していることを示します。詳細についてはIEEE 802.3規格の副条項98.2.1.2.6を参照してください。	0x0	R
[9:5]	RESERVED	予備。	0x0	R
[4:0]	AN_LP_ADV_SELECTOR	リンク・パートナー・セクタ。このフィールドの値は00001で、これはIEEE 802.3のセクタ値です。IEEE 802.3規格の副条項98.2.1.2.1を参照してください。	0x0	R

レジスタ

BASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0206、リセット：0x0000、レジスタ名：AN_LP_ADV_ABILITY_M

このアドレスは、802.3規格の条項45.2.7.22で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・ベース・ページ・アビリティ・レジスタのビット[31:16]に対応しています。このレジスタの値は、AN_LP_ADV_ABILITY_Lレジスタの読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 155. AN_LP_ADV_ABILITY_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	AN_LP_ADV_B10L	リンク・パートナー10BASE-T1Lアビリティ。このビットは、リンク・パートナーに10BASE-T1Lアビリティがあるかどうかを示します。	0x0	R
[13:8]	RESERVED	予備。	0x0	R
7	AN_LP_ADV_B1000	リンク・パートナー1000BASE-T1アビリティ。このビットは、リンク・パートナーに1000BASE-T1アビリティがあるかどうかを示します。	0x0	R
6	AN_LP_ADV_B10S_FD	リンク・パートナー10BASE-T1S全二重アビリティ。このビットは、リンク・パートナーに10BASE-T1Sアビリティがあるかどうかを示します。	0x0	R
5	AN_LP_ADV_B100	リンク・パートナー100BASE-T1アビリティ。このビットは、リンク・パートナーに100BASE-T1アビリティがあるかどうかを示します。	0x0	R
4	AN_LP_ADV_MST	リンク・パートナー・マスタ/スレーブ設定。このビットは、リンク・パートナーのマスタ/スレーブ設定を次のように示します。0：スレーブ、1：マスタ AN_LP_ADV_FORCE_MSビットも参照してください。これは、このビットが優先値と強制値のどちらを表すかを決定します。IEEE規格802.3の副条項98.2.1.2.3を参照してください（マスタ/スレーブ設定は送信されたノンス・フィールドのビット4です）。	0x0	R
[3:0]	RESERVED	予備。	0x0	R

BASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0207、リセット：0x0000、レジスタ名：AN_LP_ADV_ABILITY_H

このアドレスは、802.3規格の条項45.2.7.22で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・ベース・ページ・アビリティ・レジスタのビット[47:32]に対応しています。このレジスタの値は、AN_LP_ADV_ABILITY_Lレジスタの読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 156. AN_LP_ADV_ABILITY_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	AN_LP_ADV_B10L_EEE	リンク・パートナー10BASE-T1L EEEアビリティ。このビットは、リンク・パートナーが10BASE-T1L省電力イーサネット（energy efficient Ethernet）を使用できるかどうかを示します。	0x0	R
13	AN_LP_ADV_B10L_TX_LVL_HI_ABL	リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・アビリティ。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードで送信できるかどうかを示します。このビットはAN_LP_ADV_B10L_TX_LVL_HI_REQと共に使用して10BASE-T1L送信レベル（2.4V p-pまたは1.0V p-p）を設定します。詳細については、AN_ADV_B10L_TX_LVL_HI_REQビットを参照してください。	0x0	R
12	AN_LP_ADV_B10L_TX_LVL_HI_REQ	リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・リクエスト。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードを使用することをリクエストしているかどうかを示します。詳細についてはAN_ADV_B10L_TX_LVL_HI_REQビットを参照してください。	0x0	R
11	AN_LP_ADV_B10S_HD	リンク・パートナー10BASE-T1S半二重アビリティ。このビットは、リンク・パートナーが10BASE-T1S半二重を使用できるかどうかを示します。	0x0	R
[10:0]	RESERVED	予備。	0x0	R

BASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0208、リセット：0x2001、レジスタ名：AN_NEXT_PAGE_L

このアドレスは、802.3規格の条項45.2.7.23で規定されているBASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタのビット

レジスタ

[15:0]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN_NEXT_PAGE_Lの前に、AN_NEXT_PAGE_MとAN_NEXT_PAGE_Hを書き込みます。

表 157. AN_NEXT_PAGE_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHYがネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R/W
14	AN_NP_ACK	ネクスト・ページ・アクノレッジ。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_NP_MESSAGE_PAGE	ネクスト・ページ・エンコード。ネクスト・ページのエンコードを次のように示します。 0：未フォーマット・ネクスト・ページ。 1：メッセージ・ネクスト・ページ。	0x1	R/W
12	AN_NP_ACK2	アクノレッジ2。PHYがメッセージに従うことができるかどうかを示します。IEEE 802.3規格の副条項28.2.3.4.6を参照してください。	0x0	R/W
11	AN_NP_TOGGLE	トグル・ビット。このトグル・ビットは、PHY間でページを同期するために使用します。これは常に0が読み出されます（このトグル・ビットは、アービトラリゼーション・ステート・マシンによって自動的に設定されます）。	0x0	R
[10:0]	AN_NP_MESSAGE_CODE	メッセージ／未フォーマット・コード・フィールド。メッセージ・ページ（AN_NP_MESSAGE_PAGE = 1）に有効な値はIEEE 802.3規格で定義されています。 1：ヌル・メッセージ。 5：組織固有の識別子がタグ付けされたメッセージ。 6：オートネゴシエーション・デバイス識別子タグ・コード。	0x1	R/W

BASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0209、リセット：0x0000、レジスタ名：AN_NEXT_PAGE_M

このアドレスは、802.3規格の条項45.2.7.23で規定されているBASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタのビット[31:16]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN_NEXT_PAGE_Lの前に、AN_NEXT_PAGE_MとAN_NEXT_PAGE_Hを書き込みます。

表 158. AN_NEXT_PAGE_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED1	未フォーマット・コード・フィールド1。	0x0	R/W

BASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020A、リセット：0x0000、レジスタ名：AN_NEXT_PAGE_H

このアドレスは、802.3規格の条項45.2.7.23で規定されているBASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタのビット[47:32]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN_NEXT_PAGE_Lの前に、AN_NEXT_PAGE_MとAN_NEXT_PAGE_Hを書き込みます。

表 159. AN_NEXT_PAGE_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED2	未フォーマット・コード・フィールド2。	0x0	R/W

BASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020B、リセット：0x0000、レジスタ名：AN_LP_NEXT_PAGE_L

このアドレスは、802.3規格の条項45.2.7.24で規定されているBASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタのビット[15:0]に対応しています。このレジスタの読出し時に、AN_LP_NEXT_PAGE_MおよびAN_LP_NEXT_PAGE_Hの値はラッチされます。

レジスタ

表 160. AN_NEXT_PAGE_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHYがネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R
14	AN_LP_NP_ACK	リンク・パートナー・ネクスト・ページ・アクノレッジ。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_LP_NP_MESSAGE_PAGE	リンク・パートナーのネクスト・ページ・エンコード。リンク・パートナーのネクスト・ページのエンコードを次のように示します。 0：未フォーマット・ネクスト・ページ。 1：メッセージ・ネクスト・ページ。	0x0	R
12	AN_LP_NP_ACK2	リンク・パートナー・アクノレッジ2。詳細については、AN_NP_ACK2を参照してください。	0x0	R
11	AN_LP_NP_TOGGLE	リンク・パートナー・トグル・ビット。リンク・パートナーのトグル・ビットです。	0x0	R
[10:0]	AN_LP_NP_MESSAGE_CODE	リンク・パートナー・メッセージ/未フォーマット・コード・フィールド。詳細については、AN_NP_MESSAGE_PAGEを参照してください。 1：ヌル・メッセージ。 5：組織固有の識別子がタグ付けされたメッセージ。 6：オートネゴシエーション・デバイス識別子タグ・コード。	0x0	R

BASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020C、リセット：0x0000、レジスタ名：AN_LP_NEXT_PAGE_M

このアドレスは、802.3規格の条項45.2.7.24で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・ネクスト・ページ・アビリティ・レジスタのビット[31:16]に対応しています。このレジスタの値は、AN_LP_NEXT_PAGE_Lの読出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 161. AN_LP_NEXT_PAGE_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED1	リンク・パートナー未フォーマット・コード・フィールド1。	0x0	R

BASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020D、リセット：0x0000、レジスタ名：AN_LP_NEXT_PAGE_H

このアドレスは、802.3規格の条項45.2.7.24で規定されているBASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[47:32]に対応しています。このレジスタの値は、AN_LP_NEXT_PAGE_Lの読出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 162. AN_LP_NEXT_PAGE_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED2	リンク・パートナー未フォーマット・コード・フィールド2。	0x0	R

10BASE-T1オートネゴシエーション制御レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x020E、リセット：0x8000、レジスタ名：AN_B10_ADV_ABILITY

このアドレスは、802.3cg規格の条項45.2.7.25で規定されている10BASE-T1オートネゴシエーション制御レジスタに対応しています。

表 163. AN_B10_ADV_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_B10_ADV_B10L	10BASE-T1Lアビリティ。これはAN_ADV_B10Lレジスタの複製です。	0x1	R/W

レジスタ

表 163. AN_B10_ADV_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
14	AN_B10_ADV_B10L_EEE	10BASE-T1L EEEアビリティ。これはAN_ADV_B10L_EEEレジスタの複製です。	0x0	R
13	AN_B10_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1Lハイ・レベル送信動作モード・アビリティ。これはAN_ADV_B10L_TX_LVL_HI_ABLレジスタの複製です。	Pin Dependent	R/W
12	AN_B10_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1Lハイ・レベル送信動作モード・リクエスト。これはAN_ADV_B10L_TX_LVL_HI_REQレジスタの複製です。	Pin Dependent	R/W
[11:0]	RESERVED	予備。	0x0	R

10BASE-T1オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x020F、リセット：0x0000、レジスタ名：AN_B10_LP_ADV_ABILITY

このアドレスは、802.3cg規格の条項45.2.7.26で規定されている10BASE-T1オートネゴシエーション・ステータス・レジスタに対応しています。

表 164. AN_B10_LP_ADV_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_B10_LP_ADV_B10L	10BASE-T1Lアビリティ。これはAN_LP_ADV_B10Lレジスタの複製です。	0x0	R
14	AN_B10_LP_ADV_B10L_EEE	10BASE-T1L EEEアビリティ。これはAN_LP_ADV_B10L_EEEレジスタの複製です。	0x0	R
13	AN_B10_LP_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1Lハイ・レベル送信動作モード・アビリティ。これはAN_LP_ADV_B10L_TX_LVL_HI_ABLレジスタの複製です。	0x0	R
12	AN_B10_LP_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1Lハイ・レベル送信動作モード・リクエスト。これはAN_LP_ADV_B10L_TX_LVL_HI_REQレジスタの複製です。	0x0	R
[11:8]	RESERVED	予備。	0x0	R
7	AN_B10_LP_ADV_B10S_FD	リンク・パートナー10BASE-T1S全二重アビリティ。これはAN_LP_ADV_B10S_FDレジスタの複製です。	0x0	R
6	AN_B10_LP_ADV_B10S_HD	リンク・パートナー10BASE-T1S半二重アビリティ。これはAN_LP_ADV_B10S_HDレジスタの複製です。	0x0	R
[5:0]	RESERVED	予備。	0x0	R

オートネゴシエーション強制モード・イネーブル・レジスタ。

デバイス・アドレス：0x07、レジスタ・アドレス：0x8000、リセット：0x0000、レジスタ名：AN_FRC_MODE_EN

このレジスタの効果は、オートネゴシエーション・プロセスをイネーブルするAN_ENビットによって無効化されることに注意してください。オートネゴシエーションがディスエーブル（AN_EN=0）されており、AN_FRC_MODE_ENが1の場合に、強制モードが有効になります。

表 165. AN_FRC_MODE_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	AN_FRC_MODE_EN	オートネゴシエーション強制モード。強制モード機能をイネーブルします。	0x0	R/W

追加オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x8001、リセット：0x0000、レジスタ名：AN_STATUS_EXTRA

このレジスタは、AN_STATUSに追加して提供されます。

表 166. AN_STATUS_EXTRAのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R

レジスタ

表 166. AN_STATUS_EXTRAのビットの説明

ビット	ビット名	説明	リセット	アクセス
10	AN_LP_NP_RX	リンク・パートナーから受信したネクスト・ページ・リクエスト。	0x0	R LH
9	AN_INC_LINK	非互換リンク表示。これは、IEEE 802.3規格の副条項98.5.1の非互換リンク状態に対応します。この値は、オートネゴシエーション・グッド・チェック状態になるときに実行される優先度決定機能によって設定されます。	0x0	R
[8:7]	AN_TX_LVL_RSLTN	オートネゴシエーションTxレベル結果。送信レベル・ハイ／ローの判定結果。IEEE 802.3cg規格の副条項146.6.4に従って決定されます。これは以下の要領でエンコードされます。 0：不実行。 2：成功、ロー送信レベル（1.0V p-p）を選択。 3：成功、ハイ送信レベル（2.4V p-p）を選択。	0x0	R
[6:5]	AN_MS_CONFIG_RSLTN	マスタ／スレーブの判定結果。IEEE 802.3規格のマスタ／スレーブ設定に従って決定されます。これは以下の要領でエンコードされます。 0：不実行。 1：設定フォルト。 2：成功、PHYがスレーブに設定。 3：成功、PHYがマスタに設定。	0x0	R
[4:1]	AN_HCD_TECH	最大公約数（HCD）PHY技術。IEEE 802.3規格の副条項98.2.4.2の優先度解決機能により選択。ここに示されていない値はすべて予約済みであることを考慮してください。 0：ヌル（不実行）。 1：10BASE-T1L。	0x0	R
0	AN_LINK_GOOD	オートネゴシエーション完了表示。これは、IEEE 802.3規格の副条項98.5.1のan_link_good状態に対応します。この信号はオートネゴシエーション送信が完了したことを示し、イネーブルされたPHY技術がリンクを確立している途中かあるいは既に確立済みであることを示します。AN_COMPLETEも参照してください。これは同様のものですが、PHYリンクが確立していることを示します。	0	AN_LINK_GOOD

PHY即時ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x8030、リセット：0x0010、レジスタ名：AN_PHY_INST_STATUS

このレジスタ・アドレスにより、即時ステータス表示にアクセスできます。これらの値はラッチされません。また、ここで返された表示値のセットは、整合したセット、つまり、レジスタ・アドレスの読出し時に有効となる値のセットです。

表 167. AN_PHY_INST_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予備。	0x0	R
4	IS_AN_TX_EN	オートネゴシエーションTxイネーブル・ステータス。オートネゴシエーションの送信をイネーブル。このビットは、オートネゴシエーションがアクティブでトランスミッタを制御しており、アービトレーションはまだオートネゴシエーション（AN）グッド・チェック状態またはANグッド状態に達していないことを示します。つまり、link_control信号はイネーブルには設定されていません。	0x1	R
3	IS_CFG_MST	マスタ・ステータスlink_control = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、これはPHYがマスタとして動作している（およびスレーブとしては動作していない）かどうかを示します。	0x0	R
2	IS_CFG_SLV	スレーブ・ステータス。link_control = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、これはPHYがスレーブとして動作している（およびマスタとしては動作していない）かどうかを示します。	0x0	R
1	IS_TX_LVL_HI	Txレベル・ハイ・ステータス。PHYがロー送信レベル（1.0V）ではなく、ハイ送信レベル（2.4V）で動作していることを示します。	0x0	R
0	IS_TX_LVL_LO	Txレベル・ロー・ステータス。PHYがハイ送信レベル（2.4V）ではなく、ロー送信レベル（1.0V）で動作していることを示します。	0x0	R

ベンダ固有MMD 1デバイス識別子ハイ・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0002、リセット：0x0283、レジスタ名：MMD1_DEV_ID1

このアドレスは、802.3規格の条項45.2.11.1で規定されているベンダ固有MMD 1デバイス識別子レジスタに対応し、組織固有識別子（OUI）の16ビットをモニタできます。

レジスタ

表 168. MMD1_DEV_ID1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEV_ID1	組織固有識別子。ビット[3:18]	0x283	R

ベンダ固有MMD 1デバイス識別子ロー・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0003、リセット：0xBC91、レジスタ名：MMD1_DEV_ID2

このアドレスは、802.3規格の条項45.2.11.1で規定されているベンダ固有MMD 1デバイス識別子レジスタに対応し、OUIの6ビットと、モデル番号およびリビジョン番号をモニタできます。

表 169. MMD1_DEV_ID2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD1_DEV_ID2_OUI	組織固有識別子。ビット[19:24]	0x2F	R
[9:4]	MMD1_MODEL_NUM	モデル番号。	0x9	R
[3:0]	MMD1_REV_NUM	リビジョン番号。	0x1	R

パッケージ内のベンダ固有1 MMDデバイス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：MMD1_DEVS_IN_PKG1

条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。

表 170. MMD1_DEVS_IN_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG1	パッケージ内のベンダ固有1 MMDデバイス。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：MMD1_DEVS_IN_PKG2

ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。

表 171. MMD1_DEVS_IN_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG2	パッケージ内のベンダ固有1 MMDデバイス。ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。	0xC000	R

ベンダ固有MMD 1ステータス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0008、リセット：0x8000、レジスタ名：MMD1_STATUS

このアドレスは、802.3規格の条項45.2.11.2で規定されているベンダ固有MMD 1ステータス・レジスタに対応しています。

表 172. MMD1_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD1_STATUS	ベンダ固有1 MMDステータス。 10：デバイスはこのアドレスに対応。 11：このアドレスに対応するデバイスはなし。 01：このアドレスに対応するデバイスはなし。 00：このアドレスに対応するデバイスはなし。	0x2	R
[13:0]	RESERVED	予備。	0x0	R

レジスタ

システム割込みステータス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0010、リセット：0x1000、レジスタ名：CRSM_IRQ_STATUS

このアドレスは、どの割込みリクエストが最後の読出し以降にトリガされたのかを確認するのに使用します。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。CRSM_IRQ_STATUSのビットは、関連する割込みがイネーブルされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムに致命的なエラーがあることを意味します。

表 173. CRSM_IRQ_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_LH	ソフトウェア・リクエストによる割込みイベント。	0x0	R LH
[14:13]	RESERVED	予備。	0x0	R
12	CRSM_HRD_RST_IRQ_LH	ハードウェア・リセット割込み。	0x1	R LH
[11:0]	RESERVED	予備。	0x0	R LH

システム割込みマスク・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0020、リセット：0x1FFE、レジスタ名：CRSM_IRQ_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 174. CRSM_IRQ_MASKのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_REQ	ソフトウェア割込み要求。ソフトウェアは、システム・レベルのテストの割込みを生成するためにこのビットをセットできます。このビットは、セルフ・クリアされるため、常に0が読み出されます。	0x0	R/W SC
[14:13]	RESERVED	予備。	0x0	R
12	CRSM_HRD_RST_IRQ_EN	ハードウェア・リセットの割込みをイネーブル。このレジスタはハードウェア・リセットが発生したときに初期化されるため、このレジスタに0を書き込んでも割込みはマスクされません。	0x1	R/W
[11:0]	RESERVED	予備。	0xFFE	R/W

ソフトウェア・リセット・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8810、リセット：0x0000、レジスタ名：CRSM_SFT_RST

表 175. CRSM_SFT_RSTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_SFT_RST	ソフトウェア・リセット・レジスタ。ソフトウェア・リセット・ビットを使用するとチップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。	0x0	R/W SC

ソフトウェア・パワーダウン制御レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8812、リセット：0x0000、レジスタ名：CRSM_SFT_PD_CNTRL

表 176. CRSM_SFT_PD_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	Reserved.	0x0	R
0	CRSM_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・レジスタは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対するMDIOアクセスは引き続き可能です。このレジスタのデフォルト値は、SWPD_EN ピンを使用して設定可能です。そのため、チップは、適切なソフトウェア初期化が行われるまで、パワーダウン・モードを維持することができます。	Pin dependent	R/W

レジスタ

PHYサブシステム・リセット・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8814、リセット：0x0000、レジスタ名：CRSM_PHY_SUBSYS_RST

表 177. CRSM_PHY_SUBSYS_RSTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_PHY_SUBSYS_RST	PHYサブシステム・リセット。PHYサブシステム・リセット・レジスタを使用すると、管理されたサブシステム・リセットを開始できます。PHYサブシステムがリセットされると、通常の動作が再開され、ビットはセルフ・クリアされます。	0x0	R/W SC

PHY MACインターフェース・リセット・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8815、リセット：0x0000、レジスタ名：CRSM_MAC_IF_RST

表 178. CRSM_MAC_IF_RSTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_MAC_IF_RST	PHY MACインターフェース・リセット。PHY MACサブシステム・リセット・レジスタを使用すると、管理されたPHY MACインターフェース・リセットを開始できます。PHY MACインターフェースがリセットされると、通常の動作が再開され、ビットはセルフ・クリアされます。	0x0	R/W SC

システム・ステータス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8818、リセット：0x0000、レジスタ名：CRSM_STAT

表 179. CRSM_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予備。	0x0	R
1	CRSM_SFT_PD_RDY	ソフトウェア・パワーダウン・ステータス。このビットは、システムがソフトウェア・パワーダウン状態にあることを示します。	0x0	R
0	CRSM_SYS_RDY	システム・レディ。このビットは、スタートアップ・シーケンスが完了し、システムに通常動作の準備ができていることを示します。	0x0	R

CRSMパワー・マネージメント制御レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8819、リセット：0x0000、レジスタ名：CRSM_PMG_CNTRL

表 180. CRSM_PMG_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_FRC_OSC_EN	強制デジタル・ブート発振器クロック・イネーブル。	0x0	R/W

CRSM診断クロック制御レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x882C、リセット：0x0002、レジスタ名：CRSM_DIAG_CLK_CTRL

CRSM診断クロック制御。

表 181. CRSM_DIAG_CLK_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x1	R
0	CRSM_DIAG_CLK_EN	診断クロックをイネーブルします。	0x0	R/W

レジスタ

パッケージ設定値レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C22、リセット：0x0000、レジスタ名：MGMT_PRT_PKG

MGMT_CFG_VALアドレスを使用すると、パッケージ設定値の読出しができます。

表 182. MGMT_PRT_PKGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
[5:0]	MGMT_PRT_PKG_VAL	パッケージのタイプ。0=40ピンLFCSPパッケージ。	0x0	R

MDIO制御レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C30、リセット：0x0000、レジスタ名：MGMT_MDIO_CNTRL

表 183. MGMT_MDIO_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	MGMT_GRP_MDIO_EN	MDIO PHY/ポート・グループ・アドレス・モードをイネーブル。このモードでは、PHYは自身のPHY/ポート・アドレスとは無関係に、5ビットのPHYアドレス31（10進数）への書き込みまたはアドレス操作に応答します。この機能は、マルチポート・アプリケーションでの初期化シーケンスのみを目的としたもので、これらの場合にのみセットし、初期化の完了後は直ちにクリアする必要があります。	0x0	R/W

ピン・マルチプレクサ設定1レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C56、リセット：0x00FE、レジスタ名：DIGIO_PINMUX

表 184. DIGIO_PINMUXのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:6]	DIGIO_TSTIMER_PINMUX	TS_TIMER用ピン・マルチプレクサ・セレクト。 00：RXD_1。 01：LED_0。 10：INT。 11：TS_TIMER未割当て。	0x3	R/W
[5:4]	DIGIO_TSCAPT_PINMUX	TS_CAPT用ピン・マルチプレクサ・セレクト。 00：TXD_1。 01：LED_1。 10：MDIO。 その他：TS_CAPT未割当て。	0x3	R/W
[3:1]	DIGIO_LED1_PINMUX	LED_1用ピン・マルチプレクサ・セレクト。 000：LED_1。 001：TX_ER。 010：TX_EN。 011：TX_CLK。 100：TXD_0。 101：TXD_2。 110：LINK_ST。 111：LED_1出力がイネーブルされていない。	0x7	R/W
0	DIGIO_LINK_ST_POLARITY	LINK_STの極性。 0：ハイにアサート。 1：ローにアサート。	0x0	R/W

レジスタ

LED_0オン/オフ点滅時間レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C80、リセット：0x3636、レジスタ名：LED0_BLINK_TIME_CNTRL

LEDオン点灯時間 = LED0_ON_N4MS × 4 ms。

LEDオフ消灯時間 = LED0_OFF_N4MS × 4 ms。

LEDx_MODE = 0でLEDx_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオフ・シーケンスから始まり、次いでLEDオン・シーケンスが続き、その後はこれを繰り返します。

LEDx_MODE = 1でLEDx_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオン・シーケンスから始まり、次いでLEDオフ・シーケンスが続き、その後はこれを繰り返します。

LEDx_OFF_N4MS = LEDx_ON_N4MS = 0の場合、これは、LEDx_FUNCTIONで選択された内部アクティビティ信号をライブでモニタできる特別なケースです。

LEDx_FUNCTIONがリンクとアクティビティ信号を組み合わせたものにプログラムされていると、リンクが確立されアクティビティがない場合、LEDはオンになります。LEDはリンクが失われるかアクティビティを受けた場合にオフになります。

LEDx_FUNCTIONがアクティビティ信号にプログラムされていると、LEDはアクティビティがない場合にオフになります。アクティビティを受けるとLEDはオンに切り替わります。

表 185. LED0_BLINK_TIME_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	LED0_ON_N4MS LED_0	LED_0のオン点灯時間。LED_0のオン点灯時間は4 ms × LED0_ON_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W
[7:0]	LED0_OFF_N4MS	LED_0のオフ消灯時間。LED_0のオフ消灯時間は4 ms × LED0_OFF_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W

LED 1オン/オフ点滅時間レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C81、リセット：0x3636、レジスタ名：LED1_BLINK_TIME_CNTRL

LEDオン点灯時間 = LED1_ON_N4MS × 4 ms。

LEDオフ消灯時間 = LED1_OFF_N4MS × 4 ms。

LEDx_MODE = 0でLEDx_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオフ・シーケンスから始まり、次いでLEDオン・シーケンスが続き、その後はこれを繰り返します。

LEDx_MODE = 1でLEDx_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオン・シーケンスから始まり、次いでLEDオフ・シーケンスが続き、その後はこれを繰り返します。

LEDx_OFF_N4MS = LEDx_ON_N4MS = 0の場合、これは、LEDx_FUNCTIONで選択された内部アクティビティ信号をライブでモニタできる特別なケースです。

LEDx_FUNCTIONがリンクとアクティビティ信号を組み合わせたものにプログラムされていると、リンクが確立されアクティビティがない場合、LEDはオンになります。LEDはリンクが失われるかアクティビティを受けた場合にオフになります。

LEDx_FUNCTIONがアクティビティ信号にプログラムされていると、LEDはアクティビティがない場合にオフになります。アクティビティを受けるとLEDはオンに切り替わります。

レジスタ

表 186. LED1_BLINK_TIME_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	LED1_ON_N4MS	LED_1のオン点灯時間。LED_1のオン点灯時間は4 ms × LED1_ON_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W
[7:0]	LED1_OFF_N4MS	LED_1のオフ消灯時間。LED_1のオフ消灯時間は4 ms × LED1_OFF_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W

LED制御レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C82、リセット：0x8480、レジスタ名：LED_CNTRL

LED制御レジスタ。

表 187. LED_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	LED1_EN	LED 1イネーブル。ディセーブルされたLEDはオフになります。イネーブルされたLEDは、LED1_FUNCTIONの選択とアクティビティに応じて、オンになるか点滅します。	0x1	R/W
14	LED1_LINK_ST_QUALIFY	特定のLED 1オプションをリンク・ステータスで適格化させる。 0：TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusでは適格化されない。 1：TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusで適格化される。	0x0	R/W
13	LED1_MODE	LED 1モード選択。 0：LEDモード 1.アクティビティがある場合、MMR LED1_BLINK_TIME_CNTRLで定義されたレートで点滅。 1：LEDモード2。LEDの点滅周期はアクティビティのレベルに応じて設定されます。アクティビティ・レベルは、10%刻みで変化し、それに対応してLEDの点滅頻度も調整されます。アクティビティ・レベルが高くなると、オフ時間が長くなりオン時間が短くなります。アクティビティ・レベルは、640ms～1.5sの間で変化するウィンドウ時間後に再評価されます。	0x0	R/W
[12:8]	LED1_FUNCTION	LED_1のピン機能。LED_1ピンのソース・アクティビティを決定します。CLK25_REF、TX_TCLK、CLK_120MHZの各オプションは、LEDコントローラをバイパスしたクロック・アウト機能です。チップから送信される波形は選択したクロック源の周波数によって異なります。 次のLED1_FUNCTION設定はlink_statusでは適格化されません。LED1_FUNCTION = オン、オフ、点滅、INCOMPATIBLE_LINK_CFG、AN_LINK_GOOD、AN_COMPLETE、LOC_RCVR_STATUS、REM_RCVR_STATUS、CLK25_REF、TX_TCLK、CLK_120MHz。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブの各オプションは、オプションでlink_statusによって適格化され、このオプションは、LED1_LINK_ST_QUALIFY MMRを使用して制御されます。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブ、MSTR_SLV_FAULT、AN_LINK_GOOD、AN_COMPLETE、TS_TIMERの各オプションは、ステータス・インジケータと見なされ、LEDコントローラは使用されません。プログラムされた信号がハイの場合、LEDは静的にオンとなり、プログラムされた信号がローの場合は、LEDは静的にオフとなります。 0：LINKUP_TXRX_ACTIVITY。 1：LINKUP_TX_ACTIVITY。 2：LINKUP_RX_ACTIVITY。 3：LINKUP_ONLY。 4：TXRX_ACTIVITY。 5：TX_ACTIVITY。 6：RX_ACTIVITY。 7：LINKUP_RX_ER。 8：LINKUP_RX_TX_ER。 9：RX_ER。 10：RX_TX_ER。	0x4	R/W

レジスタ

表 187. LED_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
		11 : TX_SOP。 12 : RX_SOP。 13 : オン。 14 : オフ。 15 : 点滅。 16 : TX_LEVEL_2P4。 17 : TX_LEVEL_1P0。 18 : マスタ。 19 : スレーブ。 20 : INCOMPATIBLE_LINK_CFG。 21 : AN_LINK_GOOD。 22 : AN_COMPLETE。 23 : TS_TIMER。 24 : LOC_RCVR_STATUS。 25 : REM_RCVR_STATUS。 26 : CLK25_REF。 27 : TX_TCLK。 28 : CLK_120MHZ。		
7	LED0_EN	LED 0イネーブル。ディスエーブルされたLEDはオフになります。イネーブルされたLEDは、LED0_FUNCTIONの選択とアクティビティに応じて、オンになるか点滅します。	0x1	R/W
6	LED0_LINK_ST_QUALIFY	特定のLED 0オプションをlink_statusで適格化。 0 : TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusでは適格化されない。 1 : TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusで適格化される。	0x0	R/W
5	LED0_MODE	LED 0モード選択。 0 : LEDモード1。アクティビティがある場合、MMR LED0_BLINK_TIME_CNTRLで定義されたレートで点滅。 1 : LEDモード2。LEDの点滅周期はアクティビティのレベルに応じて設定されます。アクティビティ・レベルは、10%刻みで変化し、それに対応してLEDの点滅頻度も調整されます。アクティビティ・レベルが高くなると、オフ時間が長くなりオン時間が短くなります。アクティビティ・レベルは、640ms~1.5sの間で変化するウィンドウ時間後に再評価されます。	0x0	R/W
[4:0]	LED0_FUNCTION	LED_0のピン機能。LED_0ピンのソース・アクティビティを決定します。 CLK25_REF、TX_TCLK、CLK_120MHZの各オプションは、LEDコントローラをバイパスしたクロック・アウト機能です。チップから送信される波形は選択したクロック源の周波数によって異なります。 次のLED_FUNCTION設定はlink_statusでは適格化されません。LED_FUNCTION = オン、オフ、点滅、INCOMPATIBLE_LINK_CFG、AN_LINK_GOOD、AN_COMPLETE、LOC_RCVR_STATUS、REM_RCVR_STATUS、CLK25_REF、TX_TCLK、CLK_120MHz。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブの各オプションは、オプションでリンク・ステータスによって適格化され、このオプションは、LED0_LINK_ST_QUALIFY MMRを使用して制御されます。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブ、MSTR_SLV_FAULT、AN_LINK_GOOD、AN_COMPLETE、TS_TIMER。これらのオプションは、ステータス・インジケータと見なされ、LEDコントローラは使用されません。プログラムされた信号がハイの場合、LEDは静的にオンとなり、プログラムされた信号がローの場合は、LEDは静的にオフとなります。 0 : LINKUP_TXRX_ACTIVITY。 1 : LINKUP_TX_ACTIVITY。 2 : LINKUP_RX_ACTIVITY。 3 : LINKUP_ONLY。 4 : TXRX_ACTIVITY。 5 : TX_ACTIVITY。 6 : RX_ACTIVITY。 7 : LINKUP_RX_ER。	0x0	R/W

レジスタ

表 187. LED_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
		8 : LINKUP_RX_TX_ER。 9 : RX_ER。 10 : RX_TX_ER。 11 : TX_SOP。 12 : RX_SOP。 13 : オン。 14 : オフ。 15 : 点滅。 16 : TX_LEVEL_2P4。 17 : TX_LEVEL_1P0。 18 : マスタ。 19 : スレーブ。 20 : INCOMPATIBLE_LINK_CFG。 21 : AN_LINK_GOOD。 22 : AN_COMPLETE。 23 : TS_TIMER。 24 : LOC_RCVR_STATUS。 25 : REM_RCVR_STATUS。 26 : CLK25_REF。 27 : TX_TCLK。 28 : CLK_120MHZ。		

LED極性レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C83、リセット : 0x0000、レジスタ名 : LED_POLARITY

LED極性が内部ロジックによって自動的に検出できるか、ユーザによって再設定できます。

表 188. LED_POLARITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
[3:2]	LED1_POLARITY	LED 1の極性。 0 : LEDオートセンス。オートセンスに従い、LEDはアクティブ・ハイまたはアクティブ・ロー。 1 : LEDアクティブ・ハイ。 2 : LEDアクティブ・ロー。	0x0	R/W
[1:0]	LED0_POLARITY	LED 0の極性。 0 : LEDオートセンス。オートセンスに従い、LEDはアクティブ・ハイまたはアクティブ・ロー。 1 : LEDアクティブ・ハイ。 2 : LEDアクティブ・ロー。	0x0	R/W

ベンダ固有MMD 2デバイス識別子ハイ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0002、リセット : 0x0283、レジスタ名 : MMD2_DEV_ID1

表 189. MMD2_DEV_ID1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEV_ID1	ベンダ固有2 MMDデバイス識別子。	0x283	R

ベンダ固有MMD 2デバイス識別子ロー・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0003、リセット : 0xBC91、レジスタ名 : MMD2_DEV_ID2

レジスタ

表 190. MMD2_DEV_ID2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD2_DEV_ID2_OUI	OUIビット。	0x2F	R
[9:4]	MMD2_MODEL_NUM	モデル番号。	0x9	R
[3:0]	MMD2_REV_NUM	リビジョン番号。	0x1	R

パッケージ内のベンダ固有2 MMDデバイス・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：MMD2_DEVS_IN_PKG1

条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。

表 191. MMD2_DEVS_IN_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG1	パッケージ1のベンダ固有2 MMD。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：MMD2_DEVS_IN_PKG2

ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。

表 192. MMD2_DEVS_IN_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG2	パッケージ2のベンダ固有2 MMD。ベンダ固有1 MMDおよびベンダ固有2 MMDがあります。	0xC000	R

ベンダ固有MMD 2ステータス・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0008、リセット：0x8000、レジスタ名：MMD2_STATUS

このアドレスはベンダ固有MMD 2ステータス・レジスタに対応します。

表 193. MMD2_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD2_STATUS	ベンダ固有2 MMDステータス。 10：デバイスはこのアドレスに対応。 11：このアドレスに対応するデバイスはなし。 01：このアドレスに対応するデバイスはなし。 00：このアドレスに対応するデバイスはなし。	0x2	R
[13:0]	RESERVED	予備。	0x0	R

PHYサブシステム割込みステータス・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0011、リセット：0x0000、レジスタ名：PHY_SUBSYS_IRQ_STATUS

このアドレスを読み出すと、どの割込みリクエストが最後の読出し以降に発生したのかを確認できます。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。PHY_SUBSYS_IRQ_STATUSのビットは、PHY_SUBSYS_IRQ_MASK内の関連するビットがセットされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムに致命的なエラーがあることを意味します。

表 194. PHY_SUBSYS_IRQ_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R LH
14	MAC_IF_FC_FG_IRQ_LH	MACインターフェースのフレーム・チェッカ/ジェネレータ割込み。	0x0	R LH

レジスタ

表 194. PHY_SUBSYS_IRQ_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
13	MAC_IF_EBUF_ERR_IRQ_LH	MACインターフェースのバッファ・オーバーフロー／アンダーフロー割込み。	0x0	R LH
12	RESERVED	予備。	0x0	R LH
11	AN_STAT_CHNG_IRQ_LH	オートネゴシエーションのステータス変化割込み。	0x0	R LH
[10:2]	RESERVED	予備。	0x0	R LH
1	LINK_STAT_CHNG_LH	リンク・ステータスの変化。	0x0	R LH
0	RESERVED	予備。	0x0	R LH

PHYサブシステム割込みマスク・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0021、リセット：0x2402、レジスタ名：PHY_SUBSYS_IRQ_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 195. PHY_SUBSYS_IRQ_MASKのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R/W SC
14	MAC_IF_FC_FG_IRQ_EN	MACインターフェースのフレーム・チェッカ／ジェネレータ割込みをイネーブル。	0x0	R/W
13	MAC_IF_EBUF_ERR_IRQ_EN	MACインターフェースのバッファ・オーバーフロー／アンダーフロー割込みをイネーブル。	0x1	R/W
12	RESERVED	予備。	0x0	R/W
11	AN_STAT_CHNG_IRQ_EN	オートネゴシエーション・ステータス変化割込みをイネーブル。	0x0	R/W
[10:2]	RESERVED	予備。	0x100	R/W
1	LINK_STAT_CHNG_IRQ_EN	リンク・ステータス変化割込みをイネーブル。	0x1	R/W
0	RESERVED	予備。	0x0	R/W

フレーム・チェッカ・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8001、リセット：0x0001、レジスタ名：FC_EN

このレジスタは、フレーム・チェッカをイネーブルするのに使用します。フレーム・チェッカは、MACインターフェースまたはPHY（FC_TX_SELレジスタを参照）から受信したフレームを分析して、受信したフレーム数、CRCエラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

表 196. FC_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_EN	フレーム・チェッカ・イネーブル。フレーム・チェッカをイネーブルするには1に設定します。	0x1	R/W

フレーム・チェッカ割込みイネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8004、リセット：0x0001、レジスタ名：FC_IRQ_EN

このレジスタは、フレーム・チェッカの割込みをイネーブルするのに使用します。受信エラーが発生すると、割込みが生成されます。フレーム・チェッカ／ジェネレータの割込みはPHY_SUBSYS_IRQ_MASKレジスタでイネーブルします。MAC_IF_FC_FG_IRQ_ENビットをセットしてください。

ステータスは、PHY_SUBSYS_IRQ_STATUSレジスタのMAC_IF_FC_FG_IRQ_LHビットを介して読み出せます。

表 197. FC_IRQ_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_IRQ_EN	フレーム・チェッカ割込みイネーブル。セットすると、このビットはフレーム・チェッカ割込みをイネーブルします。	0x1	R/W

レジスタ

フレーム・チェッカ送信選択レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8005、リセット：0x0000、レジスタ名：FC_TX_SEL

このレジスタは、送信側または受信側のどちらのフレームをチェックするかを選択します。セットすると、MACインターフェースから受信した送信フレームがチェックされます。フレーム・チェッカを使用すると、MACインターフェース経由で正しいデータが受信されたことを検証できます。また、MACインターフェースでループバックされた後の受信データをチェックするのにも使用できるため、リモート・ループバックを有効にした場合も便利です（MAC_IF_LOOPBACKレジスタのMAC_IF_REM_LB_ENビットを参照）。

表 198. FC_TX_SELのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_TX_SEL	フレーム・チェッカ送信選択。このビットをセットすると、PHYが送信する、受信済みフレームをフレーム・チェッカがチェックするように指定します。 1：MACインターフェースから受信され、PHYが送信するフレームをチェックする。 0：リモート・エンドから送信され、PHYが受信したフレームをチェックする。	0x0	R/W

受信エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8008、リセット：0x0000、レジスタ名：RX_ERR_CNT

受信エラー・カウンタ・レジスタは、PHYのフレーム・チェッカに関連付けられた受信エラー・カウンタへのアクセスに使用します。

表 199. RX_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	RX_ERR_CNT	受信エラー・カウンタ。これは、PHYのフレーム・チェッカに関連付けられた受信エラー・カウンタです。このビットは読み出し時にセルフ・クリアされることに注意してください。	0x0	R SC

フレーム・チェッカ・カウンタ・ハイ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8009、リセット：0x0000、レジスタ名：FC_FRM_CNT_H

このレジスタは、32ビットの受信フレーム・カウンタ・レジスタのビット [31:16] をラッチしたコピーです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 200. FC_FRM_CNT_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_H	受信フレーム数をラッチしたコピーのビット[31:16]。	0x0	R

フレーム・チェッカ・カウンタ・ロー・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800A、リセット：0x0000、レジスタ名：FC_FRM_CNT_L

このレジスタは、32ビットの受信フレーム・カウンタ・レジスタのビット[15:0]をラッチしたコピーです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 201. FC_FRM_CNT_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_L	受信フレーム数をラッチしたコピーのビット[15:0]。	0x0	R

フレーム・チェッカ・レングス・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800B、リセット：0x0000、レジスタ名：FC_LEN_ERR_CNT

レジスタ

このレジスタは、フレーム長エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム長エラー状態にある受信フレームのカウントです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、フレーム長エラー・カウンタ・レジスタがラッチされるため、フレーム長エラー・カウンタと受信フレーム・カウンタが同期します。

表 202. FC_LEN_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_LEN_ERR_CNT	フレーム長エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・アライメント・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800C、リセット：0x0000、レジスタ名：FC_ALGN_ERR_CNT

このレジスタは、フレーム・アライメント・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、アライメント・エラー状態にある受信フレームのカウントです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、アライメント・エラー・カウンタがラッチされるため、フレーム・アライメント・エラー・カウンタと受信フレーム・カウンタが同期します。

表 203. FC_ALGN_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ALGN_ERR_CNT	フレーム・アライメント・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・シンボル・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800D、リセット：0x0000、レジスタ名：FC_SYMB_ERR_CNT

このレジスタは、シンボル・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、RX_ERとRX_DVの両方がセットされた受信フレームのカウントです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、シンボル・エラー・カウンタがラッチされるため、シンボル・エラー・カウンタとフレーム受信・カウンタが同期します。

表 204. FC_SYMB_ERR_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_SYMB_ERR_CNT	シンボル・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・オーバーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800E、リセット：0x0000、レジスタ名：FC_OSZ_CNT

このレジスタは、オーバーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム・チェッカ最大フレーム・サイズ（FC_MAX_FRM_SIZE）で指定された長さを超える受信フレームのカウントです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、オーバーサイズ・フレーム・カウンタ・レジスタがラッチされるため、オーバーサイズ・エラー・カウンタと受信フレーム・カウンタが同期します。

表 205. FC_OSZ_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_OSZ_CNT	オーバーサイズ・フレーム・エラー・カウンタをラッチしたコピー。		0x0

フレーム・チェッカ・アンダーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800F、リセット：0x0000、レジスタ名：FC_USZ_CNT

このレジスタは、アンダーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、長さが64バイト未満の受信フレームのカウントです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、アンダーサイズ・フレーム・エラー・カウンタがラッチされるため、アンダーサイズ・フレーム・エラー・カウンタと受信フレーム・カウンタが同期します。

レジスタ

表 206. FC_USZ_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_USZ_CNT	アンダーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ奇数ニブル・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8010、リセット：0x0000、レジスタ名：FC_ODD_CNT

このレジスタは、奇数ニブル・フレーム・レジスタをラッチしたコピーです。このレジスタは、フレーム内に奇数個のニブルを持つ受信フレームのカウンタです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、奇数ニブル・フレーム・カウンタ・レジスタがラッチされるため、奇数ニブル・フレーム・カウンタと受信フレーム・カウンタが同期します。

表 207. FC_ODD_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_CNT	奇数ニブル・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ奇数プリアンブル・パケット・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8011、リセット：0x0000、レジスタ名：FC_ODD_PRE_CNT

このレジスタは、奇数プリアンブル・パケット・カウンタ・レジスタをラッチしたコピーです。このレジスタは、プリアンブル内に奇数個のニブルを持つ受信パケットのカウンタです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、奇数プリアンブル・パケット・カウンタ・レジスタがラッチされるため、奇数プリアンブル・パケット・カウンタと受信フレーム・カウンタが同期します。

表 208. FC_ODD_PRE_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_PRE_CNT	奇数プリアンブル・パケット・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ偽キャリア・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8013、リセット：0x0000、レジスタ名：FC_FALSE_CARRIER_CNT

このレジスタは、偽キャリア・イベント・カウンタ・レジスタをラッチしたコピーです。これは、不正SSD状態になった回数のカウンタです。受信エラー・カウンタ（RX_ERR_CNT）を読み出すと、偽キャリア・イベント・カウンタ・レジスタがラッチされるため、偽キャリア・イベント・カウンタと受信フレーム・カウンタが同期します。

表 209. FC_FALSE_CARRIER_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FALSE_CARRIER_CNT	偽キャリア・イベント・カウンタをラッチしたコピー。	0x0	R

フレーム・ジェネレータ・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8020、リセット：0x0000、レジスタ名：FG_EN

このレジスタは、フレーム・ジェネレータをイネーブルするのに使用します。フレーム・ジェネレータをイネーブルした場合、PHYのデータ・ソースはMACインターフェースではなくフレーム・ジェネレータから取得されます。フレーム・ジェネレータを使用するには、診断クロックもイネーブルする必要があります（DIAG_CLK_EN）。

表 210. FG_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_EN	フレーム・ジェネレータ・イネーブル。	0x0	R/W

レジスタ

フレーム・ジェネレータ制御／再起動レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8021、リセット：0x0001、レジスタ名：FG_CNTRL_RSTRT

このレジスタは、フレーム・ジェネレータを制御します。FG_CNTRLビット・フィールドは、フレーム・ジェネレータが使用するデータ・フィールド・タイプ（ランダムやすべてゼロなど）を指定します。FG_RSTRTビットによってフレーム・ジェネレータが再起動します。

表 211. FG_CNTRL_RSTRTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	FG_RSTRT	フレーム・ジェネレータの再起動。このビットをセットすると、フレーム・チェッカが再起動します。このビットはセルフ・クリア・ビットです。	0x0	R/W SC
[2:0]	FG_CNTRL	フレーム・ジェネレータ完了の制御。 000：現在のフレーム完了後はフレームなし。 001：乱数のデータ・フレーム。 010：すべてゼロのデータ・フレーム。 011：すべて1のデータ・フレーム。 100：ゼロと1が交互に現れる0x55データ・フィールド。 101：データ・フィールドが255（10進数）から0に減少。	0x1	R/W

フレーム・ジェネレータ連続モード・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8022、リセット：0x0000、レジスタ名：FG_CONT_MODE_EN

このレジスタは、フレーム・ジェネレータを連続モードにするのに使用します。デフォルトの動作モードはバースト・モードです。バースト・モードの場合、生成フレームの数は、FG_NFRM_HレジスタとFG_NFRM_Lレジスタで指定します。

表 212. FG_CONT_MODE_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_CONT_MODE_EN	フレーム・ジェネレータ連続モードの有効化。このビットは、フレーム・ジェネレータを連続モードまたはバースト・モードにするのに使用します。 1：フレーム・ジェネレータは連続モードで動作。このモードでは、フレーム・ジェネレータはフレームを無期限に生成し続けます。 0：フレーム・ジェネレータはバースト・モードで動作。このモードでは、フレーム・ジェネレータは単一バーストのフレームを生成して停止します。フレーム数は、FG_NFRM_HレジスタとFG_NFRM_Lレジスタで指定します。	0x0	R/W

フレーム・ジェネレータ割込みイネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8023、リセット：0x0000、レジスタ名：FG_IRQ_EN

このレジスタは、フレーム・ジェネレータ割込みをイネーブルするのに使用します。要求した数のフレームが生成されると、割込みが生成されます。フレーム・チェッカ／ジェネレータの割込みはPHY_SUBSYS_IRQ_MASKレジスタでイネーブルします。

MAC_IF_FC_FG_IRQ_ENビットをセットしてください。

割込みステータスは、PHY_SUBSYS_IRQ_STATUSレジスタのMAC_IF_FC_FG_IRQ_LHビットを介して読み出せます。

表 213. FG_IRQ_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_IRQ_EN	フレーム・ジェネレータ割込みイネーブル。このビットをセットすると、設定したフレーム数を送信したときにフレーム・ジェネレータが割込みを生成するように指定します。 1：フレーム・ジェネレータの割込みをイネーブル。 0：フレーム・ジェネレータの割込みをディスエーブル。	0x0	R/W

レジスタ

フレーム・ジェネレータ・フレーム長レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8025、リセット：0x006B、レジスタ名：FG_FRM_LEN

このレジスタは、データ・フィールドのフレーム長をバイト単位で指定します。データ・フィールドに加えて、送信元アドレス用に6バイト、宛先アドレス用に6バイト、長さフィールド用に2バイト、フレーム・チェック・シーケンス（FCS）用に4バイトが追加されます。合計の長さは、データ・フィールド長に18を加えたものになります。

表 214. FG_FRM_LENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_FRM_LEN	バイト単位のデータ・フィールド・フレーム長。	0x6B	R/W

フレーム・ジェネレータ・フレーム間ギャップ長レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8026、リセット：0x000C、レジスタ名：FG_IFG_LEN

このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。

表 215. FG_IFG_LENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_IFG_LEN	フレーム・ジェネレータ・フレーム間ギャップ長。このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。	0xC	R/W

フレーム・ジェネレータ・フレーム数ハイ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8027、リセット：0x0000、レジスタ名：FG_NFRM_H

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する32ビット・レジスタのビット [31:16] です。

表 216. FG_NFRM_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_H	生成されるフレーム数のビット[31:16]。	0x0	R/W

フレーム・ジェネレータ・フレーム数ロー・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8028、リセット：0x0100、レジスタ名：FG_NFRM_L

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する32ビット・レジスタのビット [15:0] です。

表 217. FG_NFRM_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_L	生成されるフレーム数のビット[15:0]。	0x100	R/W

フレーム・ジェネレータ完了レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8029、リセット：0x0000、レジスタ名：FG_DONE

このレジスタは、フレーム・ジェネレータがFG_NFRM_HレジスタおよびFG_NFRM_Lレジスタで要求されたフレーム数の生成を完了したことを示すのに使用されます。

表 218. FG_DONEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_DONE	フレーム・ジェネレータ完了。このビットが1として読み出されると、フレームの生成が完了したことを示します。このビットがセットされると、読出しによってラッチが解除されるまでハイにラッチされます。	0x0	R LH

レジスタ

MACインターフェース・ループバック設定レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8055、リセット：0x000A、レジスタ名：MAC_IF_LOOPBACK

MACインターフェース・ループバックの設定。

表 219. MAC_IF_LOOPBACKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	MAC_IF_REM_LB_RX_SUP_EN	抑制RXイネーブル。MAC_IF_REM_LB_ENがセットされている場合に、レシーバーをMACに対して抑制します。	0x1	R/W
2	MAC_IF_REM_LB_EN	MACインターフェース・リモート・ループバック・イネーブル。受信データがトランスミッタにループバックされます。	0x0	R/W
1	MAC_IF_LB_TX_SUP_EN	抑制送信イネーブル。MAC_IF_LB_ENがセットされている場合に、PHYへの送信を抑制します。	0x1	R/W
0	MAC_IF_LB_EN MAC	MACインターフェース・ループバック・イネーブル。送信データがレシーバーにループバックされます。	0x0	R/W

MACパケット開始（SOP）生成制御レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x805A、リセット：0x001B、レジスタ名：MAC_IF_SOP_CNTRL

表 220. MAC_IF_SOP_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
5	MAC_IF_TX_SOP_LEN_CHK_EN	TX SOPプリアンブル長チェックをイネーブル。	0x0	R/W
4	MAC_IF_TX_SOP_SFD_EN	フレーム開始区切り（SFD：start of frame delimiter）でのTx SOP信号表示をイネーブル。	0x1	R/W
3	MAC_IF_TX_SOP_DET_EN	Tx SOP表示信号の生成をイネーブル。	0x1	R/W
2	MAC_IF_RX_SOP_LEN_CHK_EN	RX SOPプリアンブル長チェックをイネーブル。このビットがセットされ、SFDが受信されない場合は、8バイト後にRX SOP信号表示がセットされます。それ以外の場合、最初の8バイトでSFDが受信されなければRX SOPはセットされません。	0x0	R/W
1	MAC_IF_RX_SOP_SFD_EN	SFD受信時にRX SOP信号表示をイネーブル。MAC_IF_RX_SOP_DET_ENとMAC_IF_RX_SOP_SFD_ENの両方がセットされている場合、RX SOP信号はSFDの受信時にセットされます。それ以外の場合、RX SOPはRX_DVがセットされるとセットされます。RX SOP信号は、フレームの終了までセットされたままになります。	0x1	R/W
0	MAC_IF_RX_SOP_DET_EN	Rx SOP表示信号の生成をイネーブル。	0x1	R/W

PCBレイアウトに関する推奨事項

このセクションでは、PHYとそれに対応するサポート部品の配置およびレイアウトにおける重要なポイントの概要を示します。

パッケージ・レイアウト

LFCSPには、パッケージ底部に露出パッドがあり、機械的、電氣的、および熱的な理由でPCBのグラウンドにハンダ付けする必要があります。熱抵抗性能と熱除去を最大化するために、露出グラウンド・パッドの下に4 × 4アレイのサーマル・ビアを使用することを推奨します。PCBのランド・パターンには、これらのビア付きの露出グラウンド・パッドをフットプリントに組み込む必要があります。EVAL-ADIN1110EBZでは、1.00mmのグリッド配置上に4 × 4のビア・アレイを設けています。ビア・パッドの直径は0.02インチ（0.5015mm）です。

部品の配置と配線

重要なパターンと部品に優先順位を付けると、配線作業を簡素化するのに役立ちます。重要なパターンと部品を最初に配置して方向を定め、効果的なレイアウトを確保します。重要な部品は、水晶発振器と負荷コンデンサ、CEXT_2とCEXT_3の各コンデンサ、およびADIN1110に近い位置にあるすべてのバイパス・コンデンサです。これらの部品には配置と配線に関して優先順位を付けます。

以下の推奨事項に従ってください。

- ▶ デカップリング・コンデンサは、その入力ピンのできるだけ近くに配置します。
- ▶ パターンの曲げ回数は最小限に抑え、45°のコーナを使用します。
- ▶ パターンが隣接層のパワー・プレーンを横切ることのないようにします。
- ▶ スタブが形成されることのないようにします。
- ▶ 高速信号にはビアを使用しないでください。ビアが必要な場合は、リターン電流経路を改善するため、グラウンド・ビアを信号ビアに隣接させます。

水晶発振器の配置と配線

消費電流を最小限に抑え、浮遊容量を減らし、ノイズ耐性を向上させるために、水晶発振器の配置とルーティングに特別の注意を払う必要があります。

以下の推奨事項に従ってください。

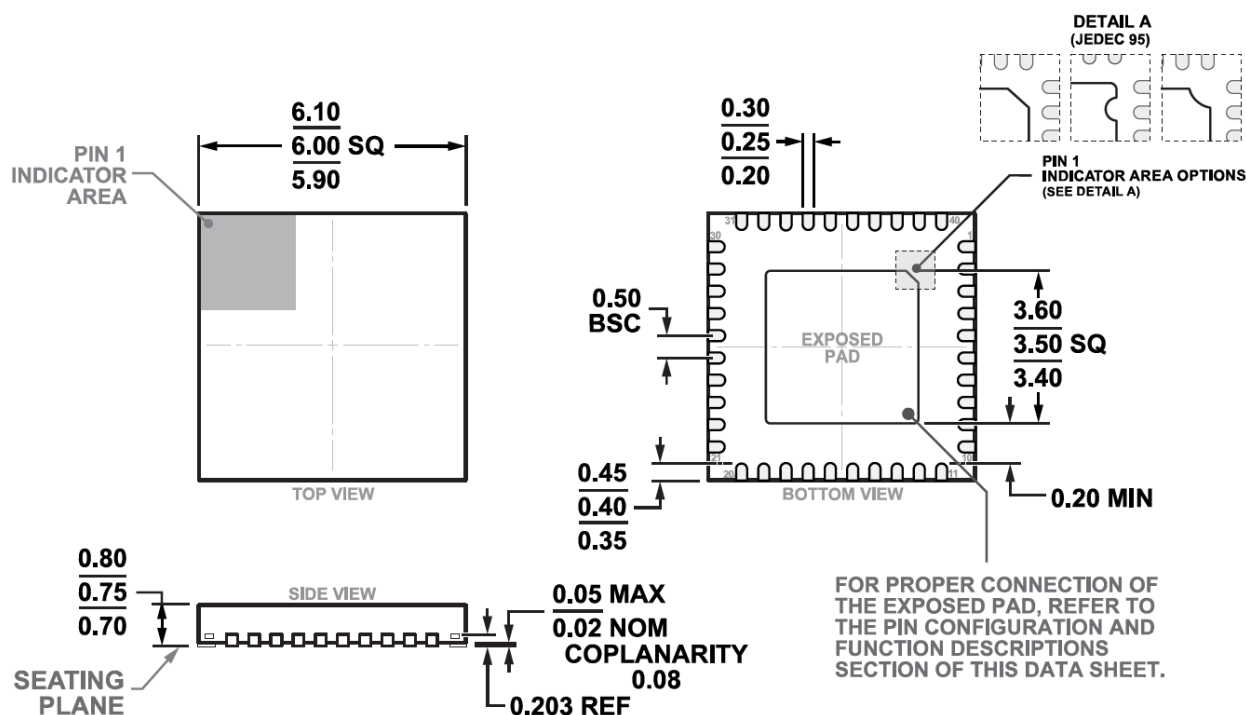
- ▶ 水晶発振器とそのコンデンサはXTAL_IピンおよびXTAL_Oピンのできるだけ近くに配置します。
- ▶ 負荷コンデンサは互いに近づけて配置してください。
- ▶ 水晶発振器と負荷コンデンサには、ローカルのGNDプレーンを使用すると共に、メインGNDに1点で接続します。
- ▶ XTAL_IのパターンとXTAL_Oのパターンは互いに離し、寄生容量を低減します。
- ▶ 水晶発振器の下層に銅のキープアウト領域を追加することによっても、寄生容量を低減できます。

PCBの層構成

以下の推奨事項に従ってください。

- ▶ 最低4層のPCB層構成を使用します。
- ▶ EMIに関する問題を改善するには、外層をグラウンド・プレーンとして使用する6層以上の構成を検討してください（オプション）。
- ▶ 銅層の厚さは、アプリケーションと電源条件に応じて定めます。
- ▶ 電源プレーンとグラウンド・プレーンには内層を使用します。
- ▶ 信号パターンには外層を使用します。
- ▶ ビア・スティッチングを使用して、グラウンドを改善すると共にEMIを低減します。スティッチング・パターンとビア間距離は、アプリケーションに応じて定めます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD-5

図31. 40ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP]

6mm × 6mmボディ、0.75mmのパッケージ高

(CP-40-29)

寸法 : mm

12-03-2019-A

更新 : 2021年10月8日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADIN1110BCPZ	-40°C to +85°C	LFCSP:LEADFRM CHIP SCALE		CP-40-29
ADIN1110BCPZ-R7	-40°C to +85°C	LFCSP:LEADFRM CHIP SCALE	Reel, 750	CP-40-29
ADIN1110CCPZ	-40°C to +105°C	LFCSP:LEADFRM CHIP SCALE		CP-40-29
ADIN1110CCPZ-R7	-40°C to +105°C	LFCSP:LEADFRM CHIP SCALE	Reel, 750	CP-40-29

1 Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADIN1110EBZ	Evaluation Board

1 Z = RoHS準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 11 月 14 日現在、アナログ・デバイセス株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 11 月 14 日

製品名： ADIN1110

対象となるデータシートのリビジョン(Rev)： Rev.B

訂正箇所： 49 ページ、表 43 CONFIG0 の BIT の説明、一番下 CPS の説明欄

【誤】

「・・・CAPABILITY レジスタの CPSMIN フィールドに示されています。」

【正】

「・・・CAPABILITY レジスタの MINCPS フィールドに示されています。」