

1.5Ω R_{ON}、1.2V および 1.8V JEDEC ロジック準拠のクワッド SPST スイッチ

特長

- ▶ 25°C で 1.5Ω のオン抵抗値 (±15V 両電源使用時)
- ▶ 25°C で 0.3Ω のオン抵抗平坦性 (±15V 両電源使用時)
- ▶ 25°C で 0.1Ω のチャンネル間オン抵抗一致 (±15V 両電源使用時)
- ▶ ±15V、+12V、±5V の電源で仕様規定
 - ▶ 両電源動作: ±4.5V~±16.5V
 - ▶ 単電源動作: 5V~16.5V
- ▶ 低ロジック・レベルとの互換性を確保する V_L 電源
 - ▶ 1.8V JEDEC 規格に準拠 (JESD8-7A)
 - ▶ 1.2V JEDEC 規格に準拠 (JESD8-12A.01)
- ▶ レール to レール動作
- ▶ 24 ピン、4mm × 4mm LFCSP

アプリケーション

- ▶ ATE (自動試験装置)
- ▶ データ・アキュイジション・システム
- ▶ バッテリ駆動のシステム
- ▶ サンプル&ホールド・システム
- ▶ FPGA およびマイクロコントローラ・システム
- ▶ オーディオ信号のルーティング
- ▶ ビデオ信号のルーティング
- ▶ 通信システム
- ▶ リレー部品の置き換え

概要

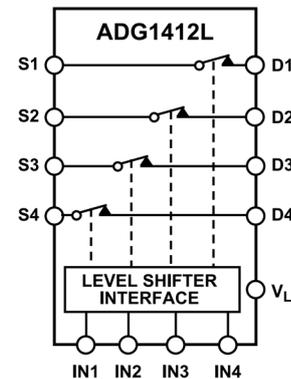
ADG1412L は、iCMOS®プロセスで設計され、個別に選択可能な 4 個のスイッチで構成されるモノリシック相補型金属酸化膜半導体 (CMOS) デバイスです。産業用 CMOS (iCMOS) は、高電圧 CMOS とバイポーラ技術を組み合わせた、モジュール方式の製造プロセスです。

オン抵抗のプロファイルは、アナログ入力範囲全体にわたって平坦であり、信号の切り替え時にも優れた直線性と低歪み (1.5Ω の代表値) を維持します。

ADG1412L は、4 個の独立した SPST スイッチを内蔵しています。これらのスイッチは、ロジック 1 入力でオンになります。各スイッチをオンにすると、両方向に均一に信号が伝達されます。また、各スイッチは電源電圧までの入力信号範囲を備えています。オフ状態では、電源電圧までの信号レベルがブロックされます。

外部 V_L 電源を使用することで、低ロジック制御にも柔軟に対応できます。ADG1412L は、1.2V と 1.8V の両方の JEDEC 規格に準拠しています。

機能ブロック図



NOTES
1. SWITCHES SHOWN FOR A 1 INPUT LOGIC. ⓘ

図 1. 機能ブロック図

製品のハイライト

1. 温度範囲全体で 2.6Ω の最大オン抵抗。
2. 最小の歪み。
3. 低ロジック・レベルとの互換性を確保する V_L 電源。
4. 1.2V と 1.8V の両方のロジック・レベルで JEDEC 規格に準拠。
5. デジタル入力がフローティングの場合はスイッチをオフにする機能をサポート。
6. 24 ピン、4mm × 4mm、LFCSP。

目次

特長.....	1	テスト回路.....	14
アプリケーション.....	1	用語の定義.....	16
概要.....	1	動作原理.....	17
機能ブロック図.....	1	スイッチ・アーキテクチャ.....	17
製品のハイライト.....	1	V _L による柔軟性.....	17
仕様.....	3	1.2V および 1.8V JEDEC 準拠.....	17
動作電源電圧.....	3	初期化時間.....	17
±15V の両電源.....	3	既知の状態のスイッチ.....	17
+12V の単電源.....	4	アプリケーション情報.....	18
±5V の両電源.....	5	フィールド・プログラマブル・ゲート・アレイ (FPGA) の	
チャンネルごとの連続電流 (SX または DX)	7	低ロジック対応.....	18
絶対最大定格.....	8	V _{OH} と V _{INH} 、および V _{OL} と V _{INL} の関係	18
熱抵抗.....	8	電源レール.....	18
静電放電 (ESD) 定格.....	8	外形寸法.....	19
ESD に関する注意.....	8	オーダー・ガイド.....	19
ピン配置およびピン機能の説明.....	9	評価用ボード.....	19
代表的な性能特性.....	10		

改訂履歴

8/2022—Revision 0: Initial Version

仕様

動作電源電圧

表 1. 動作電源電圧

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
SUPPLY VOLTAGE					
Dual	±4.5	±16.5		V	$V_{DD} \sim V_{SS}$
Single	5	16.5		V	$V_{DD} \sim GND$, $V_{SS} = GND = 0V$
DIGITAL VOLTAGE					
Single	1.1	1.3	1.3	V	$V_L \sim GND$, I_{INx} 電圧 (V_{INx}) = 1.2V ロジック
	1.65	1.95	1.95	V	$V_L \sim GND$, $V_{INx} = 1.8V$ ロジック

±15Vの両電源

特に指定のない限り、 $V_{DD} = 15V \pm 10\%$ 、 $V_{SS} = -15V \pm 10\%$ 、 $GND = 0V$ 、 $V_L = 1.1V \sim 1.95V$ 。

表 2. ±15Vの両電源

パラメータ	25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	1.5			Ω typ	ソース電圧 (V_S) = ±10V、ソース電流 (I_S) = -10mA、 図 26 を参照
On-Resistance Match Between Channels, ΔR_{ON}	0.1	2.3	2.6	Ω max	$V_{DD} = +13.5V$, $V_{SS} = -13.5V$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.18	0.19	0.21	Ω max	$V_S = \pm 10V$, $I_S = -10mA$
	0.3			Ω typ	
	0.36	0.4	0.45	Ω max	$V_S = \pm 10V$, $I_S = -10mA$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	±0.03			nA typ	$V_{DD} = +16.5V$, $V_{SS} = -16.5V$
	±0.55	±2	±12.5	nA max	$V_S = \pm 10V$ 、ドレイン電圧 (V_D) = ±10V、 図 27 を参照
Drain Off Leakage, I_D (Off)	±0.03			nA typ	$V_S = \pm 10V$, $V_D = \mp 10V$ 、 図 27 を参照
	±0.55	±2	±12.5	nA max	
Channel On Leakage, I_D , I_S (On)	±0.15			nA typ	$V_S = V_D = \pm 10V$ 、 図 28 を参照
	±2	±4	±30	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	
Input High Current, I_{INH}	55			μA typ	$V_{INx} = V_L = 1.8V$ 、動作原理のセクションを参照
	40		90	μA max	$V_{INx} = V_L = 1.2V$ 、動作原理のセクションを参照
Input Low Current, I_{INL}	0.2		65	μA max	
			0.8	μA typ	$V_{INx} = 0V$
				μA max	
Digital-Input Capacitance, C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}^1	110			ns typ	負荷抵抗 (R_L) = 300 Ω 、負荷容量 (C_L) = 35pF
	133	152	167	ns max	$V_S = 10V$ 、 図 33 を参照
Off Time, t_{OFF}^1	161			ns typ	$R_L = 300\Omega$, $C_L = 35pF$
	200	225	245	ns max	$V_S = 10V$ 、 図 33 を参照
Charge Injection, Q_{INJ}	-20			pC typ	$V_S = 0V$, $R_S = 0\Omega$, $C_L = 1nF$ 、 図 34 を参照

仕様

表 2. ±15V の両電源

パラメータ	25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
Off Isolation	-76			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, 周波数= 100kHz, 図 29 を参照
Channel-to-Channel Crosstalk	-100			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, 周波数= 1MHz, 図 30 を参照
Total Harmonic Distortion, THD	-101			dB typ	$R_L = 10k\Omega$, 20V p-p, 周波数= 20kHz, 図 32 を参照
	-89			dB typ	$R_L = 10k\Omega$, 20V p-p, 周波数= 100kHz, 図 32 を参照
Total Harmonic Distortion + Noise, THD + N	0.004			% typ	$R_L = 10k\Omega$, 20V p-p, 周波数= 100kHz, 図 32 を参照
-3 dB Bandwidth	170			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, 図 31 を参照
Insertion Loss	-0.2			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, 周波数= 1MHz, 図 31 を参照
Source Off Capacitance, C_S (Off)	22			pF typ	$V_S = 0V$, 周波数= 1MHz
Drain Off Capacitance, C_D (Off)	23			pF typ	$V_S = 0V$, 周波数= 1MHz
Drain On Capacitance, C_D (On), Source On	113			pF typ	$V_S = 0V$, 周波数= 1MHz
Capacitance, C_S (On)					
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	55		95	μA typ μA max	$V_{DD} = +16.5V$, $V_{SS} = -16.5V$ デジタル入力= 0V または V_{VL}
Negative Supply Current, I_{SS}	0.01		1	μA typ μA max	デジタル入力= 0V または V_{VL}
Digital Supply Current, I_{VL}	45		70	μA typ μA max	$V_{INx} = V_L = 1.8V$
	30		55	μA typ μA max	$V_{INx} = V_L = 1.2V$

¹ INx 入力に印加する前に、最小 50 μs の初期化時間が必要です。詳細については、動作原理のセクションを参照してください。

+12V の単電源

特に指定のない限り、 $V_{DD} = 12V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_L = 1.1V \sim 1.95V$ 。

表 3. +12V の単電源

パラメータ	25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	2.8	4.3	4.8	Ω typ Ω max	$V_S = 0V \sim 10V$, $I_S = -10mA$, 図 26 を参照 $V_{DD} = 10.8V$, $V_{SS} = 0V$
On-Resistance Match Between Channels, ΔR_{ON}	0.13			Ω typ	$V_S = 0V \sim 10V$, $I_S = -10mA$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.21	0.23	0.25	Ω max	
	0.6			Ω typ	$V_S = 0V \sim 10V$, $I_S = -10mA$
	1.1	1.2	1.3	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.02			nA typ	$V_{DD} = 10.8V$, $V_{SS} = 0V$ $V_S = 1V/10V$, $V_D = 10V/0V$, 図 27 を参照
	± 0.55	± 2	± 12.5	nA max	
Drain Off Leakage, I_D (Off)	± 0.02			nA typ	$V_S = 1V/10V$, $V_D = 10V/0V$, 図 27 を参照
	± 0.55	± 2	± 12.5	nA max	
Channel On Leakage, I_D , I_S (On)	± 0.15			nA typ	$V_S = V_D = 1V/10V$, 図 28 を参照
	± 1.5	± 4	± 30	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	
Input High Current, I_{INH}	55			μA typ	$V_{INx} = V_L = 1.8V$ 、動作原理のセクションを参照

仕様

表 3. +12V の単電源

パラメータ	25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
Input Low Current, I _{INL}	40		90	μA max	V _{INX} = V _L = 1.2V、動作原理のセクションを参照
	0.2		65	μA typ	
Digital-Input Capacitance, C _{IN}	5		0.8	μA max	V _{INX} = 0V
				μA typ	
				μA max	
				pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t _{ON} ¹	182			ns typ	R _L = 300Ω, C _L = 35pF
	225	269	300	ns max	V _S = 8V、図 33 を参照
Off Time, t _{OFF} ¹	175			ns typ	R _L = 300Ω, C _L = 35pF
	230	262	295	ns max	V _S = 8V、図 33 を参照
Charge Injection, Q _{INJ}	10			pC typ	V _S = 6V, R _S = 0Ω, C _L = 1nF、図 34 を参照
Off Isolation	-76			dB typ	R _L = 50Ω, C _L = 5pF、周波数= 100kHz、図 29 を参照
Channel-to-Channel Crosstalk	-100			dB typ	R _L = 50Ω, C _L = 5pF、周波数= 1MHz、図 30 を参照
Total Harmonic Distortion, THD	-87			dB typ	R _L = 10kΩ, 9V p-p、周波数= 20kHz、図 32 を参照
	-83			dB typ	R _L = 10kΩ, 9V p-p、周波数= 20kHz、図 32 を参照
Total Harmonic Distortion + Noise, THD + N	0.007			% typ	R _L = 10kΩ, 9V p-p、周波数= 100kHz、図 32 を参照
-3 dB Bandwidth	130			MHz typ	R _L = 50Ω, C _L = 5pF、図 31 を参照
Insertion Loss	-0.3			dB typ	R _L = 50Ω, C _L = 5pF、周波数= 1MHz、図 31 を参照
Source Off Capacitance, C _S (Off)	29			pF typ	V _S = 6V、周波数= 1MHz
Drain Off Capacitance, C _D (Off)	30			pF typ	V _S = 6V、周波数= 1MHz
Drain On Capacitance, C _D (On), Source On	116			pF typ	V _S = 6V、周波数= 1MHz
Capacitance, C _S (On)					
POWER REQUIREMENTS					
Positive Supply Current, I _{DD}	55			μA typ	V _{DD} = 13.2V デジタル入力= 0V または V _{VL}
Digital Supply Current, I _{VL}	45		95	μA max	V _{INX} = V _L = 1.8V
			70	μA max	
	30			μA typ	V _{INX} = V _L = 1.2V
			55	μA max	

¹ I_{INX} 入力に印加する前に、最小 50μs の初期化時間が必要です。詳細については、動作原理のセクションを参照してください。

±5V の両電源

特に指定のない限り、V_{DD} = 5V ± 10%、V_{SS} = -5V ± 10%、GND = 0V、V_L = 1.1V~1.95V。

表 4. ±5V の両電源

パラメータ	25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
ANALOG SWITCH					
Analog Signal Range			V _{DD} to V _{SS}	V	
On Resistance, R _{ON}	3.3			Ω typ	V _S = ±4.5V, I _S = -10mA、図 26 を参照
	4	4.9	5.4	Ω max	V _{DD} = +4.5V, V _{SS} = -4.5V
On-Resistance Match Between Channels, ΔR _{ON}	0.13			Ω typ	V _S = ±4.5V, I _S = -10mA
On-Resistance Flatness, R _{FLAT(ON)}	0.22	0.23	0.25	Ω max	
	0.9			Ω typ	V _S = ±4.5V, I _S = -10mA
	1.1	1.24	1.31	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I _S (Off)	±0.03			nA typ	V _{DD} = +5.5V, V _{SS} = -5.5V V _S = ±4.5V, V _D = ±4.5V、図 27 を参照

仕様

表 4. ±5V の両電源

パラメータ	25°C	-40°C~+85°C	-40°C~+125°C	単位	テスト条件/コメント
Drain Off Leakage, I_D (Off)	±0.55 ±0.03	±2	±12.5	nA max nA typ	$V_S = \pm 4.5V$, $V_D = \mp 4.5V$, 図 27 を参照
Channel On Leakage, I_D , I_S (On)	±0.55 ±0.05 ±1.0	±2 ±4	±12.5 ±30	nA max nA typ nA max	$V_S = V_D = \pm 4.5V$, 図 28 を参照
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	
Input High Current, I_{INH}	55			µA typ	$V_{INX} = V_L = 1.8V$, 動作原理のセクションを参照
	40		90	µA max	$V_{INX} = V_L = 1.2V$, 動作原理のセクションを参照
Input Low Current, I_{INL}	0.2		65	µA max	$V_{INX} = 0V$
			0.8	µA max	
Digital-Input Capacitance, C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}^1	252 333	388	432	ns typ ns max	$R_L = 300\Omega$, $C_L = 35pF$ $V_S = 3V$, 図 33 を参照
Off Time, t_{OFF}^1	256 345	391	422	ns typ ns max	$R_L = 300\Omega$, $C_L = 35pF$ $V_S = 3V$, 図 33 を参照
Charge Injection, Q_{INJ}	10			pC typ	$V_S = 0V$, $R_S = 0\Omega$, $C_L = 1nF$, 図 34 を参照
Off Isolation	-76			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, 周波数=100kHz, 図 29 を参照
Channel-to-Channel Crosstalk	-100			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, 周波数=1MHz, 図 30 を参照
Total Harmonic Distortion, THD	-90 -78			dB typ dB typ	$R_L = 10k\Omega$, 10V p-p, 周波数=20kHz, 図 32 を参照 $R_L = 10k\Omega$, 10V p-p, 周波数=100kHz, 図 32 を参照
Total Harmonic Distortion + Noise, THD + N	0.02			% typ	$R_L = 10k\Omega$, 10V p-p, 周波数=100kHz, 図 32 を参照
-3 dB Bandwidth	130			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, 図 31 を参照
Insertion Loss	-0.3			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, 周波数=1MHz, 図 31 を参照
Source Off Capacitance, C_S (Off)	32			pF typ	$V_S = 0V$, 周波数=1MHz
Drain Off Capacitance, C_D (Off)	33			pF typ	$V_S = 0V$, 周波数=1MHz
Drain On Capacitance, C_D (On), Source On	116			pF typ	$V_S = 0V$, 周波数=1MHz
Capacitance, C_S (On)					
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	50			µA typ	$V_{DD} = +5.5V$, $V_{SS} = -5.5V$ デジタル入力=0V または V_{VL}
Negative Supply Current, I_{SS}	0.01		90	µA max	
Digital Supply Current, I_{VL}	45		1	µA max	デジタル入力=0V または V_{VL}
			70	µA max	$V_{INX} = V_L = 1.8V$
	30		55	µA typ µA max	$V_{INX} = V_L = 1.2V$

¹ INx 入力に印加する前に、最小 50µs の初期化時間が必要です。詳細については、動作原理のセクションを参照してください。

仕様

チャンネルごとの連続電流 (SX または DX)

表 5. 4 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹ ($\theta_{JA} = 45^{\circ}\text{C}/\text{W}$)				
$V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$	321	174	80	mA maximum
$V_{DD} = +5\text{ V}$, $V_{SS} = -5\text{ V}$	242	143	74	mA maximum
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$	260	150	76	mA maximum

¹ Sx は S1~S4 ピン、Dx は D1~D4 ピンを表します。

表 6. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹ ($\theta_{JA} = 45^{\circ}\text{C}/\text{W}$)				
$V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$	572	244	88	mA maximum
$V_{DD} = +5\text{ V}$, $V_{SS} = -5\text{ V}$	436	211	85	mA maximum
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$	467	220	86	mA maximum

¹ Sx は S1~S4 ピン、Dx は D1~D4 ピンを表します。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7. 絶対最大定格

Parameter	Rating
V_{DD} to V_{SS}	35 V
V_{DD} to GND	-0.3 V to +25 V
V_{SS} to GND	+0.3 V to -25 V
V_L to GND	-0.3 V to +2.25 V
Analog Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Digital Inputs ²	GND - 0.3 V to 2.25 V or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pins ³	650 mA (pulsed at 1 ms, 10% duty-cycle maximum)
Continuous Current, Sx or Dx Pins ³	Data + 15% ⁴
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Reflow Soldering Peak, Pb-Free	As per JEDEC J-STD-020

¹ INx、Sx および Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は所定の最大定格に制限する必要があります。

² デジタル入力ピン INx での過電圧は、内部ダイオードによりクランプされます。

³ Sx は S1~S4 ピン、Dx は D1~D4 ピンを表します。

⁴ 表 5 および表 6 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 8. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-24-17 ¹	45	4.62	°C/W

¹ 熱抵抗のシミュレーション値は、サーマル・ビアのない JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADG1412L の ESD 定格

表 9. ADG1412L、24 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM ¹	±2000	2
FICDM	±1250	C3

¹ 入出力ポートから電源、入出力ポートから入出力ポート、およびその他すべての入力における値です。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

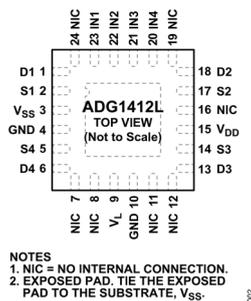


図 2. ピン配置

表 10. ピン機能の説明

ピン番号	記号	概要
1	D1	ドレイン端子。D1 ピンは入力または出力に設定できます。
2	S1	ソース端子。S1 ピンは入力または出力に設定できます。
3	V _{SS}	負電源の電位。
4, 10	GND	グラウンド (0V) リファレンス。GND ピン同士は、互いに接続してください。
5	S4	ソース端子。S4 ピンは入力または出力に設定できます。
6	D4	ドレイン端子。D4 ピンは入力または出力に設定できます。
7, 8, 11, 12, 16, 19, 24	NIC	内部接続なし。このピンは内部接続されていません。
9	V _L	ロジック電源電位。
13	D3	ドレイン端子。D3 ピンは入力または出力に設定できます。
14	S3	ソース端子。S3 ピンは入力または出力に設定できます。
15	V _{DD}	正電源の電位。
17	S2	ソース端子。S2 ピンは入力または出力に設定できます。
18	D2	ドレイン端子。D2 ピンは入力または出力に設定できます。
20	IN4	ロジック制御入力。
21	IN3	ロジック制御入力。
22	IN2	ロジック制御入力。
23	IN1	ロジック制御入力。
	EPAD	露出パッド。露出パッドは基板 (V _{SS}) に接続してください。

表 11. ADG1412L の真値表

INx	Switch Condition
0	Off
1	On

代表的な性能特性

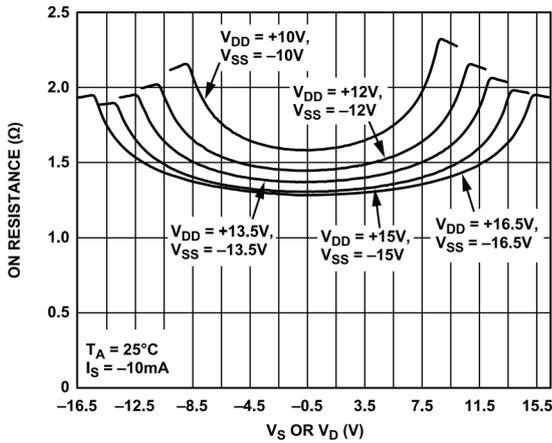


図 3. 両電源でのオン抵抗と V_D または V_S の関係

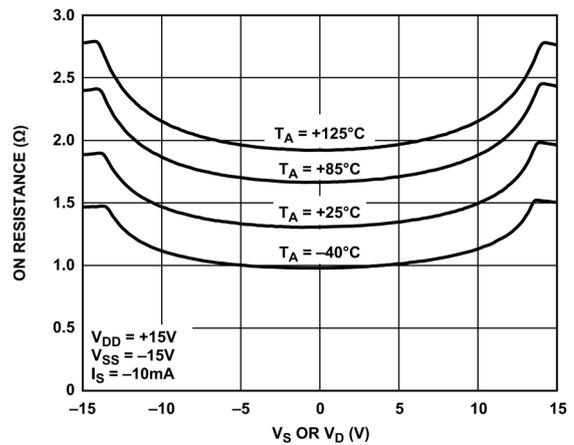


図 6. 様々な温度でのオン抵抗と V_D または V_S の関係、 $\pm 15V$ の両電源

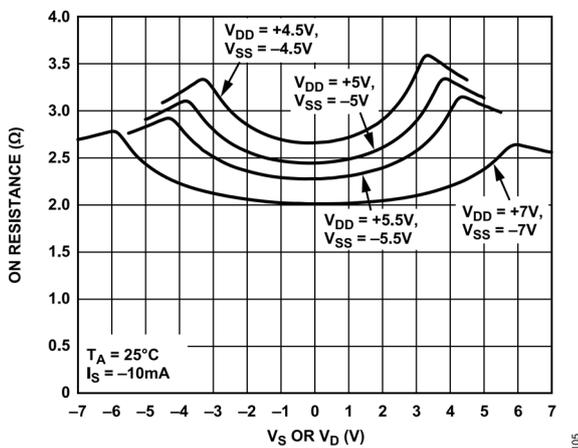


図 4. 両電源でのオン抵抗と V_D または V_S の関係

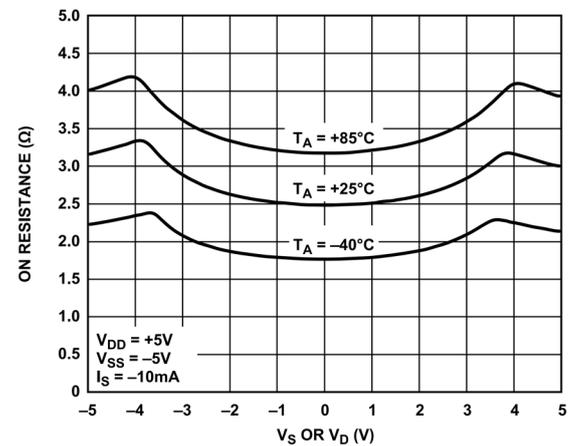


図 7. 様々な温度でのオン抵抗と V_D または V_S の関係、 $\pm 5V$ の両電源

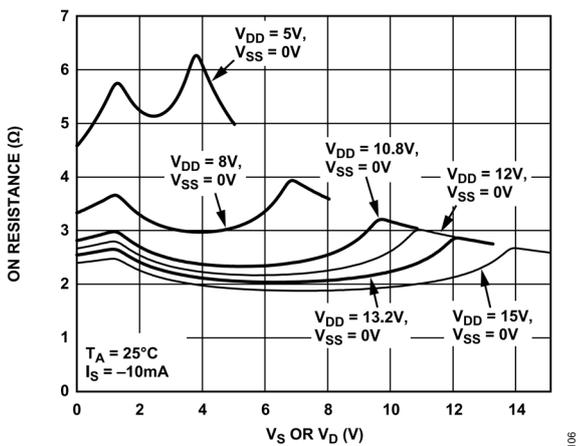


図 5. 単電源でのオン抵抗と V_D または V_S の関係

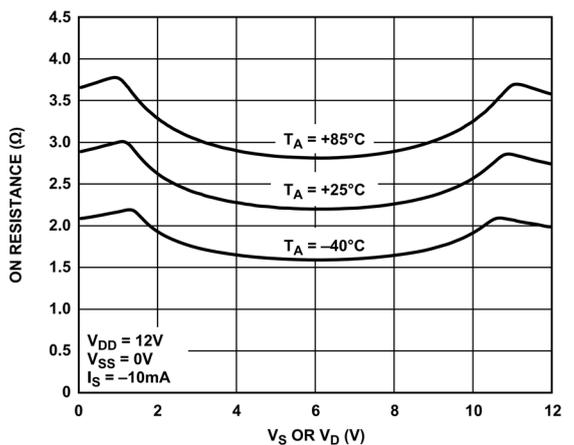


図 8. 様々な温度でのオン抵抗と V_D または V_S の関係、 $+12V$ の単電源

代表的な性能特性

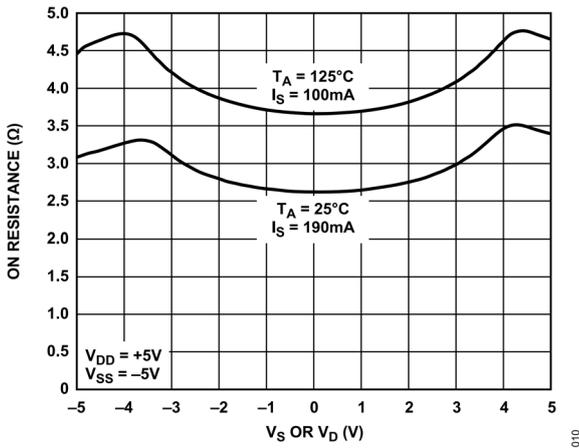


図 9. 様々な電流レベルでのオン抵抗と V_D または V_S の関係、 $\pm 5V$ の両電源

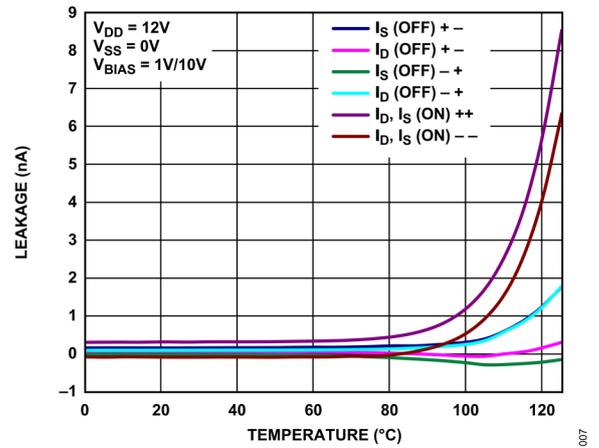


図 12. リーク電流の温度特性、12V の単電源

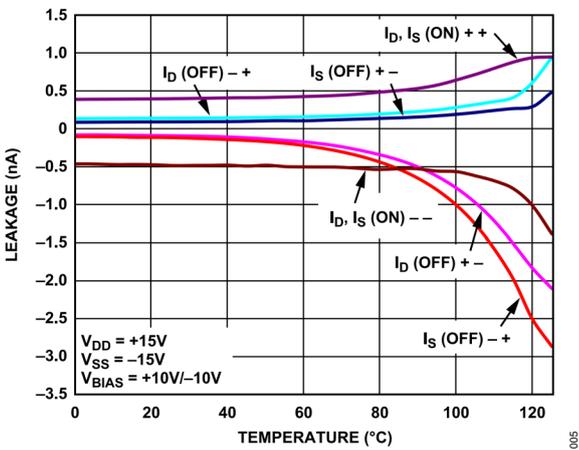


図 10. リーク電流の温度特性、 $\pm 15V$ の両電源

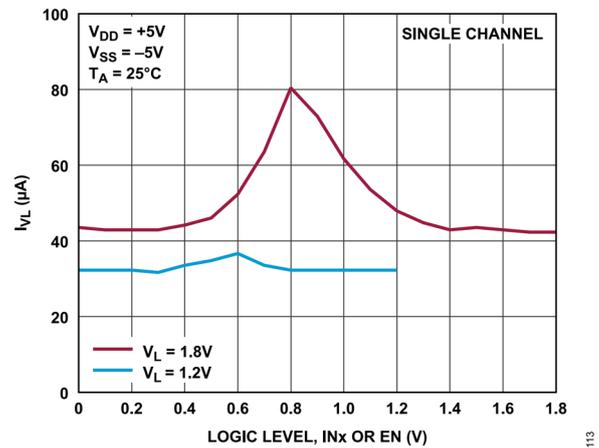


図 13. I_{VL} とロジック・レベルの関係

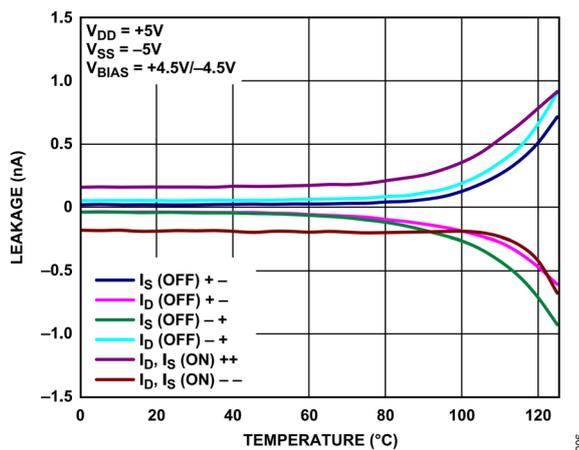


図 11. リーク電流の温度特性、 $\pm 5V$ の両電源

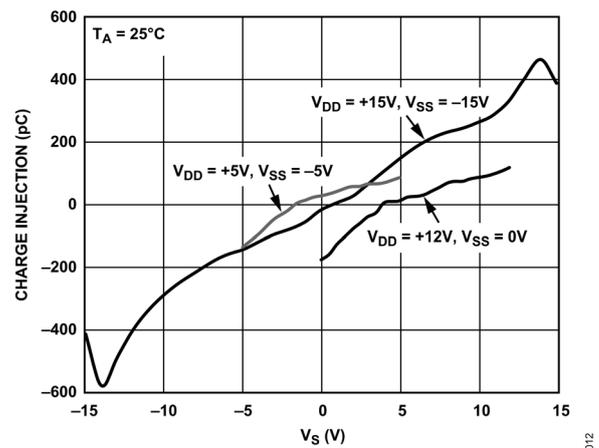


図 14. チャージ・インJECTIONと V_S の関係

代表的な性能特性

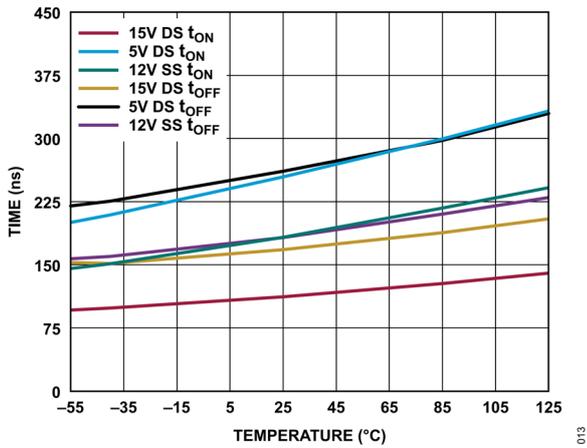


図 15. t_{ON}/t_{OFF} 時間の温度特性、単電源 (SS) と両電源 (DS)

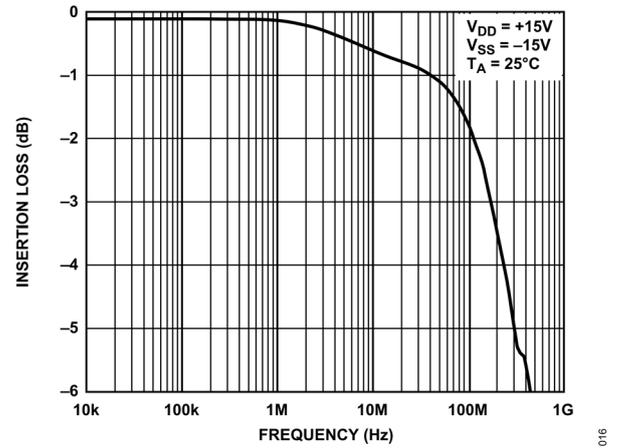


図 18. 挿入損失の周波数特性、±15V の両電源

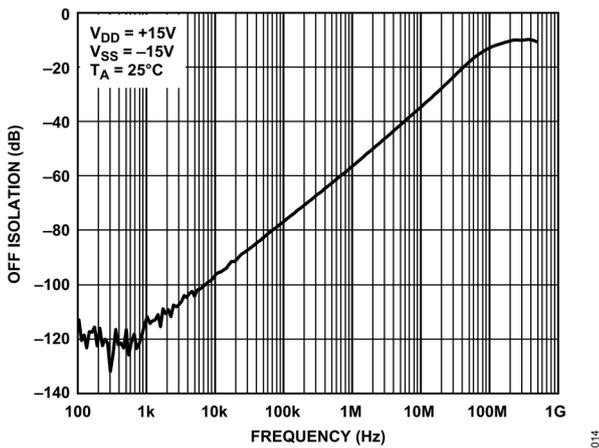


図 16. オフ・アイソレーションの周波数特性、±15V の両電源

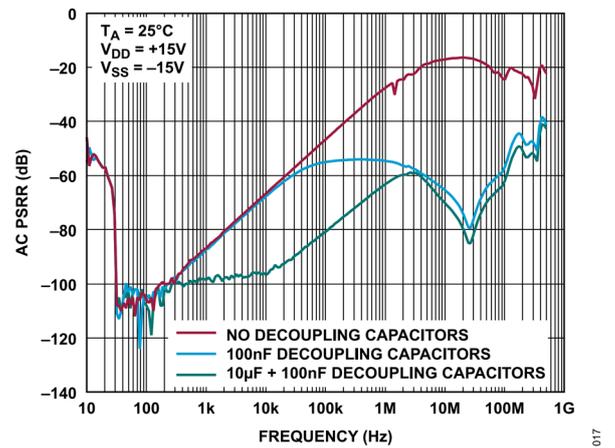


図 19. AC PSRR の周波数特性、±15V の両電源

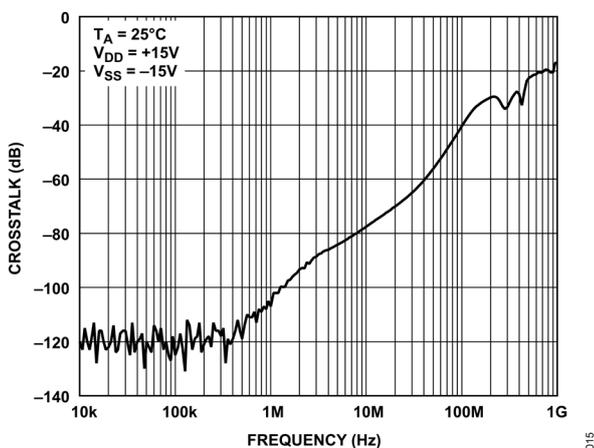


図 17. クロストークの周波数特性、±15V の両電源

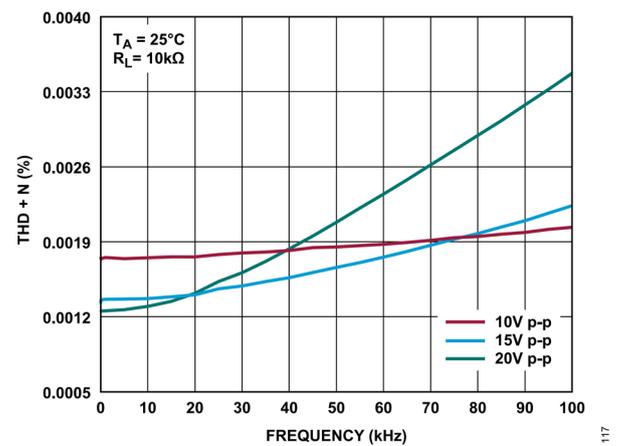


図 20. THD + N の周波数特性、±15V の両電源

代表的な性能特性

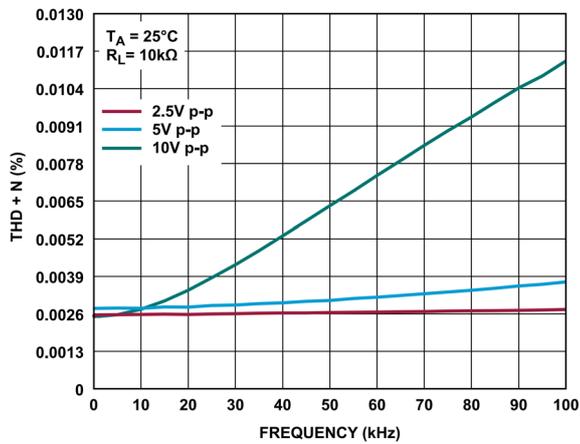


図 21. THD + N の周波数特性、±5V の両電源

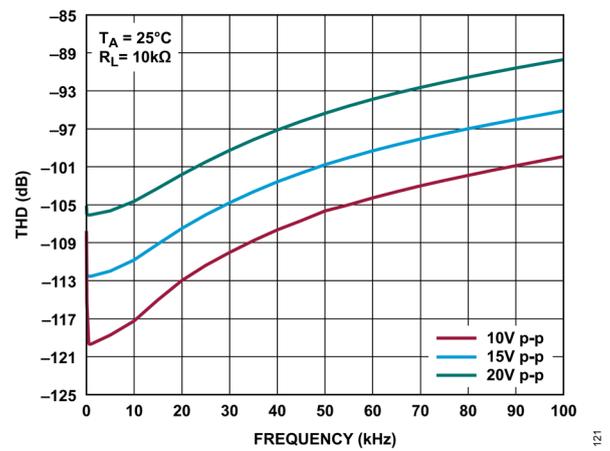


図 24. THD の周波数特性、±15V の両電源

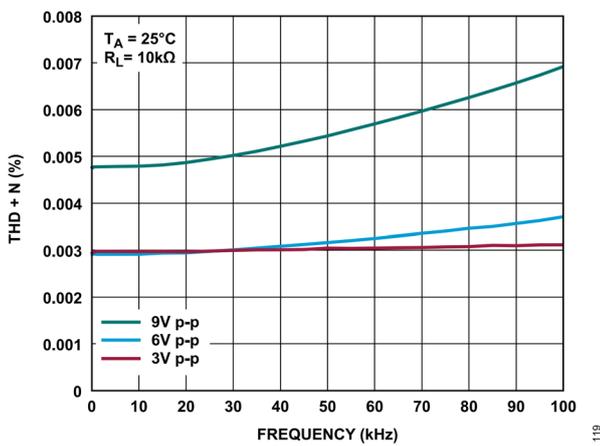


図 22. THD + N の周波数特性、+12V の単電源

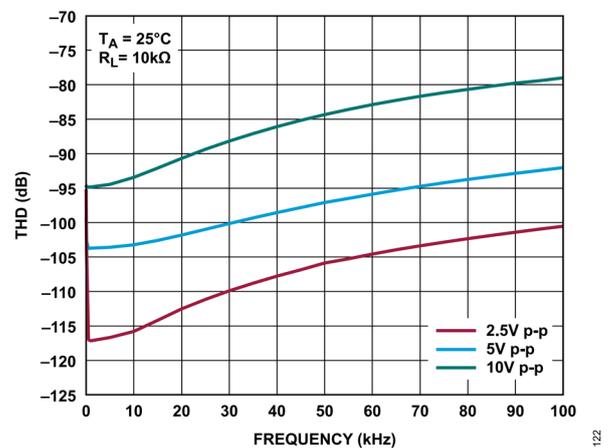


図 25. THD の周波数特性、±5V の両電源

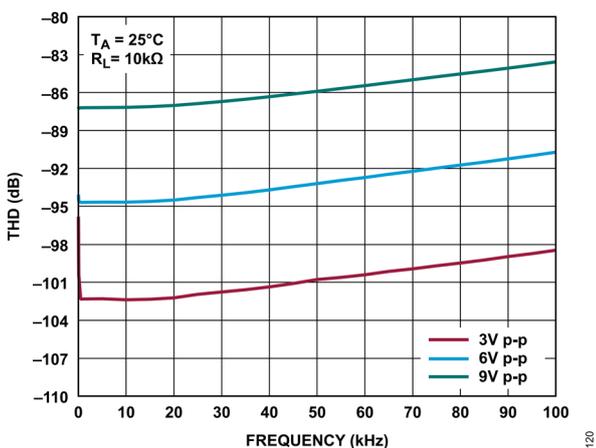


図 23. THD の周波数特性、+12V の単電源

テスト回路

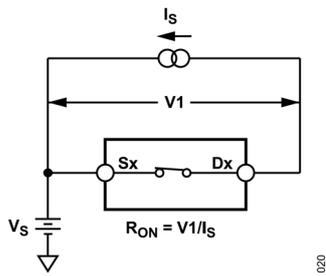


図 26. オン抵抗

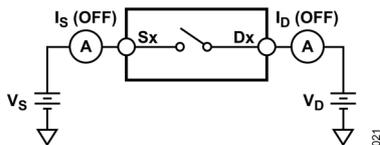


図 27. オフ・リーク

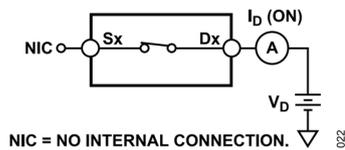


図 28. オン・リーク

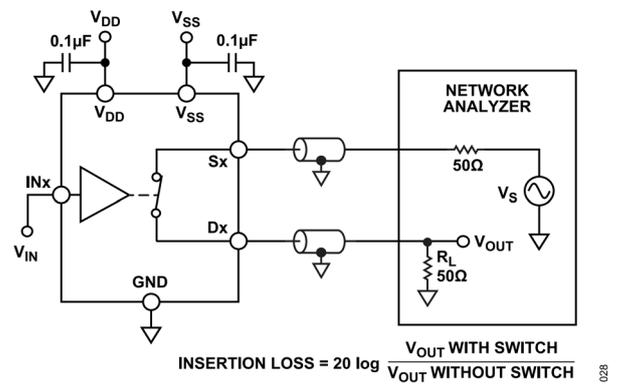


図 31. 帯域幅

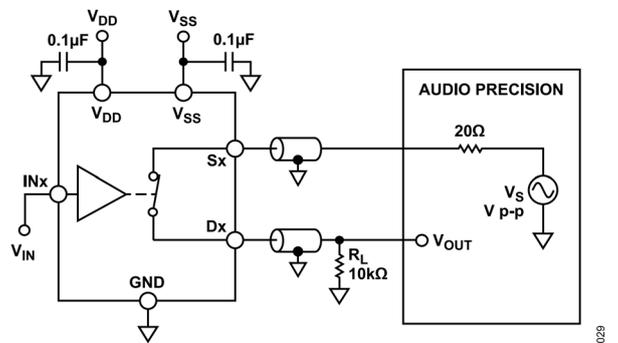


図 32. THD + ノイズ

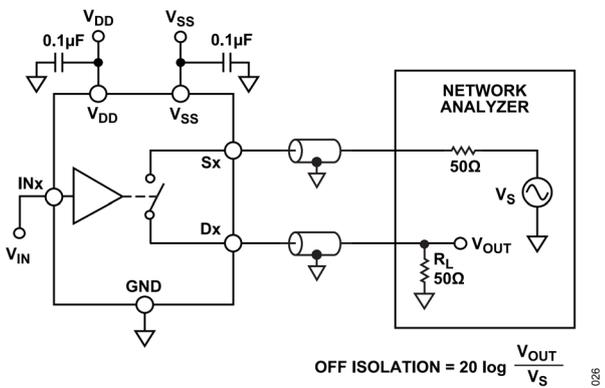


図 29. オフ・アイソレーション

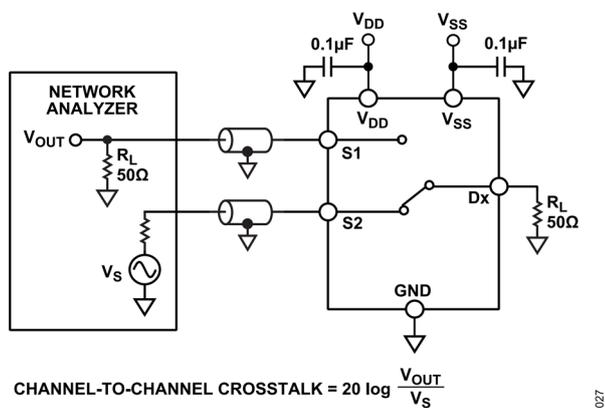


図 30. チャンネル間クロストーク

テスト回路

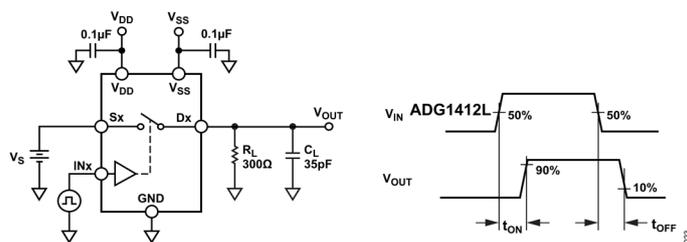


図 33. スイッチング時間

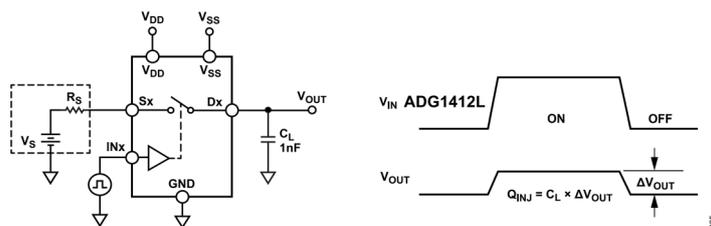


図 34. チャージ・インJECTION

用語の定義

I_{DD}

正側電源電流。

I_{SS}

負側電源電流。

I_{VL}

デジタル電源電流。

V_D および V_S

端子 D と端子 S のアナログ電圧。

R_{ON}

端子 D と端子 S の間の抵抗。

R_{FLAT (ON)}

仕様規定されたアナログ信号範囲における、オン抵抗の最大値と最小値の差として表現される抵抗値の平坦性。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

I_{S Off}

スイッチ・オフ時のソース・リーク電流。

I_{D Off}

スイッチ・オフ時のドレイン・リーク電流。

I_D I_{S On}

スイッチ・オン時のチャンネル・リーク電流。

V_D および V_S

端子 D と端子 S のアナログ電圧。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

ハイまたはローのときのデジタル入力電流。

C_S (Off) および C_D (Off)

スイッチ・オフ時のソース容量およびドレイン容量、グラウンドを基準として測定。

C_D (On) および C_S (On)

スイッチ・オン時のドレイン容量およびソース容量、グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル制御入力の 50%~90%ポイントと出力スイッチ・オン状態の間の遅延。

t_{OFF}

デジタル制御入力の 50%~10%ポイントと出力スイッチ・オフ状態の間の遅延。

チャージ・インジェクション

イッチング中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャンネル間クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

帯域幅

出力が 3dB 減衰する周波数。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み (THD)

THD は、基本周波数の電力に対する、すべての高調波成分における電力の総和の比率です。

全高調波歪み+ノイズ (THD + N)

基本波成分に対する全高調波成分+信号ノイズの比。

AC 電源電圧変動除去比 (AC PSRR)

電源電圧ピンに現れるカップリング・ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧は、0.115V p-p のサイン波で変調されます。変調振幅に対する出力信号振幅の比が AC PSRR です。

動作原理

スイッチ・アーキテクチャ

ADG1412Lは、低ロジック制御可能な4個のSPSTスイッチで構成されています。これらのスイッチは、 V_L 入力に応じて1.2Vまたは1.8Vロジックに対応します。

V_L による柔軟性

外部 V_L 電源を使用することで、低ロジック・レベルにも柔軟に対応できます。スイッチを動作させるには、1.2Vと1.8Vのロジック動作のそれぞれにおいて以下の V_L 条件を満足しなければなりません。

- ▶ 1.2V ロジック : $V_L = 1.1V \sim 1.3V$
- ▶ 1.8V ロジック : $V_L = 1.65V \sim 1.95V$

1.2V および 1.8V JEDEC 準拠

ADG1412Lのデジタル入力閾値は、1.2Vと1.8Vの両方のJEDEC規格（通常範囲）に準拠しています。デジタル入力閾値の規格に準拠しているため、有効なロジック電源範囲で動作している場合、低電圧CMOSロジックとの互換性を確保できます。

1.2Vおよび1.8Vロジック・レベルでのスイッチのデジタル入力条件は、次のとおりです。

- ▶ $V_{INH} = 0.65 \times V_L$
- ▶ $V_{INL} = 0.35 \times V_L$

初期化時間

ADG1412Lのデジタル・セクションは、 V_{DD} 、 V_{SS} 、および V_L の電源投入時に初期化フェーズを実行します。 V_{DD} 、 V_{SS} 、および V_L の電源投入後、最低50 μ sが経過したこと、および IN_x 入力を印加する前に V_{DD} 、 V_{SS} 、および V_L が低下していないことを確認してください。

既知の状態のスイッチ

ADG1412Lのスイッチは、 IN_x ピンがフロート状態のときにはオフになります。これにより、不要な信号がスイッチを通過してしまうことを防止します。この機能を備えているため、外付けのプルダウン抵抗は必要ありません。ADG1412Lは、 I_{INH} の半分までのリーク電流に対してフロート状態の IN_x 入力をプルダウンすることができます。

アプリケーション情報

フィールド・プログラマブル・ゲート・アレイ (FPGA) の低ロジック対応

図 35 に、FPGA またはマイクロコントローラと一緒に ADG1412L を使用する場合の代表的なアプリケーションを示します。使いやすくするため、柔軟性に優れた V_L ピンはデジタル電源電圧 (V_{CCO}) に、 INx 入力には直接デジタル IO ポートに接続できるようになっています。

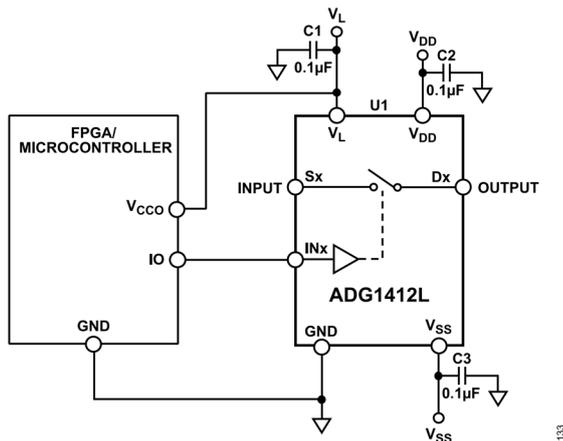


図 35. 代表的なアプリケーション

ADG1412L は 1.2V および 1.8V JEDEC 規格に準拠しているため、ロジック入力の仕様 (V_{INH} と V_{INL}) は、FPGA またはマイクロコントローラのデジタル出力の仕様 (V_{OH} の最小値と V_{OL} の最大値) を満足しています。一般的な組み合わせではロジック・レベルの互換性は確保されないため、組み合わせによるリスクが発生します。ADG1412L は、幅広く採用されている 1.2V および 1.8V ロジック・レベルの両方の規格に準拠しているため、このようなリスクは発生しません。

V_{OH} と V_{INH} 、および V_{OL} と V_{INL} の関係

FPGA またはマイクロコントローラのロジック出力ハイ (V_{OH}) が入力のロジック・ハイ (V_{INH}) より高いことを確認してください。また、FPGA またはマイクロコントローラのロジック出力ロー (V_{OL}) が入力のロジック・ロー (V_{INL}) より低いことを確認してください。

図 36 に、FPGA またはマイクロコントローラの V_{OH} および V_{OL} と、ADG1412L の INx 入力 (V_{INH} および V_{INL}) の間における 1.2V ロジック準拠の関係を示します。

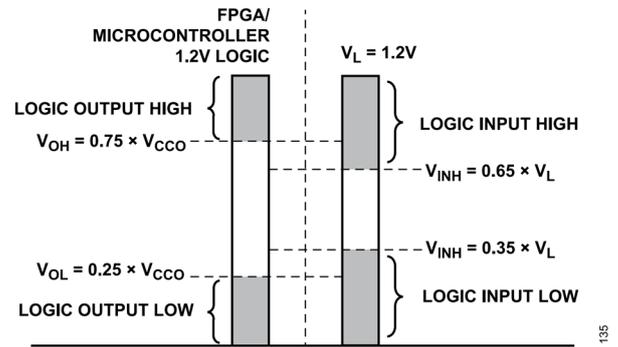


図 36. V_{OH} と V_{INH} 、および V_{OL} と V_{INL} の間の 1.2V ロジック互換性

図 37 に、FPGA またはマイクロコントローラの V_{OH} および V_{OL} と、ADG1412L の INx 入力 (V_{INH} および V_{INL}) の間における 1.8V ロジック準拠の関係を示します。

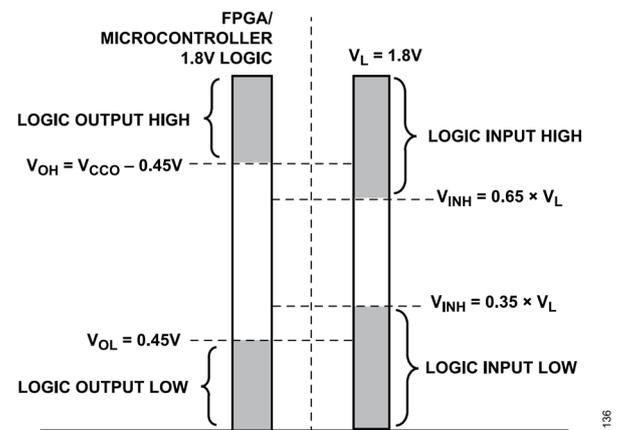


図 37. V_{OH} と V_{INH} 、および V_{OL} と V_{INL} の間の 1.8V ロジック互換性

電源レール

ADG1412L を正常に動作させるには、 V_{DD} 、 V_{SS} 、および V_L 電源ピンに最小 0.1 μ F のデカップリング・コンデンサが必要です。

ADG1412L は、 V_{DD} と V_{SS} を使用して、 $\pm 4.5V \sim \pm 16.5V$ の両電源で動作します。また、 $5V \sim 16.5V$ の V_{DD} 単電源と $1.1V \sim 1.95V$ の V_L で動作させることもできます。ただし、絶対最大定格のセクションに示したとおり、 $V_{DD} \sim V_{SS}$ の範囲は 35V を超えてはなりません。また、 V_L の範囲は 2.25V を超えてはなりません。

外形寸法

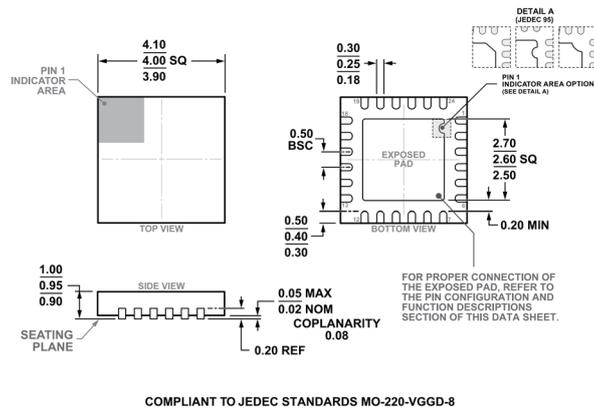


図 38.24 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 4mm × 4mm ボディ、0.95mm パッケージ高
 (CP-24-17)
 寸法：mm

オーダー・ガイド

表 12. オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Option	Package Quantity
ADG1412LYCPZ-REEL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-17	Reel, 1500

¹ Z = RoHS 準拠製品。

評価用ボード

表 13. 評価用ボード

Model ¹	Description
EVAL-ADG1412LEBZ	Evaluation Board

¹ Z = RoHS 準拠製品。