データシート
ADG1408L

1.2V/1.8V JEDEC ロジック準拠の 4Ω R_{ON}、8 チャンネル、iCMOS マルチプレクサ

特長

- オン抵抗（最大値）：4.7Ω（25ºC、±15V 両電源使用時）
- オン抵抗平坦性（代表値）：0.5Ω（25ºC、±15V の両電源使用時）
- ±15V、+12V、±5V の電源ですべて仕様規定
- 低ロジック・レベルとの互換性を確保する V_L 電源
  - 1.8V JEDEC 規格に準拠（JESD8-7A）
  - 1.2V JEDEC 規格に準拠（JESD8-12A.01）
- レール to レール動作
- ブレークビフォアメーク・スイッチング動作
- 24 ピン、4 mm × 4 mm LFCSP

アプリケーション

- FPGA およびマイクロコントローラ・システム
- リレー部品の置き換え
- オーディオおよびビデオ・ルーティング
- ATE（自動試験装置）
- データ･アクイジション･システム
- 通信システム

概要

ADG1408L はモノリシック *i*CMOS®による 8 チャンネルのアナログ・マルチプレクサです。ADG1408L は、3 ビットのバイナリ・アドレス・ライン（A0、A1、A2）による決定に従い、8 個の入力のうちの 1 つを共通の出力にスイッチします。EN 入力を使うことで、デバイスをイネーブルまたはディスエーブルできます。ディスエーブル時はすべてのチャンネルがオフに切り替わります。オンにすると、各チャンネルで双方向に等しく信号が伝達されます。また、各チャンネルは電源までの入力信号範囲を備えています。

外部低電圧（V_L）電源は、より低いロジック制御に対応できる柔軟性を備えています。ADG1408L は、1.2V と 1.8V の両方の JEDEC 規格に準拠しています。

機能ブロック図

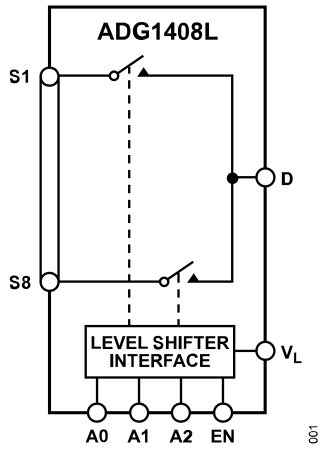


図 1. 機能ブロック図

製品のハイライト

1. 25ºC、±15V の両電源使用時に 4Ω（代表値）のオン抵抗。
2. 25ºC、±15V の両電源使用時に 0.5Ω（代表値）のオン抵抗平坦性。
3. 低ロジック・レベルとの互換性を確保する V_L 電源。
4. 1.2V と 1.8V の両方のロジック・レベルで JEDEC 規格に準拠。
5. デジタル入力がフロート状態の場合はスイッチをオフにする機能をサポート。
6. 24 ピン、4mm × 4mm、LFCSP。

目次

改訂履歴

5/2023—Revision 0: Initial Version

仕様

動作電源電圧

表 1. 動作電源電圧

Parameter	Min	Max	Unit
Dual Supply	±4.5	±16.5	V
Single Supply	5	16.5	V

±15V 両電源

特に指定のない限り、V_{DD} = +15V ± 10%、V_{SS} = −15V ± 10%、GND = 0V、V_L = 1.1V～1.95V。

表 2. ±15V 両電源での仕様

Parameter	+25°C	−40°C to +85°C	−40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					V_{DD} = +13.5 V, V_{SS} = −13.5 V
Analog Signal Range			V_{SS} to V_{DD}	V	
On Resistance, R_{ON}	4			Ω typ	Source voltage (V_S) = ±10 V, source current (I_S) = −10 mA, see Figure 25
	4.7	5.7	6.7	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.2			Ω typ	V_S = ±10 V, I_S = −10 mA
	0.78	0.85	1.1	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.5			Ω typ	V_S = ±10 V, I_S = −10 mA
	0.72	0.77	0.92	Ω max	
LEAKAGE CURRENTS					V_{DD} = +16.5 V, V_{SS} = −16.5 V
Source Off Leakage, I_S (Off)	±0.04			nA typ	V_S = ±10 V, drain voltage (V_D) = ∓10 V, see Figure 26
	±0.2	±0.6	±5	nA max	
Drain Off Leakage, I_D (Off)	±0.04			nA typ	V_S = ±10 V, V_D = ∓10 V, see Figure 26
	±0.45	±2	±30	nA max	
Channel On Leakage, I_D (On), I_D (On)	±0.1			nA typ	V_S = V_D = ±10 V, see Figure 27
	±1.5	±3	±30	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			0.65 * V_L	V min	
Input Low Voltage, V_{INL}			0.35 * V_L	V max	
Input High Current, I_{INH}	55			µA typ	Ax voltage (V_{Ax}) = V_L = 1.8 V, see the Theory of Operations section
			90	µA max	
	40			µA typ	V_{Ax} = V_L = 1.2 V, see the Theory of Operations section
			65	µA max	
Input Low Current, I_{INL}	0.2			µA typ	V_{Ax} = 0 V
			0.8	µA max	
Digital Input Capacitance, C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					
Transition Time, $t_{TRANSITION}$	160			ns typ	Load resistance (R_L) = 100 Ω, load capacitance (C_L) = 35 pF
	192	223	247	ns max	V_S = 10 V, see Figure 28
Break-Before-Make Time Delay, t_{BBM}	40			ns typ	R_L = 100 Ω, C_L = 35 pF
			28	ns min	S1 voltage (V_{S1}) = S2 voltage (V_{S2}) = 10 V, see Figure 29
Enable Delay On Time, t_{ON} (EN)	117			ns typ	R_L = 100 Ω, C_L = 35 pF
	149	166	184	ns max	V_S = 10 V, see Figure 30
Enable Delay Off Time, t_{OFF} (EN)	139			ns typ	R_L = 100 Ω, C_L = 35 pF
	166	189	207	ns max	V_S = 10 V, see Figure 30

仕様

表 2. ±15V 両電源での仕様（続き）

Parameter	+25°C	−40°C to +85°C	−40°C to +125°C	Unit	Test Conditions/Comments
Charge Injection	−50			pC typ	V_S = 0 V, R_S = 0 Ω, C_L = 1 nF, see Figure 31
Off Isolation	−64			dB typ	R_L = 50 Ω, C_L = 5 pF, frequency (f) = 1 MHz, see Figure 32
Channel to Channel Crosstalk	−70			dB typ	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz, see Figure 33
Total Harmonic Distortion, THD	-101			dB typ	R_L = 10 kΩ, 15 V p-p, f = 20 kHz, see Figure 35
	-88			dB typ	R_L = 10 kΩ, 15 V p-p, f = 100 kHz, see Figure 35
Total Harmonic Distortion Plus Noise, THD + N	0.0013			% typ	R_L = 10 kΩ, 15 V p-p, f = 20 kHz, see Figure 35
	0.0039			% typ	R_L = 10 kΩ, 15 V p-p, f = 100 kHz, see Figure 35
−3 dB Bandwidth	60			MHz typ	R_L = 50 Ω, C_L = 5 pF, see Figure 34
Insertion Loss	0.24			dB typ	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz, see Figure 34
Source Off Capacitance, C_S (Off)	14			pF typ	V_S = 0 V, f = 1 MHz
Drain Off Capacitance, C_D (Off)	80			pF typ	V_S = 0 V, f = 1 MHz
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	135			pF typ	V_S = 0 V, f = 1 MHz
POWER REQUIREMENTS					V_{DD} = +16.5 V, V_{SS} = −16.5 V
Positive Supply Current, I_{DD}	55			μA typ	V_{Ax} = 0 V or V_L
			95	μA max	
Negative Supply Current, I_{SS}	0.001			μA typ	V_{Ax} = 0 V or V_L
			1	μA max	
Digital Supply Current, I_{VL}	45			μA typ	V_{Ax} = V_L = 1.8 V
			70	μA max	
	30			μA typ	V_{Ax} = V_L = 1.2 V
			55	μA max	

12V 単電源

特に指定のない限り、V_{DD} = 12V ± 10%、V_{SS} = 0V、GND = 0V、V_L = 1.1V～1.95V。

表 3. 12V 単電源での仕様

Parameter	+25°C	−40°C to +85°C	−40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					V_{DD} = 10.8 V, V_{SS} = 0 V
Analog Signal Range			0 to V_{DD}	V	
R_{ON}	6			Ω typ	V_S = 0 V to 10 V, I_S = −10 mA, see Figure 25
	8	9.5	11.2	Ω max	
ΔR_{ON}	0.2			Ω typ	V_S = 0 V to 10 V, I_S = −10 mA
	0.82	0.85	1.1	Ω max	
$R_{FLAT(ON)}$	1.5			Ω typ	V_S = 0 V to 10 V, I_S = −10 mA
	2.4	2.7	3	Ω max	
LEAKAGE CURRENTS					V_{DD} = 13.2 V, V_{SS} = 0 V
I_S (Off)	±0.04			nA typ	V_S = 1 V to 10 V, V_D = 10 V to 1 V, see Figure 26
	±0.2	±0.6	±5	nA max	
I_D (Off)	±0.04			nA typ	V_S = 1 V to 10 V, V_D = 10 V to 1 V, see Figure 26
	±0.45	±1	±37	nA max	
I_D (On), I_S (On)	±0.06			nA typ	V_S = V_D = 1 V to 10 V, see Figure 27
	±0.44	±1.3	±32	nA max	
DIGITAL INPUTS					
V_{INH}			0.65 × V_L	V min	
V_{INL}			0.35 × V_L	V max	

仕様

表 3. 12V 単電源での仕様（続き）

Parameter	+25°C	−40°C to +85°C	−40°C to +125°C	Unit	Test Conditions/Comments
I_{INH}	55			µA typ	V_{Ax} = V_L = 1.8 V, see the Theory of Operations section
			90	µA max	
	40			µA typ	V_{Ax} = V_L = 1.2 V, see the Theory of Operations section
			65	µA max	
I_{INL}	0.2			µA typ	V_{Ax} = 0 V
			0.8	µA max	
Digital C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					
$t_{TRANSITION}$	228			ns typ	R_L = 100 Ω, C_L = 35 pF
	287	333	370	ns max	V_S = 8 V, see Figure 28
t_{BBM}	90			ns typ	R_L = 100 Ω, C_L = 35 pF
			57	ns min	V_{S1} = V_{S2} = 8 V, see Figure 29
t_{ON} (EN)	183			ns typ	R_L = 100 Ω, C_L = 35 pF
	239	274	304	ns max	V_S = 8 V, see Figure 30
t_{OFF} (EN)	161			ns typ	R_L = 100 Ω, C_L = 35 pF
	201	226	247	ns max	V_S = 8 V, see Figure 30
Charge Injection	−12			pC typ	V_S = 6 V, R_S = 0 Ω, C_L = 1 nF, see Figure 31
Off Isolation	−64			dB typ	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz, see Figure 32
Channel to Channel Crosstalk	−70			dB typ	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz, see Figure 33
THD	−90			dB typ	R_L = 10 kΩ, 5 V p-p, f = 20 kHz, see Figure 35
	−83			dB typ	R_L = 10 kΩ, 5 V p-p, f = 100 kHz, see Figure 35
THD + N	0.0034			% typ	R_L = 10 kΩ, 5 V p-p, f = 20 kHz, see Figure 35
	0.0068			% typ	R_L = 10 kΩ, 5 V p-p, f = 100 kHz, see Figure 35
−3 dB Bandwidth	36			MHz typ	R_L = 50 Ω, C_L = 5 pF, see Figure 34
Insertion Loss	0.5			dB typ	R_L = 50 Ω, C_L = 5 pF, frequency = 1 MHz, see Figure 34
C_S (Off)	20			pF typ	V_S = 6 V, f = 1 MHz
C_D (Off)	120			pF typ	V_S = 6 V, f = 1 MHz
C_D, C_S (On)	170			pF typ	V_S = 6 V, f = 1 MHz
POWER REQUIREMENTS					V_{DD} = 13.2 V, V_{SS} = 0 V
I_{DD}	55			µA typ	V_{Ax} = 0 V or V_L
			95	µA max	
I_{VL}	45			µA typ	V_{Ax} = V_L = 1.8 V
			70	µA max	
	30			µA typ	V_{Ax} = V_L = 1.2 V
			55	µA max	

仕様

±5V 両電源

特に指定のない限り、V_{DD} = +5V ± 10%、V_{SS} = −5 V ± 10%、GND = 0V、V_L = 1.1V～1.95V。

表 4. ±5V 両電源での仕様

Parameter	+25°C	−40°C to +85°C	−40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					V_{DD} = +4.5 V, V_{SS} = −4.5 V
Analog Signal Range			V_{SS} to V_{DD}	V	
R_{ON}	7			Ω typ	V_S = ±4.5 V, I_S = −10 mA, see Figure 25
	9	10.5	12	Ω max	
ΔR_{ON}	0.3			Ω typ	V_S = ±4.5 V, I_S = −10 mA
	0.78	0.91	1.1	Ω max	
$R_{FLAT(ON)}$	1.5			Ω typ	V_S = ±4.5 V; I_S = −10 mA
	2.4	2.7	3	Ω max	
LEAKAGE CURRENTS					V_{DD} = +5.5 V, V_{SS} = −5.5 V
I_S (Off)	±0.02			nA typ	V_S = ±4.5 V, V_D = ∓4.5 V, see Figure 26
	±0.2	±0.6	±5	nA max	
I_D (Off)	±0.02			nA typ	V_S = ±4.5 V, V_D = ∓4.5 V, see Figure 26
	±0.45	±0.8	±20	nA max	
I_D (On), I_S (On)	±0.04			nA typ	V_S = V_D = ±4.5 V, see Figure 27
	±0.3	±1.1	±22	nA max	
DIGITAL INPUTS					
V_{INH}			0.65 × V_L	V min	
V_{INL}			0.35 × V_L	V max	
I_{INH}	55			µA typ	V_{Ax} = V_L = 1.8 V, see the Theory of Operations section
			90	µA max	
	40			µA typ	V_{Ax} = V_L = 1.2 V, see the Theory of Operations section
			65	µA max	
I_{INL}	0.2			µA typ	V_{Ax} = 0 V
			0.8	µA max	
C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					
$t_{TRANSITION}$	314			ns typ	R_L = 100 Ω, C_L = 35 pF
	414	472	517	ns max	V_S = 3 V, see Figure 28
t_{BBM}	90			ns typ	R_L = 100 Ω, C_L = 35 pF
			59	ns min	V_{S1} = V_{S2} = 3 V, see Figure 29
t_{ON} (EN)	265			ns typ	R_L = 100 Ω, C_L = 35 pF
	356	408	445	ns max	V_S = 3 V, see Figure 30
t_{OFF} (EN)	244			ns typ	R_L = 100 Ω, C_L = 35 pF
	316	353	379	ns max	V_S = 3 V, see Figure 30
Charge Injection	−10			pC typ	V_S = 0 V, R_S = 0 Ω, C_L = 1 nF, see Figure 31
Off Isolation	−64			dB typ	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz, see Figure 32
Channel to Channel Crosstalk	−70			dB typ	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz, see Figure 33
THD	−94			dB typ	R_L = 10 kΩ, 5 V p-p, f = 20 kHz, see Figure 35
	−82			dB typ	R_L = 10 kΩ, 5 V p-p, f = 100 kHz, see Figure 35
THD + N	0.0024			% typ	R_L = 10 kΩ, 5 V p-p, f = 20 kHz, see Figure 35
	0.0072			% typ	R_L = 10 kΩ, 5 V p-p, f = 100 kHz, see Figure 35
−3 dB Bandwidth	40			MHz typ	R_L = 50 Ω, C_L = 5 pF, see Figure 34
Insertion Loss	0.5			dB typ	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz, see Figure 34

仕様

表 4. ±5V 両電源での仕様（続き）

Parameter	+25°C	−40°C to +85°C	−40°C to +125°C	Unit	Test Conditions/Comments
C_S (Off)	20			pF typ	V_S = 0 V, f = 1 MHz
C_D (Off)	130			pF typ	V_S = 0 V, f = 1 MHz
C_D, C_S (On)	180			pF typ	V_S = 0 V, f = 1 MHz
POWER REQUIREMENTS					V_{DD} = +5.5 V, V_{SS} = −5.5 V
I_{DD}	55			µA typ	V_{Ax} = 0 V or V_L
			95	µA max	
I_{SS}	0.001			µA typ	V_{Ax} = 0 V or V_L
			1	µA max	
I_{VL}	45			µA typ	V_{Ax} = V_L = 1.8 V
			70	µA max	
	30			µA typ	V_{Ax} = V_L = 1.2 V
			55	µA max	

チャンネルごとの連続電流（SX または D）

表 5. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx or D (θ_{JA} = 64.04 °C/W)[1]				
V_{DD} = +15 V, V_{SS} = −15 V	233	89	29	mA max
V_{DD} = +12 V, V_{SS} = 0 V	206	84	29	mA max
V_{DD} = +5 V, V_{SS} = −5 V	198	83	29	mA max

[1] Sx は S1～S8 ピンを表します。

絶対最大定格

特に指定のない限り、T_A = 25ºC。

表 6. 絶対最大定格

Parameter	Rating
V_{DD} to V_{SS}	35 V
V_{DD} to GND	−0.3 V to +25 V
V_{SS} to GND	+0.3 V to −25 V
V_L to GND	−0.3 V to +2.25 V
Analog Inputs[1]	V_{SS} − 0.3 V to V_{DD} + 0.3 V, or 30 mA, whichever occurs first
Digital Inputs[2]	GND − 0.3 V to 2.25 V, or 30 mA, whichever occurs first
Continuous Current, Sx or D[3]	Data[4] + 15%.
Peak Current, Sx or D (Pulsed at 1 ms, 10% Duty-Cycle Maximum)	532 mA
Temperature	
Operating Range	−40°C to +125°C
Storage Range	−65°C to +150°C
Junction	150°C
Reflow Soldering Peak (RoHS Compliant)	As per JEDEC J-STD-020

[1] Ax、EN、Sx、D ピンでの過電圧は内蔵ダイオードでクランプされます。電流は、所定の最大定格に制限してください。

[2] AX および EN デジタル入力ピンでの過電圧は内蔵ダイオードによりクランプされます。

[3] Sx は S1～S8 を表します。

[4] 表 5 を参照。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は最も厳しい条件で仕様規定されています。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で仕様規定されています。θ_{JC} は、ファンクションとケース底面の間の値です。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-24-17[1]	64.04	26.87	°C/W

[1] 熱抵抗のシミュレーション値は、サーマル・ビアのない JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADG1408L の ESD 定格

表 8. ADG1408L、24 ピン LFCSP

ESD Model	Withstand Threshold (kV)	Class
HBM[1]	±2.5	2
FICDM	±1.25	C3

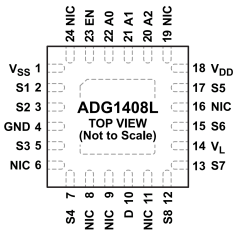
[1] 入出力ポートから電源、入出力ポートから入出力ポート、およびその他すべての入力における値です。

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. NIC = NOT INTERNALLY CONNECTED.
2. EXPOSED PAD. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE, V_{SS}.

002

図 2. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	V_{SS}	負電源の電位。単電源アプリケーションでは、V_{SS} はグラウンドに接続できます。V_{SS} ピンは、0.1μF のコンデンサで GND からデカップリングします。
2	S1	ソース端子 1。S1 は、入力または出力に設定できます。
3	S2	ソース端子 2。S2 は、入力または出力に設定できます。
4	GND	グラウンド（0V）リファレンス。
5	S3	ソース端子 3。S3 は、入力または出力に設定できます。
6, 8, 9, 11, 16, 19, 24	NIC	内部では未接続。
7	S4	ソース端子 4。S4 は、入力または出力に設定できます。
10	D	ドレイン端子。D は、入力または出力に設定できます。
12	S8	ソース端子 8。S8 は、入力または出力に設定できます。
13	S7	ソース端子 7。S7 は、入力または出力に設定できます。
14	V_L	ロジック電源電位。
15	S6	ソース端子 6。S6 は、入力または出力に設定できます。
17	S5	ソース端子 5。S5 は、入力または出力に設定できます。
18	V_{DD}	正電源の電位。V_{DD} ピンは、0.1μF のコンデンサで GND からデカップリングします。
20	A2	ロジック・コントロール入力 2。
21	A1	ロジック・コントロール入力 1。
22	A0	ロジック・コントロール入力 0。
23	EN	アクティブ・ハイのデジタル入力。EN ピンがロー・レベルになると、ADG1408L はディスエーブルされ、すべてのスイッチがオフになります。EN ピンがハイ・レベルになると、Ax ロジック入力によってオンになるスイッチが決まります。
	EPAD	露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、この露出パッドを基板 V_{SS} にハンダ付けすることを推奨します。

表 10. 真理値表

A2	A1	A0	EN	On Switch
X[1]	X[1]	X[1]	0	None
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

[1] X = ドントケア。

代表的な性能特性

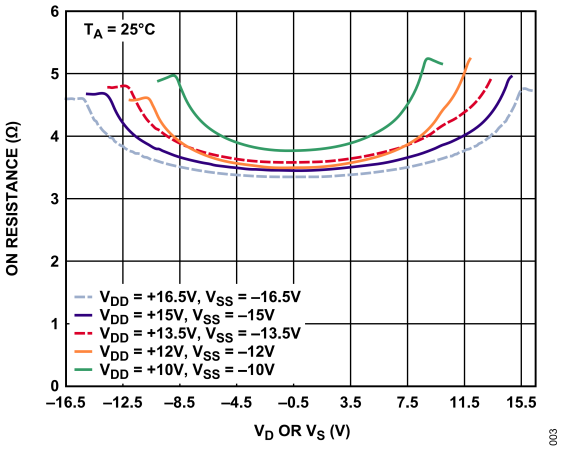


図 3. 両電源でのオン抵抗と V_D または V_S の関係

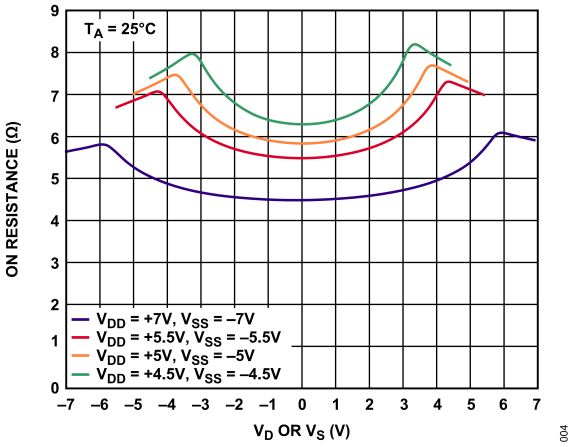


図 4. 両電源でのオン抵抗と V_D または V_S の関係

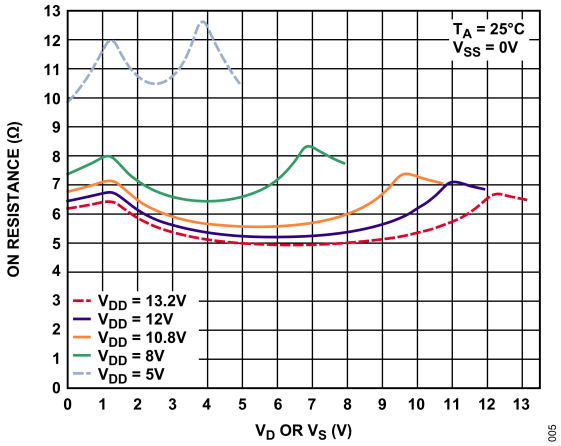


図 5. 単電源でのオン抵抗と V_D または V_S の関係

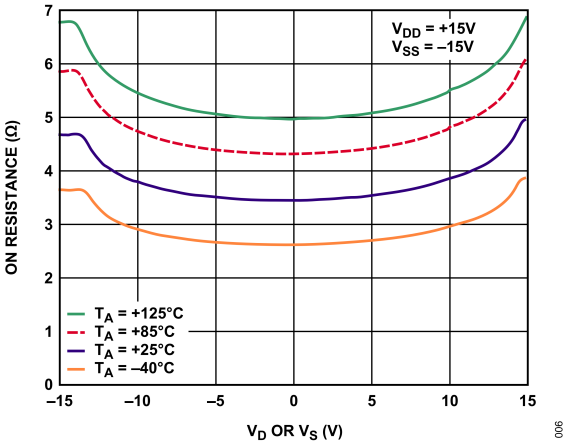


図 6. 異なる温度における±15V 両電源でのオン抵抗と V_D または V_S の関係

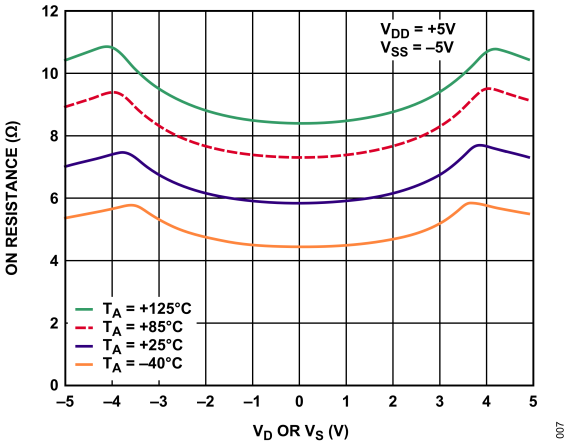


図 7. 異なる温度における±5V 両電源でのオン抵抗と V_D または V_S の関係

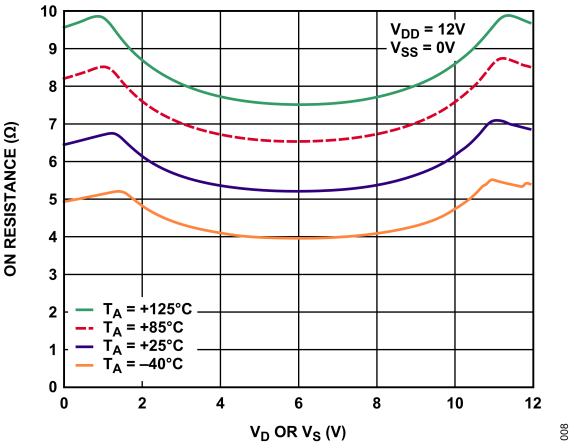


図 8. 異なる温度における 12V 単電源でのオン抵抗と V_D または V_S の関係

代表的な性能特性

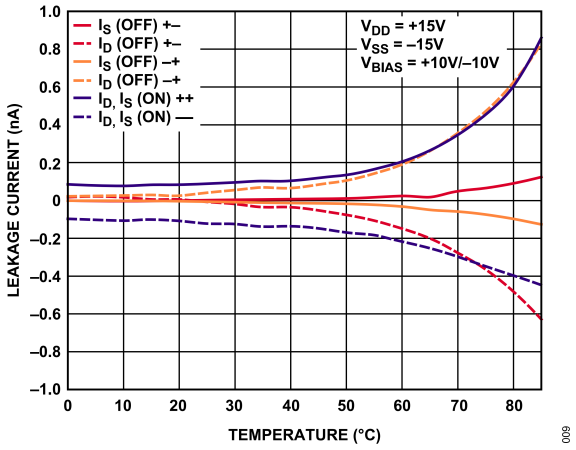


図 9. ±15V 両電源でのリーク電流と温度の関係

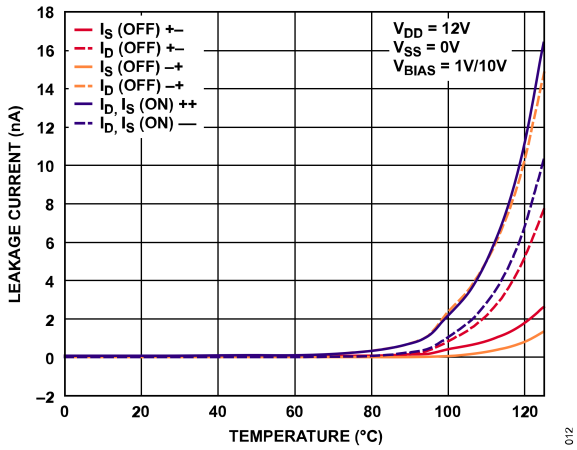


図 12. 12V 単電源でのリーク電流と温度の関係

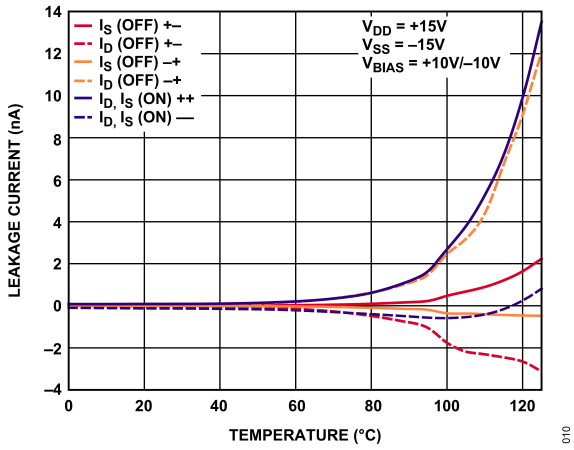


図 10. ±15V 両電源でのリーク電流と温度の関係

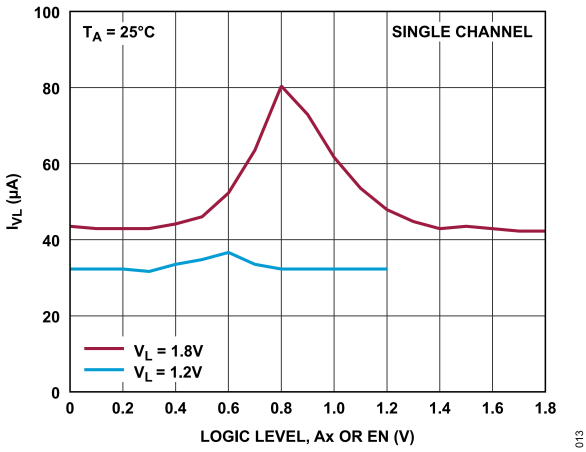


図 13. I_{VL} と Ax または EN のロジック・レベルの関係

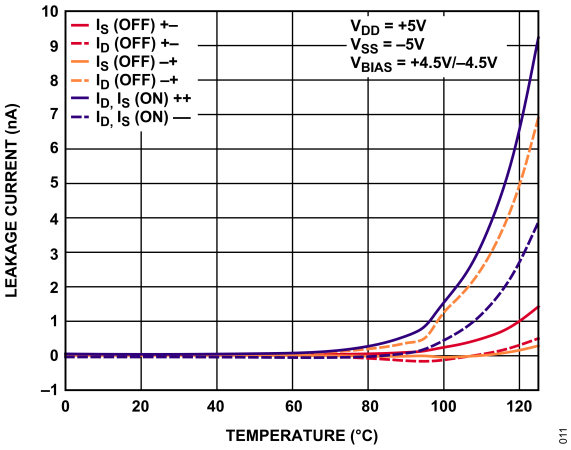


図 11. ±5V 両電源でのリーク電流と温度の関係

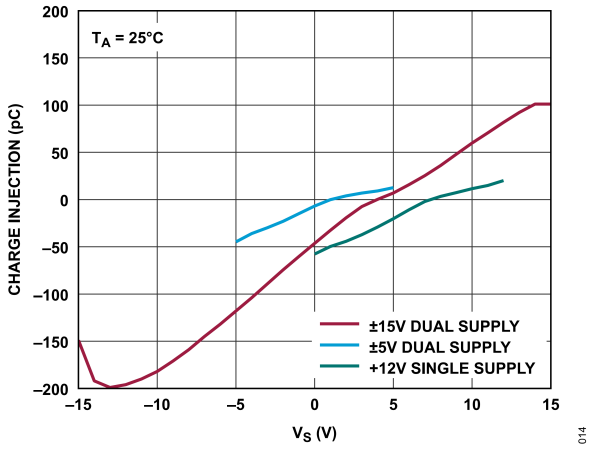


図 14. チャージ・インジェクションと V_S の関係

代表的な性能特性

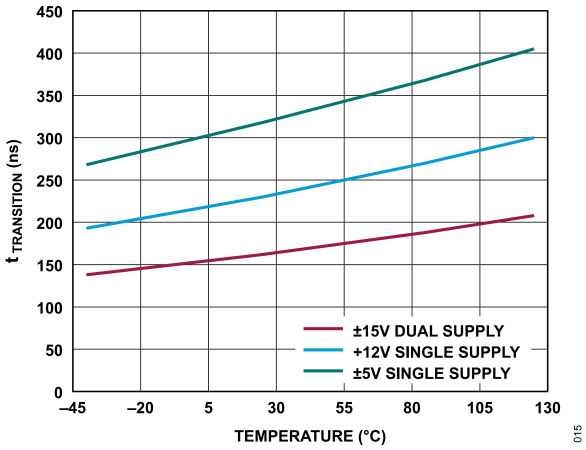


図 15. $t_{TRANSITION}$ と温度の関係

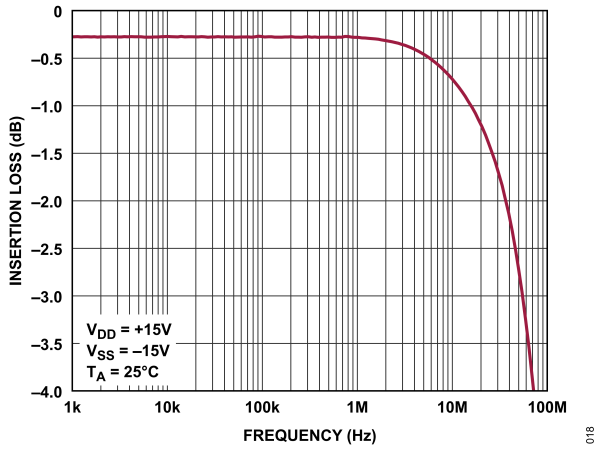


図 18. 挿入損失と周波数の関係

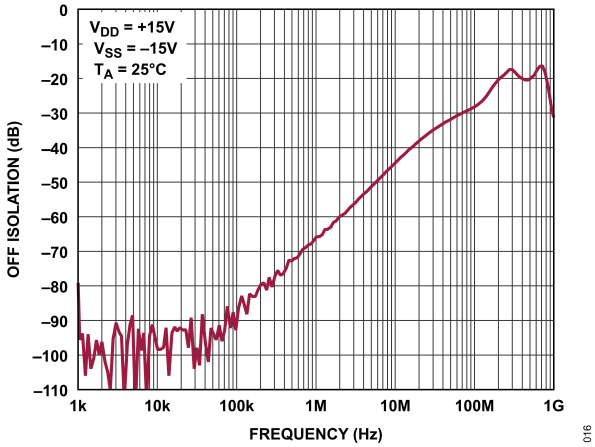


図 16. オフ・アイソレーションと周波数の関係

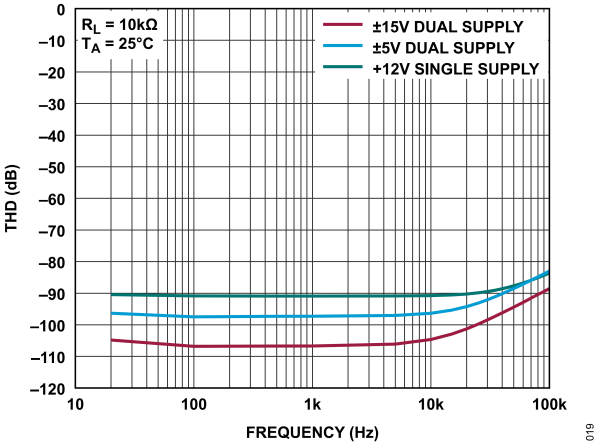


図 19. THD と周波数の関係

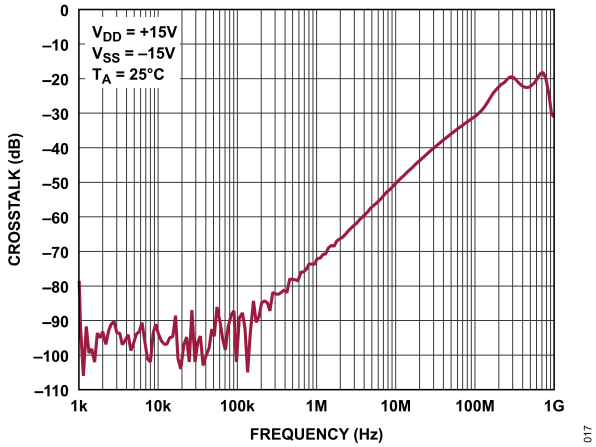


図 17. クロストークと周波数の関係

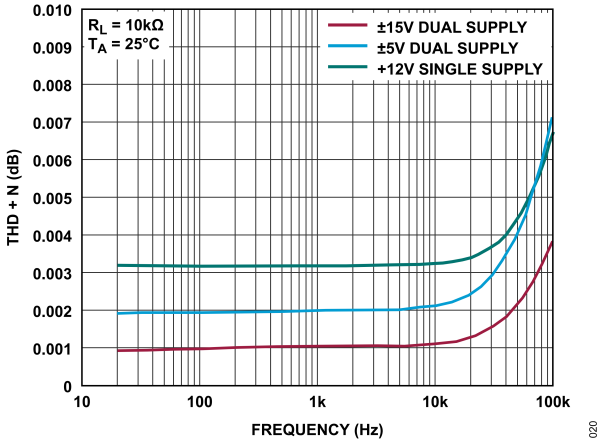


図 20. THD + N と周波数の関係

代表的な性能特性

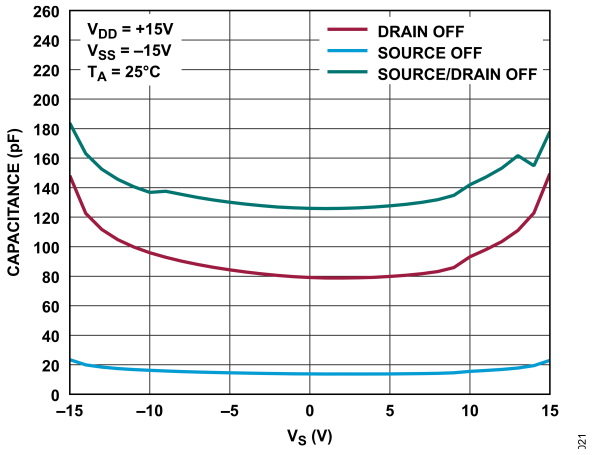


図 21. ±15V 両電源での容量と V_S の関係

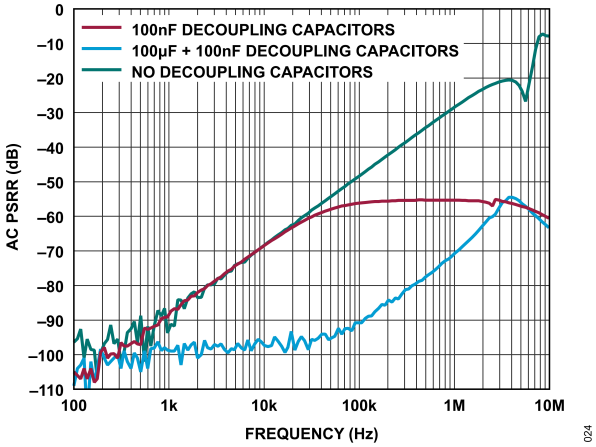


図 24. AC 電源電圧変動除去比（AC PSRR）と周波数の関係

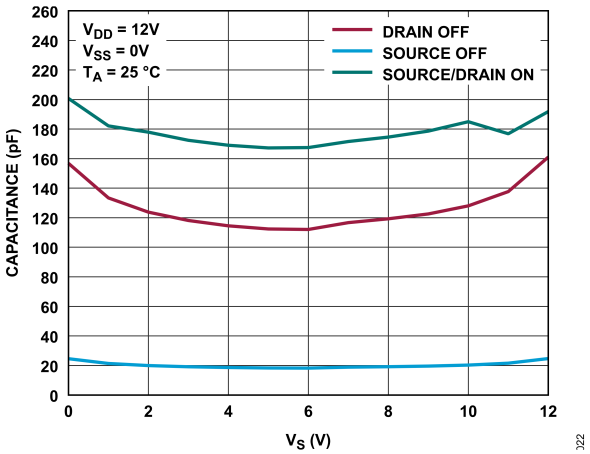


図 22. 12V 単電源での容量と V_S の関係

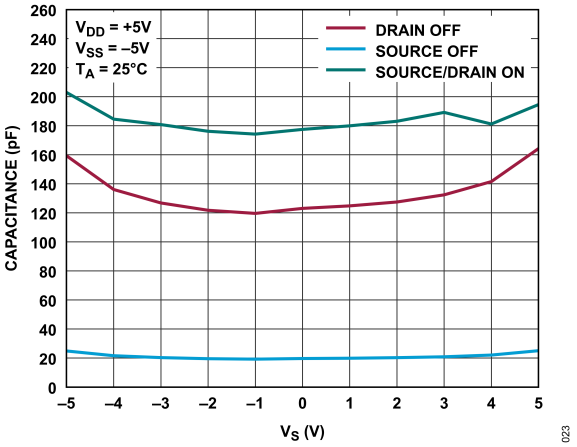


図 23. ±5V 両電源での容量と V_S の関係

テスト回路

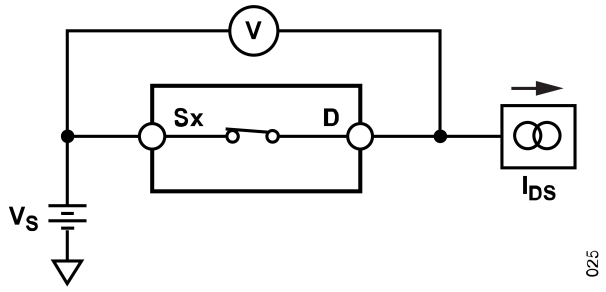


図 25. オン抵抗

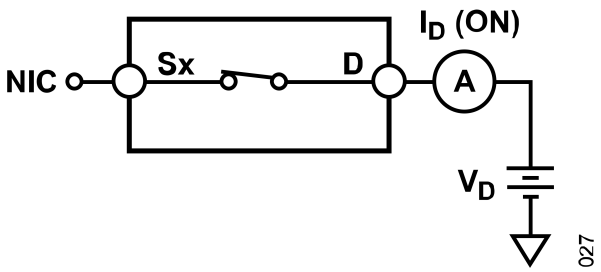


図 27. オン・リーク電流

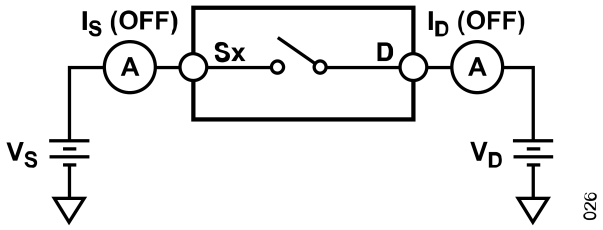


図 26. オフ・リーク電流

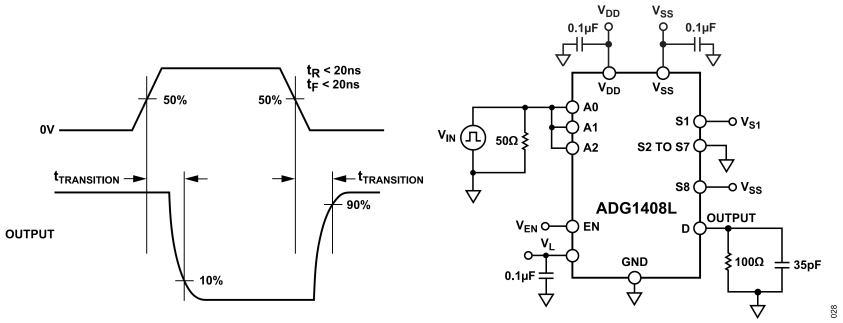


図 28. アドレス状態から出力までのスイッチング時間、$t_{TRANSITION}$

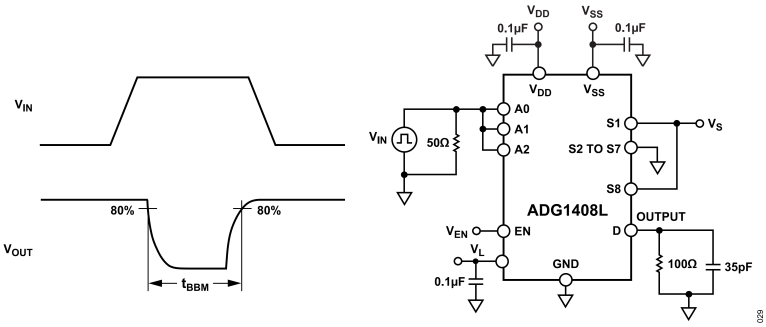


図 29. ブレークビフォアメークの遅延、t_{BBM}

テスト回路

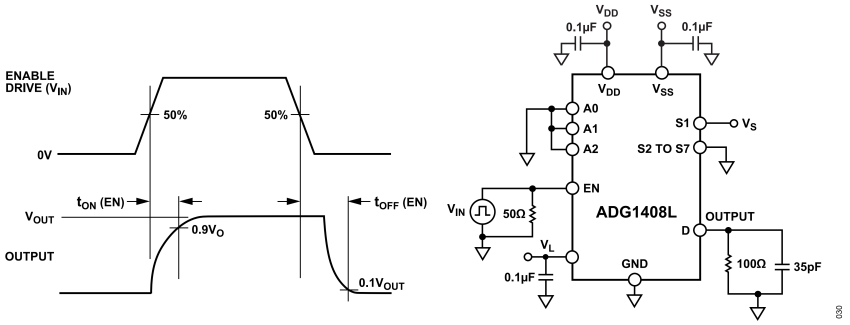


図 30. イネーブル遅延、t_{ON} (EN)および t_{OFF} (EN)

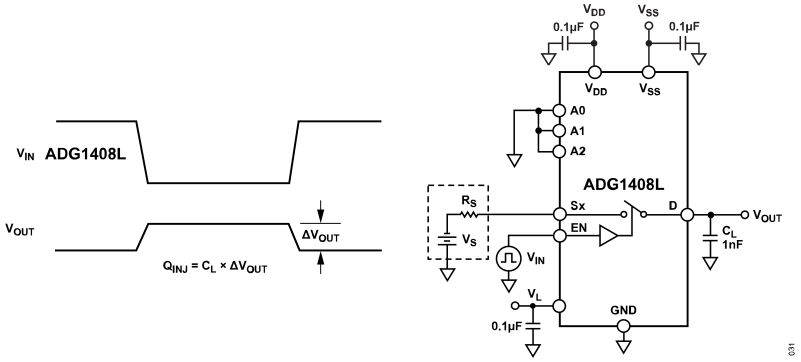


図 31. チャージ・インジェクション

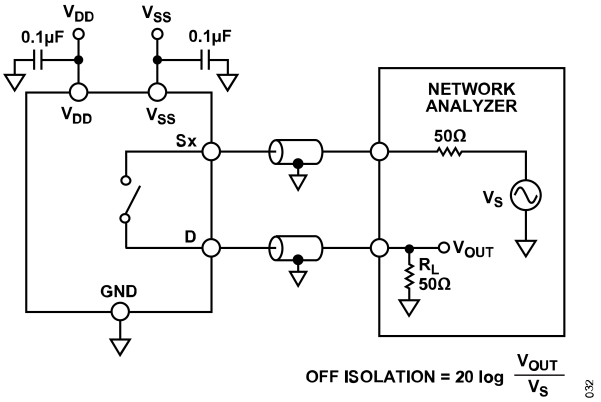


図 32. オフ・アイソレーション

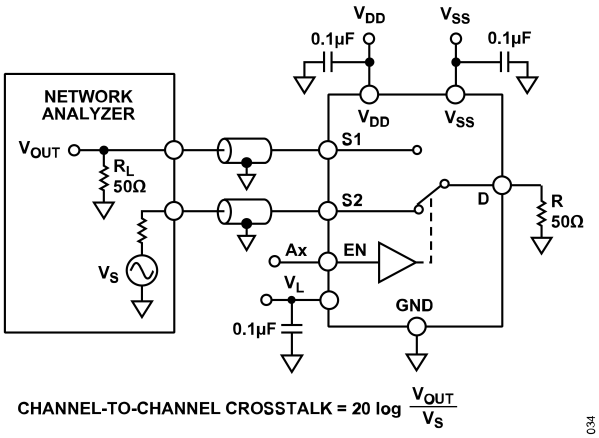


図 33. チャンネル間クロストーク

テスト回路

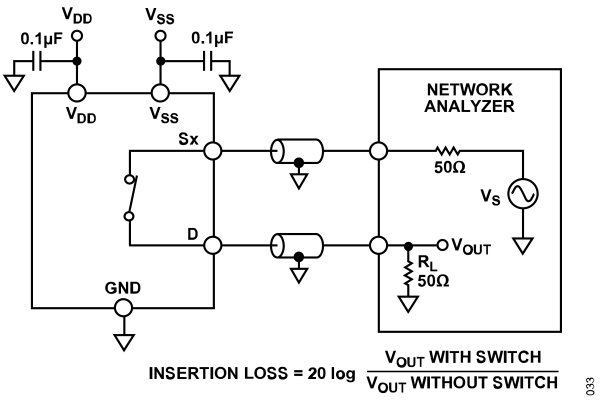


図 34. 挿入損失

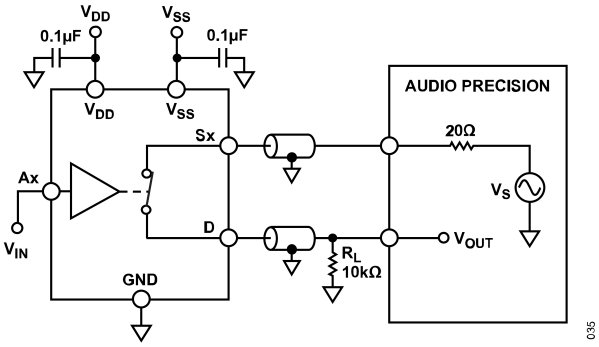


図 35. THD + N

用語の定義

R_{ON}

R_{ON} は D と Sx の間のオーミック抵抗です。

ΔR_{ON}

ΔR_{ON} は任意の 2 チャンネル間の R_{ON} の差です。

$R_{FLAT(ON)}$

$R_{FLAT(ON)}$はオン抵抗の最大値と最小値の差として定義されます。

I_S (Off)

I_S (Off)はスイッチ・オフ時のソース・リーク電流です。

I_D (Off)

I_D (Off)はスイッチ・オフ時のドレイン・リーク電流です。

I_D (On)、I_S (On)

I_D (On)および I_S (On)はスイッチ・オン時のチャンネル・リーク電流です。

V_D (V_S)

V_D (V_S)は端子 D と端子 Sx のアナログ電圧です。

C_S (Off)

C_S (Off)はオフ状態でのチャンネル入力容量です。

C_D (Off)

C_D (Off)はオフ状態でのチャンネル出力容量です。

C_D (On)、C_S (On)

C_D (On)および C_S (On)はスイッチ・オン時の容量です。

C_{IN}

C_{IN} はデジタル入力容量です。

t_{ON} (EN)

t_{ON} (EN)はデジタル入力の 50%のポイントとスイッチ・オン状態の 90%のポイント間の遅延時間です。

t_{OFF} (EN)

t_{OFF} (EN)はデジタル入力の 50%のポイントとスイッチ・オフ状態の 90%のポイントの間の遅延時間です。

$t_{TRANSITION}$

$t_{TRANSITION}$ は、あるアドレス状態から別のアドレス状態へ切り替わるときのデジタル入力の 50%のポイントとスイッチ・オン状態の 90%のポイントの間の遅延時間です。

ブレークビフォアメークの時間遅延、t_{BBM}

t_{BBM} は、あるアドレス状態から別のアドレス状態へ切り替わるときの両方のスイッチの 80%ポイント間で測定されるオフ時間です。

V_{INL} および V_{INH}

V_{INL} はロジック 0 の最大入力電圧、V_{INH} はロジック 1 の最小電圧です。

I_{INL} および I_{INH}

I_{INL} はデジタル入力の小入力電流、I_{INH} はデジタル入力の大入力電流です。

I_{DD} および I_{SS}

I_{DD} は正の電源電流、I_{SS} は負の電源電流です。

オフ・アイソレーション

オフ・アイソレーションは、オフ・チャンネルに混入する不要な信号の大きさです。

チャンネル間クロストーク

チャンネル間クロストークは、寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要な信号の大きさです。

チャージ・インジェクション

チャージ・インジェクションは、切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさです。

−3dB 帯域幅

−3dB 帯域幅は出力が 3dB 減衰する周波数です。

オン応答

オン応答はオン状態にあるスイッチの周波数応答です。

挿入損失

挿入損失はスイッチのオン抵抗に起因する損失です。

全高調波歪み（THD）

THD は、基本周波数の電力に対する、すべての高調波成分の電力の総和です。

全高調波歪み+ノイズ（THD + N）

THD + N は、基本波成分に対する全高調波成分+信号ノイズの比です。

AC 電源電圧変動除去比（AC PSRR）

AC PSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力に混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧は、0.62V p-p のサイン波で変調されます。変調振幅に対する出力信号振幅の比が AC PSRR です。

動作原理

スイッチ・アーキテクチャ

ADG1408L は、V_L 入力に応じて 1.2V または 1.8V ロジックに対応するマルチプレクサです。

V_L による柔軟性

外部 V_L 電源を使用することで、低ロジック・レベルに対するロジック制御の柔軟性も確保できます。

スイッチを動作させるには、1.2V と 1.8V のロジック動作のそれぞれにおいて以下の V_L 条件を満足する必要があります。

- 1.2V ロジック：V_L = 1.1V～1.3V
- 1.8V ロジック：V_L = 1.65V～1.95V

1.2V および 1.8V JEDEC 準拠

ADG1408L のデジタル入力閾値は、1.2V と 1.8V の両方の JEDEC 規格（通常範囲）に準拠しています。

デジタル入力閾値の規格に準拠しているため、有効なロジック電源範囲で動作している場合、低電圧の相補型金属酸化膜半導体（CMOS）との互換性を確保できます。

1.2V と 1.8V の両方に適用されるスイッチ・デジタル入力条件は次のとおりです。

- $V_{INH} = 0.65 \times V_L$
- $V_{INL} = 0.35 \times V_L$

初期化時間

ADG1408L のデジタル・セクションは、V_{DD}、V_{SS}、および V_L の電源投入時に初期化フェーズを実行します。V_{DD}、V_{SS}、V_L の起動後、50µs 以上の時間が経過してからデジタル入力を行ってください。

この 50µs の初期化フェーズでは、V_{DD}、V_{SS}、V_L が低下しないよう注意してください。低下すると、ADG1408L が異常なタイミング動作を示す可能性があります。

既知の状態のスイッチ

ADG1408L スイッチは、デジタル入力がフロート状態のときにはオフになります。これにより、不要な信号がスイッチを通過するのを防止します。この機能を備えているため、ADG1408L は外部にプルダウン抵抗を取り付ける必要がありません。

ADG1408L は、I_{INH} の半分までのリーク電流に対してフロート状態のデジタル入力をプルダウンすることができます。

アプリケーション情報

フィールド・プログラマブル・ゲート・アレイ（FPGA）の低ロジック対応

図 36 に、FPGA またはマイクロコントローラと一緒に ADG1408L を使用する場合の代表的なアプリケーションを示します。柔軟性に優れた V_L ピンはデジタル電源電圧（V_{CCO}）に接続でき、また、Ax 入力は直接デジタル IOx ポートに接続できるようにして使いやすさを実現しています。

ADG1408L は 1.2V および 1.8V JEDEC 規格に準拠しているため、ロジック入力の仕様（V_{INH} と V_{INL}）は、FPGA またはマイクロコントローラのデジタル出力の仕様（V_{OH} の最小値と V_{OL} の最大値）を満足しています。一般的な組み合わせではロジック・レベルの互換性は確保されないため、組み合わせによるリスクが発生します。ADG1408L は、幅広く採用されている 1.2V および 1.8V ロジック・レベルの両方の規格に準拠しているため、このようなリスクは発生しません。

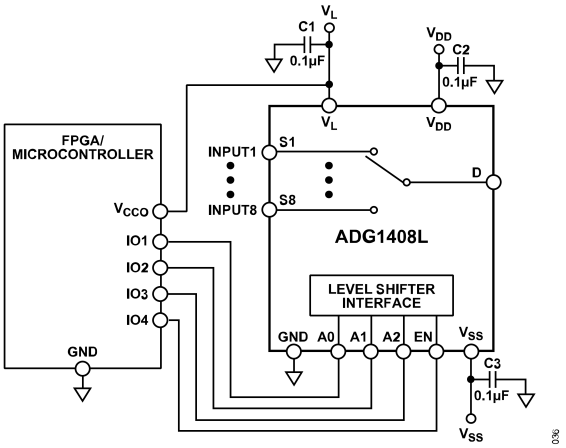


図 36. FPGA またはマイクロコントローラを併用する ADG1408L の代表的なアプリケーション

V_{OH} と V_{INH}、および V_{OL} と V_{INL} の関係

FPGA またはマイクロコントローラのロジック出力ハイ（V_{OH}）が入力のロジック・ハイ（V_{INH}）より高いことを確認してください。また、FPGA またはマイクロコントローラのロジック出力ロー（V_{OL}）が入力のロジック・ロー（V_{INL}）より低いことを確認してください。図 37 に、FPGA またはマイクロコントローラの V_{OH} および V_{OL} と、ADG1408L の Ax 入力（V_{INH} および V_{INL}）の間における 1.2V ロジック準拠の関係を示します。

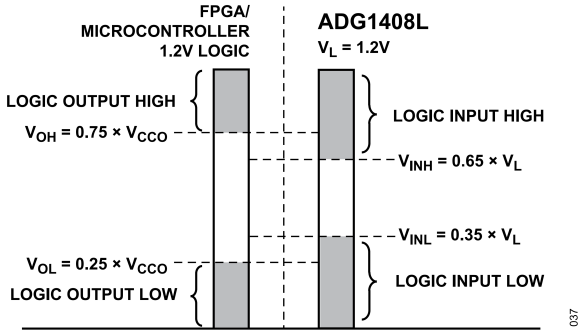


図 37. V_{OH} と V_{INH}、および V_{OL} と V_{INL} の間の 1.2V ロジック互換性

図 38 に、FPGA またはマイクロコントローラの V_{OH} および V_{OL} と、ADG1408L の Ax 入力（V_{INH} および V_{INL}）の間における 1.8V ロジック準拠の関係を示します。

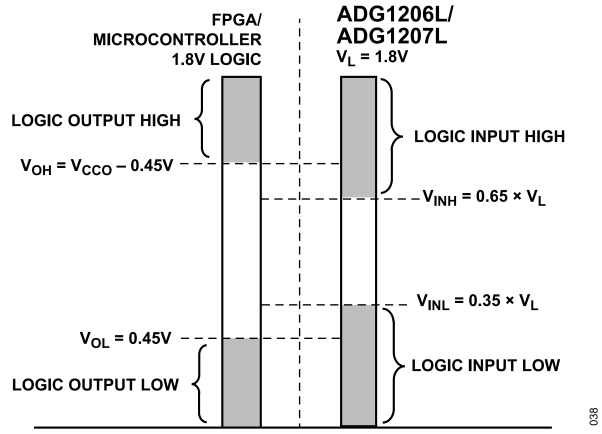


図 38. V_{OH} と V_{INH}、および V_{OL} と V_{INL} の間の 1.8V ロジック互換性

電源レール

ADG1408L を正常に動作させるには、V_{DD}、V_{SS}、および V_L 電源ピンに少なくとも 0.1µF と 10µF のデカップリング・コンデンサが必要です。

ADG1408L は、V_{DD} と V_{SS} を使用して、±4.5V～±16.5V の両電源で動作します。また、5V～16.5V の V_{DD} 単電源と 1.1V～1.95V の V_L で動作させることもできます。ただし、絶対最大定格のセクションに示したとおり、V_{DD}～V_{SS} の範囲は 35V を超えてはなりません。また、V_L の範囲は 2.25V を超えてはなりません。

ADG1408L は、表 1 に示す範囲内の非対称電源やその他の電圧源で動作させることも可能です。ただし、スイッチング特性は変化します。これらの変化は、アナログ信号範囲、オン抵抗、リーク電流、V_{INH}、V_{INL}、スイッチング時間で生じますが、これらに限定されるものではありません。性能と電源電圧の関係を切り替えるガイドとして、代表的な性能特性を用いることができます（代表的な性能特性のセクションを参照）。

アプリケーション情報

電源の推奨事項

アナログ・デバイセズでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

対称バイポーラ電源ソリューションの例を図 39 に示します。ADP5070（デュアル・スイッチング・レギュレータ）は、ADG1408L 向けに正と負の電源レールを生成します。図 39 にも示すように、正の低ドロップアウト（LDO）レギュレータ ADP7118 と負の LDO レギュレータ ADP7182 の 2 つの LDO を使用すると、極めて小さなノイズにも敏感なアプリケーションで ADP5070 の出力リップルを削減できます。ADP160 は、1.2V または 1.8V のいずれのロジック電源レールも生成できます。

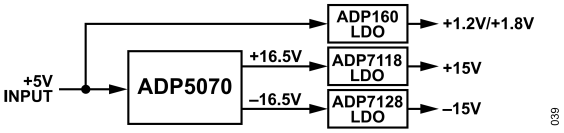


図 39. バイポーラ電源のソリューション

外形寸法

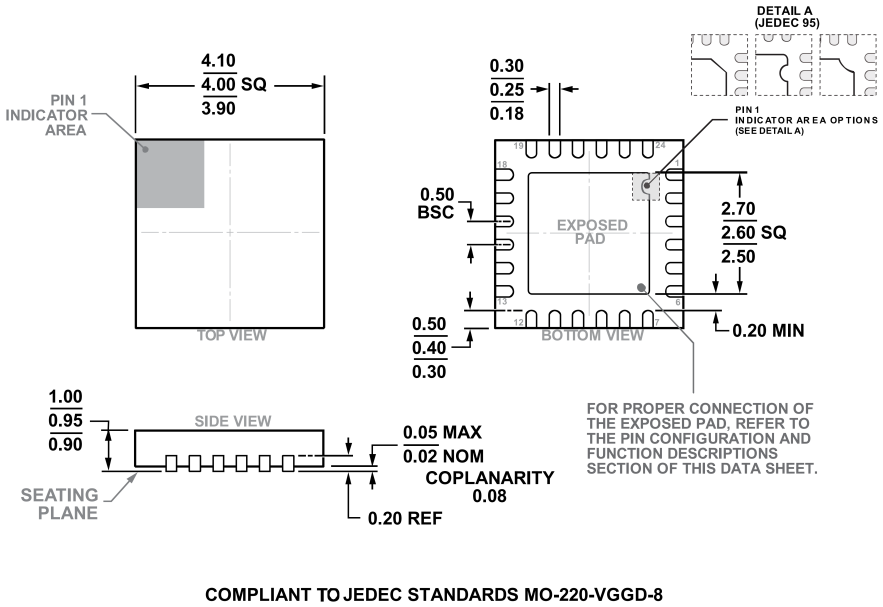


図 40. 24 ピン、リード・フレーム・チップ・スケール・パッケージ［LFCSP］
4mm × 4mm ボディ、0.95mm パッケージ高
（CP-24-17）
単位：mm

更新：2023 年 5 月 17 日

オーダー・ガイド

Model[1]	Temperature Range	Package Description	Packing Quantity	Package Option
ADG1408LYCPZ-REEL7	−40°C to +125°C	24-Lead LFSCP (4 mm × 4 mm × 0.95 mm with EPAD)	Reel, 1500	CP-24-17

[1] Z = RoHS 準拠製品。

評価用ボード

表 11. 評価用ボード

Model[1]	Description
EVAL-ADG1408LEBZ	Evaluation Board

[1] Z = RoHS 準拠製品。

本　　社／〒105-7323 東京都港区東新橋 1-9-1 東京汐留ビルディング 23F
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
名古屋営業所／〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F