

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年9月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年9月29日

製品名：ADFS5758

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：38ページ

右の段、「SPI インターフェース SCLK カウント」の項目内

かっこ内

【誤】

(SPI CRC が有効な場合は 24 個または 32 個) という文

【正】

(SPI CRC が無効の場合は、24 個あるいは 32 個)

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年9月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年9月29日

製品名： **ADFS5758**

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：68～69 ページ

表内の記述

【誤】

0x16：ステータス・レジスタ。

0x17：CHIP_ID レジスタ。

0x16：ステータス・レジスタ。

0x17：CHIP_ID レジスタ。

下線部がダブって記載されています。

【正】

0x16：ステータス・レジスタ。

0x17：CHIP_ID レジスタ。



ユニポーラ電流出力の機能安全認証を受けたシングルチャンネルの 16ビット電流／電圧出力 DAC

データシート

ADFS5758

特長

ユニポーラ電流出力について TÜV Rheinland から SIL 2/SC3 の

認証を受けた機能安全性

(ファイル番号 968/FSP 2055.00/20)

単一端子で使用可能な電流／電圧出力

電流出力範囲：0mA～20mA、4mA～20mA、

0mA～24mA、±20mA、±24mA、-1mA～+22mA

電圧出力範囲 (20%のオーバーレンジ含む)：0V～5V、

0V～10V、±5V、±10V

高度な診断機能を内蔵

出力と精度の妥当性を確認できる独立したモニタリング機能

として機能する 12ビット ADC

内蔵リファレンス

温度管理用 DPC

オフセットとゲインをユーザ設定可能

出力故障保護を含む堅牢なアーキテクチャ

EMC 試験規格

IEC 61000-4-6、伝導耐性 (10V、クラス A)

IEC 61000-4-3、放射耐性 (20V/m、クラス A)

IEC 61000-4-2、ESD (±6kV 接触放電、クラス B)

IEC 61000-4-4、電気高速トランジェント (EFT)

(±4kV、クラス B)

IEC 61000-4-5、サージ (±4kV、クラス B)

CISRP 11、放射エミッション (クラス B)

32ピン、5mm × 5mm LFCSP

温度範囲：-40°C～+105°C

アプリケーション

プロセス制御

アクチュエータ制御

チャンネル・アイソレーション・アナログ出力

プログラマブル・ロジック・コントローラ (PLC) および

分散型制御システム (DCS) アプリケーション

HART ネットワーク接続

概要

ADFS5758 は、シングルチャンネルの 16 ビット電流／電圧出力 DAC です。このデバイスはユニポーラ電流出力に関する機能安全性の認証を受けた、SC3 の決定論的能力の基準をすべて満たす製品であり、IEC 61508 に定める SIL 2 までの安全関連アプリケーションに使用することができます。このような機能構成により、非冗長構成のシステムにおいても、1 個の ADFS5758 で

SIL 2 を実現することが可能です。ADFS5758 の安全状態はオープン・サーキット／高インピーダンスです。

ADFS5758 は、シングルチャンネルの電圧／電流出力 D/A コンバータ (DAC) で、 $AV_{SS} = -33V$ (最小) から $AV_{DD1} = +33V$ (最大) までの電源範囲で動作し、2 レール間の最大動作電圧は 60V です。内蔵のダイナミック消費電力制御 (DPC) 回路がパッケージの電力消費を最小限に抑えますが、これは、オンチップの電力消費を最小化するために最適化された降圧 DC/DC コンバータを使用し、 VI_{OUT} 出力ドライバ回路への電源電圧 (V_{DPC+}) を 4.95V～27V に調整することで実現されます。また、 $CHART$ ピンによって HART®信号を電流出力にカップリングすることができます。

このデバイスは、多機能の 4 線式シリアル・ペリフェラル・インターフェース (SPI) を採用しています。このインターフェースは最大 50MHz のクロック・レートで動作し、標準 SPI、QSPI™、MICROWIRE™、DSP、およびマイクロコントローラ・インターフェース標準と互換性があり、オプションの SPI 巡回冗長検査 (CRC) 機能とウィンドウ・ウォッチドッグ・タイマーを備えています。ADFS5758 は、外部ノードと内部ノード両方のデジタル化に使用できる独立した 12 ビット診断 A/D コンバータ (ADC) を内蔵しているなど、以前の製品よりも改善された診断機能を備えています。

製品のハイライト

- TÜV Rheinland から SIL 2/SC3 に準拠した機能安全性の認証を取得。
- 信頼性を向上させる内蔵 ADC を含む、様々な先進的診断機能。
- 熱管理のために内蔵降圧 DC/DC コンバータを使用する DPC。ADP1031 と共に使用することで、ADFS5758 では 2W 未満の消費電力で 8 つのチャンネル間絶縁出力を使用できます。
- より短いセトリング時間 (代表値 15 μ s) を実現するプログラマブル電力制御 (PPC)。
- 誤配線時の出力保護機能 (±38V) を備えた高い堅牢性。

関連製品

製品ファミリ：AD5755-1、AD5422、AD5758、AD5753、AD5423

HART モデム：AD5700、AD5700-1

外付けリファレンス電圧：ADR431、ADR3425、ADR4525

デジタル・アイソレータ：ADuM142D、ADuM141D

電源：ADP1031、LT8300、ADP2360、ADM6339

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	故障の保護	36
アプリケーション	1	電流出力	36
製品のハイライト	1	HART 接続	37
関連製品	1	スルー・レートのデジタル制御	37
改訂履歴	2	ADFS5758 アドレス・ピン	37
機能ブロック図	3	SPI インターフェースと診断機能	38
仕様	4	ウィンドウ・ウォッチドッグ・タイマー (WDT)	39
AC 性能特性	10	オフセットとゲインのデジタル調整	39
タイミング特性	11	DAC 出力の更新とデータ完全性の診断	40
絶対最大定格	14	ロック可能なユーザ設定空間	41
熱抵抗	14	キー・コードの使用	42
ESD に関する注意	14	ソフトウェア・リセット	42
ピン配置およびピン機能の説明	15	キャリブレーション・メモリの CRC	42
代表的な性能特性	17	バックグラウンド CRC チェック	42
電流出力	17	内部発振器の診断	42
電圧出力	22	V _{LDO} 外部コンデンサ検出	43
DC/DC ブロック	25	スティッキー診断結果ビット	43
リファレンス	27	バックグラウンドでの電源および温度モニタリング	43
一般特性	28	出力故障	43
用語の定義	29	ADC のモニタリング	44
動作原理	31	レジスタ・マップ	50
機能安全動作	31	レジスタへの書込み	50
DAC アーキテクチャ	31	レジスタからの読出し	51
シリアル・インターフェース	32	出力イネーブルを正しく行う設定シーケンス	54
ADFS5758 のパワーオン状態	32	レジスタの詳細	56
電源に関する考慮事項	32	アプリケーション情報	73
デバイス特性と診断機能	34	外形寸法	75
消費電力制御	34	オーダー・ガイド	75
ダイ間の 3 線式インターフェース	35		
電圧出力	36		

改訂履歴

6/2020—Revision 0: Initial Version

機能ブロック図

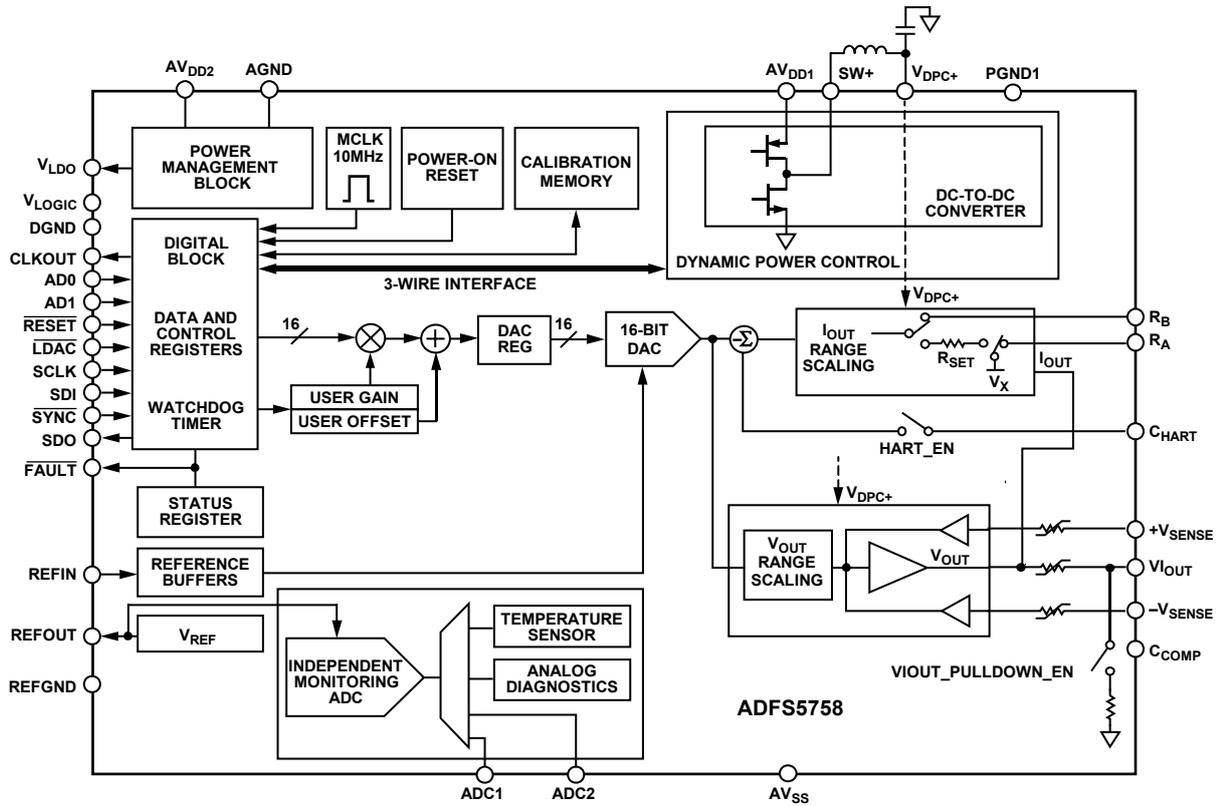


図 1.

21796-001

仕様

AV_{DD1} = V_{DPC+} = 15V、DC/DC コンバータ = デイスエーブル、AV_{DD2} = 5V、AV_{SS} = -15V、V_{LOGIC} = 1.71V ~ 5.5V、AGND = DGND = REFGND = PGND1 = 0V、REFIN = 外部 2.5V、電圧出力：負荷抵抗 (R_{LOAD}) = 1kΩ、負荷容量 (C_L) = 220pF、電流出力：R_L = 300Ω、特に指定のない限り、すべての仕様は T_A = -40°C ~ +105°C、T_J < 125°C での値。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CURRENT OUTPUT					
Output Current Ranges (I _{OUT})	0		24	mA	機能安全性承認範囲
	0		20	mA	機能安全性承認範囲
	4		20	mA	機能安全性承認範囲
	-20		+20	mA	
	-24		+24	mA	
	-1		+22	mA	
Resolution	16			Bits	
CURRENT OUTPUT ACCURACY (EXTERNAL CURRENT SETTING RESISTOR (R_{SET}))¹					
Unipolar Ranges					
13.7kΩ の理想抵抗と仮定					
4mA ~ 20mA、0mA ~ 20mA、および 0mA ~ 24mA の範囲					
Total Unadjusted Error (TUE)	-0.06		+0.06	% FSR	T _A = 25°C
	-0.012		+0.012	% FSR	
TUE Long-Term Stability		125		ppm FSR	1000 時間後のドリフト、T _J = 135°C
Output Drift		3	7	ppm FSR/°C	
Integral Nonlinearity (INL)	-0.006		+0.006	% FSR	
Differential Nonlinearity (DNL)	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.03	±0.002	+0.03	% FSR	
Zero-Scale Temperature Coefficient (TC) ³		±0.5		ppm FSR/°C	
Offset Error	-0.03	±0.001	+0.03	% FSR	
Offset Error TC ³		±0.7		ppm FSR/°C	
Gain Error	-0.05	±0.001	+0.05	% FSR	
Gain Error TC ³		±3		ppm FSR/°C	
Full-Scale Error	-0.05	±0.001	+0.05	% FSR	
Full-Scale Error TC ³		±3		ppm FSR/°C	
Bipolar Ranges					
±20mA、±24mA、および -1mA ~ +22mA 範囲					
TUE	-0.08		+0.08	% FSR	T _A = 25°C
	-0.014		+0.014	% FSR	
TUE Long-Term Stability ²		125		ppm FSR	1000 時間後のドリフト、T _J = 135°C
Output Drift		12	15.5	ppm FSR/°C	
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.04	±0.002	+0.04	% FSR	
Zero-Scale TC ³		±0.9		ppm FSR/°C	
Bipolar Zero Error	-0.02	±0.002	+0.02	% FSR	
Bipolar Zero Error TC ³		±0.4		ppm FSR/°C	
Offset Error	-0.06	±0.002	+0.06	% FSR	
Offset Error TC ³		±0.9		ppm FSR/°C	
Gain Error	-0.08	±0.002	+0.08	% FSR	
Gain Error TC ³		±4		ppm FSR/°C	
Full-Scale Error	-0.08	±0.002	+0.08	% FSR	
Full-Scale Error TC ³		±3		ppm FSR/°C	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CURRENT OUTPUT ACCURACY (INTERNAL R _{SET}) Unipolar Ranges					0mA~20mA、0mA~20mA、および 0mA~24mA の範囲
TUE	-0.12		+0.12	% FSR	
TUE Long-Term Stability ²		380		ppm FSR	1000 時間後のドリフト、T _J = 135°C
Output Drift		3	6	ppm FSR/°C	出力ドリフト
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.04	±0.001	+0.04	% FSR	
Zero-Scale TC ³		±0.5		ppm FSR/°C	
Offset Error	-0.04	±0.001	+0.04	% FSR	
Offset Error TC ³		±1		ppm FSR/°C	
Gain Error	-0.1	±0.003	+0.1	% FSR	
Gain Error TC ³		±3		ppm FSR/°C	
Full-Scale Error	-0.12	±0.003	+0.12	% FSR	
Full-Scale Error TC ³		±3		ppm FSR/°C	
Bipolar Ranges					±20mA、±24mA、および-1mA~+22mA 範囲
TUE	-0.12		+0.12	% FSR	
TUE Long-Term Stability ²		380		ppm FSR	1000 時間後のドリフト、T _J = 135°C
Output Drift		3	6	ppm FSR/°C	出力ドリフト
INL	-0.02		+0.02	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.06	±0.001	+0.06	% FSR	
Zero-Scale TC ³		±2		ppm FSR/°C	
Bipolar Zero Error	-0.02	±0.002	+0.02	% FSR	
Bipolar Zero Error TC ³		±0.3		ppm FSR/°C	
Offset Error	-0.06	±0.001	+0.06	% FSR	
Offset Error TC ³		±1		ppm FSR/°C	
Gain Error	-0.12	±0.003	+0.12	% FSR	
Gain Error TC ³		±3		ppm FSR/°C	
Full-Scale Error	-0.12	±0.005	+0.12	% FSR	
Full-Scale Error TC ³		±3		ppm FSR/°C	
CURRENT OUTPUT CHARACTERISTICS					
Headroom	2.3			V	V _{IOUT} と V _{DPC+} 電源の間で必要な最小電圧
Footroom	2.35/0			V	V _{IOUT} と AV _{SS} 電源の間で必要な最小電圧、ユニポーラ範囲ではフットルームは不要
Resistive Load ³			1000	Ω	DC/DC コンバータは最大負荷 1kΩ で特性評価されており、ヘッドルームとフットルームが適合範囲を超えないように選ばれている
Output Impedance		100		MΩ	ミッドスケール出力
DC Power Supply Rejection Ratio (PSRR)		0.1		μA/V	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
VOLTAGE OUTPUT					
Output Voltage Ranges (V_{OUT})	0		5	V	トリムした場合の V_{OUT} 範囲
	0		10	V	
	-5		+5	V	
	-10		+10	V	
Output Voltage Overranges	0		6	V	トリムしない場合のオーバーレンジ
	0		12	V	
	-6		+6	V	
	-12		+12	V	
Output Voltage Offset Ranges	-0.3		+5.7	V	トリムしない場合の負のオフセット範囲
	-0.4		+11.6	V	
Resolution	16			Bits	
VOLTAGE OUTPUT ACCURACY					
TUE	-0.05		+0.05	% FSR	特に指定のない限り有負荷時および無負荷時 で、精度仕様はトリムした場合の V_{OUT} 範囲のみ が基準 $T_A = 25^\circ\text{C}$ 1000 時間後のドリフト、 $T_J = 135^\circ\text{C}$ 出力ドリフト すべての範囲 全範囲で単調増加性を確保 $\pm 5\text{V}$ 、 $\pm 10\text{V}$ $\pm 5\text{V}$ 、 $\pm 10\text{V}$
	-0.01		+0.01	% FSR	
TUE Long-Term Stability ²		15		ppm FSR	
Output Drift		0.35	1.35	ppm FSR/ $^\circ\text{C}$	
Relative Accuracy (INL)	-0.006		+0.006	% FSR	
DNL	-1		+1	LSB	
Zero-Scale Error	-0.02	± 0.002	+0.02	% FSR	
Zero-Scale Error TC ³		± 0.3		ppm FSR/ $^\circ\text{C}$	
Bipolar Zero Error	-0.015	+0.001	+0.015	% FSR	
Bipolar Zero Error TC ³		± 0.3		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.02	± 0.002	+0.02	% FSR	
Offset Error TC ³		± 0.3		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.02	± 0.001	+0.02	% FSR	
Gain Error TC ³		± 0.3		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.02	± 0.001	+0.02	% FSR	
Full-Scale Error TC ³		± 0.3		ppm FSR/ $^\circ\text{C}$	
VOLTAGE OUTPUT CHARACTERISTICS					
Headroom	2			V	$V_{I_{OUT}}$ と V_{DPC+} 電源の間で必要な最小電圧
Footroom	2			V	$V_{I_{OUT}}$ と AV_{SS} 電源の間で必要な最小電圧
Short-Circuit Current		16		mA	
Load ³	1			k Ω	仕様規定された性能の場合
Capacitive Load Stability ³			10	nF	
			2	μF	220pF の外部補償コンデンサを接続
DC Output Impedance		7		m Ω	
DC PSRR		10		$\mu\text{V}/\text{V}$	
$V_{OUT}/-V_{SENSE}$ Common-Mode Rejection Ratio (CMRR)		10		$\mu\text{V}/\text{V}$	$-V_{SENSE}$ 電圧の変化による V_{OUT} 電圧の誤差

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
REFERENCE INPUT/OUTPUT					
Reference Input					
Reference Input Voltage ⁴		2.5		V	仕様規定された性能の場合
DC Input Impedance	55	120		MΩ	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	T _A = 25°C (T _J = 135°C で 1000 時間経過した後のドリフトを含む)
Reference TC ³	-10		+10	ppm/°C	
Output Noise (0.1 Hz to 10 Hz) ³		7		μV p-p	
Noise Spectral Density ³		80		nV/√Hz	10kHz 時
Capacitive Load ³			1000	nF	
Load Current		3		mA	
Short-Circuit Current		5		mA	
Line Regulation		1		ppm/V	
Load Regulation		80		ppm/mA	
Thermal Hysteresis ³		150		ppm	
V_{LDO} OUTPUT					
Output Voltage		3.3		V	
Output Voltage TC ³		25		ppm/°C	
Output Voltage Accuracy	-2		+2	%	
Externally Available Current			30	mA	
Short-Circuit Current		55		mA	
Load Regulation		0.8		mV/mA	
Capacitive Load		0.1		μF	推奨動作
DC-TO-DC					
Start-Up Time		1.25		ms	
Switch					
Peak Current Limit ³	150		400	mA	DCDC_CONFIG2 レジスタを介し 50mA ステップでユーザ設定可能
Oscillator					
Oscillator Frequency (f _{sw})		500		kHz	
Minimum Duty Cycle		5		%	
Current Output DPC Mode					電流出力ダイナミック消費電力制御モード
V _{DPC+} Voltage Range	4.95		27	V	AV _{DD1} と V _{DPC+} の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。最大動作範囲は V _{DPC+} - AV _{SS} = 50V
V _{DPC+} Headroom		2.3	2.5	V	V _{IOUT} と V _{DPC+} の間のヘッドルーム (代表値)。DC/DC コンバータがレギュレーション状態にある (つまり負荷が十分に大きい) 場合のみ適用
Current Output PPC Mode					PPC モード
V _{DPC+} Voltage Range	5		25.677	V	AV _{DD1} と V _{DPC+} の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。最大動作範囲は V _{DPC+} - AV _{SS} = 50V
V _{DPC+} Voltage Accuracy	-500		+500	mV	DC/DC コンバータがレギュレーションを行っている (つまり負荷が十分に大きい) 場合のみ適用
Voltage Output DPC Mode					電圧出力ダイナミック消費電力制御モード
V _{DPC+} Voltage Range	5	15	25	V	5V = -V _{SENSE (MIN)} + 15V、25V = -V _{SENSE (MAX)} + 15V、AV _{DD1} と V _{DPC+} の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。最大動作範囲は V _{DPC+} - AV _{SS} = 50V
V _{DPC+} Voltage Accuracy	-500		+500	mV	DC/DC コンバータがレギュレーションを行っている (つまり負荷が十分に大きい) 場合のみ適用

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
VI _{OUT} LINE PROTECTOR					
On Resistance (R _{ON})		12		Ω	T _A = 25°C
Overvoltage Response Time (t _{RESPONSE})		250		ns	
Overvoltage Leakage Current		±100		μA	ライン・プロテクタの故障検出ブロックは、正の故障電圧の場合は電流をシンクし、負の故障電圧の場合は電流をソースします。
ADC					
Resolution		12		Bits	
Input Voltage Range					
ADC1 Pin	0		0.5	V	ADC_IP_SELECT = 10000
	-0.5		+0.5	V	ADC_IP_SELECT = 10010 で、AV _{SS} は-1V以下でなければなりません。
	0		1.25	V	ADC_IP_SELECT = 01111
ADC2 Pin	0		2.5	V	ADC_IP_SELECT = 10001
	-15		+15	V	
Total Error					
ADC1 Pin	-0.25		+0.25	% FSR	2.5V 入力範囲
	-0.3		+0.3	% FSR	1.25V 入力範囲
	-0.5		+0.5	% FSR	0V~0.5V および±0.5V の入力範囲
ADC2 Pin	-0.5		+0.5	% FSR	
All other ADC Inputs		±0.3		% FSR	表 19 にすべての ADC 入力ノードを示します
Conversion Time ³		100		μs	
DIGITAL INPUTS					
Input Voltage					
3 V ≤ V _{LOGIC} ≤ 5.5 V					
High, V _{IH}	0.7 × V _{LOGIC}			V	
Low, V _{IL}			0.3 × V _{LOGIC}	V	
1.71 V ≤ V _{LOGIC} < 3 V					
High, V _{IH}	0.8 × V _{LOGIC}			V	
Low, V _{IL}			0.2 × V _{LOGIC}	V	
Input Current	-1.5		+1.5	μA	SCLK、SDI、 <u>RESET</u> 、 <u>LDAC</u> はピンごとにプルダウン抵抗を内蔵。SYNCはプルアップ抵抗を内蔵
Pin Capacitance ³		2.4		pF	ピンごと
DIGITAL OUTPUTS					
SDO					
Output Voltage					
Low, V _{OL}			0.4	V	200μA をシンク
High, V _{OH}	V _{LOGIC} - 0.2			V	200μA をソース
High Impedance Leakage Current	-1		+1	μA	
High Impedance Output Capacitance ³		2.2		pF	
FAULT					
Output Voltage					
Low, V _{OL}			0.4	V	V _{LOGIC} への 10kΩ プルアップ抵抗
		0.6		V	2.5mA 時
High, V _{OH}	V _{LOGIC} - 0.05			V	V _{LOGIC} への 10kΩ プルアップ抵抗

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
POWER REQUIREMENTS					
Supply Voltages					
AV _{DD1} ⁵	7		33	V	AV _{DD1} ~AV _{SS} = 60V の最大動作範囲
AV _{DD2}	5		33	V	AV _{DD2} ~AV _{SS} = 50V の最大動作範囲
AV _{SS} ⁵	-33		0	V	AV _{DD1} ~AV _{SS} = 60V の最大動作範囲。バイポーラ出力範囲の場合、最大 AV _{SS} の計算時には V _{OUT} /I _{OUT} のヘッドルームに従う必要があります。ユニポーラ電流出力範囲の場合の最大 AV _{SS} = 0V。ユニポーラ電圧出力範囲の場合の最大 AV _{SS} = -2V
V _{LOGIC}	1.71		5.5	V	
Supply Quiescent Currents ⁵					
AVDD1 Current (AI _{DD1})		0.05	0.11	mA	静止電流（負荷電流はないものと仮定） 電圧出力モード、DC/DC コンバータはイネーブルで非アクティブ
		0.05	0.11	mA	電流出力モード、DC/DC コンバータはイネーブルで非アクティブ
AVDD2 Current (AI _{DD2})		3.3	3.6	mA	電圧出力モード、DC/DC コンバータはイネーブルで非アクティブ
		2.9	3.1	mA	電流出力モード、DC/DC コンバータはイネーブルで非アクティブ
AVSS Current (AI _{SS})	-1.4	-1.1		mA	電圧出力モード
	-3.15	-2.4		mA	バイポーラ電流出力モード
	-0.26	-0.23		mA	ユニポーラ電流出力モード
VLOGIC Current (I _{LOGIC})			0.01	mA	V _{IH} = V _{LOGIC} 、V _{IL} = DGND
VDPC+ Current (I _{DPC+})		1.0	1.3	mA	電圧出力モード
		0.8	1	mA	ユニポーラ電流出力モード
		2.4	3.15	mA	バイポーラ電流出力モード
Power Dissipation					
		103		mW	理想的な電源を使用して外部負荷による消費電力を除外、電流出力 DPC モード、電流範囲 0mA~20mA と仮定した場合の消費電力 AV _{DD1} = 24V、AV _{DD2} = 5V、AV _{SS} = -15V、R _{LOAD} = 1kΩ、I _{OUT} = 20mA
		145		mW	AV _{DD1} = 24V、AV _{DD2} = 5V、AV _{SS} = -15V、R _{LOAD} = 0Ω、I _{OUT} = 20mA
		155		mW	AV _{DD1} = AV _{DD2} = 24V、AV _{SS} = -15V、R _{LOAD} = 1kΩ、I _{OUT} = 20mA
		200		mW	AV _{DD1} = AV _{DD2} = 24V、AV _{SS} = -15V、R _{LOAD} = 0Ω、I _{OUT} = 20mA

¹ 内蔵および外付け R_{SET} 抵抗の詳細については、[電流出力モード](#)のセクションを参照してください。

² 長期安定性の仕様は、非累積的です。後続の 1000 時間にわたるドリフトは、最初の 1000 時間よりも大幅に小さくなります。

³ 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

⁴ ADFS5758 は、出荷時に外部 2.5V リファレンスを REFIN に接続して補正されています。

⁵ 製品は最大 AV_{DD1} = 30V、最小 AV_{SS} = -30V でテストされています。

AC 性能特性

特に指定のない限り、 $AV_{DD1} = V_{DPC+} = 15V$ 、DC/DC コンバータ = ディスエーブル、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = PGND1 = 0V$ 、REFIN = 外部 2.5V、電圧出力： $R_L = 1k\Omega$ 、 $C_L = 220pF$ 、電流出力： $R_L = 300\Omega$ 、特に指定のない限り、すべての仕様は $T_A = -40^\circ C \sim +105^\circ C$ 、 $T_I < 125^\circ C$ での値。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DYNAMIC PERFORMANCE¹					
Current Output					
Output Current Settling Time		15		μs	0.1% FSR まで (0mA~24mA)、DC/DC コンバータをディスエーブル
		15		μs	PPC モード、DC/DC コンバータをイネーブル、DC/DC 電流限界 = 150mA
		200		μs	DPC モード、DC/DC コンバータをイネーブル。外部インダクタおよびコンデンサ部品は表 10、DC/DC 電流限界 = 150mA
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16 ビット LSB、0mA~24mA 範囲
Output Noise Spectral Density		0.8		nA/ \sqrt{Hz}	10kHz で測定、ミッドスケール出力、0mA~24mA 範囲
AC PSRR		80		dB	200mV、50Hz~60Hz のサイン波を電源電圧に重畳
Voltage Output					
Output Voltage Settling Time					出力電圧セトリング時間仕様は DC/DC コンバータをイネーブルした場合も適用されません
		6	20	μs	$\pm 0.03\%$ FSR まで 5V ステップ、0V~5V 範囲
		12	20	μs	$\pm 0.03\%$ FSR まで 10V ステップ、0V~10V 範囲
			15	μs	1LSB (16 ビット LSB) まで 100mV ステップ、0V~10V 範囲
Slew Rate		3		V/ μs	0V~10V 範囲、デジタル・スルー・レート制御をディスエーブル
Power-On Glitch Energy		25		nV-sec	
Digital-to-Analog Glitch Energy		5		nV-sec	
Glitch Impulse Peak Amplitude		25		mV	
Digital Feedthrough		2		nV-sec	
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16 ビット LSB、0V~10V 範囲
Output Noise Spectral Density		185		nV/ \sqrt{Hz}	10kHz で測定、ミッドスケール出力、0V~10V 範囲
AC PSRR		70		dB	200mV、50Hz~60Hz のサイン波を電源電圧に重畳

¹ 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

タイミング特性

特に指定のない限り、 $AV_{DD1} = V_{DPC+} = 15V$ 、DC/DCコンバータ = ディスエーブル、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = PGND1 = 0V$ 、 $REFIN =$ 外部 2.5V、電圧出力： $R_L = 1k\Omega$ 、 $C_L = 220pF$ 、電流出力： $R_L = 300\Omega$ 、特に指定のない限り、すべての仕様は $T_A = -40^\circ C \sim +105^\circ C$ 、 $T_J < 125^\circ C$ での値。

表 3.

パラメータ ^{1, 2, 3}	$1.71V \leq V_{LOGIC} < 3V$	$3V \leq V_{LOGIC} \leq 5.5V$	単位	説明
t_1	33	20	ns min	SCLK サイクル時間、書込み動作
	120	66	ns min	SCLK サイクル時間、読出し動作
t_2	16	10	ns min	SCLK ハイ時間、書込み動作
	60	33	ns min	SCLK ハイ時間、読出し動作
t_3	16	10	ns min	SCLK ロー時間、書込み動作
	60	33	ns min	SCLK ロー時間、読出し動作
t_4	10	10	ns min	\overline{SYNC} の立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、書込み動作
	33	33	ns min	\overline{SYNC} の立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、読出し動作
t_5	10	10	ns min	24 番目/32 番目の SCLK 立下がりエッジから \overline{SYNC} の立上がりエッジまで
	500	500	ns min	\overline{SYNC} ハイ時間 (この表に示すもの以外のすべてのレジスタ書込み)
t_6	1.5	1.5	μs min	\overline{SYNC} ハイ時間 (DAC_INPUT レジスタ書込み)
	500	500	μs min	\overline{SYNC} ハイ時間 (DAC_CONFIG レジスタ書込み、範囲ビット (ビット [3:0]) が変化。キャリブレーション・メモリの CRC のセクションを参照)
t_7	5	5	ns min	データ・セットアップ時間
t_8	6	6	ns min	データ・ホールド時間
t_9	750	750	ns min	\overline{LDAC} の立下がりエッジから \overline{SYNC} の立上がりエッジまで
t_{10}	1.5	1.5	μs min	\overline{SYNC} の立上がりエッジから \overline{LDAC} の立が下りエッジまで
t_{11}	250	250	ns min	\overline{LDAC} パルス幅、ロー
t_{12}	600	600	ns max	\overline{LDAC} の立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をディスエーブル
	2	2	μs max	\overline{LDAC} の立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をイネーブル
t_{13}	AC 性能特性のセクションを参照		μs max	DAC 出力セトリング時間
t_{14}	1.5	1.5	μs max	\overline{SYNC} の立上がりエッジから DAC 出力応答までの時間 ($\overline{LDAC} = 0$)
t_{15}	5	5	μs min	RESET パルス幅
t_{16}	40	28	ns max	SCLK の立上がりエッジから \overline{SDO} が有効になるまで
t_{17}	100	100	μs min	RESET の立上がりエッジから \overline{SYNC} 立下がりエッジ後最初の SCLK 立下がりエッジまで (t_{17} はタイミング図には示されていません)

¹ 設計および特性評価により確保。出荷テストの対象外です。

² すべての入力信号は $t_R = t_F = 5ns$ (V_{LOGIC} の 10%~90%) で仕様規定し、1.2V の電圧レベルで時間を測定しています。 t_R は立上がり時間、 t_F は立下がり時間です。

³ 図 2~図 5 を参照。

タイミング図

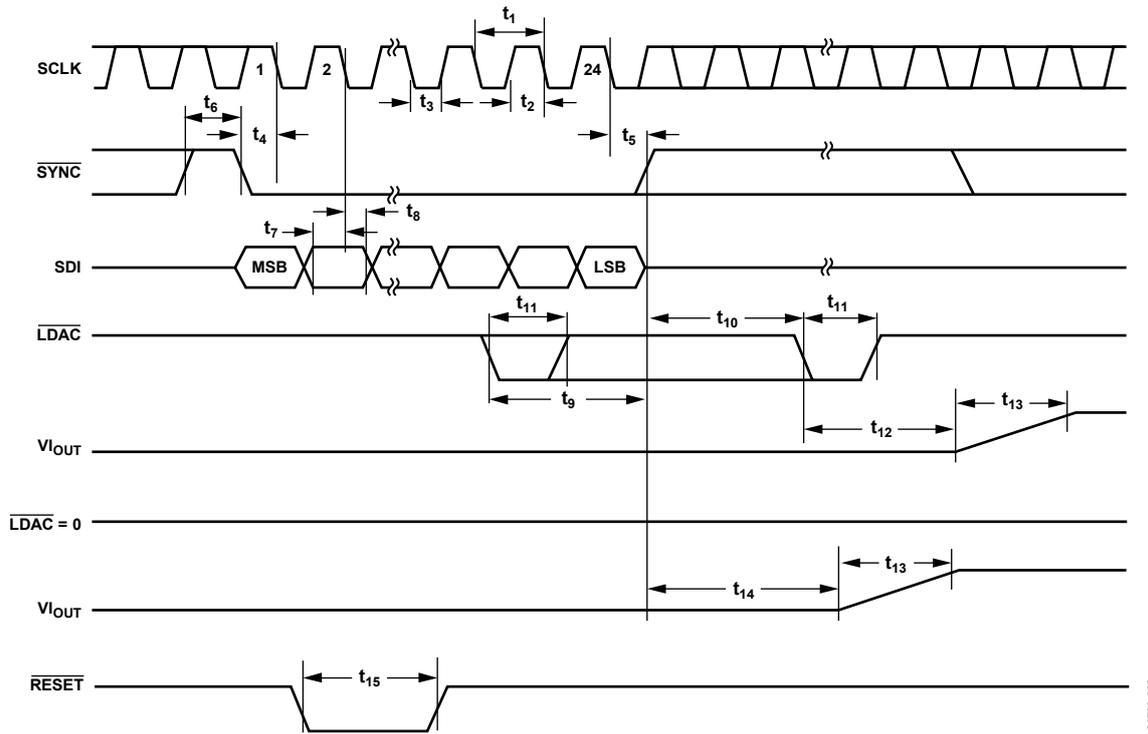


図 2. シリアル・インターフェースのタイミング図

21790-003

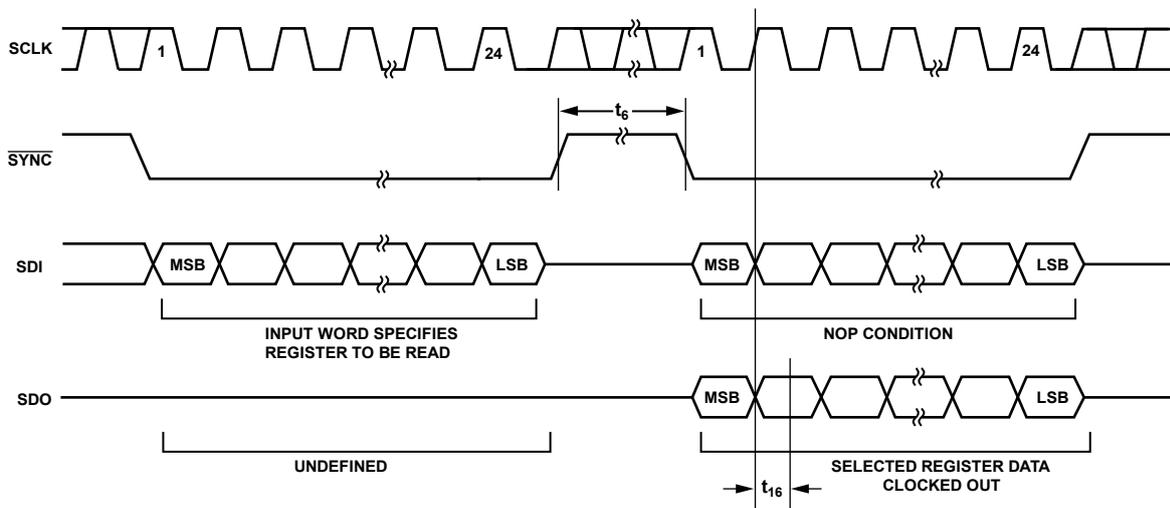
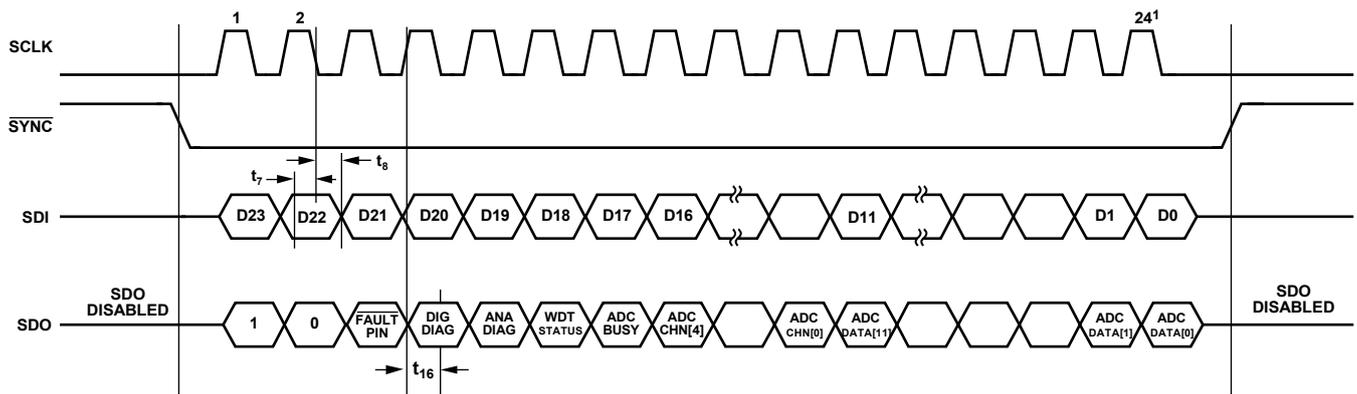


図 3. リードバックのタイミング図

21790-004



¹IF ANY EXTRA SCLK FALLING EDGES ARE RECEIVED AFTER THE 24TH (OR 32ND, IF CRC IS ENABLED) SCLK, BEFORE SYNC RETURNS HIGH, SDO CLOCKS OUT 0.

図 4. 自動ステータス・リードバック

21750-005

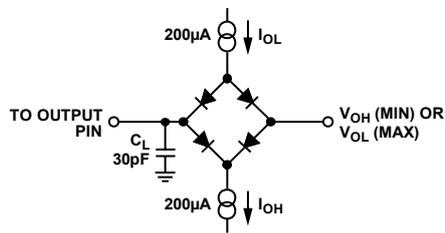


図 5. SDO タイミング図の負荷回路

21750-006

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大±200mA までの過渡電流では SCR ラッチアップは生じません。

表 4.

Parameter	Rating
AV_{DD1} to AGND, DGND	-0.3 V to +44 V
AV_{SS} to AGND, DGND	+0.3 V to -35 V
AV_{DD1} to AV_{SS}	-0.3 V to +66 V
AV_{DD2} , V_{DPC+} to AGND, DGND	-0.3 V to +35 V
AV_{DD2} , V_{DPC+} to AV_{SS}	-0.3 V to +55 V
V_{LOGIC} to DGND	-0.3 V to +6 V
Digital Inputs to DGND (SCLK, SDI, SYNC, AD0, AD1, RESET, LDAC)	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever is less)
Digital Outputs to DGND (FAULT, SDO, CLKOUT)	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever is less)
REFIN, REFOUT, V_{LDO} , C_{HART} to AGND	-0.3 V to $AV_{DD2} + 0.3$ V or +6 V (whichever is less)
R_A to AGND	-0.3 V to +4.5 V
R_B to AGND	-0.3 V to +4.5 V
V_{IOUT} to AGND	±38 V
+ V_{SENSE} to AGND	±38 V
- V_{SENSE} to AGND	±38 V
ADC1, ADC2 to AGND	±38 V
C_{COMP} to AGND	$AV_{SS} - 0.3$ V to $V_{DPC+} + 0.3$ V
SW+ to AGND	-0.3 V to $AV_{DD1} + 0.3$ V or +33 V (whichever is less)
AGND, DGND to REFGND	-0.3 V to +0.3 V
AGND, DGND to PGND1	-0.3 V to +0.3 V
Industrial Operating Temperature Range (T_A) ¹	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J maximum)	125°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
Electrostatic Discharge (ESD)	
Human Body Model ²	±3 kV
Field Induced Charged Device Model ³	±1 kV

¹ チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

² ANSI/ESDA/JEDEC JS-001 による。すべてのピン。

³ ANSI/ESDA/JEDEC JS-002 による。すべてのピン。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。 θ_{JA} は接合部から周囲への熱抵抗値、 θ_{JC} は接合部からケースへの熱抵抗値です。

表 5. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC}	Unit
CP-32-30	46	18	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

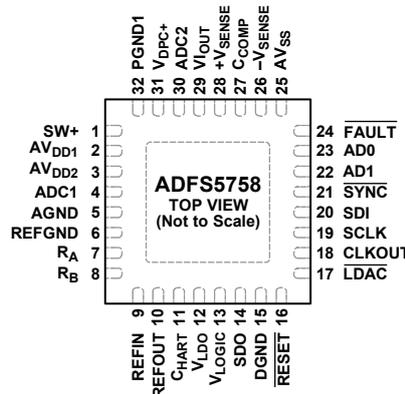
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO THE POTENTIAL OF THE AVSS PIN, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	SW+	DC/DC 回路のスイッチング出力。デバイスの DC/DC 機能を使用するには、 図 77 のように接続します。
2	AV _{DD1}	正のアナログ電源。電圧範囲は 7 V~33V。
3	AV _{DD2}	正の低電圧アナログ電源。電圧範囲は 5 V~33V。
4	ADC1	マルチプレクサ ADC 外部入力 1 (入力範囲 0V~0.5V、0V~2.5V、または±0.5V)
5	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
6	REFGND	内蔵リファレンスに対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
7	R _A	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を R _A と R _B の間に接続して、電流出力の温度ドリフト性能を向上させることができます。外付け抵抗は、できるだけ ADFS5758 に近付けて取り付けることを推奨します。
8	R _B	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を R _A と R _B の間に接続して、電流出力の温度ドリフト性能を向上させることができます。外付け抵抗は、できるだけ ADFS5758 に近付けて取り付けることを推奨します。
9	REFIN	外部 2.5V リファレンス電圧入力。
10	REFOUT	内蔵 2.5V リファレンス電圧出力。内蔵リファレンスを使用するには、REFOUT を REFIN に接続する必要があります。REFOUT と REFGND の間にコンデンサを接続することは推奨しません。
11	C _{HART}	HART 入力接続。HART 信号はこのピンに AC カップリングする必要があります。HART を使用しない場合は、このピンを未接続のままにしてください。デフォルトではこのピンは HART 加算ノードには接続されていませんが、GP_CONFIG1 レジスタの HART_EN ビットを介して接続することができます。
12	V _{LDO}	3.3V 低ドロップアウト (LDO) 出力電圧。V _{LDO} は、0.1μF のコンデンサを使って AGND にデカップリングする必要があります。
13	V _{LOGIC}	デジタル電源。電圧範囲は 1.71V~5.5V です。V _{LOGIC} は 0.1μF のコンデンサを使って DGND にデカップリングする必要があります。
14	SDO	シリアル・データ出力。このピンは、リードバック・モードでシリアル・レジスタからデータをクロック出力します。リードバック・モードでの SCLK の最大速度は 15MHz です (V _{LOGIC} 電圧により異なる)。タイミング特性のセクションを参照してください。
15	DGND	デジタル・グラウンド。
16	RESET	ハードウェア・リセット。アクティブ・ローの入力。リセット (ハードウェア RESET ピンを使用するかソフトウェアを経由) の後 100μs 以内は SPI コマンドを書き込まないでください。
17	LDAC	DAC のロード。アクティブ・ローの入力。このピンは、DAC_OUTPUT レジスタを更新することによって DAC 出力を更新します。SYNC の立上がりエッジ前の 500ns 以内、または SYNC の立上がりエッジ後 1.5μs 以内で LDAC をアサートしないでください (タイミング仕様についてはタイミング特性のセクションを参照)。
18	CLKOUT	オプションのクロック出力信号 (デフォルトではディスエーブル)。このピンは内部 10MHz 発振器 (MCLK) を分周したもので、GP_CONFIG1 レジスタで設定します。
19	SCLK	シリアル・クロック入力。データは、SCLK の立上がりエッジで入力シフト・レジスタにクロック入力されます。書き込みモードでは、このピンは最大 50MHz のクロック速度で動作します (V _{LOGIC} 電圧により異なる)。読み出しモードでの最大 SCLK 速度は 15MHz です (V _{LOGIC} 電圧により異なる)。タイミング仕様については、タイミング特性のセクションを参照してください。
20	SDI	シリアル・データ入力。データは、SCLK の立上がりエッジで有効である必要があります。

ピン番号	記号	説明
21	SYNC	シリアル・インターフェースのフレーム同期化信号。アクティブ・ローの入力。SYNCがローの間、データは SCLK の立下がりエッジで転送されます。
22	AD1	ボード上の ADFS5758 のアドレス・デコード 1。
23	AD0	ボード上の ADFS5758 のアドレス・デコード 0。
24	FAULT	故障ピン。アクティブ・ローのオープンドレイン出力。このピンは、故障状態が検出されていない場合は高インピーダンスで、例えば電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、または過熱エラーなどの一定の故障状態が検出されると、ローにアサートされます（出力故障のセクションを参照）。このピンは 10k Ω のプルアップ抵抗を使って V _{LOGIC} に接続する必要があります。
25	AV _{SS}	負のアナログ電源。電圧範囲は 0V～-33V です。ユニポーラ電流出力だけを目的にこのデバイスを使用する場合は、AV _{SS} を 0V とすることができます。ユニポーラ電圧出力での AV _{SS} （最大）は -2.5V です。バイポーラ出力範囲を使用するときは、AV _{SS} の計算時に V _{OUT} または I _{OUT} ヘッドルームに従う必要があります。例えば、±10V 出力時の最大 AV _{SS} は -12.5V です。電源シーケンシングに関わる重要な注意事項については、AV _{SS} に関する考慮事項のセクションを参照してください。
26	-V _{SENSE}	V _{OUT} モードにおける負電圧出力負荷接続用のセンス接続。仕様規定された動作を確保するには、このピンを AGND の ±10V 以内に保つ必要があります。このピンには 1k Ω の抵抗を接続することを推奨します。リモート・センシングを使用しない場合は、1k Ω の抵抗を介してこのピンを AGND に短絡します。
27	C _{COMP}	電圧出力バッファ用の補償コンデンサ接続（オプション）。このピンと V _{IOUT} ピンの間に 220pF のコンデンサを接続すると、2 μ F まで駆動できる電圧出力が得られます。このコンデンサを追加すると、出力アンプの帯域幅が減少してセットリング時間が長くなります。
28	+V _{SENSE}	電圧出力モードにおける正電圧出力負荷接続用のセンス接続。このピンには 1k Ω の抵抗を接続することを推奨します。リモート・センシングを使用しない場合は、1k Ω の抵抗を介してこのピンを V _{IOUT} に短絡します。
29	V _{IOUT}	電圧／電流出力ピン。V _{IOUT} は共有ピンで、バッファリングした電圧または電流を出力します。
30	ADC2	マルチプレクサ ADC 外部入力 2（入力範囲 ±15V）。
31	V _{DPC+}	電流および電圧出力段用の正電源。デバイスの DC/DC 機能を使用するには、図 77 のように接続します。
32	PGND1	電源グラウンド。
	EPAD	露出パッド。露出パッドは AV _{SS} ピンの電位に接続するか、電気的に未接続のままにしておくことができます。熱性能を向上させるために、パッドを銅製の放熱板に接続することを推奨します。

代表的な性能特性

電流出力

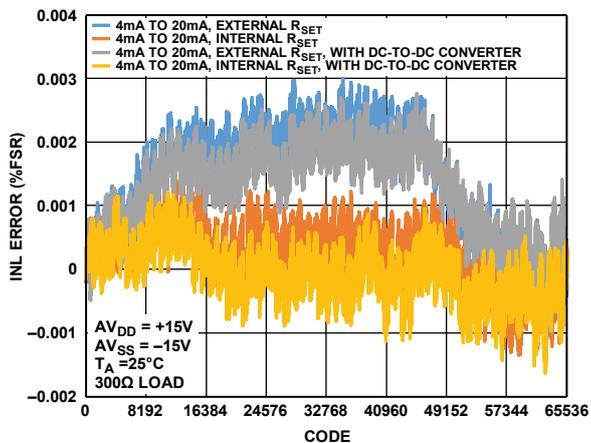


図 7. INL 誤差と DAC コードの関係

21790-236

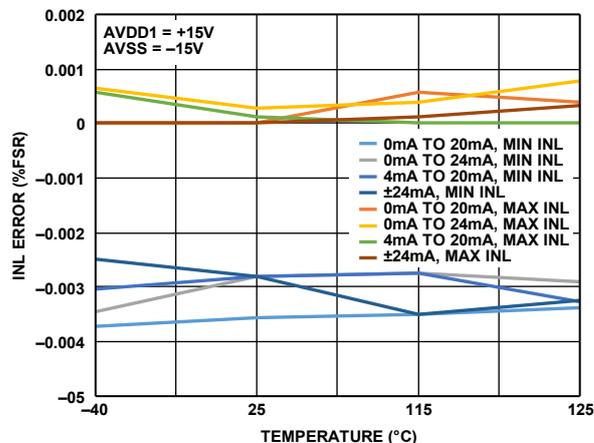


図 10. INL 誤差の温度特性、内蔵 RSET

21790-434

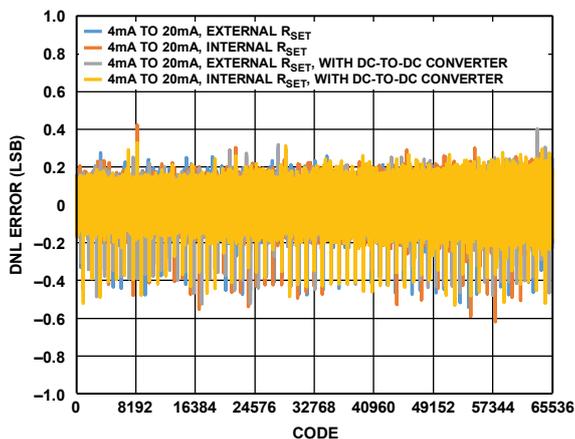


図 8. DNL 誤差と DAC コードの関係

21790-237

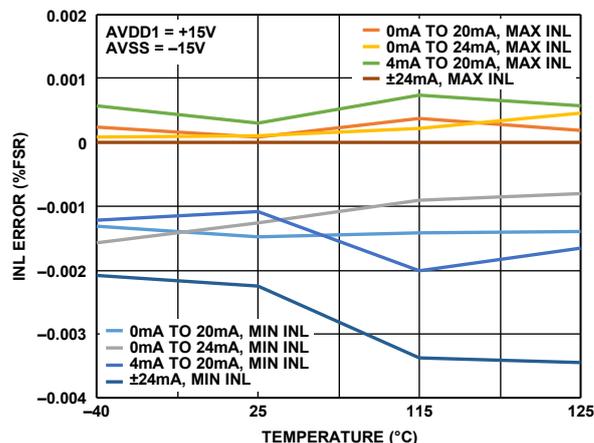


図 11. INL 誤差の温度特性、外付け RSET

21790-435

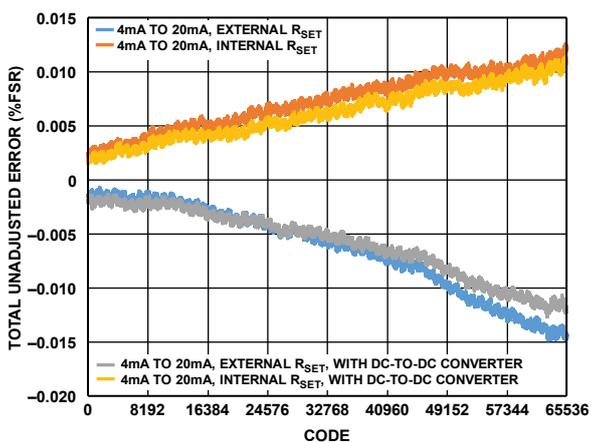


図 9. 総合未調整誤差と DAC コードの関係

21790-238

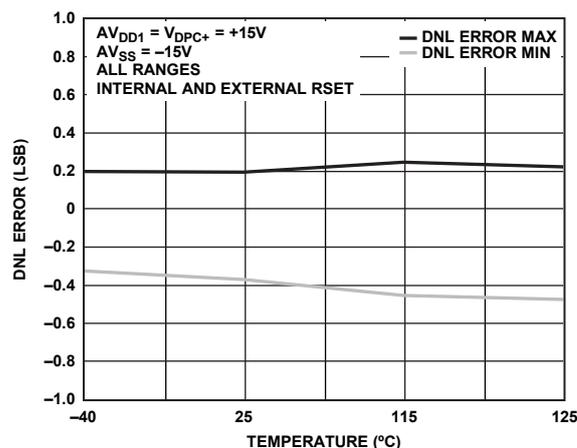


図 12. DNL の温度特性

21790-436

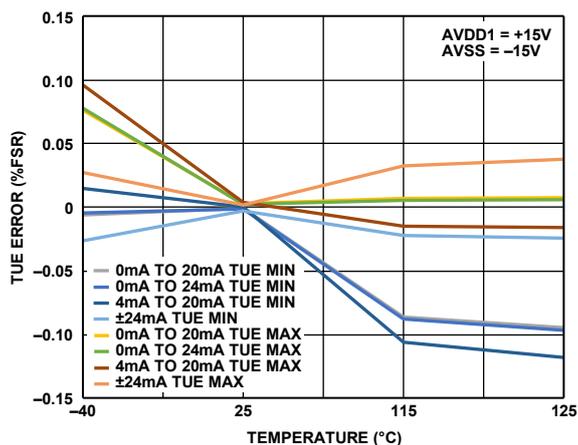


図 13. 総合未調整誤差の温度特性、内蔵 R_{SET}

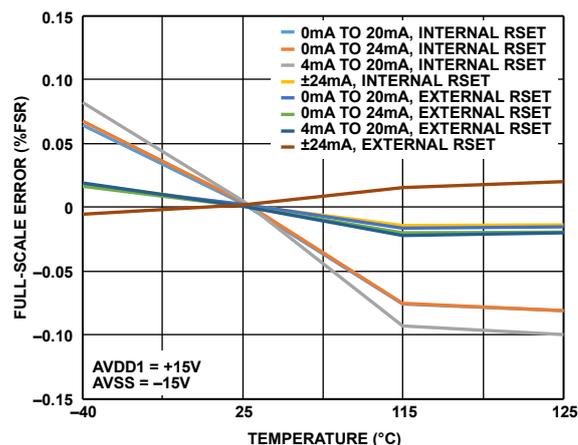


図 16. フルスケール誤差の温度特性

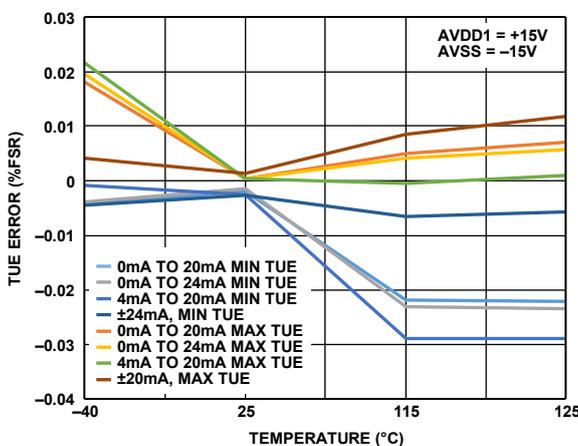


図 14. 総合未調整誤差の温度特性、外付け R_{SET}

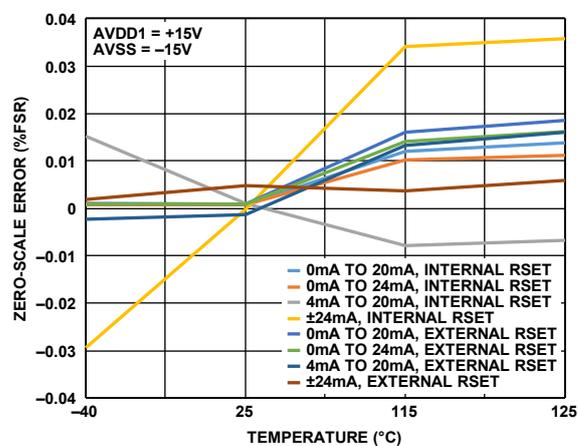


図 17. ゼロスケール誤差の温度特性

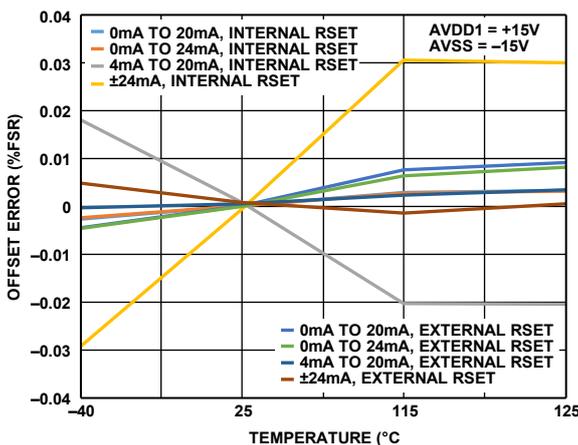


図 15. オフセット誤差の温度特性

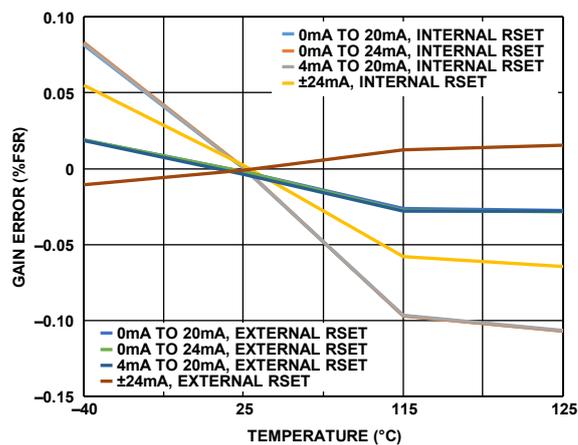


図 18. ゲイン誤差の温度特性

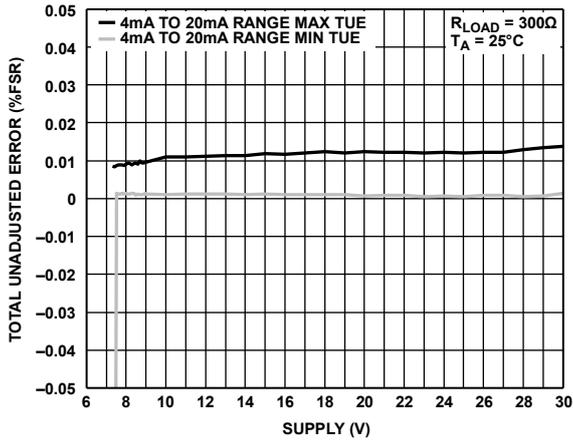


図 19. 総合未調整誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、内蔵 R_{SET}

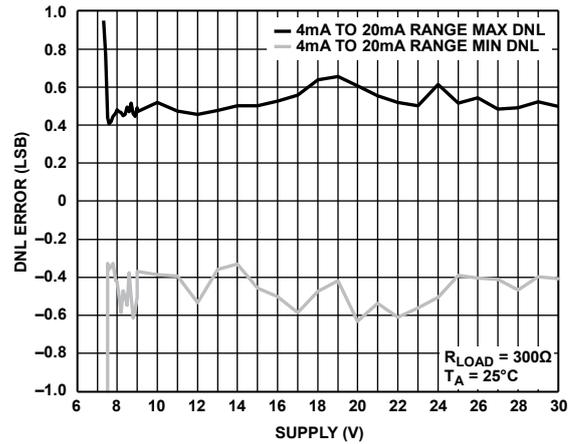


図 22. DNL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、外付け R_{SET}

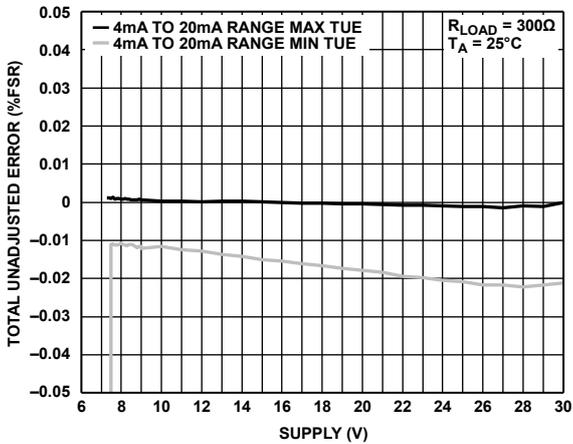


図 20. 総合未調整誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、外付け R_{SET}

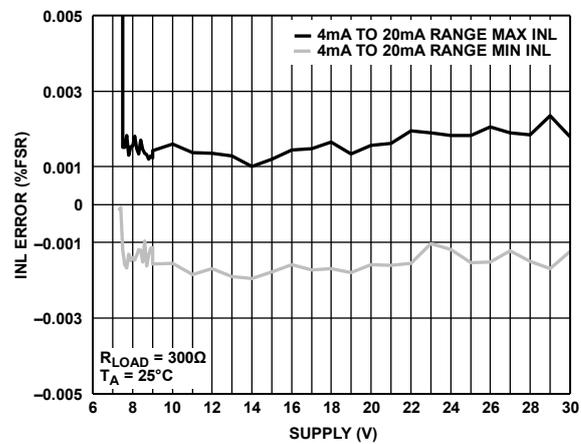


図 23. INL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、内蔵 R_{SET}

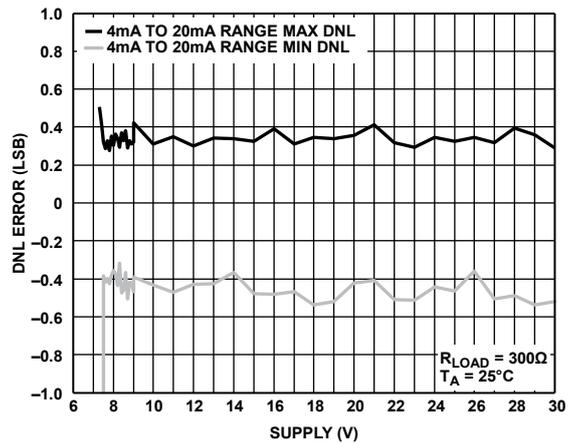


図 21. DNL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、内蔵 R_{SET}

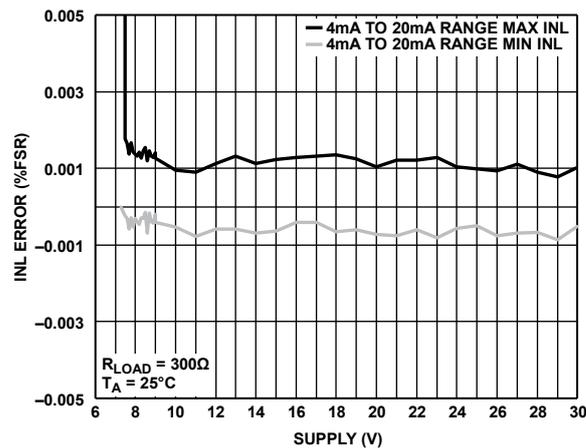


図 24. INL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係、外付け R_{SET}

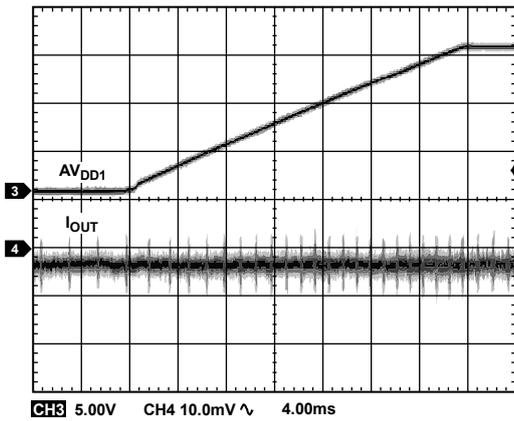


図 25. パワーアップ時の出力電流の時間変化

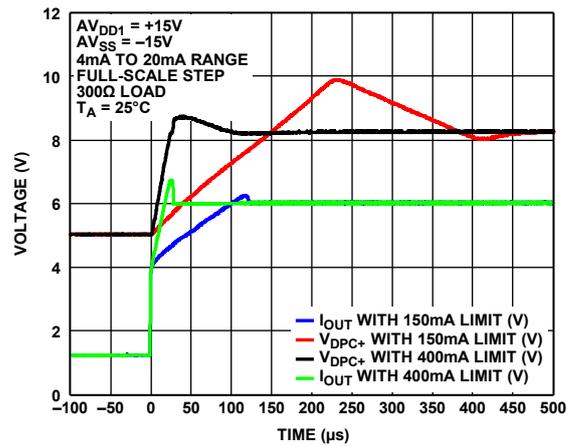


図 28. 出力電流と V_{DPC+} セットリング時間の関係、300Ω 負荷

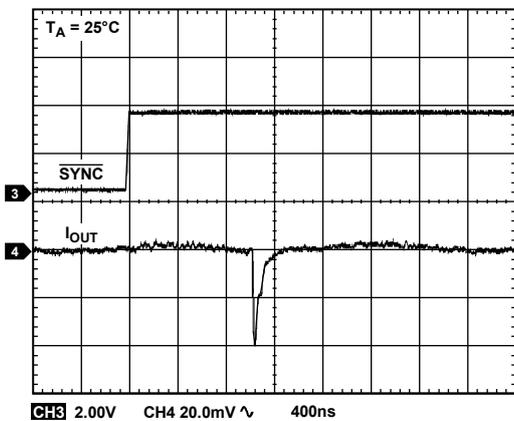


図 26. 出力イネーブル時の出力電流の時間変化

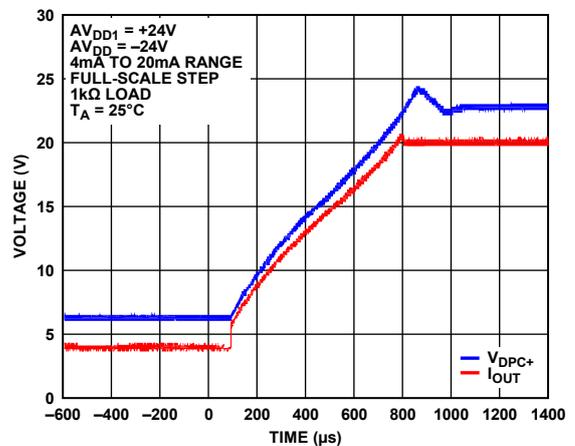


図 29. 出力電流と V_{DPC+} セットリング時間の関係、1kΩ 負荷

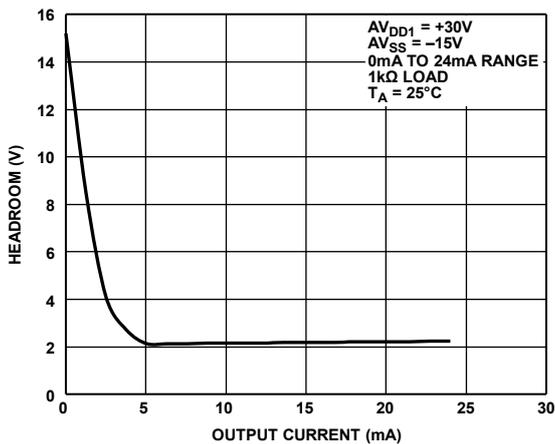


図 27. DC/DC コンバータのヘッドルームと出力電流の関係

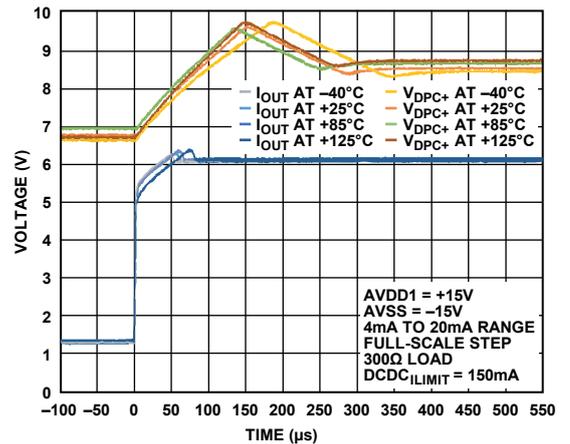


図 30. 各温度における出力電流と V_{DPC+} セットリング時間の関係

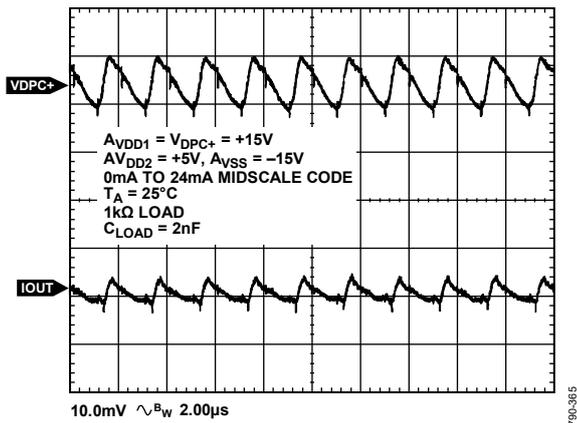


図 31. DC/DC コンバータにおける出力電流リップルの時間変化

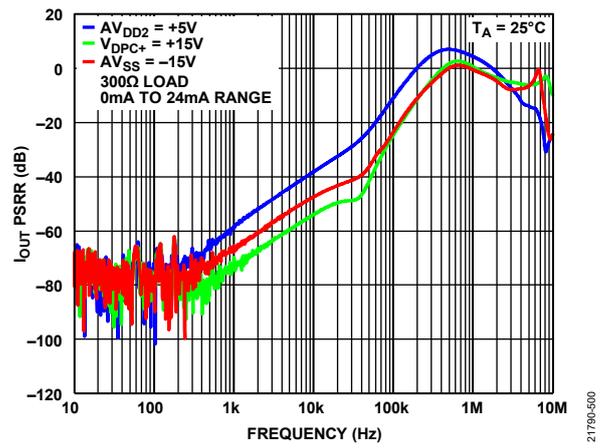


図 32. I_{OUT} PSRR の周波数特性

電圧出力

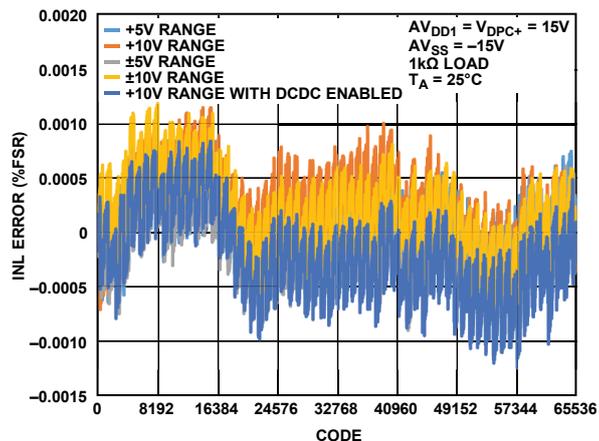


図 33. INL 誤差と DAC コードの関係

21790-207

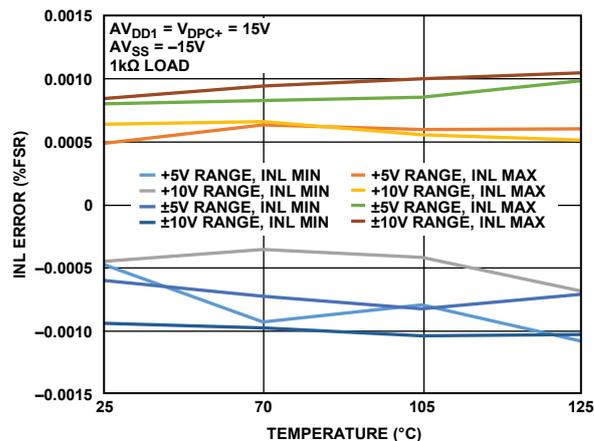


図 36. INL 誤差の温度特性

21790-210

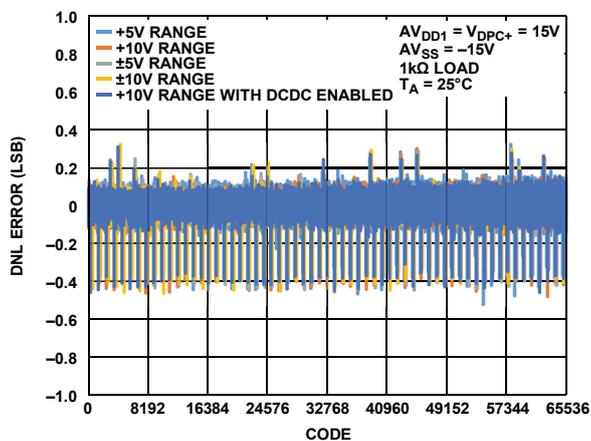


図 34. DNL 誤差と DAC コードの関係

21790-208

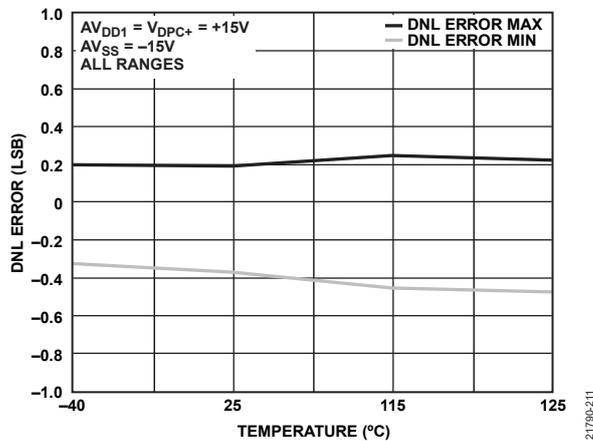


図 37. DNL 誤差の温度特性

21790-211

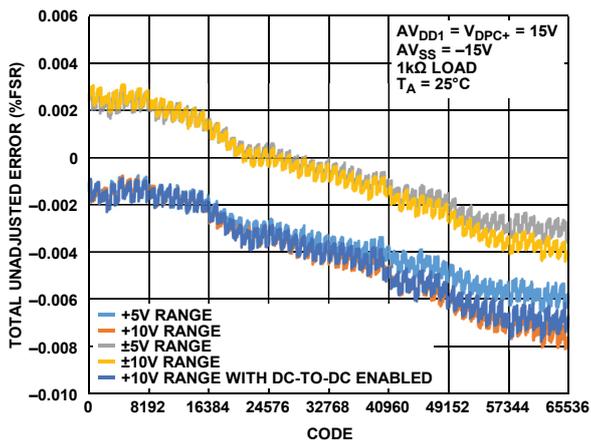


図 35. 総合未調整誤差と DAC コードの関係

21790-209

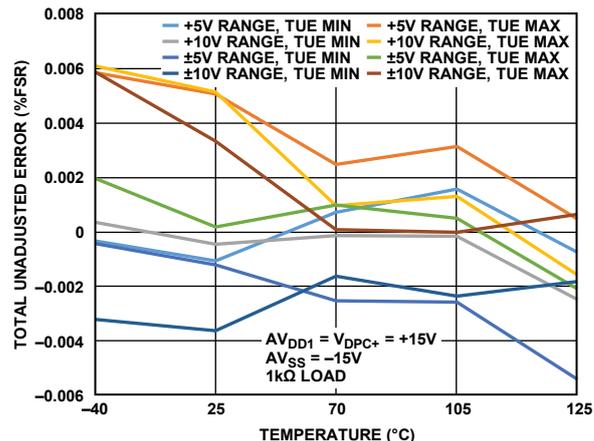


図 38. 総合未調整誤差の温度特性

21790-212

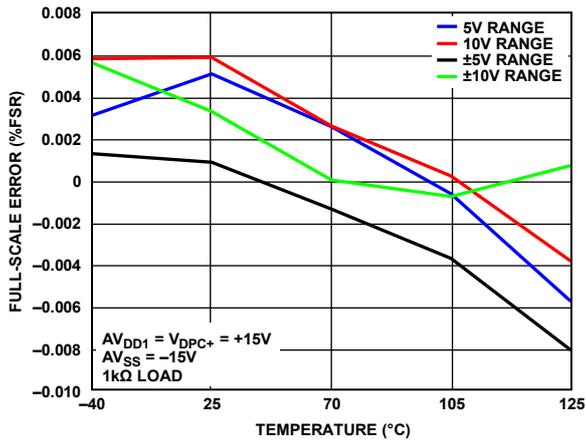


図 39. フルスケール誤差の温度特性

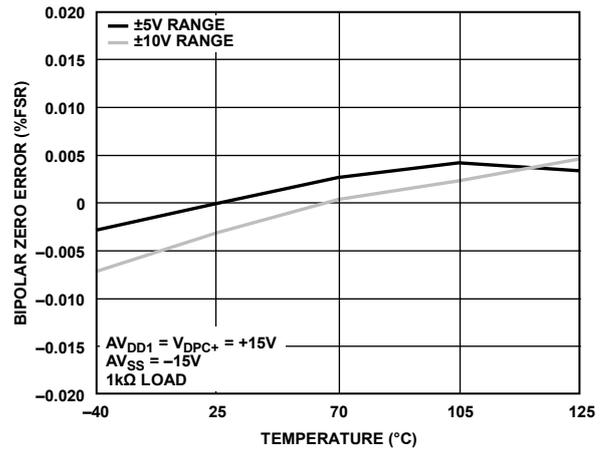


図 42. バイポーラ・ゼロ誤差の温度特性

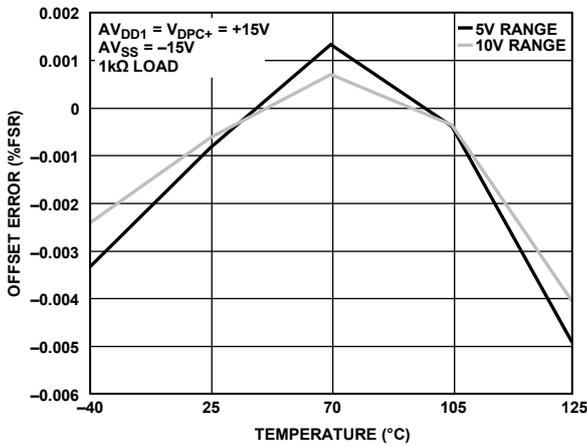


図 40. オフセット誤差の温度特性

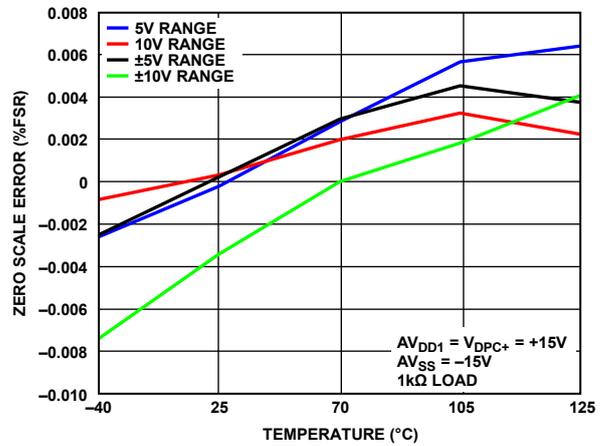


図 43. ゼロスケール誤差の温度特性

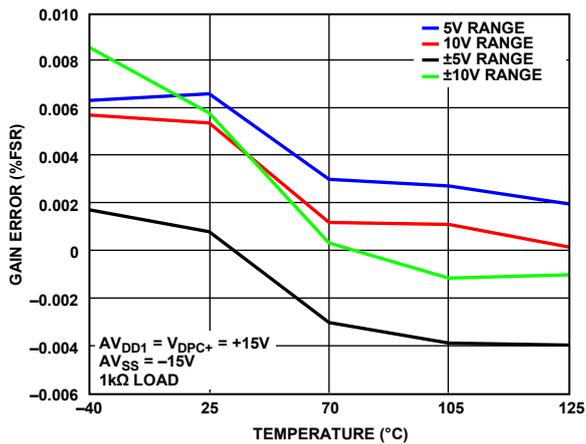


図 41. ゲイン誤差の温度特性

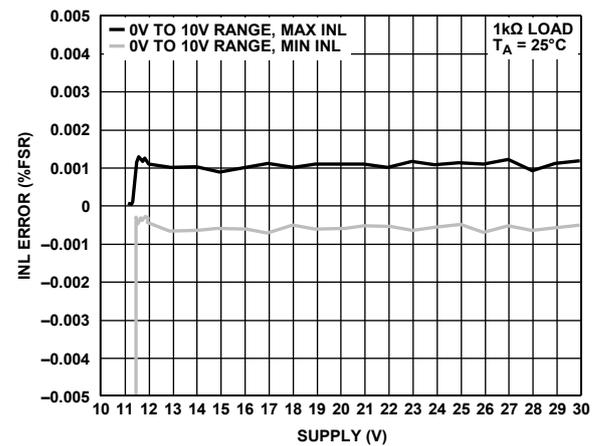


図 44. INL 誤差と AV_{DD1}/AV_{SS} 電源の関係

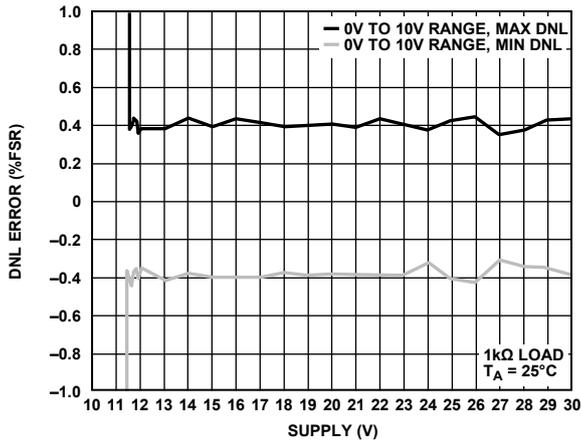


図 45. DNL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係

21790-220

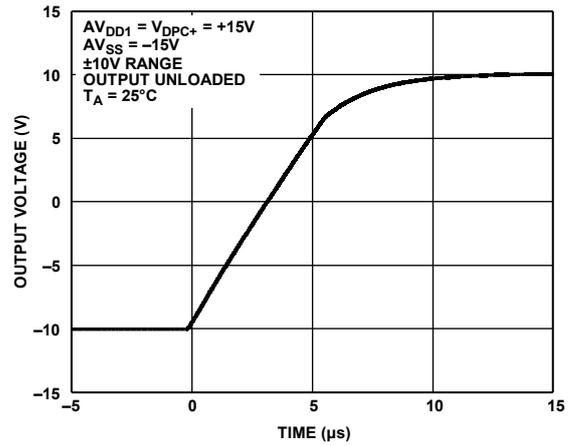


図 48. 正のフルスケール・ステップ

21790-223

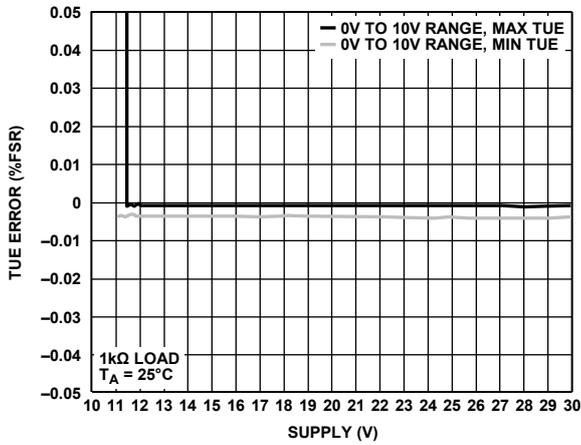


図 46. 総合未調整誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係

21790-221

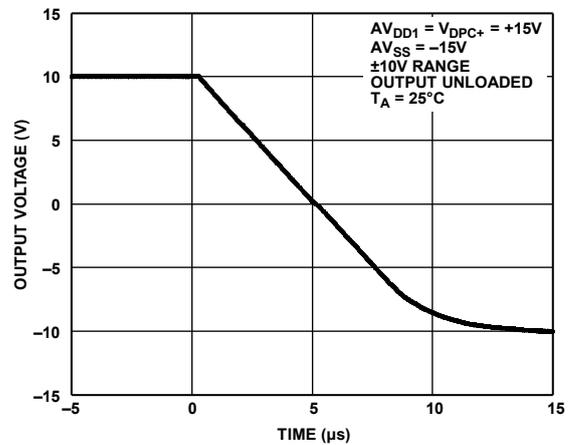


図 49. 負のフルスケール・ステップ

21790-224

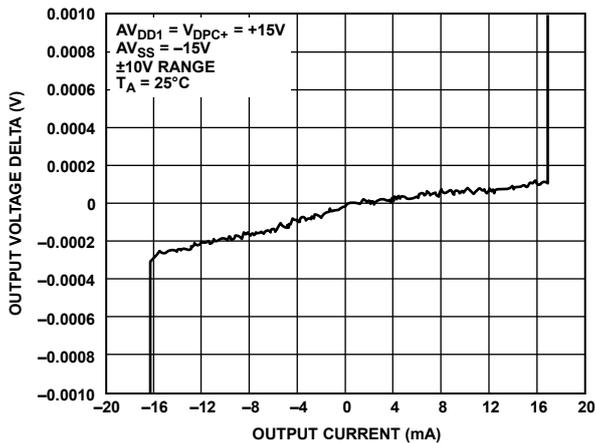


図 47. 出力アンプのシンク能力とソース能力

21790-222

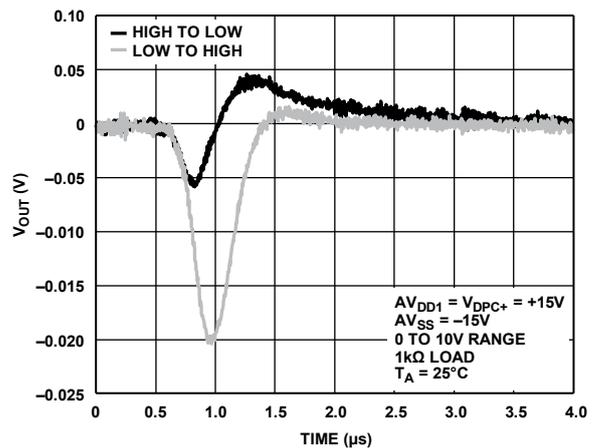


図 50. デジタル/アナログ・グリッチのメジャー・コード遷移

21790-226

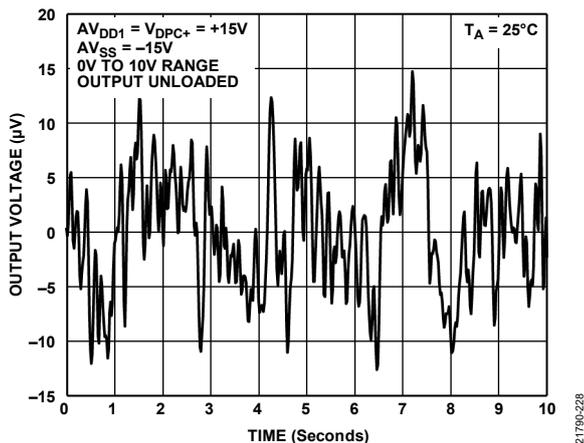


図 51. ピーク to ピーク・ノイズ (0.1Hz~10Hzの帯域幅)

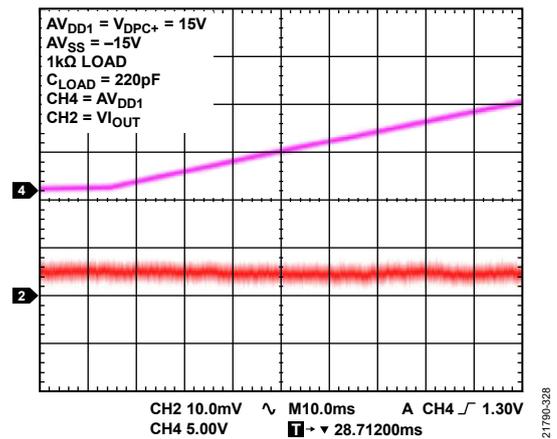


図 54. パワーアップ時の V_{OUT} の時間変化

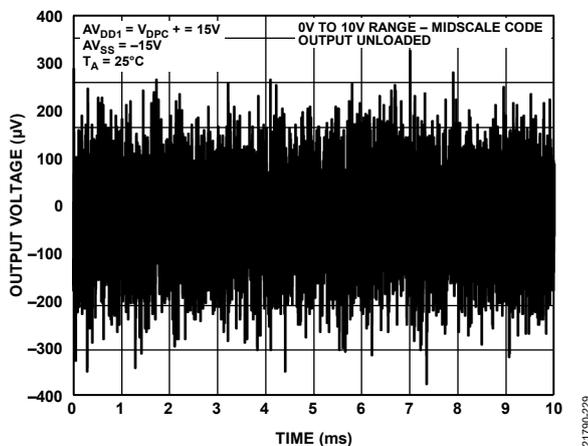


図 52. ピーク to ピーク・ノイズ (100kHzの帯域幅)

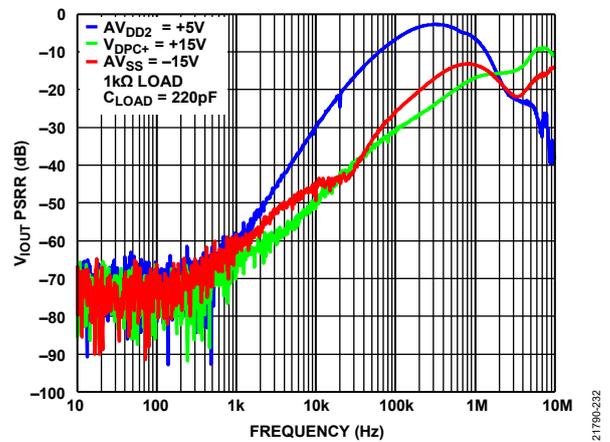


図 55. V_{OUT} PSRR の周波数特性

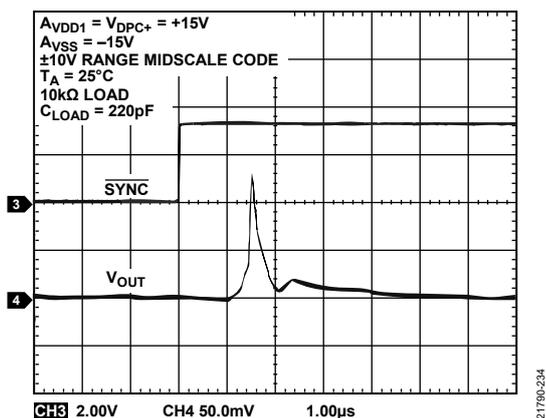


図 53. 出力イネーブル時の V_{OUT} の時間変化

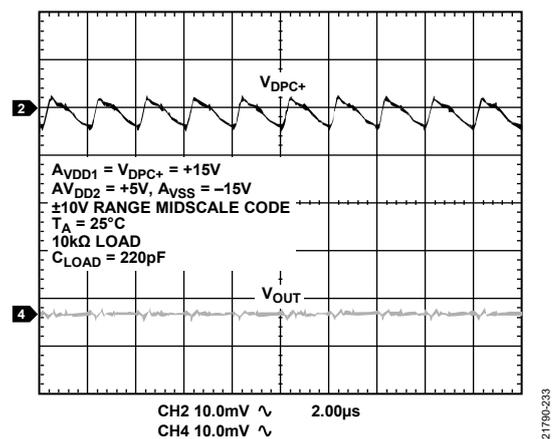


図 56. 電圧出力リップル

DC/DC ブロック

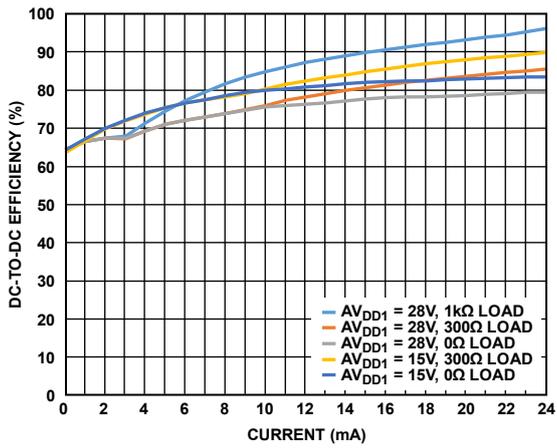


図 57. DC/DC 効率と電流の関係

21790-283

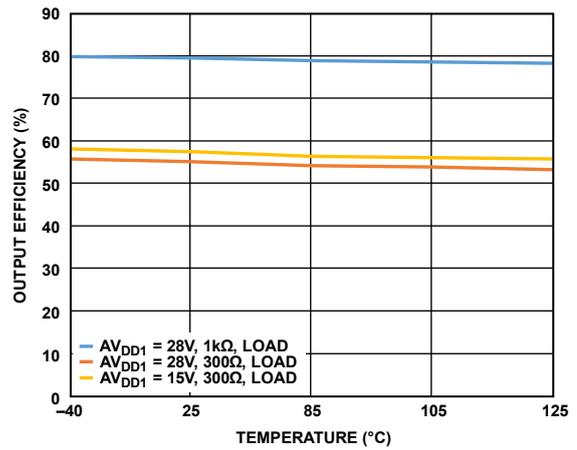


図 60. 出力効率の温度特性

21790-288

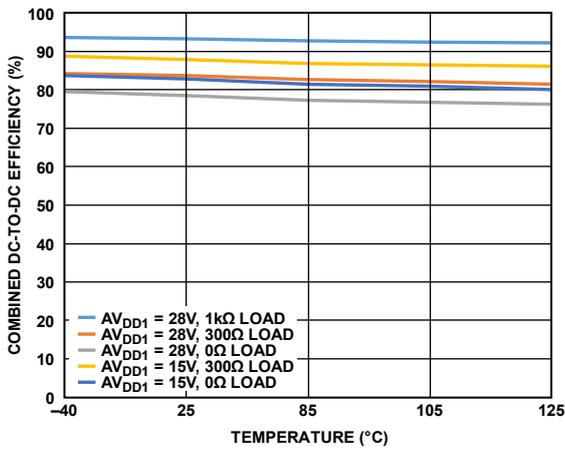


図 58. 総合 DC/DC 効率の温度特性

21790-357

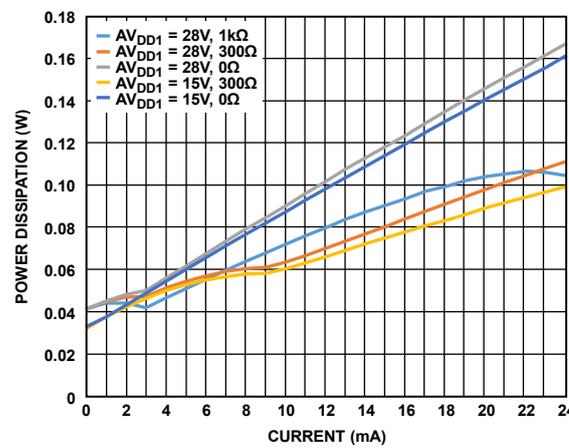


図 61. 消費電力と電流の関係

21790-286

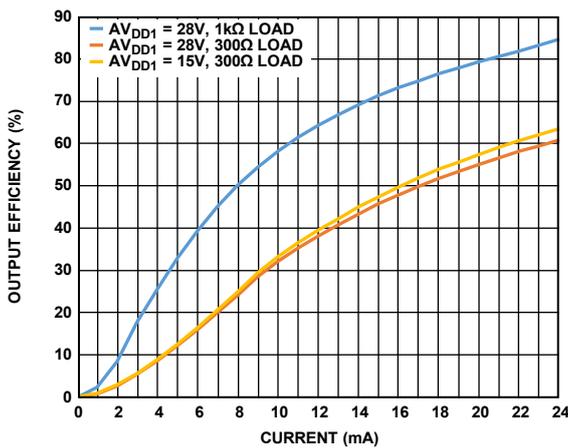


図 59. 出力効率と電流の関係

21790-284

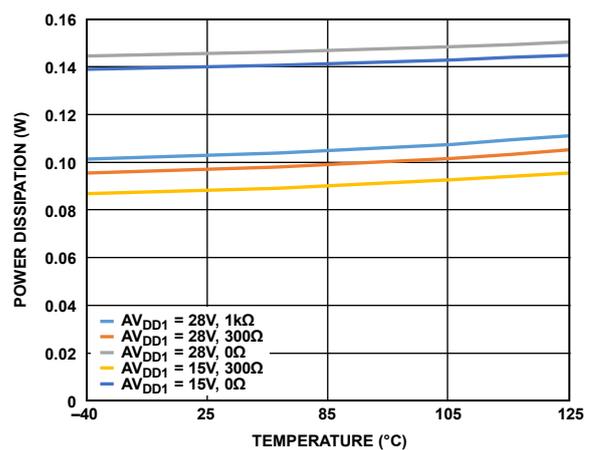


図 62. 消費電力の温度特性

21790-285

リファレンス

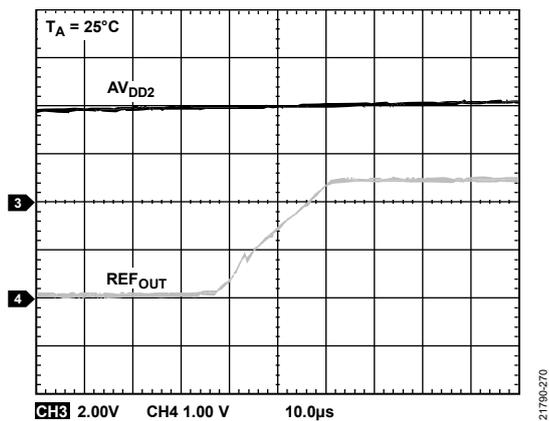


図 63. REFOUT のターンオン・トランジェント

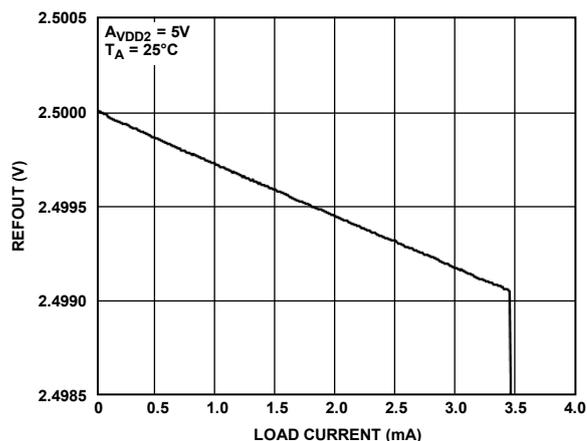


図 66. REFOUT と負荷電流の関係

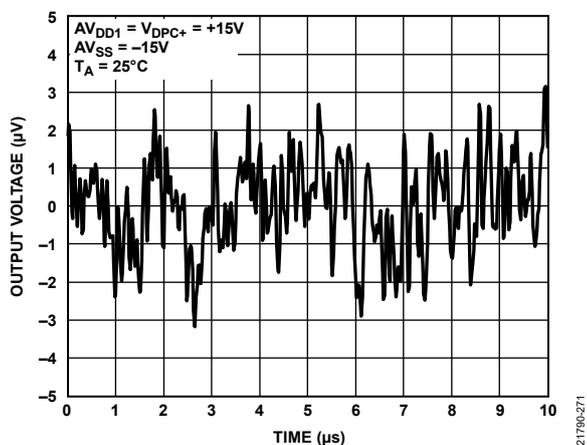


図 64. ピーク to ピーク・ノイズ (0.1Hz~10Hz の帯域幅)

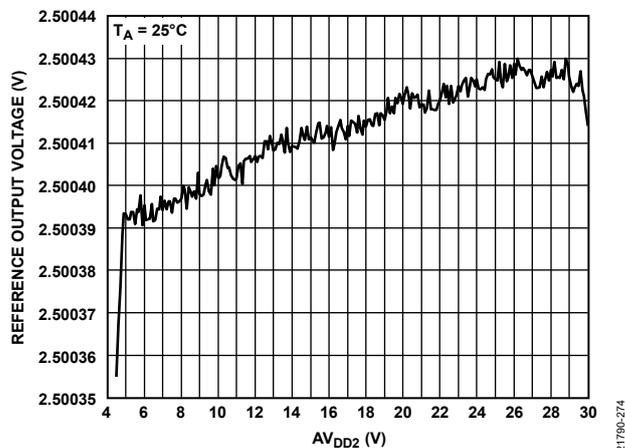


図 67. リファレンス出力電圧と AVDD2 電源の関係

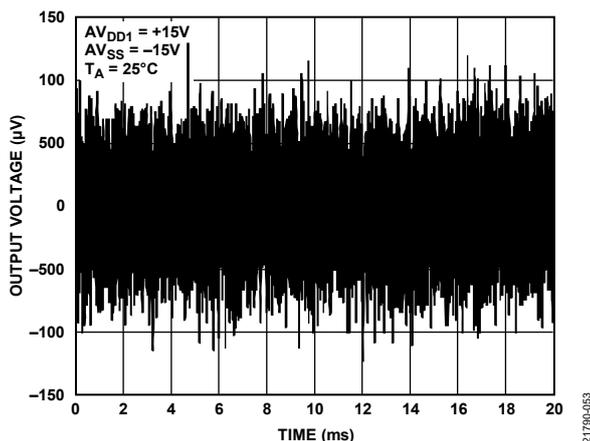


図 65. ピーク to ピーク・ノイズ (100kHz の帯域幅)

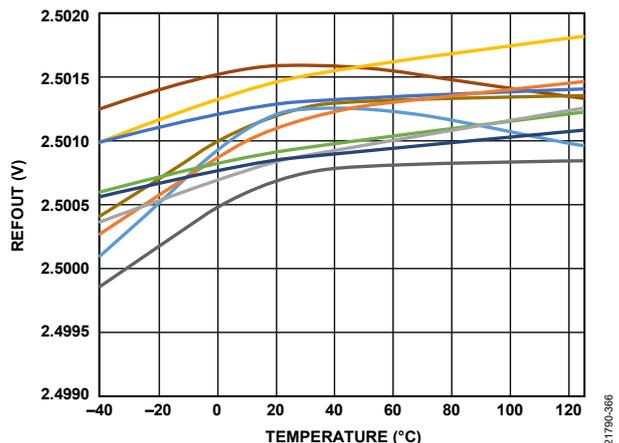


図 68. REFOUT の温度特性

一般特性

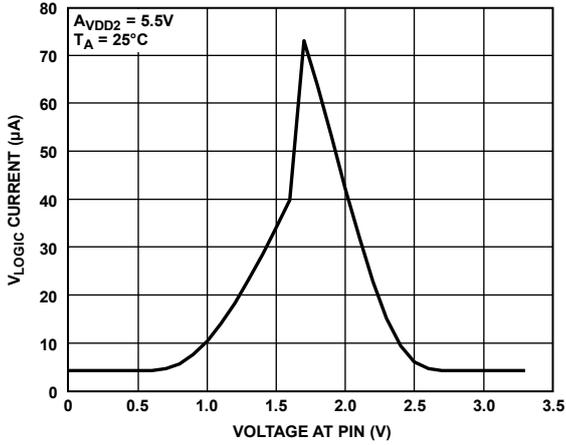


図 69. V_{Logic} 電流とロジック入力電圧の関係

21790-281

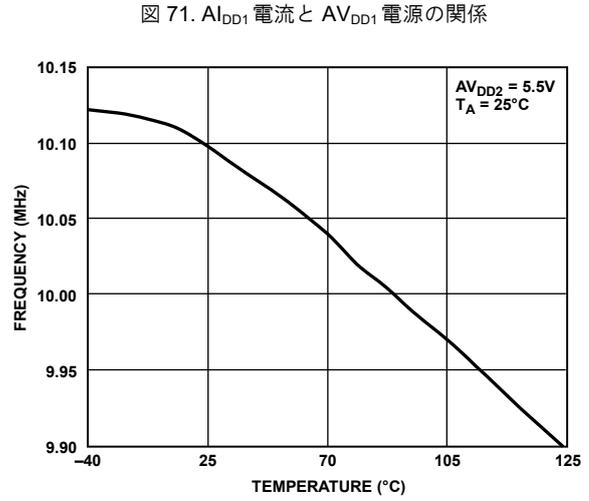


図 71. I_{DD1} 電流と A_{VDD1} 電源の関係

21790-282

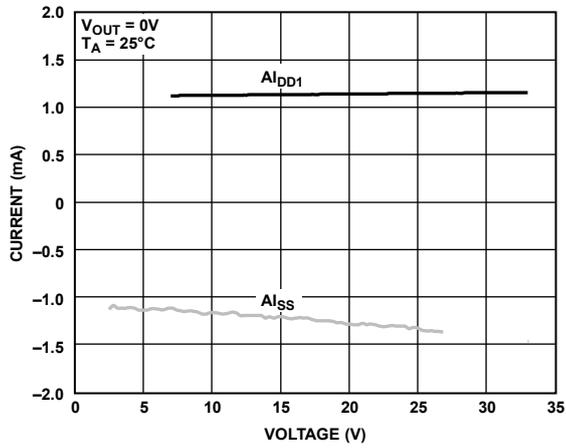


図 70. I_{DD1}/I_{SS} 電流と $A_{VDD1}/|A_{VSS}|$ 電源の関係

21790-278

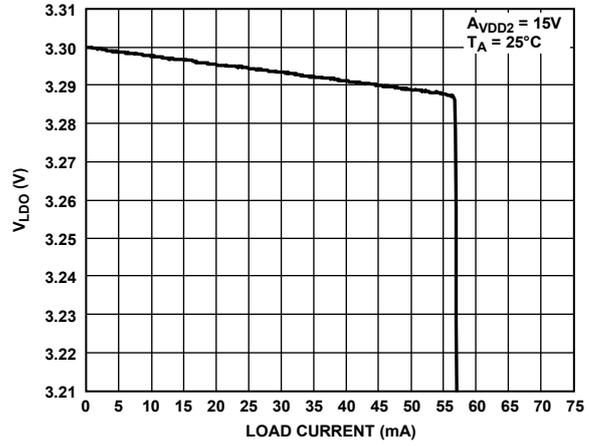


図 73. V_{LDO} と負荷電流の関係

21790-276

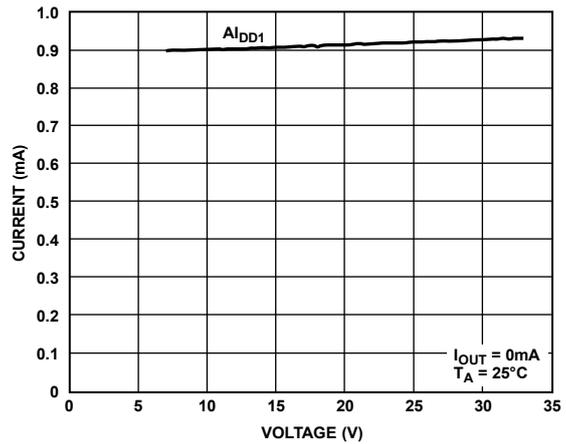


図 72. 内部発振器周波数の温度特性

21790-279

用語の定義

総合未調整誤差 (TUE)

TUE とは、電源、温度、時間に関連するすべての誤差（つまり、INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフト）を考慮する出力誤差の計測値です。TUE の単位は % FSR です。

相対精度または積分非直線性 (INL)

DAC における相対精度または INL とは、DAC 伝達関数の最適近似直線からの最大偏差を、LSB または % FSR で示した値です。

微分非直線性 (DNL)

DNL は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB 変化との差を表します。微分非直線性の仕様が ±1LSB 以内の場合は、単調増加性が確保されます。

単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといえます。ADFS5758 は全動作温度範囲で単調です。

ゼロスケール/負のフルスケール誤差

ゼロスケール/負のフルスケール誤差は、0x0000（ストレート・バイナリ・コーディング）を DAC 出力レジスタにロードしたときの DAC 出力電圧誤差です。

ゼロスケール温度係数 (TC)

ゼロスケール TC は、温度変化に伴うゼロスケール誤差の変化の程度を表す値です。ゼロスケール誤差 TC は ppm FSR/°C で表します。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は、DAC 出力レジスタに 0x8000（ストレート・バイナリ・コーディング）を読み込んだときの、0V の理論ハーフスケール出力とアナログ出力間の偏差を表します。

バイポーラ・ゼロ温度係数 (TC)

バイポーラ・ゼロ TC は温度変化に伴うバイポーラ・ゼロ誤差の変化を測定したもので、ppm FSR/°C で表します。

オフセット誤差

オフセット誤差はアナログ出力と理想出力値の偏差で、 $\frac{1}{4}$ スケールおよび $\frac{1}{2}$ スケールのデジタル・コード測定を使って求め、% FSR で表されます。

オフセット誤差 (TC)

オフセット誤差 TC は温度変化に伴うオフセット誤差の変化の程度を表す値で、ppm FSR/°C で表します。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。DAC の伝達特性の傾き（理論値）からの偏差で、単位は % FSR です。

ゲイン誤差温度係数 (TC)

ゲイン誤差 TC は、温度変化に伴うゲイン誤差の変化の程度を表す値です。ゲイン誤差 TC は ppm FSR/°C で表します。

フルスケール誤差

フルスケール誤差は、フルスケール・コードを DAC 出力レジスタにロードしたときの出力誤差として測定されます。理論的には、出力は「フルスケール-1LSB」です。フルスケール誤差は % FSR で表します。

ヘッドルーム

ヘッドルームは、出力に必要な電圧（電圧出力モードの設定電圧、および電流出力モードの設定電流 × R_{LOAD} ）と、正の電源レール V_{DPC+} によって供給される電圧の差です。ヘッドルームが関係するのは、出力がグラウンドに対して正の場合です。

フットルーム

フットルームは、出力に必要な電圧（電圧出力モードの設定電圧、および電流出力モードの設定電流 × R_{LOAD} ）と、負の電源レール AV_{SS} によって供給される電圧の差です。フットルームが関係するのは、出力がグラウンドに対して負の場合です。

V_{OUT}/V_{SENSE} 同相ノイズ除去比 (CMRR)

V_{OUT}/V_{SENSE} CMRR は、 $-V_{SENSE}$ 電圧の変化によって V_{OUT} 電圧に生じる誤差です。

電流ループ・コンプライアンス電圧

出力電流が設定値に一致するときの VI_{OUT} ピンの最大電圧です。

リファレンス電圧の熱ヒステリシス

リファレンス電圧の熱ヒステリシスは、25°C で測定した出力電圧を、25°C → -40°C → +105°C → 25°C の温度サイクルを加えた後に 25°C で測定した出力電圧と比較した場合の差です。

電圧リファレンス TC

電圧リファレンス TC は、温度変化に伴うリファレンス出力電圧の変化を測定したもので、ボックス法を使って計算します。この方法では、次のように、ppm/°C で表される所定の温度範囲でのリファレンス出力の最大変化として TC を定義しています。

$$TC = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times TempRange} \right) \times 10^6$$

ここで、

V_{REF_MAX} は全温度範囲で測定した最大リファレンス出力、

V_{REF_MIN} は全温度範囲で測定した最小リファレンス出力、

V_{REF_NOM} は公称リファレンス出力電圧 2.5V、

$TempRange$ は仕様規定された温度範囲 -40°C ~ +105°C です。

ライン・レギュレーション

ライン・レギュレーションは電源電圧の規定された変化によるリファレンス出力電圧の変化で、ppm/V で表されます。

負荷レギュレーション

負荷レギュレーションはリファレンス負荷電流の規定された変化によるリファレンス出力電圧の変化で、ppm/mA で表されません。

ダイナミック消費電力制御 (DPC)

このモードでは、ADFS5758 の回路が出力電圧を検出し、電源電圧 V_{DPC+} を動的に調整してコンプライアンス条件を満たすと共に、出力バッファ用にヘッドルーム電圧を最適化します。

プログラマブル電力制御 (PPC)

このモードでは、必要最大出力負荷に対応するために必要な固定レベルに V_{DPC+} 電圧を設定することができます。

出力電圧セトリング時間

出力電圧セトリング時間は、フルスケール入力変化に対して、出力が指定されたレベルに安定するまでに要する時間です。この仕様は、DPC 機能の設定方法（有効、無効、または PPC モードが有効）と、外付けで使用する DC/DC インダクタおよびコンデンサ部品の特性によって異なります。

スルー・レート

デバイスのスルー・レートは、出力電圧の変化率の制限です。通常、電圧出力 DAC の出力変化率は、その出力に使用するアンプのスルー・レートによって制限されます。スルー・レートは出力信号の 10%~90% で測定され、 $V/\mu s$ で表されます。

パワーオン・グリッチ・エネルギー

パワーオン・グリッチ・エネルギーは、ADFS5758 のパワーオン時にアナログ出力に混入するインパルスで、グリッチの面積を表す単位 nV-sec で仕様規定されます。

デジタル/アナログ・グリッチ・エネルギー

デジタル/アナログ・グリッチ・エネルギーは、DAC 出力レジスタの入力コードが変化したときにアナログ出力に混入するインパルスのエネルギーです。通常は nV-sec で表すグリッチの面積として仕様規定されます。普通、最も厳しいケースは、メジャー・キャリー遷移 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB だけ変化したときです。

グリッチ・インパルス・ピーク振幅

グリッチ・インパルス・ピーク振幅は、DAC 出力レジスタの入力コードの状態が変化したときにアナログ出力に混入するインパルスのピーク振幅です。通常はミリボルトで表したグリッチの振幅として規定され、普通、最も厳しいケースは、メジャー・キャリー遷移 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB 変化したときです。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力が更新されていないときに (LDAC ピンをハイに維持)、DAC のデジタル入力から DAC のアナログ出力に混入するインパルスを表します。これは nV-sec 単位で仕様規定され、データ・バス上でのフルスケール・コード変更時に測定されます。

電源電圧変動除去比 (PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。

動作原理

ADFS5758 はシングルチャンネルの高精度電圧および電流出力 DAC で、産業用ファクトリ・オートメーションやプロセス制御のアプリケーションの要求を満足できるように設計されています。ADFS5758 は、ユニポーラ/バイポーラの電流または電圧出力を生成する高精度の集積化シングルチップ・ソリューションです。パッケージの消費電力はオンチップ DPC の採用により最小限に抑えられていますが、これは、オンチップ消費電力をできるだけ小さくできるように最適化された降圧 DC/DC コンバータを使用し、 V_{IOUT} 出力ドライバへの電源電圧 (V_{DPC+}) を 4.95V~27V の範囲に調整することによって実現されています。ADFS5758 は 2 ダイ・ソリューションとして構成されており、DC/DC ダイ上に DC/DC 変換回路と V_{IOUT} ライン・プロテクタが配置され、メイン・ダイ上にその他の回路が組み込まれています。これらのダイ間の通信は、内蔵の 3 線式インターフェースを介して行います。

機能安全動作

ADFS5758 は、モニタリング機能と診断機能を内蔵した DAC です。ADFS5758 は IEC 61508 のすべての関連条件を満たしており、TÜV Rheinland の認証を受けています。このデバイスは、ハードウェア故障基準 (PFH、SFF) に関し冗長構成のシステムで SIL 2 の条件を満たすほか、IEC 61508 による系統誤差回避に関して SC3 の決定論的能力を備えています。また、診断測定能力を強化するために独立した ADC を内蔵しています。ADFS5758 用に定義された安全機能は、デジタル入力コードを使ってフルスケール・レンジの $\pm 2.5\%$ 以内の出力ユニポーラ電流を生成します。生成される電流は、デジタル入力コードに比例した値になります。例えば、4mA~20mA 範囲の 2.5% は 400 μ A です。したがって、出力電流は設定出力の $\pm 400\mu$ A 以内になります。安全機能が損なわれた場合 (システムに故障が検出された場合)、ADFS5758 の安全状態はオープン・サーキットまたは高インピーダンスです。ある仮定的な使用例における ADFS5758 の診断範囲 (DC) は、90% を上回ります。機能安全アプリケーションにおける ADFS5758 の構成、動作、SFF 計算、FIT データ、およびその他の必要な基準についての詳細は、ADFS5758 安全マニュアルに記載されています (安全マニュアルはお求めに応じて提供しています)。ダイとピンの FME(D)A も完了しており、その結果は (安全マニュアルに加えて) アナログ・デバイセズから入手することができます。必要な場合はお申し付けください。

DAC アーキテクチャ

ADFS5758 の DAC コア・アーキテクチャは、電圧モード R-2R ラダー回路で構成されています。DAC コアの電圧出力は、 V_{IOUT} ピンの電流または電圧出力に変換されます。複数のモードを同時に有効にすることはできません。電圧出力段も電流出力段も、電源は V_{DPC+} 電源レール (AV_{DD1} から内部で生成) と AV_{SS} レールから供給されます。

電流出力モード

電流出力モードを有効にすると、DAC からの電圧出力が電流に変換されます (図 74 参照)。更にこれが、アプリケーションからは電流源出力だけが見えるように、電源レールにミラーされます。

使用できる電流範囲は、0mA~20mA、0mA~24mA、4mA~20mA、 ± 20 mA、 ± 24 mA、および -1mA~+22mA です。電圧から電流への変換には、内蔵または外付けの R_{SET} 抵抗 (13.7k Ω) を使用できます。

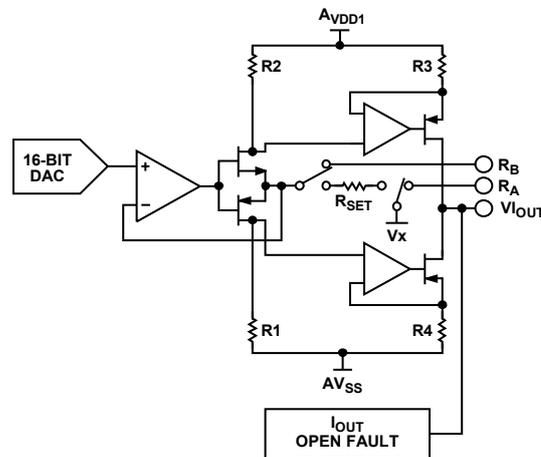


図 74. 電圧電流変換回路

電圧出力モード

電圧出力モードを有効にすると、DAC からの電圧出力にバッファリングとスケールリングが行われ、ソフトウェアで選択可能なユニポーラまたはバイポーラ電圧範囲が出力されます (図 75 参照)。

使用可能な電圧範囲は 0V~5V、 ± 5 V、0V~10V、および ± 10 V です。DAC_CONFIG レジスタを介して 20% のオーバーレンジ機能を使用することもでき、更に GP_CONFIG1 レジスタを介してユニポーラ電圧範囲を負側にオフセットすることも可能です (汎用設定 1 レジスタのセクションを参照)。

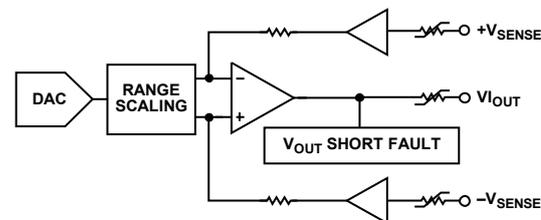


図 75. 電圧出力

リファレンス

ADFS5758 は、外付けまたは内蔵のリファレンス電圧で動作させることができます。リファレンス入力では、規定の性能に対して 2.5V のリファレンス電圧が必要です。この入力電圧は内部的にバッファされた後に DAC へ供給されます。

ADFS5758 はバッファ付き 2.5V 電圧リファレンスを内蔵しています。このリファレンスは外部にも使用可能で、システム内の任意の場所に使用することができます。内蔵リファレンスは組み込みの 12 ビット ADC を駆動します。内蔵リファレンスを使用して DAC を駆動するには、REFOUT を REFIN に接続する必要があります。

シリアル・インターフェース

ADFS5758 は、最大 50MHz のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 4 線式シリアル・インターフェースを介して制御されます。データ・コーディングは常にストレート・バイナリです。

入力シフト・レジスタ

SPI CRC を有効にした状態（デフォルト状態）での入力シフト・レジスタは、32 ビット幅です。データは、シリアル・クロック入力 SCLK の制御の下に、32 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、シリアル・インターフェースは 24 ビットに減少します。この場合も 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。SPI インターフェースを介してアドレス指定できるレジスタの詳細については、[レジスタ・マップ](#)のセクションを参照してください。

表 7. レジスタへの書き込み（CRC は有効）

MSB		LSB		
D31	D30:D29	D28:D24	D23:D8	D7:D0
Slip Bit	ADFS5758 address	Register address	Data	CRC

伝達関数

±5V 出力範囲のストレート・バイナリ・データ・コーディング用に、ADFS5758 における入力コードと最適出力電圧の関係を表 8 に示します。

表 8. 最適出力電圧と入力コードの関係

Digital Input, Straight Binary Data Coding				Analog Output
MSB		LSB		V_{OUT}
1111	1111	1111	1111	$+2 \times V_{REF} \times (32,767/32,768)$
1111	1111	1111	1110	$+2 \times V_{REF} \times (32,766/32,768)$
1000	0000	0000	0000	0 V
0000	0000	0000	0001	$-2 \times V_{REF} \times (32,767/32,768)$
0000	0000	0000	0000	$-2 \times V_{REF}$

ADFS5758 のパワーオン状態

最初のパワーオン時、またはデバイスのリセット時は、電圧および電流出力チャンネルがディスエーブルされています。30kΩ のプルダウン抵抗を介して V_{IOUT} と AGND を接続するスイッチは開いています。このスイッチは DCDC_CONFIG2 レジスタで設定できます。 V_{DPC+} はパワーオン時に内部で 4.8 V に駆動され、DC/DC コンバータがイネーブルされるまでその状態が保たれます。

デバイスのパワーオン後またはリセット後は、キャリブレーション・メモリのリフレッシュ・コマンドが必要です（[エコー・モード](#)のセクションを参照）。このコマンドを書き込んだ後は、内部キャリブレーションを行うための時間を取るように、次の命令を書き込むまで少なくとも 500μs 待機することを推奨します（[図 93](#) 参照）。

パワーオン・リセット

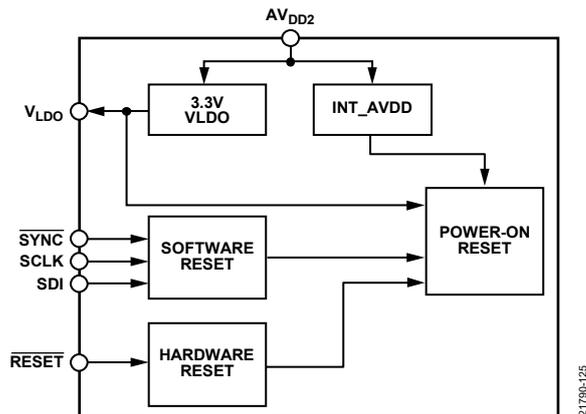


図 76. パワーオン・リセットのブロック図

ADFS5758 は、電源が信頼できる動作に十分なレベルになるまで ADFS5758 をリセット状態に保持できるように、パワーオン・リセット回路を採用しています。パワーオン・リセット回路（[図 76](#) 参照）は、 AV_{DD2} から生成される VLDO と INT_AVCC 電圧、RESET ピン、および SPI リセット信号をモニタします。パワーオン・リセット回路は、VLDO と INT_AVCC ノードの電圧が信頼できる動作に十分なレベルに達するまで、ADFS5758 をリセット状態に保持します。パワーオン回路が RESET ピンからの信号を受け取った場合、または SPI インターフェースを介して ADFS5758 にソフトウェア・リセットが書き込まれた場合、ADFS5758 はリセットされます。リセットから 100μs 以内の間は、SPI コマンドをデバイスに書き込まないでください。

電源に関する考慮事項

ADFS5758 には 4 つの電源レールがあります。 AV_{DD1} 、 AV_{DD2} 、 AV_{SS} 、 V_{LOGIC} です。これら 4 つの電源レールの電圧範囲と対応する条件については、[仕様](#)のセクションを参照してください。

AV_{DD1} に関する考慮事項

AV_{DD1} は DC/DC コンバータ用の電源レールで、電圧範囲は 7V～33V です。 AV_{DD1} の最大値は 33V、 AV_{SS} の最小値は -33V ですが、 $|AV_{DD1} - AV_{SS}|$ の最大動作範囲は 60V です。 V_{DPC+} は AV_{DD1} から供給され、その値は DC/DC コンバータの動作モードによって異なります。

DC/DC コンバータを使用する場合は、DC/DC 回路を正常に動作させるために、 AV_{DD1} と V_{DPC+} の間に十分なレベルのマージンを維持する必要があります。このマージンは、選択した動作モードにおける最大 V_{DPC+} 電圧の 5% です。

表 9. $AV_{DD1} \sim V_{DPC+}$ のマージン

Mode of Operation	V_{DPC+} Maximum
DPC Voltage Mode	15 V
DPC Current Mode	$(I_{OUT\ maximum} \times R_{LOAD}) + I_{OUT\ headroom}$
PPC Current Mode	DCDC_CONFIG1, Bits[4:0] programmed value

DC/DC コンバータの動作モードの詳細については、[消費電力制御](#)のセクションを参照してください。

電源電圧の計算

DPC 電流モードの場合、電圧値と電流値は次式で計算します。

$$V_{DPC+ \text{ Maximum}} = I_{OUT \text{ Maximum Voltage}} + I_{OUT \text{ Headroom}} = 22.5V$$

ここで、

$I_{OUT \text{ Maximum}} = 20\text{mA}$ ($R_{LOAD} = 1\text{k}\Omega$)、

$I_{OUT \text{ Maximum Voltage}}$ は $I_{OUT \text{ Maximum}} \times R_{LOAD} = 20V$ 、

$I_{OUT \text{ Headroom}} = 2.5V$ 、

$|V_{DPC+} \sim AV_{DD1}|$ のヘッドルームは、 $22.5V$ の $5\% = 1.125V$ と計算できます。したがって、最小 $AV_{DD1} = 22.5V + 1.125V = 23.625V$ となります。最も厳しいケースの AV_{DD1} 電源レール許容差を $\pm 10\%$ とすると、この例では約 $26.25V$ の AV_{DD1} 電源レールが必要です。

AV_{SS}に関する考慮事項

AV_{SS} は負の電源レールで、電圧範囲は $-33V \sim 0V$ です。 AV_{DD1} の場合同様、 AV_{SS} も $|AV_{DD1} \sim AV_{SS}| = 60V$ の最大動作範囲に従う必要があります。バイポーラ電流出力範囲の場合、最大 AV_{SS} は $(I_{OUT_MAX} \times R_{LOAD}) + I_{OUT}$ フットルームと計算できます。ユニポーラ電流出力範囲の場合、 AV_{SS} は AGND (つまり $0V$) に接続できます。ユニポーラ電圧出力範囲の場合、内部電圧出力回路用に十分なフットルームを確保できるように、最大 AV_{SS} は $-2V$ となります。また、電源シーケンシングに関する問題を避けるために、 AV_{SS} と GND の間にショットキー・ダイオードを置く必要があります (常に GND 電源を使用できなければなりません)。

AV_{DD2}に関する考慮事項

AV_{DD2} は正の低電圧電源レールで、電圧範囲は $5V \sim 33V$ です。使用できる正の電源レールが1つだけの場合は、 AV_{DD2} を AV_{DD1} に接続することができます。ただし、最適化して消費電力を減らすには、独立した低電圧電源を使って AV_{DD2} に電源を供給してください。

V_{LOGIC}に関する考慮事項

V_{LOGIC} はデバイス用のデジタル電源で、電圧範囲は $1.71V \sim 5.5V$ です。 V_{LOGIC} は、 $3.3V$ の V_{LDO} 出力電圧を使って駆動できます。

デバイス特性と診断機能

消費電力制御

ADFS5758 は出力バッファへの電源を制御する DC/DC コンバータ回路を内蔵しており、デバイスを電流出力モードで使用する場合も電圧出力モードで使用する場合も、標準的な設計より消費電力を減らすことができます。AV_{DD1} は DC/DC コンバータ用の電源レールで、電圧範囲は 7V~33V です。V_{DPC+} はこのレールから供給され、その値は、DPC 電圧モード、DPC 電流モード、PPC 電流モードなどの DC/DC コンバータの動作モードと、出力負荷によって異なります。

図 77 に、DC/DC 回路に必要とされるディスクリート部品を示します。更に次のセクションで、この回路の部品の選択と動作について説明します。

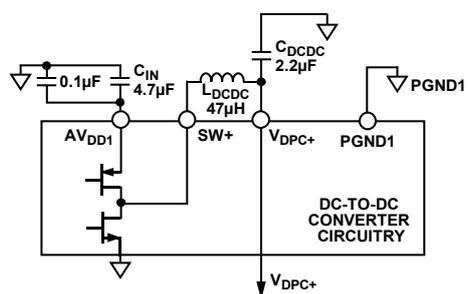


図 77. DC/DC 回路

表 10. 推奨 DC/DC 部品

Symbol	Component	Value	Manufacturer
L _{DCCDC}	LPS4018-473MRB	47 µH	Coilcraft
C _{DCCDC}	GCM31CR71H225KA55L	2.2 µF	Murata
C _{IN}	GRM31CR71H475KA12L	4.7 µF	Murata

DC/DC コンバータの動作

DC/DC コンバータは 500kHz の固定周波数によるピーク電流モード制御方式を使い、AV_{DD1} 入力を降圧して V_{DPC+} を生成し、電圧/電流出力チャンネルのドライバ回路に電源を供給します。DC/DC コンバータはローサイド同期スイッチを使用しているので、外部ショットキー・ダイオードは不要です。DC/DC コンバータは主に不連続導通モード (DCM) で動作するように設計されており、スイッチング・サイクルのかなりの部分でインダクタ電流がゼロになります。V_{DPC+} 安定化出力電圧レールに低い周波数の高調波が生じるのを避けるために、DC/DC コンバータはいずれのサイクルもスキップしません。したがって、DC/DC コンバータが固定周波数で動作するためには、最小限のエネルギーをその負荷（つまり、電流または電圧出力段とそれらの負荷）に転送する必要があります。このため、軽負荷の場合（例えば R_{LOAD} や I_{OUT} が小さい場合）は、V_{DPC+} 電圧が目標値を超えて調整範囲を外れてしまうことがあります。これは故障状態ではなく、アプリケーションの最も厳しいケースの消費電力状態を表すものでもありません。

DC/DC コンバータを使用する場合は、DC/DC 回路を正常に動作させるために、AV_{DD1} と V_{DPC+} の間に十分なレベルのマーヅンを維持する必要があります。このマーヅンの値は、最大 V_{DPC+} の 5% です。

DPC 電圧モード

DPC 電圧モードでは、電圧出力をイネーブルまたはディスエーブルした状態で、コンバータが V_{DPC+} 電源を -V_{SENSE} 電圧より 15V 高い値に調整します。このモードでは、対応するリモート・グラウンドを ADFS5758 のローカル・グラウンド電源 (AGND) に対して最大 ±10V の電位とすることで、すべてのリモート負荷に対して全出力電圧範囲を効率的に使用することができます。

DPC 電流モード

標準的な電流入力モジュール・デザインでは、ライン抵抗と負荷抵抗の合計値を 50Ω~750Ω の範囲とすることができます。出力モジュール・システムは負荷抵抗値の全範囲でコンプライアンス電圧条件を満たすために十分な電圧を供給する必要があります。例えば、4mA~20mA ループで 750Ω の負荷に対して 20mA を駆動する場合は、コンプライアンス電圧を 15V より大きくする必要があります。50Ω の負荷に対して 20mA を駆動する場合に必要なコンプライアンス電圧は 1V 超で、前述の場合より小さくなります。

DPC 電流モードでは、ADFS5758 の DC/DC 回路が出力電圧を検出して V_{DPC+} 電源電圧を調整し、コンプライアンス条件を満たすと共に出力バッファ用にヘッドルーム電圧を最適化します。V_{DPC+} は、4.95V または (I_{OUT} × R_{LOAD} + ヘッドルーム) のいずれか大きい方に動的にレギュレーションされます。このレギュレーションでは V_{DPC+} 電圧が目標値を超えるおそれのあるような軽負荷状態は除外されますが、これはアプリケーションにおける最も厳しいケースの消費電力状態を表すものではありません。入力電源が (24V + ヘッドルーム) の場合、ADFS5758 は 1kΩ の負荷を介して最大 24mA を駆動することができます。

低出力電力レベルでは調整後のヘッドルームが 2.3V を超えますが、これは DC/DC 回路が最小オン時間の ADFS5758 サイクルを使用することによります。この動作は予想されたもので、最も厳しいケースの消費電力には影響しません。

PPC 電流モード

DC/DC コンバータはプログラマブル電力制御モードでも使用可能で、この場合はユーザが V_{DPC+} 電圧を所定のレベルにプログラムして、必要な最大出力負荷に対応させます。このモードは、DPC 電流モードの最適電力効率と、固定電源時 (DC/DC 変換は無効) におけるシステムのセトリグ時間のトレードオフを表すものです。PPC 電流モードでは、-V_{SENSE} を基準として、V_{DPC+} が 5V~25.677V のユーザ・プログラム・レベルに調整されます (0.667V ステップ)。このモードは、セトリグ時間が設計の重要条件である場合に有用です。DC/DC コンバータのセトリグ時間のセクションを参照してください。負荷が非直線的な性質を持つ場合は、V_{DPC+} のプログラム・レベルを選択する際に注意が必要です。出力コンプライアンス電圧仕様を満たすには、V_{DPC+} を十分に高い値に設定する必要があります。負荷が未知の場合は、ADC への +V_{SENSE} 入力を使用して電流モードで VI_{OUT} ピンをモニタし、V_{DPC+} のユーザ設定値を決定することができます。

DC/DC コンバータのセトリング時間

DPC 電流モードにおけるセトリング時間は DC/DC コンバータのセトリング時間に支配され、通常その値は、デジタル・スルー・レート制御機能なしで 200 μ s です。VI_{OUT} へのコンデンサ追加とそれによる HART 動作への影響なしで初期 VI_{OUT} 波形のオーバーシュートを軽減するには、DAC_CONFIG レジスタ (表 34 参照) を使用してデジタル・スルー・レート制御機能を有効にします。

DC/DC コンバータの各モードにおける標準的なセトリング時間を表 11 に示します。すべての値は、表 10 に示すアナログ・デバイス推奨部品を使用することを前提としています。任意のアプリケーションにおいて実現可能なセトリング時間は、使用する外部インダクタ部品とコンデンサ部品、および DC/DC コンバータの電流制限設定によって異なります。

表 11. DC/DC コンバータのモードとセトリング時間

DC-to-DC Converter Mode	Settling Time (μ s)
DPC Current Mode	200
PPC Current Mode	15
DPC Voltage Mode	15

DC/DC コンバータのインダクタの選択

標準的な 4mA~20mA アプリケーションでは、47 μ H のインダクタ (表 10 による) と 500kHz のスイッチング周波数を組み合わせることにより、(24V + ヘッドルーム) より大きい AV_{DDI} 電源を使用して、最大 1k Ω の負荷抵抗に対し 24mA を駆動することができます。ピーク電流によってインダクタが飽和しないようにすることが重要で、特に最大周囲温度における飽和に注意する必要があります。インダクタが飽和状態になると効率が低下します。また、インダクタのサイズを大きくするとコア損失が小さくなります。ADFS5758 のスルー・レート制御機能は、スルーイング時のピーク電流の制限に使用できます。適切な電流制限を設定して (DCDC_CONFIG2 レジスタを使用)、インダクタ電流がその制限値に達した場合は内部スイッチをシャットオフしてください。

DC/DC コンバータの入力コンデンサと出力コンデンサの選択

出力コンデンサ C_{DCDC} は DC/DC コンバータのリップル電圧に影響を与えるため、出力電流の増加率を決定する最大スルー・レートが制限されます。リップル電圧と出力容量の間には直接的な関係があります。アナログ・デバイスの推奨する C_{DCDC} コンデンサ (表 10 参照) と 47 μ H のインダクタを組み合わせると、500kHz リップルの振幅を 50mV 未満とすることができ、安定性が確保されると共に、すべての動作モードで HART 機能を使用できるようになります。

高電圧コンデンサでは、多くの場合、コンデンサのサイズが電荷保存能力を知る良い目安となります。そのコンデンサの DC バイアス電圧と容量の関係を示す曲線を使い、特性評価を行うことは重要です。仕様規定されたすべての容量値は、そのアプリケーションの最大 V_{DPC+} 電圧に対応する DC バイアスを基準としています。また、所定のアプリケーションに対して、コンデンサの電圧定格と温度範囲も考慮する必要があります。表 10 に示す部品の選択にあたっては、これらの点を考慮することが鍵となります。

入力コンデンサ C_{IN} は DC/DC コンバータに必要とされるダイナミック電流の大部分を供給するため、等価直列抵抗 (ESR) の低い部品が推奨されます。ADFS5758 には、4.7 μ F (1206 サイズ) の低 ESR タンタル・コンデンサまたはセラミック・コンデンサを、0.1 μ F (0402 サイズ) のコンデンサと並列に使用することを推奨します。セラミック・コンデンサは DC バイアス電圧と温度に敏感なため、慎重に選択する必要があります。X5R または X7R 誘電セラミックは、広い動作電圧と温度範囲で安定しているため、これらのコンデンサの使用が望まれます。タンタル・コンデンサを選択する場合は、低 ESR 値になるよう注意する必要があります。

CLKOUT

ADFS5758 は、同期用の CLKOUT 信号をシステムに供給します。この信号は、416kHz~588kHz の範囲で 8 つの周波数オプションに設定することができます。デフォルトのオプションは 500kHz で、これは DC/DC コンバータのスイッチング周波数と同じです。この機能は GP_CONFIG1 レジスタで設定し、デフォルトでは無効になっています。

ダイ間の 3 線式インターフェース

ADFS5758 内にある 2 つのダイ間の通信には 3 線式インターフェースが使われます。3 線式インターフェースのマスタはメイン・ダイに置かれ、スレーブは DC/DC ダイに置かれています。インターフェース信号は、データ、DCLK (MCLK/8 で動作)、および割込みの 3 つです。

3 線式インターフェースの主な目的は、DCDC_CONFIG1 レジスタと DCDC_CONFIG2 レジスタに対して読み出しと書き込みを行うことです。内部の 3 線式インターフェースによるメイン・ダイから DC/DC ダイへの転送は、SPI インターフェースを介してこれらのレジスタのアドレスを指定することから開始します。メイン・ダイ上にある 3 線式インターフェースのマスタは、DCLK をシリアル・クロックとして使用し、DC/DC ダイ上のレジスタへの書き込みと読み出しを開始します。スレーブは、割込み信号を使用して、DC/DC ダイの内部ステータス・レジスタの読み出しが必要であることを示します。

3 線式インターフェースによる書き込み時には、その都度自動的に読み出しと比較のプロセスを有効にして (デフォルト・ケース)、メイン・ダイ上の DCDC_CONFIGx レジスタのコピーの内容が DC/DC ダイ上のレジスタの内容と一致していることを確認できます。この比較は、DC/DC ダイのデジタル回路が正常であることを確認するために行われます。この機能を有効にした状態での 3 線式インターフェースの転送には、約 300 μ s かかります。無効にすると、この転送時間は 30 μ s に減少します。

3 線式インターフェース・トランザクションの間は、DCDC_CONFIG2 レジスタの BUSY_3WI フラグがアサートされます。BUSY_3WI フラグは、(DAC_CONFIG レジスタのビット [4:0] を介して) DAC 範囲を更新する際にもセットされます。これは、この操作によって内部キャッシュ・メモリがリフレッシュされるためですが、更新時には 2 つのダイ間で 3 線式インターフェースによる転送が必要になります。BUSY_3WI がアサートされている間は、どの DCDC_CONFIGx レジスタへも書き込みを始めることはできません。書き込みが発生した場合、新しい書き込みは、現在の 3 線式インターフェース (3WI) 転送が完了するまで遅延させられます。

3 線式インターフェースの診断

DC/DC ダイ上で何らかの異常が発生すると、メイン・ダイへの割込みがトリガされて DC/DC ダイの自動ステータス読出しが行われます。読出しトランザクションの後、メイン・ダイは DC/DC ダイのステータス・ビット (VIOUT_OV_ERR、DCDC_P_SC_ERR、DCDC_P_PWR_ERR) のコピーを保持します。これらの値は ANALOG_DIAG_RESULTS レジスタ内に保持され、OR 演算で求められたステータス・レジスタ内のアナログ診断結果ビットを介して知ることができます。これらのビットは FAULT ピンのトリガも行います。

割込み要求への応答の中で、メイン・ダイ (マスタ) は 3 線式インターフェース読出し動作を実行して DC/DC ダイのステータスを読み出します。割込みはその後の DC/DC ダイ異常フラグによってのみ再度アサートされ、これによって 3 線式インターフェースはもう 1 つのステータス読出しトランザクションを開始します。割込み信号が 6 回連続で検出された場合は、3 線式インターフェースの書き込みトランザクションが 1 つ完了するまで割込み検出メカニズムが無効になります。この無効化は、割込みをトグルする際に、DC/DC ダイのステータスを連続して読み出すことによって 3 線式インターフェースがブロックされるのを防ぎます。DCDC_CONFIG2 レジスタの INTR_SAT_3WI フラグはこのイベントがいつ発生したかを示し、どちらかの DCDC_CONFIGx レジスタに書き込みを行うと、このビットが 0 にリセットされます。

3 線式の読出しまたは書き込み動作中、トランザクション内のアドレス・ビットとデータ・ビットはパリティ・ビットを生成します。これらのパリティ・ビットは受信側でチェックされ、両方のダイでこれらのビットが一致しない場合は、DIGITAL_DIAG_RESULTS レジスタの ERR_3WI ビットがセットされます。読出しおよび比較プロセスが有効な状態でパリティ・エラーが発生すると、DIGITAL_DIAG_RESULTS レジスタの BKGND_CRC_ERR ビットもセットされます。

FAULT_INJECT_3WI ビット (GP_CONFIG2 レジスタ内) は、3 線式インターフェースの診断が正しく機能していることをチェックするために使用できます。

電圧出力

電圧出力アンプと V_{SENSE} の機能

電圧出力アンプはユニポーラ出力電圧とバイポーラ出力電圧の両方を生成できるほか、2 μ F の容量 (外付けの補償コンデンサを使用) と並列で AGND に接続された 1k Ω の負荷を駆動することもできます。±10V の共通モード電圧 (V_{CM}) で負荷 R_{LOAD} を駆動する電圧出力を、図 78 に示します。デバイスに組み込まれた 2M Ω の抵抗はアンプ・ループを閉じた状態に保つので、ケーブルと +V_{SENSE} の接続が失われる可能性のあるアプリケーションで、アンプ・ループが失われることにより VIOUT に大きな破壊的電圧がかかるおそれなくなります。負荷のリモート検出が必要な場合は、+V_{SENSE} を直接 VIOUT に接続し、-V_{SENSE} を直接 AGND に接続します。どちらも 1k Ω の抵抗を使って接続してください。

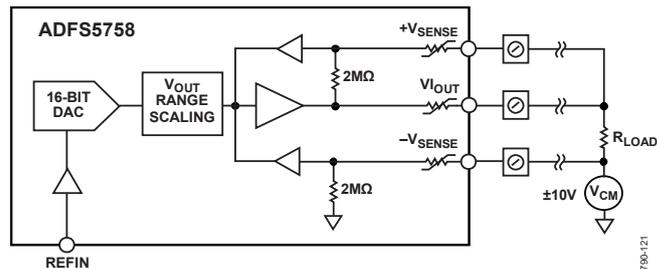


図 78. 電圧出力

大きい容量性負荷の駆動

電圧出力アンプは、220pF の無極性補償コンデンサを追加することによって、2 μ F までの容量性負荷を駆動することができます。このコンデンサは、ADFS5758 がより大きな容量性負荷を駆動すると共にオーバーシュートを小さくすることを可能にしますが、デバイスのセトリング時間が長くなり、その結果システムの帯域幅に影響を与えます。補償コンデンサなしで駆動できる容量性負荷は最大 10nF です。

電圧出力短絡保護

通常動作時、電圧出力は最大 12mA をシンク/ソースし、仕様規定された動作を維持します。短絡電流は通常 15mA です。短絡が検出されると、FAULT ピンがロー・レベルになり、ANALOG_DIAG_RESULTS レジスタの VOUT_SC_ERR ビットがセットされます。

故障の保護

ADFS5758 の VIOUT ピン、+V_{SENSE} ピン、および -V_{SENSE} ピンにはライン・プロテクタが組み込まれています。ライン・プロテクタは、ライン・プロテクタ内部の電圧を V_{DPC+} および AV_{SS} レールにクランピングすることによって動作し、それによって外部の電圧異常から内部回路を保護します。これらの制限値を外れる電圧が VIOUT ピン上で検出された場合は、エラー・フラグ (VIOUT_OV_ERR) もセットされます。このフラグは ANALOG_DIAG_RESULTS レジスタ内にあります。

電流出力

電流設定外付け抵抗

図 74 に示すように、R_{SET} は内部検出抵抗で、電流変換回路の電圧の一部を形成します。温度に対する出力電流の安定性は、R_{SET} 値の安定性に依存します。温度に対して出力電流を安定させる方法の 1 つとして、ADFS5758 の R_A ピンと R_B ピンの間に低ドリフトの 13.7k Ω 外付け抵抗を接続して、内蔵抵抗の代わりに使用することができます。

表 1 に、内蔵の R_{SET} 抵抗使用時と 13.7k Ω の外付け R_{SET} 抵抗使用時の ADFS5758 の性能仕様を示します。外付け R_{SET} 抵抗の仕様は、理想抵抗と仮定した場合のもので、実際の性能は、使用する抵抗の絶対値と温度係数によって異なります。したがって、抵抗仕様は出力のゲイン誤差と TUE に直接影響します。

特定の外付け R_{SET} 抵抗を使った出力の最も厳しいケース時の絶対 TUE を求めるときは、 R_{SET} 抵抗のパーセント絶対誤差を、表 1 に示す外付け R_{SET} 抵抗使用時の ADFS5758 の TUE (% FSR で表示) に加算します。このオプションをシステムに使用する場合は、温度係数と外部リファレンスの仕様も考慮する必要があります。

外付けの R_{SET} 抵抗と外部リファレンス両方の絶対誤差および TC 誤差を、ADFS5758 の TUE 仕様に単純に加算することによって求めた誤差が、大きな値となる可能性は高くありません。これは、個々の部品の温度係数が同じドリフト極性を示すことはあまり考えられず、相殺される要素があるためです。このため、温度係数は二乗和平方根の形で加えます。これは、ゼロ・スケールとフル・スケールでの 2 点キャリブレーションを行うことによって更に改善できるので、電圧リファレンスと R_{SET} 抵抗の絶対誤差は減少します。

電流出力オープン・サーキット検出

電流出力モードにおいて、オープン・サーキットや電源電圧不足のために、使用可能なヘッドルームがコンプライアンス範囲未満に低下した場合は、ANALOG_DIAG_RESULTS レジスタの IOUT_OC_ERR フラグがアサートされて、FAULT ピンがローになります。

HART 接続

ADFS5758 には C_{HART} ピンがあり、ここに HART 信号を結合することができます。GP_CONFIG1 レジスタの HART_EN ビットがイネーブルされて V_{IOUT} 出力もイネーブルされている場合は、HART 信号が電流出力に現れます。

図 79 に、HART 信号を減衰させて ADFS5758 に接続するための推奨回路を示します。 V_{IOUT} ピンを $1mAp-p$ とするには、 C_{HART} ピンに約 $125mVp-p$ の信号が必要です。 V_{IOUT} ピンに現れる HART 信号は、 C_{HART} ピンの信号入力を基準に反転されます。

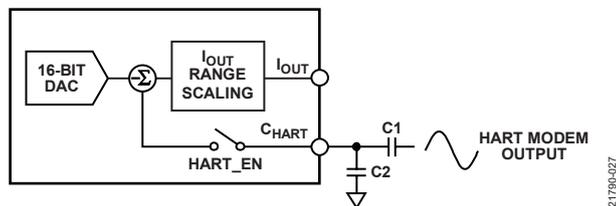


図 79. HART 信号の結合

$C1$ と $C2$ は受信 HART モデム信号を減衰させるのに使用しますが、これに加えて $1.2kHz$ と $2.2kHz$ の周波数がモデム出力信号用の帯域幅を通過できるようにするために、組み合わせ時の最小容量を確保する必要があります。HART 信号が $500mVp-p$ とすると、推奨値は、 $C1 = 47nF$ 、 $C2 = 150nF$ です。HART 変化条件のアナログ・レートを満たすためには、出力スルー・レートのデジタル的な制御が必要です。

HART 機能が必要ない場合は、HART_EN ビットをディスエーブルして C_{HART} ピンを未接続のままにします。しかし、コンデンサを使って DAC 出力信号の速度を下げる必要がある場合は、HART_EN ビットをイネーブルして、必要な C_{SLEW} コンデンサを C_{HART} ピンに接続しなければなりません。

スルー・レートのデジタル制御

ADFS5758 のスルー・レート制御機能により、出力値が変化するレートを制御することができます。この機能は電流モードと電圧モードの両方で使用できます。スルー・レート制御機能を無効にすると、出力値は、出力駆動回路と接続された負荷で制限されるレートで変化します。スルー・レートを下げるには、スルー・レート制御機能を有効にします。この機能を有効にすると、出力は、DAC_CONFIG レジスタを介してアクセスできる 2 つのパラメータで定義されるレートで、1 つの値から次の値へデジタル的に移行します。これらのパラメータは SR_CLOCK と SR_STEP です。SR_CLOCK はデジタル・スルーが更新されるレートを定義します。例えば、選択した更新レートが $8kHz$ の場合、出力は $125\mu s$ ごとに更新されます。SR_STEP は SR_CLOCK と組み合わせ使用し、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されます。

次式は、スルー・レートをステップ・サイズ、更新クロック周波数、LSB サイズの関数として表します。

$$Slew\ Time = \frac{Output\ Change}{Step\ Size \times Slew\ Rate\ Frequency \times LSB\ Size}$$

ここで、

$Slew\ Time$ の単位は秒です。

$Output\ Change$ は、電流出力モードではアンペア数、電圧出力モードではボルト数で表されます。

$Step\ Size$ は LSB ステップ・サイズです (例えば、 $LSB = 20mA$ レンジ/2¹⁶)。

$Slew\ Rate\ Frequency$ は SR_CLOCK です。

$LSB\ Size$ は SR_STEP です。

スルー・レート制御機能を有効にすると、設定されたスルー・レートですべての出力が変化します。例えば、WDT がタイムアウトして自動クリアが実行される場合は、設定されたスルー・レートで出力がクリア値まで増加していきます (GP_CONFIG1 レジスタの CLEAR_NOW_EN ビットをセットすると、このデフォルト動作がオーバーライドされて直ちにクリア・コードが更新され、設定されたスルー・レートは使われません)。

与えられた値に対するスルー・レート周波数は、すべての出力範囲で同じです。ただし、ステップ・サイズは与えられたステップ・サイズ値に対応する出力範囲に応じて変わります。これは、LSB サイズが各出力範囲で異なるためです。

ADFS5758 アドレス・ピン

ADFS5758 アドレス・ピン (AD0 と AD1) は ADFS5758 アドレス・ビットと共に SPI フレーム内で使われ (表 12 参照)、システム・コントローラによってどの ADFS5758 デバイスのアドレスを指定するかを決定します。2 本のアドレス・ピンを使用すれば、1 つのボード上で最大 4 個のデバイスのアドレスを独立して指定することができます。

SPI インターフェースと診断機能

ADFS5758 は 4 線式のシリアル・インターフェースで制御され、8 ビットの巡回冗長検査 (CRC-8) がデフォルトで有効になっています。入力シフト・レジスタは 32 ビット幅で、データは、シリアル・クロック入力 SCLK の制御の下に MSB ファーストでデバイスにロードされます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、シリアル・インターフェースは 24 ビットに減少します。この場合でも 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。

表 12. レジスタへの書込み (CRC は有効)

MSB		LSB		
D31	D30:D29	D28:D24	D23:D8	D7:D0
Slip bit	ADFS5758 address	Register address	Data	CRC

表 12 に示すように、すべての SPI フレームには 2 個の ADFS5758 アドレス・ビットが含まれています。特定のデバイスがバス上の SPI フレームを受け入れるには、これらのビットがハードウェア ADFS5758 アドレス・ピン (AD0 と AD1) に一致していなければなりません。

SPI 巡回冗長検査

ノイズの多い環境でデータが正しく受信されたことを確認するため、ADFS5758 は 8 ビットのサイクリック冗長検査 (CRC-8) を採用した CRC 機能のオプションを提供します。ADFS5758 を制御するデバイスは、次の多項式を使って 8 ビット・フレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

このシーケンスがデータワードの終わりに追加されて 32 ビットが ADFS5758 へ送信され、その後 SYNC がハイ・レベルになります。

SPI_CRC_EN ビットがハイに設定されている場合 (デフォルト状態) は、幅がちょうど 32 ビットのフレーム (24 ビットのデータと 8 ビットの CRC) を使用する必要があります。CRC チェックにパスすると、選択されたレジスタにデータが書き込まれます。CRC チェックに合格しない場合は FAULT ピンがローになり、FAULT ピンのステータスとデジタル診断ステータス・ビット (DIG_DIAG_STATUS) がステータス・レジスタ内にセットされます。その後 DIGITAL_DIAG_RESULTS レジスタをリードバックすれば、SPI_CRC_ERR ビットもセットされていることがわかります。このレジスタはビットごとに書込みを行うことでクリアするレジスタです (詳細については、[スティッキー診断結果ビット](#)のセクションを参照)。したがって、SPI_CRC_ERR ビットは、DIGITAL_DIAG_RESULTS レジスタのビット D0 に 1 を書き込むことによってクリアできます。これを実行すると、SPI_CRC_ERROR ビットがクリアされて FAULT ピンがハイに戻ります (他にアクティブな故障がないものと仮定)。FAULT_PIN_CONFIG レジスタを設定する場合、SPI CRC エラーを FAULT ピンに反映させるかどうかはユーザが決定できます。詳細については、[FAULT ピン設定レジスタ](#)のセクションを参照してください。SPI CRC 機能は、データ・パケットの送信と受信両方に使用できます。

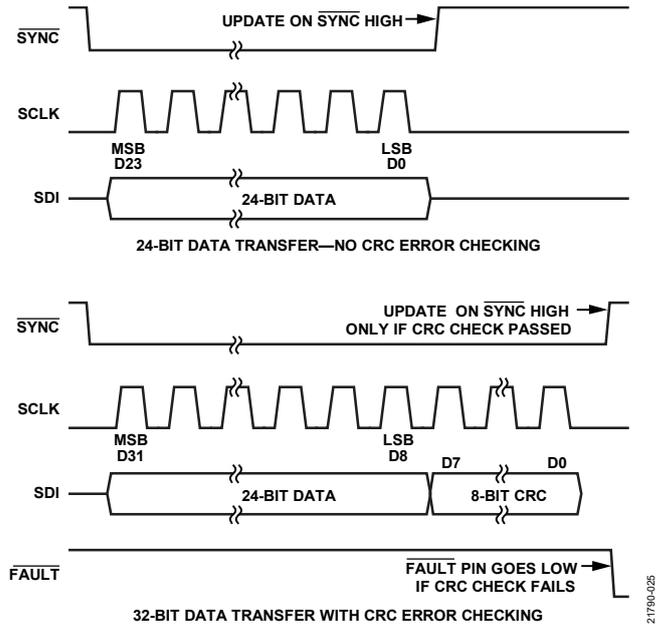


図 80. CRC タイミング (LDAC = 0 と仮定)

SPI インターフェース・スリップ・ビット

インターフェースにスリップ・ビットが追加されたことで、インターフェースの堅牢性が更に向上しています。フレームが有効であると見なすには、SPI フレームの MSB が MSB-1 を反転した値に等しくなければなりません。誤ったスリップ・ビットが検出された場合、そのデータは無視され、DIGITAL_DIAG_RESULTS レジスタの SLIPBIT_ERR ビットがアサートされます。

SPI インターフェースの SCLK カウント機能

SPI 診断機能には、SCLK カウント機能も組み込まれています。これは、ちょうど 32 個 (SPI CRC が有効な場合は 24 個または 32 個) の SCLK 立下がりエッジを持つ SPI フレームだけが、有効な書込みとしてインターフェースに受け入れられることを意味します。これらの値以外の SPI フレームは無視され、DIGITAL_DIAG_RESULTS レジスタに SCLK_COUNT_ERR フラグがアサートされます。

リードバック・モード

ADFS5758 には以下に示す 4 つのリードバック・モードがあります。

- 2 段リードバック・モード
- 自動ステータス・リードバック・モード
- 共有 SYNC 自動ステータス・リードバック・モード
- エコー・モード

2 段リードバックでは、専用レジスタ TWO_STAGE_READBACK_SELECT に書込みを行って、リードバックするレジスタの位置を選択します。この書込みの後には無操作 (NOP) コマンドが続き、その間は選択したレジスタの内容を SDO に使用することができます。

表 13. 読出し操作時の SDO の内容

MSB		LSB		
[D31:D30]	D29	[D28:24]	[D23:D8]	[D7:D0]
0b10	FAULT pin status	Register address	Data	CRC

ビット [D31:D30] = 0b10 はリードバック時の同期用に使われます。

自動ステータス・リードバック・モードを選択した場合は、毎回の SPI トランザクションの間、SDO ラインでステータス・レジスタの内容を出力することができます。この機能は、ステータス・レジスタを連続的にモニタして、故障発生時に迅速に対応することを可能にします。この機能は、ADFS5758 のパワーアップ時には無効になっています。この機能を有効にすると通常の 2 段リードバック機能は使用できなくなり、SDO で使用できるのはステータス・レジスタだけになります。他のレジスタをリードバックするには、2 段リードバック・シーケンスを行う前に、まず自動リードバック機能を無効にしてください。自動ステータス・リードバックは、そのレジスタのリードバック後に再び有効にできます。

共有 SYNC 自動ステータス・リードバックは自動ステータス・リードバックの特別なバージョンで、複数デバイスが同じ SYNC ラインを共有している場合に、SDO バスの競合を避けるために使われます。

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、すべてその前に行われた ADFS5758 へのコマンド書き込みのエコーで構成される点が異なります (図 81 参照)。リードバック・モードの詳細については、[レジスタからの読出し](#)のセクションを参照してください。



図 81. エコー・モードにおける SDO の内容

ウィンドウ・ウォッチドッグ・タイマー (WDT)

このウォッチドッグ・タイマー機能は、システム・コントローラと ADFS5758 間の通信が失われないようにして、SPI データバス・ラインが期待どおり機能するようにする上で有用です。

WDT をイネーブルすると、ユーザが設定したタイムアウト時間内に ADFS5758 が特定の SPI フレームを受信しなかった場合は、システムにアラートが送られます。有効なウォッチドッグ・キックは、WDT のパス・ウィンドウ内で受信される特定の SPI フレームです。特定 SPI フレームを受信した場合、ウォッチドッグは、タイムアウト・アラートを制御しているタイマーをリセットします。WDT をリセットするために使われる SPI フレームは、以下の 3 つの選択肢のいずれかに設定できます。

- 任意のレジスタへの有効な SPI 書き込み。
- キー・レジスタへの特定キー・コードの書き込み (デフォルト)。
- キー・レジスタへの特定キー・コードの 2 連続書き込み (デフォルト)。

図 82 に示すように、ウォッチドッグ・タイマーは中央閾値とウィンドウ幅を使用します。ウィンドウ幅は中央閾値の分数値です。例えば、中央閾値を 100ms に設定して、ウィンドウ幅をそ

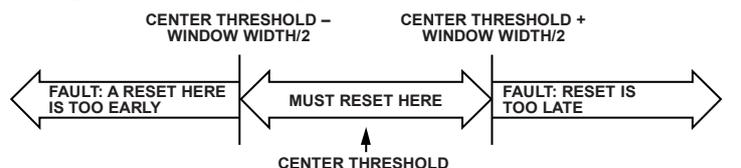


図 82. ウィンドウ・ウォッチドッグ・タイマー

の 1/2 に設定すると、有効な領域は 100ms ± 25ms です。75ms より前と 125ms より後の WDT キックは、異常としてレジスタに記録されます。WDT のウィンドウ機能は、ウィンドウ幅を 1/1 に設定することによって無効にできます。このシナリオでは、単純に、中央閾値前の任意の時点で WDT をキックする必要があります。これによって早すぎるリセットの可能性がなくなり、WDT の動作が単純化されます。できるだけ高い安全性を実現するには、このウィンドウ機能使用時に、タイムアウト・ウィンドウの範囲内で正しいキー (2 個のキーが有効になっている場合は 2 個) を書き込む必要があります。このタイミング・ウィンドウの前あるいは後に信号が届いた場合は、ウォッチドッグがタイムアウトして、ステータス・レジスタ内にある専用の WDT_STATUS ビットが WDT のタイムアウトを知らせます。DIGITAL_DIAG_RESULTS レジスタを読み出せば、WDT タイムアウトがキックの遅れによるものか早すぎによるものかを知ることができます。WDT タイムアウト発生時は、DIGITAL_DIAG_RESULTS レジスタ内のアクティブ WDT 故障フラグがクリアされるまで、DAC_INPUT レジスタへのすべての書き込みとハードウェアまたはソフトウェア LDAC イベントが無視されます。このフラグがクリアされれば、続けて WDT キック・コマンドを実行することによって WDT を再開できます。

パワーアップ時、WDT はデフォルトでディスエーブルになります。中央閾値のデフォルト設定は 1 秒、ウィンドウ幅のデフォルト設定は 1/1 です。WDT をキックするデフォルトの方法は 1 つの特定キーを書き込むことで、タイムアウト時のデフォルト動作は対応するフラグ・ビットと FAULT ピンをセットすることです。WDT 動作の設定をサポートする具体的なレジスタ・ビットの詳細については、[表 41](#) を参照してください。

オフセットとゲインのデジタル調整

ADFS5758 には USER_GAIN レジスタと USER_OFFSET レジスタがあり、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。16 ビットの USER_GAIN レジスタを使うと、DAC チャンネルのゲインを ILSB ステップで調整することができます。[表 14](#) に示すように、USER_GAIN レジスタのコーディングはストレート・バイナリです。USER_GAIN レジスタのデフォルト・コードは 0xFFFF で、この場合、設定された出力にゲイン係数は適用されません。理論的には、全出力範囲にわたってゲインを調整することができます。実用上は、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50% です。

表 14. ゲイン・レジスタの調整

Gain Adjustment Factor	D15	D14 to D1	D0
1	1	1	1
65,535/65,536	1	1	0
...
2/65,536	0	0	1
1/65,536	0	0	0

16ビットの USER_OFFSET レジスタを使うと、DACチャンネルのオフセットを-32,768LSB～+32,768LSBの範囲で1LSBステップごとに調整できます。表15に示すように、USER_OFFSET レジスタのコーディングはストレート・バイナリです。USER_OFFSET レジスタのデフォルト・コードは0x8000で、この場合、出力のオフセット設定はゼロになります。

表 15. オフセット・レジスタの調整

Gain Adjustment	D15	D13 to D2	D0
+32,768 LSBs	1	1	1
+32,767 LSBs	1	1	0
...
No Adjustment (Default)	1	0	0
...
-32,767 LSBs	0	0	1
-32,768 LSBs	0	0	0

内部 DAC レジスタに書き込まれる値（10進値）は次式で計算できます。

$$DAC_Code = D \times \frac{(M+1)}{2^{16}} + C - 2^{15} \quad (1)$$

ここで、

DはDAC_INPUTレジスタにロードされるコード。

MはUSER_GAINレジスタ内のコード（デフォルト・コード=2¹⁶-1）。

CはUSER_OFFSETレジスタ内のコード（デフォルト・コード=2¹⁵）。

DAC_INPUTレジスタのデータはデジタル乗算器と加算器で処理され、乗算器はユーザ・ゲイン・レジスタの内容によって、加算器はUSER_OFFSETレジスタの内容によって制御されます。補正されたDACデータは、更にLDACピンの状態に応じてDACにロードされます。

DAC出力は、USER_GAINレジスタまたはUSER_OFFSETレジスタへの書き込みごとに自動的に更新されるわけではありません。その代わりに、DAC_INPUTレジスタへの次の書き込みでは、これらのゲイン値とオフセット値を使って新しいキャリブレーションが行われ、チャンネルが自動的に更新されます。読出し専用のDAC_OUTPUTレジスタは、ユーザ・ゲインおよびユーザ・オフセットによるキャリブレーションの場合を除き、現在DAC出力に使用可能な値を表します。この場合、DAC_OUTPUTレジスタはユーザによるDACデータ入力を表し、キャリブレーションは、キャリブレーション結果ではなくこの入力に基づいて行われます。

USER_GAINレジスタとUSER_OFFSETレジスタの分解能は共に16ビットです。ゲイン/オフセットの正しいキャリブレーションは、ゲインのキャリブレーション後にオフセットをキャリブレーションすることによって行います。

DAC出力の更新とデータ完全性の診断

DAC入力ローディング回路の簡略図を図83に示します。使用する場合は、DAC_INPUTレジスタへの書き込み前に、USER_GAINレジスタとUSER_OFFSETレジスタを更新する必要があります。

DAC_OUTPUTレジスタ（および最終的なDAC出力）は、以下のいずれかの場合に更新されます。

- ハードウェアLDACピンをローに接続した状態でDAC_INPUTレジスタに書き込みが行われた場合。DAC_OUTPUTレジスタはSYNCの立上がりエッジで更新されます（表2のタイミング仕様を適用）。
- ハードウェアLDACピンがハイの状態ではDAC_INPUTレジスタへの書き込みが行われた場合。DAC_OUTPUTレジスタは、ソフトウェアLDAC命令が発出されるか、ハードウェアLDACピンにロー・パルスが入力されるまで更新されません。
- CLEAR_ON_WDT_FAILビットがセットされた状態でWDTタイムアウトが発生した場合、CLEAR_CODEレジスタの内容は、DAC_OUTPUTレジスタにロードされます。
- スルー・レート制御機能が有効にされた場合、DAC_OUTPUTレジスタには、DAC出力が1つの値から次の値へ増加するのに合わせてDACの動的な値が格納されます。

WDT故障がアクティブの間は、DAC_INPUTレジスタへのすべての書き込みとハードウェアまたはソフトウェアLDACイベントが無視されます。CLEAR_ON_WDT_FAILビットが出力をクリア・コードにセットするように設定されている場合、WDT故障フラグがクリアされたときは、DAC_OUTPUTレジスタの更新前にDAC_INPUTレジスタへ書き込みを行う必要があります。つまり、ソフトウェアまたはハードウェアLDACを行った場合のみDACにクリア・コードが再ロードされます。エコー・モードのセクションで説明するとおり、DAC_CONFIGレジスタによってDACの範囲を設定した後は、DAC_INPUTレジスタの内容が現在値から変化していない場合でも、DAC_INPUTレジスタへの書き込みを行う必要があります。

また、GP_CONFIG2レジスタにはグローバル・ソフトウェアLDACモードを有効にするビットが含まれており、それによってSW_LDACコマンドのADFS5758アドレス・ビットが無視されるので、単一のSW_LDACコマンドで、同時に更新する複数のADFS5758デバイスをイネーブルすることができます。この機能は、複数のADFS5758デバイスを含むシステム内で、ハードウェアLDACピンを使用しない場合に有効です。

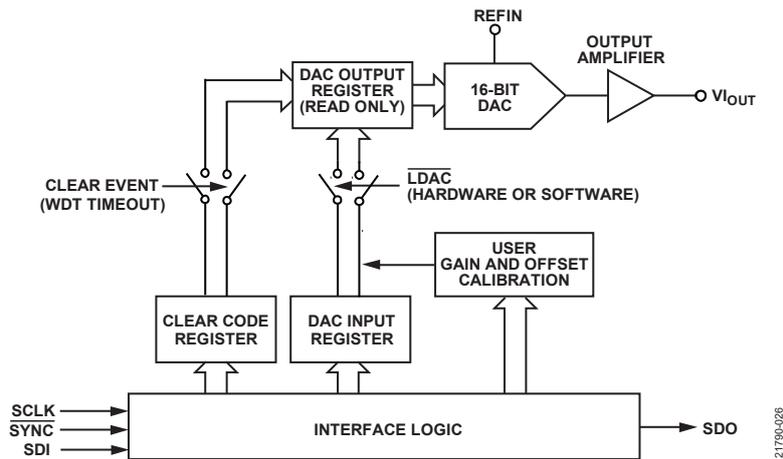


図 83. 入力ローディング回路のシリアル・インターフェース簡略図

DAC のデータ完全性診断

過渡的变化から内部デジタル回路を保護するために、デジタル・ブロックは、デジタル DAC 値とその反転コピー値の両方を保存します。DAC をストローブして DAC コードを更新する前に、これら 2 つの値が互に対応していることを確認するためのチェックが行われます。この機能はデフォルトで有効になっています (DIGITAL_DIAG_CONFIG レジスタの INVERSE_DAC_CHECK_EN ビット)

もう 1 つのオプション診断機能は、内部デュアル・キャリブレーション機能です。この機能は、DIGITAL_DIAG_CONFIG レジスタの DUAL_CAL_EN ビットによって有効にします。有効にすると、16 ビットのユーザ DAC コードの内部キャリブレーションが 2 回実行されます。DAC は、両方の結果が一致した場合のみ更新されます。レジスタに異常が記録されると DAC への書き込みは行われず、DUAL_CAL_ERR フラグがセットされます。

デジタル・ブロックの外側では、DAC コードはラッチに保存されます (図 84 を参照)。これらのラッチは、デジタル・ブロック内で保護対象となっているものと同じ過渡現象に対し、脆弱である可能性があります。これらの過渡現象から DAC ラッチを保護するために、DIGITAL_DIAG_CONFIG レジスタ内の DAC_LATCH_MON_EN ビットを介して、DAC ラッチ・モニタ機能を有効にすることができます。この機能は DAC を駆動する実際のデジタル・コードをモニタして、このコードをデジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR フラグがセットされます。

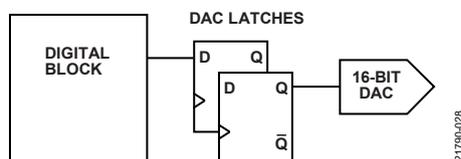


図 84. DAC データの完全性

ロック可能なユーザ設定空間

表 16 にリストした ADFS5758 のユーザ設定レジスタは、読出し専用としてロックすることができます。ロックした場合は、これらのレジスタへの書き込みはすべて無視され、CFG_LOCK_CHECK_ERR ビット (イネーブルされている場合) と FAULT ピンを介して DIGITAL_DIAG_RESULTS レジスタ内にフラグがセットされます。

設定レジスタ空間をロックする前に、V_{LDO} 外部コンデンサ検出機能を有効にしないでください。このビットは自動クリア・ビットで、設定レジスタ空間をロックした後に対応値が変化すると、CFG_LOCK_CHECK_ERR ビットがフラグされるからです。

これらのレジスタをロックするには、キー・レジスタにデータ 0x4765 を書き込む必要があります。レジスタのロックを解除するには、キー・レジスタに 2 つのロック解除キーを書き込んでください。最初のキーはデータ 0x896D で、2 つめのキーがデータ 0x57AB です。これらのロック解除キーは、この順番でキー・レジスタに書き込む必要があります。

ロックされたレジスタに書き込みを行おうとした場合に、DIGITAL_DIAG_RESULTS レジスタの CFG_LOCK_CHECK_ERR ビットを介してフラグがセットされるようにするには、DIGITAL_DIAG_CONFIG レジスタの CFG_LOCK_CHECK_EN ビットをセットする必要があります。CFG_LOCK_CHECK_EN ビットをセットしない場合は、ロックされたレジスタへの書き込みが行われても、その事実が通知されることはありません。

表 16. ロック可能なレジスタ

Address	Register
0x03	CLEAR_CODE
0x04	USER_GAIN
0x05	USER_OFFSET
0x06	DAC_CONFIG
0x09	GP_CONFIG1
0x0A	GP_CONFIG2
0x0B	DCDC_CONFIG1
0x0C	DCDC_CONFIG2
0x0F	WDT_CONFIG
0x10	DIGITAL_DIAG_CONFIG
0x11	ADC_CONFIG
0x12	FAULT_PIN_CONFIG

キー・コードの使用

キー・コードを使用すれば（キー・レジスタを経由）、ユーザ設定レジスタ空間を読み出し専用としてロックしたまま、各種機能に直接アクセスすることができます。この機能は 1 つのレジスタ内に格納されており、複数のコマンドを使用できます（詳細については [キー・レジスタ](#) のセクションを参照）。

- キャリブレーション・メモリのリフレッシュの開始。
- ユーザ設定レジスタ空間のロックとロック解除。
- ソフトウェア・リセットの開始。
- シングル ADC 変換の開始。
- ウォッチドッグ・タイマーのリセット・キー。
- バックグラウンド CRC 診断機能の再計算。

ユーザ設定レジスタ空間をロックした状態でデバイス・アクセスを有効にすることに加えて、これらの動作をキャリブレーション・メモリのリフレッシュまたはデバイス・リセットとして開始するために特別なキーを使用することで、エラー時にこれらのタスクのいずれかが開始される可能性が減るので、システムの堅牢性が大きく向上します。

ソフトウェア・リセット

ソフトウェア・リセット時は、キー・レジスタに 0x15FA と 0xAF51 を連続して書き込む必要があります。デバイスのリセットは、ハードウェア RESET ピンまたはソフトウェア・リセット・キーを使用して開始するか、WDT タイムアウト後に自動的に開始することができます（自動開始できるように設定されている場合）。デバイスがリセットされると、DIGITAL_DIAG_RESULTS レジスタの RESET_OCCURRED ビットがセットされます。このビットは、パワーアップ時にデフォルトで 1 になります。どちらの診断結果レジスタも、1 を書き込んで機能をクリアします。つまり、ビットをクリアするには、そのビットに 1 を書き込む必要があります（[スティッキー診断結果ビット](#) のセクションを参照）。

キャリブレーション・メモリの CRC

キャリブレーション・メモリのシャドウ・レジスタの内容に関する自動 CRC は、キャリブレーション・メモリのリフレッシュ・サイクルごとに計算されます（リフレッシュ・サイクルは、キー・レジスタにキー・コードを書き込むことによって開始されるか、範囲ビット、つまり DAC_CONFIG レジスタのビット [3:0] が変更されることで自動的に開始されます）。この CRC の結果が、工場で保存されたリファレンス CRC 値と比較されます。CRC 値が一致すれば、キャリブレーション・メモリ全体の読み出しは有効と見なされます。一致しない場合は、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_CRC_ERR ビットが 1 に設定されます。この機能はデフォルトで有効になっており、DIGITAL_DIAG_CONFIG レジスタの CAL_MEM_CRC_EN ビットで無効にすることができます。

このキャリブレーション・メモリのリフレッシュ・サイクルがアクティブになっている間は 2 段階リードバック・コマンドを使用できますが、いずれかのレジスタ（TWO_STAGE_READBACK_SELECT レジスタまたは NOP レジスタを除く）に書き込みを行うと、DIGITAL_DIAG_RESULTS レジスタの INVALID_SPI_ACCESS_ERR ビットがセットされます。[エラー・モード](#) のセクションに示したように、キャリブレーション・メモリのリフレッシュ・サイクル開始後は、500 μ s の待機時間を置くことを推奨します。

バックグラウンド CRC チェック

デバイスのパワーアップ後は、キャリブレーション・メモリとレジスタ設定空間の両方を組み合わせたバックグラウンド CRC 計算を開始することができます。このようなバックグラウンド CRC 計算は、設定空間がロックされている場合のみ有効です。設定空間がロックされていない状態では、CRC 計算を開始しようとしても無視されます。設定空間がロックされている場合は（[ロック可能なユーザ設定空間](#) のセクションを参照）バックグラウンドで自動的に CRC が計算されて、その後に行われるバックグラウンド CRC 計算の比較基準となる理想的な CRC 値として保存されます。バックグラウンド CRC 計算は完了までに約 6 μ s かかります。

CRC チェックは、DIGITAL_DIAG_CONFIG レジスタ内の関連ビットを介して設定します。このような CRC チェックを有効にする方法は、次の 3 つがあります。

- 特定キーが発行された時点で、CRC 計算を開始する（デフォルト）。
- 有効な SPI フレームが完了した時点で、実行する CRC の自動チェックを有効にする。
- 連続モニタモードを有効にして、チェックが有効に設定された場合はバックグラウンドで連続的に CRC を計算する。

内部発振器の診断

内部周波数モニタは、内部発振器（MCLK）を使い、1kHz（MCLK/10,000）のレートで 16 ビット・カウンタを加算します。カウンタの値は、FREQ_MONITOR レジスタから読み出すことができます。このレジスタを周期的にポーリングし、内部発振器の診断ツール（発振器動作のモニタ）として使用したり、周波数の測定に使用したりすることができます。この機能は、DIGITAL_DIAG_CONFIG レジスタの FREQ_MON_EN ビットによりデフォルトで有効になっています。

内部 MCLK 発振器が停止した場合、ADFS5758 はすべての SPI フレームについて、0x07DEAD という特別なコードを SDO ラインに送信します。この機能はデフォルトで有効になっており、GP_CONFIG1 レジスタの OSC_STOP_DETECT_EN ビットで無効にすることができます。この機能は、[表 3](#) に概要を示す最大リードバック・タイミング仕様により制限されます。

V_{LDO} 外部コンデンサ検出

GP_CONFIG2 レジスタには、V_{LDO} ピン（例えば内部 3.3V V_{LDO} の出力）に 0.1μF 以上の外部コンデンサが接続されているかどうかを検出するための診断チェックを有効にする、VLDO_CAP_DETECT_EN ビットが含まれています。このチェックは、V_{LDO} 出力を 2.7V の目標電圧に一時的に設定するワンショット・テストです。目標電圧に達するまでに要する時間によって、外部コンデンサの有無を判断します。コンデンサが存在しない場合、ANALOG_DIAG_RESULTS レジスタの VLDO_CAP_ERR ビットがトリガされます。このテストの実行中（約 100μs）は、ADFS5758 に他の命令を書き込まないことを推奨します。テスト中は VLDO_CAP_DETECT_EN ビットがハイに維持され、テストが完了すると 0 に戻って、V_{LDO} ノードも通常値の 3.3V に戻ります。

スティッキー診断結果ビット

ADFS5758 は、デジタル（表 46 参照）とアナログ（表 47 参照）2 つの診断結果レジスタを備えています。これらのレジスタ内にある診断結果ビットは、スティッキー・ビットです（R/W-1-C）。つまり、各ビットをクリアするには 1 を書き込む必要があります。この場合はクリアではなく更新と言ったほうが適切です。故障状態が続いているときは、対象ビットに 1 を書き込んでも 0 にクリアされることはありません。ビットにロジック 1 を書き込むと、そのビットは最新の値に更新されます。つまり、故障状態が続いている場合はロジック 1、故障状態が解消されている場合はロジック 0 です。

DIGITAL_DIAG_RESULTS レジスタ内でのこの R/W-1-C アクセスには例外が 2 つあります。CAL_MEMORY_UNREFRESHED と SLEW_BUSY です。これらのフラグは、それぞれキャリブレーション・メモリのリフレッシュまたは出力スルーが完了すると、自動的にクリアされます。

ステータス・レジスタには DIG_DIAG_STATUS ビットと ANA_DIAG_STATUS ビットが含まれており、これは、それぞれの診断結果レジスタに含まれる診断結果ビットを論理 OR した結果です。すべてのアナログ診断フラグ・ビットは ANA_DIAG_STATUS ビットの論理 OR に含まれており、SLEW_BUSY ビットを除くすべてのデジタル診断フラグ・ビットは DIG_DIAG_STATUS の論理 OR に含まれています。ステータス・レジスタ内の OR 演算により求められたビットは読み出し専用で、スティッキー・ビット（R/W-1-C）ではありません。

バックグラウンドでの電源および温度モニタリング

ダイの過熱と過電圧は、故障の一般的な原因となり得ることが知られています。これらはコンパレータを使って連続的にモニタすることができるので、ADC にポーリングを行う必要はありません。

どちらのダイにも、精度 ±5°C（代表値）の温度センサーが組み込まれています。ダイの温度はコンパレータによってモニタされます。また、バックグラウンド温度コンパレータは常時イネーブルされています。142°C、127°C、112°C、および 97°C に対応するプログラマブル・トリップ・ポイントは、GP_CONFIG1 レジスタで設定できます。いずれかのダイの温度が設定制限値を超えると、ANALOG_DIAG_RESULTS レジスタ内の対応ビットがセットされて、FAULT ピンがローにアサートされます。

ADFS5758 は、最も低い過熱インジケータ・トリップ・ポイントでも機能するように設計され、特性評価されています。

ADFS5758 の低電圧電源は、低消費電力のスタティック・コンパレータを介してモニタされます。この機能はデフォルトでは無効になっており、GP_CONFIG2 レジスタの COMPARATOR_CONFIG ビットで有効にすることができます。REFIN バッファをパワーアップして、REFIN コンパレータがこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。モニタされるノードは、REFIN、REFOUT、V_{LDO}、および内部 AV_{CC} 電圧ノード（INT_AVCC）です。ANALOG_DIAG_RESULTS レジスタには、モニタする各ノードに対応するステータス・ビットがあります。いずれかの電源が上限または下限閾値を超えると（表 17 参照）、対応するステータス・ビットがセットされます。REFOUT 故障の場合は REFOUT_ERR ステータス・ビットがセットされます。REFOUT は、INT_AVCC、V_{LDO}、および温度コンパレータの比較電圧として使われるので、この場合はこれらのノードのステータス・ビットがセットされる可能性もあります。ANALOG_DIAG_RESULTS レジスタの他のすべてのステータス・ビットと同様、これらのビットもスティッキー・ビットで、これらのビットをクリアするには 1 を書き込む必要がありますが、もちろんこれはエラー状態が解消されたと仮定しての話です。エラー状態が続いている場合は、クリアのために 1 を書き込んでもフラグはハイのままです。

表 17. コンパレータ電源のアクティブ化閾値

Supply	Lower Threshold (V)	Nominal Value/Range (V)	Upper Threshold (V)
INT_AVCC	3.8	4 to 5	5.2
V _{LDO}	2.8	3 to 3.6	3.8
REFIN	2.24	2.5	2.83
REFOUT	2.24	2.5	2.83

出力故障

ADFS5758 には FAULT ピンがあります。このピンはアクティブ・ローのオープンドレイン出力で、複数の ADFS5758 デバイスを 1 本のプルアップ抵抗で接続してグローバル故障検出を行うことができます。このピンは、故障状態が検出されていない場合は高インピーダンスで、例えば電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、または過熱エラーなどの一定の故障状態が検出されるとローにアサートされます。表 18 は FAULT ピンを自動的にアクティブにする故障状態を示したもので、FAULT_PIN_CONFIG レジスタ（表 44 参照）を介して使用できるマスク可能な故障ビットも示されています。すべてのレジスタには、対応する FAULT ピン・ステータス・ビットである FAULT_PIN_STATUS が含まれており、これは FAULT ピンの現在の状態を反転した状態をミラーします。例えば FAULT ピンがアクティブな場合は、FAULT_PIN_STATUS ビットは 1 です。

表 18. FAULTピンのトリガ・ソース

Fault Type	Mapped to FAULT Pin	Mask Ability
Digital Diagnostic Faults		
Oscillator Stop Detect	Yes	Yes
Calibration Memory Not Refreshed	No	N/A ¹
Reset Detected	No	N/A ¹
3-Wire Interface Error	Yes	No
WDT Late Error	Yes	Yes
WDT Early Error	Yes	Yes
Background CRC Error	Yes	No
DAC Latch Monitor Error	Yes	Yes
Dual Calculation Error	Yes	Yes
Inverse DAC Check Error	Yes	Yes
Calibration Memory CRC Error	Yes	No
Invalid SPI Access	Yes	Yes
Write Attempted on Locked Configuration Register Space	Yes	Yes
SCLK Count Error	Yes	No ²
Slip Bit Error	Yes	Yes
SPI CRC Error	Yes	Yes
Analog Diagnostic Faults		
V _{IOUT} Overvoltage Error	Yes	Yes
DC-to-DC Short Circuit Error	Yes	Yes
DC-to-DC Power Error	Yes	No
V _{LDO} Capacitor Detection	No	N/A ¹
Current Output Open Circuit Error	Yes	Yes
Voltage Output Short-Circuit Error	Yes	Yes
DC-to-DC Die Temperature Error	Yes	Yes
Main Die Temperature Error	Yes	Yes
REFOUT Comparator Error	Yes	No
REFIN Comparator Error	Yes	No
INT_AVCC Comparator Error	Yes	No
V _{LDO} Comparator Error	Yes	No

¹ N/A は該当なし。

² FAULT_PIN_CONFIG レジスタで SCLK カウント・エラーをマスクすることはできませんが、SPI_DIAG_QUIET_EN ビット (GP_CONFIG1 レジスタのビット 3) をイネーブルすることによって FAULT ピンから除外できます。

ステータス・レジスタの DIG_DIAG_STATUS、ANA_DIAG_STATUS、および WDT_STATUS ビットは、FAULT ピンおよび FAULT_PIN_STATUS ビットと共に使われ、どの故障状態が FAULT ピンまたは FAULT_PIN_STATUS ビットをアクティブにしたかを知らせます。

ADC のモニタリング

ADFS5758 には、電源、グラウンド、内部ダイ温度、リファレンス、外部信号などのユーザ選択可能入力に関する診断情報を提供するために、12 ビット ADC が組み込まれています (ADC1 ピンを使用)。選択可能な入力のすべてのリストを表 19 に示します。ADC に使用するリファレンスは REFOUT から得られます。これは、必要に応じ、DAC リファレンス (REFIN) を使用せず、に済ませるための手段を提供します。ADC_CONFIG レジスタは ADC の動作モード (ユーザが開始する個々の変換またはシーケンス・モード) を設定し、ADC_IP_SELECT ビット (表 43 参照) を介してマルチプレクサを使用した ADC 入力チャンネルを選択します。

ADC 伝達関数の式

ADC の入力範囲は 0V~2.5V で、様々なノードをデジタル化するために使用できます。ADC への一連の入力信号には範囲がユニポーラのものもあればバイポーラのものもあり、その値も高電圧から低電圧まで様々です。したがって、これらの入力のデジタル化を可能にするには、0V~2.5V の ADC 入力範囲から外れる電圧範囲を分圧する必要があります。ADC の伝達関数の式は、選択した ADC 入力ノードによって異なります (すべての伝達関数式の概要については、表 19 を参照)。

ADC1 のピン入力

図 85 は、ADC1 ピンを使用して出力負荷からの I_{OUT} のリターン電流をモニタできることを示しています。20Ω の外付け検出抵抗を使用する場合、I_{OUT} の設定値が 24mA とすると、R_{SENSE} の電圧は 480mV になります。

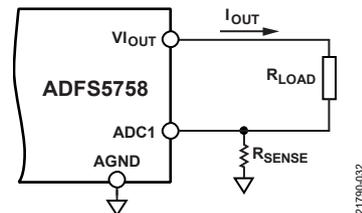


図 85. ADC1 ピンによる I_{OUT} のモニタリング

ADC 入力ノードの概要

表 19 は、ADC によるデジタル化が可能なすべてのノードの概要と、それらに対応する伝達関数の式を示したものです。

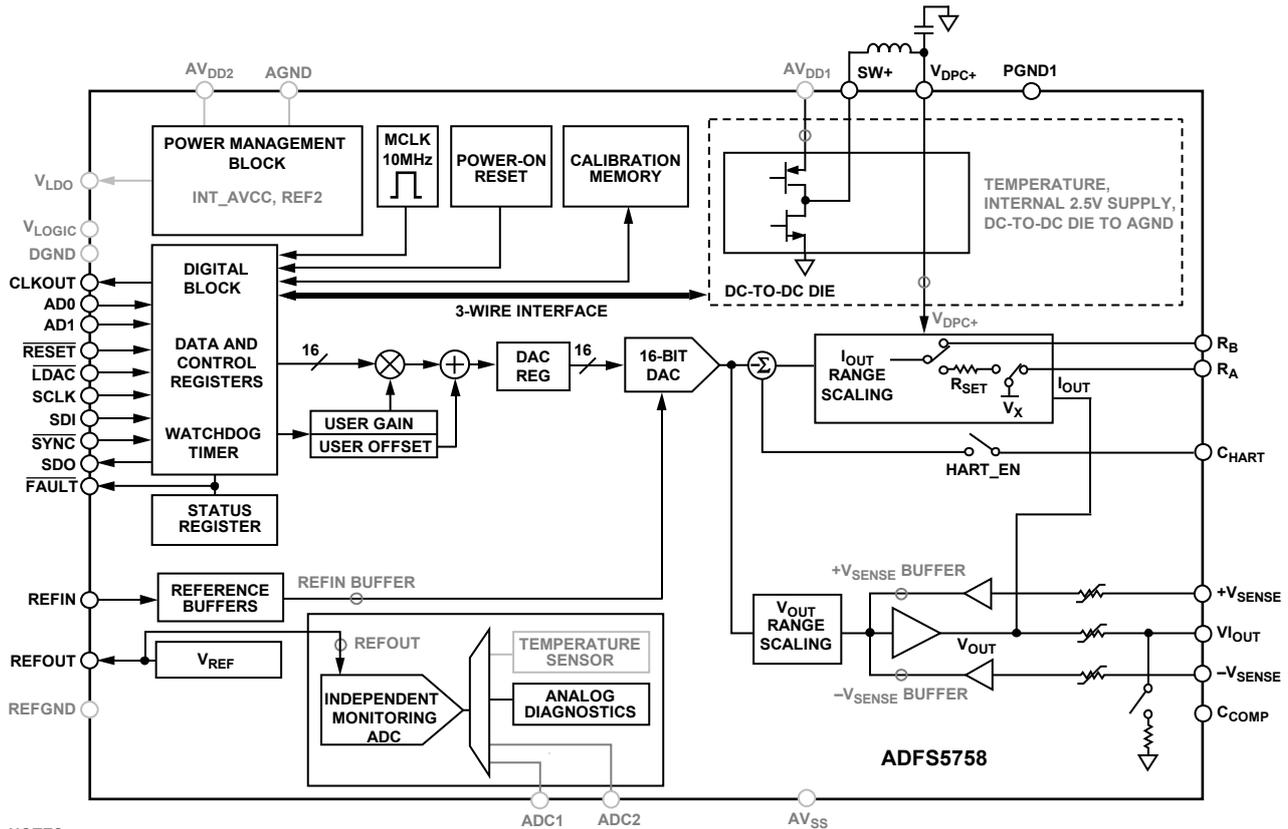
推奨 R_{SENSE}

低ドリフトの高精度抵抗を推奨します。R_{SENSE} の性能は、使用する抵抗の絶対値と温度係数によって異なります。したがって、抵抗の使用は、ADC 全体の誤差バジェットに直接影響します。

表 19. ADC 入力ノードの概要

ADC_IP_SELECT	V _{IN} ノードの説明	ADC の伝達関数 ¹
00000	メイン・ダイ温度	$T (^{\circ}\text{C}) = (-0.09369 \times D) + 307$
00001	DC/DC ダイ温度。	$T (^{\circ}\text{C}) = (-0.11944 \times D) + 436$
00010	予備	Reserved
00011	REFIN	$\text{REFIN (V)} = (D/2^{12}) \times 2.75$
00100	内部 1.23V リファレンス電圧 (REF2)。	$\text{REF2 (V)} = (D/2^{12}) \times 2.5$
00101	予備	Reserved
00110	予備	Reserved
01100	ADC2 のピン入力	$\text{ADC2 (V)} = (30 \times D)/2^{12} - 15$
01101	+V _{SENSE} バッファ出力の電圧。	$+V_{\text{SENSE (V)}} = ((50 \times D)/2^{12}) - 25$
01110	-V _{SENSE} バッファ出力の電圧。	$-V_{\text{SENSE (V)}} = ((50 \times D)/2^{12}) - 25$
01111	ADC1 ピン入力 (0V~1.25V 入力範囲)	$\text{ADC1 (V)} = D/2^{12} \times 1.25$
10000	ADC1 ピン入力 (0V~0.5 V 入力範囲)	$\text{ADC1 (V)} = D/2^{12} \times 2.5 \times 1/5 = D/2^{12} \times 0.5$
10001	ADC1 ピン入力 (0V~2.5 V 入力範囲)	$\text{ADC1 (V)} = D/2^{12} \times 2.5$
10010	ADC1 ピン入力 ($\pm 0.5\text{V}$ 入力範囲)	$\text{ADC1 (V)} = D/2^{12} - 0.5$
10011	予備	Reserved
10100	INT_AVCC	$\text{INT_AVCC (V)} = D/2^{12} \times 10$
10101	V _{LDO}	$V_{\text{LDO (V)}} = D/2^{12} \times 10$
10110	V _{LOGIC}	$V_{\text{LOGIC (V)}} = D/2^{12} \times 10$
11000	REFGND	$\text{REFGND (V)} = D/2^{12} \times 2.5$
11001	AGND	$\text{AGND (V)} = D/2^{12} \times 2.5$
11010	DGND	$\text{DGND (V)} = D/2^{12} \times 2.5$
11011	V _{DPC+}	$V_{\text{DPC (V)}} = D/2^{12} \times 37.5$
11100	AV _{DD2}	$\text{AV}_{\text{DD2 (V)}} = D/2^{12} \times 37.5$
11101	AV _{SS}	$\text{AV}_{\text{SS (V)}} = (15 \times D/2^{12} - 14) \times 2.5$
11110	DC/DC ダイ・ノード。DCDC_CONFIG2 レジスタで設定。 00 : DC/DC ダイの AGND 01 : DC/DC ダイの内部 2.5V 電源 10 : AV _{DD1} 11 : 予備	$\text{AGND (dc-to-dc) (V)} = (D/2^{12}) \times 2.5$ $\text{Internal 2.5 V (dc-to-dc) (V)} = (D/2^{12}) \times 5$ $\text{AV}_{\text{DD1 (V)}} = D/2^{12} \times 37.5$ Reserved
11111	REFOUT	$\text{REFOUT (V)} = (D/2^{12}) \times 2.5$

¹ D は ADC データを表します。



NOTES
1. GRAY ITEMS REPRESENT DIAGNOSTIC ADC INPUT NODES.

図 86. 診断 ADC 入力ノード

ADC 精度の計算

ADC の精度は、変換される入力ノードによって異なります。

ADC1 ピンを使って I_{OUT} のリターン電流をモニタする場合は (図 85 を参照)、以下の成分を合計することによって全体的な ADC 変換精度を計算することができます。

- ADC1 ピン入力ノードの ADC 精度。
- 外付け R_{SENSE} 抵抗の精度。
- 外付け R_{SENSE} 抵抗の TC。

ADC の構成

ADC は、ADC_CONFIG レジスタを使い、SEQUENCE_COMMAND ビット (ビット [10:8])、SEQUENCE_DATA ビット (ビット [7:5])、および ADC_IP_SELECT ビット (ビット [4:0]) を介して設定します。

表 20. ADC 設定レジスタ

[D10:D8]	[D7:D5]	[D4:D0]
Command	Data	ADC input select

ADC は、1 つの対象ノードをモニタするためにセットアップしたり、最大 8 個のノードをシーケンシングするように設定したりすることができます。シーケンシャル変換は、デバイスが有効な SPI フレームの受信を完了するごとに自動的に開始したり (自動シーケンス・モード)、特別なキー・コードをキー・レジスタに書き込むことで、管理を強化して行ったりすることができます (キー・シーケンス・モード)。変換が完了すると ADC の結果がステータス・レジスタ内に置かれて、シーケンス・モードの場合は次のシーケンサ・アドレスへ進みます。自動ステータス・リードバック・モードをどちらかのシーケンス・モードと共に使用する場合は、SPI フレームがデバイスに書き込まれるごとに、最後に完了した ADC 変換データを SDO で使用することができます。

シーケンサの最大チャンネル深度は 8 です。シーケンサ内の各チャンネルはそのシーケンサ・チャンネルに必要な ADC 入力を選択ビットで設定する必要があり、設定チャンネル数は深度に等しくなければなりません。アクティブ・シーケンサ・チャンネルの中に位置が正しく設定されていないものがある場合、そこには直前にそのチャンネルにロードされた値が保存され、最初はすべてのシーケンサ・チャンネルで 0b000000 の ADC 入力オプションがデフォルトになります。DC/DC ダイのノードの 1 つを ADC シーケンサの一部とする必要がある場合は、1 つの ADC 変換と別の ADC 変換の間に 3WI に関わる遅延が生じるのを避けるため、ADC シーケンサを設定する前に、DCDC_CONFIG2 レジスタの DCDC_ADC_CONTROL_DIAG ビットを使ってこのノードを設定しておきます。シーケンスの中で DC/DC ダイの複数ノードが必要な場合は、自動シーケンシング・モードではなくキー・シーケンシング・モードを使用する必要があります。これは、ADC 変換と ADC 変換の間に DCDC_ADC_CONTROL_DIAG ビットを更新して、シーケンサが次に必要とする DC/DC ダイ・ノードを設定しなければならないからです。

動作モードは、キー・シーケンシング、自動シーケンシング、シングル即時変換、およびシングル・キー変換の 4 つです。これらのシーケンシング・モードは、相互に排他的な関係にあります。キー・シーケンシング・モードを有効にすると、自動シーケンシング・モードは無効になります。逆の場合も同様です。

キー・シーケンシング (コマンド 010)

コマンド 010 を書き込むと、シーケンシング・モードが有効になります。シーケンシングは、キー・レジスタにキー・コード 0x1ADC を書き込むことによって開始され、チャンネル 0 から始まって、すべての 0x1ADC コマンドごとにチャンネル N-1 まで続きます。ここで、N はチャンネル深度です。自動シーケンスの場合と同様、スイッチングは有効な SPI フレームごとではなく、固有のキー・コード・コマンドごとにのみ行われるので、このモードでは、シーケンシング時にチャンネルのスイッチングのユーザ制御が可能となります。シーケンスが完了すると、無効化されるまで再びチャンネル 0 から開始されます。コマンド 0b010 を送出してキー・シーケンシング・モードを有効にする前に、コマンド 000 とコマンド 001 を使用して、必要なすべてのチャンネルを設定する必要があります (図 87 参照)。シーケンシングが無効化され、その後再度有効化された場合は、シーケンスの最初のチャンネルで変換を再開するためにシーケンサがリセットされます。

自動シーケンシング (コマンド 011)

シーケンシングは次の有効な SPI フレームから開始され、チャンネル 0 から始まって、すべての有効な SPI フレームごとにチャンネル N-1 まで続きます。ここで、N はチャンネル深度です。シーケンスが完了すると、無効化されるまで再びチャンネル 0 から開始されます。キー・シーケンシング・モードと同様、コマンド 011 を送出して自動シーケンシング・モードを有効にする前に、コマンド 000 とコマンド 001 を使用して必要なすべてのチャンネルを設定する必要があります (図 87 参照)。シーケンシングが無効化され、その後再度有効化された場合は、シーケンスの最初のチャンネルで変換を再開するためにシーケンサがリセットされます。再度有効化する際、必要なノードのリストに変更がある場合を除き、チャンネルを再設定する必要はありません。

シングル即時変換 (コマンド 100)

このモードは、ADC_CONFIG レジスタの ADC 入力選択ビットによって現在選択されているノード上で、シングル変換を開始します。このコマンドを選択すると、アクティブな自動シーケンスが停止します。したがって、そのシーケンスが必要な場合は再度有効にする必要があります。ただし、そのシーケンスの深度とチャンネルの設定は保存されているので、設定をやり直す必要はありません。

シングル・キー変換 (コマンド 101)

このモードは、その後の任意の時点で変換する個々の ADC 入力ノードをセットアップするために使われ、キー・レジスタに 0x1ADC キー・コードを書き込むことによって開始されます。このモードは、ユーザ設定空間がロックされていて、そのロックを解除せずに ADC 変換を行う必要がある場合に便利です。

シーケンシング・モードのセットアップ

関係する ADC シーケンサ・コマンドのリストを表 21 に示します。これらのコマンドは ADC_CONFIG レジスタで使用できます (ADC_CONFIG レジスタのビットについては表 43 を参照してください)。デフォルト深度 (000) は 1 診断チャンネルに相当し、最大バイナリ深度値の 111 は 8 チャンネルに相当します。

シーケンサのセットアップは 3 ステップで行います。

1. 深度を選択します。
2. シーケンサにチャンネルをロードします。N チャンネルの場合は N 回ロードしてください。
3. シーケンサをイネーブルします。

3 つの ADC ノードをモニタするシーケンサの設定例を図 87 に示します。

表 21. コマンド・ビット

値	説明
000	シーケンサ深度 (0~7) を設定します。
001	選択した ADC 入力力でシーケンサのチャンネル N をロードします。
010	キー・シーケンサをイネーブルまたはディスエーブルします。
011	自動シーケンサをイネーブルまたはディスエーブルします。
100	現在選択されている ADC 入力 (D4~D0) 上でシングル変換を実行します。
101	シングル・キー変換をセットアップします。つまり、キー・レジスタへの書き込みでトリガされたときに使用する ADC マルチプレクサ入力を選択します (これはキー・シーケンシング・モード外で行われます)。

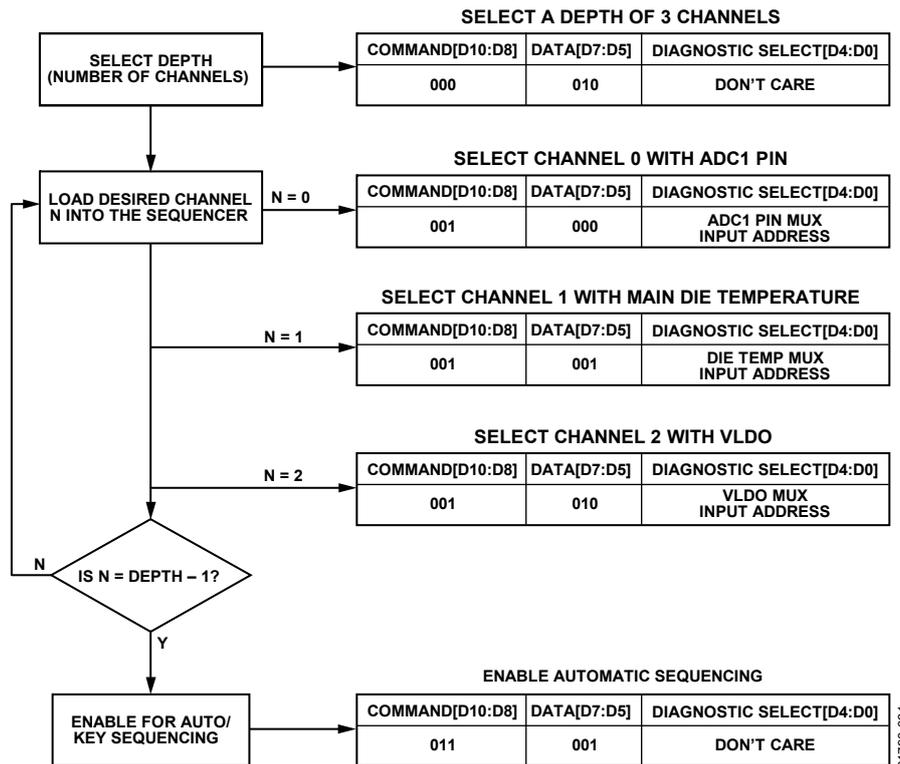


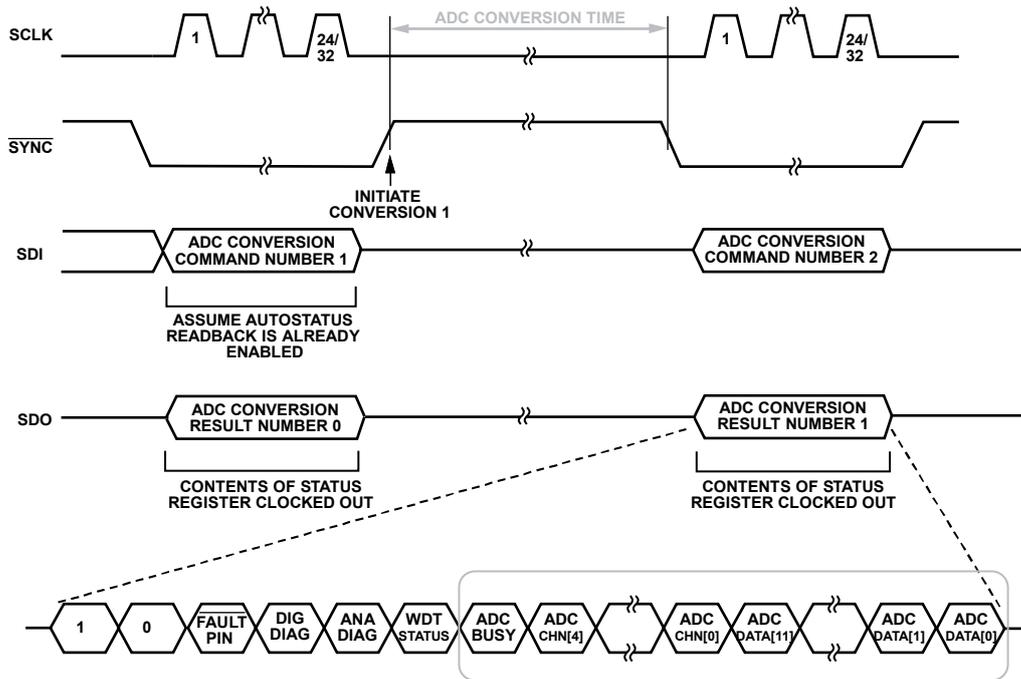
図 87. 3つのADC入力ノードに対する自動シーケンス・モードのセットアップ例

ADC 変換のタイミング

自動ステータス・リードバック・モードを有効にした場合の例を図 88 に示します。ステータス・レジスタには、最後に完了した ADC 変換の結果と、それに対応するマルチプレクサ・アドレス ADC_IP_SELECT が常に含まれています。

この例は、使用している ADC 変換モード（キー・シーケンシング、自動シーケンシング、シングル即時変換、シングル・キー変換）に関わらず適用できます。図に示す最初の ADC 変換コマンドの間は、SDO ラインでステータス・レジスタの内容を使用できます。このデータの ADC 部分には、1 つ前に変換された ADC ノードの変換結果（ADC 変換結果 0）と、それに対応する

チャンネル・アドレスが含まれています。ADC がコマンド 1（Command 1）の処理でビジー状態の間に別の SPI フレームが受信されなかった場合、SDO ラインに現れる次のデータには対応する変換結果 1（ADC Conversion Result 1）が含まれます。しかし、ADC がビジー状態の間に SPI フレームが受信された場合、SDO で使用できるステータス・レジスタの内容にはやはり 1 つ前の変換結果が含まれ、ADC_BUSY フラグがハイになります。ADC_BUSY ビットがアクティブになっている間に受信された新しい ADC 変換命令は、すべて無視されます。シーケンス・モードを使用する場合は、変換完了後にシーケンサ・アドレスが更新されます。



NOTES
 1. STATUS REGISTER CONTENTS CONTAINING ADC CONVERSION RESULT, CORRESPONDING ADDRESS, AND ADC BUSY INDICATOR.

21759-034

図 88. ADC 変換のタイミング例

レジスタ・マップ

ADFS5758 の制御と設定は、[レジスタの詳細](#)のセクションに示すオンチップ・レジスタを介して行われます。使用可能な 4 つのアクセス許可を以下に示します。

- R/W：読出し／書込み
- R：読出し専用
- R/W-1-C：読出し／1 を書き込んでクリア
- R0/W：ゼロを読出し／書込み

予備レジスタの読出し／書込みは、無効な SPI アクセスとしてフラグされます（[表 46](#) 参照）。予備ビット・フィールドのあるレジスタにアクセスするときは、これらのビット・フィールドのデフォルト値を書き込む必要があります。これらの値は、[表 28](#)～[表 54](#)のリセット列に示されています。

レジスタへの書込み

レジスタへの書込みには[表 22](#)のフォーマットを使用します。デフォルトでは SPI CRC が有効になっています。入力レジスタの幅は 32 ビットで、最後の 8 ビットは CRC コードに対応していません。正確に 32 ビット幅のフレームだけが有効なフレームとして受け入れられます。CRC が無効になっている場合の入力レジスタは 24 ビット幅です。この場合でも 32 ビットのフレームを使用できますが、最後の 8 ビットは無視されます。ビット D23 からビット D16 までの機能を[表 23](#)に示します。ビット D15 からビット D0 は、アドレス指定されたレジスタによって異なります。

表 22. レジスタへの書込み

MSB								LSB
D23	D22	D21	D20	D19	D18	D17	D16	D15 to D0
ADFS5758_AD1	ADFS5758_AD1	ADFS5758_AD0	REG_ADR4	REG_ADR3	REG_ADR2	REG_ADR1	REG_ADR0	Data

表 23. 入力レジスタ・デコード

ビット	説明
ADFS5758_AD1	スリップ・ビット。このビットはビット D22（つまり ADFS5758_AD1）を反転した値に等しくなければなりません。
ADFS5758_AD1, ADFS5758_AD0	外部ピン（AD1 および AD0）と共に使用し、システム・コントローラでどの ADFS5758 デバイスをアドレス指定するかを決定します。ADFS5758_AD1 と ADFS5758_AD0 のアドレス 00、01、10、および 11 に対応する最大 4 個のデバイスのアドレスを個別に指定できます。
REG_ADR4, REG_ADR3, REG_ADR2, REG_ADR1, REG_ADR0	どのレジスタに書込みを行うかを選択します。使用可能なレジスタの概要については、 表 27 を参照してください。

レジスタからの読出し

ADFS5758 では 4 つのリードバック・モードを選択可能で、TWO_STAGE_READBACK_SELECT レジスタで設定できます (表 45 参照)。

- 2 段リードバック
- 自動ステータス・リードバック
- 共有 SYNC 自動ステータス・リードバック
- エコー・モード

2 段リードバック・モード

2 段リードバック・モードは、リードバックするレジスタの位置を選択するための TWO_STAGE_READBACK_SELECT レジスタへの書き込みと、その後の NOP コマンド入力で構成されます。NOP コマンドを実行するには、NOP レジスタのビット [D15:D0] のすべてにゼロを書き込みます。NOP コマンドの間、選択したレジスタの内容は表 24 に示すフォーマットで SDO に出力することができます。2 番目のフレームで新しい 2 段リードバック・コマンドを書き込み、対応する新しいデータをその後のフレームで SDO に出力することも可能です (図 89 参照)。ビット [D31:D30] (SPI CRC が有効でない場合はビット [D23:D22]) = 10 が、リードバック時の同期の一部として使われます。TWO_STAGE_READBACK_SELECT レジスタへの最初の書き込み命令の内容を、表 25 に示します。

表 24. 読出し操作時の SDO の内容

MSB			LSB
D23 to D22	D21	D20 to D16	D15 to D0
10	FAULT pin status	Register address	Data

表 25. 2 段リードバック・モードを使用してのレジスタ読出し

MSB										LSB					
D23	D22	D21	D20	D19	D18	D17	D16	D15 to D5			D4	D3	D2	D1	D0
ADFS5758_AD1	ADFS5758_AD1	ADFS5758_AD0	0x13				Reserved			READBACK_SELECT[4:0]					

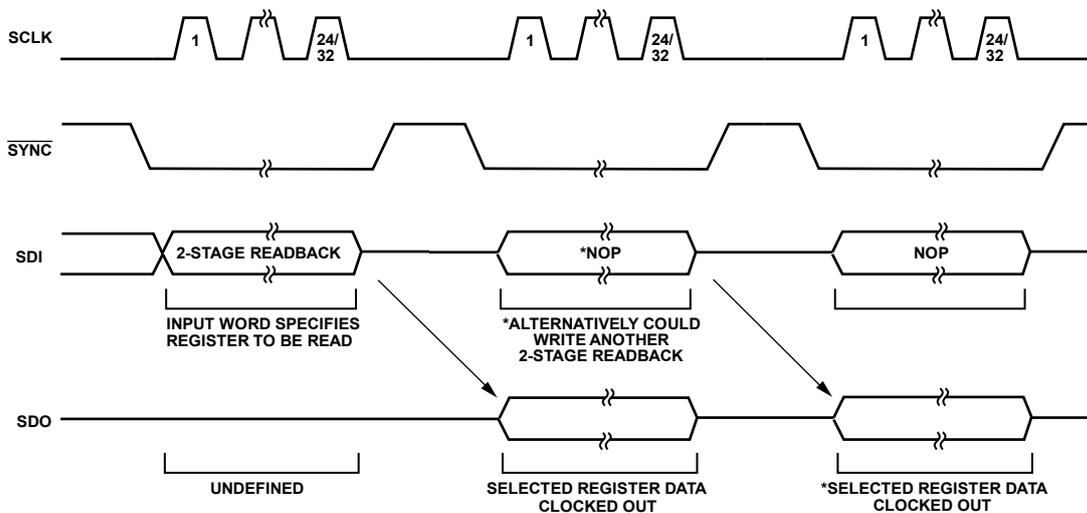


図 89. 2 段リードバックの例

21790-037

自動ステータス・リードバック・モード

自動ステータス・リードバック・モードを選択した場合は、毎回の SPI トランザクションの間、SDO ラインでステータス・レジスタの内容を出力することができます。ステータス・レジスタをリードバックする場合、SDO の内容は表 24 に示すフォーマットと異なります。ステータス・レジスタの内容を表 26 に示します。自動ステータス・リードバック・モードは、ADC シーケンサと共に使用して、最大 8 個の異なる ADC 入力を連続的にモニタできます。ADC シーケンサの詳細については、[ADC のモニタリング](#)のセクションを参照してください。

と異なります。ステータス・レジスタの内容を表 26 に示します。自動ステータス・リードバック・モードは、ADC シーケンサと共に使用して、最大 8 個の異なる ADC 入力を連続的にモニタできます。ADC シーケンサの詳細については、[ADC のモニタリング](#)のセクションを参照してください。

表 26. ステータス・レジスタの読出し動作に関する SDO の内容

MSB								LSB	
D23	D22	D21	D20	D19	D18	D17	D16 to D12	D11 to D0	
1	0	FAULT_PIN_STATUS	DIG_DIAG_STATUS	ANA_DIAG_STATUS	WDT_STATUS	ADC_BUSY	ADC_CH[4:0]	ADC_DATA[11:0]	

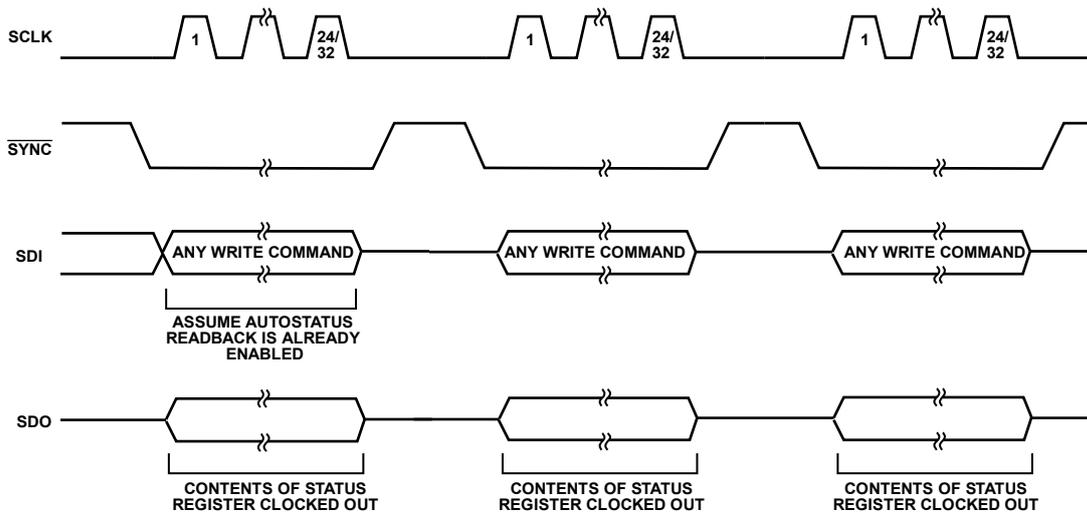


図 90. 自動ステータス・リードバックの例

21790-038

共有 SYNC 自動ステータス・リードバック・モード

共有 SYNC 自動ステータス・リードバックは自動ステータス・リードバックの特別なバージョンで、複数の ADFS5758 デバイスが同じ SYNC ラインを共有している場合に、SDO バスの競合を避けるために使われます（この場合、それぞれの ADFS5758 はハードウェア・アドレス・ピンを使って互いに識別されます）。デバイスへの有効な書込みが終了するたびにフラグがセットされますが、このフラグは SYNC のその後の立下がりエッジでクリアされます。このモードでは、内部フラグがセットされていない限り（つまり、1 つ前の SPI 書込みが有効である限り）

SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しませんが、この点を除けば通常の自動ステータス・リードバック・モードと同様に動作します。図 91 に示す例を参照してください。

エコー・モード

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、すべてその前に行われた ADFS5758 へのコマンド書込みのエコーで構成される点が異なります。エコー・モードは、1 つ前の SPI フレームでどの SPI 命令が受信されたかをチェックするのに有用です。

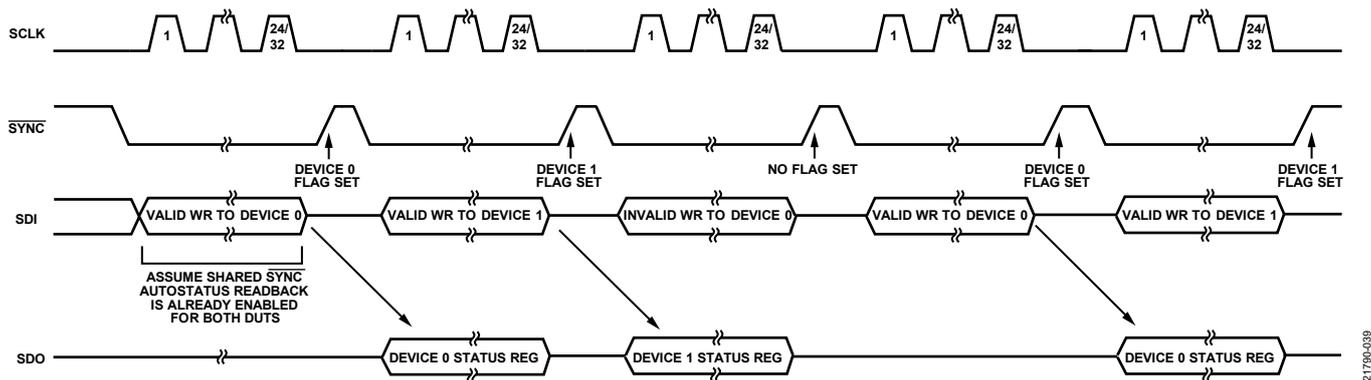


図 91. 共有 SYNC 自動ステータス・リードバックの例



図 92. SDO の内容-エコー・モード

出力イネーブルを正しく行う設定シーケンス

パワーオンまたはリセット状態後のデバイスへの書き込みと設定を正しく行うには、次の手順に従います。

1. ハードウェア・リセットまたはソフトウェア・リセットを行い、100 μ s 待ちます。
2. キー・レジスタに 0xFCBA を書き込んで、キャリブレーション・メモリのリフレッシュを行います。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。リフレッシュ・サイクルを完了させるために 500 μ s 待つ代わりに、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。
3. DIGITAL_DIAG_RESULTS レジスタのビット D13 に 1 を書き込んで、RESET_OCCURRED フラグをクリアします。
4. CLKOUT が必要な場合は GP_CONFIG1 レジスタを介してこの機能を設定し、有効にします。DC/DC コンバータをイネーブルする前にこの機能を設定することが重要です。
5. DCDC_CONFIG2 レジスタに書き込みを行って、DC/DC 電流制限を設定します。3 線式インターフェースの通信を完了できるように 300 μ s 待ちます。3 線式インターフェースの通信を完了させるために 300 μ s 待つ代わりに、DCDC_CONFIG2 レジスタの BUSY_3WI ビットが 0 になるまでポーリングを行うこともできます。
6. DC/DC コンバータ・モードをセットアップする（これによって DC/DC コンバータをイネーブルする）には、DCDC_CONFIG1 レジスタに書き込みを行います。3 線式インターフェースの通信を完了できるように 300 μ s 待ちます。3 線式インターフェースの通信を完了させるために 300 μ s 待つ代わりに、DCDC_CONFIG2 レジスタの BUSY_3WI ビットが 0 になるまでポーリングを行うこともできます。
7. DAC_CONFIG レジスタに書き込みを行って INT_EN ビットをセットし（出力をイネーブルせずに DAC と内蔵（INT）アンプをパワーアップ）、出力範囲、内蔵/外付け R_{SET}、およびスルー・レートを設定します。この時点では OUT_EN ビットをディスエーブルに維持してください。内部キャリブレーションを完了させるために、ステップ 8 へ進む前に少なくとも 500 μ s 待ちます。リフレッシュ・サイクルを完了させるために 500 μ s 待つ代わりに、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。
8. DAC_INPUT レジスタにゼロスケール DAC コードを書き込みます（ステップ 7 でバイポーラ範囲を選択した場合は、0mA/0V 出力を表す DAC コードを DAC_INPUT レジスタに

書き込む必要があります）。DAC_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。

9. LDAC 機能を使用する場合は、ソフトウェアまたはハードウェア LDAC コマンドを実行します。
10. バックグラウンド電源モニタリング電圧コンパレータをイネーブルします。
11. DAC_CONFIG レジスタにステップ 7 と同じワードを書き込みますが、ここでは OUT_EN ビットをイネーブルします。ステップ 6 からステップ 11 までには、少なくとも 1.25ms の時間をかけてください。これは、DC/DC コンバータをイネーブルしてから VI_{OUT} 出力をイネーブルするまでの時間です。
12. DAC_INPUT レジスタに必要な DAC コードを書き込みます
13. キー・レジスタに 0x4765 を書き込んで、ユーザ設定レジスタ空間をロックします。このステップはオプションです。

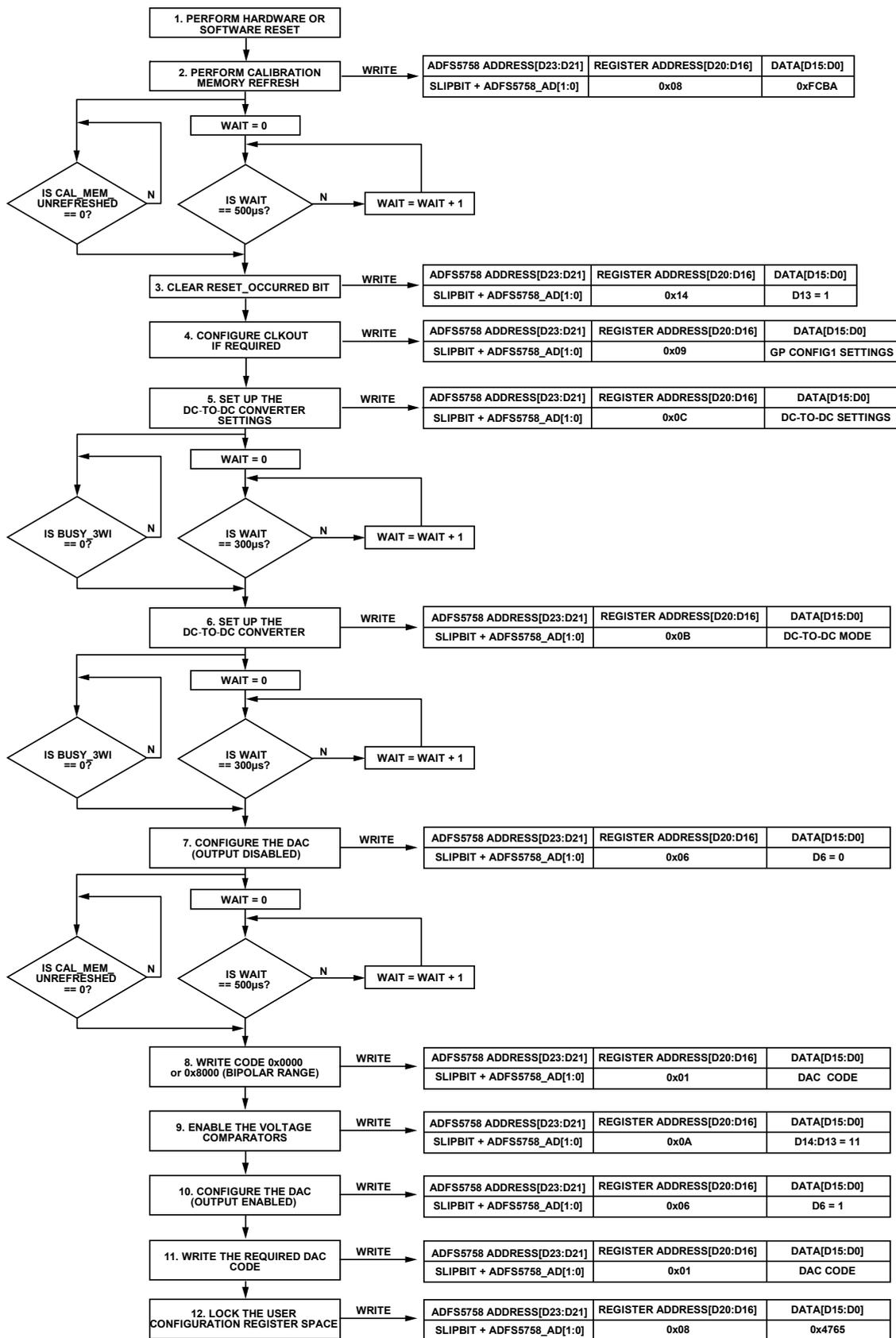
設定例を図 93 に示します。ステップ 13 の前に、ADC 設定を含む追加的な設定と診断を設定する必要があります。

範囲の変更と設定

出力をイネーブルした後に出力範囲を変更するには、以下の推奨ステップを使用します。ユーザ設定空間がロックされている場合は、ステップ 2 を実行する前に、キー・レジスタへの書き込みを行うことによって最初にこのロックを解除する必要があります。ユーザ設定空間は、必要に応じステップ 4 の後に再度ロックできます。

1. DAC_INPUT レジスタに書き込みを行います。出力を 0mA または 0V に設定します。
2. DAC_CONFIG レジスタに書き込みを行います。出力をディスエーブルして（OUT_EN = 0）、新しい出力範囲を設定します。INT_EN ビットはセットしたままにしてください。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。
3. DAC_INPUT レジスタにコード 0x0000（バイポーラ範囲の場合はコード 0x8000）を書き込みます。DAC_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。
4. ステップ 2 の DAC_CONFIG レジスタ・ワードを再ロードしますが、今度は OUT_EN ビットを 1 に設定して出力をイネーブルします。
5. DAC_INPUT レジスタに必要な DAC コードを書き込みます。

EXAMPLE CONFIGURATION TO ENABLE THE OUTPUT CORRECTLY



NOTES
1. LDAC FUNCTIONALITY IS NOT BEING USED. DEFAULT DC-TO-DC CURRENT LIMIT IS BEING USED.

図 93. 出力を正しくイネーブルする設定の例 (わかりやすくするために、CRC は無効)

21790-118

レジスタの詳細

表 27. レジスタの一覧

アドレス	名前	説明	リセット	アクセス
0x00	NOP	NOP レジスタ。	0x000000	R
0x01	DAC_INPUT	DAC 入力レジスタ。	0x010000	R/W
0x02	DAC_OUTPUT	DAC 出力レジスタ。	0x020000	R
0x03	CLEAR_CODE	クリア・コード・レジスタ。	0x030000	R/W
0x04	USER_GAIN	ユーザ・ゲイン・レジスタ。	0x04FFFF	R/W
0x05	USER_OFFSET	ユーザ・オフセット・レジスタ。	0x058000	R/W
0x06	DAC_CONFIG	DAC 設定レジスタ。	0x060C00	R/W
0x07	SW_LDAC	ソフトウェア LDAC レジスタ。	0x070000	R0/W
0x08	Key	キー・レジスタ。	0x080000	R0/W
0x09	GP_CONFIG1	汎用設定 1 レジスタ。	0x090204	R/W
0x0A	GP_CONFIG2	汎用設定 2 レジスタ。	0x0A0200	R/W
0x0B	DCDC_CONFIG1	DC/DC 設定 1 レジスタ。	0x0B0000	R/W
0x0C	DCDC_CONFIG2	DC/DC 設定 2 レジスタ。	0x0C100	R/W
0x0D	Reserved	予備。	0x0D0000	N/A ¹
0x0E	Reserved	予備。	0x0E0000	N/A ¹
0x0F	WDT_CONFIG	WDT 設定レジスタ。	0x0F0009	R/W
0x10	DIGITAL_DIAG_CONFIG	デジタル診断設定レジスタ。	0x10005D	R/W
0x11	ADC_CONFIG	ADC 設定レジスタ。	0x110000	R/W
0x12	FAULT_PIN_CONFIG	FAULT ピン設定レジスタ。	0x120000	R/W
0x13	TWO_STAGE_READBACK_SELECT	2 段リードバック選択レジスタ。	0x130000	R/W
0x14	DIGITAL_DIAG_RESULTS	デジタル診断結果レジスタ。	0x14A000	R
0x15	ANALOG_DIAG_RESULTS	アナログ診断結果レジスタ。	0x150000	R
0x16	Status	ステータス・レジスタ。	0x160000	R
0x17	CHIP_ID	チップ ID レジスタ。	0x170101	R
0x18	FREQ_MONITOR	周波数モニタ・レジスタ。	0x180000	R
0x19	DEVICE_ID_0	デバイス ID バイト 0 およびバイト 1 レジスタ。	0x190000	R
0x1A	DEVICE_ID_1	デバイス ID バイト 2 およびバイト 3 レジスタ。	0x1A0000	R
0x1B	DEVICE_ID_2	デバイス ID バイト 4 およびバイト 5 レジスタ。	0x1B0000	R
0x1C	DEVICE_ID_3	デバイス ID バイト 6 レジスタ、現在は未使用	0x1C0000	R

¹ このレジスタに読出または書込みを行うと、デジタル診断レジスタ内の INVALID_SPI_ACCESS_ERR ビットがフラグされます。

NOP レジスタ

アドレス：0x00、リセット：0x000000、レジスタ名：NOP

無操作 (NOP) コマンドを実行するには、このアドレスのビット [D15:D0] に 0x0000 を書き込みます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 28. NOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	NOP command	NOP コマンドを実行するには 0x0000 を書き込みます。	0x0	R0/W

DAC 入力レジスタ

アドレス：0x01、リセット：0x010000、レジスタ名：DAC_INPUT

ビット [D15:D0] は、DAC に書き込む 16 ビット・データで構成されます。 $\overline{\text{LDAC}}$ ピンをローに接続した（つまりアクティブにした）場合は、 $\overline{\text{LDAC}}$ 機能に関わりなく DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに直接書き込まれます。 $\overline{\text{LDAC}}$ ピンをハイに接続した場合は、 $\overline{\text{LDAC}}$ ピンをローにするかソフトウェア LDAC コマンドを書き込むと、DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに書き込まれます。

表 29. DAC_INPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_INPUT_DATA	DAC 入力データ。	0x0	R/W

DAC 出力レジスタ

アドレス：0x02、リセット：0x020000、レジスタ名：DAC_OUTPUT

DAC_OUTPUT は読み出し専用レジスタで、最新の補正済み 16 ビット DAC 出力値が格納されます。WDT 故障のためにクリア・イベントが発生した場合、このレジスタには、DAC が別のコードに更新されるまでクリア・コードが格納されます。

表 30. DAC_OUTPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_OUTPUT_DATA	DAC 出力データ。例えば、最後に補正された 16 ビット DAC 出力値。	0x0	R

クリア・コード・レジスタ

アドレス：0x03、リセット：0x030000、レジスタ名：CLEAR_CODE

CLEAR_CODE レジスタに書き込みを行う場合、ビット [D15:D0] がクリア・コードで構成され、クリア・イベント（例えば WDT 故障）発生時に DAC はこのクリア・コードにクリアされます。クリア・イベント後、DAC_INPUT レジスタには DAC に書き込む 16 ビット・データを再度書き込む必要があります。これは、書き込むデータがクリア・イベント前に書き込まれていたデータと同じものであっても同様です。LDAC 書き込み（ハードウェアまたはソフトウェア）を行っても、DAC_OUTPUT レジスタは、最初に DAC_INPUT レジスタへの書き込みが行われるまで新しいコードに更新されません。

表 31. CLEAR_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	CLEAR_CODE	クリア・コード。例えば WDT 故障などのクリア・イベントが発生すると、DAC はこのコードにクリアされます。	0x0	R/W

ユーザ・ゲイン・レジスタ

アドレス：0x04、リセット：0x04FFFF、レジスタ名：USER_GAIN

16 ビットの USER_GAIN レジスタを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。USER_GAIN レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0xFFFF です。理論的には、全出力範囲にわたってゲインを調整することができます。実用上は、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50% です。

表 32. USER_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_GAIN	ユーザ・ゲイン訂正コード。	0xFFFF	R/W

ユーザ・オフセット・レジスタ

アドレス：0x05、リセット：0x058000、レジスタ名：USER_OFFSET

16 ビットの USER_OFFSET レジスタを使うと、DAC チャンネルのオフセットを -32,768LSB ~ +32,768LSB の範囲で 1LSB ステップごとに調整できます。USER_OFFSET レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 33. USER_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_OFFSET	ユーザ・オフセット訂正コード。	0x8000	R/W

DAC 設定レジスタ

アドレス：0x06、リセット：0x060C00、レジスタ名：DAC_CONFIG

このレジスタは DAC の設定（範囲、内蔵/外付け R_{SET}、および出力イネーブル）、出力段回路のイネーブル、スルー・レート制御機能の設定を行います。

表 34. DAC_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:13]	SR_STEP	スルー・レート・ステップ。スルー・レート・ステップはスルー・レート・クロックと組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されます。 000 : 4LSB (デフォルト)。 001 : 12LSB。 010 : 64LSB。 011 : 120LSB。 100 : 256LSB。 101 : 500LSB。 110 : 1820LSB。 111 : 2048LSB。	0x0	R/W
[12:9]	SR_CLOCK	スルー・レート・クロック。スルー・レート・クロックは、デジタル・スルーが更新されるレートを定義します。 0000 : 240kHz 0001 : 200kHz 0010 : 150kHz 0011 : 128kHz 0100 : 64kHz 0101 : 32kHz 0110 : 16kHz (デフォルト)。 0111 : 8kHz	0x6	R/W

ビット	ビット名	説明	リセット	アクセス
		1000 : 4kHz 1001 : 2kHz 1010 : 1kHz 1011 : 512Hz 1100 : 256Hz 1101 : 128Hz 1110 : 64Hz 1111 : 16Hz		
8	SR_EN	スルー・レート制御を有効にします。 0 : 無効 (デフォルト)。 1 : 有効。	0x0	R/W
7	RSET_EXT_EN	電流設定外付け抵抗をイネーブルします。 0 : 内蔵 R _{SET} 抵抗をイネーブル (デフォルト)。 1 : 外付け R _{SET} 抵抗をイネーブル。	0x0	R/W
6	OUT_EN	V _{IOUT} をイネーブルします。 0 : V _{IOUT} 出力をディスエーブル (デフォルト)。 1 : V _{IOUT} 出力をイネーブル。	0x0	R/W
5	INT_EN	内蔵バッファをイネーブルします。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。このビットをセットすると、DAC と内蔵アンプがパワーアップされます。このビットをセットしても出力はイネーブルされません。このビットをセットしてから出力をイネーブルするまでに、200 μ s を超える遅延を設けることを推奨します。この遅延は、出力イネーブル・グリッチを減少させます。	0x0	R/W
4	OVRNG_EN	20%の電圧オーバーレンジをイネーブルします。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
[3:0]	Range	出力範囲を選択します。範囲ビットの内容を変更すると内部キャリブレーション・メモリのリフレッシュが開始されるので、その後の SPI 書込みは DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 に戻るまで行わないでください。無効な範囲コードへの書込みは無視されます。 0000 : 0V~5V の電圧範囲 (デフォルト)。 0001 : 0V~10V の電圧範囲。 0010 : \pm 5V の電圧範囲。 0011 : \pm 10V の電圧範囲。 1000 : 0mA~20mA の電流範囲。 1001 : 0mA~24mA の電流範囲。 1010 : 4mA~20mA の電流範囲。 1011 : \pm 20mA の電流範囲。 1100 : \pm 24mA の電流範囲。 1101 : -1mA~+22mA の電流範囲。	0x0	R/W

ソフトウェア LDAC レジスタ

アドレス : 0x07、リセット : 0x070000、レジスタ名 : SW_LDAC

このレジスタに 0x1DAC を書き込むと、SPI フレーム内のアドレス・ビットと一致するデバイスを対象にソフトウェア LDAC の更新が行われます。GP_CONFIG2 レジスタの GLOBAL_SW_LDAC ビットがセットされている場合は、アドレス・ビットが無視されて、同じ SPI バスを共有するすべてのデバイスが SW_LDAC コマンドを介して更新されます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 35. SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	LDAC_COMMAND	ソフトウェア LDAC。このレジスタに 0x1DAC を書き込むと、ソフトウェア LDAC 命令が実行されます。	0x0	R0/W

キー・レジスタ

アドレス：0x08、リセット：0x080000、レジスタ名：Key

このレジスタは、キャリブレーション・メモリのリフレッシュやソフトウェア・リセットなどのタスクを実行する特定のキー・コードを受け入れます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。リストされていないキー・コードはすべて予備です。

表 36. Key のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	KEY_CODE	<p>キー・コード。</p> <p>0x4765：ユーザ設定レジスタ空間をロックします。このキーは、その後に行われるバックグラウンド CRC 計算の比較基準となる理想 CRC の自動計算を開始します。</p> <p>0x896D：ユーザ設定レジスタ空間のロックを解除する 2 つのキーのうちの最初のキー。</p> <p>0x57AB：ユーザ設定レジスタ空間のロックを解除する 2 つのキーのうちの 2 番目のキー。</p> <p>0x15FA：ソフトウェア・リセットを開始する 2 つのキーのうちの最初のキー。</p> <p>0xAF51：ソフトウェア・リセットを開始する 2 つのキーのうちの 2 番目のキー。</p> <p>0x1ADC：選択された ADC チャンネルでシングル ADC 変換を開始するキー。</p> <p>0x0D06：ウォッチドッグ・タイマーをリセットする 2 つのキーのうちの最初のキー。</p> <p>0xF00D：ウォッチドッグ・タイマーをリセットする 2 つのキーのうちの 2 番目のキー。</p> <p>0x5CEA：バックグラウンド CRC の再計算を強制するキー。</p> <p>0xFCBA：シャドウ・レジスタに対してキャリブレーション・メモリのリフレッシュを開始するキー。このキーは最初に実行する場合のみ有効で、その後同じシステム・リセット・サイクルの中で書込みが行われても効果はありません。</p>	0x0	R0/W

汎用設定 1 レジスタ

アドレス：0x09、リセット：0x090204、レジスタ名：GP_CONFIG1

このレジスタは、温度コンパレータ閾値や CLKOUT などの機能の設定、その他様々な機能を有効にするために使用します。

表 37. GP_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R
[13:12]	SET_TEMP_THRESHOLD	<p>温度コンパレータ閾値を設定します。</p> <p>00：142°C（デフォルト）。</p> <p>01：127°C。</p> <p>10：112°C。</p> <p>11：97°C。</p>	0x0	R/W
[11:10]	CLKOUT_CONFIG	<p>CLKOUT ピンを設定します。</p> <p>00：ディスエーブル。CLKOUT ピンにクロックは出力されません（デフォルト）。</p> <p>01：イネーブル。CLKOUT_FREQ ビット（ビット [9:7]）に従って CLKOUT ピンにクロックが出力されます。</p> <p>10：予備（このオプションは選択しないでください）。</p> <p>11：予備（このオプションは選択しないでください）。</p>	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[9:7]	CLKOUT_FREQ	CLKOUT の周波数を設定します。 000 : 416kHz 001 : 435kHz 010 : 454kHz 011 : 476kHz 100 : 500kHz (デフォルト)。 101 : 526kHz 110 : 555kHz 111 : 588kHz	0x4	R/W
6	HART_EN	CHART ピンへのパスをイネーブルします。 0 : DAC の出力が出力段を直接駆動します (デフォルト)。 1 : HART モデムの接続またはスルー・コンデンサの接続ができるように、CHART パスが DAC 出力に結合されます。	0x0	R/W
5	NEG_OFFSET_EN	ユニポーラ V _{OUT} モードで負のオフセットを有効にします。このビットをセットすると、現在有効になっているユニポーラ出力範囲が、ここにリストされた値だけオフセットされます。このビットが適用される電圧範囲は、0V~6V と 0V~12V だけです。0V~6V 範囲は-300mV~+5.7V になり、0V~12V 範囲は-400mV~11.6V になります。 0 : 無効 (デフォルト)。 1 : 有効。	0x0	R/W
4	CLEAR_NOW_EN	出力スルー機能が有効な場合でも、直ちにクリアが行われるようにします。 0 : 無効 (デフォルト)。 1 : 有効。	0x0	R/W
3	SPI_DIAG_QUIET_EN	SPI 診断クワイエット・モードを有効にします。このビットをイネーブルすると、ステータス・レジスタ内に DIG_DIAG_STATUS ビットを生成する SPI_CRC_ERR、SLIPBIT_ERR、および SCLK_COUNT_ERR が論理 OR 計算から除外されます。このビットがセットされると、これらは FAULT ピンにも影響しなくなります。 0 : 無効 (デフォルト)。 1 : 有効。	0x0	R/W
2	OSC_STOP_DETECT_EN	内部発振器 (MCLK) が停止した場合に、SDO の自動 0x07DEAD コードを有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
1	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
0	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W

汎用設定 2 レジスタ

アドレス : 0x0A、リセット : 0x0A0200、レジスタ名 : GP_CONFIG2

このレジスタは、故障注入、内部電流出力モニタ、およびグローバル・ソフトウェア LDAC などの機能を設定して有効にするために使用します。

表 38. GP_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	RESERVED	予備。	0x0	R0
[14:13]	COMPARATOR_CONFIG	テスト用に温度コンパレータ入力と電圧コンパレータ入力の両方を直接駆動する能力を含め、電圧コンパレータの設定を行います。温度コンパレータは常時イネーブルされています。 00 : 電圧コンパレータをディスエーブル (デフォルト)。 01 : すべてのコンパレータをイネーブルした状態で、すべてのコンパレータ入力を診断テストのためハイに駆動します。これにより、すべての電圧コンパレータ結果フラグが ANALOG_DIAG_RESULTS レジスタにアサートされます。 10 : すべてのコンパレータをイネーブルした状態で、すべてのコンパレータ入力を診断テストのためローに駆動します。これにより、すべての電圧および温度コンパレータ結果フラグが ANALOG_DIAG_RESULTS レジスタにアサートされます。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		11：電圧コンパレータをイネーブル。REFIN バッファをパワーアップして REFIN コンパレータがこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。		
12	VLDO_CAP_DETECT_EN	VLDO ピンの未確認外部コンデンサを検出するための診断テストを開始します。テストが完了するとこのビットは 0 に戻るので、このビットをポーリングすればテストが完了したかどうかを知ることができます。 0：無効（デフォルト）。 1：有効。	0x0	R/W
11	RESERVED	予備。	0x0	R/W
10	GLOBAL_SW_LDAC	有効にすると、ソフトウェア LDAC コマンド実行時に ADFS5758 アドレス・ビットが無視され、1 つの SW_LDAC コマンドで複数のデバイスを同時に更新できるようになります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
9	FAULT_TIMEOUT	短い故障検出タイムアウトを有効にします。このビットは、VI _{OUT} 故障が検出されたことをアナログ・ブロックが示してから、これに応じて ANALOG_DIAG_RESULTS レジスタ内の該当ビットが変化するまでの遅延を設定します。この機能は、様々な出力負荷値に対応できる柔軟性を提供します。 0：故障検出タイムアウト = 25ms。 1：故障検出タイムアウト = 6.5ms（デフォルト）。	0x1	R/W
[8:5]	FAULT_INJ_3WI	3WI 故障注入機能を有効にします。リストされていないコードはすべて予備なので、選択しないでください。 0000：3WI 故障注入機能を使用しません（デフォルト）。 0100：DCLK をローに強制することによって、3 線式インターフェースの故障注入機能を有効にします。	0x0	R/W
4	DAC_LATCH_MON_FAULT_INJ	このビットをイネーブルすると DAC からの信号出力が変更され、それによって DIGITAL_DIAG_RESULTS レジスタの DAC_LATCH_MON_ERR ビットがトリガされます。 0：無効（デフォルト）。 1：有効。	0x0	R/W
3	DUAL_CAL_FAULT_INJ	このビットをイネーブルすると、内部 DAC コントローラ回路にビットが入力され、それによって内部 DAC キャリブレーション計算に誤差が生じます。このため、その後のデュアル・キャリブレーション・テストにおける 2 つの計算が一致しなくなり、DIGITAL_DIAG_RESULTS レジスタの DUAL_CAL_ERR ビットを介してエラーがフラグされます。 0：ディスエーブル（デフォルト）。 1：イネーブル。	0x0	R/W
2	INVERSE_DAC_CHECK_FAULT_INJ	このビットをイネーブルすると、内部 DAC コントローラ回路にビットが入力され、それによって DAC 反転計算に誤差が生じます。これにより、その後の計算が完了すると、DIGITAL_DIAG_RESULTS レジスタに INVERSE_DAC_CHECK_ERR フラグがセットされます。 0：ディスエーブル（デフォルト）。 1：イネーブル。	0x0	R/W
1	BKGND_CRC_FAULT_INJ	このビットをイネーブルすると、理想 CRC と比較する CRC を構成するために使われるビットの 1 つに、故障が注入されます。これは、その後に行われるバックグラウンド CRC チェックの完了時に、DIGITAL_DIAG_RESULTS レジスタの BKGND_CRC_ERR ビットによってフラグされます。 0：ディスエーブル（デフォルト）。 1：イネーブル。	0x0	R/W
0	SPI_READ_FAULT_INJ	このビットをイネーブルすると、読み出しデータとその後の SPI リードバック動作の読み出し CRC ビットが一致しなくなるように、SPI リードバック・フレームの MSB が反転されます。これは、DIGITAL_DIAG_RESULTS レジスタの SPI_CRC_ERR ビットによりフラグされます。 0：ディスエーブル（デフォルト）。 1：イネーブル。	0x0	R/W

DC/DC 設定 1 レジスタ

アドレス：0x0B、リセット：0x0B0000、レジスタ名：DCDC_CONFIG1

このレジスタは、DC/DC コントローラのモードを設定するために使用します。

表 39. DCDC_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R0
7	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
[6:5]	DCDC_MODE	これら 2 つのビットは DC/DC コンバータを設定します。 00：DC/DC コンバータをパワーオフ（デフォルト）。 01：DPC 電流モード。正の DPC レールは電流出力バッファのヘッドルームに追従します。 10：DPC 電圧モード。正の DPC レールは $-V_{SENSE}$ を基準に 15V に調整されます。 11：PPC 電流モード。 V_{DPC+} は、 $-V_{SENSE}$ を基準に 5V~25.677V のユーザ設定レベルに調整されます（設定値は DCDC_VPROG ビット、つまりビット [4:0] による）。ENABLE_PPC_BUFFERS ビット（ADC_CONFIG レジスタのビット 11）は、PPC 電流モードを有効にする前に設定する必要があります。	0x0	R/W
[4:0]	DCDC_VPROG	PPC モードでプログラムされた DC/DC 電圧。 V_{DPC+} は、5V (0b00000) から 25.677V (0b11111) までのユーザ設定レベルに 0.667V ステップで調整されます。 V_{DPC+} は $-V_{SENSE}$ を基準に調整されます。	0x0	R/W

DC/DC 設定 2 レジスタ

アドレス：0x0C、リセット：0x0C0100、レジスタ名：DCDC_CONFIG2

このレジスタは、DC/DC コンバータの電流制限や DC/DC ダイ・ノードなど、マルチプレクサを介して ADC に接続される様々な DC/DC ダイ機能を設定します。

表 40. DCDC_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:13]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R0
12	BUSY_3WI	3 線式インターフェースのビジー・インジケータ。 0：3 線式インターフェースが非アクティブ。 1：3 線式インターフェースがビジー状態。	0x0	R
11	INTR_SAT_3WI	3 線式インターフェースの飽和フラグ。割込み信号が 6 回連続して受信されて割込み検出回路が自動的にディスエーブルされると、このフラグが 1 に設定されます。いずれかの DC/DC 設定レジスタへの書き込みがあると、このビットは 0 にクリアされます。	0x0	R
10	DCDC_READ_COMP_DIS	3 線式インターフェースの読出しと比較サイクルを無効にします。この読出しおよび比較サイクルは、メイン・ダイ上の DC/DC 設定レジスタのコピーの内容と、DC/DC ダイの内容が一致していることを確認します。 0：自動読出しおよび比較サイクルを有効化（デフォルト）。 1：セット時、このビットは 3 線式インターフェース書き込み後の自動読出しおよび比較サイクルを無効にします。	0x0	R/W
[9:8]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
7	VIOUT_OV_ERR_DEGLITCH	VI _{OUT} 過電圧エラー・フラグのデグリッチ時間を調整します。 0: デグリッチ時間を 1.02ms に設定 (デフォルト)。 1: デグリッチ時間を 128μs に設定。	0x0	R/W
6	VIOUT_PULLDOWN_EN	VI _{OUT} とグラウンド間の 30kΩ 抵抗をイネーブルします。 0: 無効 (デフォルト)。 1: イネーブル。	0x0	R/W
[5:4]	DCDC_ADC_CONTROL_DIAG	どの DC/DC ダイ・ノードをマルチプレクサ経由でメイン・ダイの ADC に接続するかを選択します。 00: DC/DC ダイの AGND。 01: DC/DC ダイ上の内部 2.5V 電源。 10: AV _{DD1} 。 11: 予備 (このオプションは選択しないでください)。	0x0	R/W
[3:1]	DCDC_ILIMIT	これらの 3 ビットは、DC/DC コンバータの電流制限を設定します。 000: 150mA (デフォルト)。 001: 200mA 010: 250mA 011: 300mA 100: 350mA 101: 400mA 110: 400mA 111: 400mA	0x0	R/W
0	Reserved	予備。	0x0	R/W

ウォッチドッグ・タイマー (WDT) 設定レジスタ

アドレス: 0x0F、リセット: 0x0F0009、レジスタ名: WDT_CONFIG

このレジスタは WDT のタイムアウト値を設定します。このレジスタは、受け入れ可能なリセットと WDT 故障により生じる対応 (例えば出力をクリアする、またはデバイスをリセットする) に関する WDT セットアップも設定します。

表 41. WDT_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 <u>FAULT</u> ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	RESERVED	予備。	0x0	R
10	CLEAR_ON_WDT_FAIL	ウォッチドッグ・タイマー故障時のクリアを有効にします。ウォッチドッグ・タイマーがタイムアウトした場合はクリア・イベントが発生して出力がロードされ、CLEAR_CODE レジスタにクリア・コードが保存されます。 0: 無効 (デフォルト)。 1: 有効。	0x0	R/W
9	RESET_ON_WDT_FAIL	WDT タイムアウト時の自動ソフトウェア・リセットを有効にします。 0: 無効 (デフォルト)。 1: 有効。	0x0	R/W
8	KICK_ON_VALID_WRITE	WDT をリセットする有効な SPI コマンドを有効にします。WDT を再開できるようにするには、アクティブな WDT エラー・フラグをクリアする必要があります。 0: 無効 (デフォルト)。 1: 有効。	0x0	R/W
7	DOUBLE_WR_KICK_EN	このビットをセットすると、ウォッチドッグ・タイマーのキックに、2 つの連続した特定キー・コードが必要になります。WDT を再開できるようにするには、アクティブな WDT エラー・フラグをクリアする必要があります。 0: 無効 (デフォルト)。ウォッチドッグ・タイマーをキックするために必要なキー・コードは 1 つです。 1: 有効。ウォッチドッグ・タイマーをキックするために必要なキー・コードは 2 つです。	0x0	R/W
6	WDT_EN	WDT をイネーブルします。アクティブな WDT 故障フラグがない場合は、次のキックが WDT を開始します。 0: デイスエーブル (デフォルト)。 1: イネーブル。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[5:4]	WINDOW_WIDTH	WDTのウィンドウ幅を設定します。ウォッチドッグ・タイマーは中央閾値とウィンドウ幅を使用します。ウィンドウ幅は中央閾値の分数値です。ウィンドウ幅が1/1（デフォルト）に設定されている場合、ウォッチドッグ・タイマーのモニターは、タイマー・リセットが遅い場合についてのみ行われます。しかし、ウィンドウ幅が1/1以外の値に設定されている場合、ウォッチドッグ・タイマーのモニターは、リセットが早い場合と遅い場合の両方について行われます。 00：1/1（デフォルト） 01：1/2 10：1/4 11：1/8	0x0	R/W
[3:0]	CENTER_THRESHOLD	ウィンドウ中央のタイムアウト閾値を設定します。CENTER_THRESHOLD [3:0]を0b1010より大きいバイナリ値に設定すると、デフォルト設定の1秒になります。 0000：1ms。 0001：5ms。 0010：10ms。 0011：25ms。 0100：50ms。 0101：100ms。 0110：250ms。 0111：500ms。 1000：750ms。 1001：1秒（デフォルト）。 1010：2秒。	0x9	R/W

デジタル診断設定レジスタ

アドレス：0x10、リセット：0x10005D、レジスタ名：DIGITAL_DIAG_CONFIG

このレジスタは、特定アプリケーション用に様々なデジタル診断機能を設定します。

表 42. DIGITAL_DIAG_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:9]	RESERVED	予備。	0x0	R0
[8:7]	BKGND_CRC_MON_MODE	メモリ・マップ CRC のモニタリング・モードを選択します。 00：キー・コードを使ってユーザが CRC チェックを制御します（デフォルト）。 01：有効な SPI フレームの完了時に自動的に CRC が行われます。 10：バックグラウンドで連続的に CRC が実行されます。 11：バックグラウンドで連続的に CRC が実行されます。	0x0	R/W
6	DAC_LATCH_MON_EN	DAC ラッチの診断モニターを有効にします。この機能は DAC を駆動する実際のデジタル・コードをモニターして、このコードをデジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR フラグがセットされます。 0：無効。 1：有効（デフォルト）。	0x1	R/W
5	DUAL_CAL_EN	16 ビットユーザ DAC コードの内部キャリブレーションを 2 回実行します。DAC は、両方の結果が一致した場合のみ更新されます。レジスタに異常が記録されると DAC への書込みは行われず、DIGITAL_DIAG_RESULTS レジスタに DUAL_CAL_ERR フラグがセットされます。この機能を有効にすると、 t_{14} （SYNC の立上がりエッジから DAC 出力応答までの時間）が 1.5 μ s から 2 μ s に延長されます。 0：無効（デフォルト）。 1：有効。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
4	INVERSE_DAC_CHECK_EN	DAC コードと反転 DAC コードのエラーに関するチェックを有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
3	CAL_MEM_CRC_EN	キャリブレーション・メモリ・リフレッシュ時のキャリブレーション・メモリの CRC を有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
2	FREQ_MON_EN	内部発振器（MCLK）の内部周波数モニタを有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
1	CFG_LOCK_CHECK_EN	ロックされたユーザ設定空間への書き込みのチェックを有効にします。有効にすると、この診断機能は、ロックされたユーザ設定空間に対して行われた書き込みをチェックします。ロックされた空間への書き込みは無視され、それぞれに対応するフラグが DIGITAL_DIAG_RESULTS レジスタ内にセットされます。 0：無効（デフォルト）。 1：有効。	0x0	R/W
0	SPI_CRC_EN	SPI CRC 機能を有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W

ADC 設定レジスタ

アドレス：0x11、リセット：0x110000、レジスタ名：ADC_CONFIG

このレジスタは、ADC を 4 つある動作モードの 1 つに設定します。モードは、キー・シーケンシング、自動シーケンシング、現在選択されている ADC_IP_SELECT ノードのシングル即時変換、またはシングルキー変換です。

表 43. ADC_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	RESERVED	予備。	0x0	R/W
[10:8]	SEQUENCE_COMMAND	ADC シーケンス・コマンド・ビット。 000：シーケンサの深度を設定します。SEQUENCE_DATA [7:5] ビットの内容は、シーケンサの深度に対応しています。000=1 チャンネル、001=2 チャンネル、… 111=8 チャンネル。 001：ADC 入力 ADC_IP_SELECT [4:0] でチャンネル SEQUENCE_DATA [7:5] を設定します。 010：SEQUENCE_DATA [7:5] ビットの内容に応じてキー・シーケンサ・モードを有効／無効にします。SEQUENCE_DATA [7:5] = 001：キー・シーケンサを有効化。 SEQUENCE_DATA [7:5] ≠ 001：キー・シーケンサを無効化。 011：SEQUENCE_DATA [7:5] ビットの内容に応じて自動シーケンサ・モードを有効／無効にします。SEQUENCE_DATA [7:5] = 001：自動シーケンサを有効化。 SEQUENCE_DATA [7:5] ≠ 001：自動シーケンサを無効化。 100：ADC_IP_SELECT [4:0] 入力のシングル変換を開始します。これは自動シーケンシングを無効にします。SEQUENCE_DATA ビット [7:5] ビットは、このコマンドには適用されません。 101：0x1 ADC キー・コードを使い、その後の個々の ADC 変換用に ADC をセットアップします（キー・シーケンサを使用しない場合）。SEQUENCE_DATA ビット [7:5] ビットは、このコマンドには適用されません。 110：予備（このオプションは選択しないでください）。 111：予備（このオプションは選択しないでください）。	0x0	R/W
[7:5]	SEQUENCE_DATA	このフィールドの機能は、SEQUENCE_COMMAND [10:8] ビットが送出するコマンドによって異なります。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[4:0]	ADC_IP_SELECT	<p>どのノードをマルチプレクサ経由でADCに接続するかを選択します。リストされていない5ビット・コードはすべて予備で、ADC結果の0を返します。</p> <p>00000：メイン・ダイ温度。 00001：DC/DCダイ温度。 00010：予備（このオプションは選択しないでください）。 00011：REFIN。REFINバッファをパワーアップしてADCがこのノードを使用できるようにするには、DAC_CONFIGレジスタのINT_ENビットをセットする必要があります。 00100：REF2。内部1.23Vリファレンス電圧。 00101：予備（このオプションは選択しないでください）。 00110：予備（このオプションは選択しないでください）。 01100：ADC2ピン入力。 01101：+V_{SENSE}バッファ出力の電圧。 01110：-V_{SENSE}バッファ出力の電圧。 01111：ADC1ピン入力（0V～1.25V入力範囲）。 10000：ADC1ピン入力（0V～0.5V入力範囲）。 10001：ADC1ピン入力（0V～2.5V入力範囲）。 10010：ADC1ピン入力（±0.5V入力範囲）。 10011：予備（このオプションは選択しないでください）。 10100：INT_AVCC。 10101：V_{LDO}。 10110：V_{LOGIC}。 11000：REFGND。 11001：AGND。 11010：DGND。 11011：V_{DPC+}。 11100：AV_{DD2}。 11101：AV_{SS}。 11110：DC/DCダイ・ノード。DCDC_CONFIG2レジスタで設定します。 11111：REFOUT。</p>	0x0	R/W

FAULTピン設定レジスタ

アドレス：0x12、リセット：0x120000、レジスタ名：FAULT_PIN_CONFIG

このレジスタは、必要に応じてFAULTピンから特定の故障ビットをマスクするために使用します。

表 44. FAULT_PIN_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	INVALID_SPI_ACCESS_ERR	このビットをセットした場合は、INVALID_SPI_ACCESS_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
14	VIOUT_OV_ERR	このビットをセットした場合は、VIOUT_OV_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
13	CFG_LOCK_CHECK_ERR	このビットをセットした場合は、CFG_LOCK_CHECK_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
12	INVERSE_DAC_CHECK_ERR	このビットをセットした場合は、INVERSE_DAC_CHECK_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
11	DUAL_CAL_ERR	このビットをセットした場合は、DUAL_CAL_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
10	OSCILLATOR_STOP_DETECT	このビットをセットした場合は、クロック停止エラーをFAULTピンにマップしないでください。	0x0	R/W
9	DAC_LATCH_MON_ERR	このビットをセットした場合は、DAC_LATCH_MON_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
8	WDT_ERR	このビットをセットした場合は、WDT_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
7	SLIPBIT_ERR	このビットをセットした場合は、SLIPBIT_ERR エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
6	SPI_CRC_ERR	このビットをセットした場合は、SPI_CRC_ERR エラー・フラグをピンにマップしないでください。	0x0	R/W
5	Reserved	予備。	0x0	R/W
4	DCDC_P_SC_ERR	このビットをセットした場合は、正レールDC/DC短絡回路エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
3	IOOUT_OC_ERR	このビットをセットした場合は、電流出力オープンサーキット・エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
2	VOOUT_SC_ERR	このビットをセットした場合は、電圧出力短絡エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
1	DCDC_DIE_TEMP_ERR	このビットをセットした場合は、DC/DC ダイ温度エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
0	MAIN_DIE_TEMP_ERR	このビットをセットした場合は、メイン・ダイ温度エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W

2 段リードバック選択レジスタ

アドレス：0x13、リセット：0x130000、レジスタ名：TWO_STAGE_READBACK_SELECT

このレジスタは、2 段リードバック動作に必要なレジスタのアドレスを選択します。リードバック用に選択したレジスタのアドレスは、ビット [D4:D0] に保存されます。

表 45. TWO_STAGE_READBACK_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:7]	Reserved	予備。	0x0	R
[6:5]	READBACK_MODE	これらのビットは、SPI リードバック・モードを制御します。 0：2 段 SPI リードバック・モード（デフォルト）。 01：自動ステータス・リードバック・モード：ステータス・レジスタの内容が、SPI フレームごとに SDO にシフト・アウトされます。 10：共有 SYNC 自動ステータス・リードバック・モード。このモードでは、複数のデバイスで同じ SYNC ラインを共有することができます（ハードウェア・アドレス・ピンを使用して区別）。デバイスへの有効な書込みが終了するたびにフラグがセットされますが、このモードは、内部フラグがセットされていない限り（つまり、1 つ前の SPI 書込みが有効となっていない限り）、SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しません。この点を除き、通常の自動ステータス・リードバック・モードと同様に動作します。 11：ステータス・レジスタの内容と前の SPI フレームの命令を SDO で交互に使用できます。	0x0	R/W
[4:0]	READBACK_SELECT	2 段リードバックのリードバック・アドレスを選択します。 0x00：NOP レジスタ（デフォルト）。 0x01：DAC_INPUT レジスタ。 0x02：DAC_OUTPUT レジスタ。 0x03：CLEAR_CODE レジスタ。 0x04：USER_GAIN レジスタ。 0x05：USER_OFFSET レジスタ。 0x06：DAC_CONFIG レジスタ。 0x07：SW_LDAC レジスタ。 0x08：キー・レジスタ。 0x09：GP_CONFIG1 レジスタ。 0x0A：GP_CONFIG2 レジスタ。 0x0B：DCDC_CONFIG1 レジスタ。 0x0C：DCDC_CONFIG2 レジスタ。 0x0D：予備（このオプションは選択しないでください）。 0x0E：予備（このオプションは選択しないでください）。 0x0F：WDT_CONFIG レジスタ。 0x10：DIGITAL_DIAG_CONFIG レジスタ。 0x11：ADC_CONFIG レジスタ。 0x12：FAULT_PIN_CONFIG レジスタ。 0x13：TWO_STAGE_READBACK_SELECT レジスタ。 0x14：DIGITAL_DIAG_RESULTS レジスタ。 0x15：ANALOG_DIAG_RESULTS レジスタ。 0x16：ステータス・レジスタ。 0x17：CHIP_ID レジスタ。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		0x16 : ステータス・レジスタ。 0x17 : CHIP_ID レジスタ。 0x18 : FREQ_MONITOR レジスタ。 0x19 : DEVICE_ID_0 レジスタ。 0x1A : DEVICE_ID_1 レジスタ。 0x1B : DEVICE_ID_2 レジスタ。 0x1C : DEVICE_ID_3 レジスタ。		

デジタル診断結果レジスタ

アドレス : 0x14、リセット : 0x14A000、レジスタ名 : DIGITAL_DIAG_RESULTS

このレジスタには、オンチップ・デジタル診断機能用のエラー・フラグが格納されます。これらの機能のほとんどは、デジタル診断設定レジスタを使って設定できます。このレジスタには、リセットが行われたことを示すフラグや、キャリブレーション・メモリがリフレッシュされていないこと、あるいは無効な SPI アクセスをしようとしたことを示すフラグも格納されます。CAL_MEM_UNREFRESHED フラグと SLEW_BUSY フラグを除き、これらのフラグを最新の値に更新する場合は、常に 1 を書き込む必要があります。CAL_MEM_UNREFRESHED フラグはキャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされ、SLEW_BUSY フラグは出力スルーが完了すると自動的にクリアされます。DIGITAL_DIAG_CONFIG レジスタの対応するイネーブル・ビットがイネーブルされていない場合、各フラグ・ビットはゼロと見なされます。

表 46. DIGITAL_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	CAL_MEM_UNREFRESHED	キャリブレーション・メモリ未リフレッシュ・フラグ。DAC_CONFIG レジスタ内の範囲ビットに変更を加えてもキャリブレーション・メモリのリフレッシュは開始され、その場合もこのビットがアサートされます。このレジスタ内の R/W-1-C ビットと異なり、このビットは、キャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされます。 0 : キャリブレーション・メモリはリフレッシュ済み。 1 : キャリブレーション・メモリは未リフレッシュ (パワーアップ時のデフォルト)。 DAC_CONFIG レジスタの範囲ビットが変更された場合は、このビットがアサートされます。	0x1	R
14	SLEW_BUSY	DAC が能動的にスルーイングしているときは、このフラグが 1 に設定されます。このレジスタ内の R/W-1-C ビットと異なり、このビットは、スルーイングが完了すると自動的にクリアされます。	0x0	R
13	RESET_OCCURRED	このビットは、リセットが行われたことをフラグします (したがって、パワーアップ時のデフォルトはロジック 1 です)。	0x1	R/W-1-C
12	ERR_3WI	このビットは、3 線式インターフェース通信のエラーをフラグします。	0x0	R/W-1-C
11	WDT_LATE_ERR	このビットは遅延 WDT 故障をフラグします。	0x0	R/W-1-C
10	WDT_EARLY_ERR	このビットは過早 WDT 故障をフラグします。	0x0	R/W-1-C
9	BKGDND_CRC_ERR	このビットは、キャリブレーション・メモリとレジスタ設定空間の両方を組み合わせたバックグラウンド CRC 計算のエラーをフラグします。このビットは、3 線式の読出しおよび比較トランザクションでパリティ・エラーが発生した場合もエラーをフラグします。	0x0	R/W-1-C
8	DAC_LATCH_MON_ERR	このビットは、DAC ラッチの出力が入力に一致していない場合にエラーをフラグします。	0x0	R/W-1-C
7	DUAL_CAL_ERR	このビットは、デュアル・キャリブレーション比較に失敗した場合もエラーをフラグします。	0x0	R/W-1-C
6	INVERSE_DAC_CHECK_ERR	このビットは、デジタル・コアによって駆動される DAC コードと反転コピーの間で異常が検出された場合に、エラーをフラグします。	0x0	R/W-1-C
5	CAL_MEM_CRC_ERR	このビットは、キャリブレーション・メモリをリフレッシュする際の CRC 計算に関する CRC エラーをフラグします。	0x0	R/W-1-C
4	INVALID_SPI_ACCESS_ERR	このビットは、無効なアドレスや予備アドレスとの間の読出しや書込みなど、無効な SPI アクセスが試みられた場合にエラーをフラグします。このビットは、パワーアップ直後のキャリブレーション・メモリのリフレッシュ前に SPI 書込みをしようとした場合や、キャリブレーション・メモリのリフレッシュ進行中に SPI 書込みをしようとした場合も、エラーをフラグします。キャリブレーション・メモリのリフレッシュ中に 2 段階リードバックを行うことは可能です。このフラグがセットされることはありません。読出し専用レジスタに書込みをしようとした場合も、このビットがアサートされます。	0x0	R/W-1-C
3	CFG_LOCK_CHECK_ERR	このビットは、ロックされたユーザ設定空間に書込みを行おうとした場合にエラーをフラグします。	0x0	R/W-1-C
2	SCLK_COUNT_ERR	このビットは、SCLK 立下がりエッジ・カウント・エラーをフラグします。SPI CRC が有効になっている場合は 32 クロックが必要で、SPI CRC が有効になっていない場合は 24 クロックまたは 32 クロックが必要です。	0x0	R/W-1-C

ビット	ビット名	説明	リセット	アクセス
1	SLIPBIT_ERR	このビットは SPI フレーム・スリップ・ビット・エラーをフラグします。つまり、SPI ワードの MSB が MSB-1 を反転した値に等しくない場合です。	0x0	R/W-1-C
0	SPI_CRC_ERR	このビットは SPI CRC エラーをフラグします。	0x0	R/W-1-C

アナログ診断結果レジスタ

アドレス：0x15、リセット：0x150000、レジスタ名：ANALOG_DIAG_RESULTS

このレジスタには、コンパレータがバックグラウンドでモニタする 4 つの電圧ノード (V_{LDO}、INT_AVCC、REFIN、REFOUT) に対応するエラー・フラグと、やはりコンパレータがモニタする各ダイ温度に関するフラグが格納されます。電圧出力短絡、電流出力オープン・サーキット、V_{IOUT} 過電圧、DC/DC に関するエラー・フラグも、このレジスタに格納されます。DIGITAL_DIAG_RESULTS レジスタ同様、このレジスタに格納されるすべてのフラグは、その内容を更新またはクリアするために 1 を書き込む必要があります。対応する診断機能がイネーブルされていない場合、それぞれのエラー・フラグはゼロと見なされます。

表 47. ANALOG_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	Reserved	予備。	0x0	R0
13	VIOUT_OV_ERR	このビットは、V _{IOUT} ピンの電圧が V _{DPC+} レールまたは AV _{SS} レールを外れた場合にエラーをフラグします。	0x0	R/W-1-C
12	Reserved	予備。	0x0	R/W-1-C
11	DCDC_P_SC_ERR	このビットは、正レール DC/DC 回路の DC/DC 短絡エラーをフラグします。	0x0	R/W-1-C
10	Reserved	予備。	0x0	R/W-1-C
9	DCDC_P_PWR_ERR	このビットは、DC/DC 調整故障をフラグします。つまり、AV _{DD1} 電圧が不十分なために DC/DC 回路が目標の V _{DPC+} 電圧に達しない場合です。	0x0	R/W-1-C
8	VLDO_CAP_ERR	このビットは、コンデンサ検出テストによって V _{LDO} ピンのコンデンサが検出されなかった場合に、エラーをフラグします。	0x0	R/W-1-C
7	IOUT_OC_ERR	このビットは、電流出力オープン・サーキット・エラーをフラグします。このエラー・ビットは、電流出力オープン・サーキットの場合と、内部電流出力駆動回路が設定出力電流を提供できるだけの十分なヘッドルームを使用できない場合にセットされます。	0x0	R/W-1-C
6	VOUT_SC_ERR	このビットは、電圧出力短絡エラーをフラグします。	0x0	R/W-1-C
5	DCDC_DIE_TEMP_ERR	このビットは、DC/DC ダイの過熱エラーをフラグします。	0x0	R/W-1-C
4	MAIN_DIE_TEMP_ERR	このビットは、メイン・ダイの過熱エラーをフラグします。	0x0	R/W-1-C
3	REFOUT_ERR	このビットは、REFOUT ノードがコンパレータの閾値レベルを超えたこと、あるいはその短絡電流制限に達したことをフラグします。	0x0	R/W-1-C
2	REFIN_ERR	このビットは、REFIN ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
1	INT_AVCC_ERR	このビットは、INT_AVCC ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
0	VLDO_ERR	このビットは、V _{LDO} ノードがコンパレータの閾値レベルを超えたこと、あるいはその短絡電流制限に達したことをフラグします。	0x0	R/W-1-C

ステータス・レジスタ

アドレス：0x16、リセット：0x160000、レジスタ名：Status

このレジスタには、ADCデータおよびステータス・ビットのほか、WDT、OR演算されたアナログおよびデジタル診断、ならびにFAULTピンのステータス・ビットが格納されます。

表 48. Status のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
20	DIG_DIAG_STATUS	このビットは、DIGITAL_DIAG_RESULTS レジスタのビット [15:0] (SLEW_BUSY ビットを除く) の内容を論理 OR した結果を表します。したがって、これらのビットのいずれかがハイの場合は DIG_DIAG_STATUS ビットもハイになります。パワーアップ時には RESET_OCCURRED フラグがアクティブなので、このビットはハイになります。論理 OR 機能が DIGITAL_DIAG_RESULTS レジスタのビット [D15:D3] (SLEW_BUSY ビットを除く) だけを対象とするように、クワイエット・モードを使用することもできます (GP_CONFIG1 レジスタの SPI_DIAG_QUIET_EN)。SPI CRC、SPI スリップ・ビット、または SCLK カウント・エラーが発生した場合、DIG_DIAG_STATUS はハイにセットされません。	0x1	R
19	ANA_DIAG_STATUS	このビットは、ANALOG_DIAG_RESULTS レジスタのビット [13:0] の内容を論理 OR した結果を表します。したがって、このレジスタのいずれかのビットがハイの場合は ANA_DIAG_STATUS ビットもハイになります。	0x0	R
18	WDT_STATUS	WDT ステータス・ビット。	0x0	R
17	ADC_BUSY	ADC ビジー・ステータス・ビット。	0x0	R
[16:12]	ADC_CH	ステータス・レジスタの ADC_DATA によって表される ADC チャンネルのアドレス。	0x0	R
[11:0]	ADC_DATA	ADC_CH ビット (ビット [4:0]) によってアドレス指定された反転信号を表す 12 ビットの ADC データ。	0x0	R

チップ ID レジスタ

アドレス：0x17、リセット：0x170101、レジスタ名：CHIP_ID

このレジスタには、メイン・ダイと DC/DC ダイのシリコン・リビジョン ID が格納されます。

表 49. CHIP_ID ビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	Reserved	予備。	0x0	R0
[10:8]	DCDC_DIE_CHIP_ID	これらのビットには、DC/DC ダイのリビジョン番号が反映されます。	0x2	R
[7:0]	MAIN_DIE_CHIP_ID	これらのビットには、メイン・ダイのリビジョン番号が反映されます。	0x2	R

周波数モニタ・レジスタ

アドレス：0x18、リセット：0x180000、レジスタ名：FREQ_MONITOR

内部周波数モニタは、内部発振器 (MCLK) を使って 1kHz (MCLK/10,000) の周波数でパルスを生成します。このパルスは、16 ビット・カウンタを加算するために使用します。カウンタの値は、FREQ_MONITOR レジスタから読み出すことができます。ユーザはこのレジスタを周期的にポーリングし、内部発振器の診断ツール (発振器動作のモニタ) として使用したり、周波数を測定するために使用したりすることができます。この機能は、DIGITAL_DIAG_CONFIG レジスタの FREQ_MON_EN ビットによりデフォルトで有効になっており、内部発振器の堅牢性のチェックに使用することができます。

表 50. FREQ_MONITOR のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	FREQ_MONITOR	内部クロック・カウンタの値。	0x0	R

デバイス ID レジスタ

ADFS5758 のデバイス ID は 46 ビットの値で構成されています。46 ビットの固有識別子を表すには、DEVICE_ID_0、DEVICE_ID_1、および DEVICE_ID_2 に保存されたデータを組み合わせる必要があります。例えば、DEVICE_ID_0 から読み出した値が 0xA5D2、DEVICE_ID_1 から読み出した値が 0x38A8、DEVICE_ID_2 から読み出した値が 0x14D2 だとすると、デバイス ID は 0x14D238A8A5D2 です。

デバイス ID バイト 0 およびバイト 1 レジスタ

アドレス：0x19、リセット：0x190000、レジスタ名：DEVICE_ID_0

表 51. DEVICE_ID_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	DEVICE_ID_0	デバイス ID バイト 0。	0x0	R
[7:0]	DEVICE_ID_1	デバイス ID バイト 1。	0x0	R

デバイス ID バイト 2 およびバイト 3 レジスタ

アドレス：0x1A、リセット：0x1A0000、レジスタ名：DEVICE_ID_1

表 52. DEVICE_ID_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	LOT_ID_NUM_1	ロット ID 番号 1	0x0	R
[10:5]	LOT_ID_2	ロット ID の 2 番目の識別子。	0x0	R
[4:0]	LOT_ID_1	ロット ID の最初の識別子。	0x0	R

デバイス ID バイト 4 およびバイト 5 レジスタ

アドレス：0x1B、リセット：0x1B0000、レジスタ名：DEVICE_ID_2

表 53. DEVICE_ID_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	RESERVED	予備。	0x0	R
[13:9]	LOT_ID_NUM_3	ロット ID 番号 3	0x0	R
[8:0]	LOT_ID_NUM_2	ロット ID 番号 2	0x0	R

デバイス ID バイト 6 レジスタ

アドレス：0x1C、リセット：0x1C0000、レジスタ名：DEVICE_ID_3

表 54. DEVICE_ID_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	Reserved	予備。	0x0	R
[7:3]	Reserved	予備。	0x0	R
[2:0]	GENERIC ID	ジェネリック ID。 000：予備 001：予備 010：予備 011：予備 100：予備 101：ADFS5758 110：予備 111：予備	0x0	R

アプリケーション情報

図 94 に示すモジュール例と消費電力計算方法 ($R_{LOAD} = 1k\Omega$) のセクションに示す方法を使用して、モジュールの消費電力（負荷で消費される電力を除く）を計算することができます。最大 I_{OUT} 値を 20mA、 R_{LOAD} 値を 1k Ω として計算すると、モジュールの合計消費電力は約 226mW となります。外部デジタル・アイソレーションに伴う電力は使用部品の選択によって異なるので、計算には含まれていません。

1k Ω 負荷の部分を短絡させた場合の消費電力計算は、消費電力計算方法 ($R_{LOAD} = 0\Omega$) のセクションに示すとおりで、短絡状態でのモジュールの合計消費電力は約 206mW となります。

消費電力計算方法 ($R_{LOAD} = 1k\Omega$)

表 55. 自己消費電流時の電力計算

Voltage (V)	Current (mA)	Power (mW)
$AV_{DD1} = 24$	$AI_{DD1} = 0.05$	1.2
$AV_{DD2} = 5$	$AI_{DD2} = 2.9$	14.5
$AV_{SS} = -15$	$AI_{SS} = 0.23$	3.45
$V_{LOGIC} = 3.3$	$I_{LOGIC} = 0.01$	0.033

表 55 の電圧および電流値を使用すると、自己消費電流時の合計消費電力は 19.18mW になります。

次に、以下の計算を行います。

$$(V_{DPC+}) \times (20mA + I_{DPC+}) = 22.5V \times 20.5mA = 461.25mW$$

DC/DC コンバータの効率を 90% と仮定します。したがって、 V_{DPC+} の電力 = 512.5mW です。これから、ADP1031 PMU の ADFS5758 側合計入力電力は、512.5mW + 19.18mW = 531.68mW となります。この値から負荷による消費電力 400mW を引くと、ADFS5758 だけに相当する電力 131.68mW が得られます。

ADP1031 の効率を 85% とすると、合計入力電力は 625.5mW となります

$$\text{モジュールの合計消費電力} = \text{入力電力} - \text{負荷の消費電力}$$

したがって、以下の結果が得られます。

$$625.5mW - 400mW = 225.5mW$$

消費電力計算方法 ($R_{LOAD} = 0\Omega$)

表 55 の電圧および電流値を使用すると、自己消費電流時の合計消費電力は 19.18mW になります。

次に、

$$(V_{DPC+}) \times (20mA + I_{DPC+}) = 4.95V \times 20.5mA = 101.5mW$$

DC/DC コンバータの効率を 65% と仮定します。したがって、 V_{DPC+} の電力 = 156.2 mW です。これから、ADP1031 の ADFS5758 側合計入力電力は 156.2mW + 19.18mW = 175.38mW となります。この値から負荷による消費電力 0mW を引くと、ADFS5758 だけに相当する電力 175.38mW が得られます。

ADP1031 の効率を 85% とすると、合計入力電力は 206.33mW となります

$$\text{モジュールの合計消費電力} = \text{入力電力} - \text{負荷の消費電力}$$

したがって、以下の結果が得られます。

$$206.33mW - 0mW = 206.33mW$$

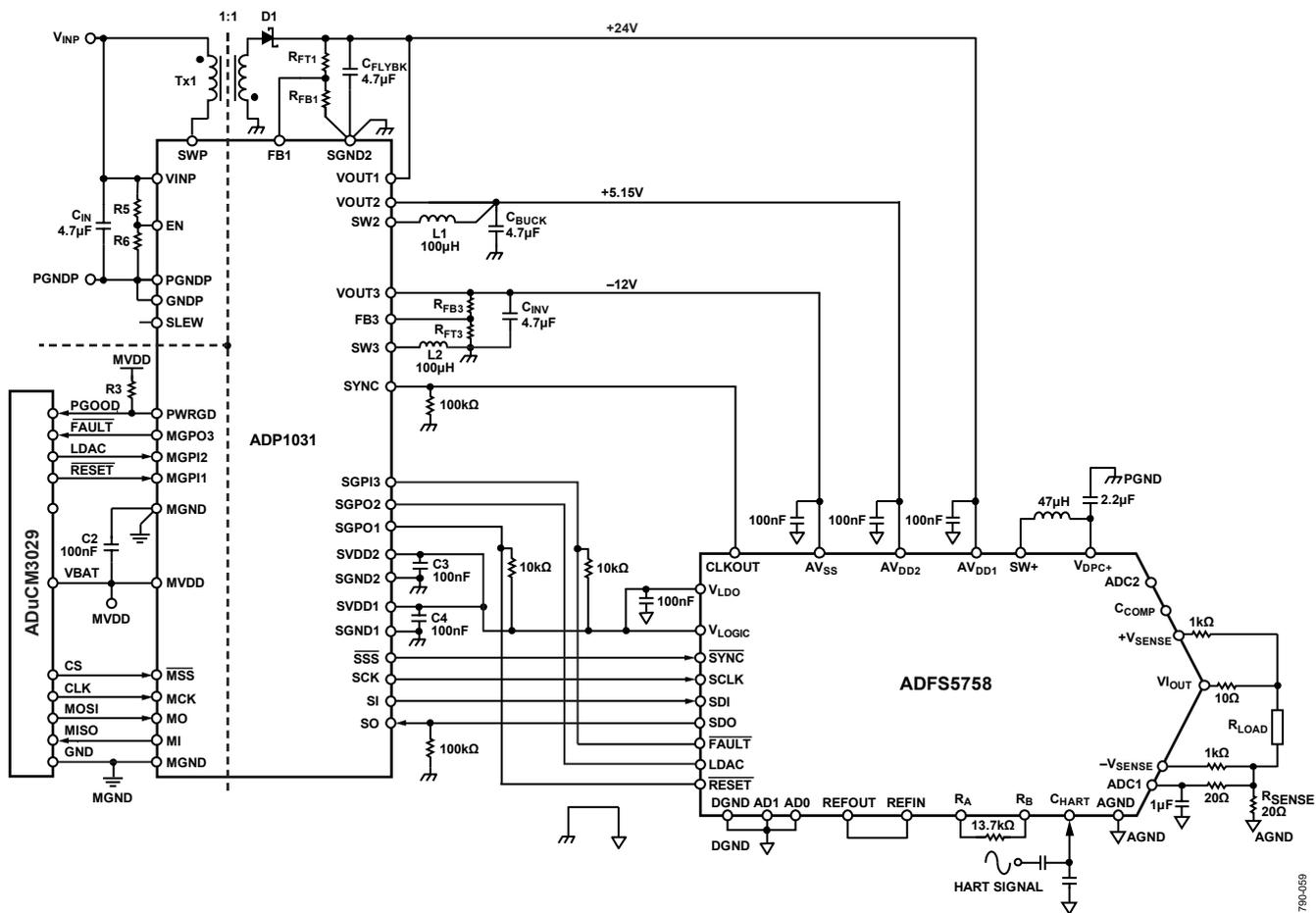
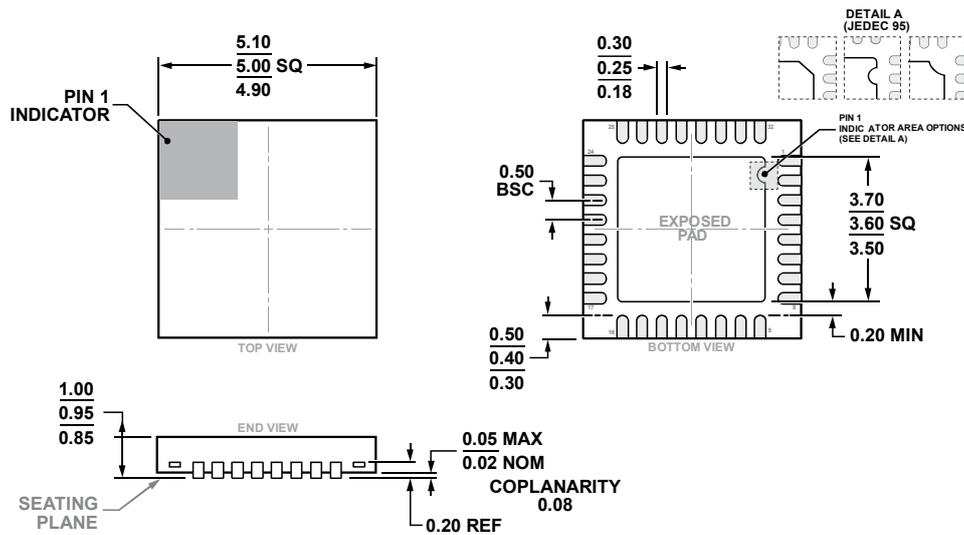


図 94. ADP1031 と ADFS5758 を含むモジュールの例

21790-059

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-5.

図 95. 32 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]
 5mm × 5mm ボディ、0.95mm パッケージ高
 (CP-32-30)
 寸法 : mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADFS5758BCPZ-RL7	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-30
EVAL-ADFS5758SDZ		Evaluation Board	

¹ Z = RoHS 準拠製品

² USB インターフェース・ボード、[EVAL-SDP-CS1Z](#)