

VCO 内蔵マイクロ波広帯域シンセサイザ

特長

- ▶ 出力周波数範囲：800MHz～12.8GHz
- ▶ ジッタ：30fs_{RMS}未満（ $f_{OUT} = 9.001\text{GHz}$ 、 $f_{REF} = f_{PFD} = 250\text{MHz}$ 、フラクショナル・モードの場合）
- ▶ 広帯域位相ノイズ・フロア：-160dBc/Hz（12.8GHz）
- ▶ PLL 仕様
 - ▶ 正規化帯域内位相ノイズ・フロア
 - ▶ -239dBc/Hz：インテジャー・モード、
 - ▶ -237dBc/Hz：フラクショナル・モード
 - ▶ 正規化 1/f 位相ノイズ・フロア
 - ▶ -287dBc/Hz：1Hzに正規化
 - ▶ -147dBc/Hz：1GHzに正規化（10kHz）
 - ▶ 位相検出器の周波数：625MHz（インテジャー・モード）
 - ▶ 位相検出器の周波数：250MHz（フラクショナル・モード）
 - ▶ 25 ビット固定、49 ビット結合フラクショナル・モジュラス
 - ▶ リファレンス入力周波数：4GHz
 - ▶ PFD スプリアス：-95dBc（代表値）
- ▶ リファレンス出力間遅延仕様
 - ▶ 温度係数：0.06 ps/°C
 - ▶ 調整ステップ・サイズ：<1ps
- ▶ マルチチップ出力位相アライメント
 - ▶ SYNC ピンまたは EZSync 方式による
- ▶ 3.3V および 5V の電源
- ▶ ADIsimPLL™ ループ・フィルタ設計ツールに対応
- ▶ 48 ピン、7mm × 7mm LGA パッケージを採用
 - ▶ 動作ジャンクション温度範囲：-40°C～+125°C

アプリケーション

- ▶ ワイヤレス・インフラストラクチャ（MC-GSM、5G）
- ▶ 試験および計測
- ▶ 航空宇宙／防衛

概要

ADF4368 は、VCO を内蔵した高性能、超低ジッタ、インテジャー・N およびフラクショナル・N のフェーズ・ロック・ループ（PLL）で、周波数変換アプリケーションに最適です。

この高性能 PLL は、-239dBc/Hz の性能指数、正規化された -287dBc/Hz の極めて低い 1/f ノイズ、および高い PFD 周波数を持ち、極めて小さいインバンド・ノイズと統合ジッタを実現できます。ADF4368 は、内蔵ダブナしで 800MHz～12.8GHz の範囲の任意の周波数を生成できるため、低調波フィルタが不要となります。Σ-Δ 変調器は、ヘルツ単位の周波数分解能を可能にする 25 ビットの固定モジュラスの他、17 ビットの可変モジュラスを備えているため、より分解能が高く柔軟な周波数プランニングを実現します。12.8GHz で 9dBm の電力をシングルエンド構成で出力でき、また、16 段階の電力調整機能を備えていることから、様々なアプリケーションで極めて高い利便性を発揮します。

フェーズド・アレイ・レーダーや Massive MIMO システムなどの多重周波数変換アプリケーションでは、SYNC 入力または EZSync™ を使用して、複数の ADF4368 からの出力を揃えることができます。EZSync 方式は、SYNC 信号をすべてのデバイスに正確に分配することが困難な場合に使用されます。確定的遅延や遅延調整機能が必要なアプリケーションに対し、リファレンスと出力の間の遅延を 1ps 未満の分解能で設定できます。このリファレンス出力間遅延は、複数のデバイスや温度変化に対して確保されるため、予測可能かつ高精度なマルチチップ・アライメントが可能です。

ADF4368 のブロック図は単純で、簡素化されたシリアル・ペリフェラル・インターフェース（SPI）レジスタ・マップ、外部 SYNC 入力、そしてインテジャー・モードとフラクショナル・モードの両方において繰返し可能なマルチチップ位相アライメントなどの特長を備えていることから、開発時間を短縮できます。

機能ブロック図

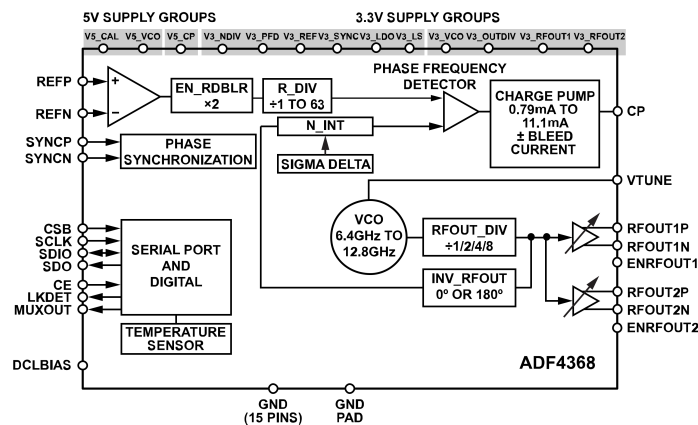


図 1. ADF4368 のブロック図

Rev. 0 ※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

DOCUMENT FEEDBACK

TECHNICAL SUPPORT

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	はじめに	16
アプリケーション	1	出力周波数	16
概要	1	回路の説明	16
機能ブロック図	1	アプリケーション情報	22
仕様	3	ループ・フィルタの設計	22
シリアル・インターフェースのタイミング特性	7	リファレンス源に関する考慮事項	22
タイミング図	7	出力の位相ノイズ特性	23
絶対最大定格	8	パワーアップと初期化のシーケンス	23
トランジスタ数	8	電源およびバイパス	26
熱抵抗	8	レジスタ・マップ	27
静電放電 (ESD) 定格	8	レジスタの詳細	30
ESD に関する注意	8	外形寸法	54
ピン配置およびピン機能の説明	9	オーダー・ガイド	54
代表的な性能特性	11	評価用ボード	54
動作原理	16		

改訂履歴

3/2023—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{3.3V_1} = V_{3.3V_2} = 3.15V \sim 3.45V$ 、 $V_{V5_VCO} = V_{V5_CP} = V_{V5_CAL} = 4.75V \sim 5.25V$ 、すべての電圧は GND 基準、 $T_A = -40^\circ C \sim 105^\circ C$ 。

表 1. 電気仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE INPUTS (REFP, REFN)						
Input Frequency	f _{REF}	10		4000	MHz	Differential
Input Signal Level	V _{REF}	0.5		2.6	V p-p	
Min Input Slew Rate			100		V/μs	
Input Duty Cycle			50		%	
Self-Bias Voltage			1.85		V	
Input Resistance			3		kΩ	Differential
Input Capacitance			1		pF	Differential
Input Current			2		μA	
REFERENCE PEAK DETECTOR						
Input Frequency		10		4000	MHz	f _{REF} = 100 MHz, single-ended sine wave
Minimum Input Signal Detected (REF_OK = 1)			200		mV _{pp}	
Maximum Input Signal Not Detected (REF_OK = 0)			160		mV _{pp}	
SYNC INPUTS (SYNCP, SYNCH)						
Input Signal Level	V _{REF}	0.4 ¹		2.6 ¹	V p-p	LVDS mode, differential
	V _{REF}	0.5 ¹		2.6 ¹	V p-p	CML mode, differential
Self-Bias Voltage			1.3		V	LVDS mode
			1.85		V	CML mode
Input Resistance			3		kΩ	Differential
Input Capacitance			1		pF	Differential
Input Current			3		μA	
REFERENCE DIVIDER (R)						
R		1		63		All integers included
REFERENCE DOUBLER						
Input Frequency	f _{RDBL}	10		250	MHz	EN_RDBLR = 1
PHASE/FREQUENCY DETECTOR (PFD)						
Input Frequency	f _{PFD}	3 ¹		625	MHz	Integer mode
		3 ¹		250	MHz	Fractional mode sync or non-sync applications
		3 ¹		250 ¹	MHz	Fractional mode phase resync applications when f _{OUT} ≥ 3 GHz
		75 ¹		250 ¹	MHz	Fractional mode phase resync applications when f _{OUT} < 3 GHz
CHARGE PUMP (CP)						
Output Current Range	I _{CP}		0.79 to 11.1		mA	Set by CP_I
Output Current Source/Sink Accuracy			±2		%	All setting, = V _{CP} = V _{V5_CP} /2
Output Current Source/Sink Matching			±2		%	All setting, V _{CP} = V _{V5_CP} /2
Output Current vs. Output Volt Sensitivity			0.2		%V/V	1.4 V < V _{V5_CP} < V _{CP-5V} – 1.6 V
Output Current vs. Temperature			400		ppm/C	V _{CP} = V _{V5_CP} /2
Output High-Z Leakage Current			–0.01		μA	Minimum I _{CP} , 1.4 V < V _{V5_CP} < V _{CP-5V} – 1.6 V
Output High-Z Leakage Current			–0.3		μA	Maximum I _{CP} , 1.4 V < V _{V5_CP} < V _{CP-5V} – 1.6 V
VCO						
Frequency Range	f _{VCO}	6.4		12.8	GHz	
Tuning Sensitivity ^{2, 3}	K _{VCO}		0.75 to 1.25		%Hz/V	

仕様

表 1. 電気仕様（続き）

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DIV_RCLK VCO Calibration Frequency	$f_{\text{DIV_RCLK}}$			125	MHz	Must set DCLK_MODE = 1, when $f_{\text{DIV_RCLK}} > 80$ MHz
FEEDBACK (N) AND OUTPUT DIVIDER (O)						
N		4		4095		Integer mode
O		19		4095		Fractional mode
		1		8		1, 2, 4, 8
RF OUTPUTS (RFOUT1P/N, RFOUT2P/N)						Differential termination = 100 Ω for all RF output specifications, unless noted
Output Frequency	f_{OUT}	0.8		12.8	GHz	
Output Single-Ended Power	V_{OD}		9		dBm	CLK1_OPWR = CLK2_OPWR = 15, $f_{\text{OUT}} = 4$ GHz to 12.8 GHz
			5.5		dBm	CLK1_OPWR = CLK2_OPWR = 10, $f_{\text{OUT}} = 4$ GHz to 12.8 GHz
			1.5		dBm	CLK1_OPWR = CLK2_OPWR = 5, $f_{\text{OUT}} = 4$ GHz to 12.8 GHz
			-2		dBm	CLK1_OPWR = CLK2_OPWR = 0, $f_{\text{OUT}} = 4$ GHz to 12.8 GHz
Output Resistance			100		Ω	Differential
Output Common Mode			$V_{3.3V_2} - V_{\text{OD}}$		V	No pull-up inductor
			$V_{3.3V_2}$		V	With pull-up inductor
Output Rise Time	t_{R}		18		ps	20%-80%, CLK1_OPWR = CLK2_OPWR = 10,
Output Fall Time	t_{F}		18		ps	80%-20%, CLK1_OPWR = CLK2_OPWR = 10,
Output Duty Cycle			50		%	
Skew, RFOUT1 to RFOUT2			3 ± 1		ps	One ADF4368 device
			3 ± 1		ps	Across multiple ADF4368 devices, T_{J} within 10°C, same R_DIV, CLKOUT_DIV, EN_RDBLR used
REFERENCE INPUT TO OUTPUT DELAY						Device setup for all delay specifications, unless noted, measure rising reference edge at REFP input to rising edge at RFOUT1P output
Propagation Delay	t_{PD}		190		ps	REF_SEL = 0, R = 1, doubler = disabled
Propagation Delay Temperature Coefficient	t_{PD}		0.06		ps/°C	REF_SEL = 0
LOGIC INPUTS (CSB, SCLK, SDIO, ENCLK1, ENCLK2)						
Input High Voltage	V_{INH}	1.2			V	
Input Low Voltage	V_{INL}			0.6	V	
Input Current (High, Low)	$I_{\text{IH}}/I_{\text{IL}}$			± 1	μA	
Input Capacitance	C_{IN}		2		pF	
LOGIC INPUT (CE)						
Input High Voltage	$V_{\text{INH-3V}}$	1.8			V	
Input Low Voltage	$V_{\text{INL-3V}}$			0.8	V	
Input Current (High, Low)	$I_{\text{IH-3V}}/I_{\text{IL-3V}}$			± 1	μA	
Input Capacitance	$C_{\text{IN-3V}}$		1		pF	
LOGIC OUTPUTS (SDIO, SDO, LKDET, MUXOUT)						
Output High Voltage	V_{OH}	1.5	1.8		V	$I_{\text{OH}} = 500 \mu\text{A}$, 1.8 V output selected (default setting)
Output High Voltage	$V_{\text{OH-3V}}$	$V_{3.3V} - 0.4$			V	$I_{\text{OH}} = 500 \mu\text{A}$, 3.3 V output selected, set by voltage on V_LDO pin

仕様

表 1. 電気仕様（続き）

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Output Low Voltage	V_{OL}			0.4	V	$I_{OL} = 500 \mu A$
SDO High-Z Leakage	I_{ZH}/I_{ZL}			± 1	μA	
POWER SUPPLIES						Device setup is default configuration for all supply current specifications, unless noted
V5_VCO Supply Range	V_{V5_VCO}	4.75	5	5.25	V	Group 1: V3_LS, V3_LDO, V3_REF, V3_PFD, V3_NDIV, V3_SYNC
V5_CAL Supply Range	V_{V5_CAL}	4.75	5	5.25	V	
V5_CP Supply Range	V_{V5_CP}	4.75	5	5.25	V	Group 2: V3_RFOUT1, V3_RFOUT2, V3_VCO, V3_CLKDIV
V _{3.3V_1} Supply Range	$V_{3.3V_1}$	3.15	3.3	3.45	V	
V _{3.3V_2} Supply Range	$V_{3.3V_2}$	3.15	3.3	3.45	V	
V5_VCO Supply Current	I_{V5_VCO}		98	220	mA	$f_{OUT} = 12.8 \text{ GHz}$
			173		mA	$f_{OUT} = 6.4 \text{ GHz}$
V5_CAL Supply Current	I_{V5_CAL}		50		μA	During VCO calibration
			8		mA	
V5_CP Supply Current	I_{V5_CP}		58	67	mA	$I_{CP} = 11.1 \text{ mA}$, $CP_I = 15$
			41		mA	$I_{CP} = 0.79 \text{ mA}$, $CP_I = 0$
			3.2		mA	Additional current when $EN_BLEED = 1$, $BLEED_I = 8191$
V _{3.3V_1} Supply Current	$I_{3.3V_1}$		185	210	mA	$f_{REF} = 122.88 \text{ MHz}$, $f_{PFD} = 245.76 \text{ MHz}$, fractional mode, $CP_I = 15$, $PD_SYNC = 1$ (sync disabled)
			4		mA	Additional current when $PD_LD = 0$
			4		mA	Additional current when $PD_RDET = 1$
			15		mA	$PD_SYNC = 0$ (synchronization is enabled)
V3_SYNC Supply Current	I_{V3_SYNC}		35		mA	$CLKx_OPWR = 0$
V3_RFOUTx Supply Current	I_{V3_RFOUT}		47		mA	$CLKx_OPWR = 4$
			65		mA	$CLKx_OPWR = 8$
			90		mA	$CLKx_OPWR = 12$
			105		mA	$CLKx_OPWR = 15$
			108		mA	$CLKOUT_DIV = 0$ (divide by 1)
V3_OUTDIV Supply Current	I_{V3_OUTDIV}		132		mA	$CLKOUT_DIV = 3$ (divide by 8)
			149		mA	$ENRFOUT1 = \text{low}$, $CLK2_OPWR = 0$ (minimum power), $CLKOUT_DIV = 0$, $f_{OUT} = 9.6 \text{ GHz}$
V _{3.3V_2} Supply Current	$I_{3.3V_2}$		218		mA	$ENRFOUT1 = \text{low}$, $CLK2_OPWR = 15$ (maximum power), $CLKOUT_DIV = 0$, $f_{OUT} = 9.6 \text{ GHz}$
			172		mA	$ENRFOUT1 = \text{low}$, $CLK2_OPWR = 0$ (minimum power), $CLKOUT_DIV = 1$, $f_{OUT} = 5.6 \text{ GHz}$
			241		mA	$ENRFOUT1 = \text{low}$, $CLK2_OPWR = 15$ (maximum power), $CLKOUT_DIV = 1$, $f_{OUT} = 5.6 \text{ GHz}$
					mA	$ENRFOUT1 = \text{low}$, $CLK2_OPWR = 15$ (maximum power), $CLKOUT_DIV = 0$, $f_{OUT} = 9.6 \text{ GHz}$, SYNC block powered down, fractional mode
Typical Power Dissipation	P_{Dis}		2.3		W	$ENRFOUT1 = \text{low}$, $CLK2_OPWR = 15$ (maximum power), $CLKOUT_DIV = 0$, $f_{OUT} = 9.6 \text{ GHz}$, SYNC block powered down, fractional mode
			2.1		W	$ENRFOUT1 = \text{low}$, $CLK2_OPWR = 15$ (maximum power), $CLKOUT_DIV = 1$, $f_{OUT} = 5.6 \text{ GHz}$

仕様

表 1. 電気仕様（続き）

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Typical Power Down Current, 3.3 V			11	15	mA	= 5.6 GHz, SYNC block powered down, fractional mode
Typical Power Down Current, 5 V Supplies			350	750	μA	PD_ALL = 1, $I_{3.3V_1} + I_{3.3V_2}$
Typical Disable Current, 3.3 V Supplies			100	1500	μA	PD_ALL = 1, $I_{V5_VCO} + I_{V5_CAL} + I_{V5_CP}$
Typical Disable Current, 5 V Supplies			350	750	μA	CE = low, $I_{3.3V_1} + I_{3.3V_2}$
						CE = low, $I_{V5_VCO} + I_{V5_CAL} + I_{V5_CP}$
RF OUTPUT NOISE CHARACTERISTICS						
12.8 GHz Output Frequency						$f_{REF} = f_{PFD} = 250$ MHz, fractional mode, CP_I = 15
Phase Noise Floor			-160		dBc/Hz	
RMS Jitter, 100 Hz to 100 MHz Integration			32		fsRMS	
9.001 GHz Output Frequency						$f_{REF} = f_{PFD} = 250$ MHz, fractional mode, CP_I = 15
Phase Noise Floor			-160		dBc/Hz	
RMS Jitter, 100 Hz to 100 MHz Integration			29		fsRMS	
7.6 GHz Output Frequency						$f_{REF} = f_{PFD} = 250$ MHz, fractional mode, CP_I = 15
Phase Noise Floor			-160		dBc/Hz	
RMS Jitter, 100 Hz to 100 MHz Integration			31		fsRMS	
6.4 GHz Output Frequency						$f_{REF} = f_{PFD} = 250$ MHz, fractional mode, CP_I = 15
Phase Noise Floor			-161		dBc/Hz	
RMS Jitter, 100 Hz to 100 MHz Integration			30		fsRMS	
5.025 GHz Output Frequency						$f_{REF} = f_{PFD} = 250$ MHz, fractional mode, CP_I = 15
Phase Noise Floor			-163		dBc/Hz	
RMS Jitter, 100 Hz to 100 MHz Integration			33		fsRMS	
Normalized In-Band Phase Noise Floor ⁴						
$L_{NORM-INT}$			-239		dBc/Hz	
$L_{NORM-FRC}$			-237		dBc/Hz	
Normalized 1/f Phase Noise Floor ^{4, 5}						
$L_{1/f}$ ⁵			-287		dBc/Hz	Normalized to 1 Hz
L_{1/f_1G_10k} ⁵			-147		dBc/Hz	Normalized to 1 GHz at 10 kHz offset
Integer Boundary Spurs (Filtered)	IBS		-95		dBc	Spur is out of the loop bandwidth
Integer Boundary Spurs (Unfiltered)	IBS		-60		dBc	Measured at 5 kHz offset from integer channel
PFD Spur			-95		dBc	
TEMPERATURE SENSOR (ADC)						
ADC Clock Frequency	f_{ADC_CLK}			400	kHz	ADC clock divider output
ADC Clock Divider Frequency	f_{ADC_CLKDIV}			125	MHz	ADC clock divider input
Resolution				8	Bits	

¹ 設計および特性評価に基づきます。² 電源再投入後またはソフトウェア・パワーオン・リセット後にキャリブレーションを行ったデバイスに対し $1.60V \leq V_{VTUNE} \leq 2.85V$ の範囲で有効です。³ 特性評価に基づきます。⁴ これらの数値は ADIsimPLL でモデル化したものです。⁵ 積分範囲は 1kHz~ f_{OUT} です。

仕様

シリアル・インターフェースのタイミング特性

特に指定のない限り、 $V_{3.3V_1} = V_{3.3V_2} = 3.15V \sim 3.45V$ 、 $V_{V5_VCO} = V_{V5_CP} = V_{V5_CAL} = 4.75V \sim 5.25V$ 、すべての電圧は GND 基準、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ 。

表 2. シリアル・インターフェースのタイミング特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SERIAL INTERFACE (CSB, SCLK, SDIO, SDO)						
SCLK Frequency	f_{SCLK}			65	MHz	See Figure 2, Figure 3, and Figure 4
SCLK Pulse Width High	t_{HIGH}	7.6			ns	
SCLK Pulse Width Low	t_{LOW}	7.6			ns	
SDIO Setup Time	t_{DS}	3			ns	
SDIO Hold Time	t_{DH}	3			ns	
SCLK Fall Edge to SDIO Valid Prop Delay	t_{ACCESS_SDIO}	7.6			ns	
SCLK Fall Edge to SDO Valid Prop Delay	t_{ACCESS_SDO}	7.6			ns	
CSB Rising Edge to SDIO High-Z	t_z	7.6			ns	
CSB Falling Edge to SCLK Rise Setup Time	t_s	3			ns	
SCLK Rising Edge to CSB Rise Hold Time	t_H	3			ns	

タイミング図

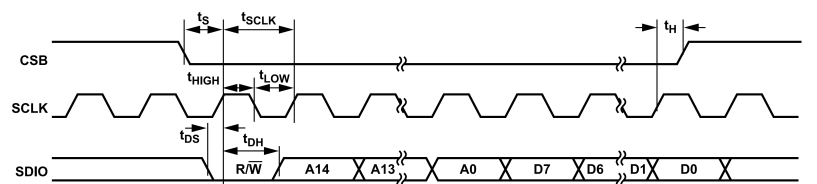


図 2. 書き込みのタイミング図

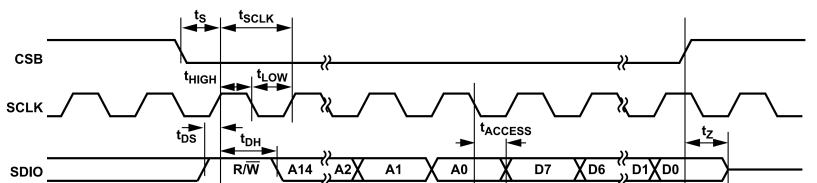


図 3.3 線式読出しのタイミング図 (SDO_ACTIVE = 0)

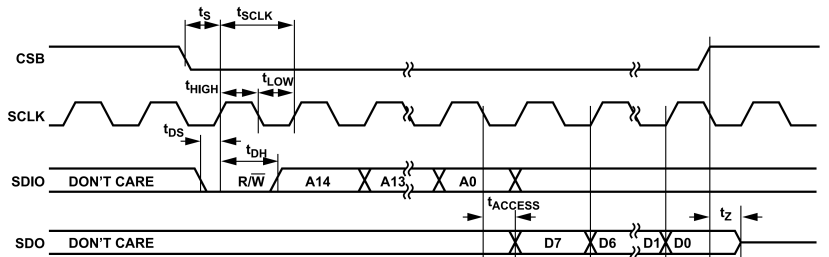


図 4.4 線式読出しのタイミング図 (SDO_ACTIVE = 1)

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

Parameter	Rating
$V_{3.3V_1}$ ($V3_LS$, $V3_LDO$, $V3_REF$, $V3_PFD$, $V3_NDIV$) to GND	-0.3 V to +3.6 V
$V_{3.3V_2}$ ($V3_VCO$, $V3_OUTDIV$, $V3_RFOUT1$, $V3_FOUT2$) to GND	-0.3 V to +3.6 V
V_{5V} ($V5_CAL$, $V5_VCO$, $V5_CP$) to GND	-0.3 V to +5.5 V
Voltage on CP Pin	-0.3 V to $V5_CP + 0.3$ V
Digital Outputs (MUXOUT, LKDET, SDO, SDIO)	5 mA
RFOUT1P, RFOUT1N, RFOUT2P, RFOUT2N	Maximum (GND - 0.3 V, $V_{3.3V_2} - 1.2$ V) to $V_{3.3V_2} + 0.3$ V
REFP, REFN	-0.65 V to $V_{3.3V_1} + 0.65$ V
Voltage on all Other Pins	-0.3 V to $V_{3.3V_1} + 0.3$ V
REFP to REFN and SYNCN to SYNCN	± 1.35 V
Temperature	
Operating Junction Range ¹	-40°C to +125°C
Storage Range	-65°C to +125°C
Maximum Junction	125°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	30 sec

¹ デバイスは、動作ジャンクション温度範囲全域にわたり、仕様規定された性能限界を確実に満たします。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

トランジスタ数

ADF4368 のトランジスタ数は 199076 (CMOS) および 3366 (バイポーラ) です。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流下での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC-TOP}	θ_{JC}		θ_{JB}	Ψ_{JT}	Ψ_{JB}	Unit
			BOTTOM					
CC-48-13 ¹	22.38	16.86	5.1		8.33	1.35	7.89	°C/W

¹ テスト条件 1 : 熱抵抗のシミュレーション値は、熱抵抗パッドをグランド・プレーンにハンダ付けした 4 層 PCB を使用して測定しています。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADF4368 の ESD 定格

表 5. ADF4368 の ESD 定格

ESD Model	Withstand Threshold (V)	Class
HBM	4000	3A
CDM	1000	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

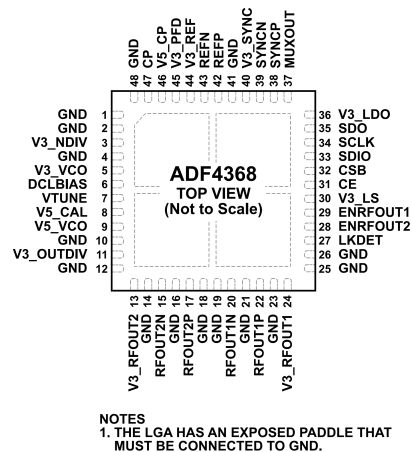


図 5. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 2, 4, 10, 12, 14, 16, 18, 19, 21, 23, 25, 26, 41, 48	GND	負側電源（グラウンド）。これらのピンは、グラウンド・パッドに直接接続する必要があります。
3	V3_NDIV	PLL 帰還分周器回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
5	V3_VCO	VCO 回路の 3.3V 部分用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
6	DCLBIAS	このピンには接続しないでください。
7	VTUNE	VCO チューニング入力。通常、この周波数制御ピンは外部ループ・フィルタに接続します。
8	V5_CAL	VCO キャリブレーション回路用の 4.75V~5.25V 正側電源ピン。このピンは、V5_VCO 電源プレーンに短絡できます。
9	V5_VCO	VCO 回路の 5V 部分用の 4.75V~5.25V 正側電源ピン。
11	V3_OUTDIV	出力分周器回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
13	V3_RFOUT2	RF 出力 2 バッファ回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
15, 17	RFOUT2N, RFOUT2P	RF 出力 2 信号。VCO 出力分周器はバッファされ、これらのピンに差動で印加されます。出力には、1 つの側あたり 50Ω（代表値）の出力抵抗（100Ω の差動インピーダンス）があります。伝送線他端は通常、出力間に 100Ω を接続して終端されます。出力振幅はシリアル・ポートを介して設定可能です。
20, 22	RFOUT1N, RFOUT1P	RF 出力 1 信号。VCO 出力分周器はバッファされ、これらのピンに差動で印加されます。出力には、1 つの側あたり 50Ω（代表値）の出力抵抗（100Ω の差動インピーダンス）があります。伝送線他端は通常、出力間に 100Ω を接続して終端されます。出力振幅はシリアル・ポートを介して設定可能です。
24	V3_RFOUT1	RF 出力 1 バッファ回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
27	LKDET	PLL ロック検出。この出力は、PLL のロック状態を表します。LKDET がロジック・ハイの場合、PLL はロックされています。
28	ENRFOUT2	RF 出力 2 バッファのイネーブル。3.3V の CMOS 入力です。ENRFOUT2 がハイ・レベルの場合、RFOUT2P と RFOUT2N の出力バッファはアクティブになります。ENRFOUT2 がロー・レベルの場合、RFOUT2P と RFOUT2N はパワーダウンします。
29	ENRFOUT1	RF 出力 1 バッファのイネーブル。3.3V の CMOS 入力です。ENRFOUT1 がハイ・レベルの場合、RFOUT1P と RFOUT1N の出力バッファはアクティブになります。ENRFOUT2 がロー・レベルの場合、RFOUT1P と RFOUT1N はパワーダウンします。
30	V3_LS	内部レベル・シフト回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
31	CE	チップイネーブル。1.8V の CMOS レベルには対応していません。この CMOS 入力はハイに駆動されるとデバイスをイネーブルします。ロジック・ローになるとデバイスをディスエーブルし、デバイスは完全なパワーダウン状態になるためレジスタがリセットされます。対照的に、PD_ALL ビットはデバイスをパワーダウンしますが、レジスタはリセットしません。
32	CSB	シリアル・ポート・チップ・セレクト。1.8V および 3.3V に対応する CMOS 入力です。この CMOS 入力は、ローに駆動されるとシリアル・ポート通信のバーストを開始し、再度ハイに駆動されるとバーストを終了します。
33	SDIO	シリアル・データ入出力。1.8V および 3.3V に設定可能な CMOS 入出力。入力に設定された場合、シリアル・ポートはデータにこの CMOS 入力を使用します。3 線式リードバック・モード（デフォルト・モード）の場合、このピンは読出し通信バーストの間にシリアル・ポートからデータを出力します。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	説明
34	SCLK	シリアル・ポート・クロック。1.8V および 3.3V に対応。この CMOS 入力は、立上がりエッジでシリアル・ポート入力データをクロック同期します。
35	SDO	オプションのシリアル・データ出力。1.8V および 3.3V に設定可能な CMOS 出力。3 線式モード（デフォルト・モード）の場合、このスリーステート CMOS ピンは高インピーダンス状態を維持します。4 線式リードバック・モードの場合、このピンは読み出し通信バーストの間にシリアル・ポートからデータを出力します。CSB がデアサートされると、SDO は高インピーダンスに戻ります。オプションで、200k Ω より高い値の抵抗を接続して、出力がフロート状態にならないようにできます。
36	V3_LDO	内部 LDO 回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
37	MUXOUT	内部デバイス・マルチプレクサ出力。この出力ピンは、複数の内部ノードに接続して、工場出荷テストやデバッグのために使用できます。
38, 39	SYNCP, SYNCN	同期入力信号。どちらの RF 出力信号もこのピンの入力信号に同期できます。複数のチップを位相同期するために使用されます。この差動入力は、高コモンモード入力信号と低コモンモード入力信号のどちらも受容します（SPI のビット設定による）。
40	V3_SYNC	同期回路用の 3.15V~3.45V 正側電源。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
42, 43	REFP, REFN	リファレンス入力信号。この差動入力は、遅延一致アンプ（DMA）でバッファされ、出力伝搬遅延に対する制御されたリファレンスを提供します（デフォルト・モード、REF_SEL = 0）。低スルー・レートのリファレンス入力信号の場合は、代わりにシリアル・ポートを介してロー・ノイズ・アンプ（LNA）を選択できます（REF_SEL = 1）。リファレンス入力は自己バイアスされており、1 μ F のコンデンサで AC カップリングする必要があります。リファレンス入力は、差動入力またはシングルエンド入力を受容します。
44	V3_REF	PLL リファレンス回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
45	V3_PFD	PFD 回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
46	V5_CP	チャージ・ポンプ回路用の 4.75V~5.25V 正側電源ピン。このピンは V5_VCO 電源プレーンから絶縁してください。
47	CP	チャージ・ポンプ出力。通常、この双方向電流出力は外部ループ・フィルタに接続します。
Exposed Pad	EP	露出パッド。LGA には露出パッドがあり、これを GND（負側電源）に接続する必要があります。露出パッドが PCB ランドに直接ハンダ付けする必要があります。PCB ランド・パターンには、グラウンド・インダクタンスと熱抵抗の両方を低く抑えるために、グラウンド・プレーンへの複数のサーマル・ビアを設ける必要があります。

代表的な性能特性

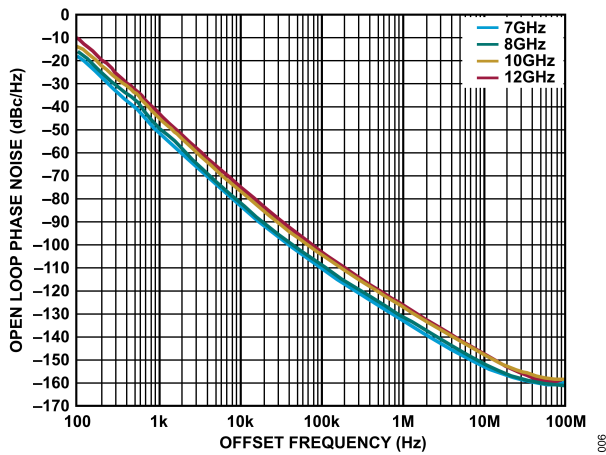


図 6. 異なる周波数でのオープン・ループ VCO の位相ノイズとオフセット周波数の関係

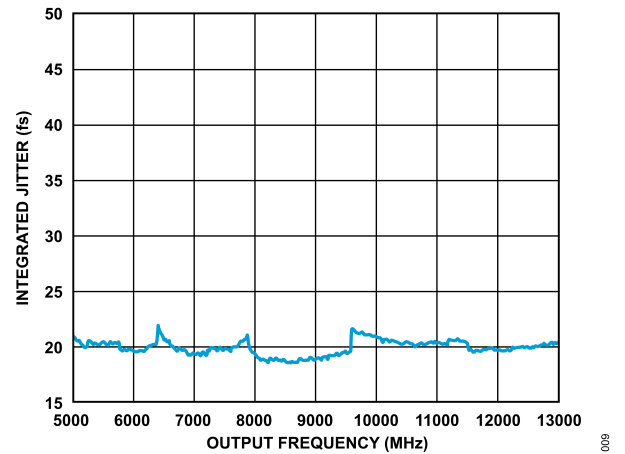
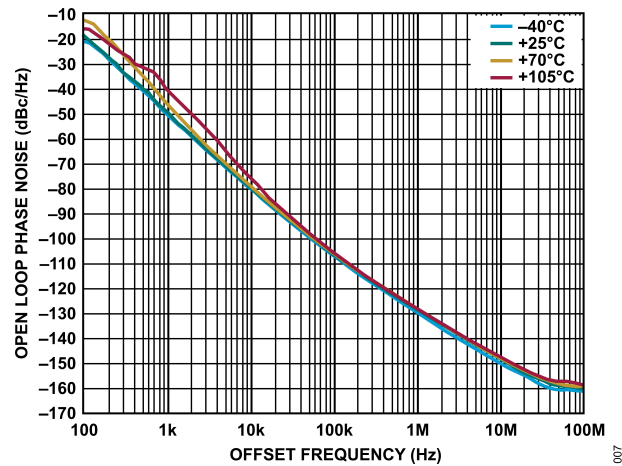
図 9. インテジャー・モードでの 1kHz~100MHz の積分ジッタ ($f_{\text{PFD}} = 500\text{MHz}$)

図 7. 12GHz における異なる温度でのオープン・ループ VCO の位相ノイズとオフセット周波数の関係

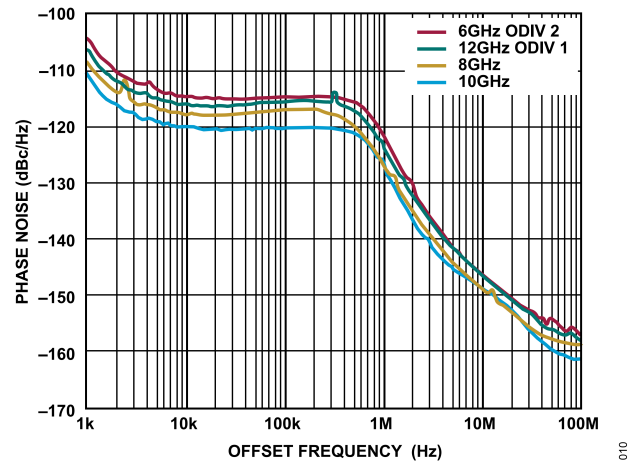
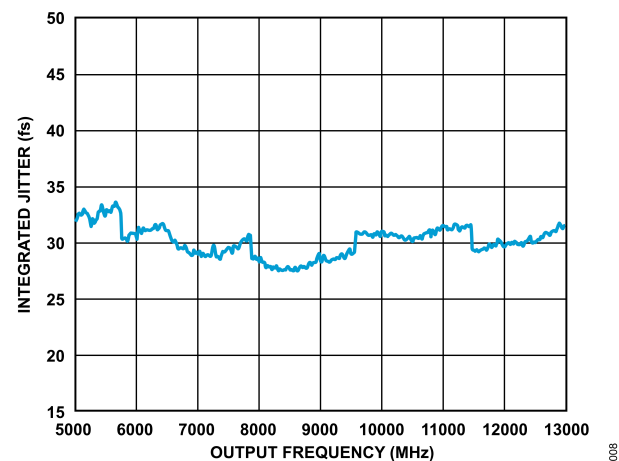
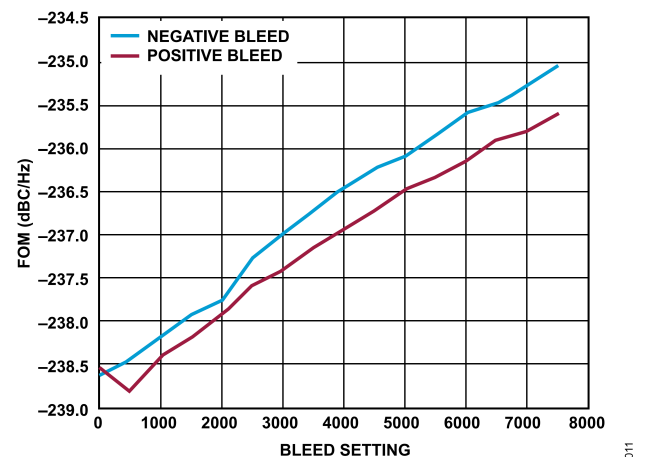


図 10. 異なる周波数でのクローズ・ループの位相ノイズ

図 8. フラクショナル・モードでの 1kHz~100MHz の積分ジッタ ($f_{\text{PFD}} = 250\text{MHz}$)図 11. $L_{\text{NORM_INT}}$ とブリード設定値の関係

代表的な性能特性

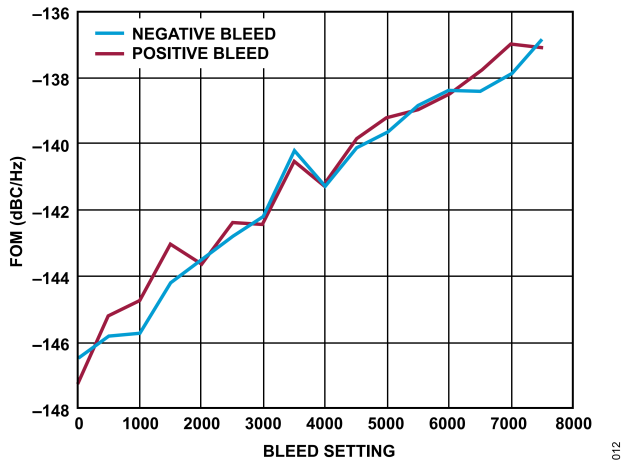
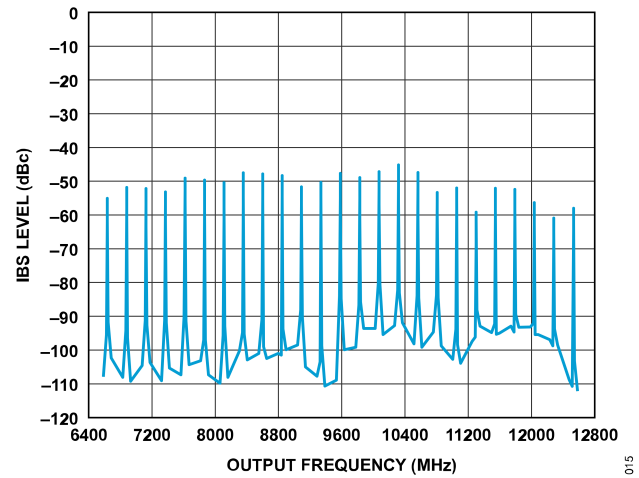
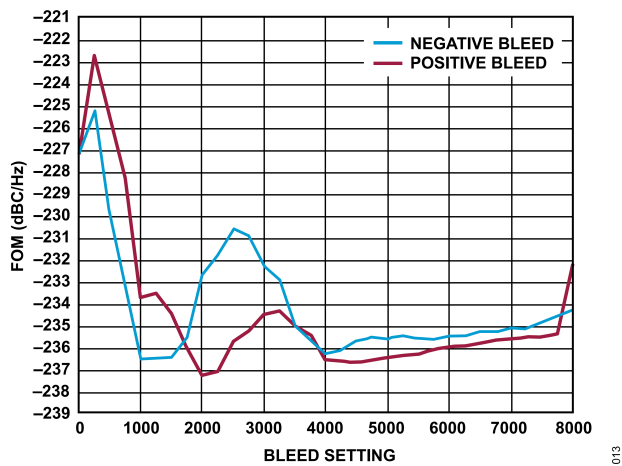
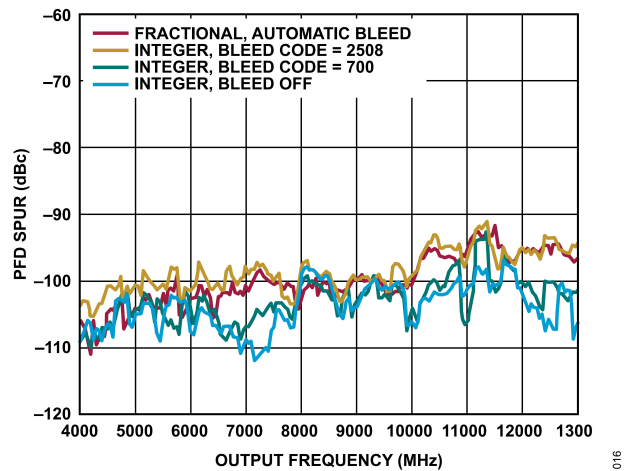
図 12. $L_{1/f}$ とブリード設定値の関係図 15. オフセットが 5kHz、50kHz、200kHz、300kHz、400kHz、960kHz、10MHz で測定した最も厳しい場合の IBS ($f_{\text{PFD}} = 245.76\text{MHz}$)図 13. $L_{\text{NORM-FRC}}$ ($f_{\text{REF}} = 500\text{MHz}$ 、 $f_{\text{PFD}} = 250\text{MHz}$ 、 $\text{RF}_{\text{Out}} = 12,001\text{MHz}$) とブリード設定値の関係

図 16. PFD のスプリアスと出力周波数

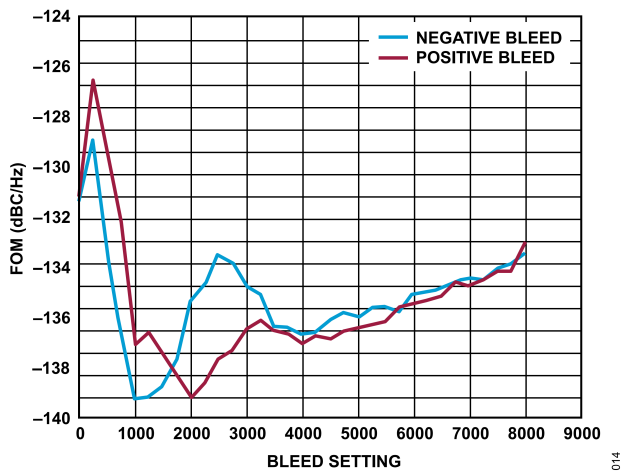
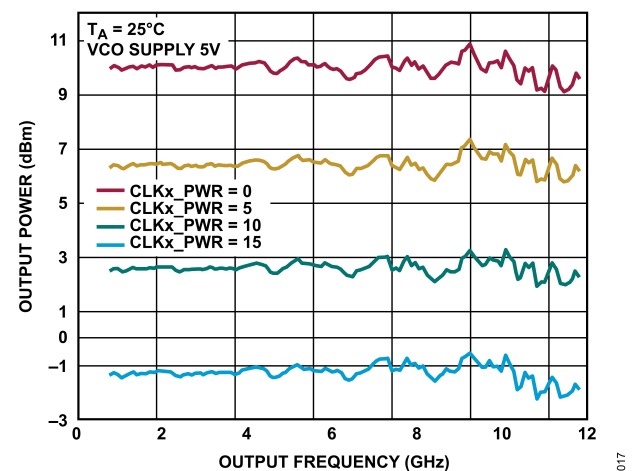
図 14. $L_{\text{NORM-FRC}}$ とブリード設定値の関係

図 17. 異なる出力電力設定でのディエンベディングしたシングルエンド出力電力

代表的な性能特性

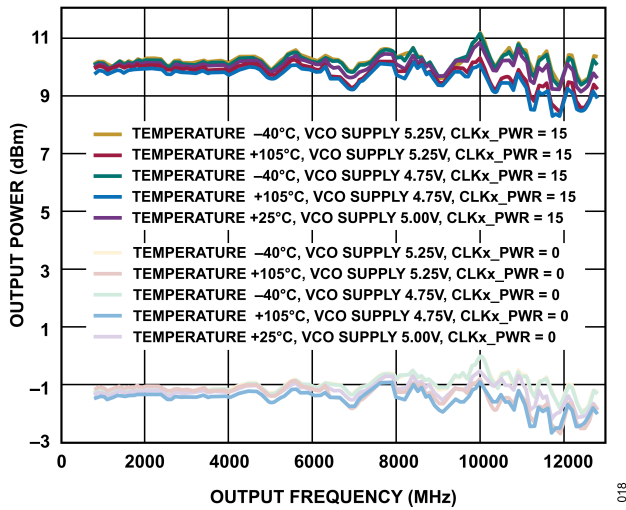


図 18. 異なる温度および電源でのディエンベディングしたシングルエンド出力電力と出力周波数の関係

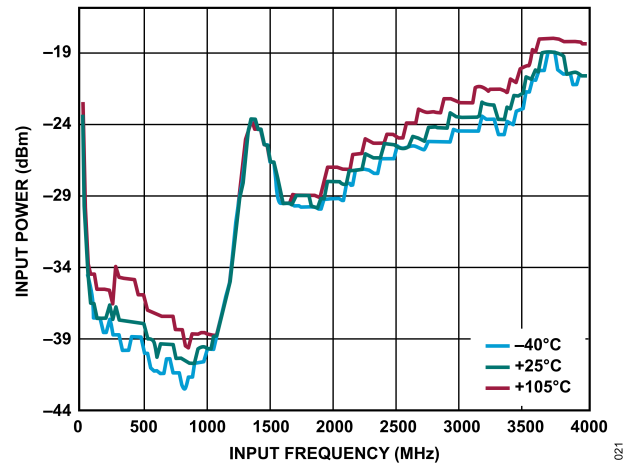


図 21. LNA のリファレンス入力感度と温度の関係

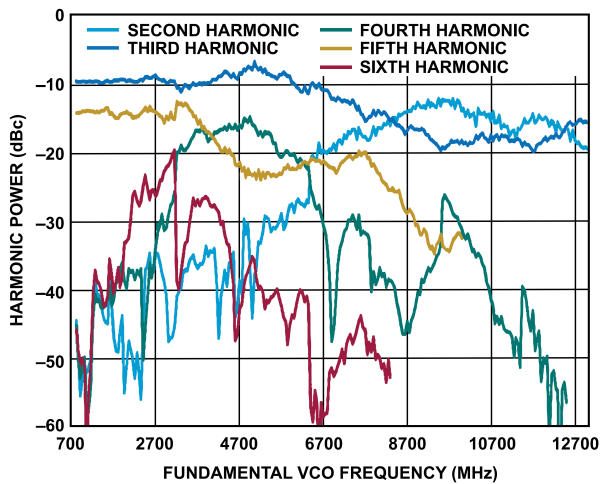


図 19. 高調波出力と VCO 周波数の関係

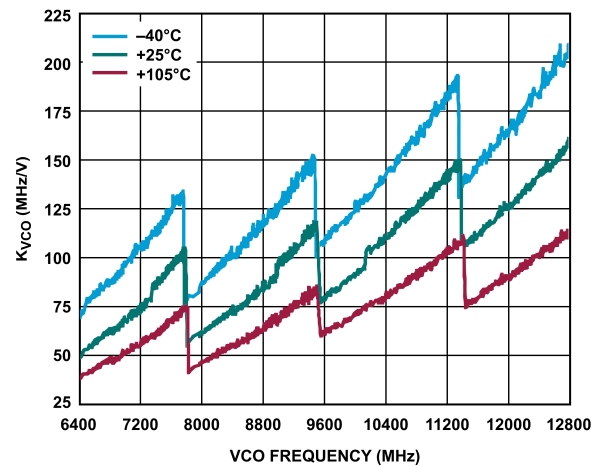


図 22. 異なる温度での K_{VCO} と VCO 周波数の関係

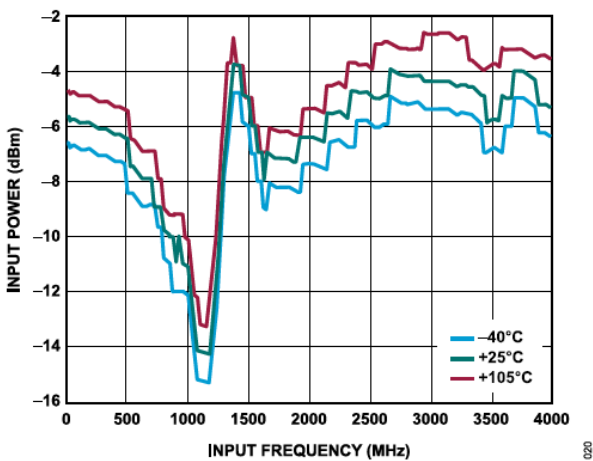


図 20. DMA バッファに対する REF_OK = 1 とした場合の最小入力信号

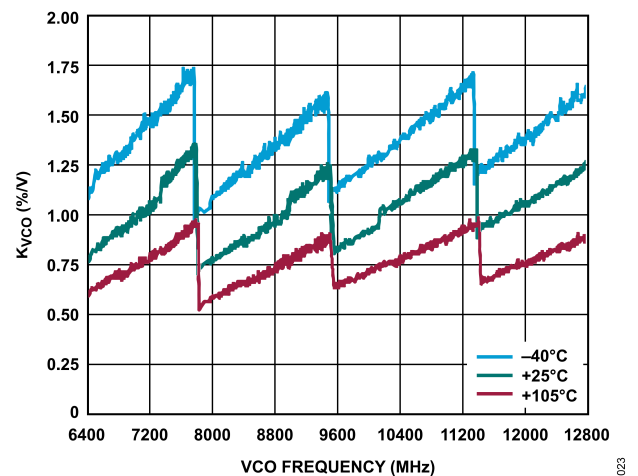


図 23. 異なる温度での K_{VCO} のパーセント感度と VCO 周波数の関係

代表的な性能特性

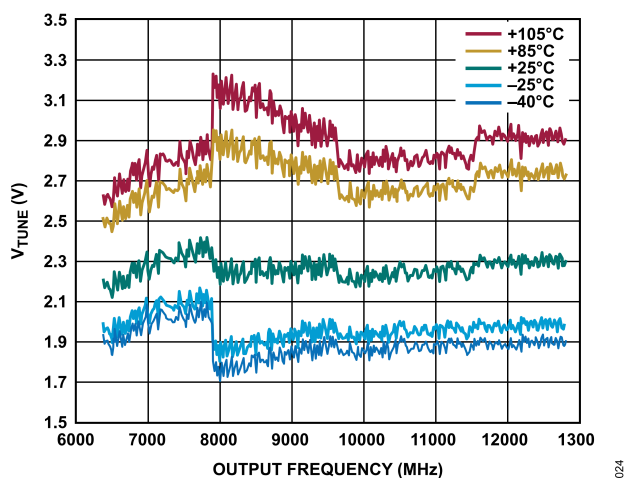
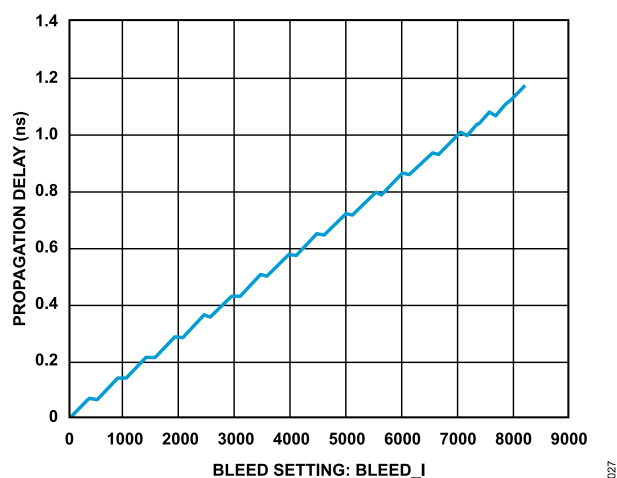
図 24. デバイスをロックした場合の V_{TUNE} と出力周波数の関係 (25°C)

図 27. 伝搬遅延とブリード設定値の関係

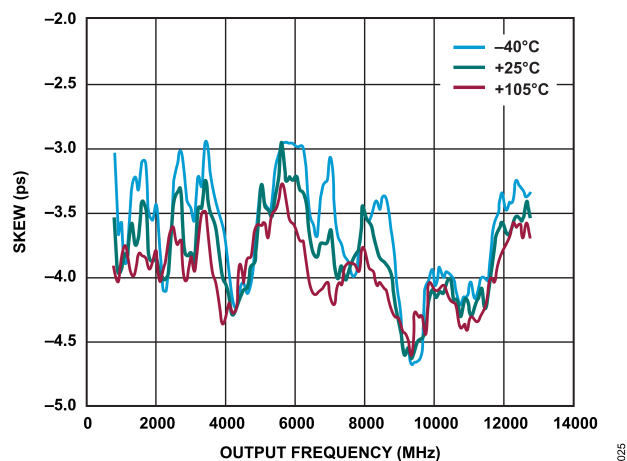


図 25. 出力間のスキュー

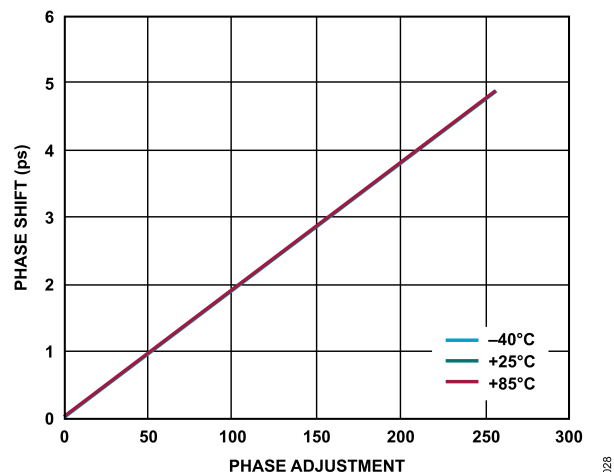
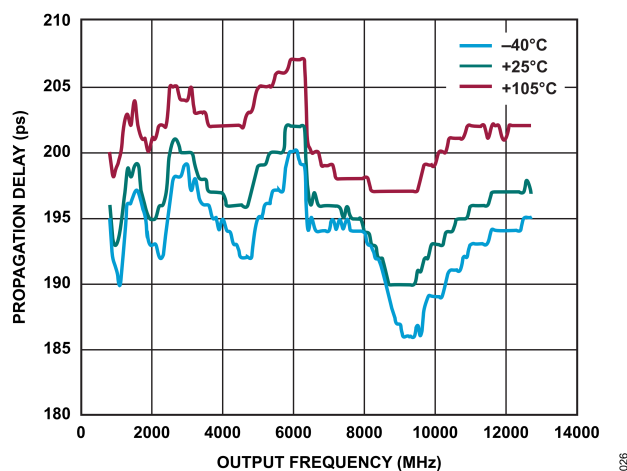
図 28. 異なる温度での位相シフトと位相調整の関係 ($RF_{Out} = 12,775\text{MHz}$)

図 26. 伝搬遅延

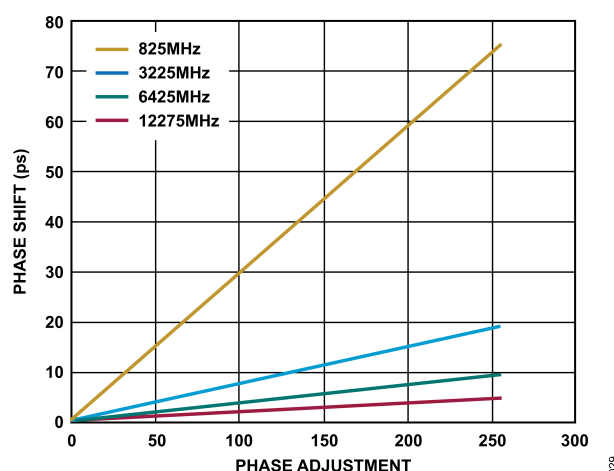


図 29. 異なる周波数での位相シフトと位相調整の関係

代表的な性能特性

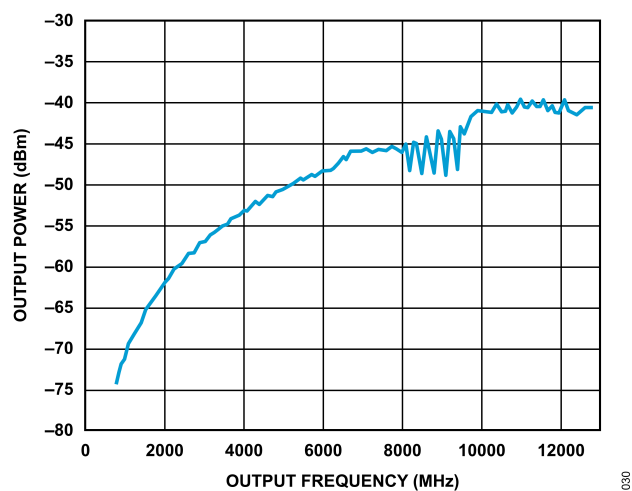


図 30. バッファがパワーダウンしている (PD_CLKOUTx = 1) 場合の出力電力

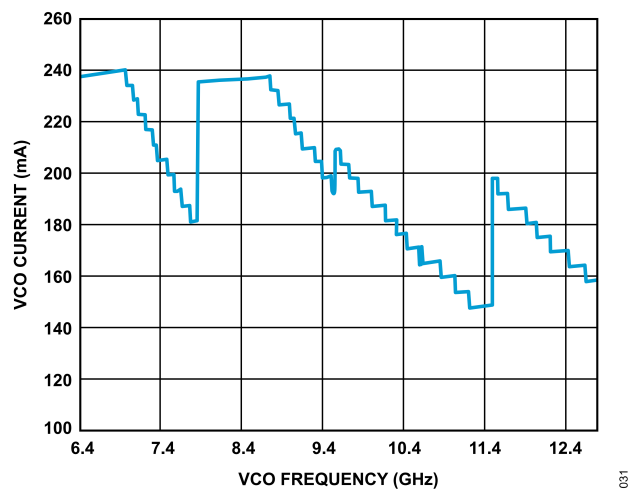


図 31. VCO 電流と VCO 周波数の関係

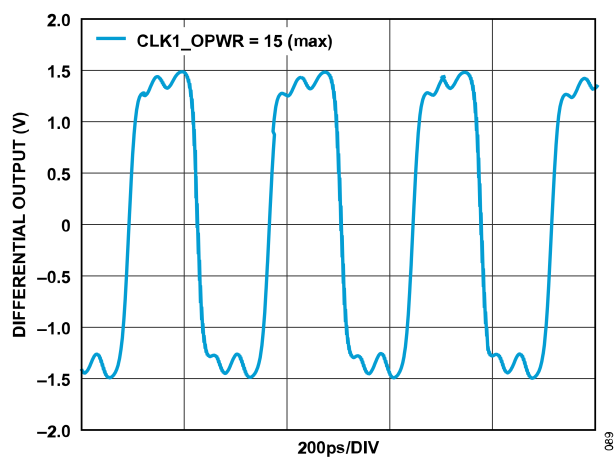


図 32. 差動出力 (3GHz)

動作原理

はじめに

PLL は、概念的には周波数通倍器とみなせる、複合的な帰還システムです。このシステムは、REFP および REFN での周波数入力を通倍し、高くなった周波数を RFOUT1P、RFOUT2P、RFOUT1N、RFOUT2N に出力します。PFD、チャージ・ポンプ、出力分周器、帰還分周器、VCO、外部ループ・フィルタが帰還ループを形成し、出力周波数を正確に制御します (図 33 参照)。周波数の分解能を設定するには、リファレンス分周器、またはリファレンス・ダブラを使用します。

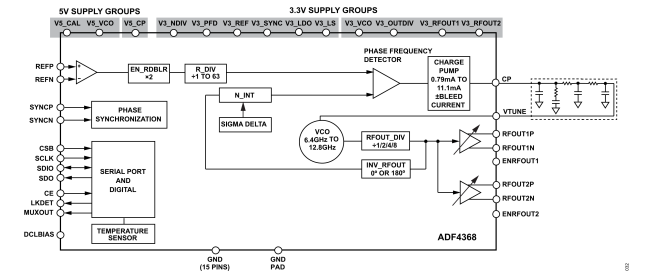


図 33. PLL ループの回路図

出力周波数

ループがロックされている場合、VCO の出力に現れる f_{VCO} (Hz) は、リファレンス周波数 (f_{REF}) および次式で与えられる O、R、N の各値によって決まります。

$$f_{VCO} = f_{REF} \times \frac{D \times N \times O}{R} \tag{1}$$

ここで N は、

$$N = N_{INT} + \frac{FRAC1WORD + \frac{FRAC2WORD}{MOD1WORD}}{MOD1WORD} \tag{2}$$

出力される PFD 周波数 (f_{PFD}) は、

$$f_{PFD} = \frac{f_{REF} \times D}{R} \tag{3}$$

f_{VCO} は次式のように表すこともできます。

$$f_{VCO} = f_{PFD} \times N \times O \tag{4}$$

出力分周器の出力に現れる出力周波数 f_{RFOUT} は、次式のようになります。

$$f_{RFOUT} = \frac{f_{VCO}}{O} \tag{5}$$

回路の説明

リファレンス入力バッファ

PLL のリファレンス周波数は REFP ピンと REFN ピンに差動で印加されます。これらの高インピーダンス入力は自己バイアスされており、1μF のコンデンサで AC カップリングする必要があります (簡略化した回路図については図 34 を参照)。あるいは、これらの入力をシングルエンドとして使用することもできます。そのためには、REFP にリファレンス周波数を印加し、REFN は 1μF のコンデンサで GND にバイパスします。

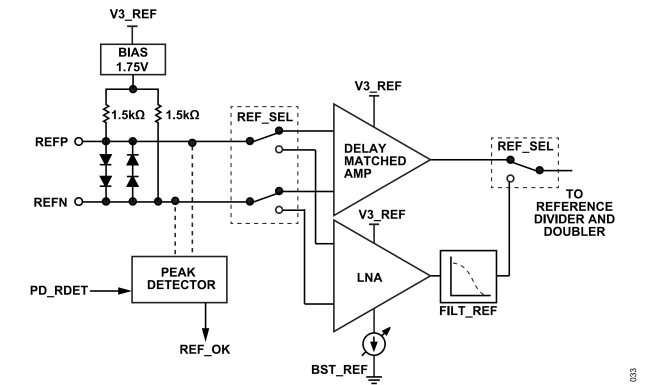


図 34. リファレンス入力段

REFP 入力と REFN 入力には高品質の信号を印加する必要があります。これらの入力が PLL 全体に周波数リファレンスを提供しているためです。デバイスの帯域内位相ノイズ性能を実現するには、スルー・レートが 1000V/μs 以上の連続波信号または方形波を印加してください。リファレンス入力信号の条件やインターフェース方法に関する詳細については、[アプリケーション情報の](#)セクションを参照してください。

REF_SEL ビットを 0 に設定すると、DMA バッファが選択されます。DMA は、方形波や高周波数で大振幅のサイン波などの、高スルー・レート信号に対し最適化されています。DMA では、リファレンス入力からクロック出力への伝搬遅延が制御されるため、広い温度範囲にわたり時間ゼロのマルチチップ・クロック・アライメントが容易に可能です。

REF_SEL ビットを 1 に設定すると、LNA が選択されます。LNA は、低周波数または小振幅のサイン波などの、低スルー・レート信号に対し最適化されています。

帯域内ノイズ性能と伝搬遅延を最適なものにするために、REF_SEL ビットは適切に設定する必要があります。推奨する設定については、[表 7](#) を参照してください。

表 7. REF_SEL の設定

REF_SEL	Sine Wave Slew Rate (V/μs)	Square Wave	Optimized t _{PD}
0	≥1000	Preferred	Yes
1	<1000	Not applicable	Not applicable

サイン波のスルー・レートを計算するには、次式を用います。

$$Slew\ Rate = 2 \times \pi \times f \times V \tag{6}$$

ここで、

f = サイン波の周波数

V = サイン波の振幅 (V_{PK})

FILT_REF ビットは、リファレンス入力の LNA のローパス・フィルタを制御するビットで、リファレンスの広帯域ノイズを制限するために f_{REF} に基づいてサイン波信号用に設定する必要があります。この FILT_REF ビットは、正規化された帯域内位相ノイズ・フロア L_{NORM} を実現するよう適切に設定する必要があります。推奨する設定については、[表 8](#) を参照してください。方形波を入力する場合は、FILT_REF を 0 に設定します。

動作原理

表 8. FILT_REF の設定

FILT_REF	Sine Wave f_{REF}	Square Wave f_{REF}
0	≥ 20 MHz	All f_{REF}
1	< 20 MHz	Not applicable

LNA のリファレンス入力バッファが飽和しないよう、BST_REF ビットは入力信号レベルに基づいて設定する必要があります。BST_REF の設定は、入力がサイン波か方形波かによらず同じです。推奨する設定については表 9 を参照してください。また、設定例についてはアプリケーション情報のセクションを参照してください。

表 9. BST_REF の設定

BST_REF	Sine Wave f_{REF}
0	≥ 1.6 V _{pp}
1	< 1.6 V _{pp}

リファレンス・ピーク検出器

REFP 入力と REFN 入力にはリファレンス入力ピーク検出回路があり、リファレンス信号の存在を検出し REF_OK ステータス・フラグを発します。これは、シリアル・ポート・レジスタ REG0058 を通じて読み出せます。検出閾値付近で REF_OK が不安定になるのを防ぐため、回路にはヒステリシスが設けられています。

このピーク検出器は RMS 検出器に類似したものです。そのため、サイン波入力と方形波入力の検出閾値は 4π だけ異なっています。REF_OK の検出値については表 10 を参照してください。

表 10. REF_OK のステータス出力と REF 入力の関係

REF_OK	Sine Wave f_{REF}	Square Wave f_{REF}
1	≥ 200 mV _{pp}	≥ 155 mV _{pp}
0	< 180 mV _{pp}	< 140 mV _{pp}

リファレンス分周器（R）とダブラ（D）

EN_RDBLR ビットが 1 に設定されている場合、周波数通倍器によって周波数が 2 倍にされてリファレンス分周器に送られます。リファレンス・ダブラと直列に 6 ビット分周器 R_DIV が接続されており、これを用いて周波数を減少して PFD に送ります。リファレンスの分周比 R は 1~63 の任意の整数値に設定できます。分周比 R を直接設定するには、REG0020 の R_DIV ビットを用います。R、D と f_{REF} 、 f_{PFD} 、 f_{VCO} 、 f_{OUT} の各周波数との関係については、出力周波数のセクションを参照してください。

位相／周波数検出器（PFD）

位相／周波数検出器（PFD）は、チャージ・ポンプと共に、リファレンス分周器またはリファレンス・ダブラの出力と帰還分周器の出力の位相差に比例した、ソース電流パルスおよびシンク電流パルスを生成します。この動作により、ループを位相ロックするのに必要な帰還が生成され、位相を PFD の入力と揃えることができます。PFD の簡略化した回路図を図 35 に示します。

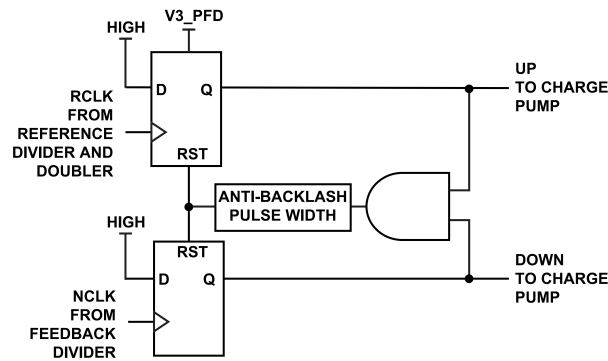


図 35. PFD の簡略化した回路図

チャージ・ポンプ

チャージ・ポンプは、PFD によって制御され、シンク（ダウン）電流パルスまたはソース（アップ）電流パルスを CP ピンに発生させます。CP ピンは適切なループ・フィルタに接続する必要があります。チャージ・ポンプの簡略化した回路図については図 36 を参照してください。

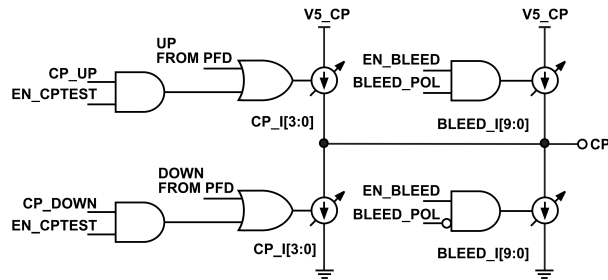


図 36. チャージ・ポンプの簡略化した回路図

出力電流の大きさ (I_{CP}) は、REG001F の CP_I ビットを用いて 0.79mA~11.1mA の範囲で設定できます。 I_{CP} を大きくすると、ループ・フィルタ部品が低インピーダンスであることから、帯域内ノイズが低下します。また I_{CP} を小さくすると、スプリアス性能が改善します。特定の値に設定するには表 11 を参照してください。また、ループ・フィルタの設計に関する詳細については、アプリケーション情報のセクションを参照してください。

表 11. CP の設定

CP_I	I_{CP}
0	0.79 mA
1	0.99 mA
2	1.19 mA
3	1.38 mA
4	1.59 mA
5	1.98 mA
6	2.39 mA
7	2.79 mA
8	3.18 mA
9	3.97 mA
10	4.77 mA
11	5.57 mA
12	6.33 mA

動作原理

表 11. CP の設定（続き）

CP_I	I _{CP}
13	7.91 mA
14	9.51 mA
15	11.1 mA

チャージ・ポンプの機能

EN_CPTEST ビットが 1 に設定されている場合、CP ピンで一定の I_{CP} ソース電流やシンク電流となるよう、それぞれ CP_UP ビットと CP_DOWN ビットを設定できます。ループをロックできるようにするには、EN_CPTEST または CP_UP および CP_DOWN を 0 に設定する必要があります。これらのビットは一般に、プロジェクトのハードウェアおよびソフトウェアの開発フェーズ時に PLL 関連の問題をデバッグするための補助として使用されます。通常動作では EN_CPTEST、CP_UP、CP_DOWN は 0 に設定します。

チャージ・ポンプ・ブリード電流の最適化

ブリード電流（I_{BLEED}）と呼ばれる設定可能な小さなチャージ・ポンプ電流を用いることで、位相ノイズやフラクショナル・モードでのフラクショナル・スプリアル信号を最適化できます。ブリード電流をイネーブルするには、EN_BLEED ビットを 1 に設定します。BLEED_POL ビットが 1 に設定されている場合、一定のわずかなソース電流が CP ピンに印加されます。BLEED_POL ビットが 0 に設定されている場合、一定のわずかなシンク電流が CP ピンに印加されます。

13 ビットのブリード電流設定は、粗設定用の 4 ビット MSB と精細設定用の 9 ビット LSB で構成されます。粗設定は 180μA きざみ、精細設定は 490nA きざみです。

フラクショナル・モード用に最適化されたブリード電流値は、チャージ・ポンプ電流（I_{CP}）、f_{PFD}、ブリード遅延（t_{BLEED}）に基づいて計算されます。推奨する t_{BLEED} と BLEED_POL を表 12 および表 13 に示します。

表 12. f_{PFD} ≥ 120MHz の場合の t_{BLEED} と BLEED_POL

Output Frequency	t _{BLEED}	BLEED_POL
f _{RFOUT} ≥ 4.2 GHz	390 ps	0
3.0 GHz ≤ f _{RFOUT} < 4.2 GHz	900 ps	0
1.8 GHz ≤ f _{RFOUT} < 3.0 GHz	1200 ps	0
f _{RFOUT} < 1.8 GHz	1400 ps	0

ブリード電流と BLEED_I ビットは、以下の式で計算できます。

$$I_{BLEED} = T_{BLEED} \times f_{PFD} \times I_{CP} \quad (7)$$

$$CoarseBleed = INT \left(\frac{I_{BLEED}}{180\mu} \right) \quad (8)$$

$$FineBleed = Round \left(512 \times \frac{I_{BLEED} - 180\mu \times CoarseBleed}{250\mu} \right) \quad (9)$$

$$BLEED_I = 512 \times CoarseBleed + FineBleed \quad (10)$$

表 13. f_{PFD} < 120MHz の場合の t_{BLEED} と BLEED_POL

RF Frequency	N ≥ 35		N < 35	
	t _{BLEED}	BLEED_POL	t _{BLEED}	BLEED_POL
f _{RFOUT} ≥ 4.2 GHz	390 ps	0	390 ps	0
3.0 GHz ≤ f _{RFOUT} < 4.2 GHz	1200 ps	1	900 ps	0
1.8 GHz ≤ f _{RFOUT} < 3.0 GHz	1200 ps	0	1200 ps	1
1.2 GHz ≤ f _{RFOUT} < 1.8 GHz	1400 ps	0	1400 ps	1
f _{RFOUT} < 1.2 GHz	1400 ps	0	2000 ps	1

ブリード電流によって、REFP 入力ピンおよび REFN 入力ピンから RFOUTxP 出力ピンおよび RFOUTxN 出力ピンまでの伝搬遅延の変化も生じます。インテグラー・モードでは、ブリード電流を使用して、どちらの方向の出力もシフトできます。BLEED_POL = 0 の場合、REFP 入力ピンおよび REFN 入力ピンから RFOUTxP 出力ピンおよび RFOUTxN 出力ピンまでの伝搬遅延は増加します。

フラクショナル・モードでは、最高性能が得られるようブリード電流を設定した後、出力は REG0024 の PHASE_ADJUSTMENT ビットを用いてシフトできます。これらのビットはシグマ・デルタ・モジュレータ（SDM）で効果的に用いられます。位相を調整しても位相ノイズが悪化することはありません。

ロック検出器

ロック検出器は、PFD からの内部信号を用いて RCLK と NCLK 間の位相の一致を測定します。この検出器は、REG002D の EN_LOL ビットと EN_LDWIN ビットの両方を 1 に設定することでイネーブルされ、その出力は LKDET ピンおよび REG0058 の LOCKED ビットで読み出せます。ロック検出器の出力は、REG002E の MUXOUT ビットを設定して MUXOUT ピンで読み出すこともできます。

PFD の位相差は、ロック検出器出力が PLL がロックされたことを示すまでに、設定された PFD サイクル数に対する位相差ロック・ウィンドウ時間（t_{LDWIN}）より小さくならないければなりません。ユーザは、動作モード、f_{PFD}、f_{RFOUT} に応じて、LDWIN_PW ビットの有効ロック条件に対する t_{LDWIN} を設定します。推奨する LDWIN_PW ビットの設定を表 14 に示します。

表 14. LDWIN_PW の設定

LDWIN_PW	Configuration
0	Integer PLL, t _{BLEED} ≤ 85 ps
1	Integer PLL, 85 ps > t _{BLEED} < 250 ps
10	Fractional PLL, f _{PFD} > 200 MHz and RF > 6.4 GHz
11	Fractional PLL, f _{PFD} > 200 MHz and RF > 5 GHz
100	Fractional PLL, f _{PFD} < 200 MHz
101	Fractional PLL, f _{PFD} < 100 MHz
110	Fractional PLL, f _{PFD} < 50 MHz
111	Fractional PLL, f _{PFD} < 40 MHz

動作原理

設計者がロック検出の精度を重視するか速度を重視するかで、必要な PFD サイクル数は変わります。式 11 に示すように、必要な PFD サイクル数の初期推定値として、5 個のループ・フィルタ時定数を用いることができます。必要な PFD サイクル数は、レジスタの詳細のセクションで示す式のように、REG002C の LD_COUNT ビットで設定されます。ユーザは、実際の PFD サイクルが必要とする PFD サイクルより大きくなるよう LD_COUNT を設定します。詳細については図 37 および表 16 を参照してください。

$$\text{Desired PFD Cycles} = \frac{5}{2 \times \pi \times \text{LPBW}}$$

(11)

ここで、LPBW はループ・フィルタの帯域幅です。

表 15. LD_COUNT の設定

LD_COUNT	Actual PFD Cycles
0	27
1	35
2	51
3	67
4	99
5	131
6	195
7	259
8	387
9	515
10	771
11	1027
12	1539
13	2051
14	3075
15	4099
16	6147
17	8195
18	12291
19	16387
20	24579
21	32771
22	49155
23	65539
24	98307
25	131075
26	196611
27	262147
28	393219
29	524291
30	786435
31	1048579

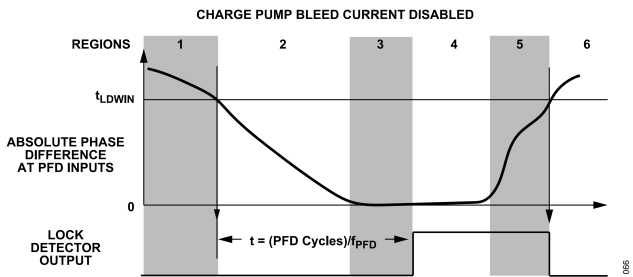


図 37. ロック検出器のタイミング
(ブリード電流をディスエーブル)

表 16. ロック検出器のタイミング (ブリード電流をディスエーブル)

Region	Absolute Phase Difference at PFD	Lock Detector State
1	$> t_{LDWIN}$	Low
2	$< t_{LDWIN}$	Low, counts PFD cycles
3	~ 0	
4	~ 0	High, > desired PFD cycle count
5	$< t_{LDWIN}$	High
6	$> t_{LDWIN}$	Low (immediately)

チャージ・ポンプのブリード電流がイネーブルされている場合、PFD 入力に位相オフセットが加わります。この位相オフセット (t_{IDEL}) は、ブリード電流の量に比例します。図 37 および図 38 の領域 3 と領域 4 は、それぞれチャージ・ポンプ・ブリード電流がディスエーブルの場合とイネーブルの場合に PLL がセトリングする PFD 位相差に焦点を合わせたものです。

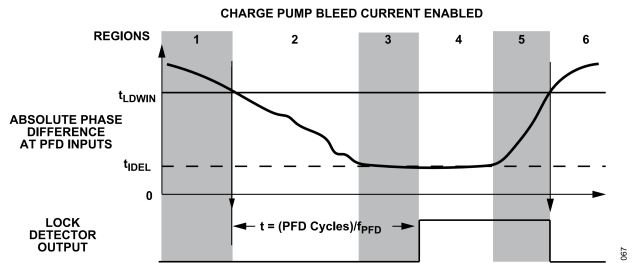


図 38. ロック検出器のタイミング (ブリード電流をイネーブル)

VCO

VCO コアは 4 個の独立した VCO で構成され、各 VCO では 256 の帯域が重なり合っているため、デバイスは高い VCO 感度 (K_V) を必要とせずに広い周波数範囲に対応できます。出力周波数は出力分周器を用いることで更に拡張できます。

動作原理

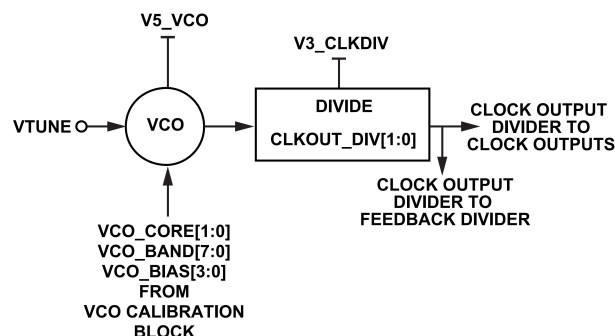


図 39. VCO およびクロック出力分周器

VCO_CORE、VCO_BAND、VCO_BIAS の各設定値に対する適切なレジスタ値は、VCO のキャリブレーションを行うことで定まります。VCO のキャリブレーションを特定のデバイスと周波数に対して実行した後、VCO_CORE、VCO_BAND、VCO_BIAS の各値を記録できます。これらの記録値は、同じデバイスと周波数を用いる場合、その後のパワーアップ時には手動でプログラムできます。そのため、VCO のキャリブレーション時間を節約できます。

VCO のキャリブレーション

特定の VCO 周波数に対し適切な VCO コア、帯域、バイアス設定値を選択するには、VCO のキャリブレーションが必要です。この手順は、デバイスがパワーアップされており、必要なリファレンス周波数が REFP ピンと REFN ピンに入力され、その他すべてのレジスタが正しく設定されていることを前提としています。この手順を図 40 と図 41 に視覚的に示します。

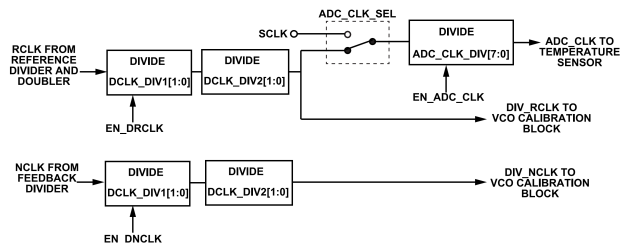


図 40. VCO キャリブレーション分周器

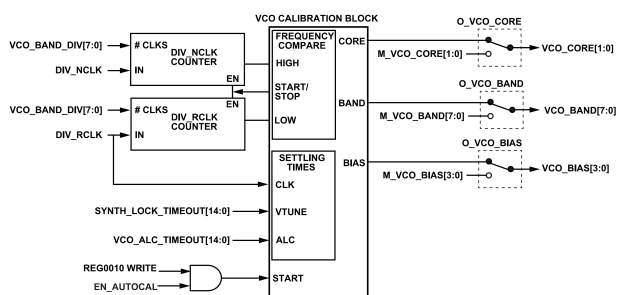


図 41. VCO キャリブレーション・ブロック

次の手順に示すように、VCO キャリブレーションを実行するには、いくつかのレジスタの設定を行います。

1. DCLK_DIV1 および DCLK_MODE を表 17 に示す値に設定します。後の使用のため、 f_{DIV_RCLK} を記録しておきます。

2. SYNTH_LOCK_TIMEOUT ビット・フィールド [14:0]、VCO_ALC_TIMEOUT ビット・フィールド [14:0]、VCO_BAND_DIV ビットの最小値を計算し設定します。これらのパラメータの最小値を選択する場合、VCO の代表的な自動キャリブレーション時間は 3ms~9ms です。値を大きくすると VCO キャリブレーション時間は長くなります。

$$SYNTH_LOCK_TIMEOUT \geq \text{Ceiling} \left(200\mu s \times f_{DIV_RCLK} \right) \quad (12)$$

$$VCO_ALC_TIMEOUT \geq \text{Ceiling} \left(50\mu s \times f_{DIV_RCLK} \right) \quad (13)$$

$$VCO_BAND_DIV \geq \text{Ceiling} \left(\frac{15\mu s \times f_{DIV_RCLK}}{16 \times 2^{DCLK_MODE}} \right) \quad (14)$$

3. 必要な ADC クロック周波数が 400kHz 未満となるように ADC_CLK_DIV ビットを設定してください。

$$ADC_CLK_DIV > \text{Ceiling} \left(\frac{\left(\frac{f_{DIV_RCLK}}{400kHz} - 2 \right)}{4} \right) \quad (15)$$

4. REG0010 を最後にプログラミングして N_INT、CLKOUT_DIV、R_DIV、EN_RDBLR の各ビットを設定します。REG0010 に何らかの書き込みを行うと VCO の自動キャリブレーションが開始されます。
5. ADC_BUSY ビットおよび FSM_BUSY ビットをモニタします。ADC_BUSY がハイからローに遷移し、次いで FSM_BUSY がハイからローに遷移すると、キャリブレーションは終了します。
6. VCO のキャリブレーションが終了したら、EN_DRCLK = EN_DNCLK = EN_ADC_CLK = 0 に設定してキャリブレーション・クロックをディスエーブルし、不要なスプリアス成分を制限します。
7. このステップはオプションです。VCO_CORE ビット、VCO_BAND ビット、VCO_BIAS ビットをリードバックし記録します。これらの値を使用すると、所定のデバイスと周波数に対しキャリブレーションをバイパスし、M_VCO_CORE ビット、M_VCO_BAND ビット、M_VCO_BIAS ビットを手動で設定できます。

表 17. DCLK_DIV1 および DCLK_MODE のセットアップ

f_{PFD} (MHz)	DCLK_DIV1	DCLK_MODE	f_{DIV_RCLK} (MHz)
≤ 160	0	1	$f_{PFD}/2$
>160 and ≤ 320	1	1	$f_{PFD}/4$
>320	2	1	$f_{PFD}/8$

クロック出力分周器

2 ビット分周器 CLKOUT_DIV を用いると、出力バッファおよび帰還分周器に出力される周波数を低減できます。分周比 0 は 1、2、4、または 8 に設定可能です。分周比 0 を直接設定するには、REG0011 の CLKOUT_DIV ビットを用います。CLKOUT_DIV は PLL ループ内に置かれています。そのため、CLKOUT_DIV に何らかの変更を加えると、わずかなループ時定数の間、PLL のロックが失われます。

動作原理

出力反転 (INV_CLKOUT)

出力反転 (INV_CLKOUT) を用いると、出力信号を 180° シフトできます。INV_CLKOUT は PLL ループ内に置かれています。INV_CLKOUT に何らかの変更を加えると、わずかなループ時定数の間、PLL のロックが失われます。出力の位相を直接設定するには、レジスタ REG0011 の INV_CLKOUT ビットを用います。

帰還分周器 (N)

帰還分周器により PLL 帰還パスの分周比を設定できます。分周比を定めるには、N_INT ビット・フィールド [11:0] (REG0011 および REG0010)、FRAC1WORD ビット・フィールド [24:0] (REG0015、REG0014、REG0013、REG0012)、FRAC2WORD ビット・フィールド [23:0] (REG0019、REG0018、REG0017)、MOD2WORD ビット・フィールド [23:0] (REG001C、REG001B、REG001A) の値を用います。この分周器はこれらの値に加え、固定モジュラス MOD1WORD (2^{25}) で構成されています。24 ビットの変数 MOD2WORD および 25 ビットの固定値 MOD1WORD が、49 ビットに結合されたフラクショナル・モジュラスを形成します。N_INT ビット・フィールド [11:0]、FRAC1WORD ビット・フィールド [24:0]、MOD1WORD、FRAC2WORD ビット・フィールド [23:0]、MOD2WORD ビット・フィールド [23:0]、CLKOUT_DIV ビットや R、D、および f_{REF} 、 f_{PDF} 、 f_{VCO} 、 f_{OUT} の各周波数の関係については、[出力周波数](#)のセクションを参照してください。

RF 出力バッファ

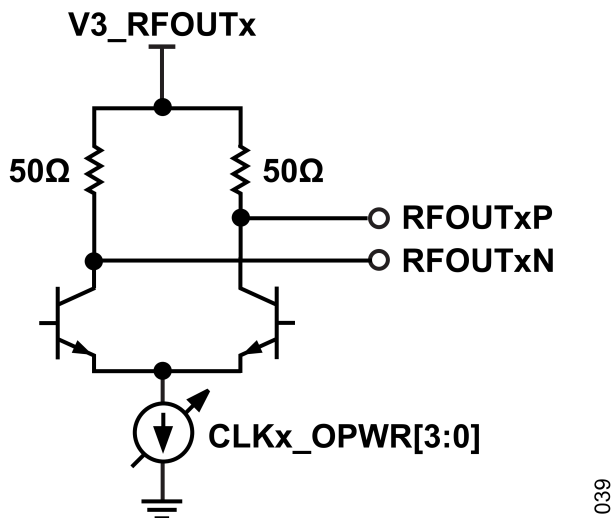


図 42. RF 出力バッファの簡略化したブロック図

図 42 の低ノイズ差動出力バッファは、差動電圧を出力します。出力の振幅レベルおよびコモンモード電圧は、CLK1_OPWR ビットと CLK2_OPWR ビットで設定可能です。各出力は AC カップリングまたは DC カップリングでき、 100Ω の差動インピーダンスで終端されます。シングルエンド出力が必要な場合は、それぞれの出力側を 50Ω で個別に AC カップリングまたは DC カップリングする必要があります。

4 つの CLKx_OPWR 設定値のうちの最低値を用いる場合は、プルアップ・インダクタを外付けする必要はありません。出力電力をこれより高くするには外部インダクタが必要です。 3.4nH の 0302 パッケージまたはこれより小型のインダクタを推奨します。評価用ボードの回路図の詳細については、[EVAL-ADF4368 ユーザ・ガイド](#)を参照してください。

アプリケーション情報

ループ・フィルタの設計

安定なループ・フィルタを設計するためには、ADF4368 のループ・フィルタ部品を選択する際に注意が必要です。ループ・フィルタの設計とシミュレーションには ADIsimPLL™ をダウンロードしてインストールすることを推奨します。ADIsimPLL™ には、初めて使うユーザのためにチュートリアルが含まれており、また、より複雑なトピックに対してのヘルプ・マニュアルも備わっています。www.analog.com には、いくつかの ADIsimPLL トレーニング・ビデオも用意されています。ループ・フィルタの設計とシミュレーションを終了した後は、ADF4368 評価用ハードウェアを用いて新しいループ・フィルタを検証することを推奨します。

ループ・フィルタ設計の完全なチュートリアルは、このデータシートの範囲を超えています。しかし、いくつかのベスト・プラクティスを以下に列挙します。ADIsimPLL はこれらのパラメータの定義とシミュレーションの助けとなるものです。これらの項目を大幅に変更するには、新たなループ・フィルタの設計が必要です。

安定なループ・フィルタは次の条件を満たす必要があります。

- ▶ ループ・フィルタの位相マージン > 45°
- ▶ ループ・フィルタの帯域幅 < $f_{\text{PFD}} \div 10$

必要なループ・フィルタの帯域幅は、ADF4368 の次の主要な性能パラメータによって決まります。

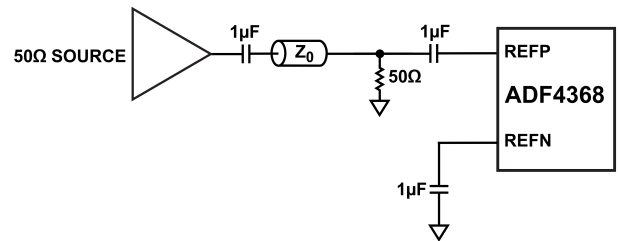
- ▶ I_{CP}
- ▶ K_{VCO}
- ▶ PFD 周波数
- ▶ リファレンス入力の位相ノイズ (リファレンスの位相ノイズのセクションを参照)
- ▶ ジッタの最小化またはセトリング・タイムの最小化のトレードオフ (それぞれ、出力の位相ノイズ特性のセクションおよび式 12 を参照)

VTUNE ピンには GND との間に 30pF のコンデンサが内蔵されており、これをループ・フィルタの設計に含める必要があります。ADIsimPLL™ ではこの内部コンデンサを自動的に考慮します。

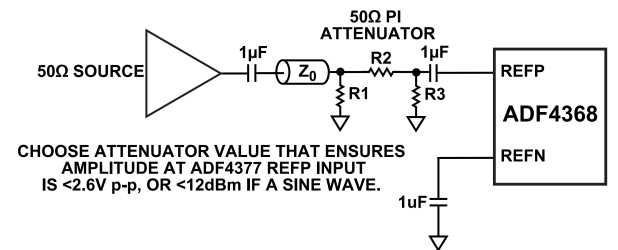
リファレンス源に関する考慮事項

リファレンス入力ネットワーク

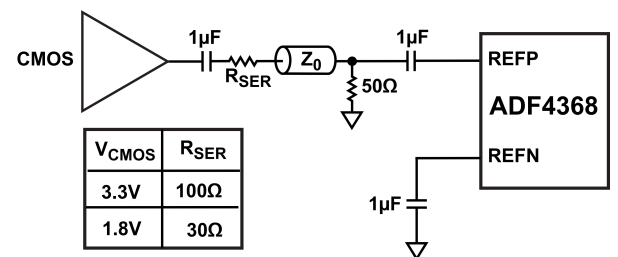
図 34 に示す ADF4368 のリファレンス入力バッファは、差動周波数源にもシングルエンド周波数源にも柔軟にインターフェースできます。図 43～図 48 に、様々なリファレンス信号タイプに対して推奨されるインターフェースを示します。図 43、図 44、図 45、図 46、図 47、図 48 において、 Z_0 信号パターンはすべて、50Ω の伝送ラインです。

SINGLE-ENDED 50Ω SOURCE ($V_{\text{REF}} < 2.6\text{V p-p}$)

080

図 43. シングルエンド 50Ω ソース ($V_{\text{REF}} < 2.6\text{V p-p}$)SINGLE-ENDED 50Ω SOURCE ($V_{\text{REF}} < 2.6\text{V p-p}$)

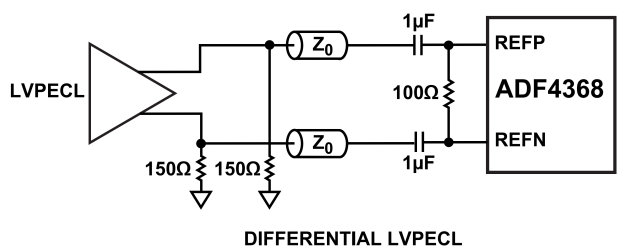
081

図 44. シングルエンド 50Ω ソース ($V_{\text{REF}} > 2.6\text{V p-p}$)

SINGLE-ENDED CMOS

082

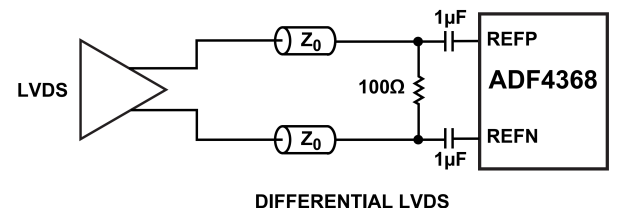
図 45. シングルエンド CMOS



DIFFERENTIAL LVPECL

083

図 46. 差動 LVPECL

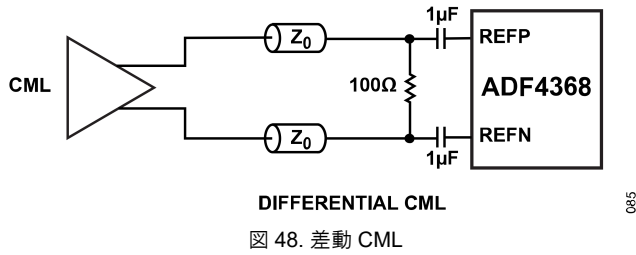


DIFFERENTIAL LVDS

084

図 47. 差動 LVDS

アプリケーション情報



リファレンスの位相ノイズ

ADF4368 では、インテジャー・モードで $L_{NORM} = -239\text{dBc/Hz}$ 、フラクショナル・モードで $L_{NORM} = -237\text{dBc/Hz}$ （それぞれ代表値）の正規化した帯域内位相ノイズ・フロアを実現します。入力換算位相ノイズ・フロア (L_{IN}) を計算するには、次に示す式 16 を用います。

$$L_{IN} = L_{NORM} + 10 \times \log_{10}(f_{REF}) \quad (16)$$

例えば、リファレンス入力周波数が 100MHz では、フラクショナル・モードでの L_{IN} は、 -157dBc/Hz となります。リファレンス周波数源の位相ノイズは、全体的なシステム位相ノイズに影響しこれを増加させることのないよう、 L_{IN} を少なくとも 6dB 下回る必要があります。

代表的な L_{NORM} 性能を維持するために、入力リファレンス信号のタイプと振幅に応じて最適な REF_SEL の設定を選択するための基準を、表 7 に示します。

出力の位相ノイズ特性

帯域内出力位相ノイズ

f_{OUT} で生成される帯域内位相ノイズ・フロア (L_{OUT}) は、式 17 および式 18 で計算できます。

$$L_{OUT} = L_{NORM} + 10 \times \log_{10}(f_{PFD}) + 20 \times \log_{10}\left(\frac{f_{OUT}}{f_{PFD}}\right) \quad (17)$$

または、

$$L_{OUT} = L_{NORM} + 10 \times \log_{10}(f_{PFD}) + 20 \times \log_{10}\left(\frac{N}{O}\right) \quad (18)$$

1/f ノイズによる出力位相ノイズ

オフセット周波数が非常に低い場合の帯域内位相ノイズは、 f_{PFD} に応じて、ADF4368 の 1/f の影響を受ける可能性があります。与えられた周波数オフセット (f_{OFFSET}) での出力 1/f 位相ノイズを概算するには、式 19 において正規化した帯域内 1/f ノイズ ($L_{1/f}$) を -287dBc/Hz とします。

$$L_{OUT(1/f)} = L_{1/f} + 20 \times \log_{10}(f_{OUT}) - 10 \times \log_{10}(f_{OFFSET}) \quad (19)$$

帯域内ノイズ・フロア (L_{OUT}) とは異なり、1/f ノイズ ($L_{OUT(1/f)}$) は、 f_{PFD} によって変化しませんが、オフセット周波数に対して一定というわけではありません。インテジャー・モードで f_{PFD} が 100MHz および 500MHz の場合の帯域内位相ノイズの例を、図 49 に示します。合計位相ノイズは L_{OUT} と $L_{OUT(1/f)}$ の和で、式 20 で計算できます。

$$L_{OUT(TOTAL)} = 10 \times \log_{10}\left(10^{L_{OUT}/10} + 10^{L_{OUT(1/f)}/10}\right) \quad (20)$$

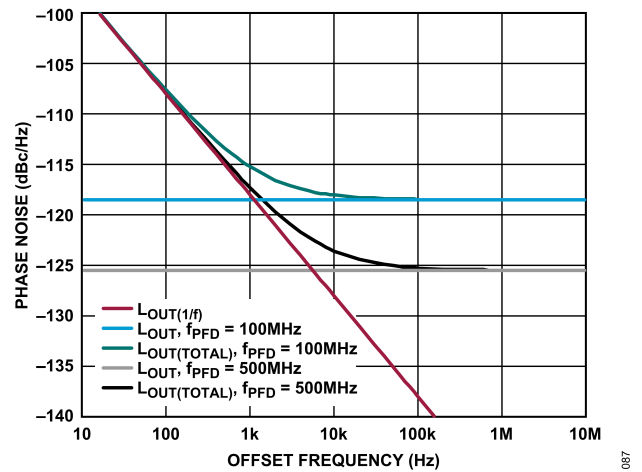


図 49. 理論的な帯域内位相ノイズ ($f_{OUT} = 10\text{GHz}$)

パワーアップと初期化のシーケンス

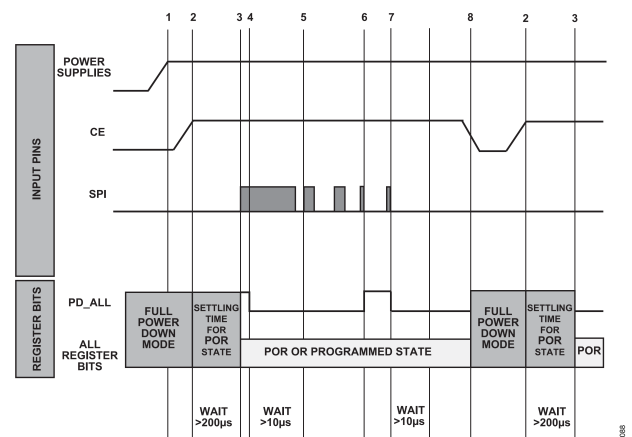


図 50. パワーアップと初期化のシーケンス

次の手順は、ADF4368 のパワーアップと初期化の推奨シーケンスです。

1. 指定電圧を 5V、3.3V_1、3.3V_2 の電源グループに印加します。ADF4368 はこの時点では完全にパワーダウン・モードで、SPI のプログラミングはできません。
2. CE ピンをロジック・ハイに設定します。プルアップ抵抗を介して CE ピンを V3_LDO ピンに接続しても構いません。そのため、手順 1 と手順 2 は同時に実行します。
3. すべての SPI レジスタがパワーオン・リセット (POR) 状態に安定するまで 200μs 以上待機した後、SPI をプログラミングして ADF4368 を目的の状態に設定します。以下に、推奨する SPI プログラミング・シーケンスを示します。

アプリケーション情報

- a. 今後のリードバック動作のために、SDO_ACTIVE ビットおよび CMOS_OV ビットを目的の状態に設定します。
 - b. 全レジスタ・アドレスを REG0053 から REG0010 まで降順で設定します。いくつかのレジスタ・フィールドについて必要な事前設定値を表 19 に示します。これらは、適切なデバイス動作のために必要です。
4. PD_ALL ビットが 0 に設定されるまで、ADF4368 はパワーダウン・モードを維持します。PD_ALL がディスエーブルになった後、VCO キャリブレーション回路やその他の回路ブロックが安定するまで 10 μ s 以上待機してから、VCO のキャリブレーションを行います。
 5. REG0010 に書き込みを行うと VCO のキャリブレーションが始まります。この時点で、デバイスは完全に動作可能となり、新しい周波数を必要に応じて何度でも設定できます。以降の手順は PD_ALL ピンと CE ピンに関する情報です。
 6. PD_ALL を 1 に設定すると ADF4368 がパワーダウンしますが、最後に行われた SPI 設定と完全な SPI プログラミング機能は保持されます。
 7. PD_ALL の状態だけが手順 6 で変更されたのであれば、PD_ALL を 0 に設定すると、ADF4368 は手順 5 で設定された周波数に戻ります。10 μ s の待機後、すべての回路ブロックは内部で完全にパワーアップされます。この 10 μ s の待機には、ループ・フィルタの帯域幅に関する周波数セトリング・タイムは含まれません。
 8. CE ピンのレベルを切り替えると、ADF4368 は完全なパワーダウン・モードに戻り、SPI レジスタは POR 状態に戻ります（手順 2 および手順 3 を参照）。

プログラミング手順

ADF4368 をパワーアップするには、2 種類の方法があります。標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーションのセクションで示す最も一般的に用いられる方法は、最初のデバイス・パワーアップ時には必須です。

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定（オプション）のセクションに示す方法は、最初のパワーアップ後にオプションで使用するパワーアップ手順です。

標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーション

次の標準的なパワーアップと初期化シーケンスは、ADF4368 をパワーアップしてプログラミングするための推奨手順です。

1. パワーアップと初期化のシーケンスのセクションの手順 1～手順 5 を実行します。
2. オプションで、VCO キャリブレーション・ビット、ADC_BUSY、FSM_BUSY の状態をモニタできます。ADC_BUSY がハイからローに遷移し、次いで FSM_BUSY がハイからローに遷移すると、VCO のキャリブレーションは終了します。自動 VCO キャリブレーション時間の代表値は、3ms～9ms です。
3. VCO のキャリブレーションが終了したら、EN_DRCLK = EN_DNCLK = EN_ADC_CLK = 0 に設定して VCO キャリブレーション・クロックをディスエーブルします。VCO キャリブレーション・クロックをディスエーブルすると、不要なスプリアス成分を低減できます。

4. ロック検出器が LKDET ピンおよび LOCKED ビットをハイに設定すると、PLL がロックされます。
5. 周波数を変更する場合は、次の手順を実行します。
 - a. 変更するレジスタのみを降順でプログラミングします。
 - b. REG0010 に書き込みを行うと、変更の有無に関わりなく、最終ステップとして新しい VCO 自動キャリブレーションを開始します。

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定（オプション）

高速のパワーアップおよび初期化方法の目的は、通常 3ms～9ms である自動 VCO キャリブレーション時間を避けるためです。固定クロック周波数コンバータのアプリケーションでは、通常、自動 VCO キャリブレーション時間を許容できます。高速の周波数ホッピング・アプリケーションでは、ロック時間をこれより大幅に短くする必要があります。

次のリストは、VCO のキャリブレーション結果を最初のパワーアップ時に記録し、その後のパワーアップ時に VCO キャリブレーション設定を手動でプログラミングする手順を示しています。

1. 最初のパワーアップ時には、標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーションのセクションで説明した手順に従います。
2. 目標周波数ごとに VCO_CORE、VCO_BAND、VCO_BIAS の各ビット・フィールドからキャリブレーション結果を記録し、その記録された結果をメモリに保存します。固有のデバイスと周波数の組み合わせごとに、生成される VCO_CORE、VCO_BAND、VCO_BIAS の値は異なる点に注意してください。
3. その後のパワーアップと初期化のシーケンス（パワーアップと初期化のシーケンスのセクションを参照）では、表 18 に示すレジスタ設定を用いてオーバーライド（O_VCO_CORE、O_VCO_BAND、O_VCO_BIAS）VCO ビットおよび手動（M_VCO_CORE、M_VCO_BAND、M_VCO_BIAS）VCO ビットを設定することで、自動 VCO キャリブレーション・プロシージャをバイパスできます。その他のビット・フィールドはすべて通常どおりに設定します。
4. 周波数を変更する場合は、変更するレジスタのみを降順でプログラミングします。

表 18. 手動プログラミングによる VCO キャリブレーションの設定

Bit Fields	Value
EN_AUTOCAL	0x0
EN_DRCLK	0x0
EN_DNCLK	0x0
EN_ADC_CLK	0x0
O_VCO_CORE	0x1
O_VCO_BAND	0x1
O_VCO_BIAS	0x1
M_VCO_CORE	Program with recorded values
M_VCO_BAND	Program with recorded values
M_VCO_BIAS	Program with recorded values

アプリケーション情報

ADF4368 の複数の出力位相の同期

複数の ADF4368 は、SYNC ピンを介したタイミング同期法と SPI プログラミングを介した EZSync 法の 2 つの方法で同期できます。これにより、すべての ADF4368 デバイスに SYNC 信号を分配する必要がなくなります。

ADF4368 は、位相再同期と呼ばれる独自機能も備えています。複数のデバイスの同期後は、デバイスに位相再同期機能があるため、（例えば周波数の変更後に）更に再同期を行う必要はありません。位相再同期モードが有効化されている場合、周波数を変更しても（R_DIV ビットが変更されない限り）出力は自動で同期されます。

同期は、ADF4368 の出力位相を、リファレンス入力を基準とする既知の位相に設定することで行われます。したがって、複数の ADF4368 デバイスのリファレンス入力に位相差があると、出力に直接反映されます。この残留位相差は、位相調整機能を用いて補償できます。

タイミング同期法

SYNC ピンを用いる一般的な方法です。SYNC ピンの立上がりエッジにより、同期プロセスがトリガされデバイスはリセット状態に置かれます。その後、SYNC ピンの立下がりエッジで同期プロセスが始まります。出力の位相は、リファレンス入力を基準として既知の位相に揃えられます。

この方法は直接的ですが、十分に揃った同期信号を追加する必要があります。

EZSync 法

EZSync 法は、マッシュ・マルチ入力マルチ出力（MIMO）やフェーズド・アレイ・アプリケーションなど、非常に多くの ADF4368 デバイスを同期する場合に便利です。この方法では、同期信号を追加する必要がなくなります。

EZSync 法の中心となる考え方は、SYNC ピンを用いる代わりに SW_SYNC ビットに書込みを行うことによって、SPI を通じて同期要求を送信することです。SPI を通じてこの要求を送信する際の問題点は、SPI が非常に低速のプロトコルで時間精度がないことです。同じリファレンス周期で要求を送信することも別の課題で、非常に多くの ADF4368 デバイスを用いる場合には不可能でさえあります。

こうした問題点は、SPI を通じて要求を送信するための十分なセットアップ時間とホールド時間をリファレンス信号が維持できるようにこの信号の停止と開始を行うことで、容易に解決できます。リファレンス信号は、非常に正確に、かつグリッチやラント・パルスを生じることなく、停止および開始を行う必要があります。EZSync を使用する場合は、[LTC6953](#) や [LTC6954](#) などのアナログ・デバイセズのクロック生成／分配デバイスを推奨します。

位相再同期

周波数ホッピング・デバイスでは、周波数変更後に複数デバイスを再同期することも問題になります。これは動作のデッド・タイムの原因となり、また、コントローラにプロセス負荷が生じる原因にもなります。

次のシーケンスは、位相再同期法の手順です。

1. すべての ADF4368 デバイスをパワーアップします。
2. すべての ADF4368 デバイスを同じ周波数に設定します。
3. 最初の同期を実行します（タイミング同期または EZSync）。
4. 位相再同期モードを有効化し、再度同期を実行します。

この時点以降、周波数変更を行った場合自動で同期が行われず、同期要求を追加する必要はありません。周波数を変更するこの SPI コマンドのタイミングは重要ではありません。そのため、ユーザは複数のデバイスの周波数を異なるタイミングで変更できます。

位相再同期法が有効化されている場合は、FRAC2WORD および MOD2WORD の値は 2^{17} 未満であることが必要です（どちらも 17 ビットとみなせることが必要です）。

位相シフト

ADF4368 の出力位相は、次の 2 つの方法でシフトできます。

- ▶ SDM ブロックで位相をシフト
- ▶ ブリード電流

最初の方法では SDM をイネーブルする必要がありますが、非常に高い精度と非常に細かいステップ・サイズを備えているため、デバイスがフラクショナル・モードの場合に非常に有用です。位相調整の量は PHASE_ADJUSTMENT ビット（REG0024）で設定され、PHASE_ADJ（REG001F）に書込みが行われるたびに出力がこの量だけシフトします。

SDM がディセーブルされているために ADF4368 がインテジャー・モードになっている場合は、この方法は機能しません。このモードでシフトを可能にするにはブリード電流を用います（[チャージ・ポンプ・ブリード電流の最適化](#)のセクションを参照）。フラクショナル・モードでは、ブリード電流は主に位相ノイズとスプリアスを最適化するために用いられます。

SDM をイネーブルして最初の方法で出力をシフトすることができます。この場合、出力が f_{PFD} の整数倍であってもデバイスはフラクショナル・モードになることに注意してください。

アプリケーション情報

電源およびバイパス

ADF4368 は高性能で低ノイズのデバイスです。位相ノイズおよびスプリアス性能は、電源にノイズが多い場合には低下します。最高性能を発揮し、電源ノイズによって ADF4368 の性能が低下しないようにするには、アナログ・デバイセズの低ノイズで高電源電圧変動除去比 (PSRR) のレギュレータを用いることを推奨します。[LT3045](#)、[ADM7150](#)、[ADM7151](#) などのレギュレータを推奨します。電源にバイパス・コンデンサを外部に追加することも推奨します。詳細については、EVAL-ADF4368 評価用ボードの設計を参照してください。

レジスタ・マップ

リセットの列は、パワーアップ後、または **SOFT_RESET** ビットのトグル後の最初のレジスタ状態を表します。ビットの列には、ビット名、または書込み可能な予約済みレジスタに対しデバイスを適切に動作させるための必要な設定を行った状態が記されています。**RESERVED** と記されたレジスタ・ビット・フィールドは読み出し専用です。

表 19. ADF4368 のレジスタ一覧

Reg	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	SOFT_RESET_R	LSB_FIRST_R	ADDRESS_ASCENSION_R	SDO_ACTIVE_R	SDO_ACTIVE	ADDRESS_ASCENSION	LSB_FIRST	SOFT_RESET	0x00	R/W
0x01	SINGLE_INSTRUCTION	REG01_RSV6	MAIN_READBACK_CONTROL	REG01_RS4	RESERVED	REG01_RS1	REG01_RS0	RESERVED	0x00	R/W
0x02	RESERVED				CHIP_STATUS				0x00	R
0x03	RESERVED				CHIP_TYPE				0x00	R
0x04	PRODUCT_ID[7:0]								0x00	R
0x05	PRODUCT_ID[15:8]								0x00	R
0x06	PRODUCT_GRADE				DEVICE_REVISION				0x00	R
0x0A	SCRATCHPAD								0x00	R/W
0x0B	SPI_REVISION								0x00	R
0x0C	VENDOR_ID[7:0]								0x56	R
0x0D	VENDOR_ID[15:8]								0x04	R
0x0F	RESERVED							0	0x00	R/W
0x10	N_INT[7:0]								0x80	R/W
0x11	CLKOUT_DIV	INT_MODE	INV_CLKOUT	N_INT[11:8]					0x00	R/W
0x12	FRAC1WORD[7:0]								0x00	R/W
0x13	FRAC1WORD[15:8]								0x00	R/W
0x14	FRAC1WORD[23:16]								0x00	R/W
0x15	M_VCO_CORE	M_VCO_BIAS					CMOS_OV	FRAC1WORD[24]	0x00	R/W
0x16	M_VCO_BAND								0x00	R/W
0x17	FRAC2WORD[7:0]								0x00	R/W
0x18	FRAC2WORD[15:8]								0x00	R/W
0x19	FRAC2WORD[23:16]								0x00	R/W
0x1A	MOD2WORD[7:0]								0x00	R/W
0x1B	MOD2WORD[15:8]								0x00	R/W
0x1C	MOD2WORD[23:16]								0x00	R/W
0x1D	BLEED_I[7:0]								0x00	R/W
0x1E	EN_PHASE_RESET	EN_REF_RST	TIMED_SYNC	BLEED_I[12:8]					0x00	R/W
0x1F	SW_SYNC	PHASE_ADJ	BLEED_POL	EN_BLEED	CP_I				0x00	R/W
0x20	EN_AUTOCAL	EN_RDBLR	R_DIV						0x01	R/W
0x21	PHASE_WORD[7:0]								0x00	R/W
0x22	PHASE_WORD[15:8]								0x00	R/W
0x23	PHASE_WORD[23:16]								0x00	R/W
0x24	PHASE_ADJUSTMENT								0x00	R/W
0x25	RESYNC_WAIT[7:0]								0x00	R/W
0x26	RESYNC_WAIT[15:8]								0x00	R/W
0x27	RESYNC_WAIT[23:16]								0x00	R/W
0x28	0	LSB_P1	VAR_MOD_EN	0	0	0	0	0	0x00	R/W
0x29	CLK2_OPWR				CLK1_OPWR				0x00	R/W
0x2A	0	PHASE_ADJ_PO L	0	PD_SYNC	0	PD_RDDET	0	0	0x04	R/W

レジスタ・マップ

表 19. ADF4368 のレジスタ一覧（続き）

Reg	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x2B	PD_ALL	0	0	0	PD_LD	0	PD_CLKO UT1	PD_CLKOUT2	0x83	R/W
0x2C		LDWIN_PW				LD_COUNT			0x00	R/W
0x2D	EN_DNCLK	EN_DRCLK	EN_LOL	EN_LDWIN	0	RST_LD	0	1	0x00	R/W
0x2E	MUXOUT				0	EN_CPTE ST	CP_DOW N	CP_UP	0x00	R/W
0x2F	BST_REF	FILT_REF	REF_SEL	0	0	1	1	1	0x00	R/W
0x30	MUTE_NCLK	0	DRCLK_DEL			DNCLK_DEL			0x00	R/W
0x31	SYNC_DEL			RST_SYS	EN_ADC_CL K	0	0	1	0x00	R/W
0x32	1	1	0	1	0	0	1	1	0x00	R/W
0x33	0	0	1	1	0	0	1	0	0x00	R/W
0x34	1	0	0	1	1	0	0	0	0x00	R/W
0x35	0	0	0	0	0	DCLK_MO DE	0	0	0x00	R/W
0x36	CLKODIV_DB	DCLK_DIV_DB	0	1	0	1	1	0	0x00	R/W
0x37	VCO_BAND_DIV								0x00	R/W
0x38	SYNTH_LOCK_TIMEOUT[7:0]								0x00	R/W
0x39	O_VCO_DB	SYNTH_LOCK_TIMEOUT[14:8]							0x00	R/W
0x3A	VCO_ALC_TIMEOUT[7:0]								0x00	R/W
0x3B	DEL_CTRL_DB	VCO_ALC_TIMEOUT[14:8]							0x00	R/W
0x3C	0	0	0	0	0	0	0	0	0x00	R/W
0x3D	1	1	0	0	0	0	0	0	0x00	R/W
0x3E	ADC_CLK_DIV								0x00	R/W
0x3F	EN_ADC_CNV	0	0	0	0	0	EN_ADC	ADC_A_CONV	0x00	R/W
0x40	0	0	MUTE_CLKOUT2			MUTE_CLKOUT1			0x00	R/W
0x41	0	0	0	0	0	0	0	0	0x00	R/W
0x42	0	0	0	0	1	0	0	1	0x00	R/W
0x43	0	ADC_CLK_SEL	0	0	1	0	0	1	0x00	R/W
0x44	0	0	0	1	1	0	0	0	0x00	R/W
0x45	0	0	0	0	1	0	0	0	0x00	R/W
0x46	0	0	0	0	0	0	0	0	0x00	R/W
0x47	0	0	0	0	0	0	0	0	0x00	R/W
0x48	0	0	0	0	0	0	0	0	0x00	R/W
0x49	0	0	0	0	0	0	0	0	0x00	R
0x4A	0	0	0	0	0	0	0	0	0x00	R/W
0x4B	0	1	0	1	1	1	0	1	0x00	R/W
0x4C	0	0	1	0	1	0	1	1	0x00	R/W
0x4D	0	0	0	0	0	0	0	0	0x00	R/W
0x4E	0	0	DCLK_DIV1		O_VCO_BAN D	O_VCO_C ORE	O_VCO_B IAS	0	0x00	R/W
0x4F	0	0	0	0	0	0	0	0	0x00	R/W
0x50	0	0	0	0	0	0	0	0	0x00	R/W
0x51	0	0	0	0	0	0	0	0	0x00	R/W
0x52	0	0	0	0	0	0	0	0	0x00	R/W
0x53	0	PD_SYNC_MON	SYNC_SEL	RST_SYNC_ MON	0	1	0	1	0x00	R/W
0x54	RESERVED							ADC_ST_CNV	0x00	R/W

レジスタ・マップ

表 19. ADF4368 のレジスタ一覧（続き）

Reg	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x55	0	0	0	0	0	0	0	0	0x00	R
0x56	0	0	0	0	0	0	0	0	0x00	R
0x57	0	0	0	0	0	0	0	0	0x00	R
0x58	EN_CLK2	EN_CLK1	SYNC_OK	0	REF_OK	ADC_BUS Y	FSM_BUS Y	LOCKED	0x00	R
0x59	0	0	0	0	0	0	0	0	0x00	R
0x5A	RESERVED						VCO_CORE		0x00	R
0x5B	CHIP_TEMP[7:0]								0x00	R
0x5C	RESERVED							CHIP_TEMP[8]	0x00	R
0x5D	0	0	0	0	0	0	0	0	0x00	R
0x5E	VCO_BAND								0x00	R
0x5F	0	0	0	0	0	0	0	0	0x00	R
0x60	RESERVED				VCO_BIAS				0x00	R
0x61	RESERVED				0	0	0	0	0x00	R
0x62	RESERVED					0	0	0	0x00	R
0x63	VERSION								0x00	R

レジスタの詳細

アドレス : 0x00、リセット : 0x00、レジスタ名 : REG0000

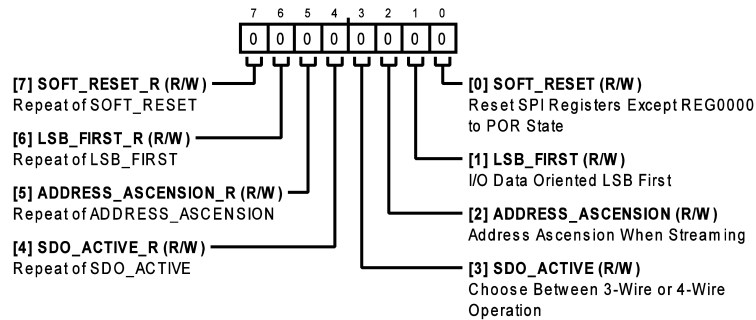


図 51.

表 20. REG0000 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFT_RESET_R	SOFT_RESET の繰返し。	0x0	R/W
6	LSB_FIRST_R	LSB_FIRST の繰返し。	0x0	R/W
5	ADDRESS_ASCENSION_R	ADDRESS_ASCENSION の繰返し。	0x0	R/W
4	SDO_ACTIVE_R	SDO_ACTIVE の繰返し。	0x0	R/W
3	SDO_ACTIVE	3 線式動作か 4 線式動作かの選択。 0 : 3 線式 1 : 4 線式 SPI (SDO がイネーブルされ SDIO は入力専用になります)	0x0	R/W
2	ADDRESS_ASCENSION	ストリーミング時のアドレス・アセンション 0 : ストリーミング時アドレスは自動でデクリメント。 1 : ストリーミング時アドレスは自動でインクリメント。	0x0	R/W
1	LSB_FIRST	I/O データは LSB ファーストを指向。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
0	SOFT_RESET	REG0000 以外の SPI レジスタを POR 状態にリセット。 自動クリアのリセットです。 0 : 通常動作。 1 : ソフト・リセット。	0x0	R/W

アドレス : 0x01、リセット : 0x00、レジスタ名 : REG0001

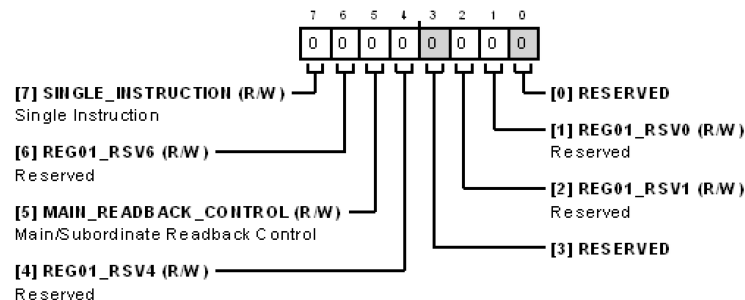


図 52.

表 21. REG0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。 0 : SPI ストリーミングをイネーブル。 1 : SPI ストリーミングをディスエーブル。	0x0	R/W
6	REG01_RSV6	予備。	0x0	R/W

レジスタの詳細

表 21. REG0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
5	MAIN_READBACK_CONTROL	上位／下位リードバック制御 0：ダブル・バッファ。下位レジスタをリードバック。 1：ダブル・バッファ。上位レジスタをリードバック。	0x0	R/W
4	REG01_RSV4	予備。	0x0	R/W
3	RESERVED	予備。	0x0	R
2	REG01_RSV1	予備。	0x0	R/W
1	REG01_RSV0	予備。	0x0	R/W
0	RESERVED	予備。	0x0	R

アドレス：0x02、リセット：0x00、レジスタ名：REG0002

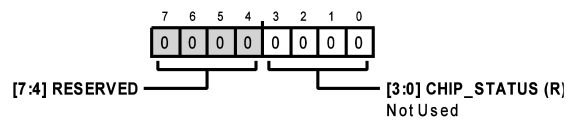


図 53.

表 22. REG0002 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CHIP_STATUS	不使用。	0x0	R

アドレス：0x03、リセット：0x00、レジスタ名：REG0003

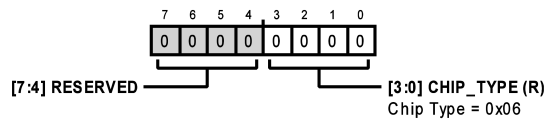


図 54.

表 23. .REG0003 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CHIP_TYPE	チップ・タイプ = 0x06。	0x0	R

アドレス：0x04、リセット：0x00、レジスタ名：REG0004

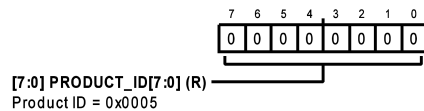


図 55.

表 24. REG0004 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID [7:0]	製品 ID = 0x0007。	0x0	R

アドレス：0x05、リセット：0x00、レジスタ名：REG0005

レジスタの詳細

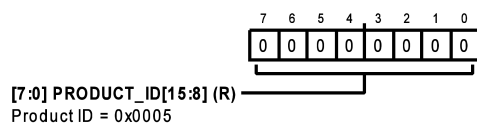


図 56.

表 25. REG0005 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID = 0x0007。	0x0	R

アドレス : 0x06、リセット : 0x00、レジスタ名 : REG0006

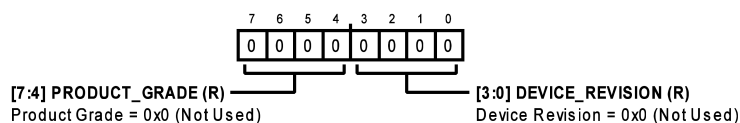


図 57.

表 26. REG0006 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	PRODUCT_GRADE	製品グレード = 0x0（不使用）。	0x0	R
[3:0]	DEVICE_REVISION	デバイスリビジョン = 0x0（不使用）。	0x0	R

アドレス : 0x0A、リセット : 0x00、レジスタ名 : REG000A

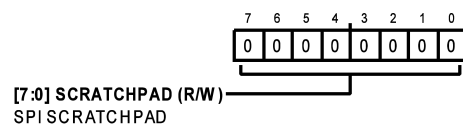


図 58.

表 27. REG000A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	SPI の SCRATCHPAD。	0x0	R/W

アドレス : 0x0B、リセット : 0x00、レジスタ名 : REG000B

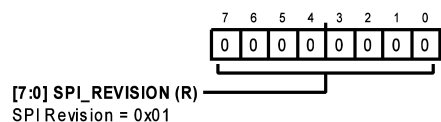


図 59.

表 28. REG000B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REVISION	SPI リビジョン = 0x01。	0x0	R

アドレス : 0x0C、リセット : 0x56、レジスタ名 : REG000C

レジスタの詳細

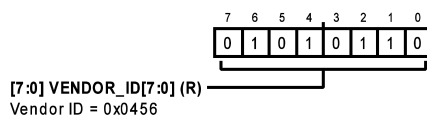


図 60.

表 29. REG000C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ ID = 0x0456。	0x56	R

アドレス : 0x0D、リセット : 0x04、レジスタ名 : REG000D

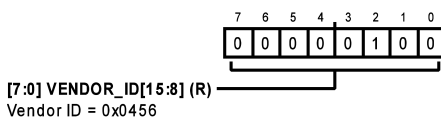


図 61.

表 30. REG000D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID = 0x0456。	0x4	R

アドレス : 0x0F、リセット : 0x00、レジスタ名 : REG000F

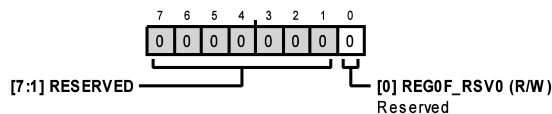


図 62.

表 31. REG000F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	REG0F_RSV0	予備。	0x0	R/W

アドレス : 0x10、リセット : 0x80、レジスタ名 : REG0010

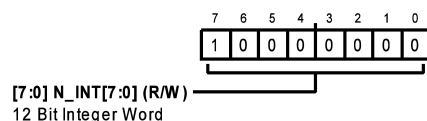


図 63.

表 32. REG0010 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	N_INT[7:0]	1 ビットのインテジャー・ワード。EN_AUTOCAL = 1 の場合に Reg10 に書込みを行うと、自動キャリブレーションがトリガされます。	0x80	R/W

アドレス : 0x11、リセット : 0x00、レジスタ名 : REG0011

レジスタの詳細

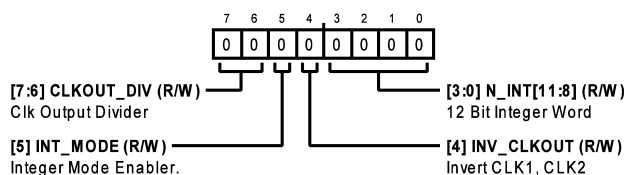


図 64.

表 33. REG0011 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CLKOUT_DIV	クロック出力分周器。 00 : 1 分周 01 : 2 分周 10 : 4 分周 11 : 8 分周	0x0	R/W
5	INT_MODE	インテジャー・モードのイネーブラ。 0 : フラクショナル・モード。 1 : インテジャー・モード。	0x0	R/W
4	INV_CLKOUT	CLK1、CLK2 の反転。 0 : RFCLK1、RFCLK2 を反転せず。 1 : RFCLK1、RFCLK2 を反転。	0x0	R/W
[3:0]	N_INT[11:8]	12 ビットのインテジャー・ワード。EN_AUTOCAL = 1 の場合に Reg10 に書き込みを行うと、自動キャリブレーションがトリガされます。	0x0	R/W

アドレス : 0x12、リセット : 0x00、レジスタ名 : REG0012

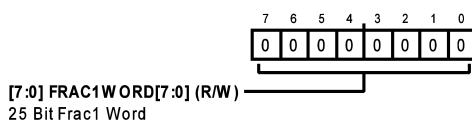


図 65.

表 34. REG0012 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD [7:0]	25 ビットの Frac1 ワード。	0x0	R/W

アドレス : 0x13、リセット : 0x00、レジスタ名 : REG0013

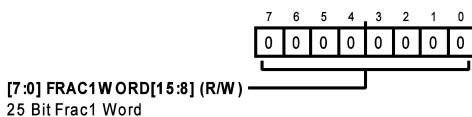


図 66.

表 35. REG0013 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD [15:8]	25 ビットの Frac1 ワード。	0x0	R/W

アドレス : 0x14、リセット : 0x00、レジスタ名 : REG0014

レジスタの詳細

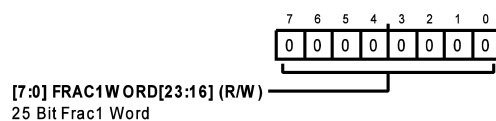


図 67.

表 36. REG0014 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD [23:16]	25 ビットの Frac1 ワード。	0x0	R/W

アドレス : 0x15、リセット : 0x00、レジスタ名 : REG0015

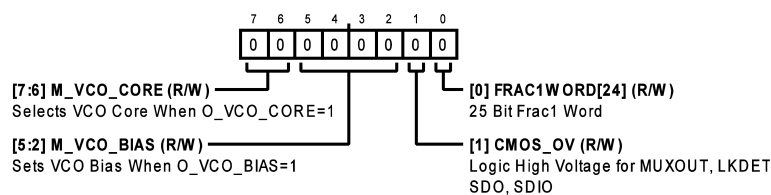


図 68.

表 37. REG0015 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	M_VCO_CORE	O_VCO_CORE = 1 の場合に VCO コアを選択。 00 : VCO 0 最低周波数。 01 : VCO 1。 10 : VCO 2。 11 : VCO 3 最高周波数。	0x0	R/W
[5:2]	M_VCO_BIAS	O_VCO_BIAS = 1 の場合に VCO のバイアスを選択。 0000 : バイアス = 0。 0001 : バイアス = 1。 0010 : バイアス = 2。 0011 : バイアス = 3。 0100 : バイアス = 4。 0101 : バイアス = 5。 0110 : バイアス = 6。 0111 : バイアス = 7。 1000 : バイアス = 8。 1001 : バイアス = 9。 1010 : バイアス = 10。 1011 : バイアス = 11。 1100 : バイアス = 12。 1101 : バイアス = 13。 1110 : バイアス = 14。 1111 : バイアス = 15。	0x0	R/W
1	CMOS_OV	MUXOUT、LKDET、SDO、SDIO のロジック・ハイ電圧。 0 : 1.8V ロジック。 1 : 3.3V ロジック。	0x0	R/W
0	FRAC1WORD[24]	25 ビットの Frac1 ワード。	0x0	R/W

アドレス : 0x16、リセット : 0x00、レジスタ名 : REG0016

レジスタの詳細

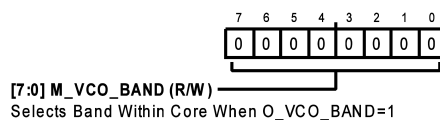


図 69.

表 38. REG0016 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	M_VCO_BAND	O_VCO_BAND = 1 の場合のコア内の帯域を選択。255 = 最低周波数。 0 = 最高周波数。	0x0	R/W

アドレス : 0x17、リセット : 0x00、レジスタ名 : REG0017

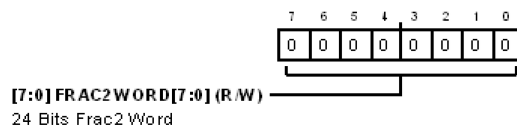


図 70.

表 39. REG0017 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD [7:0]	24 ビットの Frac2 ワード。	0x0	R/W

アドレス : 0x18、リセット : 0x00、レジスタ名 : REG0018

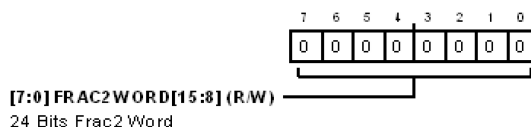


図 71.

表 40. REG0018 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD [15:8]	24 ビットの Frac2 ワード。	0x0	R/W

アドレス : 0x19、リセット : 0x00、レジスタ名 : REG0019

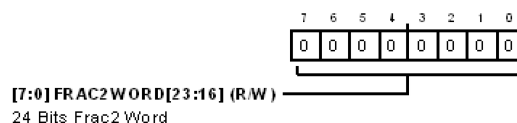


図 72.

表 41. REG0019 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD [23:16]	24 ビットの Frac2 ワード	0x0	R/W

アドレス : 0x1A、リセット : 0x00、レジスタ名 : REG001A

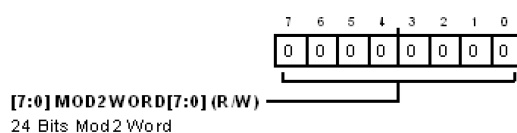


図 73.

レジスタの詳細

表 42. REG001A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD[7:0]	24 ビットの Mod2 ワード。	0x0	R/W

アドレス : 0x1B、リセット : 0x00、レジスタ名 : REG001B

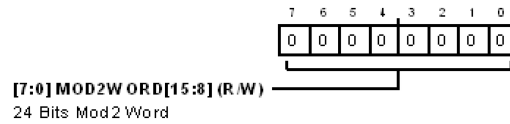


図 74.

表 43. REG001B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD [15:8]	24 ビットの Mod2 ワード。	0x0	R/W

アドレス : 0x1C、リセット : 0x00、レジスタ名 : REG001C

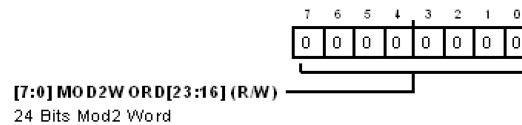


図 75.

表 44. REG001C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD [23:16]	24 ビットの Mod2 ワード	0x0	R/W

アドレス : 0x1D、リセット : 0x00、レジスタ名 : REG001D

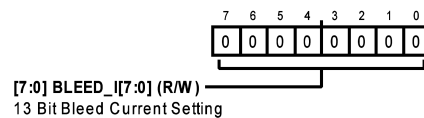


図 76.

表 45. REG001D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BLEED_I[7:0]	13 ビットのブリード電流設定。粗設定用に 4 ビット MSB、精細設定用に 9 ビット LSB。	0x0	R/W

アドレス : 0x1E、リセット : 0x00、レジスタ名 : REG001E

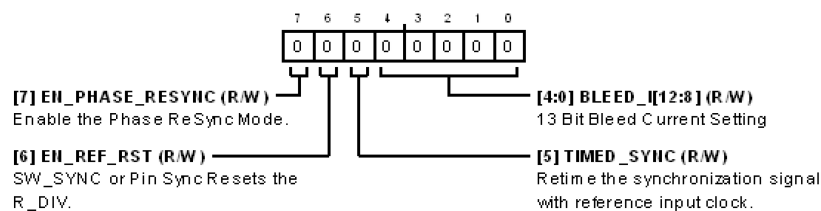


図 77.

レジスタの詳細

表 46. REG001E のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_PHASE_RESYNC	位相再同期モードを有効化。	0x0	R/W
6	EN_REF_RST	SW_SYNC またはピン同期により R_DIV をリセット。	0x0	R/W
5	TIMED_SYNC	リファレンス入力クロックを使用して同期信号をリタイミング。 0 : RDIV は非同期でリセットされます。 1 : 同期信号はリファレンス入力クロックでリタイミングされます。	0x0	R/W
[4:0]	BLEED_I[12:8]	13 ビットのブリード電流設定。粗設定用に 4 ビット MSB、精細設定用に 9 ビット LSB。	0x0	R/W

アドレス : 0x1F、リセット : 0x00、レジスタ名 : REG001F

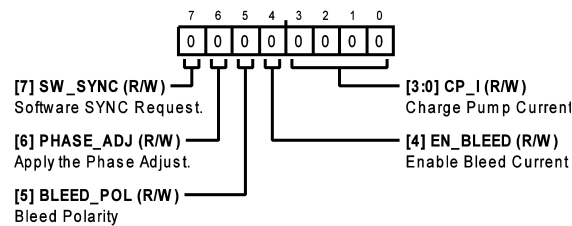


図 78.

表 47. REG001F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_SYNC	ソフトウェア SYNC 要求。	0x0	R/W
6	PHASE_ADJ	位相調整を適用。	0x0	R/W
5	BLEED_POL	ブリードの極性。 0 : 電流シンク。 1 : 電流ソース。	0x0	R/W
4	EN_BLEED	ブリード電流のイネーブル。 0 : ブリード電流をディスエーブル。 1 : ブリード電流をイネーブル。	0x0	R/W
[3:0]	CP_I	チャージ・ポンプの電流。対応する電流値については表 11 を参照してください。	0x0	R/W

アドレス : 0x20、リセット : 0x01、レジスタ名 : REG0020

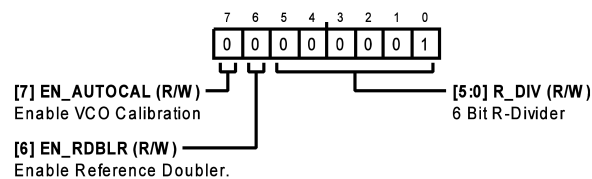


図 79.

表 48. REG0020 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_AUTOCAL	VCO キャリブレーションのイネーブル。 0 : VCO のキャリブレーションをディスエーブル。 1 : VCO のキャリブレーションをイネーブル。	0x0	R/W
6	EN_RDBLR	リファレンス・ダブラのイネーブル。 0 : ダブラをディスエーブル。 1 : ダブラをイネーブル。	0x0	R/W
[5:0]	R_DIV	6 ビットの R 分周器。	0x1	R/W

レジスタの詳細

アドレス : 0x21、リセット : 0x00、レジスタ名 : REG0021

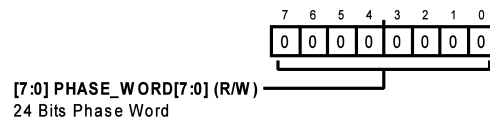


図 80.

表 49. REG0021 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_WORD [7:0]	24 ビットの位相ワード。	0x0	R/W

アドレス : 0x22、リセット : 0x00、レジスタ名 : REG0022

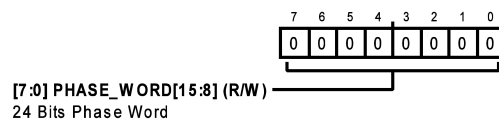


図 81.

表 50. REG0022 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_WORD [15:8]	24 ビットの位相ワード。	0x0	R/W

アドレス : 0x23、リセット : 0x00、レジスタ名 : REG0023

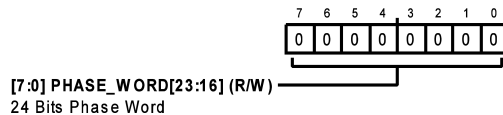


図 82.

表 51. REG0023 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_WORD [23:16]	24 ビットの位相ワード。	0x0	R/W

アドレス : 0x24、リセット : 0x00、レジスタ名 : REG0024

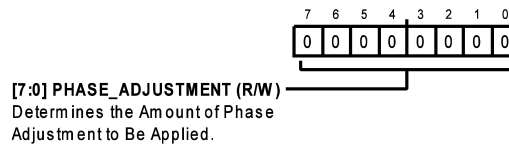


図 83.

表 52. REG0024 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_ADJUSTMENT	適用すべき位相調整量を決定。 $\text{PHASE_ADJUSTMENT} = \text{位相 (}^\circ\text{)} \times 2^{12}/360$	0x0	R/W

アドレス : 0x25、リセット : 0x00、レジスタ名 : REG0025

レジスタの詳細

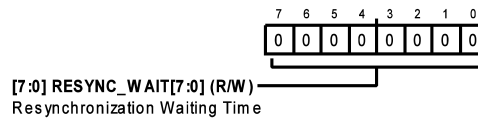


図 84.

表 53. REG0025 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESYNC_WAIT [7:0]	再同期待機時間。再同期に適用するレジスタ 10 への書き込み後の待機時間を設定します (RESYNC_WAIT × PFD)。	0x0	R/W

アドレス : 0x26、リセット : 0x00、レジスタ名 : REG0026

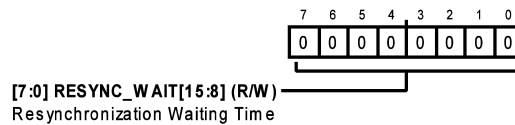


図 85.

表 54. REG0026 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESYNC_WAIT [15:8]	再同期待機時間。再同期に適用するレジスタ 10 への書き込み後の待機時間を設定します (RESYNC_WAIT × PFD)。	0x0	R/W

アドレス : 0x27、リセット : 0x00、レジスタ名 : REG0027

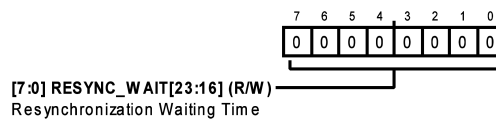


図 86.

表 55. REG0027 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESYNC_WAIT [23:16]	再同期待機時間。再同期に適用するレジスタ 10 への書き込み後の待機時間を設定します (RESYNC_WAIT × PFD)。	0x0	R/W

アドレス : 0x28、リセット : 0x00、レジスタ名 : REG0028

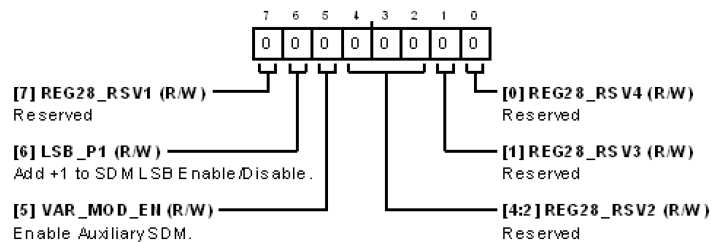


図 87.

表 56. REG0028 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG28_RSV1	予備。	0x0	R/W
6	LSB_P1	SDM の LSB への +1 の追加をイネーブル/ディスエーブル。	0x0	R/W
5	VAR_MOD_EN	補助 SDM のイネーブル。	0x0	R/W

レジスタの詳細

表 56. REG0028 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[4:2]	REG28_RSV2	予備。	0x0	R/W
1	REG28_RSV3	予備。	0x0	R/W
0	REG28_RSV4	予備。	0x0	R/W

アドレス : 0x29、リセット : 0x00、レジスタ名 : REG0029

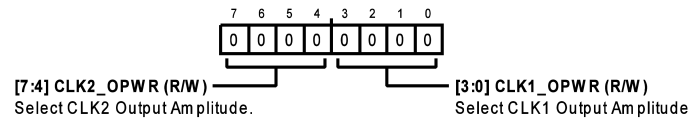


図 88.

表 57. REG0029 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CLK2_OPWR	CLK2 の出力振幅を選択。 0000 : 最小パワー設定。 1111 : 最大パワー設定。	0x0	R/W
[3:0]	CLK1_OPWR	CLK1 の出力振幅を選択。 0000 : 最小パワー設定。 1111 : 最大パワー設定。	0x0	R/W

アドレス : 0x2A、リセット : 0x04、レジスタ名 : REG002A

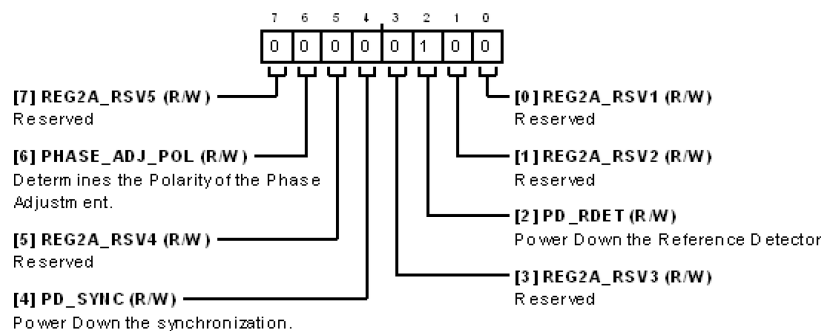


図 89.

表 58. REG002A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG2A_RSV5	予備。	0x0	R/W
6	PHASE_ADJ_POL	位相調整の極性を決定。 0 : 選択した位相値を加算。 1 : 選択した位相値を減算。	0x0	R/W
5	REG2A_RSV4	予備。	0x0	R/W
4	PD_SYNC	同期をパワーダウン。	0x0	R/W
3	REG2A_RSV3	予備。	0x0	R/W
2	PD_RDET	リファレンス検出器をパワーダウン。 0 : 通常動作。 1 : リファレンス検出器をパワーダウン。	0x1	R/W
1	REG2A_RSV2	予備。	0x0	R/W
0	REG2A_RSV1	予備。	0x0	R/W

レジスタの詳細

アドレス : 0x2B、リセット : 0x83、レジスタ名 : REG002B

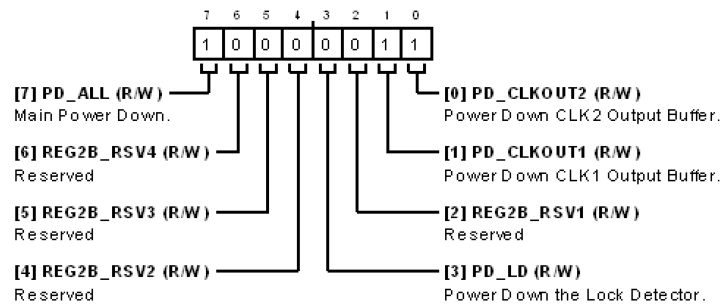


図 90.

表 59. REG002B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	PD_ALL	メイン電源のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x1	R/W
6	REG2B_RSV4	予備。	0x0	R/W
5	REG2B_RSV3	予備。	0x0	R/W
4	REG2B_RSV2	予備。	0x0	R/W
3	PD_LD	ロック検出器のパワーダウン。 0 : 通常動作。 1 : ロック検出器のパワーダウン。	0x0	R/W
2	REG2B_RSV1	予備。	0x0	R/W
1	PD_CLKOUT1	CLK1 出力バッファのパワーダウン。 0 : 通常動作。 1 : CLK1 出力をパワーダウン。	0x1	R/W
0	PD_CLKOUT2	CLK2 出力バッファのパワーダウン。 0 : 通常動作。 1 : CLK2 出力をパワーダウン。	0x1	R/W

アドレス : 0x2C、リセット : 0x00、レジスタ名 : REG002C

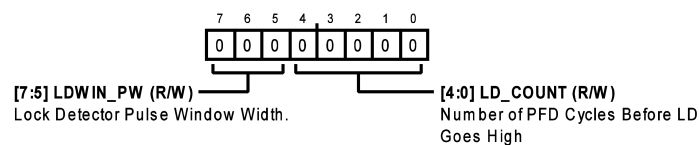


図 91.

表 60. .REG002C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	LDWIN_PW	ロック検出器のパルス・ウィンドウ幅。詳細は表 14 を参照してください。	0x0	R/W
[4:0]	LD_COUNT	LD がハイになるまでの PFD サイクル数。 LD_COUNT が偶数の場合 サイクル数 = $24 \times \sqrt{2^{LD_COUNT}} + 3$ LD_COUNT が奇数の場合 サイクル数 = $32 \times \sqrt{2^{LD_COUNT - 1}} + 3$	0x0	R/W

アドレス : 0x2D、リセット : 0x00、レジスタ名 : REG002D

レジスタの詳細

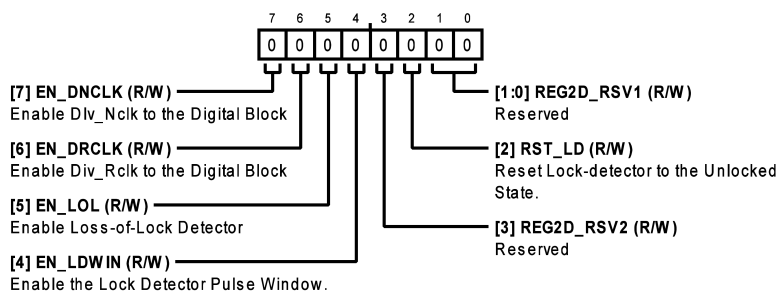


図 92.

表 61. REG002D のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_DNCLK	デジタル・ブロックへの Div_Nclk のイネーブル。 0 : Div_Nclk オフ。 1 : Div_Nclk オン。	0x0	R/W
6	EN_DRCLK	デジタル・ブロックへの Div_Rclk のイネーブル。 0 : Div_Rclk オフ。 1 : Div_Rclk オン。	0x0	R/W
5	EN_LOL	ロック喪失検出器のイネーブル。 0 : ロック喪失検出器をディスエーブル。 1 : ロック喪失検出器をイネーブル。	0x0	R/W
4	EN_LDWIN	ロック検出器のパルス・ウィンドウのイネーブル。 0 : ロック検出器のパルス・ウィンドウをディスエーブル。 1 : ロック検出器のパルス・ウィンドウをイネーブル。	0x0	R/W
3	REG2D_RSV2	予備。	0x0	R/W
2	RST_LD	ロック検出器をアンロック状態にリセット。 0 : リセット無効。 1 : リセット有効。	0x0	R/W
[1:0]	REG2D_RSV1	予備。	0x0	R/W

アドレス : 0x2E、リセット : 0x00、レジスタ名 : REG002E

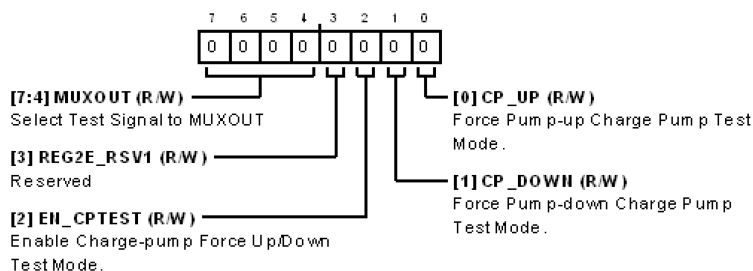


図 93.

表 62. REG002E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	MUXOUT	MUXOUT のテスト信号を選択。 0000 : High-Z。 0001 : LKDET。 0010 : ロー。 0011 : ロー。 0100 : Div_Rclk/2。 0101 : Div_Nclk/2。	0x0	R/W

レジスタの詳細

表 62. REG002E のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		0110 : 予備。 0111 : ロー。 1000 : ハイ。 1001 : 予備。 1010 : 予備。 1011 : ロー。 1100 : ロー。 1101 : ロー。 1110 : 予備。 1111 : 予備。		
3	REG2E_RSV1	予備。	0x0	R/W
2	EN_CPTEST	チャージ・ポンプ強制アップ/ダウン・テスト・モードのイネーブル。 0 : チャージ・ポンプ強制アップ/ダウン・テスト・モードをオフ (通常動作) 1 : チャージ・ポンプ強制アップ/ダウン・テスト・モードをオン。	0x0	R/W
1	CP_DOWN	強制ポンプ・ダウンのチャージ・ポンプ・テスト・モード。 0 : 強制ポンプ・ダウンをオフ。 1 : 強制ポンプ・ダウンをオン。	0x0	R/W
0	CP_UP	強制ポンプ・アップのチャージ・ポンプ・テスト・モード。 0 : 強制ポンプ・アップをオフ。 1 : 強制ポンプ・アップをオン。	0x0	R/W

アドレス : 0x2F、リセット : 0x00、レジスタ名 : REG002F

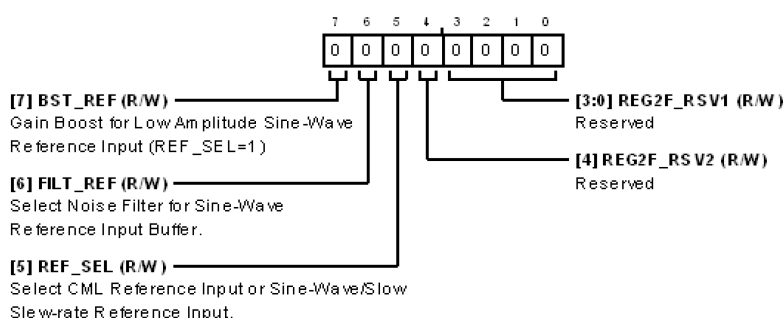


図 94.

表 63. REG002F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BST_REF	小振幅のサイン波リファレンス入力のゲイン・ブースト (REF_SEL = 1)。 0 : 大リファレンス入力信号 > 1.6V _{p-p} (REF_SEL = 1) の場合に使用。 1 : 大リファレンス入力信号 < 1.6V _{p-p} (REF_SEL = 1) の場合に使用。	0x0	R/W
6	FILT_REF	サイン波リファレンス入力バッファのノイズ・フィルタの選択。 0 : ノイズ・フィルタをオフ。 1 : ノイズ・フィルタをオン。	0x0	R/W
5	REF_SEL	CML リファレンス入力またはサイン波/低スルー・レート・リファレンス入力の選択。 0 : DMA。遅延一致アンプ (DMA)、クロック出力遅延に対する改善されたリファレンス用。 1 : LNA。ロー・ノイズ・アンプ、低スルー・レート信号/低周波数サイン波用。	0x0	R/W
4	REG2F_RSV2	予備。	0x0	R/W
[3:0]	REG2F_RSV1	予備。	0x0	R/W

アドレス : 0x30、リセット : 0x00、レジスタ名 : REG0030

レジスタの詳細

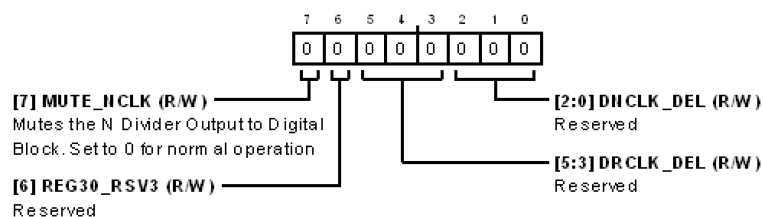


図 95.

表 64. REG0030 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MUTE_NCLK	デジタル・ブロックへの N 分周器出力をミュート。通常動作では 0 に設定します。	0x0	R/W
6	REG30_RSV3	予備。	0x0	R/W
[5:3]	DRCLK_DEL	予備。	0x0	R/W
[2:0]	DNCLK_DEL	予備。	0x0	R/W

アドレス : 0x31、リセット : 0x00、レジスタ名 : REG0031

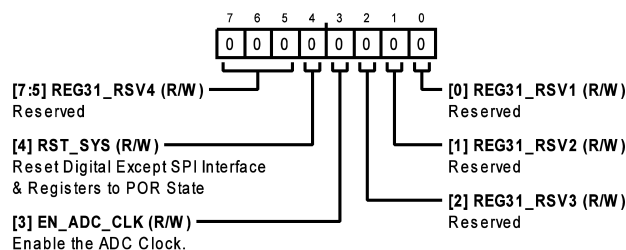


図 96.

表 65. REG0031 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	REG31_RSV4	予備。	0x0	R/W
4	RST_SYS	SPI 以外のデジタル・インターフェースとレジスタを POR 状態にリセット。 0 : リセット無効。 1 : リセット有効。	0x0	R/W
3	EN_ADC_CLK	ADC クロックのイネーブル。 0 : ADC クロックをディスエーブル。 1 : ADC クロックをイネーブル。	0x0	R/W
2	REG31_RSV3	予備。	0x0	R/W
1	REG31_RSV2	予備。	0x0	R/W
0	REG31_RSV1	予備。	0x0	R/W

アドレス : 0x35、リセット : 0x00、レジスタ名 : REG0035

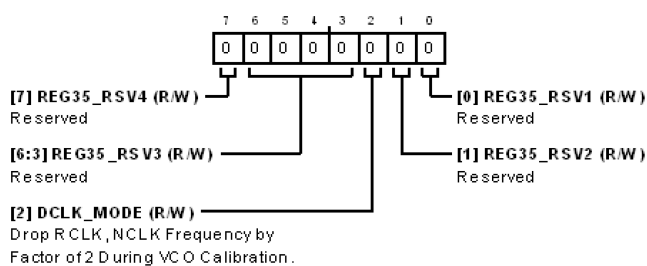


図 97.

レジスタの詳細

表 66. REG0035 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG35_RSV4	予備。	0x0	R/W
[6:3]	REG35_RSV3	予備。	0x0	R/W
2	DCLK_MODE	VCO のキャリブレーション時に RCLK と NCLK の周波数を 2 分の 1 に減少。 0 : 周波数減少をディスエーブル。 1 : 周波数減少をイネーブル。	0x0	R/W
1	REG35_RSV2	予備。	0x0	R/W
0	REG35_RSV1	予備。	0x0	R/W

アドレス : 0x36、リセット : 0x00、レジスタ名 : REG0036

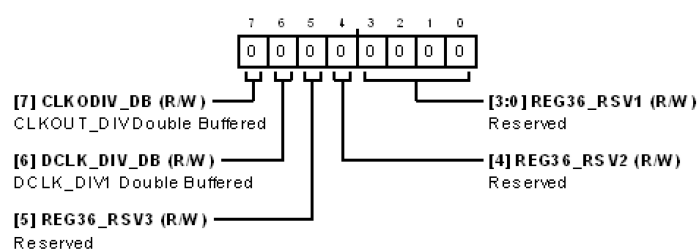


図 98.

表 67. REG0036 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CLKODIV_DB	CLKOUT_DIV のダブル・バッファリング。 0 : CLKOUT_DIV をダブル・バッファリングしない。 1 : CLKOUT_DIV をダブル・バッファリングする。	0x0	R/W
6	DCLK_DIV_DB	DCLK_DIV1 のダブル・バッファリング。 0 : ダブル・バッファリングしない。 1 : ダブル・バッファリングする。	0x0	R/W
5	REG36_RSV3	予備。	0x0	R/W
4	REG36_RSV2	予備。	0x0	R/W
[3:0]	REG36_RSV1	予備。	0x0	R/W

アドレス : 0x37、リセット : 0x00、レジスタ名 : REG0037

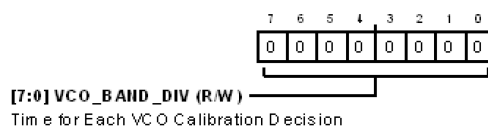


図 99.

表 68. REG0037 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND_DIV	VCO のキャリブレーション・ステップごとの時間を設定。VCO のステップあたりのキャリブレーション時間 = $16 \times \text{VCO_BAND_DIV} / (\text{Div_Rclk 周波数})$	0x0	R/W

アドレス : 0x38、リセット : 0x00、レジスタ名 : REG0038

レジスタの詳細

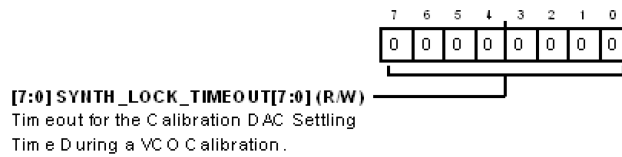


図 100.

表 69. REG0038 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SYNTH_LOCK_TIMEOUT[7:0]	VCO のキャリブレーションにおけるキャリブレーション DAC のセトリング時間のタイムアウト。 時間 = SYNTH_LOCK_TIMEOUT / (f _{DIV_RCLK} 周波数)	0x0	R/W

アドレス : 0x39、リセット : 0x00、レジスタ名 : REG0039

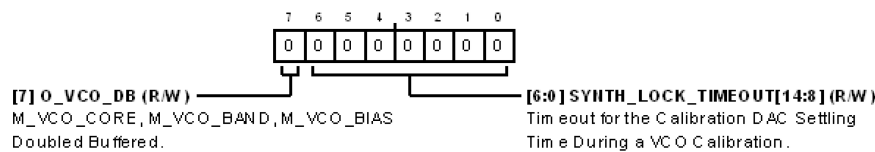


図 101.

表 70. REG0039 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	O_VCO_DB	M_VCO_CORE、M_VCO_BAND、M_VCO_BIAS のダブル・バッファリング。 0 : コア、バイアス、帯域をダブル・バッファリングしない。 1 : コア、バイアス、帯域をダブル・バッファリングする。	0x0	R/W
[6:0]	SYNTH_LOCK_TIMEOUT[14:8]	VCO のキャリブレーションにおけるキャリブレーション DAC のセトリング時間のタイムアウト。 時間 = SYNTH_LOCK_TIMEOUT / (f _{DIV_RCLK} 周波数)	0x0	R/W

アドレス : 0x3A、リセット : 0x00、レジスタ名 : REG003A

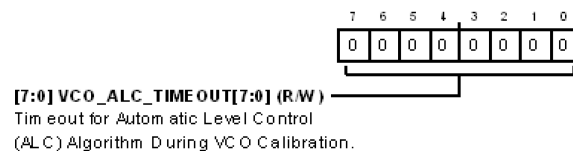


図 102.

表 71. REG003A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_ALC_TIMEOUT[7:0]	VCO のキャリブレーションにおける自動レベル制御 (ALC) アルゴリズムのタイムアウト。時間 = VCO_ALC_TIMEOUT[14:0] / (f _{DIV_RCLK} 周波数)	0x0	R/W

アドレス : 0x3B、リセット : 0x00、レジスタ名 : REG003B

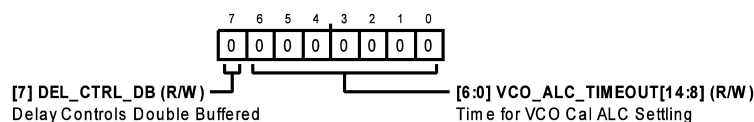


図 103.

表 72. REG003B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	DEL_CTRL_DB	遅延制御のダブル・バッファリング。INV_CLKOUT、BLEED_I、BLEED_POL をダブル・バッファリング。	0x0	R/W

レジスタの詳細

表 72. REG003B のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[6:0]	VCO_ALC_TIMEOUT[14:8]	0: ダブル・バッファリングしない。 1: ダブル・バッファリングする。 VCO のキャリブレーションにおける自動レベル制御 (ALC) アルゴリズムのタイムアウト。時間 = VCO_ALC_TIMEOUT[14:0]/(f_{DIV_RCLK} 周波数)	0x0	R/W

アドレス : 0x3E、リセット : 0x00、レジスタ名 : REG003E

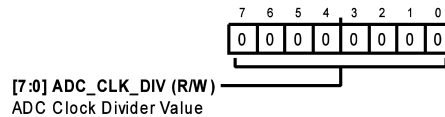


図 104.

表 73. REG003E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_CLK_DIV	ADC クロック分周器の値。必要な ADC クロック周波数 < 400kHz。 $ADC_CLK_DIV = (((f_{DIV_RCLK}) / (\text{必要な ADC クロック周波数})) - 2) / 4$ の場合。	0x0	R/W

アドレス : 0x3F、リセット : 0x00、レジスタ名 : REG003F

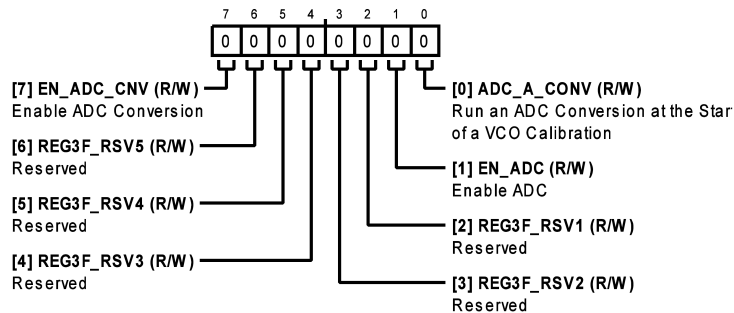


図 105.

表 73. REG003F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_ADC_CNV	ADC 変換のイネーブル。 0 : ADC 変換を実行しない。 1 : イネーブル。通常動作。	0x0	R/W
6	REG3F_RSV5	予備。	0x0	R/W
5	REG3F_RSV4	予備。	0x0	R/W
4	REG3F_RSV3	予備。	0x0	R/W
3	REG3F_RSV2	予備。	0x0	R/W
2	REG3F_RSV1	予備。	0x0	R/W
1	EN_ADC	ADC のイネーブル。 0 : ADC をディスエーブル。 1 : ADC をイネーブル。	0x0	R/W
0	ADC_A_CONV	VCO のキャリブレーション開始時に ADC 変換を実行。 0 : ADC_ST_CNV ビット・フィールドへの書き込み時のみ ADC 変換が可能。 1 : イネーブル。通常動作。VCO のキャリブレーション開始時または ADC_ST_CNV ビット・フィールドへの書き込み時に自動的に ADC 変換を開始。	0x0	R/W

アドレス : 0x40、リセット : 0x00、レジスタ名 : REG0040

レジスタの詳細

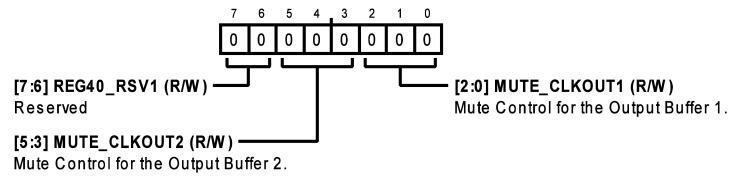


図 106.

表 75. REG0040 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	REG40_RSV1	予備。	0x0	R/W
[5:3]	MUTE_CLKOUT2	出力バッファ 2 の制御をミュート。	0x0	R/W
[2:0]	MUTE_CLKOUT1	出力バッファ 1 の制御をミュート。	0x0	R/W

アドレス : 0x43、リセット : 0x00、レジスタ名 : REG0043

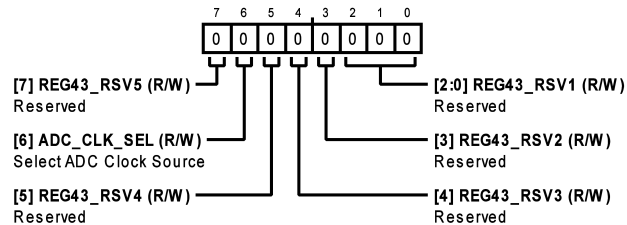


図 107.

表 73. REG0043 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG43_RSV5	予備。	0x0	R/W
6	ADC_CLK_SEL	ADC クロック源の選択。 0 : Rclk を ADC クロック源として使用 (通常動作)。 1 : SPI SCLK を ADC クロック源として使用 (テスト・モード)。	0x0	R/W
5	REG43_RSV4	予備。	0x0	R/W
4	REG43_RSV3	予備。	0x0	R/W
3	REG43_RSV2	予備。	0x0	R/W
[2:0]	REG43_RSV1	予備。	0x0	R/W

アドレス : 0x4E、リセット : 0x00、レジスタ名 : REG004E

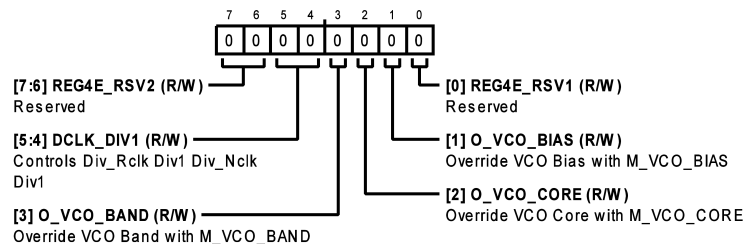


図 108.

表 77. REG004E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	REG4E_RSV2	予備。	0x0	R/W
[5:4]	DCLK_DIV1	Div_Rclk Div1、Div_Nclk Div1 を制御。	0x0	R/W

レジスタの詳細

表 77. REG004E のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		00 : 1 分周。 01 : 2 分周。 10 : 4 分周。 11 : 8 分周。		
3	O_VCO_BAND	M_VCO_BAND で VCO 帯域をオーバーライド。 0 : VCO キャリブレーションのステート・マシンに基づく VCO 帯域コード。 1 : M_VCO_BAND に基づく VCO 帯域コード。	0x0	R/W
2	O_VCO_CORE	M_VCO_CORE で VCO コアをオーバーライド。 0: VCO キャリブレーションのステート・マシンに基づく VCO コアの選択。 1: M_VCO_CORE に基づく VCO コアの選択。	0x0	R/W
1	O_VCO_BIAS	M_VCO_BIAS で VCO バイアスをオーバーライド。 0 : VCO キャリブレーションのステート・マシンに基づく VCO バイアス・コード。 1 : M_VCO_VBIAS に基づく VCO バイアス・コード。	0x0	R/W
0	REG4E_RSV1	予備。	0x0	R/W

アドレス : 0x53、リセット : 0x00、レジスタ名 : REG0053

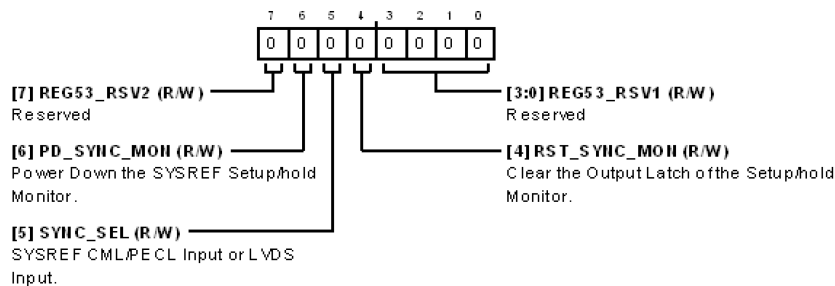


図 109.

表 78. REG0053 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG53_RSV2	予備。	0x0	R/W
6	PD_SYNC_MON	SYSREF セットアップ/ホールド・モニタのパワーダウン。 0 : 通常動作。 1 : SYSREF セットアップ/ホールド・モニタのパワーダウン。	0x0	R/W
5	SYNC_SEL	SYSREF の CML/PECL 入力または LVDS 入力。 0 : CML/PECL 入力。 1 : LVDS 入力。	0x0	R/W
4	RST_SYNC_MON	セットアップ/ホールド・モニタの出力ラッチのクリア。 0 : リセット無効。 1 : リセット有効。	0x0	R/W
[3:0]	REG53_RSV1	予備。	0x0	R/W

アドレス : 0x54、リセット : 0x00、レジスタ名 : REG0054

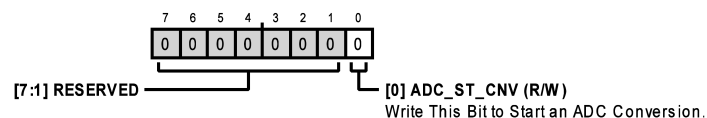


図 110.

レジスタの詳細

表 79. REG0054 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	ADC_ST_CNV	このビットに書き込みを行うと、ADC 変換が開始します。	0x0	R/W

アドレス : 0x58、リセット : 0x00、レジスタ名 : REG0058

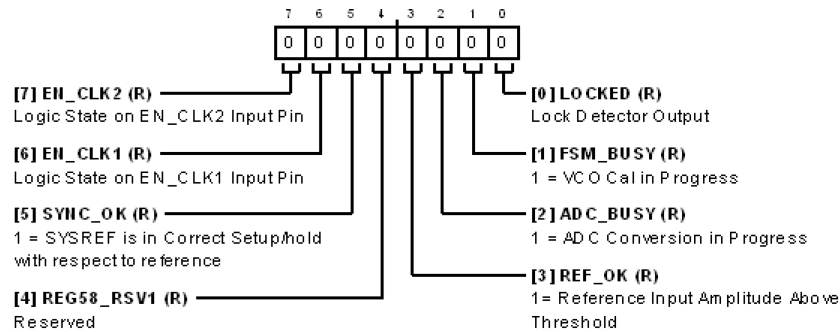


図 111.

表 80. REG0058 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_CLK2	EN_CLK2 入力ピンのロジック状態。	0x0	R
6	EN_CLK1	EN_CLK1 入力ピンのロジック状態。	0x0	R
5	SYNC_OK	1 = SYSREF はリファレンスに関して適切なセットアップ/ホールド状態になっています。	0x0	R
4	REG58_RSV1	予備。	0x0	R
3	REF_OK	1 = リファレンス入力の振幅が閾値を超えています。	0x0	R
2	ADC_BUSY	1 = ADC 変換が進行中。	0x0	R
1	FSM_BUSY	1 = VCO のキャリブレーションが進行中。	0x0	R
0	LOCKED	ロック検出器の出力。	0x0	R

アドレス : 0x5A、リセット : 0x00、レジスタ名 : REG005A

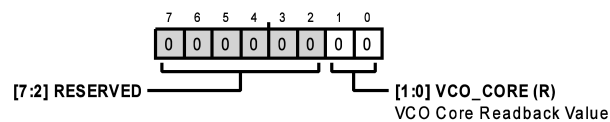


図 112.

表 81. REG005A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
[1:0]	VCO_CORE	VCO コアのリードバック値。	0x0	R

アドレス : 0x5B、リセット : 0x00、レジスタ名 : REG005B

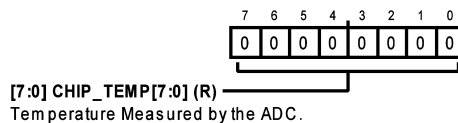


図 113.

レジスタの詳細

表 82. REG005B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIP_TEMP[7:0]	ADC が測定した温度。ビット[8] = 符号、ビット[7:0] = 大きさ	0x0	R

アドレス : 0x5C、リセット : 0x00、レジスタ名 : REG005C

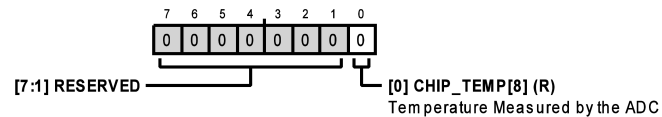


図 114.

表 83. REG005C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	CHIP_TEMP[8]	ADC が測定した温度。ビット[8] = 符号、ビット[7:0] = 大きさ	0x0	R

アドレス : 0x5E、リセット : 0x00、レジスタ名 : REG005E

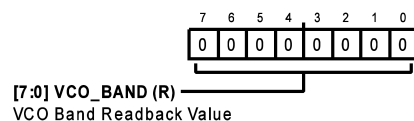


図 115.

表 84. REG005E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND	VCO 帯域のリードバック値。	0x0	R

アドレス : 0x60、リセット : 0x00、レジスタ名 : REG0060

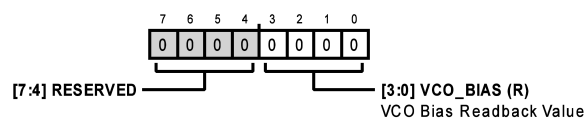


図 116.

表 85. REG0060 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	VCO_BIAS	VCO バイアスのリードバック値。	0x0	R

アドレス : 0x63、リセット : 0x00、レジスタ名 : REG0063

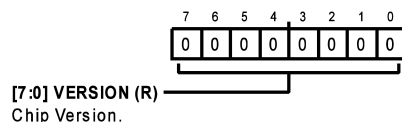


図 117.

レジスタの詳細

表 86. REG0063 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VERSION	チップのバージョン。	0x0	R

外形寸法

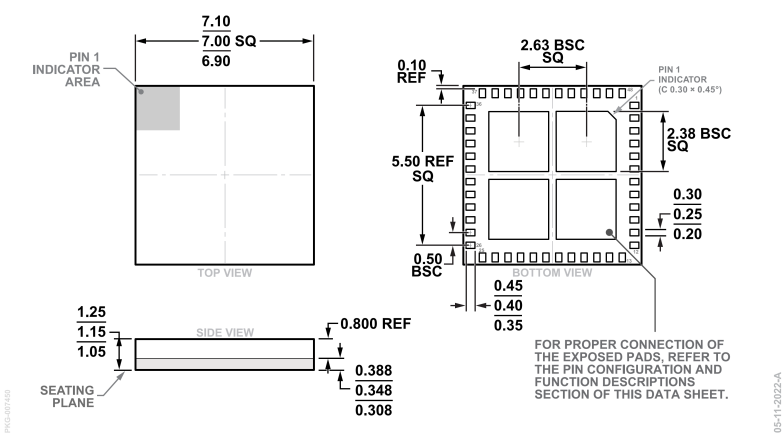


図 118.48 ピン・ランド・グリッド・アレイ・パッケージ [LGA]
7mm × 7mm ボディ
CC-48-13
単位：mm

更新：2023 年 3 月 17 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADF4368BCCZ	-40°C to +105°C	48-Terminal Land Grid Array [LGA] (7 mm x 7 mm)	Tray, 260	CC-48-13
ADF4368BCCZ-RL7	-40°C to +105°C	48-Terminal Land Grid Array [LGA] (7 mm x 7 mm)	Reel, 500	CC-48-13

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EV-ADF4368SD1Z	Evaluation Board

¹ Z = RoHS 準拠製品。



この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 8 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 8 月 2 日

製品名： **ADF4368**

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 9 ページ、表 6、29 ピン、ENRFOUT1 ピンの説明欄の内容

【誤】

ENRFOUT2 がロー・レベルの場合、RFOUT1P と RFOUT1N はパワーダウンします。

【正】

ENRFOUT1 がロー・レベルの場合、RFOUT1P と RFOUT1N はパワーダウンします。