

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2015年12月15日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

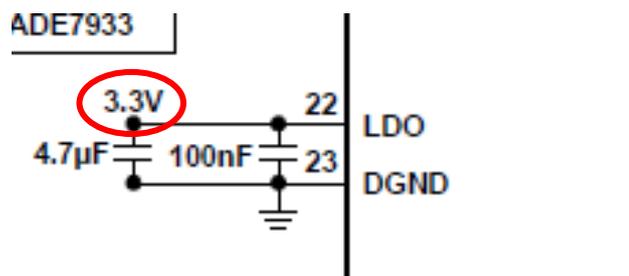
正誤表作成年月日：2015年12月15日

製品名：ADE7978

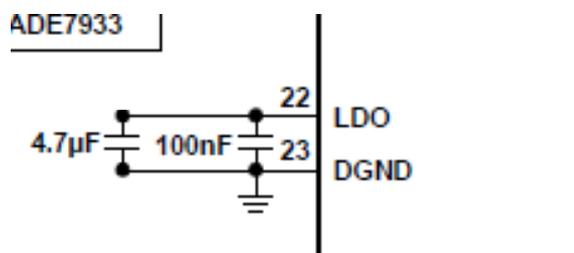
対象となるデータシートのリビジョン(Rev)：Rev.D

訂正箇所：31 ページ，図 42.テスト回路 回路図表記の誤り

【誤】 図中 ADE 7978 の LDO ピン (22 ピン) と DGND ピン (23 ピン) の回路接続部分 赤色枠内



【正】 正しくは、3.3V の表記はありません。22 ピンには 2 個のコンデンサ以外の接続はありません。





多相シャント電力量計用 絶縁型電力量計測チップセット

データシート

ADE7978/ADE7933/ADE7932/ADE7923

特長

- 多相電力量計でシャント電流センサーを使用可能
- 磁気式盗電の防止機能
- 高性能：EN 50470-1、EN 50470-3、IEC 62053-21、IEC 62053-22、IEC 62053-23、ANSI C12.20、IEEE 1459規格をサポート
- 3相/3線式、3相/4線式（デルタ結線またはWYE結線）、その他の3相方式と互換
- 各位相とシステム全体の有効/無効/皮相電力量を計算
- 2000:1のダイナミック・レンジで0.2%以下の有効および無効電力量計測誤差（TA = 25°C）
- 500:1のダイナミック・レンジで0.1%以下の電圧rms誤差（TA = 25°C）
- 500:1のダイナミック・レンジで0.25%以下の電流rms誤差（TA = 25°C）
- 全高調波歪み（THD）を含む電力品質測定
- 3.3V単電源
- 動作温度：-40°C~+85°C

柔軟なI²C、SPI、HSDCシリアル・インターフェース
安全性と規制に対する認定

UL認定

- 1分間で5000V rms、UL 1577規格に準拠
- 「CSA Component Acceptance Notice 5A」に準拠
- IEC 61010-1：300V rmsの最大動作電圧

VDE適合性認定

- DIN V VDE V 0884-10（VDE V 0884-10）：2006-12
- V_{IORM} = 846V peak

中性線用に絶縁型（ADE7933/ADE7932）または非絶縁型（ADE7923）を選択可能

アプリケーション

- シャント抵抗電流センサー・ベースの多相電力量計
- 電力品質モニタリング
- ソーラー用インバータ
- プロセス・モニタリング
- 保護用デバイス
- 絶縁センサー・インターフェース
- 工業用PLC

代表的なアプリケーション回路

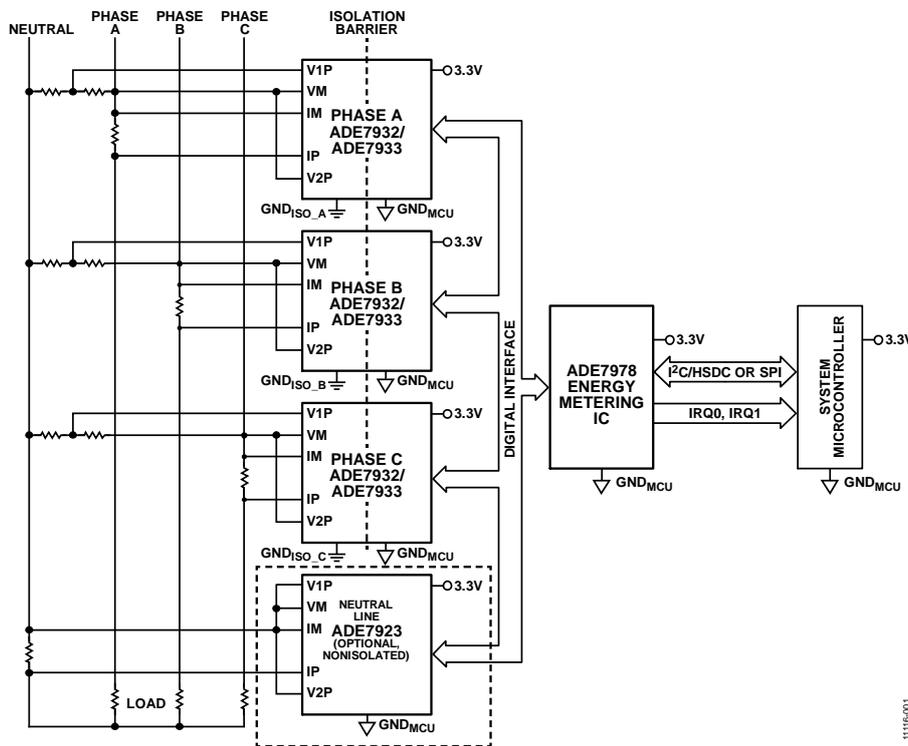


図 1. 3つの ADE7933/ADE7932 デバイス、1つの ADE7923、1つの ADE7978 を用いた 3相 4線式電力量計

¹ 米国特許 5,952,849; 6,873,065; 7,075,329; 6,262,600; 7,489,526; 7,558,080; 8,892,933 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. D

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 40F
電話 052 (569) 6300

目次

特長	1	デルタ構成での電圧実効値	56
アプリケーション	1	有効電力の計算	57
代表的なアプリケーション回路	1	総合有効電力の計算	57
改訂履歴	4	基本波有効電力の計算	58
概要	5	有効電力ゲインのキャリブレーション	58
機能ブロック図	6	有効電力オフセットのキャリブレーション	59
仕様	8	有効電力計算の符号	59
システム仕様、ADE7978 および ADE7933/ADE7932/ADE7923	8	有効電力量の計算	59
ADE7978 の仕様	10	定常負荷時の積分時間	60
ADE7933/ADE7932 の仕様	14	電力量積算モード	61
ADE7923 の仕様	17	ライン・サイクル有効電力量積算モード	61
絶対最大定格	19	無効電力の計算	63
熱抵抗	19	総合無効電力の計算	63
ESD に関する注意	19	基本波無効電力の計算	63
ピン配置およびピン機能の説明	20	無効電力ゲインのキャリブレーション	63
代表的な性能特性	25	無効電力オフセットのキャリブレーション	63
電源および温度に対する総合電力量の直線性	25	無効電力計算の符号	64
5 次高調波を有する基本波電力量と RMS 直線性の電源電圧と温度に対する変化	26	無効電力量の計算	64
総合電力量誤差の周波数に対する変化	27	定常負荷時の積分時間	65
RMS 直線性の温度に対する変化と RMS 誤差の周波数に対する変化	28	電力量積算モード	66
電力量直線性の再現性	29	ライン・サイクル無効電力量積算モード	66
ADC ゲイン温度係数の累積ヒストグラム	30	皮相電力の計算	67
テスト回路	31	皮相電力ゲインのキャリブレーション	67
用語の定義	32	皮相電力オフセットのキャリブレーション	67
動作原理	35	VNOM を使用した皮相電力計算	67
ADE7933/ADE7932/ADE7923 のアナログ入力	35	皮相電力量の計算	68
A/D 変換	35	定常負荷時の積分時間	69
電流チャンネルの ADC	37	電力量積算モード	69
電圧チャンネルの ADC	39	ライン・サイクル皮相電力量積算モード	69
相電圧データパスの変更	44	力率計算と全高調波歪み (THD) 計算	70
リファレンス回路	44	力率計算	70
位相補償	45	全高調波歪み (THD) 計算	71
デジタル・シグナル・プロセッサ	46	波形サンプリング・モード	72
電力品質の測定	47	電力量/周波数変換	73
ゼロ交差検出	47	TERMSELx [2:0] ビット	73
周期測定	49	CFxSEL [2:0] ビット	73
相電圧のサグ検出	50	電力量/周波数変換プロセス	74
ピーク検出	51	電力量レジスタと CFx 出力の同期	74
過電圧および過電流の検出	52	各種積算モードの電力量レジスタと CFx 出力	75
中性電流の不整合	53	CFx データパスでの相電力総和の符号	77
実効値測定	54	無負荷状態	78
電流実効値の計算	54	総合有効/無効電力に基づく無負荷検出	78
電圧実効値の計算	55	基本波有効/無効電力に基づく無負荷検出	78
		皮相電力に基づく無負荷検出	79
		割込み	80

MCUでの割込みの使用	81	ADE7978、ADE7933/ADE7932、および ADE7923 のクロック	92
パワー・マネージメント	82	絶縁寿命	92
DC/DC コンバータ	82	レイアウトのガイドライン	93
磁界耐性	83	ADE7978 および ADE7933/ADE7932 の評価ボード	96
パワーアップ手順	84	ADE7978 のダイ・バージョン	96
チップセットの初期化	84	シリアル・インターフェース	97
ハードウェア・リセット	85	シリアル・インターフェースの選択	97
ADE7978/ADE7933/ADE7932 および ADE7923 チップセットのソフトウェア・リセット	86	通信の検証	97
ADE7933/ADE7932 および ADE7923 のソフトウェア・リセット	86	I ² C 互換インターフェース	97
低消費電力モード	86	SPI 互換インターフェース	100
アプリケーション情報	87	HSDC インターフェース	102
ADE7923 と ADE7933/ADE7932 の相違点	87	チェックサム・レジスタ	104
多相電力量計での ADE7978、ADE7933/ADE7932 および ADE7923	87	レジスタの一覧	105
ADE7978 を電力量計としてクイック・セットアップする	90	外形寸法	124
ADE7978 と ADE7933/ADE7932 および ADE7923 の間のビット・ストリーム通信	91	オーダー・ガイド	125

改訂履歴

2/2018—Rev. C to Rev. D

Changes to Table 7	15
Updated Outline Dimensions	124
Changes to Ordering Guide	125

12/2016—Rev. B to Rev. C

Changed CP–28–6 to CP–28–10	Throughout
Change to Note 1	1
Change to Clock Frequency, XTAL 1 Parameter and XTAL 1 Duty Cycle Parameter	17
Changes to Figure 11	20
Changes to Table 15	22
Changes to Table 16	24
Changes to Terminology Section	33
Changes to Figure 97	75
Changes to DC–to–DC Converter Section	82
Changes to Applications Information Section	87
Changes to Bit Stream Communications Between the ADE7978 and the ADE7933/ADE7932 and AD7923 Section, Figure 115, and Figure 116	91
Updated Outline Dimensions	124
Changes to Ordering Guide	125

3/2015—Rev. A to Rev. B

Changes to Features Section	1
Changed Fundamental Active Power to Fundamental Active Energy; Table 1	8
Changes to Table 6	14
Changes to Regulatory Approvals Section and Table 7	15
Changes to Table 9 and Figure 10	16
Changes to Table 13 and Related Text	19
Added Cumulative Histograms of ADC Gain Temperature Coefficients Section	30
Change to Terminology Section	32
Changes to ADC Transfer Function Section	36
Changes to Insulation Lifetime Section and Deleted Figure 114; Renumbered Sequentially	92
Changes to Layout Guidelines Section	93
Changes to Address 0xE701, Address 0xE709, Address 0xE70A, Address 0xE70B, and Address 0xE70C; Table 42	110
Changes to Bit 7 Default Value; Table 57	121

12/2014—Rev. 0 to Rev. A

Added ADE7923	Universal
Reorganized Layout	Universal
Changes to Features Section and Figure 1	1
Changes to General Description Section	3
Moved Revision History Section	4

Changes to Figure 3 and Figure 4	7
Added Figure 5; Renumbered Sequentially	8
Changes to Table 1	8
Changes to Table 6	14
Change to Climatic Classification Parameter, Table 8	15
Added ADE7923 Specifications Section and Table 10; Renumbered Sequentially	17
Changes to Table 14	20
Changes to Figure 12	23
Added Figure 13 and Table 16	24
Added Total Energy Linearity over Supply and Temperature Section	25
Changes to Figure 17, Figure 18, and Figure 19	25
Added Fundamental Energy and RMS Linearity with Fifth Harmonic over Supply and Temperature Section	26
Changes to Figure 21 and Figure 24	26
Added Total Energy Error over Frequency Section	27
Added RMS Linearity over Temperature and RMS Error over Frequency Section	28
Added Energy Linearity Repeatability Section	29
Changes to Figure 36	30
Change to Crosstalk Section	32
Changes to Figure 41	34
Changes to Oversampling Section	35
Changes to Figure 45	36
Changes to Current Waveform Gain Registers Section	37
Changes to Voltage Channel ADCs Section	38
Changes to Figure 49	69
Changes to Reference Circuits Section	43
Change to Figure 87	73
Change to DC–to–DC Converter Section	81
Changes to Figure 101	83
Changes to Figure 102	84
Changes to Applications Information Section, Figure 103, Figure 104, and ADE7978, ADE7933/ADE7932 and ADE7923 in Polyphase Energy Meters Section	86
Added Difference Between the ADE7923 and the ADE7933/ADE7932 Section	86
Changes to Figure 105	87
Changes to Layout Guidelines Section	92
Changes to Figure 115 and Figure 116	93
Changes to Figure 117 and Figure 118	94
Changes to Figure 119	95
Changes to Table 61	122
Updated Outline Dimensions	123
Added Figure 145	124
Changes to Ordering Guide	124

11/2013—Revision 0: Initial Version

概要

ADE7978、ADE7933/ADE7932、ADE7923は、電流センサーとしてシャント抵抗を使用して3相の電力量を計測するための専用チップセットです。

ADE7933/ADE7932は、シャント電流センサーを使用した多相電力量計アプリケーションのための、絶縁型、3チャンネル・シグマ・デルタ A/D コンバータ ($\Sigma\Delta$ ADC) です。ADE7923はシャント電流センサーを使用する中性線用の非絶縁型、3チャンネル $\Sigma\Delta$ ADC です。ADE7932は、2つの ADC を内蔵しており、ADE7933と ADE7923は3つの ADC を内蔵しています。

電流検出にシャント抵抗を使用する場合、1チャンネルは、シャント抵抗の両端の電圧計測をするための専用チャンネルとなります。このチャンネルは、3.3kHzの信号帯域にわたって 67dBの信号対ノイズ比 (S/N 比) を提供します。その他の1~2チャンネルは、通常は抵抗デバイダを使って検出される電圧計測専用チャンネルとなります。

中性線用 ADE7923 の未使用電圧チャンネルは補助電圧測定のために使用できます。これらのチャンネルは、3.3kHz 信号帯域幅にわたって 75dB の S/N 比を提供します。電圧用の1チャンネルは、内部センサーを介してダイの温度を測定するために使うことができます。

ADE7933と ADE7923は、電流用に1チャンネル、電圧用に2チャンネルの3チャンネル構成です。ADE7932は電流用に1チャンネル、電圧用に1チャンネルの構成ですが、その他の機能については ADE7933 と同等です。

ADE7933/ADE7932は、絶縁型 DC/DC コンバータを集積した *isoPower*[®] を内蔵しています。アナログ・デバイセズの *iCoupler*[®] 技術をベースとした DC/DC コンバータは、3.3V 入力電源で、ADC の初段に必要とされる安定化電源を提供します。ADE7933/ADE7932は、外部に DC/DC コンバータ絶縁回路を必要としません。*iCoupler* チップ・スケールのトランス技術が、ADC の初段と2段目の間のロジック信号を絶縁するために使われています。結果として、小型で全回路の絶縁を実現しています。ADE7923は ADE7933 の非絶縁版で、中性線からの絶縁が要求されない場合に、中性電流測定用に使用できます。

ADE7933/ADE7932、ADE7923は、デジタル・インターフェースを内蔵しており、特に ADE7978 とインターフェースするように設計されています。このインターフェースを使って、ADE7978 は ADE7933/ADE7932、ADE7923 の ADC 出力へのアクセスや回路構成の設定を行います。

ADE7933/ADE7932は、20ピン、鉛フリーの沿面距離が増加されたワイド・ボディの SOIC パッケージを採用しています。ADE7923は沿面距離を増加していませんが、同様の20ピン、鉛フリーのワイド・ボディ SOIC パッケージを採用しています。

ADE7978は、シリアル・インターフェースと3つの柔軟なパルス出力を備えた、高精度3相電子電力量計 IC です。ADE7978は最大4個の ADE7933/ADE7932、ADE7923 製品とインターフェースできます。ADE7978は、総合（基本波と高調波）有効/無効/皮相電力量と実効値計算、基本波のみの有効および無効電力計測と実効値計算の実行に必要なすべての信号処理を内蔵しています。固定小数点機能を備えたデジタル・シグナル・プロセッサ (DSP) がこの信号処理を実行します。

ADE7978は、(WYE 結線やデルタ結線方式のような) 3線と4線の様々な3相構成の有効/無効/皮相電力量を測定します。ADE7978は、各相に対するシステム・キャリブレーション機能、ゲイン・キャリブレーション、オプションのオフセット補正を提供します。位相の補正も可能ですが、シャント抵抗を使って電流を検出している場合、この補正は必ずしも必要としません。CF1、CF2、CF3 のロジック出力は、以下のような電力情報の広範囲な選択技を提供します：総合有効電力、無効電力、皮相電力；電流 rms 値の和；基本波の有効および無効電力。

ADE7978 は以下のような電力品質に関わる計測も可能です：短時間のローまたはハイ電圧検出、短時間の高電流変動、ライン電圧の期間計測、電圧と電流間の位相角。ADE7978 との通信には SPI と I²C の2種類のインターフェースを使用できます。ADC 出力やリアルタイムの電力情報にアクセスするために、専用高速インターフェースの高速データ・キャプチャ (HSDC) ポートを I²C と共に使用することができます。ADE7978 は2つの割込み要求ピン (IRQ0とIRQ1) を備えており、イネーブルされた割込みイベントが発生したことを示します。ADE7978は28ピンの鉛フリーLFCSP パッケージを採用しています。

このデータシートでは、SCLK/SCL などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、SCLKのように1つのピン機能だけを表記しています。

機能ブロック図

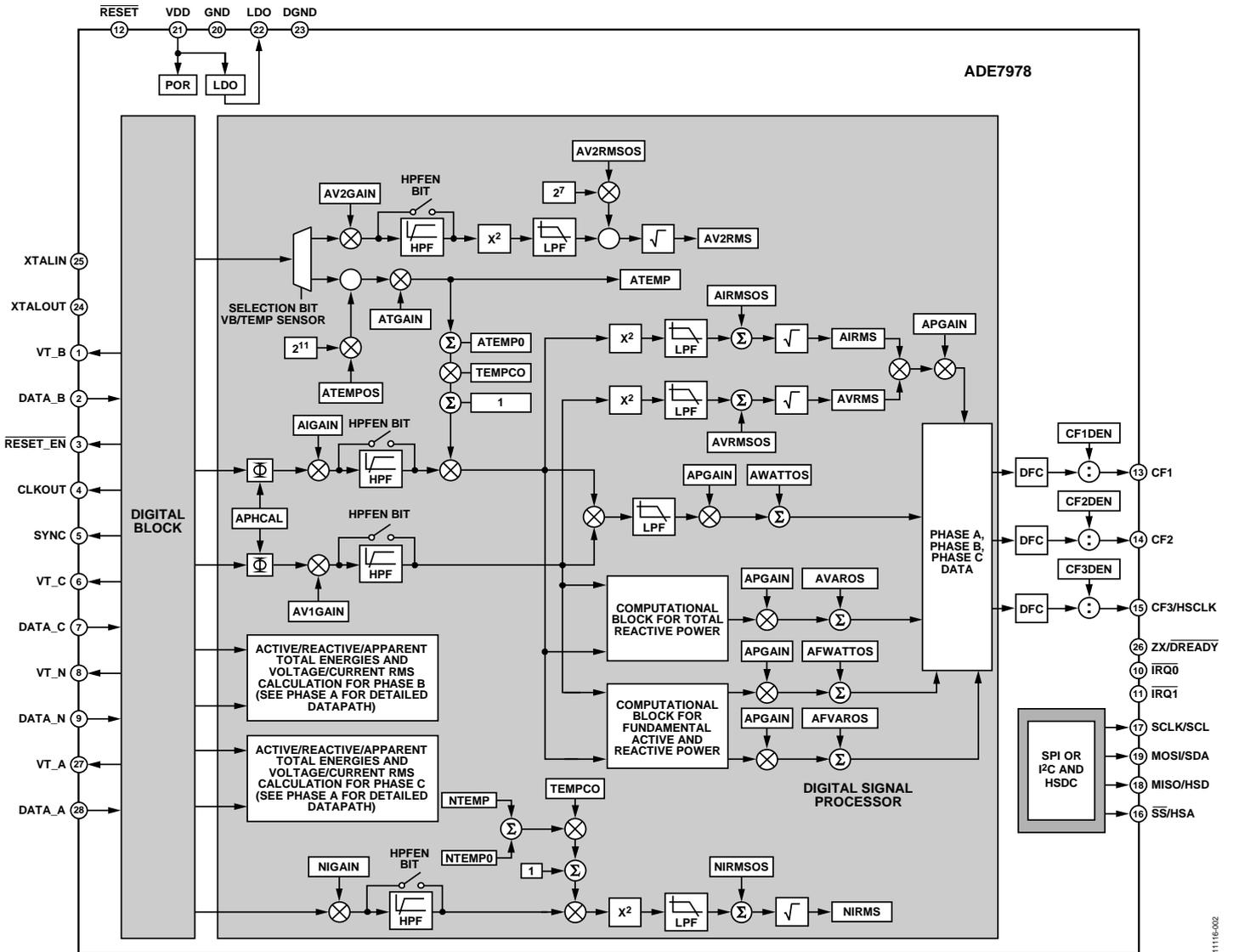


図 2. ADE7978 の機能ブロック図

11116-002

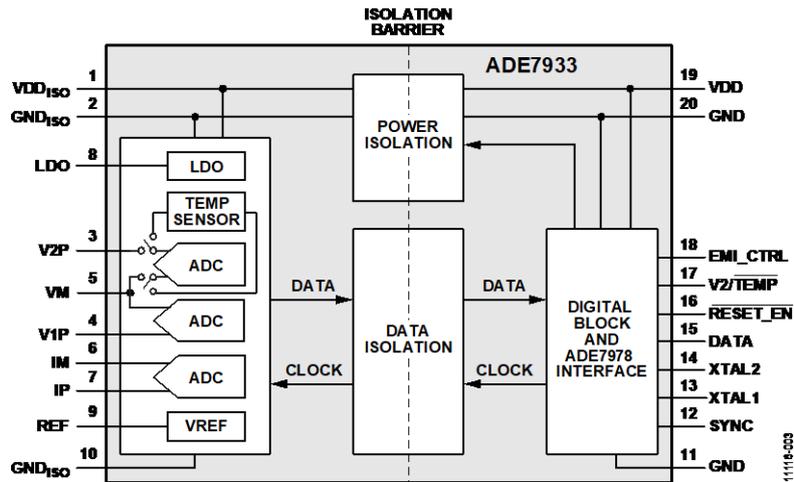


図 3. ADE7933 の機能ブロック図

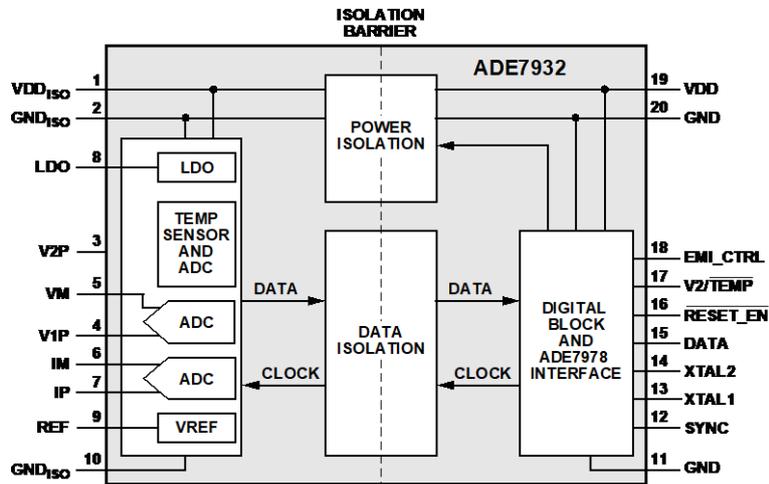


図 4. ADE7932 の機能ブロック図

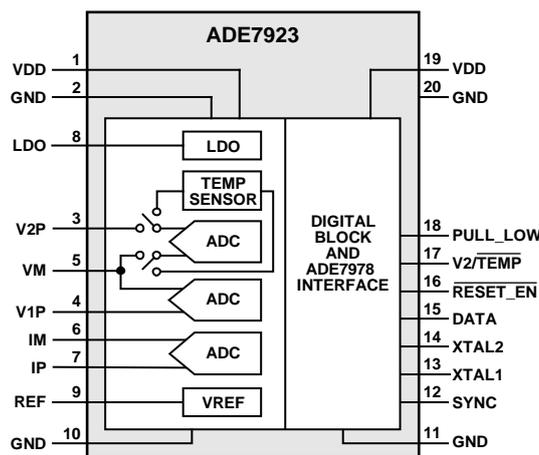


図 5. ADE7923 の機能ブロック図

仕様

システム仕様、ADE7978 および ADE7933/ADE7932/ADE7923

VDD = 3.3V ± 10%、GND = DGND = 0V、ADE7978 XTALIN = 16.384MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C、T_{TYP} = 25°C。

表 1.

パラメータ ^{1,2}	Min	Typ	Max	単位	テスト条件/コメント
ACTIVE ENERGY MEASUREMENT					
Measurement Error (per Phase)					
Total Active Energy		0.1		%	ダイナミック・レンジが 500:1、力率 (PF) = 1、ゲイン補償のみに対して
		0.2		%	ダイナミック・レンジが 2000:1、PF= 1 に対して
Fundamental Active Energy		0.1		%	ダイナミック・レンジが 500:1、PF= 1、ゲイン補償のみに対して
		0.2		%	ダイナミック・レンジが 2000:1、PF= 1 に対して
AC Power Supply Rejection					VDD = 3.3V + 120mV rms (50Hz/100Hz)、IP = 6.25mV rms、V1P = V2P = 100mV rms
Output Frequency Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3V ± 330mV rms、IP = 6.25mV rms、V1P = V2P = 100mV rms
Output Frequency Variation		0.01		%	
Total Active Energy Measurement Bandwidth		3.3		kHz	
REACTIVE ENERGY MEASUREMENT					
Measurement Error(per Phase)					
Total Reactive Power		0.1		%	ダイナミック・レンジが 500:1、PF= 0、ゲイン補償のみに対して
		0.2		%	ダイナミック・レンジが 2000:1、PF= 0 に対して
Fundamental Reactive Power		0.1		%	ダイナミック・レンジが 500:1、PF= 0、ゲイン補償のみに対して
		0.2		%	ダイナミック・レンジが 2000:1、PF= 0 に対して
AC Power Supply Rejection					VDD = 3.3V + 120mV rms (50Hz/100Hz)、IP = 6.25mV rms、V1P = V2P = 100mV rms
Output Frequency Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3V ± 330mV rms、IP = 6.25mV rms、V1P = V2P = 100mV rms
Output Frequency Variation		0.01		%	
Total Reactive Energy Measurement Bandwidth		3.3		kHz	
RMS MEASUREMENTS					
Measurement Bandwidth		3.3		kHz	I rms および V rms
Voltage(V)rms Measurement Error		0.1		%	ダイナミック・レンジが 500:1 に対して
Current(I)rms Measurement Error		0.25		%	ダイナミック・レンジが 500:1 に対して
Fundamental V rms Measurement Error		0.1		%	ダイナミック・レンジが 500:1 に対して
Fundamental I rms Measurement Error		0.25		%	ダイナミック・レンジが 500:1 に対して
WAVEFORM SAMPLING					
Current Channels					サンプリング CLKIN/2048 (16.384MHz/2048 = 8kSPS) 波形サンプリング・モードのセクションを参照。
Signal-to-Noise Ratio(SNR)		67		dB	
Signal-to-Noise-and-Distortion (SINAD)Ratio		67		dB	
Total Harmonic Distortion(THD)		-85		dB	
Spurious-Free Dynamic Range(SFDR)		88		dBFS	

データシート

ADE7978/ADE7933/ADE7932/ADE7923

パラメータ ^{1,2}	Min	Typ	Max	単位	テスト条件/コメント
Voltage Channels					
SNR		75		dB	
SINAD Ratio		74		dB	
THD		-81		dB	
SFDR		81		dBFS	
Bandwidth (-3 dB)		3.3		kHz	
TIME INTERVAL BETWEEN PHASE SIGNALS					
Measurement Error		0.3		Degrees	ライン周波数 = 45Hz~65Hz、HPF オン
CF1, CF2, CF3 PULSE OUTPUTS					
Maximum Output Frequency		68.8		kHz	WTHR = VARTH = VATHR = 3、CFxDEN = 1、フルスケール電流および電圧、PF = 1、1相のみ
Duty Cycle		50		%	CF1、CF2、または CF3 周波数 > 6.25Hz、CFxDEN は偶数かつ > 1
		$(1 + 1/CFxDEN) \times 50$		%	CF1、CF2、または CF3 周波数 > 6.25Hz、CFxDEN は奇数かつ > 1
Active Low Pulse Width		80		ms	CF1、CF2、または CF3 周波数 < 6.25Hz
CF Jitter		0.04		%	CF1、CF2、または CF3 周波数 = 1Hz、フルスケールの 10% を超える公称相電流

¹ 代表的な性能特性のセクションを参照してください。

² パラメータの定義については、用語の定義のセクションを参照してください。

ADE7978 の仕様

VDD = 3.3V ± 10%、GND = DGND = 0V、XTALIN = 16.384MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C、T_{TYP} = 25°C。

表 2.

パラメータ ^{1,2}	Min	Typ	Max	単位	テスト条件/コメント	
CLOCK INPUT						
Input Clock Frequency (CLKIN)	16.22	16.384	16.55	MHz	すべての仕様において、CLKIN = 16.384MHz 最小 = 16.384MHz - 1%、最大 = 16.384MHz + 1%	
XTALIN Logic Inputs						
Input High Voltage, V _{INH}	2.4			V		
Input Low Voltage, V _{INL}			0.8	V		
XTALIN Total Capacitance ³		40		pF		
XTALOUT Total Capacitance ³		40		pF		
CLOCK OUTPUT						
Output Clock Frequency at CLKOUT Pin		4.096		MHz		
Duty Cycle		50		%		
Output High Voltage, V _{OH}	2.4			V		
I _{SOURCE}			4.8	mA		
Output Low Voltage, V _{OL}			0.4	V		
I _{SINK}			4.8	mA		
LOGIC INPUTS—MOSI/SDA, SCLK/SCL, SS/HSA, DATA_A, DATA_B, DATA_C, DATA_N						
Input High Voltage, V _{INH}	2.4			V	VDD = 3.3V ± 10% 入力 = VDD = 3.3V VDD = 3.3V ± 10% 入力 = 0V、VDD = 3.3V	
Input Current, I _{IN}		2	40	nA		
Input Low Voltage, V _{INL}			0.8	V		
Input Current, I _{IN}		5	180	nA		
Input Capacitance, C _{IN}			10	pF		
LOGIC INPUT—RESET						
Input High Voltage, V _{INH}	2.4			V	VDD = 3.3V ± 10% 入力 = VDD = 3.3V VDD = 3.3V ± 10% 入力 = 0V、VDD = 3.3V	
Input Current, I _{IN}		80	160	nA		
Input Low Voltage, V _{INL}			0.8	V		
Input Current, I _{IN}		-8	+11	μA		
Input Capacitance, C _{IN}			10	pF		
LOGIC OUTPUTS—IRQ0, IRQ1, MISO/HSD, CLKOUT, SYNC, VT_A, VT_B, VT_C, VT_N, ZX/DREADY, RESET_EN						
Output High Voltage, V _{OH}	2.4			V	VDD = 3.3V ± 10%	
I _{SOURCE}			4.8	mA	VDD = 3.3V	
Output Low Voltage, V _{OL}			0.4	V	VDD = 3.3V ± 10%	
I _{SINK}			4.8	mA		
CF1, CF2, CF3/HSCLK						
Output High Voltage, V _{OH}	2.4			V	VDD = 3.3V ± 10%	
I _{SOURCE}			8	mA		
Output Low Voltage, V _{OL}			0.4	V	VDD = 3.3V ± 10%	
I _{SINK}			8.5	mA		
POWER SUPPLY						
VDD Pin	2.97		3.63	V	仕様規定されている性能において 最小値 = 3.3V - 10%、最大値 = 3.3V + 10%	
I _{DD}		10.6	15.5	mA		

¹ 代表的な性能特性のセクションを参照してください。

² パラメータの定義については、用語の定義のセクションを参照してください。

³ XTALIN/XTALOUT の合計容量は、各ピンの正味容量を表します。各容量は、ピンでの寄生容量とピンと GND の間に接続されたセラミック・コンデンサの容量の合計です。詳細は、ADE7978、ADE7933/ADE7932、ADE7923 のクロックのセクションを参照してください。

I²C インターフェースのタイミング・パラメータ

VDD = 3.3V ± 10%、GND = DGND = 0V、XTALIN = 16.384MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C。

表 3.

Parameter	Symbol	Standard Mode		Fast Mode		Unit
		Min	Max	Min	Max	
SCL Clock Frequency	f _{SCL}	0	100	0	400	kHz
Hold Time for Start and Repeated Start Conditions	t _{HD,STA}	4.0		0.6		μs
Low Period of SCL Clock	t _{LOW}	4.7		1.3		μs
High Period of SCL Clock	t _{HIGH}	4.0		0.6		μs
Setup Time for Repeated Start Condition	t _{SU,STA}	4.7		0.6		μs
Data Hold Time	t _{HD,DAT}	0	3.45	0	0.9	μs
Data Setup Time	t _{SU,DAT}	250		100		ns
Rise Time of SDA and SCL Signals	t _R		1000	20	300	ns
Fall Time of SDA and SCL Signals	t _F		300	20	300	ns
Setup Time for Stop Condition	t _{SU,STO}	4.0		0.6		μs
Bus Free Time Between a Stop and Start Condition	t _{BUF}	4.7		1.3		μs
Pulse Width of Suppressed Spikes	t _{SP}	N/A ¹			50	ns

¹ N/A は該当なしを表します。

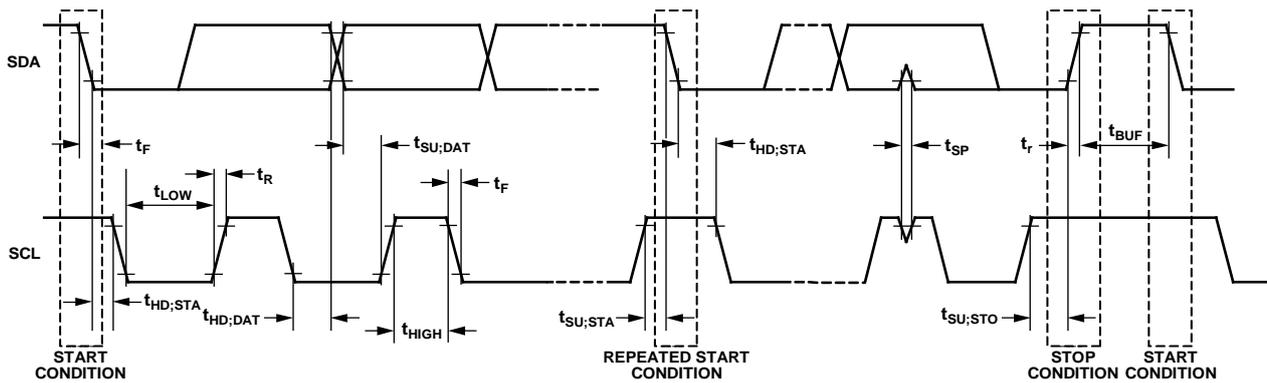


図 6. I²C インターフェースのタイミング

11116-005

SPI インターフェースのタイミング・パラメータ

VDD = 3.3V ± 10%、GND = DGND = 0V、XTALIN = 16.384MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C。

表 4.

Parameter	Symbol	Min	Max	Unit
\overline{SS} to SCLK Edge	t_{SS}	50		ns
SCLK Period		0.4	4000 ¹	μs
SCLK Low Pulse Width	t_{SL}	175		ns
SCLK High Pulse Width	t_{SH}	175		ns
Data Output Valid After SCLK Edge	t_{DAV}		130	ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	100		ns
Data Input Hold Time After SCLK Edge	t_{DHD}	50		ns
Data Output Fall Time	t_{DF}		20	ns
Data Output Rise Time	t_{DR}		20	ns
SCLK Rise Time	t_{SR}		20	ns
SCLK Fall Time	t_{SF}		20	ns
MISO Disable After \overline{SS} Rising Edge	t_{DIS}		1	μs
\overline{SS} High After SCLK Edge	t_{SFS}	100		ns

¹ 設計により性能を確保。

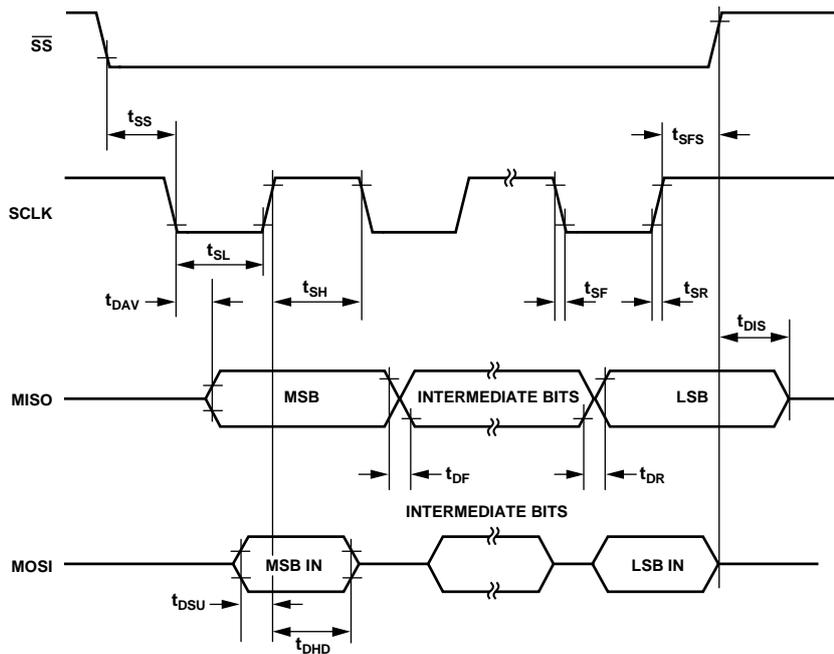


図 7. SPI インターフェースのタイミング

11116-006

HSDC インターフェースのタイミング・パラメータ

VDD = 3.3V ± 10%、GND = DGND = 0V、XTALIN = 16.384MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C。

表 5.

Parameter	Symbol	Min	Max	Unit
HSA to HSCLK Edge	t _{SS}	0		ns
HSCLK Period		125		ns
HSCLK Low Pulse Width	t _{SL}	50		ns
HSCLK High Pulse Width	t _{SH}	50		ns
Data Output Valid After HSCLK Edge	t _{DAV}		40	ns
Data Output Fall Time	t _{DF}		20	ns
Data Output Rise Time	t _{DR}		20	ns
HSCLK Rise Time	t _{SR}		10	ns
HSCLK Fall Time	t _{SF}		10	ns
HSD Disable After HSA Rising Edge	t _{DIS}	5		ns
HSA High After HSCLK Edge	t _{SFS}	0		ns

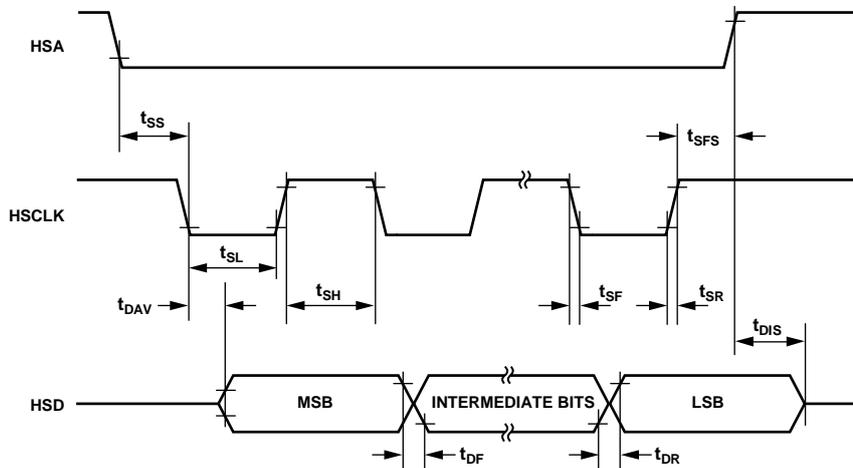


図 8. HSDC インターフェースのタイミング

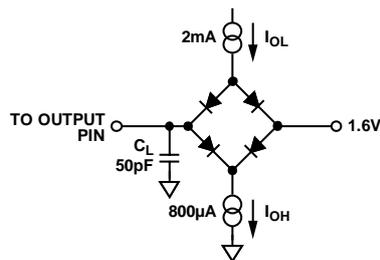


図 9. タイミング仕様評価用の負荷回路

ADE7933/ADE7932 の仕様

VDD = 3.3V ± 10%、GND = 0V、内部リファレンス、XTAL1 = 4.096MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C、T_{TYP} = 25°C。

表 6.

パラメータ ¹	Min	Typ	Max	単位	テスト条件/コメント
ANALOG INPUTS					
Pseudo Differential Signal Voltage Range					
Between IP and IM Pins	-31.25		+31.25	mV peak	IM ピンを GND _{ISO} に接続
Between V1P and VM Pins and Between V2P and VM Pins	-500		+500	mV peak	V1P ピンと VM ピンの間、および V2P ピンと VM の間の擬似差動入力、VM ピンを GND _{ISO} に接続
Maximum VM and IM Voltage Crosstalk	-25		+25	mV	
		-90		dB	IP 入力と IM 入力を 0V (GND _{ISO}) に、V1P 入力と V2P 入力をフルスケールに設定
		-105		dB	V2P または V1P 入力と VM 入力を 0V (GND _{ISO}) に、IP 入力と V1P または V2P 入力をフルスケールに設定
Input Impedance to GND _{ISO} (DC)					
IP, IM, V1P, and V2P Pins	480			kΩ	
VM Pin	280			kΩ	
Current Channel ADC Offset Error		-2		mV	
Voltage Channel ADC Offset Error		-35		mV	V2 チャンネルは ADE7933 でのみ該当
ADC Offset Drift over Temperature		±200		ppm/°C	V1 チャンネルのみ
Gain Error	-4		+4	%	
Gain Drift over Temperature	-135		+135	ppm/°C	電流チャンネル
	-85		+85	ppm/°C	V1 および V2 チャンネル
AC Power Supply Rejection		-90		dB	VDD = 3.3V + 120mV rms (50Hz/100Hz)、IP = V1P = V2P = GND _{ISO}
DC Power Supply Rejection		-80		dB	VDD = 3.3V ± 330mV DC、IP = 6.25 mV rms、V1P = V2P = 100mV rms
TEMPERATURE SENSOR					
Accuracy		±5		°C	
CLOCK INPUT					
Input Clock Frequency, XTAL1	3.6	4.096	4.21	MHz	すべての仕様において XTAL1 = 4.096MHz ADE7978 が提供する公称値、最小値と最大値は ADE7933/ADE7932 を ADE7978 なしで使用した場合に該当
XTAL1 Duty Cycle	45	50	55	%	値は、ADE7933/ADE7932 を ADE7978 なしで使用した場合に該当
XTAL1 Logic Inputs					
Input High Voltage, V _{INH}	2.4			V	
Input Low Voltage, V _{INL}			0.8	V	
XTAL1 Total Capacitance ²		40		pF	
XTAL2 Total Capacitance ²		40		pF	
LOGIC INPUTS—SYNC, V2/TEMP, RESET_EN, EMI_CTRL					
Input High Voltage, V _{INH}	2.4			V	
Input Low Voltage, V _{INL}			0.8	V	
Input Current, I _{IN}		0.015	1	μA	
Input Capacitance, C _{IN}			10	pF	
LOGIC OUTPUTS—DATA					
Output High Voltage, V _{OH}	2.5			V	I _{SOURCE} = 800μA
Output Low Voltage, V _{OL}			0.4	V	I _{SINK} = 2 mA

パラメータ ¹	Min	Typ	Max	単位	テスト条件/コメント
POWER SUPPLY					仕様規定されている性能において
VDD Pin	2.97		3.63	V	最小値 = 3.3V - 10%、最大値 = 3.3V + 10%
I _{DD}		12.5	19	mA	
		50		μA	CONFIG3 レジスタのビット 6 (CLKOUT_DIS) とビット 7 (ADE7933_SWRST) を 1 にセット

¹ パラメータの定義については、用語の定義のセクションを参照してください。

² XTAL1/XTAL2 の合計容量は、各ピンの正味容量を表します。各容量は、ピンでの寄生容量と、ピンと GND の間に接続されたセラミック・コンデンサの容量の合計です。詳細は、ADE7978、ADE7933/ADE7932、ADE7923 のクロックのセクションを参照してください。

規制に対する認定

ADE7933/ADE7932 は、表 7 に記載する組織によって認定されています。特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧の詳細については、表 13 および絶縁寿命のセクションを参照してください。

表 13 は、50 年の最短寿命に対する最大動作電圧を示していることに注意してください。すなわち、AC 電圧が 400V rms、DC 電圧が 1173V peak です。これより動作電圧を大きくすると、製品寿命が短くなります（絶縁寿命のセクションを参照）。表 7 の一部の認定では、表 13 に示す値より最大動作電圧が大きくなっています。したがって、ADE7933/ADE7932 は AC 電圧が 400V rms、DC 電圧が 1173V peak 未満の動作電圧でのみ使用してください。

表 7.

UL	CSA	VDE
UL 1577 Component Recognition Program により認定 ¹	CSA 60950-1-07+A1+A2、CSA 62368-1-14、および IEC 60950-1 第 2 版、+A1+A2、および IEC 62368-1:2014 第 2 版に準拠した基本絶縁（汚染度 2、材料群 III）： 最大動作電圧 830V rms（1173V peak） ³	DIN V VDE V 0884-10（VDE V 0884-10）:2006-12 に準拠した認定 ²
単一保護、絶縁電圧 5000V rms		強化絶縁、846V peak ⁴
CSA コンポーネント承諾通知 5A にて承認済み	CSA 61010-1-12+A1 および IEC 61010-1 第 3 版に準拠した基本絶縁（これらのデバイスは以下の条項を満たす：K.3、K.4、6.7.1.3、6.7.2.2.2 A.17、K.6x1.6、K.7x1.6、10）。リスク管理プロセスは、これらの条項には適用されない（汚染度 2、材料群 III、過電圧カテゴリ II、カテゴリ III、およびカテゴリ IV）： 最大動作電圧 600V rms（848V peak） ⁴ CSA 60950-1-07+A1+A2、CSA 62368-1-14、IEC 60950-1 第 2 版、+A1+A2、および IEC 62368-1:2014 第 2 版に準拠した強化絶縁（汚染度 2、材料群 III）： 最大動作電圧 415V rms（586V peak） IEC 62368-1 の評価条件に適合しているため、IEC61010-1 最終製品での使用に向けた IEC 61010-1 C1 14.1 a をベースとする CSA 61010-1-12 および IEC 61010-1 第 3 版に準拠した強化絶縁（汚染度 2、材料群 III、過電圧カテゴリ II、カテゴリ III）： 最大動作電圧 300V rms（424V peak）	
FILE E214100	FILE 2758945	FILE 2471900-4880-0001

¹ ADE7933/ADE7932 は、UL 1577 に従い、6000V rms 以上の絶縁試験電圧を 1 秒間印加する耐電圧テストを実施しています（リーク電流検出の限界値 = 15μA）。

² DIN V VDE V 0884-10（VDE V 0884-10）:2006-12 に従い、各 ADE7933/ADE7932 は、1590V peak 以上の絶縁試験電圧を 1 秒間印加する耐電圧テストを実施しています（部分放電検出の限界値 = 5pC）。デバイス表面のアスタリスク（*）マークは、DIN V VDE V 0884-10（VDE V 0884-10）:2006-12 の認定製品であることを表します。

³ この最大動作電圧では、50Hz、60Hz の AC 電圧での推定寿命は約 0.2 年です。

⁴ この最大動作電圧では、50Hz、60Hz の AC 電圧での推定寿命は約 8 年です。

絶縁および安全性関連の仕様

表 8. 安全に関する重要な寸法と材料特性

パラメータ	記号	値	単位	テスト条件/コメント
Rated Dielectric Insulation Voltage		5000	V rms	1 分間の持続時間
Minimum External Air Gap (Clearance)	L (I01)	8.3	mm	入力端子から出力端子までの PCB 実装面に沿った空中の最短距離 (PCB レイアウトの際の補助データ)
Minimum External Tracking (Creepage)	L (I02)	8.3	mm	入力端子から出力端子までのボディに沿った最短距離
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	絶縁体中の絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	400	V	IEC 60112
Isolation Group		II		材料群 (DIN VDE 0110, 1/89, 表 1)

DIN V VDE V 0884-10 (VDE V 0884-10) :2006-12 絶縁特性

ADE7933/ADE7932 は、安全限界データ範囲内の強化絶縁にのみ適しています。安全データの維持は、保護回路によって確保されます。

表 9.

説明	テスト条件/コメント	記号	特性	単位
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to IV I to III	
Climatic Classification			40/085/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	846	V peak
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{pd(m)}$ 、100% 出荷テスト、 $t_{ini} = t_m = 1$ 秒、部分放電 < 5pC	$V_{pd(m)}$	1592	V peak
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$ 、 $t_{ini} = 60$ 秒、 $t_m = 10$ 秒、部分放電 < 5 pC	$V_{pd(m)}$	1273	V peak
After Input and/or Safety Tests Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$ 、 $t_{ini} = 60$ 秒、 $t_m = 10$ 秒、部分放電 < 5pC		1018	V peak
Highest Allowable Overvoltage		V_{IOTM}	6000	V peak
Surge Isolation Voltage	$V_{PEAK} = 10$ kV、立上がり時間 1.2μs、50μs、立下がり時間 50% fall time	V_{IOSM}	6250	V peak
Safety Limiting Values	故障発生時に許容される最大値 (図 10 参照)			
Maximum Junction Temperature		T_S	150	°C
Total Power Dissipation at 25°C		P_S	2.78	W
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω

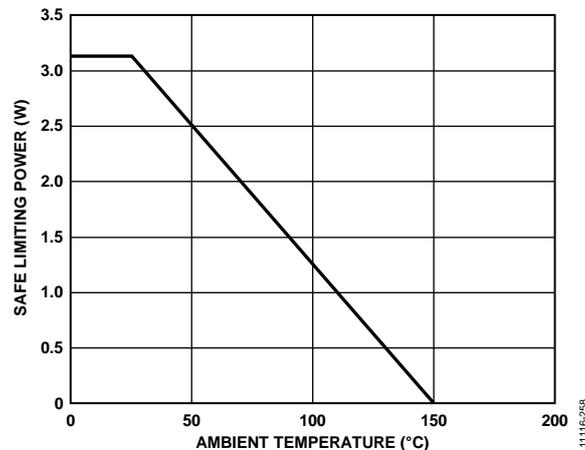


図 10. 熱ディレーティング曲線、DIN EN 60747-5-2 による安全限界値のケース温度に対する依存性

ADE7923 の仕様

VDD = 3.3V ± 10%、GND = 0V、内部リファレンス、XTAL1 = 4.096MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C、T_{TYP} = 25°C。

表 10.

パラメータ ¹	Min	Typ	Max	単位	テスト条件/コメント
ANALOG INPUTS					
Pseudo Differential Signal Voltage Range					
Between IP and IM Pins	-31.25		+31.25	mV peak	IM ピンを GND _{ISO} に接続
Between V1P and VM Pins and Between V2P and VM Pins	-500		+500	mV peak	V1P ピンと VM ピンの間の擬似差動入力および V2P ピンと VM の間の擬似差動入力、VM ピンを GND _{ISO} に接続
Maximum VM and IM Voltage Crosstalk	-25		+25	mV	
		-90		dB	IP 入力と IM 入力を 0V (GND _{ISO}) に、V1P 入力と V2P 入力をフルスケールに設定
		-105		dB	V2P または V1P 入力と VM 入力を 0V (GND _{ISO}) に、IP 入力と V1P または V2P 入力をフルスケールに設定
Input Impedance to GND _{ISO} (DC)					
IP, IM, V1P, and V2P Pins	480			kΩ	
VM Pin	280			kΩ	
Current Channel ADC Offset Error		-2		mV	
Voltage Channel ADC Offset Error		-35		mV	V1 および V2 チャンネル
ADC Offset Drift over Temperature		±200		ppm/°C	V1 チャンネルのみ
Gain Error	-4		+4	%	
Gain Drift over Temperature	-135		+135	ppm/°C	電流チャンネル
	-85		+85	ppm/°C	V1 および V2 チャンネル
AC Power Supply Rejection		-90		dB	VDD = 3.3V + 120mV rms (50Hz/100Hz)、IP = V1P = V2P = GND _{ISO}
DC Power Supply Rejection		-80		dB	VDD = 3.3V ± 330mV DC、IP = 6.25 mV rms、V1P = V2P = 100mV rms
TEMPERATURE SENSOR					
Accuracy		±5		°C	
CLOCK INPUT					
Input Clock Frequency, XTAL1	3.6	4.096	4.21	MHz	すべての仕様において XTAL1 = 4.096MHz ADE7978 によって提供される公称値、最小値と最大値は AD7923 を ADE7978 なしで使用した場合に該当
XTAL1 Duty Cycle	45	50	55	%	AD7923 を ADE7978 なしで使用した場合に該当
XTAL1 Logic Inputs					
Input High Voltage, V _{INH}	2.4			V	
Input Low Voltage, V _{INL}			0.8	V	
XTAL1 Total Capacitance ²		40		pF	
XTAL2 Total Capacitance ²		40		pF	
LOGIC INPUTS—SYNC, V2/TEMP, RESET_EN					
Input High Voltage, V _{INH}	2.4			V	
Input Low Voltage, V _{INL}			0.8	V	
Input Current, I _{IN}		0.015	1	μA	
Input Capacitance, C _{IN}			10	pF	
LOGIC OUTPUTS—DATA					
Output High Voltage, V _{OH}	2.5			V	I _{SOURCE} = 800μA
Output Low Voltage, V _{OL}			0.4	V	I _{SINK} = 2mA

データシート

ADE7978/ADE7933/ADE7932/ADE7923

パラメータ ¹	Min	Typ	Max	単位	テスト条件/コメント
POWER SUPPLY					
VDD Pin	2.97		3.63	V	仕様規定されている性能において 最小値 = 3.3V - 10%、最大値 = 3.3V + 10%
I _{DD}		5.1	6.2	mA	
		2		mA	CONFIG3 レジスタのビット 6 (CLKOUT_DIS) とビット 7 (ADE7933_ SWRST) を 1 にセット

¹ パラメータの定義については、用語の定義のセクションを参照してください。

² XTAL1/XTAL2 の合計容量は、各ピンの正味容量を表します。各容量は、ピンでの寄生容量と、ピンと GND の間に接続されたセラミック・コンデンサの容量の合計です。詳細は、ADE7978、ADE7933/ADE7932、ADE7923 のクロックのセクションを参照してください。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 11.

Parameter	Rating
ADE7978	
VDD to GND	-0.3 V to +3.7 V
Digital Input Voltage to DGND	-0.3 V to VDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to VDD + 0.3 V
ADE7933/ADE7932 and ADE7923	
VDD to GND	-0.3 V to +3.7 V
Analog Input Voltage to GND _{ISO} , IP, IM, V1P, V2P, VM	-2 V to +2 V
Reference Input Voltage to GND _{ISO}	-0.3 V to VDD + 0.3 V
Digital Input Voltage to GND	-0.3 V to VDD + 0.3 V
Digital Output Voltage to GND	-0.3 V to VDD + 0.3 V
Common-Mode Transients ¹	-100 kV/ μs to +100 kV/ μs
Operating Temperature	
Industrial Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec) ²	
ADE7978	300°C
ADE7933/ADE7932 and ADE7923	260°C

¹ 絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になります。

² RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC J-STD 20 に従うことを推奨します。この規格の最新版については、JEDEC を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} と θ_{JC} は最も厳しい条件、すなわち、回路ボードに表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 12. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
28-Lead LFCSP (ADE7978)	29.3	1.8	°C/W
20-Lead SOIC (ADE7933/ADE7932)	48.0	6.2	°C/W
20-Lead SOIC (ADE7923)	79.0	24.7	°C/W

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 13. ADE7933/ADE7932 の 50 年の最短寿命を実現する最大連続動作電圧¹

Parameter	Max	Unit
AC Voltage, Bipolar Waveform	400	V rms
DC Voltage Basic Insulation	1173	V peak

¹ 絶縁バリアに加わる連続電圧の大きさを指します。詳細については、絶縁寿命のセクションを参照してください。

動作電圧を表 13 に示す値よりも大きくすると、製品の寿命が短くなることに注意してください（絶縁寿命のセクションを参照）。したがって、表 7 の中の一部の認定ではより大きな最大動作電圧が規定されていますが、ADE7933/ADE7932 はこの表に記載されている値よりも低い動作電圧でのみ使用してください。

ピン配置およびピン機能の説明

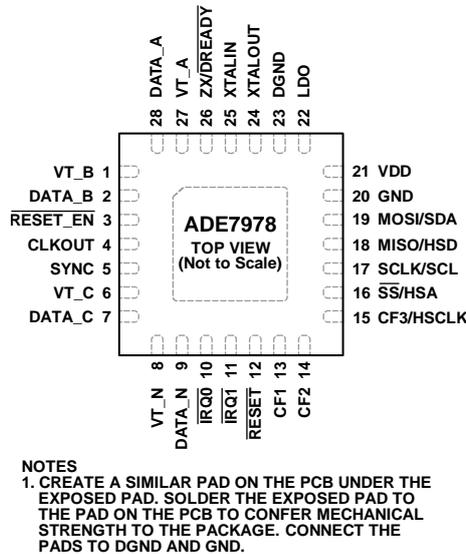


図 11. ピン配置、ADE7978

表 14. ピン機能の説明、ADE7978

ピン番号	記号	説明
1	VT_B	B相の ADE7933/ADE7932 での第 2 電圧入力 (V2P) または温度計測を選択します。このピンは B 相の ADE7933/ADE7932 の V2/TEMP ピンに接続します。ADE7933/ADE7932 を B 相の検出に使用しない場合 (3 相 3 線式デルタ構成の場合)、このピンは未接続のままにしてください。
2	DATA_B	B 相の ADE7933/ADE7932 からビット・ストリームを受信します。このピンは B 相の ADE7933/ADE7932 の DATA ピンに接続します。ADE7933/ADE7932 を B 相の検出に使用しない場合 (3 相 3 線式デルタ構成の場合)、このピンは VDD に接続します。
3	RESET_EN	リセット出力イネーブル。このピンは ADE7933/ADE7932/ADE7923 デバイスの RESET_EN ピンに接続します。このピンは、ADE7978 が ADE7933/ADE7932 デバイスをリセットするのに使用されます (ハードウェア・リセットのセクションを参照)。
4	CLKOUT	4.096MHz 出力クロック信号。このピンは ADE7933/ADE7932 デバイスの XTAL1 ピンに接続します。
5	SYNC	クロック出力 (1.024MHz)。このピンは、ADE7933/ADE7932/ADE7923 デバイスとのシリアル通信用クロックです。このピンは ADE7933/ADE7932/ADE7923 デバイスの SYNC ピンに接続します。
6	VT_C	C 相の ADE7933/ADE7932 での第 2 電圧入力 (V2P) または温度計測を選択します。このピンは C 相の ADE7933/ADE7932 の V2/TEMP ピンに接続します。C 相の検出に ADE7933/ADE7932 を使用しない場合は、このピンを未接続のままにします。
7	DATA_C	C 相の ADE7933/ADE7932 からビット・ストリームを受信します。このピンは、C 相の ADE7933/ADE7932 の DATA ピンに接続します。C 相の検出に ADE7933/ADE7932 を使用しない場合は、このピンを VDD に接続します。
8	VT_N	中性線の ADE7933/ADE7932 または ADE7923 での第 2 電圧入力 (V2P) または温度計測を選択します。このピンは、中性線の ADE7933/ADE7932 または ADE7923 の V2/TEMP ピンに接続します。中立線の検出に ADE7933、ADE7932、または ADE7923 を使用しない場合は、このピンを未接続のままにします。
9	DATA_N	中性線の ADE7933、ADE7932、または ADE7923 からビット・ストリームを受信します。このピンは、中性線の ADE7933、ADE7932、または ADE7923 の DATA ピンに接続します。中性線の検出に ADE7933、ADE7932、または ADE7923 を使用しない場合は、このピンを VDD に接続します。
10, 11	IRQ0, IRQ1	割込み要求出力。これらのピンはアクティブ・ローのロジック出力です。割込みをトリガできるイベントの詳細については、割込みのセクションを参照してください。
12	RESET	リセット入力、アクティブ・ロー。ハードウェア・リセットをトリガするには、このピンを最低 10μs の間ローに保持します (ハードウェア・リセットのセクションを参照)。
13, 14, 15	CF1, CF2, CF3/HSCLK	キャリブレーション周波数 (CF) のロジック出力。これらの出力は電源情報を提供し、動作やキャリブレーションの目的に使用されます。CF3 は、HSDC ポートのシリアル・クロック出力とマルチプレクスされます。
16	SS/HSA	SPI ポートのスレーブ選択/HSDC ポート・アクティブ。
17	SCLK/SCL	SPI ポートのシリアル・クロック入力/I ² C ポートのシリアル・クロック入力。このピンは、例えば光アイソレータ出力など、エッジ遷移時間が長いクロック・ソースに使用するためのシュミット・トリガ入力を備えています。このピンのデフォルト機能は SCL です。

ピン番号	記号	説明
18	MISO/HSD	SPI ポートのデータ出力/HSDC ポートのデータ出力。
19	MOSI/SDA	SPI ポートのデータ入力/I ² C ポートのデータ出力。このピンのデフォルト機能は SDA です。
20	GND	入力回路のグラウンド・リファレンス。
21	VDD	電源電圧。このピンは電源電圧を供給します。仕様規定されている動作をさせるには、電源電圧を $3.3V \pm 10\%$ に維持してください。このピンは、 $10\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して、GND へデカップリングします。
22	LDO	デジタル低ドロップアウト (LDO) レギュレータの $1.8V$ 出力。このピンは、 $4.7\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続してデカップリングします。このピンにはアクティブな外部回路を接続しないでください。
23	DGND	デジタル回路のグラウンド・リファレンス。
24	XTALOUT	最大駆動レベルが $0.5mW$ 、等価直列抵抗 (ESR) が 20Ω の水晶発振器をこのピンと XTALIN ピンの間に接続すると、ADE7978 にクロック・ソースを提供できます。
25	XTALIN	マスタ・クロック。このロジック入力には外部クロックを入力することができます。また、最大駆動レベルが $0.5mW$ 、ESR が 20Ω の水晶発振器を XTALIN と XTALOUT の間に接続して、ADE7978 のクロック・ソースを提供することもできます。仕様規定されている動作のクロック周波数は $16.384MHz$ です。詳細は、ADE7978、ADE7933/ADE7932、ADE7923 のクロックのセクションを参照してください。
26	ZX/DREADY	ゼロ交差 (ZX) 出力ピン。ZX ピンは、選択した相電圧のゼロ交差の立上がりエッジでハイになり、ゼロ交差の立下がりエッジでローになります (詳細については、ゼロ交差検出のセクションを参照してください)。 DREADY はアクティブ・ローの信号で、STATUS0 レジスタのビット 17 (DREADY) が 1 にセットされてから約 $70ns$ 後に生成されます。このピンは、周波数が $8kHz$ で、周期ごとに $10\mu s$ の間ローを保持します。このピンのデフォルト機能は DREADY です。
27	VT_A	A 相の ADE7933/ADE7932 での第 2 電圧入力 (V2P) または温度計測を選択します。このピンは A 相の ADE7933/ADE7932 の V2/TEMP ピンに接続します。A 相の検出に ADE7933/ADE7932 を使用しない場合は、このピンを未接続のままにします。
28	DATA_A	A 相の ADE7933/ADE7932 からビット・ストリームを受信します。このピンは A 相の ADE7933/ADE7932 の DATA ピンに接続します。A 相の検出に ADE7933/ADE7932 を使用しない場合は、このピンを VDD に接続します。
	EP	露出パッド。露出パッドの下の PCB に、同様のパッドを作成してください。露出パッドを PCB のパッドにハンダ付けして、パッケージに機械的強度を与えます。このパッドを DGND と GND に接続します。

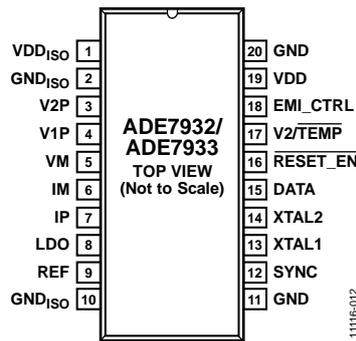


図 12. ピン配置、ADE7933/ADE7932

表 15. ピン機能の説明、ADE7933/ADE7932

ピン番号	記号	説明
1	VDD _{ISO}	絶縁された 2 次側の電源電圧。このピンから 2.8V の内部絶縁電源にアクセスできます。このピンにはアクティブな外部回路を接続しないでください。これらのピンは、10 μ F のコンデンサと 0.1 μ F のセラミック・コンデンサを並列に接続してデカップリングします。
2, 10	GND _{ISO}	絶縁された 2 次側のグラウンド・リファレンス。このピンは、アナログ回路のグラウンド・リファレンスになります。すべてのアナログ回路にノイズの少ないこのグラウンド・リファレンスを使用してください。
3, 4, 5	V2P, V1P, VM	電圧チャンネルのアナログ入力。これらのチャンネルは、電圧トランスデューサと共に使用され、このデータシートでは電圧チャンネルと呼ばれています。これらの入力は、仕様規定されている動作に対し、VM を基準として最大信号レベルが ± 0.5 V の擬似差動電圧入力です。図 42 に示すように、これらのピンは関係する入力回路と共に使用してください。第 2 電圧チャンネル (V2) は、ADE7933 でのみ使用できます。ADE7933 で V1P または V2P ピンを使用しない場合、未使用ピンは VM ピンに接続します。ADE7932 では、V2P ピンは常に VM ピンに接続する必要があります。
6, 7	IM, IP	電流チャンネルのアナログ入力。このチャンネルはシャントと共に使用され、このデータシートでは電流チャンネルと呼ばれます。これらの入力は、最大差動レベルが ± 31.25 mV の擬似差動電圧入力です。図 42 に示すように、これらのピンは関係する入力回路と共に使用してください。
8	LDO	アナログ低ドロップアウト (LDO) レギュレータの 2.5V 出力。このピンは、4.7 μ F のコンデンサと 100nF のセラミック・コンデンサを並列に接続して、GND _{ISO} (ピン 10) ヘドカップリングします。このピンにはアクティブな外部回路を接続しないでください。
9	REF	電圧リファレンス。このピンから内部電圧リファレンスにアクセスできます。内部リファレンスの公称値は 1.2V です。このピンは、4.7 μ F のコンデンサと 100nF のセラミック・コンデンサを並列に接続して、GND _{ISO} (ピン 10) ヘドカップリングします。
11, 20	GND	1 次側グラウンド・リファレンス。
12	SYNC	同期ピン。ADE7978 の SYNC ピンによって生成される 1.024MHz のクロック信号は、ADE7933/ADE7932/ADE7923 と ADE7978 の間のシリアル通信に使用されます。ADE7933/ADE7932 の SYNC ピンを ADE7978 の SYNC ピンに接続します。
13	XTAL1	マスタ・クロック。このピンは ADE7978 の CLKOUT ピンに接続します。仕様規定されている動作のクロック周波数は 4.096MHz です。ADE7933/ADE7932/ADE7923 と ADE7978 をチップセットとして使用する場合は、ADE7933/ADE7932 は ADE7978 と同期して動作する必要があります。したがって、ADE7933/ADE7932 の XTAL1 ピンを ADE7978 の CLKOUT ピンに接続する必要があります。ADE7933/ADE7932 をスタンドアロン・チップとして使用する場合は、XTAL1 と XTAL2 の間に最大駆動レベルが 0.5mW、ESR が 20 Ω の水晶発振器を接続して、ADE7933/ADE7932 のクロック・ソースを提供することができます。仕様規定されている動作のクロック周波数は 4.096MHz ですが、3.6MHz までのより低い周波数を使用することができます。詳細は、ADE7978、ADE7933/ADE7932、ADE7923 のクロックのセクションを参照してください。
14	XTAL2	ADE7933/ADE7932 を ADE7978 と共に使用するときは、このピンをオープンにしてください。ADE7933/ADE7932 をスタンドアロン・チップとして使用する場合は、XTAL1 と XTAL2 の間に最大駆動レベルが 0.5mW、ESR が 20 Ω の水晶発振器を接続して、ADE7933/ADE7932 のクロック・ソースを提供することができます。
15	DATA	ADE7978 との通信のためのデータ出力。DATA ピンを、ADE7978 の DATA_A、DATA_B、DATA_C、DATA_N のいずれかのピンに接続します。例えば、A 相の ADE7933/ADE7932 の DATA ピンを ADE7978 の DATA_A ピンに接続します。
16	RESET_EN	リセット入力イネーブル、アクティブ・ロー。ADE7933/ADE7932 は、RESET_EN ピンをローに設定し、4.096MHz の周波数で V2/TEMP ピンを 4 回トグルすることによってリセットされます。このピンと V2/TEMP ピンがハイにセットされるとリセットが終了します (ハードウェア・リセットのセクションを参照)。

ピン番号	記号	説明
17	V2/TEMP	この入力ピンは、ADE7933の第2電圧チャンネルで変換される信号を選択します。(ADE7932では、温度センサーは常に第2電圧チャンネルによって変換されます)。このピンがハイのとき電圧入力V2Pが検出され、ローのとき温度センサーが測定されます。V2/TEMPピンは、ADE7933/ADE7932のリセット処理中でも使用されます。ADE7933とADE7932はどちらも、V2/TEMPピンを常にADE7978のVT_A、VT_B、VT_C、VT_Nのいずれかのピンに接続する必要があります。例えば、A相のADE7933/ADE7932のV2/TEMPピンをADE7978のVT_Aピンに接続します。詳細は、第2電圧チャンネルと温度計測のセクションを参照してください。
18	EMI_CTRL	エミッション制御ピン。このピンは、ADE7933/ADE7932のエミッションを管理します。このピンをGNDに接続すると、DC/DCコンバータのPWM制御ブロックは、スロット0、スロット2、スロット4、およびスロット6の期間にパルスを生成します。このピンをVDDに接続すると、DC/DCコンバータのPWM制御ブロックは、スロット1、スロット3、スロット5、およびスロット7の期間にパルスを生成します。(詳細については、DC/DCコンバータのセクションを参照してください。)このピンをフロート状態のままにしないでください。
19	VDD	1次側電源電圧。このピンはADE7933/ADE7932に電源電圧を供給します。仕様規定されている動作をさせるには、電源電圧を $3.3V \pm 10\%$ に維持してください。このピンは、 $10\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して、GNDへデカップリングします。

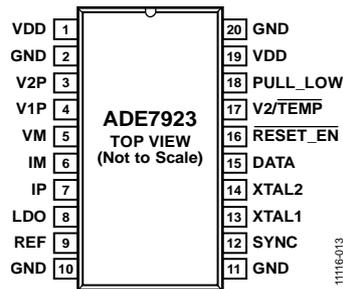


図 13. ピン配置、ADE7923

表 16. ピン機能の説明、ADE7923

ピン番号	記号	説明
1, 19	VDD	電源電圧。これらのピンは ADE7923 に電源電圧を供給します。仕様規定されている動作をさせるには、電源電圧を $3.3V \pm 10\%$ に維持してください。各 VDD ピンは、 $10\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して GND にデカップリングしてください。VDD ピンは外部で接続する必要があります。
2, 10, 11, 20	GND	グラウンド・リファレンス。これらのグラウンド・ピンは外部で接続する必要があります。
3, 4, 5	V2P, V1P, VM	電圧チャンネルのアナログ入力。これらのチャンネルは、電圧トランスデューサと共に使用され、このデータシートでは電圧チャンネルと呼ばれています。これらの入力、仕様規定されている動作に対し、VM を基準として最大信号レベルが $\pm 0.5V$ の擬似差動電圧入力です。図 42 に示すように、これらのピンは関係する入力回路と共に使用してください。ADE7923 で V1P または V2P ピンを使用しない場合、未使用ピンは VM ピンに接続します。
6, 7	IM, IP	電流チャンネルのアナログ入力。このチャンネルはシャントと共に使用され、このデータシートでは電流チャンネルと呼ばれます。これらの入力、最大差動レベルが $\pm 31.25mV$ の擬似差動電圧入力です。図 42 に示すように、これらのピンは関係する入力回路と共に使用してください。
8	LDO	アナログ低ドロップアウト・レギュレータ (LDO) の $2.5V$ 出力。このピンは、 $4.7\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して、GND へデカップリングします。このピンにはアクティブな外部回路を接続しないでください。
9	REF	電圧リファレンス。このピンから内部電圧リファレンスにアクセスできます。内部リファレンスの公称値は $1.2V$ です。このピンは、 $4.7\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して、GND へデカップリングします。
12	SYNC	同期ピン。ADE7978 の SYNC ピンによって生成される $1.024MHz$ のクロック信号は、ADE7933/ADE7932/ADE7923 と ADE7978 の間のシリアル通信に使用されます。ADE7923 の SYNC ピンを ADE7978 の SYNC ピンに接続します。
13	XTAL1	マスタ・クロック。このピンは ADE7978 の CLKOUT ピンに接続します。仕様規定されている動作のクロック周波数は $4.096MHz$ です。ADE7933/ADE7932/ADE7923 と ADE7978 をチップセットとして使用する場合は、ADE7933/ADE7932/ADE7923 は ADE7978 と同期して動作する必要があります。したがって、ADE7933/ADE7932/ADE7923 の XTAL1 ピンを ADE7978 の CLKOUT ピンに接続する必要があります。ADE7933/ADE7932/ADE7923 をスタンドアロン・チップとして使用する場合は、XTAL1 と XTAL2 の間に最大駆動レベルが $0.5mW$ 、ESR が 20Ω の水晶発振器を接続して、ADE7933/ADE7932/ADE7923 のクロック・ソースを提供することができます。仕様規定されている動作のクロック周波数は $4.096MHz$ ですが、 $3.6MHz$ までのより低い周波数を使用することができます。詳細は、ADE7978、ADE7933/ADE7932、ADE7923 のクロックのセクションを参照してください。
14	XTAL2	ADE7933/ADE7932/ADE7923 を ADE7978 と共に使用するときは、このピンをオープンのままにしておきます。ADE7933/ADE7932/ADE7923 をスタンドアロン・チップとして使用する場合は、XTAL1 と XTAL2 の間に最大駆動レベルが $0.5mW$ 、ESR が 20Ω の水晶発振器を接続して、ADE7933/ADE7932/ADE7923 のクロック・ソースを提供することができます。
15	DATA	ADE7978 との通信のためのデータ出力。ADE7923 の DATA ピンを ADE7978 の DATA_N ピンに接続します。
16	RESET_EN	リセット入力イネーブル、アクティブ・ロー。ADE7923 は、RESET_EN ピンをローに設定し、 $4.096MHz$ の周波数で V2/TEMP ピンを 4 回トグルすることによってリセットされます。このピンと V2/TEMP ピンがハイにセットされるとリセットが終了します (ハードウェア・リセットのセクションを参照)。
17	V2/TEMP	この入力ピンは、ADE7923 の第 2 電圧チャンネルで変換される信号を選択します。このピンがハイのとき、電圧入力 V2P が検出され、ローのとき、温度センサーが測定されます。V2/TEMP ピンは、ADE7933/ADE7932/ADE7923 のリセット処理中でも使用されます。ADE7923 では、V2/TEMP ピンは常に ADE7978 の VT_N ピンに接続する必要があります。詳細は、第 2 電圧チャンネルと温度計測のセクションを参照してください。
18	PULL_LOW	正常動作のために、このピンを GND に接続します。

代表的な性能特性

電源および温度に対する総合電力量の直線性

図 14～図 19 は、振幅がフルスケールの 50% で周波数が 50Hz の正弦波電圧、フルスケールの 100% から 0.033% までの可変振幅で周波数が 50Hz の正弦波電流、およびオフセット補償を実行、という条件で作成されました。

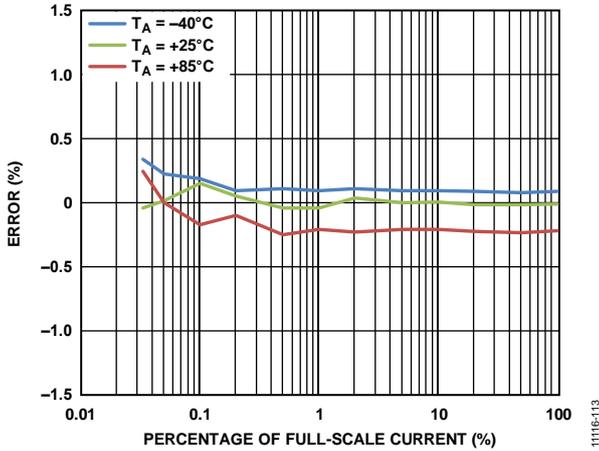


図 14. 指示値のパーセンテージで表した総合有効電力量誤差の温度に対する変化 (PF = 1)

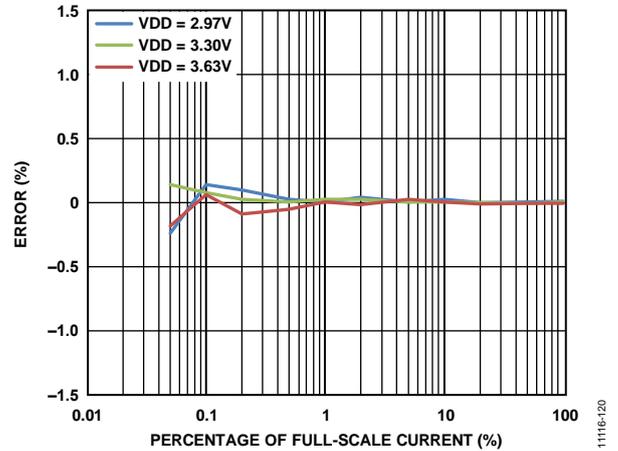


図 17. 指示値のパーセンテージで表した総合有効電力量誤差の電源電圧に対する変化 (PF = 1, TA = 25°C)

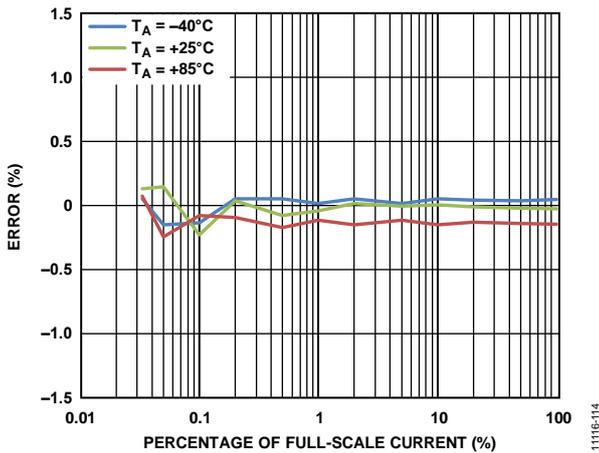


図 15. 指示値のパーセンテージで表した総合無効電力量誤差の温度に対する変化 (PF = 0)

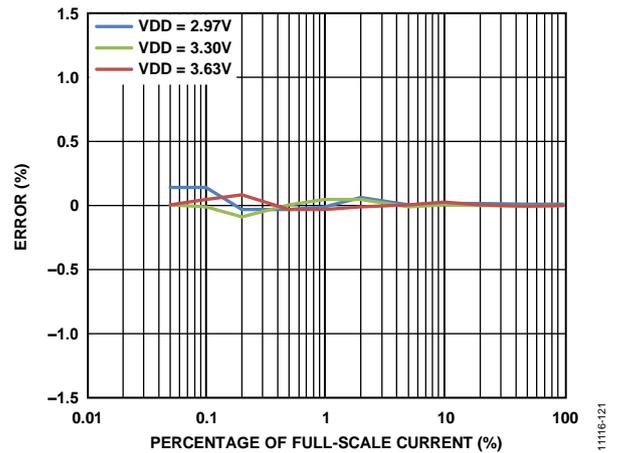


図 18. 指示値のパーセンテージで表した総合無効電力量誤差の電源電圧に対する変化 (PF = 0, TA = 25°C)

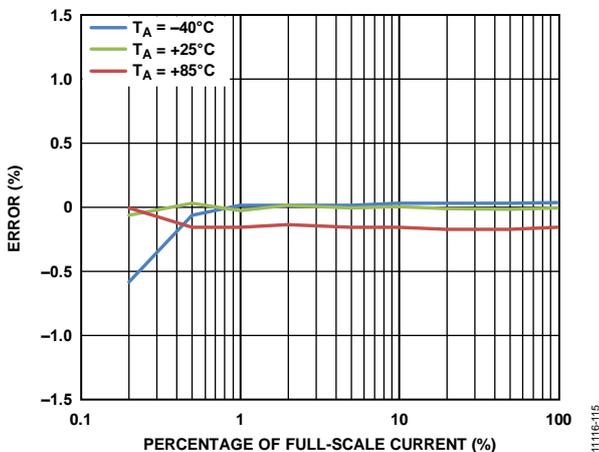


図 16. 指示値のパーセンテージで表した皮相電力量誤差の温度に対する変化 (PF = 1)

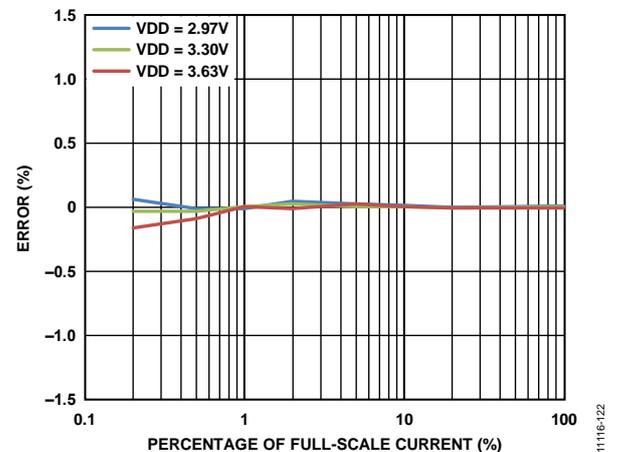


図 19. 指示値のパーセンテージで表した皮相電力量誤差の電源電圧に対する変化 (PF = 1, TA = 25°C)

5 次高調波を有する基本波電力量と RMS 直線性の電源電圧と温度に対する変化

図 20～図 25 は、5 次高調波と同相の基本波電圧成分、フルスケールの 100%から 0.033%までの可変振幅で周波数が 50 Hz およびフルスケールの 17%で一定振幅の 5 次高調波の電流、基本波と 5 次高調波の力率が 1 または 0 に等しい、という条件で作成されました。図 20、図 21、図 23、図 24 は、振幅がフルスケールの 50%である 50Hz 成分および振幅がフルスケールの 5%である 5 次高調波を有する電圧を使用して作成されました。図 22 および図 25 は、フルスケールの 100%から 0.033%までの可変振幅である 50Hz 成分および振幅がフルスケールの 5%である 5 次高調波を有する電圧を使用して作成されました。

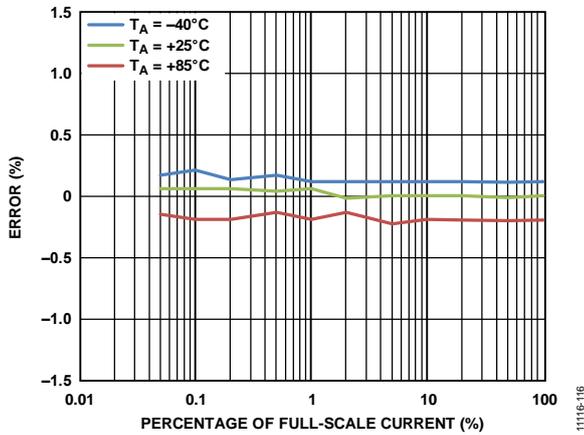


図 20. 指示値のパーセンテージで表した基本波有効電力量誤差の温度に対する変化 (PF = 1)

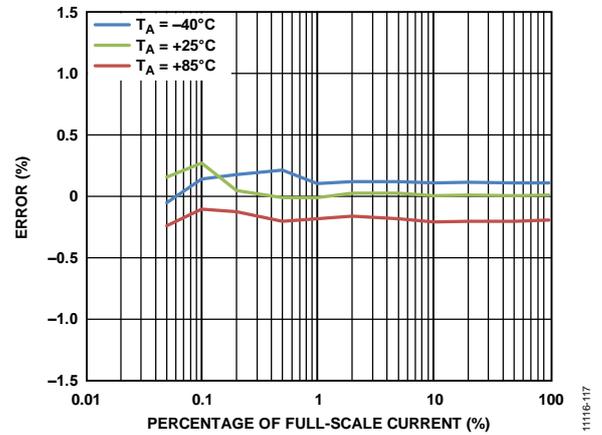


図 23. 指示値のパーセンテージで表した基本波無効電力量誤差の温度に対する変化 (PF = 0)

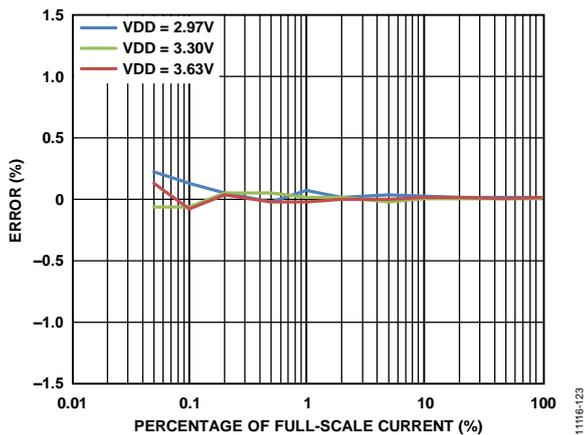


図 21. 指示値のパーセンテージで表した基本波有効電力量誤差の電源電圧に対する変化 (PF = 1, TA = 25°C)

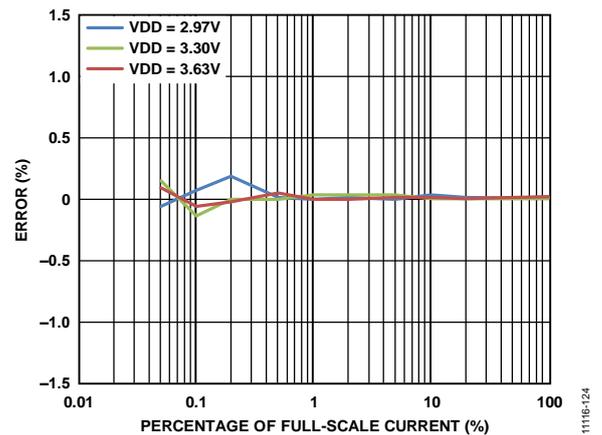


図 24. 指示値のパーセンテージで表した基本波無効電力量誤差の電源電圧に対する変化 (PF = 0, TA = 25°C)

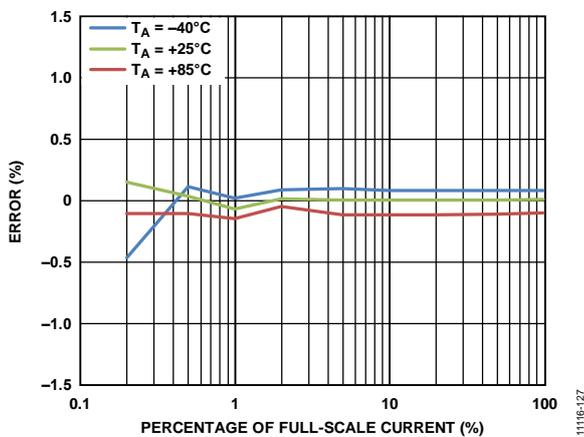


図 22. 指示値のパーセンテージで表した基本波電流 RMS 誤差の温度に対する変化 (PF = 1)

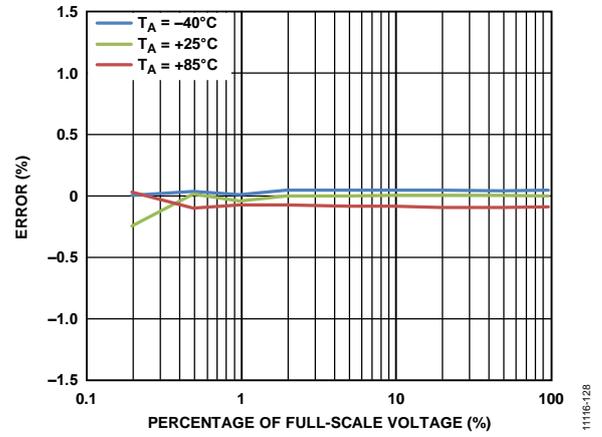


図 25. 指示値のパーセンテージで表した基本波電圧 RMS 誤差の温度に対する変化 (PF = 1)

総合電力量誤差の周波数に対する変化

図 26 および図 27 は、フルスケールの 50% の一定振幅である正弦波電圧、フルスケールの 10% の一定振幅である正弦波電流、45Hz~65Hz の可変周波数、という条件で作成されました。

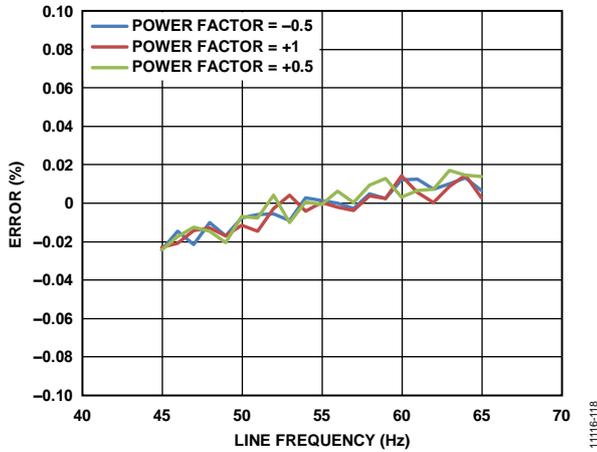


図 26. 指示値のパーセンテージで表した総合有効電力量誤差の周波数に対する変化 (PF = -0.5、+0.5、+1)

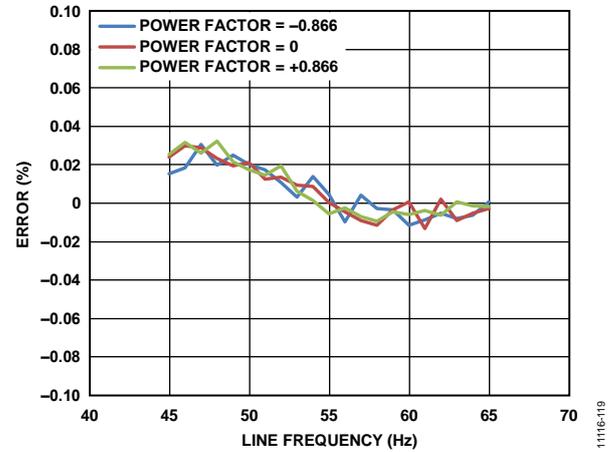


図 27. 指示値のパーセンテージで表した総合無効電力量誤差の周波数に対する変化 (PF = -0.866、0、+0.866)

RMS 直線性の温度に対する変化と RMS 誤差の周波数に対する変化

図 28～図 31 は、フルスケールの 100% から 0.033% までの可変振幅での正弦波電流および電圧を使用して作成されました。図 28 と図 30 は 50Hz の周波数を使用し、図 29 と図 31 は 45Hz～65Hz の可変周波数を使用して得られています。

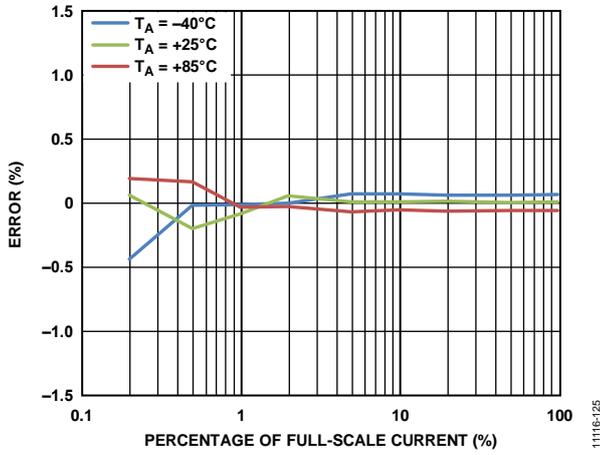


図 28. 指示値のパーセンテージで表した電流 RMS 誤差の温度に対する変化

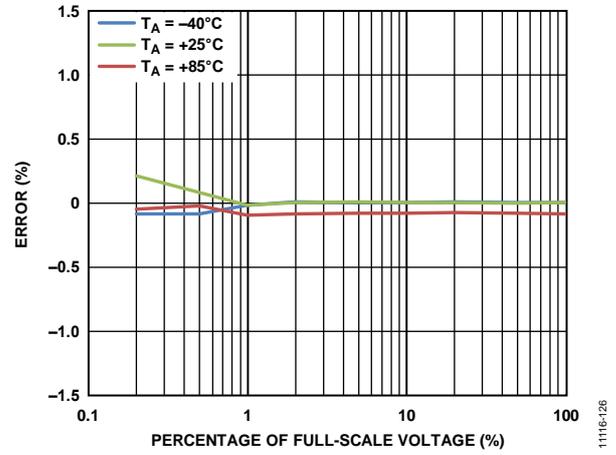


図 30. 指示値のパーセンテージで表した電圧 RMS 誤差の温度に対する変化

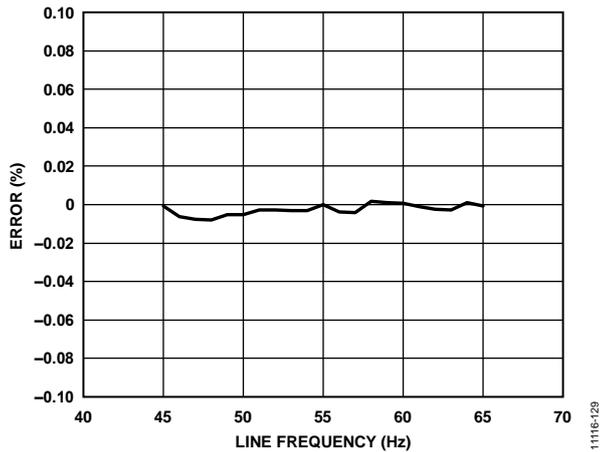


図 29. 指示値のパーセンテージで表した電流 RMS 誤差の周波数に対する変化

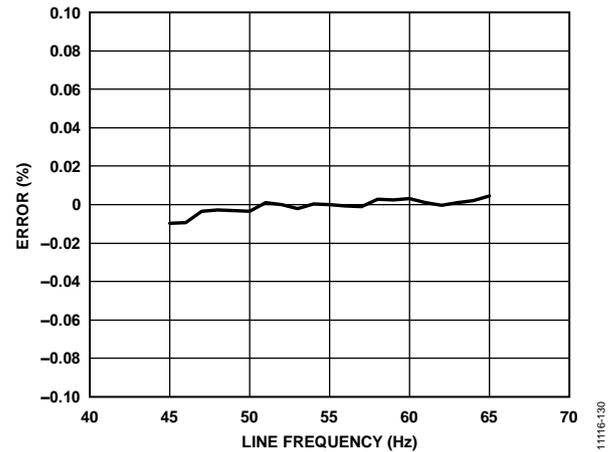


図 31. 指示値のパーセンテージで表した電圧 RMS 誤差の周波数に対する変化

電力量直線性の再現性

図 32～図 35 は、フルスケールの 50%の振幅で周波数が 50Hz の正弦波電圧、フルスケールの 100%から 0.033%までの可変振幅で周波数が 50Hz の正弦波電流、およびオフセット補償を実行、という条件で作成されました。図 33 と図 35 では、基本波成分の他に、電圧にはフルスケールの 5%の一定振幅を有する 5 次高調波が含まれ、電流にはフルスケールの 17%の一定振幅を有する 5 次高調波が含まれます。25°C での測定が 30 回繰り返されました。

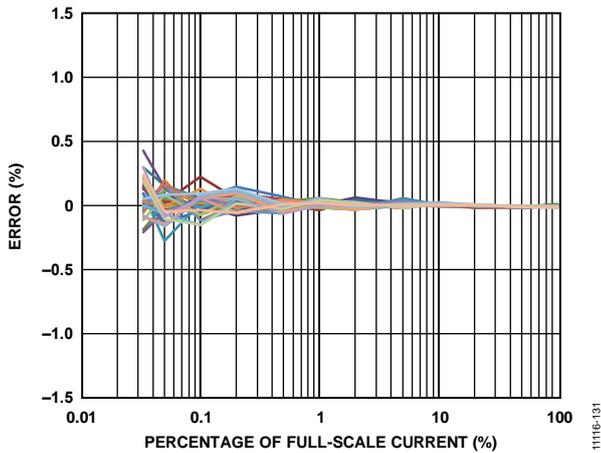


図 32. 指示値のパーセンテージで表した総合有効電力量誤差、PF = 1 (フルスケール電流の 0.2%で標準偏差 $\sigma = 0.06\%$ 、フルスケール電流の 0.05%で $\sigma = 0.12\%$)

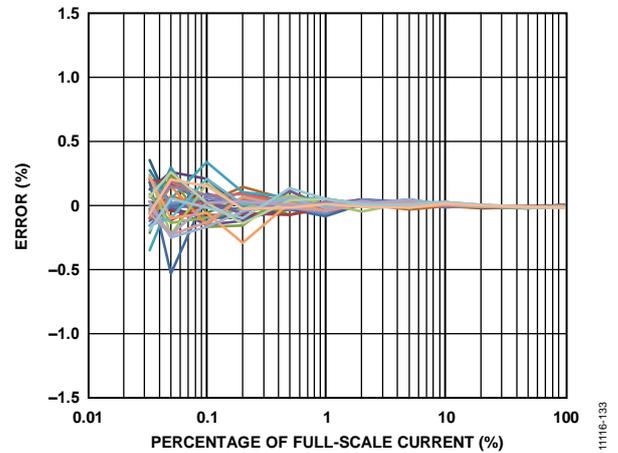


図 34. 指示値のパーセンテージで表した総合無効電力量誤差、PF = 0 (フルスケール電流の 0.2%で標準偏差 $\sigma = 0.09\%$ 、フルスケール電流の 0.05%で $\sigma = 0.13\%$)

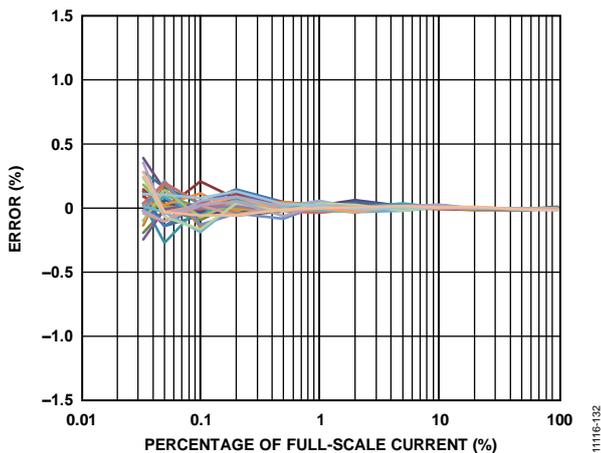


図 33. 指示値のパーセンテージで表した基本波有効電力量誤差、PF = 1 (フルスケール電流の 0.2%で標準偏差 $\sigma = 0.06\%$ 、フルスケール電流の 0.05%で $\sigma = 0.11\%$)

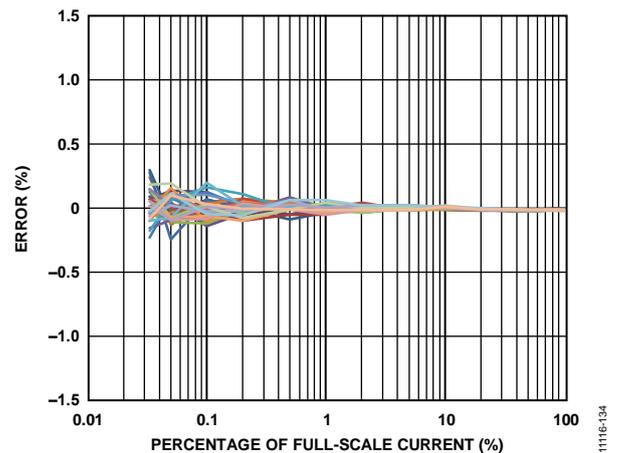
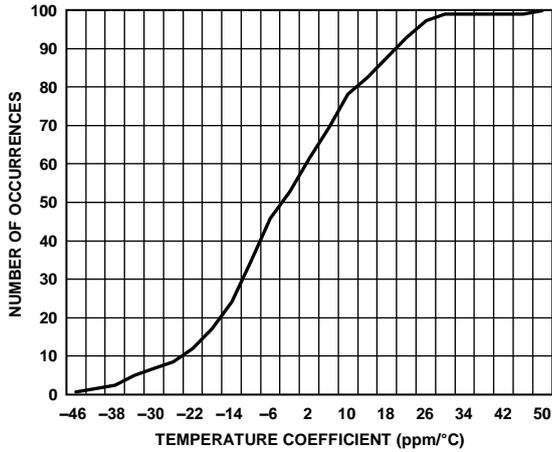


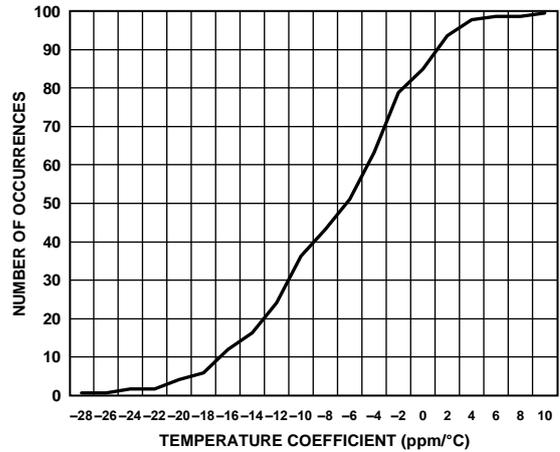
図 35. 指示値のパーセンテージで表した基本波無効電力量誤差、PF = 0 (フルスケール電流の 0.2%で標準偏差 $\sigma = 0.06\%$ 、フルスケール電流の 0.05%で $\sigma = 0.13\%$)

ADC ゲイン温度係数の累積ヒストグラム



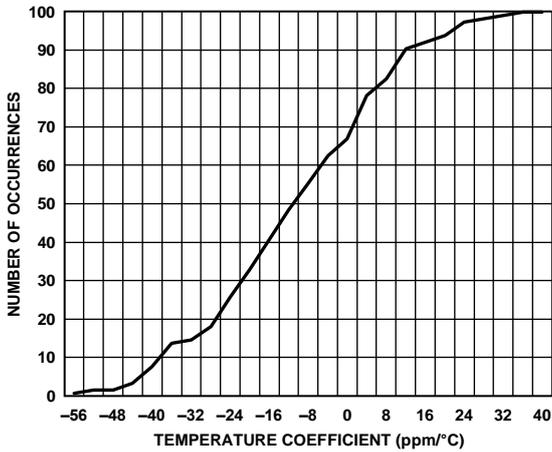
11116-252

図 36. -40°C~+25°C の温度に対する、ADE7932/ADE7933/ADE7923 の電流チャンネル ADC ゲイン温度係数の累積ヒストグラム



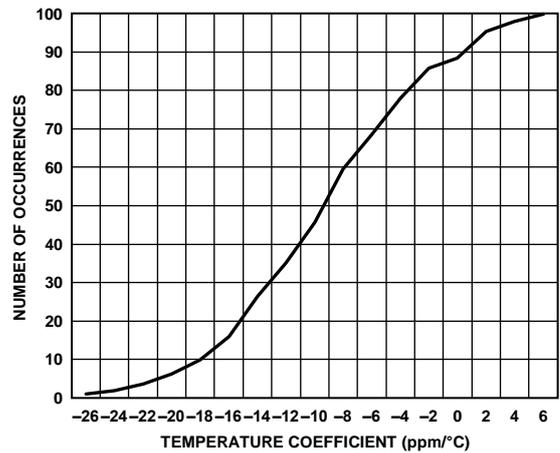
11116-255

図 39. +25°C~+85°C の温度に対する、ADE7932/ADE7933/ADE7923 の電圧チャンネル V1 ADC ゲイン温度係数の累積ヒストグラム



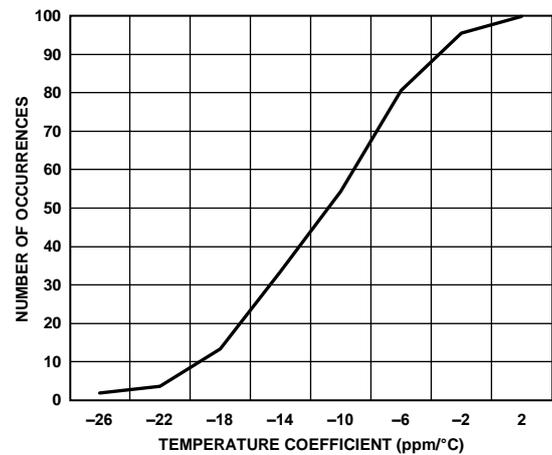
11116-253

図 37. +25°C~+85°C の温度に対する、ADE7932/ADE7933/ADE7923 の電流チャンネル ADC ゲイン温度係数の累積ヒストグラム



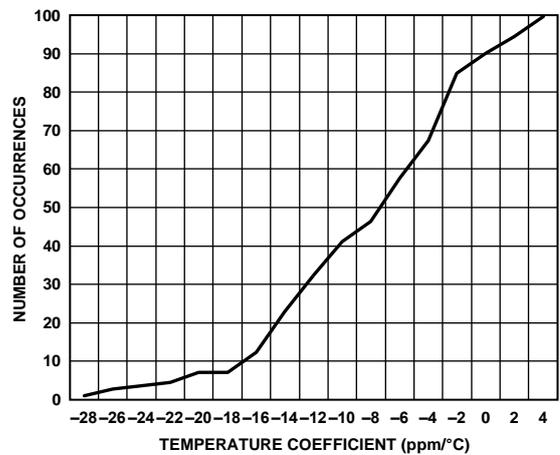
11116-256

図 40. -40°C~+25°C の温度に対する、ADE7933/ADE7923 の電圧チャンネル V2 ADC ゲイン温度係数の累積ヒストグラム



11116-254

図 38. -40°C~+25°C の温度に対する、ADE7932/ADE7933/ADE7923 の電圧チャンネル V1 ADC ゲイン温度係数の累積ヒストグラム



11116-257

図 41. +25°C~+85°C の温度に対する、ADE7933/ADE7923 の電圧チャンネル V2 ADC ゲイン温度係数の累積ヒストグラム

テスト回路

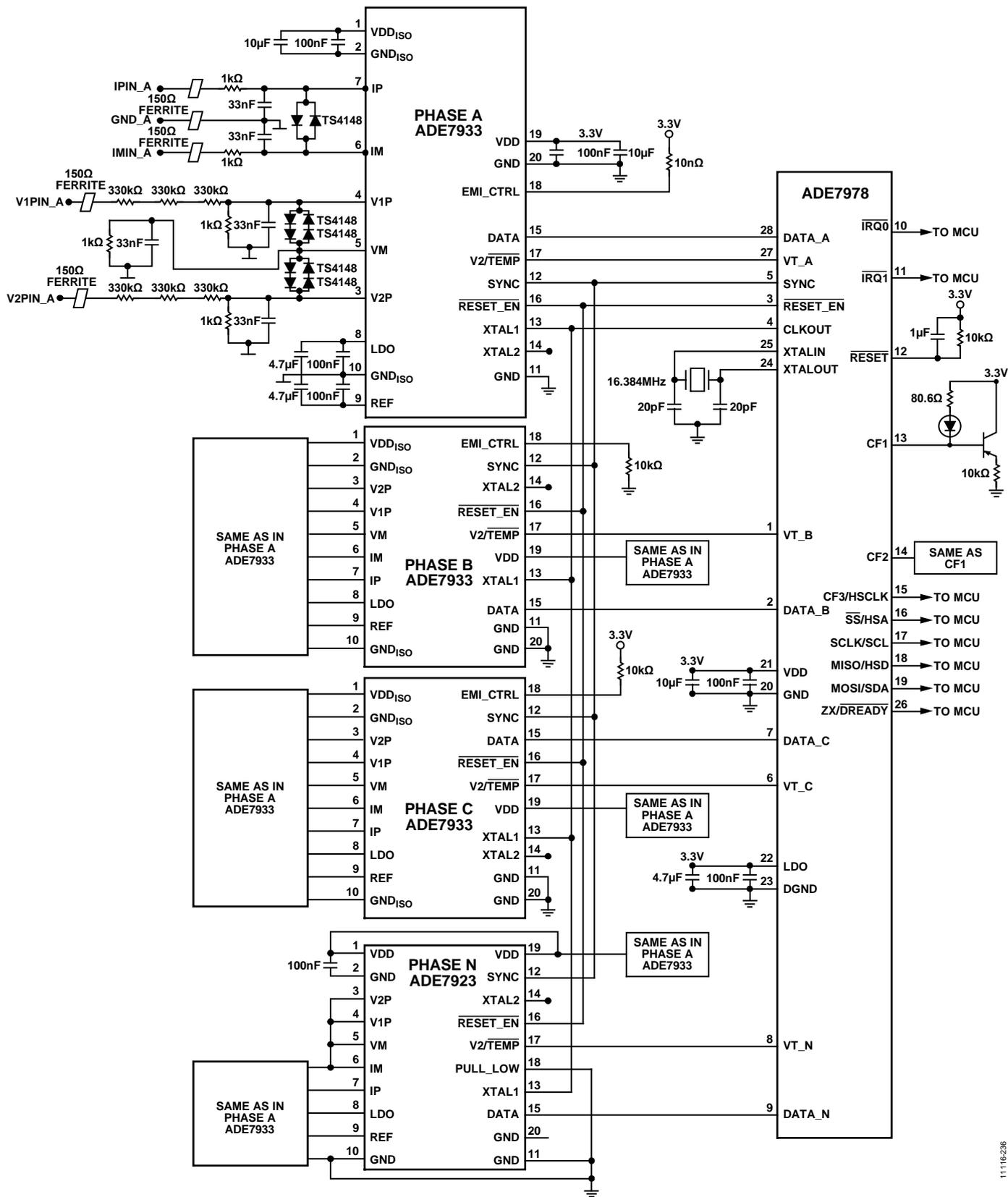


図 42. テスト回路

用語の定義

電力量計測誤差

電力量計測の精度は、以下のようにして評価されます。

1. 電圧チャンネルに、ピーク値が $\pm 250\text{mV}$ の正弦波信号を加えます。この値は、フルスケールの半分に相当します。
2. 電流チャンネルに、ピーク値が $\pm 31.25\text{mV}$ （フルスケールの $1/10$ ）、 $\pm 3.125\text{mV}$ （フルスケールの $1/100$ ）、 $\pm 312.5\mu\text{V}$ （フルスケールの $1/1000$ ）、 $\pm 15.625\mu\text{V}$ （フルスケールの $1/2000$ ）の正弦波信号を加えます。
3. 電力量はライン・サイクル積算モードで積算され、積算時間は電流チャンネルの信号レベルによって変化します。

$\pm 3.125\text{mV}$ （フルスケールの $1/10$ ）の電流ピークで計算された電力量がリファレンスとみなされます。次式に示すように、電力量計測誤差はこの点を通る直線を基準に計算されます。

$$\varepsilon = \left(\frac{\text{Energy}(I_x) \times \frac{\text{AccTime}(I_{1/10})}{\text{AccTime}(I_x)} \times \frac{I_{1/10}}{I_x}}{\text{Energy}(I_{1/10})} - 1 \right) \times 100\% \quad (1)$$

ここで、

$\text{Energy}(I_x)$ は、電流が I_x のときの電力量計測値。

$\text{Energy}(I_{1/10})$ は、電流がリファレンス測定値である $I_{1/10}$ のときの電力量計測値。

$\text{AccTime}(I_{1/10})$ は、 $\text{Energy}(I_{1/10})$ の測定に使用される積算時間。

$\text{AccTime}(I_x)$ は、 $\text{Energy}(I_x)$ の測定に使用される積算時間。

I_{rms} および V_{rms} の測定誤差

実効値測定精度は、以下のようにして評価されます。

1. 電圧および電流チャンネルに、フルスケール信号（電圧チャンネルでは $\pm 500\text{mV}$ 、電流チャンネルでは $\pm 31.25\text{mV}$ ）から開始し、電圧チャンネルでは $\pm 1\text{mV}$ 、電流チャンネルでは $\pm 62.5\mu\text{V}$ で終わる、様々なピークの正弦波信号を加えます。
2. ライン・サイクルごとに少なくとも1回、1秒間にわたって実効値レジスタを読み出し、平均化します。

入力信号がフルスケールの $1/10$ に等しいピークになるときの測定値をリファレンスとみなします。以下に示すように、実効値測定誤差はこの点を通る直線を基準に計算されます。

$$\varepsilon_I = \left(\frac{I_{rms}(I_x) \times \frac{I_{1/10}}{I_x}}{I_{rms}(I_{1/10})} - 1 \right) \times 100\% \quad (2)$$

$$\varepsilon_V = \left(\frac{V_{rms}(V_x) \times \frac{V_{1/10}}{V_x}}{V_{rms}(V_{1/10})} - 1 \right) \times 100\% \quad (3)$$

ここで、

$I_{rms}(I_x)$ は、電流が I_x のときの電流実効値の測定値。

$I_{rms}(I_{1/10})$ は、電流がリファレンス測定値である $I_{1/10}$ の場合の電流実効値の測定値。

$V_{rms}(V_x)$ は、電圧が V_x のときの電圧実効値の測定値。

$V_{rms}(V_{1/10})$ は、電圧がリファレンス測定値である $V_{1/10}$ の場合の電圧実効値の測定値。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の実効値総和に対する実際の入力信号の実効値の比です。波形サンプルが1秒間にわたって取得され、更にハニング・ウィンドウが適用されます。S/N 比の単位はデシベルです。

信号/ノイズ+歪み (SINAD) 比

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和（高調波成分は含むが、直流成分と入力信号は除く）に対する実際の入力信号の実効値の比です。波形サンプルが1秒間にわたって取得され、更にハニング・ウィンドウが適用されます。SINAD 値はデシベルで表されます。

全高調波歪み (THD)

THD は、基本波の実効値に対するすべての高調波（ノイズ成分を除く）の実効値総和の比です。波形サンプルが1秒間にわたって取得され、更にハニング・ウィンドウが適用されます。THD 値はデシベルで表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、波形サンプルの測定帯域幅にわたるピーク・スプリアス成分の実効値に対する実際の入力信号の実効値の比です。波形サンプルが1秒間にわたって取得され、更にハニング・ウィンドウが適用されます。SFDR 値は、フルスケールを基準にしたデシベル (dBFS) で表されます。

CF ジッタ

CF1、CF2、または CF3 ピンの1つのパルス周期が連続的に測定されます。4つの連続するパルスの最大値、最小値、平均値は、次式で計算されます。

$$\text{最大} = \max(\text{周期}_0, \text{周期}_1, \text{周期}_2, \text{周期}_3)$$

$$\text{最小} = \min(\text{周期}_0, \text{周期}_1, \text{周期}_2, \text{周期}_3)$$

$$\text{平均} = \frac{\text{Period}_0 + \text{Period}_1 + \text{Period}_2 + \text{Period}_3}{4}$$

CF ジッタは、次式で計算されます。

$$CF_{\text{JITTER}} = \frac{\text{Maximum} - \text{Minimum}}{\text{Average}} \times 100\% \quad (4)$$

IP ピンと IM ピン、V1P ピンと VM ピン、V2P ピンと VM ピン の間の擬似差動信号電圧範囲

この範囲は、IM および VM ピンが GND_{ISO} ピン（ピン 2）に接続されているときに、フルスケール応答を生成するために ADC に印加しなければならないピーク to ピークの擬似差動電圧を表します。IM および VM ピンは、アンチエイリアス・フィルタを使用して GND_{ISO} ピンに接続されます（図 42 参照）。

図 43 は、IP ピンと IM ピン間の入力電圧範囲を示しています。図 44 は、V1P ピンと VM ピンの間、および V2P ピンと VM ピン間の入力電圧範囲を示しています。

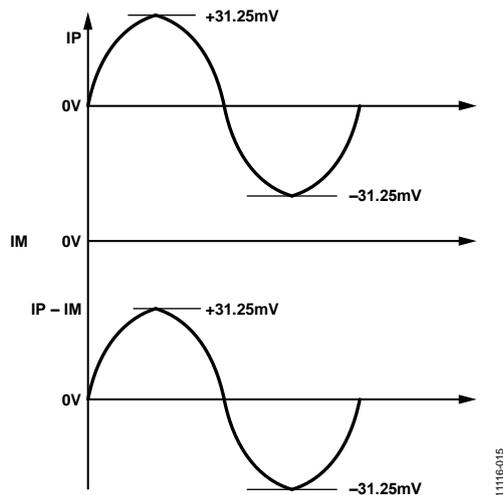


図 43. IP ピンと IM ピン間の擬似差動入力電圧範囲

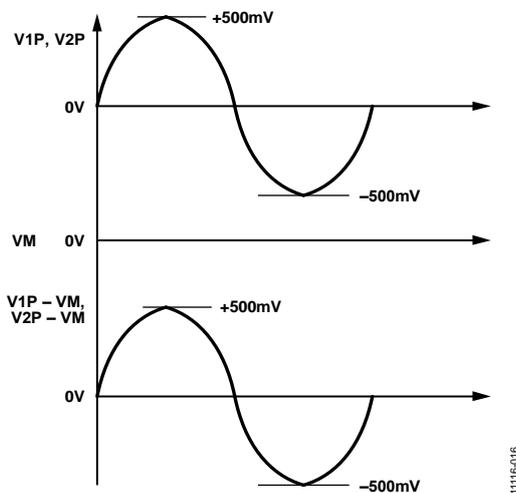


図 44. V1P ピンと VM ピンの間、および V2P ピンと VM ピン間の擬似差動入力電圧範囲

VM および IM の最大電圧範囲

VM と IM の最大電圧範囲は、GND_{ISO} ピン（ピン 10）を基準とした VM ピンと IM ピンでの最大許容電圧を表します。

クロストーク

クロストークは、通常は回路間の容量を介した信号の漏れを表します。電流チャンネルのクロストークの測定は、IP および IM ピンを GND_{ISO} ピン（ピン 10）に接続し、電圧チャンネルの V1P、V2P、および VM ピンにフルスケールの AC 差動電圧を加えて、電流チャンネルの出力を測定することによって行います。

V1 電圧チャンネルのクロストークの測定は、V1P および VM ピンを GND_{ISO} ピン（ピン 10）に接続し、IP および V2P ピンにフルスケールの AC 差動電圧を加え、V1P チャンネルの出力を測定することによって行います。V2 電圧チャンネルのクロストークの測定は、V2P および VM ピンを GND_{ISO} ピン（ピン 10）に接続し、IP および V1P ピンにフルスケールの AC 差動電圧を加え、V2 チャンネルの出力を測定することによって行います。

クロストークは、接地された ADC 出力値と ADC フルスケール出力値の比に等しい値です。ADC 出力は 2 秒間収集されます。クロストークはデシベルで表されます。

グラウンドへの入力インピーダンス、DC

グラウンドへの入力インピーダンスは、GND_{ISO}（ピン 10）を基準として各 ADC の入力ピン（IP、IM、V1P、V2P、VM）で測定されたインピーダンスを表します。

ADC オフセット誤差

ADC オフセット誤差は、両方の入力を GND_{ISO} に接続した状態で測定した ADC 出力コードの平均と、理想 ADC 出力コードの差です。オフセットの大きさは、各チャンネルの入力範囲に依存します。

温度に対する ADC オフセット・ドリフト

ADC オフセット・ドリフトは、温度に対するオフセットの変化です。ADC のオフセット・ドリフトは、-40°C、+25°C、+85°C での ADC オフセットを測定することによって求められます。温度に対するオフセット・ドリフトは次式で計算されます。

ドリフト=

$$\max \left[\frac{Offset(-40^{\circ}\text{C}) - Offset(25^{\circ}\text{C})}{Offset(25^{\circ}\text{C}) \times (-40^{\circ}\text{C} - 25^{\circ}\text{C})}, \frac{Offset(85^{\circ}\text{C}) - Offset(25^{\circ}\text{C})}{Offset(25^{\circ}\text{C}) \times (85^{\circ}\text{C} - 25^{\circ}\text{C})} \right]$$

オフセット・ドリフトは ppm/°C で表されます。

ゲイン誤差

ADE7933/ADE7932 および ADE7923 のゲイン誤差は、測定された ADC 出力コード（オフセットを差し引いた値）と理想出力コードの差を表します（電流チャンネル ADC および電圧チャンネル ADC のセクションを参照）。この差は理想コードのパーセンテージで表され、1 つの電流または電圧チャンネルの総合ゲイン誤差を表します。

温度に対するゲイン・ドリフト

ゲイン・ドリフトは、温度に対するゲインの変化です。ゲイン温度係数には、ADC ゲインの温度に対する変化と内部電圧リファレンスの温度に対する変化が含まれます。温度に対するゲイン・ドリフトは、1 つの電流または電圧チャンネルの総合温度係数を表します。内部電圧リファレンス使用時は、 -40°C 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$ での ADC ゲインを測定し、次式に従って温度係数を計算します。

ドリフト=

$$\max \left[\left| \frac{\text{Gain}(-40^{\circ}\text{C}) - \text{Gain}(25^{\circ}\text{C})}{\text{Gain}(25^{\circ}\text{C}) \times (-40^{\circ}\text{C} - 25^{\circ}\text{C})} \right|, \left| \frac{\text{Gain}(85^{\circ}\text{C}) - \text{Gain}(25^{\circ}\text{C})}{\text{Gain}(25^{\circ}\text{C}) \times (85^{\circ}\text{C} - 25^{\circ}\text{C})} \right| \right]$$

ゲイン・ドリフトは $\text{FS}/^{\circ}\text{C}$ の ppm で表されます。

電源電圧変動除去比 (PSR)

PSR は、ADE7978 および ADE7933/ADE7932/ADE7923 チップセットの測定誤差を、電源が変動したときの指示値のパーセンテージとして定量化したものです。AC の PSR 測定では、公称電源 (3.3V) において、入力ピンの電圧が 0V のときの指示値を得て、更に AC 信号 (50Hz または 100Hz で 120mV rms) を電源に加えた場合の同じ入力信号レベルで 2 番目の指示値を得ます。この AC 信号によって加わった誤差は、指示値のパーセンテージ（電源電圧変動除去比、PSRR）として表されます。この AC 信号によって加わった誤差は、指示値のパーセンテージ（電源電圧変動除去比、PSRR）として表されます。PSR = $20 \log_{10}(\text{PSRR})$ 。

DC の PSR 測定では、公称電源 (3.3V) において、IP ピンと IM ピンの間の電圧が 6.25mV rms で、VIP、V2P、および VM ピン間の電圧が 100mV rms のときの指示値を得ます。電源を $\pm 10\%$ 変化させて、同じ入力信号レベルで 2 番目の測定値を得ます。これによって加わった誤差は、指示値のパーセンテージ (PSRR) として表されます。PSR = $20 \log_{10}(\text{PSRR})$ 。

動作原理

ADE7933/ADE7932/ADE7923 のアナログ入力

ADE7933/ADE7932およびADE7923には、3つのアナログ入力チャンネルがあります。1つが電流チャンネル、他の2つが電圧チャンネルです。ADE7932には第2電圧チャンネルはありません。電流チャンネルには、2つの完全差動電圧入力ピンIPとIMがあり、最大 $\pm 31.25\text{mV}$ の差動信号を入力できます。

GND_{ISO} を基準とするIPピンとIMピンの最大差動信号レベルも $\pm 31.25\text{mV}$ です。ただし、IM入力で許容される最大信号は $\pm 25\text{mV}$ です。図45に、電流チャンネル入力の回路図およびIMピンの最大電圧との関係を示します。

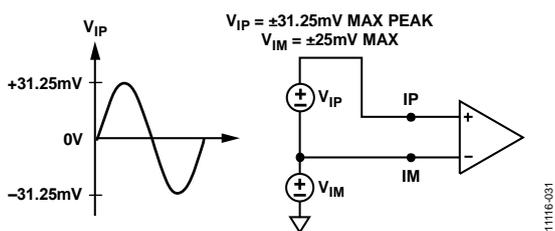


図 45. 最大入力レベル、電流チャンネル

電流チャンネルは、シャント両端の電圧を検出するのに使用されます。この場合、シャントの1つの極が電力量計のグラウンドになるため(図109参照)、電流チャンネルは電圧チャンネル構成(図46参照)と同様に擬似差動構成で使用されます。

電圧チャンネルには、VIPとV2Pの2つの擬似差動シングルエンド電圧入力ピンがあります。これらのシングルエンド電圧入力は、VMを基準として最大入力電圧が $\pm 500\text{mV}$ です。VM入力で許容される最大信号は $\pm 25\text{mV}$ です。図46に、電圧チャンネル入力の回路図およびVMピンの最大電圧との関係を示します。

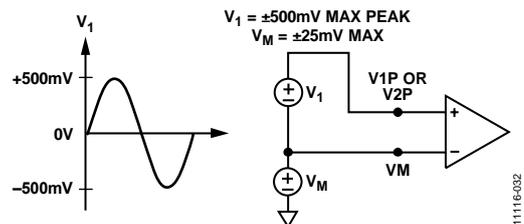


図 46. 最大入力レベル、電圧チャンネル

A/D 変換

ADE7933/ADE7932およびADE7923は3つの2次 $\Sigma\Delta$ ADCを備えています。簡単にするために、図47のブロック図には1次 $\Sigma\Delta$ ADCが示されています。このコンバータは $\Sigma\Delta$ 変調器とデジタル・ローパス・フィルタで構成されており、デジタル・アイソレーション・ブロックで分離されています。ADE7923も同様のコンバータ構成ですが、デジタル・アイソレーションがありません。

$\Sigma\Delta$ 変調器は、入力信号を、サンプリング・クロックで決まるレートで1と0の連続シリアル・ストリームに変換します。ADE7933/ADE7932とADE7923では、サンプリング・クロックは 1.024MHz ($\text{CLKIN}/16$)です。帰還ループ内の1ビットDACは、シリアル・データ・ストリームによって駆動されます。DAC出力は入力信号から減算されます。ループ・ゲインが十分に高い場合、DAC出力(したがってビット・ストリーム)の平均値は入力信号レベルの平均値に近づく可能性があります。

単一サンプリング間隔内のどのような入力値に対しても、1ビットADCからのデータは事実上無意味です。有意な結果は、多数のサンプルが平均化された場合にのみ得られます。この平均化は、データがデジタル・アイソレータを通過した後に、ADCの第2の部分であるデジタル・ローパス・フィルタで実行されます。変調器からの多数のビットを平均化することにより、ローパス・フィルタは、入力信号レベルに比例した24ビットのデータ・ワードを生成できます。

$\Sigma\Delta$ コンバータは、本質的に1ビットの変換手法であるものから高分解能を実現するために、オーバーサンプリングとノイズシェーピングという2つの手法を使用します。

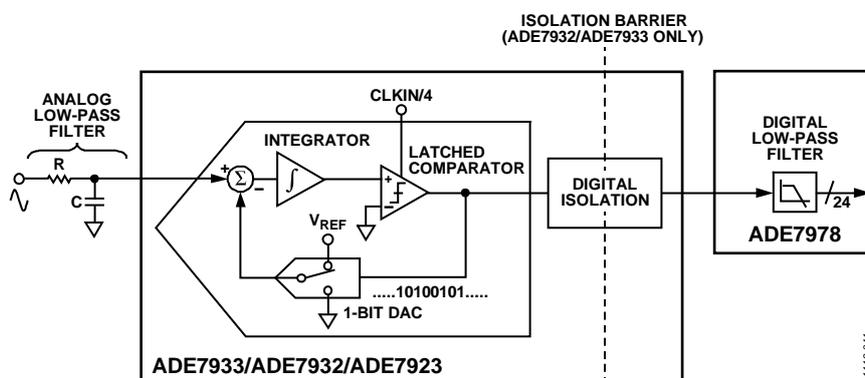


図 47. 1次 $\Sigma\Delta$ ADC

オーバーサンプリング

オーバーサンプリングは、高分解能を実現するために使用される第 1 の手法です。オーバーサンプリングとは、対象帯域幅の何倍もの高いレート（周波数）で信号をサンプリングすることを意味します。例えば、XTAL1 = 4.096MHz の場合、ADE7933/ADE7932 と ADE7923 のサンプリング・レートは 1.024MHz ですが、対象帯域幅は 40Hz~3.3kHz です。オーバーサンプリングは、広い帯域幅にわたって量子化ノイズ（サンプリングによるノイズ）を広げる効果があります。広帯域にわたってノイズが薄く拡散されると、対象帯域の量子化ノイズが低減します（図 48 参照）。

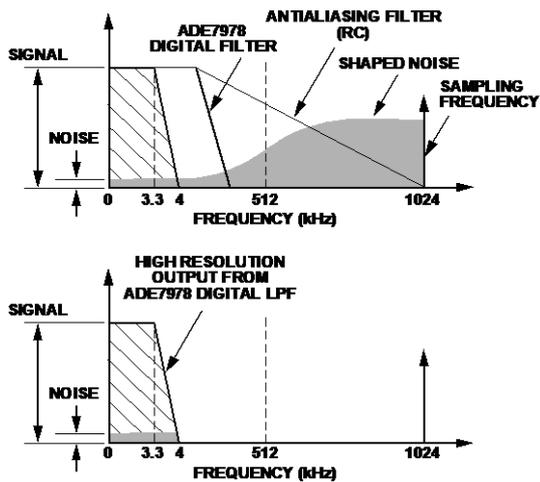


図 48. アナログ変調器でのオーバーサンプリングとノイズ・シェーピングによるノイズ低減

しかし、オーバーサンプリングだけでは、対象帯域幅の S/N 比（SNR）を改善するには十分ではありません。例えば、S/N 比をわずか 6dB（1 ビット）だけ増加させるにも、オーバーサンプリング比を 4 とする必要があります。オーバーサンプリング比を適度なレベルに保つために、ノイズの大部分が高い周波数になるように量子化ノイズを整形することが可能です（ノイズ・シェーピングのセクションを参照）。

ノイズ・シェーピング

ノイズ・シェーピングは、高分解能を実現するための第 2 の手法です。ΣΔ変調器では、ノイズは量子化ノイズに対してハイパス型の応答をする積分器によって整形されます。その結果、ほとんどのノイズは高い周波数になり、ADE7978 のデジタル・ローパス・フィルタで除去できます。このノイズ・シェーピングを図 48 に示します。

アンチエイリアシング（折返し誤差防止）・フィルタ

図 47 に示すように、ADE7933/ADE7932 と ADE7923 の ADC 入力には、外付けのローパス・アナログ RC フィルタが必要です。このフィルタの役割は、エイリアシングを防止することです。エイリアシングは、図 49 に示すように、サンプリングされたすべてのシステムのアーチファクトです。エイリアシングとは、イメージ化しないしは折り返しがなされ、サンプリング・レートの半分以下の周波数で被サンプリング信号に現れる、ADC への入力信号の周波数成分を指します。この影響は、ADC のサンプリング・レートの半分（ナイキスト周波数、つまり 512kHz）よりも高い信号で生じます。

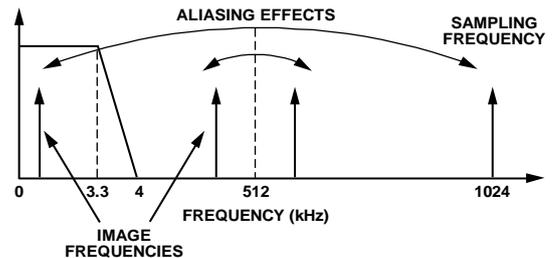


図 49. エイリアシングの影響

図 49 では、1.024MHz のサンプリング周波数に近い周波数のみが、計測対象帯域、すなわち 40Hz~3.3kHz に移動しています。高周波（1.024MHz 付近）のノイズを減衰させ、対象帯域の歪みを防ぐには、ローパス・フィルタ（LPF）を使用する必要があります。1.024MHz のサンプリング周波数で減衰が十分に高くなるように、コーナー周波数が 5kHz の RC フィルタを 1 つ使用することを推奨します。このフィルタ（20dB/decade の減衰）は通常、従来の電流センサーのエイリアシングの影響を排除するのに十分です。

ADC の伝達関数

ADE7933/ADE7932 と ADE7923 は、ADE7978 によって供給される SYNC クロック信号をベースとして、DATA ピンにビット・ストリームを供給します（ADE7978 と ADE7933/ADE7932 の間のビット・ストリーム通信のセクションを参照）。ADE7978 のデジタル・フィルタは、システム内のすべての ADE7933、ADE7932、ADE7923 デバイスから供給されるビット・ストリームを処理し、ADC の 24 ビット符号付き出力コードを生成します。

電流チャンネルで±31.25mV、電圧チャンネルで±0.5V のフルスケール信号が入力され、内部リファレンスが 1.2V の場合、ADC 出力コードの公称値は 5,320,000 ですが、通常は ADE7933/ADE7932 および ADE7923 ごとに異なり、この値前後になります。ADE7978 が ADE7933/ADE7932 および ADE7923 の ADC から取得するコードは、0x800000（-8,388,608）から 0xFFFF（+8,388,607）まで変化します。このコードは、電流チャンネルでは±49.27mV、電圧チャンネルでは±0.788V の入力信号レベルに相当します。ただし、規定の性能を得るには、電流チャンネルで±31.25mV、電圧チャンネルで±0.5V の公称範囲を超えないようにしてください。ADC の性能は、これらの制限内の入力信号に対してのみ確保されます。これらの範囲外の入力信号の場合、ADC のデジタル・ローパス・フィルタ（図 47 参照）はオーバーフローします。

電流チャンネルの ADC

このデータシートでは、A 相、B 相、C 相をモニタする ADE7933/ADE7932 および ADE7923 デバイスの電流チャンネルで得られた測定値をそれぞれ IA、IB、IC と呼びます (図 109 参照)。中性電流をモニタする ADE7923 デバイスの電流チャンネルで得られた測定値を IN と呼びます (図 110 参照)。

図 50 は、電流チャンネルでの入力 IA の信号処理パスを示しています (このパスは IB と IC でも同様です)。ADC の出力は符号付き 2 の補数の 24 ビット・データ・ワードで、8000 サンプル/秒 (8kSPS) の速度です。

仕様規定されている $\pm 31.25\text{mV}$ のフルスケール・アナログ入力信号で、ADC は最大の出力コード値を生成します。図 50 に、差動入力 (IP および IM) に印加されるフルスケール電圧信号を示します。ADC 出力は $-5,320,000$ から $+5,320,000$ まで変動します。これは公称値であり、ADE7978/ADE7933/ADE7932/ADE7923 チップセットごとに異なり、この値前後になります。

入力 IN は、3 相システムの中性電流に対応します。中性線をモニタしない場合は、ADE7978 の DATA_N ピンを VDD に接続します。図 51 に示すように、中性電流のデータパスは相電流のパスに類似しています。

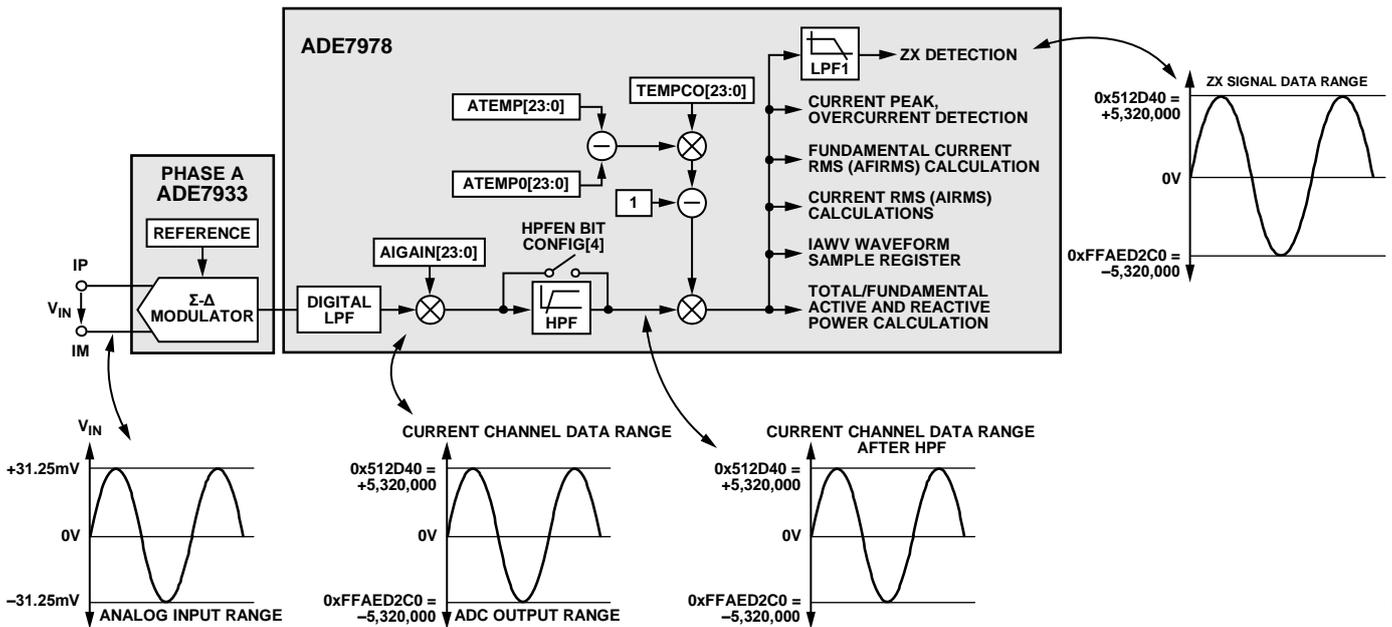


図 50. A 相の電流チャンネル信号経路

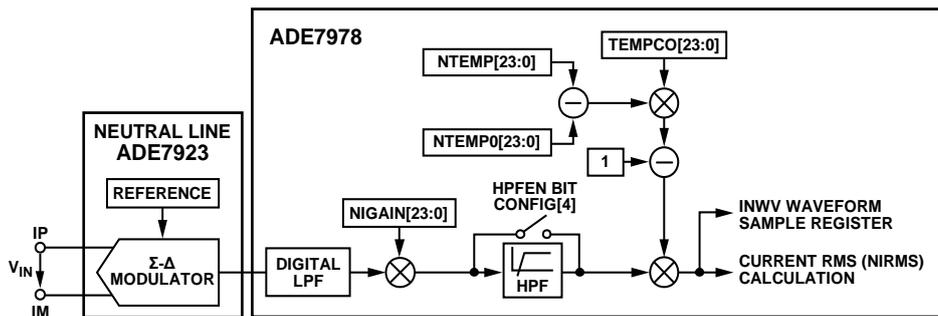


図 51. 中性電流信号経路

電流波形ゲイン・レジスタ

各相と中性電流の信号経路には乗算器があります。電流波形は、対応する2の補数を24ビットの符号付き電流波形ゲイン・レジスタ (AIGAIN、BIGAIN、CIGAIN、NIGAIN) に書き込むことによって、±100%変化させることができます。例えば、これらのレジスタに0x400000を書き込むと、ADC出力は50%スケールアップします。出力を-50%スケールするには、0xC00000をレジスタに書き込みます。式5は、電流波形ゲイン・レジスタの機能を数学的に説明するものです。

$$\text{Current Waveform} = \text{ADC Output} \times \left(1 + \frac{\text{Contents of Current Gain Register}}{2^{23}} \right) \quad (5)$$

AIGAIN、BIGAIN、CIGAIN、またはNIGAINレジスタの内容を変更すると、有効/無効/皮相の電力量および電流実効値計算を含め、対応する相の電流に基づくすべての計算が影響を受けます。更に、波形サンプルもそれに応じてスケールします。

ADE7978のシリアル・ポートは、32ビット、16ビット、または8ビット・ワードで動作しますが、DSPは28ビット・ワードで動作します。24ビットのAIGAIN、BIGAIN、CIGAIN、NIGAINレジスタは、28ビットに符号拡張され、4つのゼロが埋められて32ビット・レジスタとして送信されます (図52参照)。

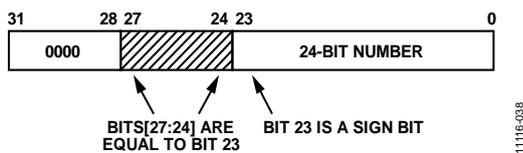


図 52. 32 ビット符号付きワードとして送信される 24 ビット xIGAIN レジスタ

ADE7933/ADE7932 と ADE7923 には温度センサーが内蔵されており、内部で第2電圧測定 V2P (第2電圧チャンネルと温度計測のセクションを参照) とマルチプレクスされています。ADE7978 は、システムで使用されるすべてのシャントが同じ温度係数を持つと仮定しています。24ビット符号付きレジスタ TEMPCO に温度係数の値が格納されています。

シャント抵抗 R は次式に従って直線的に変化すると仮定しています。

$$R = R_0 \times [1 + \varepsilon \times (T - T_0)] \quad (6)$$

ここで、

R_0 は、公称温度 T_0 でのシャント抵抗。

ε は、シャントの温度係数。

T は、シャントの温度。

抵抗での増加を補償するには、電流波形を $1 + \varepsilon \times (T - T_0)$ で除算する必要があります。 ε は非常に小さいので、この式は $1 - \varepsilon \times (T - T_0)$ で乗算することと等価です。この乗算は、各相および中性電流のデータパス信号に適用されます。

$$\text{電流波形} = \text{ADC 出力} \times [1 - \varepsilon \times (T - T_0)] \quad (7)$$

24ビット符号付き ATEMP0、BTEMP0、CTEMP0、NTEMP0 レジスタは、電力量計温度センサーのゲイン・キャリブレーションが各相で実行されたときの周囲温度 (T_0) を表します (第2電圧チャンネルと温度計測のセクションを参照)。24ビット符号付き ATEMP、BTEMP、CTEMP、NTEMP レジスタは、システム内の各 ADE7933/ADE7932 および ADE7923 の温度センサーによって測定されたシャント温度 (T) を表します。

温度センサーの測定は、ADE7978 の VT_A、VT_B、VT_C、および VT_N ピンがローに設定されたときに開始されます。結果は 1.024 秒後に最初に ATEMP、BTEMP、CTEMP、および NTEMP レジスタに格納されます (第2電圧チャンネルと温度計測のセクションを参照)。この時点で、温度補償が有効になり、8kHz の更新レートで動作します。したがって、ATEMP、BTEMP、CTEMP、NTEMP は、式7の温度 (T) を表します。

式8は、電流波形温度補償の機能を数学的に説明しています。

$$\text{電流波形} = \text{ADC 出力} \times \left[\left(1 + \frac{\text{IGAIN}}{2^{23}} \right) \times \left[1 - \frac{\text{TEMPCO}}{2^{23}} \times \left(\frac{\text{TEMP}}{2^{23}} - \frac{\text{TEMPO}}{2^{23}} \right) \right] \right] \quad (8)$$

ここで、TEMPCO、TEMP、TEMPO は、それぞれ TEMPCO レジスタ、xTEMP レジスタ、xTEMPO レジスタの内容を表します。

温度補償を実施する簡単な方法は、ゲイン補償なしの温度計測値を使用することです (第2電圧チャンネルと温度計測のセクションを参照)。xTEMP および xTEMPO レジスタには、温度センサーの測定値が格納されます。24ビット符号付きレジスタ TEMPCO を次の値に設定します。

$$\text{TEMPCO} = \varepsilon \times k \times 2^{46} \quad (9)$$

ここで、

ε は、シャントの温度係数。

$k = 8.72101 \times 10^{-5}$ であり、温度計測のゲイン補正値。

例えば、 $\varepsilon = 50 \text{ ppm}/^\circ\text{C}$ の場合、

$$\text{TEMPCO} = \text{round} (50 \times 10^{-6} \times 8.72101 \times 10^{-5} \times 2^{46}) = 306,843 = 0x4AE9B$$

TEMPCO レジスタに書き込むことができる最大値は 0x7FFFFFFF です。この値は最大温度係数に変換され、以下に等しくなるように補償できます。

$$\varepsilon_{\text{MAX}} = \frac{1}{2^{23} \times 8.72101 \times 10^{-5}} = 1367 \text{ ppm}/^\circ\text{C}$$

電流チャンネルの HPF

ADC の出力には DC オフセットが含まれているため、電力および実効値の計算に誤差が生じる可能性があります。相および中性電流の信号経路、および相電圧の信号経路にハイパス・フィルタ (HPF) が配置されています。HPF がイネーブルされると、フィルタは電流チャンネルの DC オフセットを除去します。電流チャンネルと電圧チャンネルの双方のフィルタがすべて DSP に実装されており、デフォルトでイネーブルされています。すなわち、CONFIG レジスタ (アドレス 0xE618) のビット 4 (HPFEN) が 1 にセットされています。ビット 4 (HPFEN) を 0 に設定すると、すべてのフィルタがディスエーブルされます。

電流チャンネルのサンプリング

電流チャンネルの波形サンプルは、HPF の出力で取り込まれ、24 ビット符号付きの IAWV、IBWV、ICWV、INWV レジスタに 8kSPS のレートで格納されます。すべての電力と実効値の計算がこのプロセス中に中断されることはありません。

IAWV、IBWV、ICWV、INWV レジスタが I²C または SPI シリアル・ポートを使用して読み出せるようになったときに、STATUS0 レジスタ (アドレス 0xE502) のビット 17 (DREADY) がセットされます。MASK0 レジスタ (アドレス 0xE50A) のビット 17 (DREADY) をセットすると、DREADY フラグのセット時に割込みがイネーブルされます。DREADY ビットの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

更に、CONFIG レジスタのビット [1:0] (ZX_DREADY) を 00 に設定している場合、ZX/DREADY ピンで DREADY 機能が選択されます。この場合、STATUS0 レジスタの DREADY ビットが 1 にセットされた約 70ns 後に、このピンはロー・レベルになります。ZX/DREADY ピンは 10 μ s 間ローを維持し、その後ハイに戻ります。

ZX/DREADY ピンのローからハイへの遷移は、波形サンプル・レジスタのバースト読出しを開始させるのに使用できます。詳細については、I²C バースト読出し動作と SPI バースト読出し動作のセクションを参照してください。

ZX/DREADY ピンで ZX 機能を使用する場合 (CONFIG レジスタの ZX_DREADY ビットを 01、10、または 11 に設定している場合) の詳細については、ゼロ交差検出のセクションを参照してください。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。24 ビット符号付き IAWV、IBWV、ICWV、INWV レジスタが ADE7978 から読み出されるとき、これらは符号拡張 32 ビット・レジスタとして送信されます (図 53 参照)。

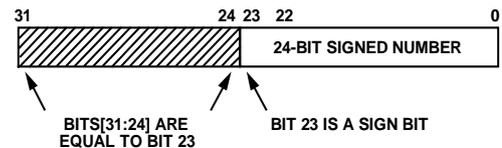


図 53. 32 ビット符号付きワードとして送信される 24 ビット IxWV レジスタ

ADE7978 には、波形サンプル・レジスタへの高速アクセスを提供するように特別に設計された高速データ・キャプチャ (HSDC) ポートが内蔵されています。詳細については、HSDC インターフェースのセクションを参照してください。

電圧チャンネルの ADC

このデータシートでは、A 相、B 相、C 相をモニタする ADE7933/ADE7932 デバイスの電圧チャンネルで得られた測定値をそれぞれ VA、VB、VC と呼びます。中性電流をモニタする ADE7923 デバイスの電圧チャンネルで得られた測定値を VN と呼びます (図 110 参照)。VA、VB、VC、VN は、システム内の ADE7933/ADE7932 デバイスの V1P ピンと VM ピンの間で測定される信号を表します。ADE7933/ADE7932 と ADE7923 デバイスの V2P ピンと VM ピンの間で測定される信号を、VA2、VB2、VC2、VN2 と呼びます (第 2 電圧チャンネルと温度計測のセクションを参照)。

図 54 に、電圧チャンネルでの入力 VA の ADC と信号処理チェーンを示しています (この経路は VB と VC でも同様です)。

ADC の出力は符号付き 2 の補数の 24 ビット・ワードで、8kSPS の速度で利用できます。

仕様規定されている $\pm 0.5V$ のフルスケール・アナログ入力信号で、ADC は最大の出力コード値を生成します。図 54 に、差動入力 (V1P および VM) に印加されるフルスケール電圧信号を示します。ADC 出力は -5,320,000 から +5,320,000 まで変動します。ADE7978/ADE7933/ADE7932/ADE7923 チップセットごとに異なり、この値前後になります。

V1P/V2P ピンと VM ピンの間の入力 VN/VN2 はそれぞれ中性線用の入力です。ADE7923 は、例えばアースと 3 相システムの中性との間の電圧を測定するなど、補助電圧測定に使用できます。V1P または V2P ピンで電圧をモニタしない場合は、V1P および V2P ピンを VM ピンに接続します。図 55 に示すように、これらの補助電圧のデータパスは相電圧のパスに類似しています。

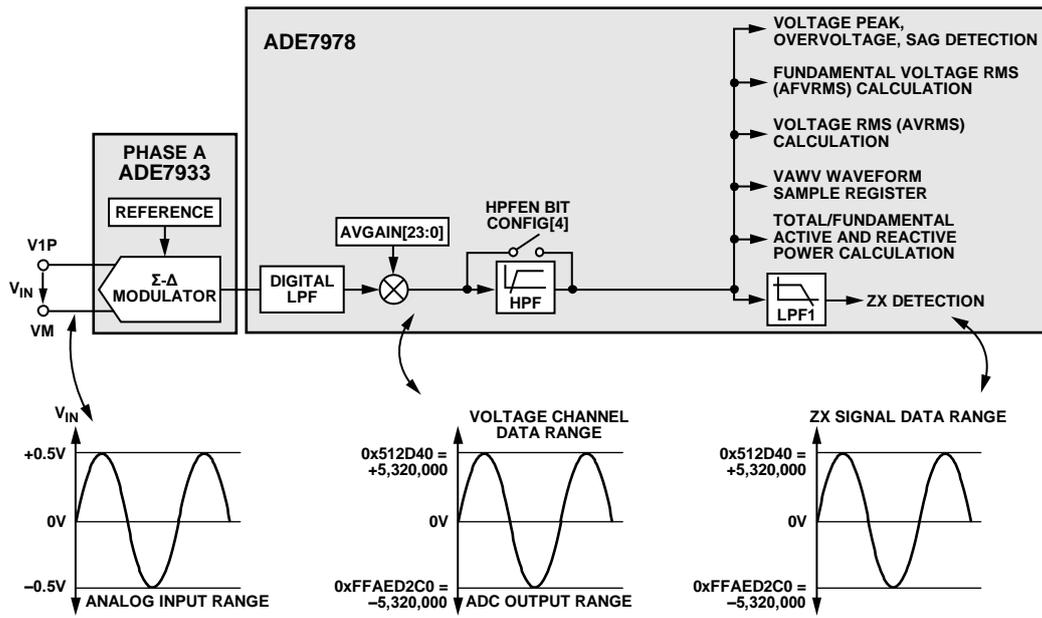


図 54. A 相からの中性電圧チャンネルへのデータパス

11116-040

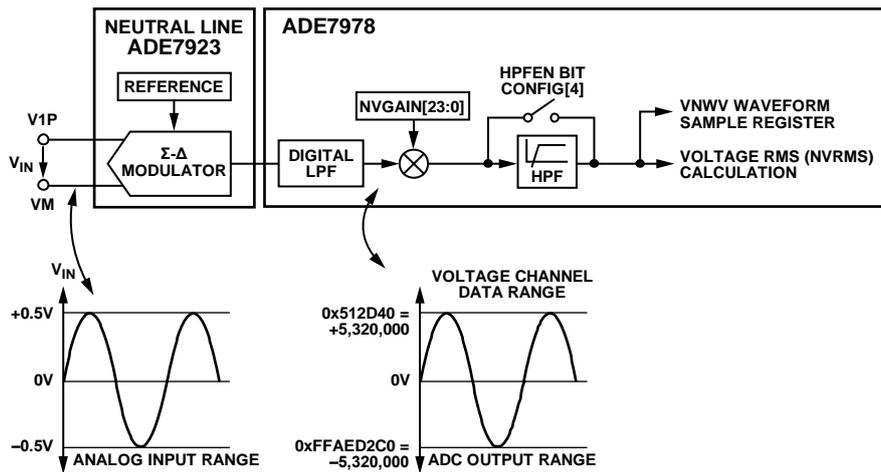


図 55. 補助電圧チャンネルのデータパス

11116-249

第2 電圧チャンネルと温度計測

図 56 に、電圧チャンネル (ADE7933 および ADE7923) の VA2 入力における ADC と信号処理のチェーンを示します。VB2、VC2、VN2 チャンネルにも同様の処理チェーンがあります。ADE7933 と ADE7923 の V2P 入力ピンは温度センサーとマルチプレクスされています。ADE7932 では、Vx2 チャンネルは使用できず、V2P ピンは VM ピンに接続する必要があります。ADE7933 では、V2P ピンで電圧をモニタしない場合は、V2P ピンを VM ピンに接続します。

ADE7933 と ADE7923 では、第2 電圧チャンネルまたは温度センサーの選択は V2/TEMP ピンの状態によって決まります。ADE7933/ADE7932 と ADE7923 の V2/TEMP ピンを ADE7978 の該当するピンに接続します (図 1 および表 17 を参照)。

表 17. ADE7933/ADE7932 および ADE7923 の V2/TEMP ピンと ADE7978 の接続

ADE7933/ADE7932 と ADE7923 がモニタする相	ADE7933/ADE7932 と ADE7923 の V2/TEMP ピンと接続される ADE7978 のピン
A 相	VT_A
B 相	VT_B
C 相	VT_C
N 相	VT_N

Vx2 チャンネルは ADE7932 では使用できませんが、V2/TEMP ピンは ADE7978 の対応する VT_A、VT_B、VT_C、または VT_N ピンに接続する必要があります。

V2/TEMP ピンは、ADE7933/ADE7932 および ADE7923 のリセット処理中でも使用されます (ハードウェア・リセットのセクションを参照)。

ADE7978 では、第2 電圧チャンネルまたは温度センサーの選択は、CONFIG3 レジスタ (アドレス 0xE708) のビット [3:0] (VN2_EN、VC2_EN、VB2_EN、VA2_EN) に基づきます。これらのビットを 1 (デフォルト値) にセットすると、VT_A、VT_B、VT_C、VT_N ピンがハイに設定され、VA2、VB2、VC2、VN2 が測定されます。これらのビットを 0 にクリアすると、VT_A、VT_B、VT_C、VT_N ピンがローに設定され、各 ADE7933/ADE7932 および ADE7923 の温度センサーが測定されます。これは、温度センサーが常時測定される ADE7932 でも同じです。

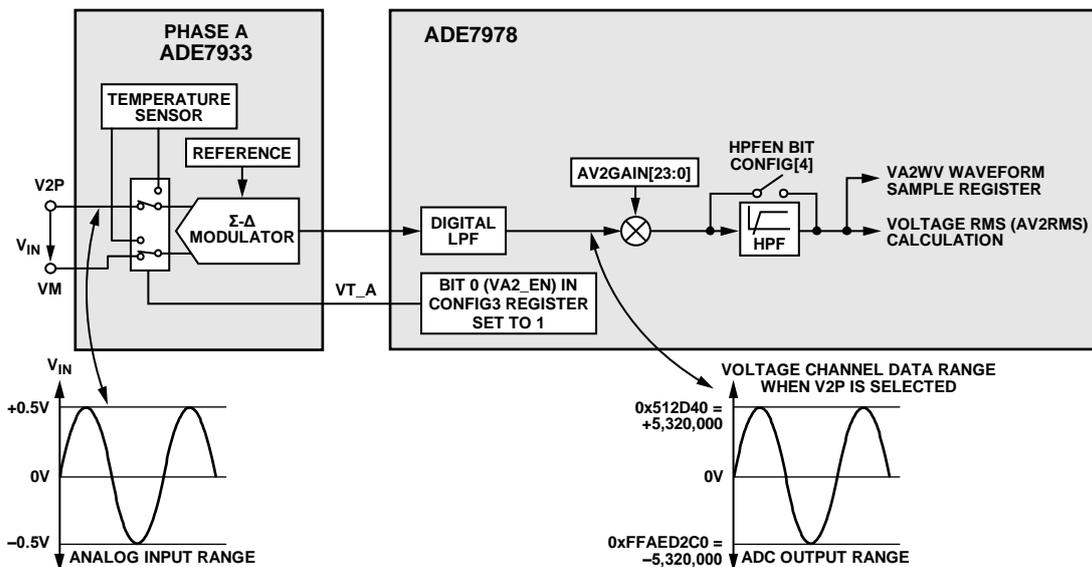


図 56. A 相の V2P チャンネル・データパス (ADE7933 および ADE7923)

11116-042

図 57 は、ADE7933/ADE7932 が A 相をモニタする場合の、温度センサーの ADC と信号処理チェーンを示しています。温度計測は、オフセット誤差とゲイン誤差によって特性評価されます。オフセット情報は、製造プロセス中に計算され、ADE7933/ADE7932 と ADE7923 で計算される符号とは反対の符号を付けて保存されます。

ADE7978 は、ビット・ストリーム通信を使用してオフセット情報を読み出します（詳細は、ADE7978 と ADE7933/ADE7932 の間のビット・ストリーム通信のセクションを参照）。ADE7978 はこの情報を 8 ビット符号付き ATEMPOS、BTEMPOS、CTEMPOS、NTEMPOS レジスタに格納します。オフセット情報は、11 ビットだけ左にシフトしてから温度データバスに追加されます。

24 ビット符号付きの温度ゲイン・レジスタ（ATGAIN、BTGAIN、CTGAIN、NTGAIN）をゲイン補償に使用して、ゲイン波形を±100%変化させることができます。例えば、これらのレジスタに 0x400000 を書き込むと、ADC 出力は 50%スケールアップします。出力を-50%スケールするには、0xC00000 をレジスタに書き込みます。式 10 は、温度波形ゲイン・レジスタの機能を数学的に説明しています。

$$\text{温度波形} = \text{ADC 出力} \times \left(1 + \frac{\text{Contents of Temp Gain Register}}{2^{23}} \right) \quad (10)$$

温度計測値は、電流ゲインの温度補償用に電流チャンネルのデータバスでも使用されます（電流波形ゲイン・レジスタのセクションを参照）。温度計測を実施する簡単な方法は、温度ゲイン・レジスタをデフォルト値のままにしておいて、温度補償経路にゲイン補正なしで温度計測値を使用させることです。

温度計測結果は、VT_A、VT_B、VT_C、VT_N ピンがローに設定されて温度センサー測定が開始してから 1.024 秒後に、24 ビット符号付き ATEMP、BTEMP、CTEMP、および NTEMP レジスタに格納されます。これらのレジスタは 8kSPS のレートで更新されます。ATEMP、BTEMP、CTEMP、NTEMP レジスタに温度計測結果が格納されるようにするには、VT_A、VT_B、VT_C、VT_N ピンを少なくとも 1.024 秒間ローに保つ必要があります。

マイクロコントローラは、次式を適用して °C 単位で表される温度計測値を取得できます。

$$\text{温度 (}^\circ\text{C)} = 8.72101 \times 10^{-5} \times \text{TEMP} - 306.47 \quad (11)$$

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 69 に示す SAGLVL レジスタと同様に、24 ビット符号付き ATEMP、BTEMP、CTEMP、NTEMP レジスタは、8MSB にゼロが埋められ、32 ビット・レジスタとして送信されます。

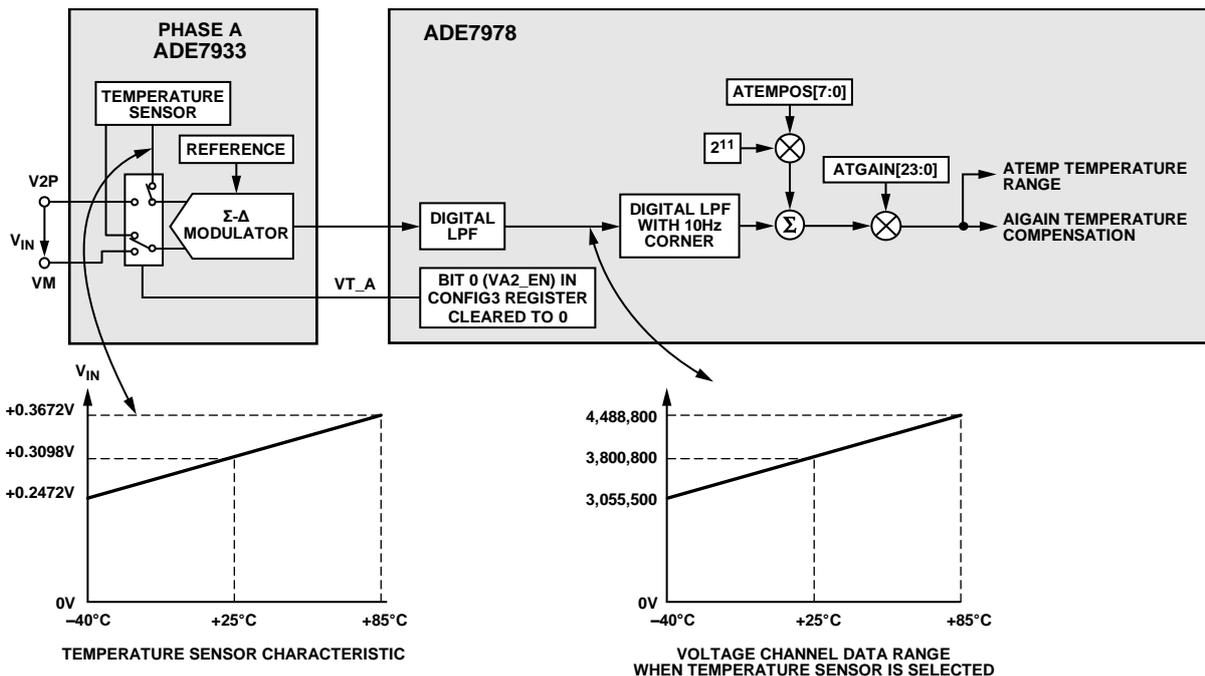


図 57. 温度計測データパス

11116-043

電圧波形ゲイン・レジスタ

各相電圧の信号経路には乗算器があります。電圧波形は、24 ビット符号付き電圧波形ゲイン・レジスタ (AVGAIN、AV2GAIN、BVGAIN、BV2GAIN、CVGAIN、CV2GAIN、NVGAIN、NV2GAIN) に 2 の補数を書き込むことによって、±100%変化させることができます。例えば、これらのレジスタに 0x400000 を書き込むと、ADC 出力は 50%スケールアップします。出力を -50%スケールさせるには、0xC00000 をレジスタに書き込みます。式 12 は、電圧波形ゲイン・レジスタの機能を数学的に説明しています。

$$\text{電圧波形} = \text{ADC 出力} \times \left(1 + \frac{\text{Contents of Voltage Gain Register}}{2^{23}} \right) \quad (12)$$

AVGAIN、AV2GAIN、BVGAIN、BV2GAIN、CVGAIN、CV2GAIN、NVGAIN または NV2GAIN レジスタの内容を変更すると、有効/無効/皮相の電力量および電流 rms 計算を含め、対応する相の電圧に基づくすべての計算が影響を受けます。更に、波形サンプルもそれに応じてスケールします。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 52 に示す xIGAIN レジスタと同様に、AVGAIN、AV2GAIN、BVGAIN、BV2GAIN、CVGAIN、CV2GAIN、NVGAIN、NV2GAIN レジスタは 28 ビットに符号拡張され、4 つの 0 が埋められて 32 ビット・レジスタとして送信されます。

電圧チャンネルの HPF

ADC の出力には DC オフセットが含まれているため、電力および実効値の計算に誤差が生じる可能性があります。相電圧および相電流および中性電流の信号経路にハイパス・フィルタ (HPF) が配置されています。HPF がイネーブルされると、フィルタにより電圧チャンネルの DC オフセットが除去されます。電圧チャンネルと電流チャンネルの双方のフィルタがすべて DSP に実装されており、デフォルトでイネーブルされています。すなわち、CONFIG レジスタ (アドレス 0xE618) のビット 4 (HPFEN) が 1 にセットされています。

電圧チャンネルでのサンプリング

電圧チャンネルの波形サンプルは、HPF の出力で取り込まれ、24 ビット符号付きの VAWV、VA2WV、VBWV、VB2WV、VCWV、VC2WV、VNWV、VN2WV レジスタに 8kSPS のレートで格納されます。すべての電力と実効値の計算は、このプロセス中に中断されることはありません。

VAWV、VA2WV、VBWV、VB2WV、VCWV、VC2WV、VNWV、および VN2WV レジスタが PC または SPI シリアル・ポートを使用して読み出せるようになったときに、STATUS0 レジスタ (アドレス 0xE502) のビット 17 (DREADY) がセットされます。MASK0 レジスタ (アドレス 0xE50A) のビット 17 (DREADY) をセットすると、DREADY フラグのセット時に割込みがイネーブルされます。DREADY ビットの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

更に、CONFIG レジスタのビット [1:0] (ZX_DREADY) を 00 に設定している場合、ZX/DREADY ピンで DREADY 機能が選択されます。この場合、STATUS0 レジスタの DREADY ビットが 1 にセットされた約 70ns 後にこのピンはロー・レベルになります。ZX/DREADY ピンは 10µs 間ローを維持し、その後ハイに戻ります。

ZX/DREADY ピンのローからハイへの遷移は、波形サンプル・レジスタのバースト読出しを開始させるのに使用できます。詳細については、PC バースト読出し動作と SPI バースト読出し動作を参照してください。

ZX/DREADY ピンで ZX 機能を使用する場合 (CONFIG レジスタの ZX_DREADY ビットを 01、10、または 11 に設定している場合) の詳細については、ゼロ交差検出のセクションを参照してください。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 53 に示す IxWV レジスタと同様に、24 ビット符号付き VAWV、VA2WV、VBWV、VB2WV、VCWV、VC2WV、VNWV、VN2WV レジスタは符号拡張 32 ビットレジスタとして送信されます。

ADE7978 には、波形サンプル・レジスタへの高速アクセスを提供するように特別に設計された高速データ・キャプチャ (HSDC) ポートが内蔵されています。詳細については、HSDC インターフェースのセクションを参照してください。

相電圧データパスの変更

ADE7978 は、1 つの相電圧入力を別の相の計算データパスに振り向けることができます。例えば、A 相の電圧を B 相の計算データパスに振り向けることができます。これは、B 相の ADE7978 によって計算されるすべての電力が A 相の電圧と B 相の電流に基づくことを意味します。表 18 に、VTOIA [1:0] ビットの設定と、A 相の計算データパスに振り向けられる相電圧の設定を示します。

表 18. VTOIA [1:0] ビット設定
(CONFIG レジスタ、ビット [9:8])

VTOIA [1:0] ビット	A 相の計算データパスに振り向けられる電圧
00 (デフォルト)	A 相電圧
01	B 相電圧
10	C 相電圧
11	A 相電圧

表 19 に、VTOIB [1:0] ビットの設定と、B 相の計算データパスに振り向けられる相電圧の設定を示します。

表 19. VTOIB [1:0] ビット設定
(CONFIG レジスタ、ビット [11:10])

VTOIB [1:0] ビット	B 相の計算データパスに振り向けられる電圧
00 (デフォルト)	B 相電圧
01	C 相電圧
10	A 相電圧
11	B 相電圧

表 20 に、VTOIC [1:0] ビットの設定と、C 相の計算データパスに振り向けられる相電圧の設定を示します。

表 20. VTOIC [1:0] ビット設定
(CONFIG レジスタ、ビット [13:12])

VTOIC [1:0] ビット	C 相の計算データパスに振り向けられる電圧
00 (デフォルト)	C 相電圧
01	A 相電圧
10	B 相電圧
11	C 相電圧

図 58 は、A 相電圧が B 相のデータパスで使用され、B 相電圧が C 相のデータパスで使用され、C 相電圧が A 相のデータパスで使用されることを示しています。

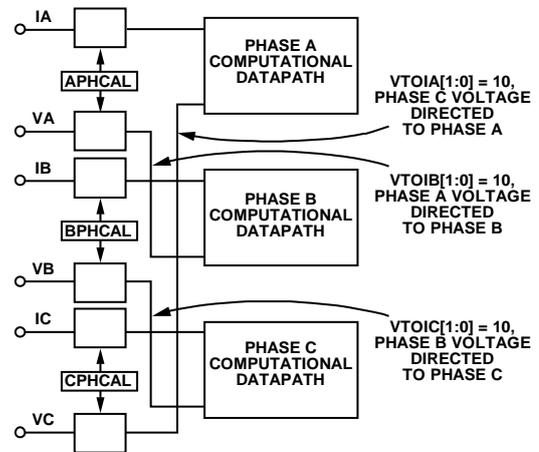


図 58. 異なるデータパスで使用される相電圧

リファレンス回路

ADE7933/ADE7932 と ADE7923 の REF ピンの公称リファレンス電圧は 1.2V です。このリファレンス電圧は ADC に使用されます。ADE7933/ADE7932 の内蔵 DC/DC コンバータは外部負荷に給電できないため、スタンドアロンの外部電圧リファレンスによって REF ピンをオーバードライブすることはできません。ADE7923 は DC/DC コンバータを内蔵していません。

ADE7933/ADE7932 と ADE7923 のリファレンス電圧は温度によって若干変動します。表 6 および表 10 は、各 ADC チャンネルの温度に対するゲイン・ドリフトを示しています。ゲイン・ドリフトには、ADC ゲインの温度変動と内部電圧リファレンスの温度変動があります。ゲイン温度ドリフトの値はデバイスによって異なります。

電力量計算では、電流用と電圧用に 2 つの ADC チャンネルが使用されるため、ゲインが x% ドリフトすると電力量計精度に 2x% の偏差が生じます。温度変化に起因するリファレンス・ドリフトは通常非常に小さいため、代表的には電力量計に対する他の要素のドリフトよりもはるかに小さいものになります。あるいは代替方法として、複数の温度で電力量計を補正することもできます。

VA2、VB2、VC2、VN2 電圧と温度センサーは ADE7933/ADE7932 と ADE7923 の第 3 の ADC を使用しているため、ゲインが x% ドリフトすると、これらの測定値には x% の偏差が生じます。

位相補償

通常、位相補償は ADE7978/ADE7933/ADE7932 および ADE7923 チップセットでは必要ありません。電流チャンネルの ADC のセクションと電圧チャンネルの ADC のセクションで説明したように、相電流と相電圧には同じデータパスが使用されます。したがって、ADE7978 によって相電流と電圧信号の間に位相誤差が加わることはありません。更に、シャントが ADE7933/ADE7932 および ADE7923 デバイスと共に使用されて相電流を検出するため、位相補償も不要です。

ADE7978 は、最終的な位相不整合誤差をデジタル補正する手段を提供します。ADE7978 では、小さな位相誤差を補償するために、シグナル処理チェーンに小さな時間遅れまたは時間進みを導入できます。

10 ビットの位相キャリブレーション・レジスタ (APHCAL、BPHCAL、CPHCAL) によって、電圧チャンネル信号経路の時間進みを $-374.0\mu\text{s}$ から $+374.0\mu\text{s}$ まで変化させることができます。xPHCAL レジスタに書き込む負の値は時間進みを表し、正の値は時間遅れを表します。1LSB は、 $0.976\mu\text{s}$ の時間遅れないし時間進み (クロック・レート 1.024MHz を仮定) に相当します。ライン周波数が 60Hz の場合、このキャリブレーションによって基本波周波数で 0.0211° ($360^\circ \times 60\text{Hz}/1.024\text{MHz}$) の位相分解能が得られ、 60Hz で $-8.079^\circ \sim +8.079^\circ$ の全補正範囲に対応します。ライン周波数が 50Hz の場合、補正範囲は $-6.732^\circ \sim +6.732^\circ$ 、分解能は 0.0176° ($360^\circ \times 50\text{Hz}/1.024\text{MHz}$) です。

相電圧をリファレンスに使用して測定し、 x 度の位相誤差がある場合、対応する LSB は x を位相分解能で除算して計算されます (60Hz の場合は $0.0211^\circ/\text{LSB}$ 、 50Hz の場合は $0.0176^\circ/\text{LSB}$)。 $-383 \sim +383$ の結果のみが許容されます。この範囲外の値は許容されません。

電流が電圧よりも進む場合、結果は負となり、絶対値が xPHCAL レジスタに書き込まれます。電流が電圧よりも遅れる場合、結果は正となり、結果に 512 が加算されてから xPHCAL レジスタに書き込まれます。

$$\text{APHCAL, BPHCAL, または CPHCAL} = \quad (13)$$

$$\left\{ \begin{array}{l} \frac{x}{\text{Phase Resolution}}, x \leq 0 \\ \frac{x}{\text{Phase Resolution}} + 512, x > 0 \end{array} \right.$$

図 60 は、位相補償を使用して、電流チャンネルの IA における、外部電流トランスデューサからの $x = -1^\circ$ の位相進み (50Hz システムの場合は $55.5\mu\text{s}$ に相当) を除去する様子を示しています。A 相の電流チャンネルでの進み (1°) をキャンセルするには、対応する電圧チャンネルに位相進みを導入する必要があります。式 13 を使用すると、APHCAL は 56.8 を切り上げ 57LSB となります。位相進みは、A 相電流に $55.73\mu\text{s}$ の時間遅れを導入することによって実現されます。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 59 に示すように、10 ビットの APHCAL、BPHCAL、CPHCAL レジスタは、6MSB に 0 が埋められて 16 ビットのレジスタとしてアクセスされます。



図 59. 16 ビット・ワードとして送信される 10 ビット xPHCAL レジスタ

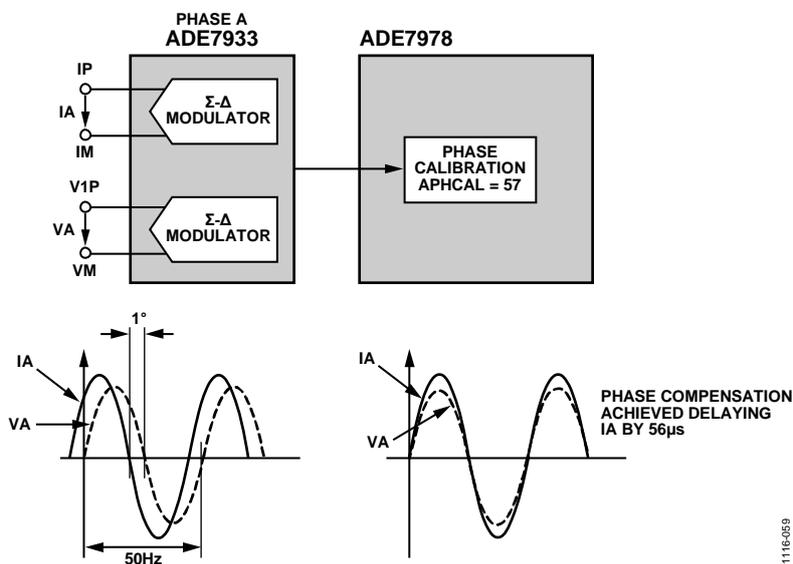


図 60. 位相キャリブレーション・プロセス

デジタル・シグナル・プロセッサ

ADE7978 には、すべての電力と実効値を計算するための特定機能を備えたデジタル・シグナル・プロセッサ (DSP) が内蔵されています。DSP にはプログラム・メモリ ROM とデータ・メモリ RAM が内蔵されています。

プログラム・メモリ ROM には電力および実効値計算に使用されるプログラムが格納されており、プロセッサはこのプログラムを 8kHz ごとに実行します。計算の終了は、STATUS0 レジスタ (アドレス 0xE502) のビット 17 (DREADY) が 1 にセットされることによって通知されます。このフラグに関連付けられている割込みは、MASK0 レジスタ (アドレス 0xE50A) のビット 17 (DREADY) をセットすることによりイネーブルできます。

割込みがイネーブルされると、計算終了時に、 $\overline{\text{IRQ0}}$ ピンがローになり DREADY ステータス・ビットが 1 にセットされます。STATUS0 レジスタのビット 17 (DREADY) に 1 を書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ0}}$ ピンがハイに戻ります。

更に、CONFIG レジスタ (アドレス 0xE618) のビット [1:0] (ZX_DREADY) を 00 に設定すると、 ZX/DREADY ピンで DREADY 機能が選択されます。この場合、STATUS0 レジスタの DREADY ビットが 1 にセットされた約 70ns 後に、 ZX/DREADY ピンがローになります。 ZX/DREADY ピンは 10 μ s 間ローを維持し、その後ハイに戻ります。

ZX/DREADY ピンのローからハイへの遷移は、波形サンプル・レジスタのバースト読出しを開始させるのに使用できます。詳細については、PC バースト読出し動作と SPI バースト読出し動作を参照してください。 ZX/DREADY ピンで ZX 機能を使用する場合 (CONFIG レジスタの ZX_DREADY ビットを 01、10、または 11 に設定する場合) の詳細については、ゼロ交差検出のセクションを参照してください。

DSP により入力として使用されるレジスタは、アドレス 0x4380 ~ 0x43BF のデータ・メモリ RAM に配置されています。このメモリ幅は 28 ビットです。DSP コア内には、DSP に 2 段のパイプラインが含まれています。つまり、1 つのレジスタを初期化する場合は、その値が RAM に書き込まれるように 2 回の追加書き込みが必要で、2 つ以上のレジスタを初期化する場合は、値が RAM に書き込まれるように最後のレジスタに 2 回の追加書き込みが必要です。

電源投入時、またはハードウェアないしソフトウェアのリセット後、DSP はアイドル・モードになります。命令は実行されません。データ・メモリ RAM にあるすべてのレジスタは、デフォルト値である 0 に初期化され、制限なく読み書きできます。DSP の起動と停止に使用される実行レジスタ (アドレス 0xE228) は 0x0000 にクリアされます。

DSP がコード実行を開始するには、実行レジスタに 0x0001 を書き込む必要があります。実行レジスタに 0x0001 を書き込む前に、データ・メモリ RAM にあるすべての ADE7978 レジスタを目的の値で初期化することを推奨します。次に、キューの最後のレジスタに更に 2 回追加書き込みしてパイプラインをフラッシュしてから、実行レジスタに 0x0001 を書き込みます。こうすると、DSP は目的とする構成で計算を開始します。

DSP のデータ・メモリ RAM (0x4380 ~ 0x43BF のアドレス) に格納されたデータの完全性を保護するために、書き込み保護メカニズムが利用できます。デフォルトでは、保護は無効化されており、アドレス 0x4380 ~ 0x43BF のレジスタには制限なしで書き込むことができます。保護を有効化すると、これらのレジスタへの書き込みは許可されません。レジスタは、書き込み保護状態とは無関係に、常に制限なく読み出すことができます。

保護を有効化するには、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込みます。

書き込み保護は、レジスタの初期化後に有効化することを推奨します。データ・メモリ RAM ベースのレジスタを変更する必要がある場合は、保護を無効化し、値を変更してから、保護を再び有効化します。レジスタ変更の際は DSP を停止する必要はありません。

保護を無効化するには、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x00 を書き込みます。

電源投入時にデータ・メモリ RAM にあるレジスタを初期化するための推奨手順は、チップセット初期化のセクションで説明します。

万一、1 つ以上のレジスタが正しく初期化されていない場合は、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x00 を書き込んで保護を無効化します。レジスタを再初期化し、キューの最後のレジスタに 3 回書き込みます。アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込むことによって、書き込み保護を有効化します。

DSP を停止する理由は特にありません。DSP を停止することなく、データ・メモリ RAM にあるレジスタを含むすべての ADE7978 レジスタを変更できます。ただし、DSP を停止するには、実行レジスタに 0x0000 を書き込む必要があります。DSP を再起動するには、以下のいずれかの手順に従う必要があります。

- データ・メモリ RAM にある ADE7978 レジスタを変更していない場合は、実行レジスタに 0x0001 を書き込んで DSP を起動します。
- データ・メモリ RAM にある ADE7978 レジスタを変更する必要がある場合は、ソフトウェアまたはハードウェア・リセットを実行し、ADE7978 のすべてのレジスタを目的の値で初期化し、書き込み保護を有効化してから、0x0001 を実行レジスタに書き込んで DSP を起動します。

電力品質の測定

ゼロ交差検出

ADE7978 は、相電流および相電圧チャンネルにゼロ交差 (ZX) 検出回路を備えています。中性電流データパスおよび第 2 電圧チャンネルにはゼロ交差検出回路はありません。ゼロ交差イベントは、様々な電力品質測定のための時間基準として、またキャリブレーション・プロセスで使用されます。

デジタル・フィルタ LPF1 の出力は、ゼロ交差イベントを生成するのに使用されます。ローパス・フィルタは、50Hz および 60Hz システムのすべての高調波を除去するため、電流および電圧チャンネルでの基本波成分におけるゼロ交差イベントを識別するのに役立ちます。

LPF1 は 80Hz にポールがあり、256kHz でクロックされます。その結果、アナログ入力信号 (IA、IB、IC、VA、VB、VC のいずれか) と LPF1 の出力との間に位相遅れが生じます。ZX 検出の誤差は、50Hz システムでは 0.0703°、60Hz システムでは 0.0843° です。LPF1 の位相遅れ応答によって、50Hz において入力と出力の間に約 31.4° (1.74ms) の時間遅れが生じます。アナログ入力のゼロ交差と LPF1 の後で得られる ZX 検出との間の全体の遅延は、50Hz で約 39.6° (2.2ms) です。ADC と HPF によって更に遅延が追加されます。ZX 検出で良好な分解能を確保するために、LPF1 をディスエーブルすることはできません。図 61 は、ゼロ交差信号がどのように検出されるかを示しています。

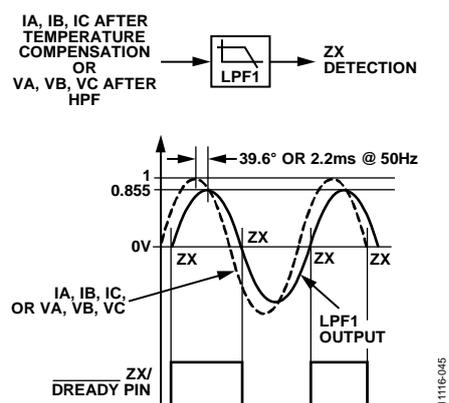


図 61. 電圧および電流チャンネルでのゼロ交差検出

ノイズからの保護を高めるために、振幅がフルスケールよりも 1000 倍低い電圧チャンネルはゼロ交差イベントを生成することはありません。電流チャンネルの ZX 検出回路は、振幅に関係なく、すべての入力信号に対して機能します。

ADE7978 には、6 つのゼロ交差検出回路が含まれています。相電圧および相電流チャンネルにそれぞれに 1 つずつ対応しています。各回路は、STATUS1 レジスタ (アドレス 0xE503) のフラグを駆動します。ゼロ交差検出回路がゼロ交差イベントを検出したときに STATUS1 レジスタにセットされるステータス・ビットを、表 21 に示します。

表 21. STATUS1 レジスタのゼロ交差ステータス・ビット

ビット番号	ビット名	ゼロ交差イベントの検出対象
9	ZXVA	A 相電圧
10	ZXVB	B 相電圧
11	ZXVC	C 相電圧
12	ZXIA	A 相電流
13	ZXIB	B 相電流
14	ZXIC	C 相電流

MASK1 レジスタ (アドレス 0xE50B) で ZX 検出ビット (ビット [14:9] のいずれか) をセットしていると、設定したゼロ交差イベントが発生したときに、IRQ1 割込みピンがローに駆動され、対応するステータス・フラグが 1 にセットされます。STATUS1 レジスタの適切なビットに 1 を書き込むと、ステータス・ビットはクリアされ、IRQ1 ピンはハイに戻ります。

デフォルトでは、ZX/DREADY ピンは DREADY 機能に設定されています。CONFIG レジスタ (アドレス 0xE618) でビット [1:0] (ZX_DREADY) をセットすることにより、ZX/DREADY ピンにゼロ交差機能を設定できます。ZX/DREADY ピンを ZX 機能に設定している場合、このピンは相電圧が正のときはハイ、相電圧が負のときはローを維持します (図 61 参照)。

ZX_DREADY ビットを 01 に設定している場合、A 相電圧でゼロ交差イベントが検出されると、ZX/DREADY ピンがトグルされると同時に STATUS1 レジスタのビット 9 (ZXVA) が 1 にセットされます。ZX_DREADY ビットを 10 または 11 に設定している場合、B 相または C 相電圧でゼロ交差イベントが検出されると、ZX/DREADY ピンがトグルされると同時に STATUS1 レジスタのビット 10 (ZXVB) またはビット 11 (ZXVC) が 1 にセットされます。

ゼロ交差タイムアウト

各ゼロ交差検出回路には、ゼロ交差イベントがトリガされた 1ms (16kHz クロックの 16 サイクル) 後にデクリメントを開始する内部タイムアウト・レジスタがそれぞれ存在します。このレジスタには、16 ビット ZXTOUT レジスタ (アドレス 0xE60D) に書き込んだ値がロードされ、62.5μs (16kHz クロック) ごとに 1LSB だけデクリメントされます。ゼロ交差が検出されるたびに、レジスタは ZXTOUT の値にリセットされます。このレジスタのデフォルト値は 0xFFFF です。ゼロ交差が検出される前にタイムアウト・レジスタが 0 にデクリメントされると、STATUS1 レジスタのビット [8:3] の 1 つが 1 にセットされます。

- STATUS1 レジスタのビット 3 (ZXTOVA)、ビット 4 (ZXTOVB)、ビット 5 (ZXTOVC) は、A 相、B 相、C 相の電圧チャンネルに対応します。
- STATUS1 レジスタのビット 6 (ZXTOIA)、ビット 7 (ZXTOIB)、ビット 8 (ZXTOIC) は、A 相、B 相、C 相の電流チャンネルに対応します。

MASK1 レジスタで ZXTOIX または ZXTOVx ビット (ビット [8:3] のいずれか) をセットしている場合、対応するステータス・ビットが 1 にセットされると、**IRQ1** 割込みピンがローに駆動されます。STATUS1 レジスタの適切なビットに 1 を書き込むと、ステータス・ビットはクリアされ、**IRQ1** ピンはハイに戻ります。

ZXTOUT レジスタの分解能は LSB あたり 62.5 μ s (16kHz クロック) です。したがって、割込みの最大タイムアウト時間は 4.096 秒、つまり 2¹⁶/16kHz です。ゼロ交差イベントがトリガされてから 1ms 後にタイマーがデクリメントを開始するため、ZXTOUT レジスタの値は次のようになります。

$$ZXTOUT = \text{希望の ZX タイムアウト} \times 16 \text{ kHz} - 16 \quad (14)$$

図 62 は、電圧または電流信号を一定の DC レベルで 62.5 μ s \times ZXTOUT μ s 以上の間保持した場合の、ゼロ交差タイムアウト検出のメカニズムを示しています。

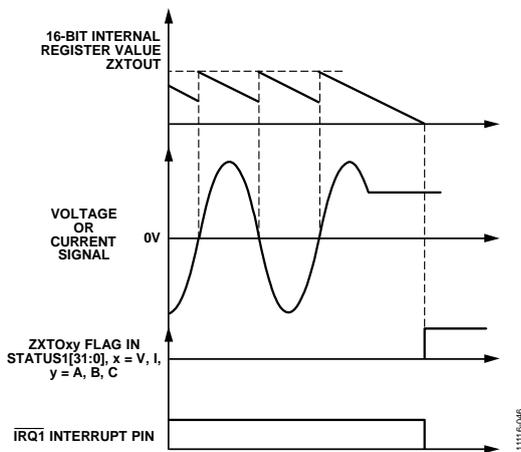


図 62. ゼロ交差タイムアウトの検出

相電圧が 0 のとき、電圧測定のノイズによって誤ってゼロ交差イベントがトリガされ、ZX タイムアウトの動作を無効にしてしまうおそれがあります。フルスケールより 1000 倍低い閾値がこの回路と組み合わせて実装されています。相電圧のピークがこの閾値より低い場合に、ZX タイムアウト・カウンタは自動的にデクリメントを開始します。

相シーケンスの検出

ADE7978 には、相シーケンス・エラー検出回路が内蔵されています。この検出は相電圧に作用し、負から正への遷移によって決定されるゼロ交差のみを考慮します。ゼロ交差イベントの正常な順序は、A 相、B 相、C 相の順です (図 63 参照)。

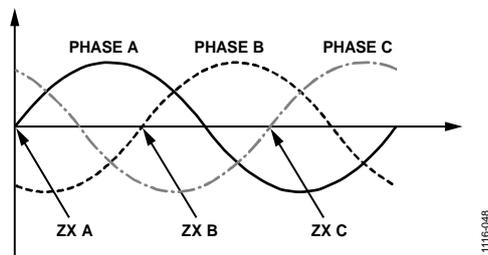


図 63. ゼロ交差イベントの正常な順序：A 相、B 相、C 相

ゼロ交差イベントのシーケンスが、代わりに A 相、C 相、B 相の順となった場合、STATUS1 レジスタのビット 19 (SEQERR) がセットされます。I MASK1 レジスタのビット 19 (SEQERR) を 1 にセットして、相シーケンス・エラー・イベントがトリガされた場合、**IRQ1** 割込みピンがローに駆動されます。STATUS1 レジスタのビット 19 (SEQERR) に 1 を書き込むと、ステータス・ビットがクリアされ、**IRQ1** ピンがハイに戻ります。

相シーケンス・エラー検出回路が機能するのは、ADE7978/ADE7933/ADE7932 および ADE7923 チップセットを 3 相 4 線式、3 電圧センサー構成 (アドレス 0xE701 にある ACCMODE レジスタのビット [5:4]、CONSEL [1:0] を 00 に設定) で接続した場合に限ります。他のすべての構成では、2 つの電圧センサーのみが使用されます。したがって、検出回路を使用することは推奨されません。これらの構成の場合、相電圧間の時間間隔を使用して相シーケンスを解析します (相間の時間間隔のセクションを参照)。

図 64 は、A 相電圧の後に B 相電圧ではなく C 相電圧が続く例を示しています。このエラーが発生すると、負から正へのゼロ交差が発生するたびに、STATUS1 レジスタのビット 19 (SEQERR) が 1 にセットされます。

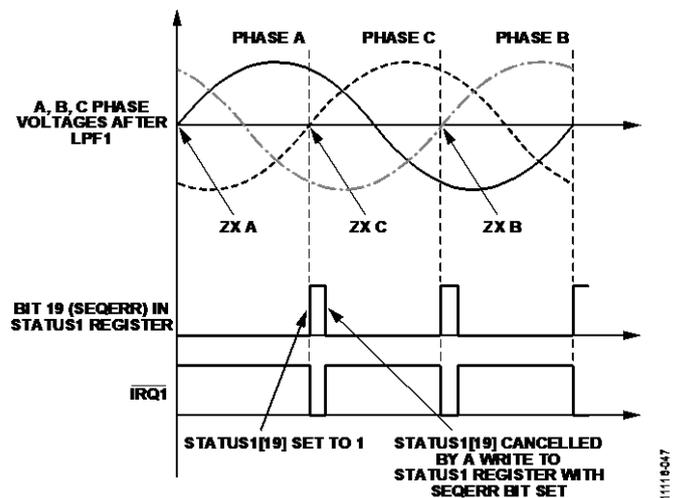


図 64. A 相電圧の後に C 相電圧が続いた場合、SEQERR ビットが 1 にセット

相シーケンス・エラーが検出された後、様々な相電圧間の時間測定を行うと、計算データパスで別の相電流と組み合わせるべき相電圧を特定するのに役立ちます (相間の時間間隔のセクションを参照)。CONFIG レジスタ (アドレス 0xE618) のビット [9:8] (VTOIA [1:0])、ビット [11:10] (VTOIB [1:0])、ビット [13:12] (VTOIC [1:0]) を使用して、ある相電圧を別の相のデータパスに送ることができます (詳細については、相電圧データパスの変更を参照してください)。

相間の時間間隔

ADE7978 は、相電圧間、相電流間、または同相の電圧と電流間の時間遅延を測定することができます。ゼロ交差検出回路によって識別される負から正への遷移は、測定の開始点および終了点として使用されます。ゼロ交差イベントは相電流および相電圧の基本波成分に基づいて識別されるので、時間間隔測定値も基本波成分に関連します。一度に使用できる時間遅延測定は 1 セットのみです。これらの測定値は、COMPmode レジスタ（アドレス 0xE60E）のビット [10:9]（ANGLESEL [1:0]）に基づきます。

ANGLESEL [1:0] ビットを 00（デフォルト値）に設定すると、同相の電圧と電流の間の遅延が測定されます（図 65 参照）。A 相電圧と A 相電流の間の遅延は、16 ビットの符号なし ANGLE0 レジスタ（アドレス 0xE601）に格納されます。B 相と C 相における電圧と電流の間の遅延は、それぞれ ANGLE1 と ANGLE2 レジスタに格納されます。

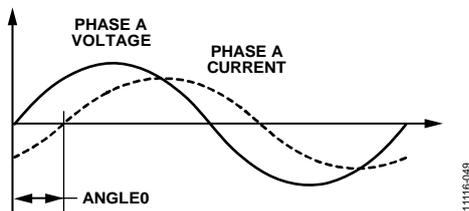


図 65. ANGLE0 レジスタに格納される A 相電圧と A 相電流の間の遅延

ANGLESEL [1:0] ビットを 01 に設定すると、相電圧間の遅延が測定されます。A 相電圧と C 相電圧の間の遅延は、ANGLE0 レジスタに格納されます。B 相電圧と C 相電圧の間の遅延は ANGLE1 レジスタに格納され、A 相電圧と B 相電圧の間の遅延は ANGLE2 レジスタに格納されます（図 66 参照）。

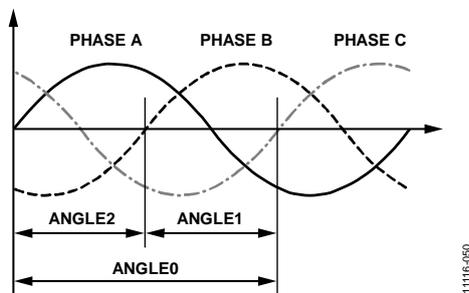


図 66. 相電圧間または相電流間の遅延

ANGLESEL [1:0] ビットを 10 に設定すると、相電流間の遅延が測定されます。A 相電流と C 相電流の間の遅延は ANGLE0 レジスタに格納され、B 相電流と C 相電流の間の遅延は ANGLE1 レジスタに格納され、A 相電流と B 相電流の間の遅延は ANGLE2 レジスタに格納されます（図 66 参照）。

ANGLE0、ANGLE1、ANGLE2 レジスタは 16 ビット符号なしレジスタで、1LSB は 3.90625μs（256kHz クロック）に相当し、50Hz システムでは 0.0703°（360° × 50Hz/256kHz）、60Hz システムでは 0.0843°（360° × 60Hz/256kHz）です。相電圧間または相電流間の遅延は、負荷の平衡度を特性評価するのに使用されます。式 15 に示すように、相電圧間および相電流間の遅延は、各相の基本波力率を計算するのに使用されます。

$$\cos\phi_x = \cos \left[ANGLE_x \times \frac{360^\circ \times f_{LINE}}{256 \text{ kHz}} \right] \quad (15)$$

ここで、 f_{LINE} はライン周波数。

周期測定

ADE7978 は、電圧チャンネルのライン周期を測定できます。各相電圧の周期の測定結果は APERIOD、BPERIOD、CPERIOD（アドレス 0xE905 からアドレス 0xE907）の 3 つのレジスタに格納されます。16 ビット符号なしの周期レジスタは、ライン周期ごとに更新されます。LPF1 フィルタ（図 61 参照）のため、周期測定は 30ms~40ms のセトリング時間後に安定します。

周期測定の分解能は 3.90625μs/LSB（256kHz クロック）であり、これはライン周波数が 50Hz のとき 0.0195%（50Hz/256kHz）、ライン周波数が 60Hz のとき 0.0234%（60Hz/256kHz）を表します。50Hz ネットワークの周期レジスタの値は約 5120（256kHz/50Hz）で、60Hz ネットワークの周期レジスタの値は約 4267（256kHz/60Hz）です。レジスタのサイズが大きいため、3.9Hz（256 kHz/2¹⁶）という低いライン周波数の測定が可能です。周期レジスタは、ラインが定まり、測定値が変化しないとき、±1LSB で安定します。

周期レジスタを使用してライン周期と周波数を計算するには、次式を使用します。

$$T_L = xPERIOD [15:0] / 256E3 \text{ (秒)} \quad (16)$$

$$f_L = 256E3 / xPERIOD [15:0] \text{ (Hz)} \quad (17)$$

相電圧のサグ検出

ADE7978 は、複数のハーフ・ライン・サイクルの間、任意の相電圧の絶対値が仕様規定されているピーク値を下回るか上回ったことを検出するように設定できます。このイベントが発生した相と、閾値を基準とした相電圧の状態は、PHSTATUS レジスタ (アドレス 0xE600) のビット [14:12] (VSPHASE [x]) で特定できます。いずれかの相が閾値を下回るか上回ったときに対応する割込みがトリガされます。

ACCMODE レジスタ (アドレス 0xE701) のビット 6 (SAGCFG) は、STATUS1 レジスタのビット 16 (サグ) が設定される方法を選択します。SAGCFG ビットを 0 (デフォルト値) にクリアした場合、相電圧が SAGLVL 閾値を下回ると、サグ・ステータス・ビットが 1 にセットされます。SAGCFG ビットを 1 にセットした場合、相電圧が SAGLVL 閾値を下回ってから上回った場合にのみ、サグ・ステータス・ビットが 1 にセットされます。

図 67 に、SAGCFG ビットを 0 にクリアした場合の ADE7978 の動作を示します。

1. A 相の電圧が、4 ハーフ・ライン・サイクル (SAGCYC = 4) の間、サグ・レベル・レジスタ (SAGLVL) で設定されている閾値を下回ります。
2. STATUS1 レジスタのビット 16 (サグ) が 1 にセットされてこの状態を示したとき、A 相電圧が SAGLVL より低いため、PHSTATUS レジスタの VSPHASE [0] ビットも 1 にセットされます。IRQ1 割込みピンがローになります。
3. マイクロコントローラは STATUS1 レジスタのビット 16 (サグ) に 1 を書き込んで、ビットをクリアし、IRQ1 割込みピンをハイに戻します。PHSTATUS レジスタの VSPHASE [0] ビットはセットされたままです。
4. A 相電圧は、更に 4 つのハーフ・ライン・サイクル (SAGCYC = 4) の間、SAGLVL 閾値を下回ったままです。
5. STATUS1 レジスタのビット 16 (サグ) が再び 1 にセットされます。IRQ1 割込みピンが再びローに設定されます。PHSTATUS レジスタの VSPHASE [0] ビットはセットされたままです。
6. 次の 4 ハーフ・ライン・サイクル (SAGCYC = 4) の間、A 相電圧は SAGLVL 閾値を上回ります。PHSTATUS レジスタの VSPHASE [0] ビットは、SAGCYC 期間の終了時に 0 にクリアされます。

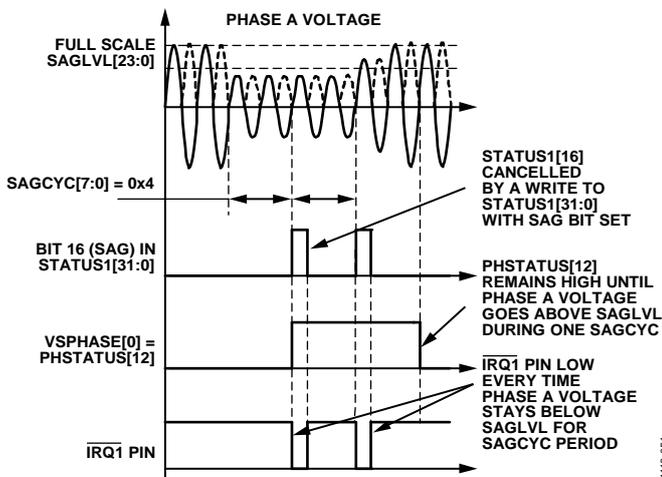


図 67. サグ検出：ACCMODE レジスタの SAGCFG ビットを 0 にクリアした場合

図 68 は、SAGCFG ビットを 1 にセットした場合の ADE7978 の動作を示しています。

7. A 相の電圧が、4 ハーフ・ライン・サイクル (SAGCYC = 4) の間、サグ・レベル・レジスタ (SAGLVL) で設定されている閾値を下回ります。
8. STATUS1 レジスタのビット 16 (サグ) が 1 にセットされて状態を示したとき、A 相電圧が SAGLVL より低いため、PHSTATUS レジスタの VSPHASE [0] ビットも 1 にセットされます。IRQ1 割込みピンがローになります。
9. マイクロコントローラは STATUS1 レジスタのビット 16 (サグ) に 1 を書き込んで、ビットをクリアし、IRQ1 割込みピンをハイに戻します。PHSTATUS レジスタの VSPHASE [0] ビットはセットされたままです。
10. A 相電圧は、更に 4 つのハーフ・ライン・サイクル (SAGCYC = 4) の間、SAGLVL 閾値を下回ったままです。
11. STATUS1 レジスタのビット 16 (サグ) は 0 にクリアされたままです。
12. 更に 4 ハーフ・ライン・サイクルの後、A 相電圧は SAGLVL 閾値を上回ります。
13. STATUS1 レジスタのビット 16 (サグ) が 1 にセットされます。IRQ1 割込みピンがローに設定されます。PHSTATUS レジスタの VSPHASE [0] ビットが 0 にクリアされます。

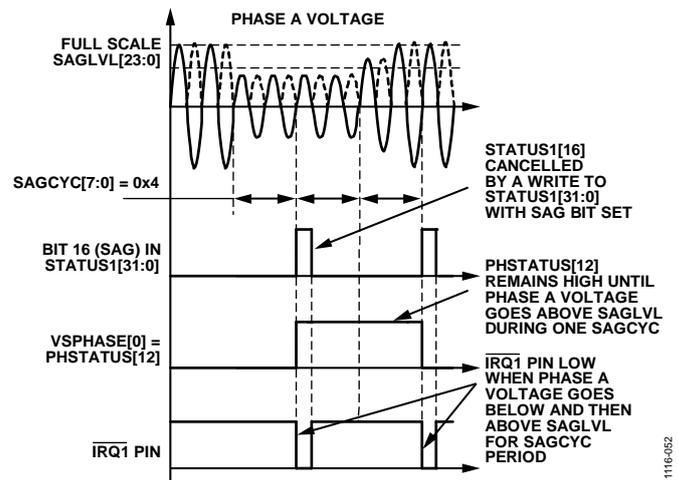


図 68. サグ検出：ACCMODE レジスタの SAGCFG ビットを 1 にセットした場合

VSPHASE [1] ビットと VSPHASE [2] ビットは、B 相と C 相のサグ・イベントを同様な方法で設定します。すなわち、B 相または C 相電圧が SAGCYC 期間中 SAGLVL を下回ると、これらのビットは 1 にセットされます。相電圧が SAGCYC 期間中に SAGLVL を上回ると、ビットは 0 に設定されます。

SAGCYC レジスタ (アドレス 0xE704) は、サグ割込みをトリガするために、SAGLVL レジスタ (アドレス 0xE509) で設定されたレベルの下または上に相電圧が維持されていなければならないハーフ・ライン・サイクル数を表します。0 は SAGCYC の有効な値ではありません。例えば、サグ・サイクル・ビット (SAGCYC [7:0]) に 0x07 の値を設定した場合、STATUS1 レジスタのサグ・フラグは、ライン電圧が閾値を下回る 7 番目のハーフ・ライン・サイクルの終了時にセットされます。

MASK1 レジスタのビット 16 (サグ) をセットして、サグ・イベントが発生すると、IRQ1 割込みピンは、STATUS1 レジスタのビット 16 (サグ) が 1 にセットされるのと同時にローに駆動されます。STATUS1 レジスタのサグ・ビットと IRQ1 ピンは、STATUS1 レジスタのビット 16 に 1 を書き込むことによってハイに戻ります。

内部ゼロ交差カウンタは常にアクティブであることに注意してください。したがって、SAGLVL レジスタをセットした場合、SAGCYC の全期間にわたって最初のサグ検出結果は得られません。SAGLYL レジスタがすでに初期化されているときに SAGCYC レジスタに書き込むと、ゼロ交差カウンタがリセットされるため、SAGCYC の全期間にわたって最初のサグ検出結果が得られます。

サグ・イベント管理の推奨手順は以下のとおりです。

1. ACCMODE レジスタのビット 6 (SAGCFG) をセットして、STATUS1 レジスタのサグ・ステータス・ビット (ビット 16) の希望する動作を選択します。
2. ビット 16 (サグ) を 1 にセットすることにより、MASK1 レジスタのサグ割込みをイネーブルします。サグ・イベントが発生すると、IRQ1 割込みピンがローになり、STATUS1 レジスタのビット 16 (サグ) が 1 にセットされます。
3. STATUS1 レジスタを読み出して、ビット 16 が 1 にセットされていることを確認します。
4. PHSTATUS レジスタ (ビット [14:12]) を読み出して、サグ・イベントが発生した (1 つまたは複数の) 相を特定します。
5. ビット 16 (サグ) を 1 にセットして、STATUS1 レジスタに書き込みます。サグ・ビットは直ちに消去されます。

サグ検出レベルの設定

サグ・レベル・レジスタ (SAGLVL [23:0]) の内容は、HPF の出力の絶対値と比較されます。SAGLVL レジスタに 5,320,000 を書き込むと、サグ検出レベルがフルスケールに設定されます (電圧チャンネルの ADC のセクションを参照)。したがって、サグ・イベントは連続的にトリガされます。SAGLVL レジスタに 0x00 または 0x01 を書き込むと、サグ検出レベルが 0 に設定されます。したがって、サグ・イベントがトリガされることはありません。

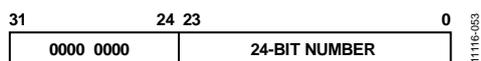


図 69. 32 ビット・ワードとして送信される 24 ビット SAGLVL レジスタ

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。SAGLVL レジスタは、8MSB が 0 で埋められて 32 ビット・レジスタとして送信されます (図 69 参照)。

ピーク検出

ADE7978 は、指定されたハーフ・ライン・サイクル数にわたって相電流および相電圧チャンネルが達した最大絶対値を記録し、32 ビットの IPEAK レジスタと VPEAK レジスタ (アドレス 0xE500 およびアドレス 0xE501) の最下位 24 ビットに格納します。

PEAKCYC レジスタ (アドレス 0xE703) には、測定のタイム・ベースとして使用されるハーフ・ライン・サイクル数が格納されます。この回路は、ゼロ交差検出回路によって識別されるゼロ交差点を使用します。MMODE レジスタ (アドレス 0xE700) のビット [4:2] (PEAKSEL [2:0]) は、ピーク測定を行う相を選択します。ビット 2 は A 相を選択し、ビット 3 は B 相を選択し、ビット 4 は C 相を選択します。

ピーク値をモニターするために複数の相を選択すると、それに比例して PEAKCYC レジスタで指定した測定期間が減少します。これは、複数の相におけるゼロ交差がこのプロセスに含まれるためです。新しいピーク値が決定されると、IPEAK レジスタのビット [26:24] (IPPHASE [2:0]) または VPEAK レジスタのビット [26:24] (VPPHASE [2:0]) により、ピーク検出イベントをトリガした相を特定できます。

例えば、ピーク値が A 相電流で識別された場合、IPEAK レジスタのビット 24 (IPPHASE [0]) が 1 にセットされます。B 相で新しいピーク値が測定されると、IPEAK レジスタのビット 24 (IPPHASE [0]) は 0 にクリアされ、ビット 25 (IPPHASE [1]) が 1 にセットされます。図 70 は、IPEAK および VPEAK レジスタの構成を示しています。

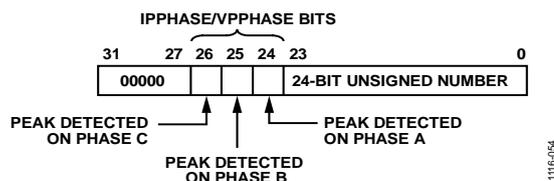


図 70. IPEAK [31:0] および VPEAK [31:0] レジスタの構成

図 71 は、A 相と B 相の測定を有効にしている場合 (MMODE レジスタの PEAKSEL [2:0] ビットを 011 に設定)、ADE7978 が電流チャンネルのピーク値を記録する様子を示しています。

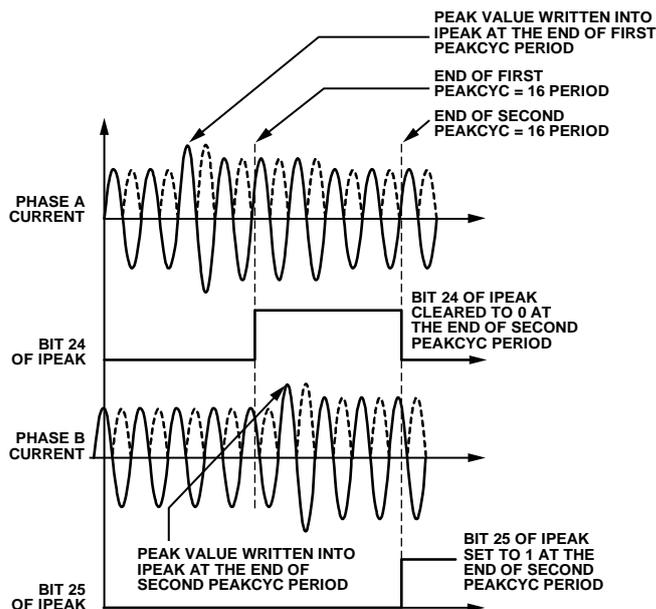


図 71. ピーク・レベル検出

この例では、PEAKCYC は 16 に設定しています。つまり、ピーク測定サイクルは 4 ライン周期です。A 相の最大絶対値は、最初の 4 ライン周期 (PEAKCYC = 16) で最大となっています。したがって、最大絶対値が IPEAK レジスタの最下位 24 ビットに書き込まれ、IPEAK レジスタのビット 24 (IPPHASE [0]) がその周期の最後に 1 にセットされます。このビットは、4 ライン・サイクルの 2 番目の PEAKCYC 周期の間、1 にセットされたままです。

B相の最大絶対値は、2番目の PEAKCYC 周期で最大になっています。したがって、最大絶対値が IPEAK レジスタの最下位 24 ビットに書き込まれ、IPEAK レジスタのビット 25 (IPPHASE [1]) がその周期の最後に 1 にセットされます。

電流チャンネルのピーク検出周期の最後に、STATUS1 レジスタのビット 23 (PKI) が 1 にセットされます。そのため、MASK1 レジスタのビット 23 (PKI) をセットしている場合、IRQ1 割込みピンが PEAKCYC 周期の終了時にローに駆動されます。同様に、電圧チャンネルのピーク検出周期の最後に、STATUS1 レジスタのビット 24 (PKV) が 1 にセットされます。MASK1 レジスタのビット 24 (PKV) をセットしている場合、IRQ1 割込みピンが PEAKCYC 周期の終了時にローに駆動されます。割込みをトリガした相を特定するには、STATUS1 レジスタの読み出し直後に IPEAK または VPEAK レジスタを読み出します。割込みをトリガした相を特定した後、STATUS1 レジスタのビット 23 (PKI) またはビット 24 (PKV) に 1 を書き込むことにより、ステータス・ビットがクリアされ、IRQ1 ピンがハイに戻ります。

内部ゼロ交差カウンタは常にアクティブであることに注意してください。したがって、MMODE レジスタのビット [4:2] (PEAKSEL [2:0]) をセットしている場合、PEAKCYC の全周期にわたって最初のピーク検出結果は得られません。PEAKSEL [2:0] ビットがすでに初期化されているときに PEAKCYC レジスタに書き込むと、ゼロ交差カウンタがリセットされるため、PEAKCYC の全周期にわたって最初のピーク検出結果が得られます。

過電圧および過電流の検出

ADE7978 は、相電圧および相電流チャンネルで測定された瞬時絶対値が、24 ビット符号なし OVLVL および OILVL レジスタ (アドレス 0xE508 およびアドレス 0xE507) で設定されている閾値を超えることを検出します。

過電圧検出

MASK1 レジスタのビット 18 (OV) をセットしている場合、過電圧イベントが発生すると、IRQ1 割込みピンがローに駆動されます。過電圧イベントが発生すると、2 つのステータス・フラグ (STATUS1 レジスタのビット 18 (OV) と、PHSTATUS レジスタ (アドレス 0xE600) のビット [11:9] (OVPHASE [2:0]) の 1 ビット) がセットされます。OVPHASE [2:0] ビットは過電圧を発生した相を示します。STATUS1 レジスタのビット 18 (OV) に 1 を書き込むことにより、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット [11:9] (OVPHASE [2:0]) がクリアされ、IRQ1 ピンがハイにセットされます。

図 72 は、A 相電圧での過電圧検出を示しています。電圧の絶対瞬時値が OVLVL レジスタに設定されている閾値を超えると、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット 9 (OVPHASE [0]) が 1 にセットされます。STATUS1 レジスタのビット 18 (OV) に 1 を書き込むと、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット 9 (OVPHASE [0]) がクリアされます。

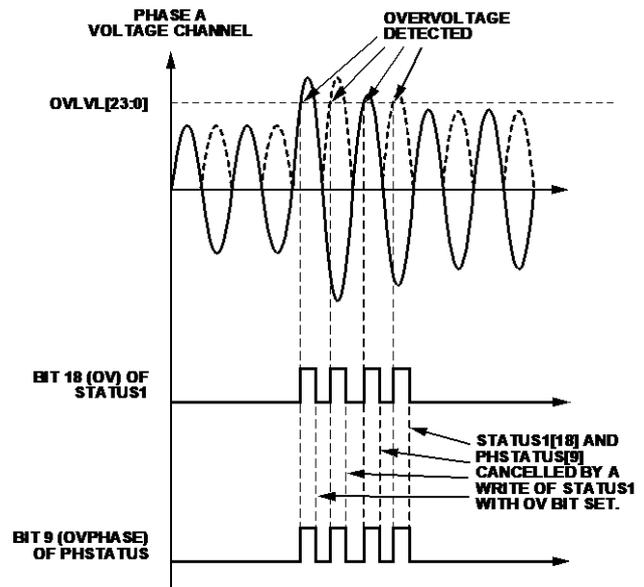


図 72. 過電圧検出

過電圧イベントを管理するための推奨手順は以下のとおりです。

1. ビット 18 (OV) を 1 にセットして、MASK1 レジスタの過電圧割込みをイネーブルします。
2. 過電圧イベントが発生すると、IRQ1 割込みピンがローになり、STATUS1 レジスタのビット 18 (OV) が 1 にセットされます。
3. STATUS1 レジスタを読み出して、ビット 18 が 1 にセットされていることを確認します。
4. PHSTATUS レジスタ (ビット [11:9]) を読み出して、過電圧イベントが発生した (1 つまたは複数の) 相を特定します。
5. STATUS1 レジスタのビット 18 (OV) に 1 を書き込み、PHSTATUS レジスタのビット 18 とビット [11:9] (OVPHASE [2:0]) をクリアします。IRQ1 割込みピンはハイに戻ります。

過電流検出

MASK1 レジスタのビット 17 (OI) をセットしている場合、過電流イベントが発生すると、IRQ1 割込みピンがローに駆動されます。過電流イベントが発生すると、2 つのステータス・フラグ (STATUS1 レジスタのビット 17 (OI) と PHSTATUS レジスタのビット [5:3] (OIPHASE [2:0]) の 1 ビット) がセットされます。OIPHASE [2:0] ビットは、過電流を発生した相を示します。過電流イベントを管理するための推奨手順は以下のとおりです。

1. ビット 17 (OI) を 1 にセットして、MASK1 レジスタの過電流割込みをイネーブルします。
2. 過電流イベントが発生すると、IRQ1 割込みピンがローになり、STATUS1 レジスタのビット 17 (OI) が 1 にセットされます。
3. STATUS1 レジスタを読み出して、ビット 17 が 1 にセットされていることを確認します。
4. PHSTATUS レジスタ (ビット [5:3]) を読み出して、過電流イベントが発生した (1 つまたは複数の) 相を特定します。
5. STATUS1 レジスタのビット 17 (OI) に 1 を書き込み、PHSTATUS レジスタのビット 17 とビット [5:3] (OIPHASE [2:0]) をクリアします。IRQ1 割込みピンはハイに戻ります。

過電圧および過電流のレベル設定

24 ビットの符号なし過電圧 (OVLVL) レジスタと過電流 (OILVL) レジスタの内容が、電圧および電流チャンネルの絶対値と比較されます。これらのレジスタの最大値は、HPF 出力の最大値、つまり 5,320,000 です。OVLVL または OILVL レジスタがこの値の場合、過電圧または過電流状態が検出されることはありません。これらのレジスタに 0x0 を書き込むと、過電圧または過電流の状態が継続的に検出され、対応する割込みが継続的にトリガされます。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。SAGLVL レジスタと同様に、OILVL および OVLVL レジスタは 8 MSB が 0 で埋められて 32 ビット・レジスタとして送信されます (図 69 参照)。

中性電流の不整合

3 相システムでは、中性電流は相電流の代数和に等しくなりません。

$$I_N(t) = I_A(t) + I_B(t) + I_C(t)$$

これらの 2 つの量の間に不整合がある場合、システムに不具合が生じている可能性があります。

ADE7978 は、IAWV、IBWV、ICWV レジスタ (アドレス 0xE50C~アドレス 0xE50E) の内容を加算し、結果を 28 ビット符号付き ISUM レジスタ (アドレス 0x43CA) に格納することによって、相電流の合計を計算します。

$$I_{SUM}(t) = I_A(t) + I_B(t) + I_C(t)$$

ISUM 値は、電流サンプルが得られるレートである 125μs (8kHz 周波数) ごとに計算されます。STATUS0 レジスタのビット 17 (DREADY) は、ISUM レジスタの読出しが可能になったことを通知するのに使用されます。DREADY ビットの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

ISUM レジスタから $I_{SUM}(t)$ 値を復元するには、次式を使用します。

$$I_{SUM}(t) = \frac{ISUM[27:0]}{ADC_{MAX}} \times I_{FS}$$

ここで、

$ADC_{MAX} = 5,320,000$ 、入力がフルスケールであるときの ADC 出力。

I_{FS} は、フルスケールの ADC 相電流。

ADE7978 は、CONFIG レジスタのビット 14 (INSEL) を 1 にセットしている場合、ISUM の実効値を計算し、NIRMS レジスタ (アドレス 0x43C9) に格納します。詳細については、電流実効値の計算のセクションを参照してください。

ACCMODE レジスタのビット [5:4] (CONSEL [1:0]) を 01 (3 線式デルタ構成の電力計機能) に設定した場合、B 相の ADE7933/ADE7932 は接続されず、HPF によって出力される IBWV 値は 0 になります。この場合、ISUM は B 相電流の負の推定値 (-IBWV) を表します。CONFIG レジスタのビット 14 (INSEL) を 1 にセットした場合、NIRMS レジスタには B 相電流の実効値が格納されます。

ADE7978 は、ISUM の絶対値と INWV レジスタの中性電流の差を計算し、その絶対値を ISUMLVL レジスタ (アドレス 0x4398) で設定されている閾値と比較します。

$|ISUM| - |INWV| \leq |ISUMLVL|$ の場合、中性電流が相電流の和に等しく、システムが正常に機能しているとみなされます。

$|ISUM| - |INWV| > |ISUMLVL|$ の場合、不具合が発生している可能性があります。STATUS1 レジスタのビット 20 (MISMTCH) が 1 にセットされます。MASK1 レジスタのビット 20 (MISMTCH) をセットすることにより、フラグに関連付けられた割込みを許可できます。割込みが許可されている場合、MISMTCH ステータス・ビットが 1 にセットされたときに IRQ1 ピンがローに設定されます。STATUS1 レジスタのビット 20 (MISMTCH) に 1 を書き込むことによって、このステータス・ビットはクリアされ、IRQ1 ピンがハイに戻ります。

$|ISUM| - |INWV| \leq |ISUMLVL|$ の場合、MISMTCH ビット = 0。

$|ISUM| - |INWV| > |ISUMLVL|$ の場合、MISMTCH ビット = 1。

このプロセスで使用される正の閾値である ISUMLVL は、24 ビット符号付きレジスタです。これは絶対値との比較に使用されるため、ISUMLVL は必ず 0x00000~0x7FFFFFF の正の値に設定します。ISUMLVL は、電流 ADC の出力と同じスケールを使用します。したがって、ISUMLVL レジスタに 5,320,000 を書き込むと、不整合検出レベルがフルスケールに設定されます (詳細については、電流チャンネルの ADC のセクションを参照)。0x000000 (デフォルト値) または負の値を ISUMLVL レジスタに書き込むと、MISMTCH イベントが常にトリガされます。電源投入後またはハードウェアないしソフトウェアのリセット後、アプリケーションに適切な値を ISUMLVL レジスタに書き込み、MISMTCH イベントが継続的にトリガされるのを回避します。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。28 ビット符号付き ISUM レジスタは、4MSB が 0 で埋められて 32 ビット・レジスタとして送信されます (図 73 参照)。



図 73. 32 ビット・ワードとして送信される 28 ビット ISUM レジスタ

図 52 に示す xIGAIN レジスタと同様に、ISUMLVL レジスタは 28 ビットに符号拡張され、4 つの 0 が埋められて 32 ビット・レジスタとして送信されます。

実効値測定

実効値 (rms) は、AC 信号の大きさを表す値です。この値には実用的な定義と数学的な定義があります。実用的な定義では、ある AC 信号に割り当てられる実効値とは、負荷に同量の熱を発生させるのに必要な DC の大きさです。数学的には、連続信号 $f(t)$ の実効値は次のように定義されます。

$$f_{rms} = \sqrt{\frac{1}{T} \int_0^T f^2(t) dt} \quad (18)$$

時間サンプリングされた信号の実効値計算では、信号値を二乗して平均値を算出し、その平方根を求めます。

$$f_{rms} = \sqrt{\frac{1}{N} \sum_{n=1}^N f^2[n]} \quad (19)$$

式 19 では、高調波を含む信号の実効値計算には基本波だけでなく、すべての高調波の寄与分が含まれることが示されています。

実効値の計算で ADE7978 が使用する方法は、入力信号の二乗をローパス・フィルタ (LPF) で処理し、その平方根を算出する方法です (図 74 参照)。入力信号 $f(t)$ を高調波成分の総和として書き表すと、次のようになります。

$$f(t) = \sum_{k=1}^{\infty} F_k \sqrt{2} \sin(k\omega t + \gamma_k) \quad (20)$$

$f(t)$ を二乗すると、

$$f^2(t) = \sum_{k=1}^{\infty} F_k^2 - \sum_{k=1}^{\infty} F_k^2 \cos(2k\omega t + 2\gamma_k) + 2 \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} F_k \times F_m \sin(k\omega t + \gamma_k) \times \sin(m\omega t + \gamma_m) \quad (21)$$

LPF と平方根の処理後、 $f(t)$ の実効値は次式で求められます。

$$f = \sqrt{\sum_{k=1}^{\infty} F_k^2} \quad (22)$$

この方法に基づく実効値計算は、すべての電流および電圧の入力チャンネルで同時に処理されます。結果は、次の 24 ビット・レジスタに格納されます。AIRMS、AVRMS、AV2RMS、BIRMS、BVRMS、BV2RMS、CIRMS、CVRMS、CV2RMS、NIRMS (アドレス 0x43C0~アドレス 0x43C9)、NVRMS および NV2RMS (アドレス 0xE530 およびアドレス 0xE531)。

更に、ADE7978 は、相電流と相電圧の基本波実効値を計算し、次の 24 ビット・レジスタに格納します。AFIRMS、BFIRMS、CFIRMS、AFVRMS、BFVRMS、CFVRMS (アドレス 0xE537~アドレス 0xE53C)。

電流実効値の計算

ここでは、すべての相電流と中性電流の実効値の計算方法について説明します。図 74 は、電流チャンネルの 1 つの相で実効値計算を行うための信号処理チェーンを示しています。電流チャンネルの実効値は、電流チャンネルで使用されているサンプルを基に処理されます。

電流実効値は符号付き 24 ビット値で、AIRMS、BIRMS、CIRMS、NIRMS レジスタに格納されます。基本波成分の実効値は、AFIRMS、BFIRMS、CFIRMS レジスタに格納されます。電流実効値測定の更新レートは 8kHz です。

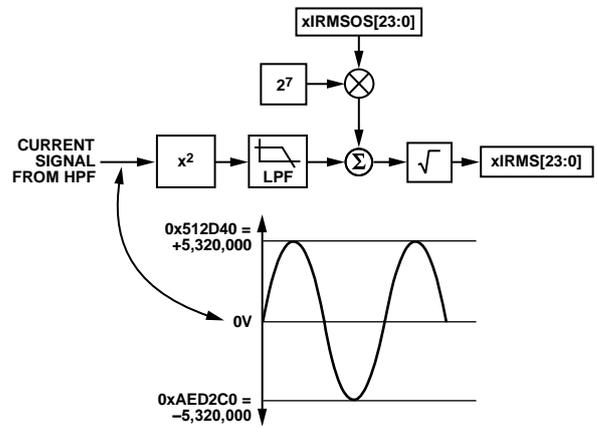


図 74. 電流実効値の信号処理

CONFIG レジスタのビット 14 (INSEL) を 0 (デフォルト値) にクリアすると、NIRMS レジスタに中性電流の実効値が格納されます。INSEL ビットを 1 にセットすると、NIRMS レジスタには相電流の瞬時値を合計した実効値が格納されます。3 相 3 線式デルタ構成では B 相電流は測定されないため、INSEL ビットを 1 にセットしている場合、推定実効値は NIRMS に等しくなります。詳細については、中性電流不整合のセクションを参照してください。

アナログ入力信号が仕様規定されているフルスケールである 31.25mV の場合、ADC は約 5,320,000 の出力コードを生成します。フルスケール正弦波信号の等価実効値は 3,761,808 で、ライン周波数とは独立しています。

電流実効値の精度は、フルスケール入力から、フルスケール入力の 1/1000 まですべて 0.1% 誤差 (代表値) です。この測定の帯域幅は 3.3kHz です。

実効値測定の安定性を確保するには、以下の手順を実行します。

14. 実効値レジスタは、ライン・サイクルごとに少なくとも 1 回、1 秒以上読み出します。
15. 指示値の平均をとって実効値を求めます。

電流実効値測定のセトリング時間は、50Hz と 60Hz の入力信号に対していずれも 580ms です。電流実効値測定のセトリング時間とは、電流チャンネルへの入力値が、0 から開始したときに実効値レジスタに反映されるのにかかる時間です。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。24 ビット符号付き xIRMS および xFIRMS レジスタは、8MSB が 0 で埋められて 32 ビット・レジスタとして送信されます (図 75 参照)。

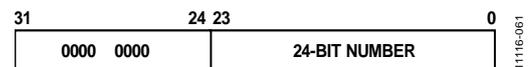


図 75. 32 ビット・ワードとして送信される 24 ビット xIRMS および xFIRMS レジスタ

電流実効値のオフセット補償

ADE7978 には、各相に以下の電流実効値オフセット補償レジスタが内蔵されています。AIRMSOS、AFIRMSOS、BIRMSOS、BFIRMSOS、CIRMSOS、CFIRMSOS、NIRMSOS。これらの 24 ビット符号付きレジスタは、電流実効値計算でオフセットを除去するのに使用されます。積算された入力ノイズが $I(t)$ の直流成分に含まれることにより、実効値計算にオフセットが生じることがあります。電流実効値オフセット補償レジスタは 7 ビット左にシフトされ、二乗された電流実効値に加算してから平方根が実行されます。電流実効値計算での最大値がフルスケール AC 入力 (50Hz または 60Hz) で 3,761,808 であると仮定すると、電流実効値オフセットの 1LSB はフルスケールから 60dB 低い以下の実効値測定値を表します。

$$0.00045\% = \left(\frac{\sqrt{3761^2 + 128}}{3761} - 1 \right) \times 100$$

低電流でオフセットのキャリブレーションを実行します。キャリブレーションの目的では、ゼロの電流を使用しないでください。

$$I_{rms} = \sqrt{I_{rms0}^2 + 128 \times IRMSOS} \quad (23)$$

ここで、 I_{rms0} はオフセット補正なしの実効値測定値です。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 52 に示す xIGAIN レジスタと同様に、24 ビットの xIRMSOS および xFIRMSOS レジスタは、28 ビットに符号拡張され、4 つの 0 が埋められて 32 ビット・レジスタとして送信されます。

電圧実効値の計算

図 76 は、電圧チャンネルの 1 つの相で実効値計算を行うための信号処理チェーンを示しています。電圧チャンネルの実効値は、電圧チャンネルで使用されているサンプルを基に処理されます。電圧実効値は符号付き 24 ビット値で、AVRMS、AV2RMS、BVRMS、BV2RMS、CVRMS、CV2RMS、NVRMS、NV2RMS レジスタに格納されます。基本波成分の実効値は、AFVRMS、BFVRMS、CFVRMS レジスタに格納されます。電圧実効値測定の更新レートは 8kHz です。

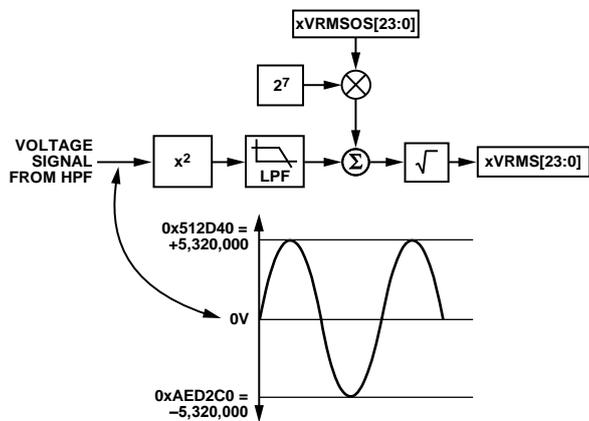


図 76. 電圧実効値の信号処理

アナログ入力信号が仕様規定されているフルスケールである 0.5V の場合、ADC は約 5,320,000 の出力コードを生成します。フルスケール正弦波信号の等価実効値は 3,761,808 で、ライン周波数とは独立しています。

電圧実効値の精度は、フルスケール入力から、フルスケール入力の 1/1000 までで 0.1% 誤差 (代表値) です。この測定の帯域幅は 3.3kHz です。

実効値測定の安定性を確保するには、以下の手順を実行します。

1. 実効値レジスタは、ライン・サイクルごとに少なくとも 1 回、1 秒以上読み出します。
2. 指示値の平均をとって実効値を求めます。

電圧実効値測定のセトリング時間は、50Hz と 60Hz の入力信号に対していずれも 580ms です。電圧実効値測定のセトリング時間とは、電圧チャンネルへの入力値が、0 から開始したときに実効値レジスタに反映されるのにかかる時間です。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。24 ビット符号付きの AVRMS、AFVRMS、AV2RMS、BVRMS、BFVRMS、BV2RMS、CVRMS、CFVRMS、CV2RMS、NVRMS、NV2RMS レジスタは、8MSB に 0 が埋められて 32 ビット・レジスタとして送信されます (図 75 参照)。

電圧実効値オフセット補償

ADE7978 は、各相に次のような電圧実効値オフセット補償レジスタを内蔵しています。AVRMSOS、AFVRMSOS、AV2RMSOS、BVRMSOS、BFVRMSOS、BV2RMSOS、CVRMSOS、CFVRMSOS、CV2RMSOS、NVRMSOS、NV2RMSOS。これらの 24 ビット符号付きレジスタは、電圧実効値の計算でオフセットを除去するのに使用されます。積算された入力ノイズが $V(t)$ の直流成分に含まれることにより、実効値計算にオフセットが生じることがあります。電圧実効値オフセット補償レジスタは 7 ビット左にシフトされ、二乗された電圧実効値に加算してから平方根が実行されます。電圧実効値計算での最大値がフルスケール AC 入力 (50Hz または 60Hz) で 3,761,808 であると仮定すると、電圧実効値オフセットの 1LSB はフルスケールから 60dB 低い以下の実効値測定値を表します。

$$0.00045\% = \left(\frac{\sqrt{3761^2 + 128}}{3761} - 1 \right) \times 100$$

低電圧でオフセットのキャリブレーションを実行します。キャリブレーションの目的ではゼロの電圧を使用しないでください。

$$V_{rms} = \sqrt{V_{rms0}^2 + 128 \times VRMSOS} \quad (24)$$

ここで、 V_{rms0} はオフセット補正なしの実効値測定値です。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 52 に示す xIGAIN レジスタと同様に、24 ビットの xVRMSOS、xV2RMSOS、xFVRMSOS レジスタは 28 ビットに符号拡張され、4 つの 0 が埋められて 32 ビット・レジスタとして送信されます。

デルタ構成での電圧実効値

3相3線式デルタ構成では、B相がシステムのグラウンドとみなされ、それを基準にしてA相とC相の電圧が測定されます（図113参照）。この構成は、ACCMODEレジスタ（アドレス0xE701）のビット[5:4]（CONSEL[1:0]）を01に設定して選択します。表24に、ADE7978が使用できるすべての構成を示します。

3相3線式デルタ構成（図77参照）では、B相の有効/無効/皮相の電力量はすべて0です。ADE7978は、A相電圧からC相電圧（未補償かつフィルタ処理されていない瞬時値）を減算し、それらを通常のB相データパスに送ります。すなわち、 $V_B = V_A - V_C$ です。結果の実効値、つまりA相とC相の間のライン電圧が計算され、BVRMSレジスタに格納されます。BFVRMSレジスタには、BVRMSライン電圧の基本波成分の実効値が格納されます。

BVGAIN、BPHCAL、BVRMSOS、およびBFVRMSOSレジスタを使用して、この構成で計算されたBVRMSおよびBFVRMSレジスタを補正できます。

3相4線式デルタ構成では、B相電圧は検出されず、A相およびC相電圧は中性線を基準として測定されます（図114参照）。この構成は、ACCMODEレジスタのビット[5:4]（CONSEL[1:0]）を11に設定して選択します。

3相4線式デルタ構成（図78参照）では、ADE7978は、A相電圧（未補償かつフィルタ処理されていない瞬時値）の逆相を計算し、その値を通常のB相データパスに送ります。すなわち、 $V_B = -V_A$ です。

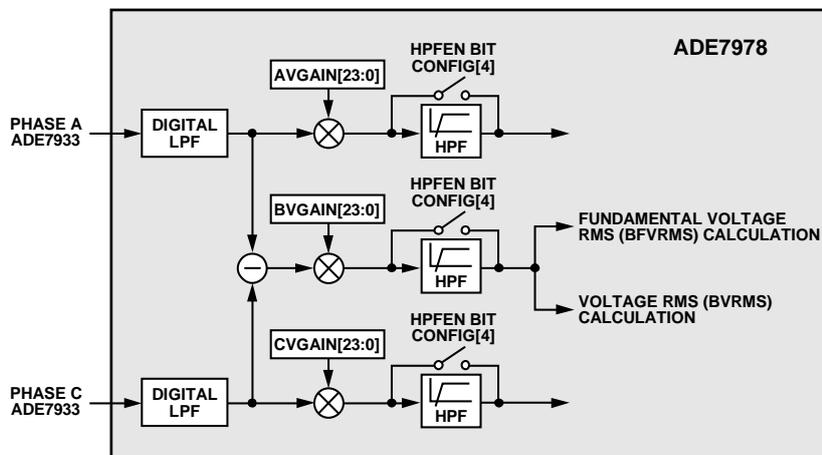


図 77. 3P3W デルタ構成における B 相電圧の計算（ACCMODE レジスタの CONSEL = 01）

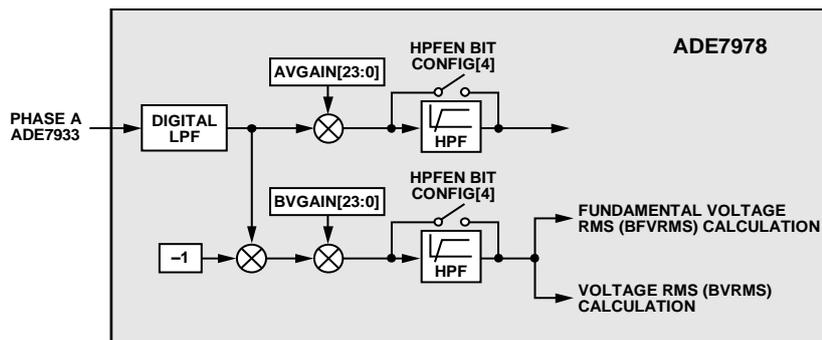


図 78. 3P4W デルタ構成における B 相電圧の計算（ACCMODE レジスタの CONSEL = 11）

有効電力の計算

ADE7978 は、すべての相で総合有効電力を計算します。総合有効電力の計算には、すべての基本波成分および高調波成分の電圧と電流が含まれます。更に、ADE7978 は、基本波有効電力、つまり基本波成分の電圧と電流でのみ決まる電力も計算します。

総合有効電力の計算

電力は、ソースから負荷への電力量流量の割合として定義され、電圧波形と電流波形の積によって与えられます。結果の波形は瞬時電力信号と呼ばれ、各瞬間の電力量の割合と同じです。電力の単位はワットまたはジュール/秒です。AC システムに電圧 $v(t)$ が供給され、電流 $i(t)$ を消費し、電圧および電流が高調波を含む場合は以下ようになります。

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \phi_k) \quad (25)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k)$$

ここで、

V_k 、 I_k は、各高調波の電圧と電流の実効値。

ϕ_k 、 γ_k は、各高調波の位相遅延。

総合有効電力は、瞬時電力信号の DC 成分に等しくなります。すなわち、

$$\sum_{k=1}^{\infty} V_k I_k \cos(\phi_k - \gamma_k)$$

この式は、各相に対して ADE7978 で計算される有効電力の合計を表します。

基本波有効電力の式は次のとおりです。

$$FP = V_1 I_1 \cos(\phi_1 - \gamma_1) \quad (26)$$

図 79 に、ADE7978 が各相の総合有効電力をどのように計算するかを示します。ADE7978 は、まず各相の電流信号と電圧信号を乗算します。次に、LPF2 ローパス・フィルタを使用して、各相 (A、B、C) の瞬時電力信号の DC 成分を抽出します。

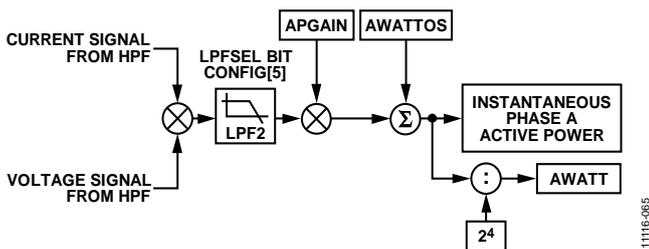


図 79. 総合有効電力のデータパス

相電流と相電圧が基本波成分のみを含み、同相 (すなわち、 $\phi_1 = \gamma_1 = 0$) であって、フルスケール ADC 入力に相当する場合、それらを掛け合わせると、DC 成分が $V_1 \times I_1$ で、正弦波成分が $V_1 \times I_1 \times \cos(2\omega t)$ であるような瞬時電力信号となります。図 80 に、対応する波形を示します。

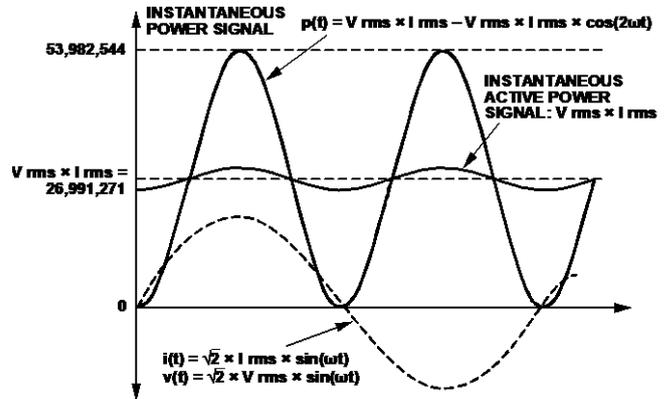


図 80. 有効電力の計算

LPF2 は理想的なブリック・ウォール周波数応答ではないため、有効電力信号には瞬時電力信号によるリップルが多少あります。このリップルは正弦波であり、周波数はライン周波数の 2 倍です。リップルは本質的に正弦波であるため、有効電力信号が時間積分され、電力量が計算されると、リップルは除去されます。

CONFIG レジスタ (アドレス 0xE618) のビット 5 (LPFSEL) は、LPF2 の強度を選択するものです。LPFSEL を 0 (デフォルト値) にクリアすると、セトリング時間は 650ms、リップル減衰は 65dB になります。LPFSEL を 1 にセットすると、セトリング時間は 1300ms、リップル減衰は 128dB になります。図 81 は、LPFSEL を 0 にクリアした場合の LPF2 の周波数応答を示しています。図 82 は、LPFSEL を 1 にセットした場合の LPF2 の周波数応答を示しています。

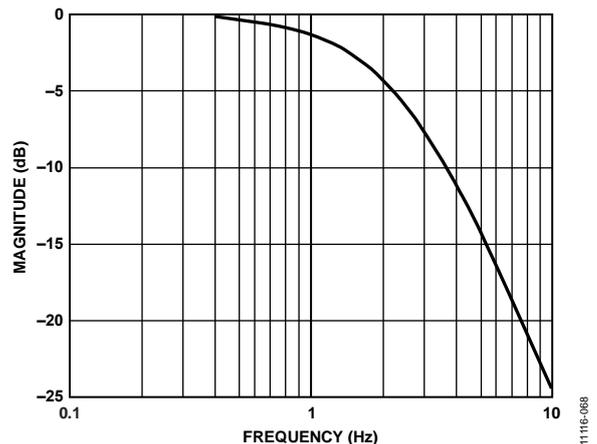


図 81. 各相での瞬時電力のフィルタ処理に使用される LPF の周波数応答: CONFIG レジスタの LPFSEL ビットを 0 (デフォルト) に設定した場合

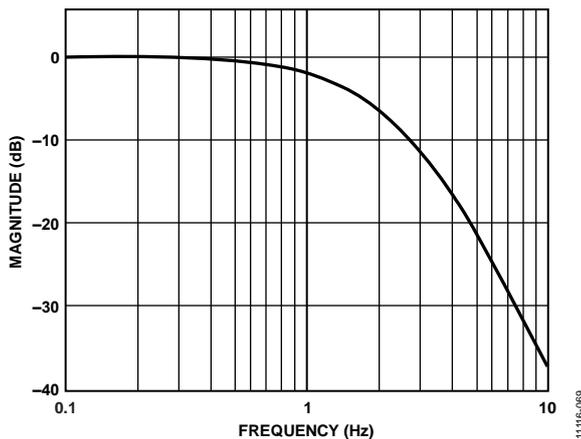


図 82. 各相での瞬時電力のフィルタ処理に使用される LPF の周波数応答：CONFIG レジスタの LPFSEL ビットを 1 に設定した場合

ADE7978 は、24 ビット AWATT、BWATT、CWATT レジスタ（アドレス 0xE518～アドレス 0xE51A）に総合瞬時有効電力を格納します。これらのレジスタの値を計算するには、次式を使用します。

$$xWATT = \sum_{k=1}^{\infty} \frac{V_k}{V_{FS}} \times \frac{I_k}{I_{FS}} \times \cos(\phi_k - \gamma_k) \times P_{MAX} \times \frac{1}{2^4} \quad (27)$$

ここで、 V_{FS} および I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の実効値。
 $P_{MAX} = 26,991,271$ 、ADC 入力が入力フルスケールかつ同相であるときの計算瞬時電力。

$xWATT$ [23:0] 波形レジスタは、いずれかのシリアル・ポート・インターフェースを使用してアクセスできます。詳細については、波形サンプリング・モードのセクションを参照してください。

基本波有効電力の計算

ADE7978 は、独自のアルゴリズムを使用して基本波有効電力を計算します。このアルゴリズムでは、ネットワーク周波数の初期化と電圧チャンネルで測定された公称電圧の初期化を必要とします。ADE7978 が接続されているネットワークの周波数に応じて、COMPmode レジスタ（アドレス 0xE60E）のビット 14（SELFREQ）を設定する必要があります。ネットワーク周波数が 50Hz の場合、このビットを 0（デフォルト値）にクリアします。ネットワーク周波数が 60Hz の場合、このビットを 1 にセットします。

電圧チャンネルで測定された公称電圧を初期化するには、次式で求められる正の値で 28 ビット符号付き VLEVEL レジスタ（アドレス 0x43A2）を設定します。

$$VLEVEL = \frac{V_{FS}}{V_n} \times 4 \times 10^6 \quad (28)$$

ここで、 V_{FS} は、ADC 入力が入力フルスケールのときの相電圧の実効値。
 V_n は、相電圧実効値の公称値。

表 22 に、基本波有効電力測定用のセトリング時間を示します。このセトリング時間は、電力が ADE7978 の入力に値が反映されるのにかかる時間です。

表 22. 基本波有効電力のセトリング時間

Input Signal	Settling Time (ms)
63% P _{MAX}	375
100% P _{MAX}	875

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。28 ビット符号付き VLEVEL レジスタは、4MSB が 0 で埋められて 32 ビット・レジスタとして送信されます（図 83 参照）。

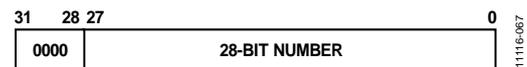


図 83. 32 ビット・ワードとして送信される 28 ビット VLEVEL レジスタ

有効電力ゲインのキャリブレーション

各相での LPF2 出力における平均有効電力結果は、各相の 24 ビット・ワット・ゲイン・レジスタ、APGAIN、BPGAIN、CPGAIN（アドレス 0x4399～アドレス 0x439B）に書き込むことで ±100% スケーリングできます。すべての電力データパスの総合ゲインは同じであるため、ADE7978 が計算するすべての電力（総合有効/無効電力、基本波有効/無効電力、皮相電力）のデータパスで xPGAIN レジスタが使用されます。したがって、様々な電力のデータパスにおけるゲイン誤差を補償するには、1 つの電力データパス（例えば、総合有効電力）だけを分析し、対応する APGAIN、BPGAIN、CPGAIN レジスタ値を計算すれば十分です。

電力ゲイン・レジスタは、分解能が $2^{23}/\text{LSB}$ である 2 の補数の符号付きレジスタです。式 29 は、電力ゲイン・レジスタの機能を数学的に説明しています。

$$\text{平均電力データ} = \quad (29)$$

$$LPF2 \text{ Output} \times \left(1 + \frac{\text{Power Gain Register}}{2^{23}} \right)$$

出力は、0xC00000 をワット・ゲイン・レジスタに書き込むことにより 50% 減少し、0x400000 をワット・ゲイン・レジスタに書き込むことにより 50% 増加します。これらのレジスタは、各相の有効/無効/皮相の電力（または電力量）の計算を補正するのに使用されます。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 52 の xIGAIN レジスタと同様に、24 ビット APGAIN、BPGAIN、CPGAIN レジスタは 28 ビットに符号拡張され、4 つの 0 が埋められて 32 ビット・レジスタとして送信されます。

有効電力オフセットのキャリブレーション

ADE7978は、各相および各有効電力用に24ビットのワット・オフセット・レジスタを備えています。AWATTOS、BWATTOS、CWATTOSレジスタ（アドレス0x439C～アドレス0x439E）は、総合有効電力計算のオフセットを補償します。AFWATTOS、BFWATTOS、CFWATTOSレジスタ（アドレス0x43A3～アドレス0x43A5）は、基本波有効電力計算のオフセットを補償します。これらの符号付き2の補数レジスタは、有効電力計算におけるオフセットを除去するのに使用されます。

オフセットは、PCB上またはチップ自体のチャンネル間のクロストークにより、電力計算で生じることがあります。有効電力オフセット・レジスタの1LSBは、有効電力量の乗算器出力の1LSBに相当します。フルスケールの電流および電圧入力では、LPF2出力は $PMAX = 26,991,271$ となります。フルスケールから-80dB低い（有効電力が 10^4 倍スケールダウン）場合、有効電力オフセット・レジスタの1LSBは $PMAX$ の0.037%を表します。

ADE7978のシリアル・ポートは、32ビット、16ビット、または8ビット・ワードで動作しますが、DSPは28ビット・ワードで動作します。図52に示すxIGAINレジスタと同様に、24ビットxWATTOSおよびxFWATTOSレジスタは28ビットに符号拡張され、4つの0が埋められて32ビット・レジスタとして送信されます。

有効電力計算の符号

平均有効電力は符号付きで計算されます。電流波形と電圧波形の位相差が 90° を超えると、平均電力は負になります。負の電力は、電力が送電システムに戻されることを示します。ADE7978は、有効電力計算用の符号検出回路を備えています。この回路は、総合有効電力または基本波有効電力をモニタできます。

有効電力量の計算のセクションで説明したように、有効電力量の積算は2段階で実行されます。第1段階の終了時に電力量積算で符号変化が検出されるたびに、すなわち内部加算器で積算された電力量がWTHRレジスタの閾値に達するたびに、専用の割込みがトリガされます。各相の有効電力の符号は、PHSIGNレジスタ（アドレス0xE617）で読み出すことができます。

MMODEレジスタ（アドレス0xE700）のビット0（REVAPSEL）は、モニタする有効電力のタイプを指定します。REVAPSELを0（デフォルト値）にクリアすると、総合有効電力がモニタされます。REVAPSELを1にセットすると、基本波有効電力がモニタされます。

STATUS0レジスタ（アドレス0xE502）のビット[8:6]（REVAPC、REVAPB、REVAPA）は、MMODEレジスタのビット0（REVAPSEL）で選択した電力に符号変化が生じたときにセットされます。

PHSIGNレジスタのビット[2:0]（CWSIGN、BWSIGN、AWSIGN）は、STATUS0レジスタのREVAPC、REVAPB、REVAPAビットと同時にセットされます。xWSIGNビットは、電力の符号を示します。これらのビットが0に設定されている場合、対応する電力は正です。ビットが1にセットされている場合、対応する電力は負です。

STATUS0レジスタのREVAPxビットとPHSIGNレジスタのxWSIGNビットは、x相の総合有効電力と、MMODEレジスタのビット0（REVAPSEL）で選択された電力のタイプを表します。

STATUS0レジスタのビット[8:6]（REVAPC、REVAPB、REVAPA）に関連付けられている割込みは、MASK0レジスタのビット[8:6]をセットすることによりイネーブルできます。イネーブルすると、符号変化が生じたときにIRQ0ピンがローになり、ステータス・ビットが1にセットされます。割込みをトリガした相を特定するには、STATUS0レジスタを読み出した直後にPHSIGNレジスタを読み出します。STATUS0レジスタの該当するビットに1を書き込むことによって、このステータス・ビットはクリアされ、IRQ0ピンがハイに戻ります。

有効電力量の計算

有効電力量は、有効電力の積分として定義されます。

$$\text{電力量} = \int p(t) dt \quad (30)$$

ADE7978は、有効電力信号を2段階で積分します（図84参照）。このプロセスは、総合有効電力と基本波有効電力とで同一です。

第1段階では、相の瞬時総合有効電力または基本波有効電力を1.024MHzで積算します（DSPはこれらの値を8kHzのレートで計算します）。閾値に達するたびにパルスが生成され、内部レジスタから閾値が減算されます。この時点での電力量の符号が有効電力の符号とみなされます（詳細は、有効電力計算の符号のセクションを参照）。

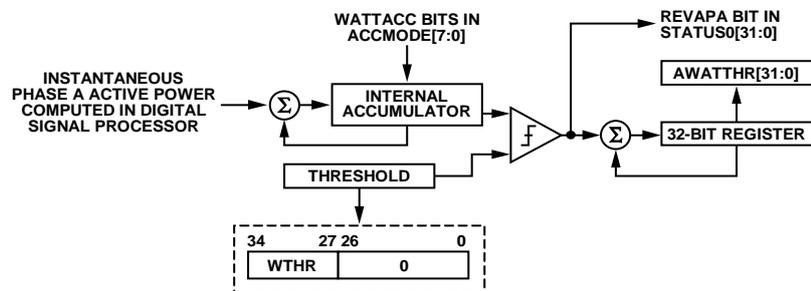


図 84. 総合有効電力量の積算

1116-070

第2段階では、第1段階で生成されたパルスを内部の32ビット積算レジスタで積算します。これらのレジスタがアクセスされると、レジスタの内容がワット時レジスタ $xWATTHR$ および $xFWATTHR$ に送信されます。図85に、このプロセスを示します。

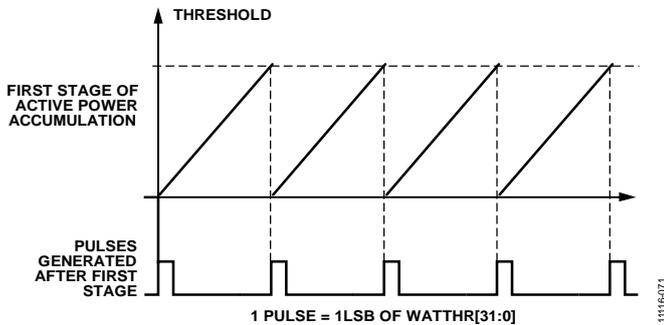


図 85. DSP 内部の有効電力積算

閾値は、8ビットの符号なし $WTHR$ レジスタ (アドレス $0xEA02$) を0に等しい27ビットに連結することによって形成されます。 $WTHR$ レジスタはユーザが設定し、総合有効電力およびすべての相の基本波電力で同一です。この値は、ワット時レジスタの1LSBに割り当てられる電力量に依存します。例えば、 Wh ($10^n Wh$, n は整数)の値から $xWATTHR$ レジスタの1LSBを引き出す場合、 $WTHR$ は次式を使用して計算されます。

$$WTHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^n}{V_{FS} \times I_{FS} \times 2^{27}} \quad (31)$$

ここで、

$P_{MAX} = 26,991,271 = 0x19BDAA$ 、ADC 入力が入力フルスケールのときに計算される瞬時電力。

$f_s = 1.024\text{MHz}$ 、DSP が 8kHz で計算するすべての瞬時電力が積算される周波数。

V_{FS} および I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の実効値。

$WTHR$ レジスタは8ビット符号なしの数値なので、その最大値は $2^8 - 1$ です。デフォルト値は $0x3$ です。3より小さい値、つまり2または1は使用しないでください。閾値はゼロでない値でなければならないので、値0も使用しないでください。

式32に示すように、この離散時間の積算ないし総和は連続時間の積分と等価です。

$$Energy = \int p(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} p(nT) \times T \right\} \quad (32)$$

ここで、

n は、離散時間のサンプル数。

T は、サンプル周期。

ADE7978 では、32ビット符号付き $AWATTHR$ 、 $BWATTHR$ 、 $CWATTHR$ レジスタ (アドレス $0xE400 \sim$ アドレス $0xE402$) で総合相有効電力が積算されます。

基本波相有効電力は、32ビット符号付き $AFWATTHR$ 、 $BFWATTHR$ 、 $CFWATTHR$ レジスタ (アドレス $0xE403 \sim$ アドレス $0xE405$) で積算されます。有効電力が正の場合、有効電力量レジスタの内容はフルスケールの負 ($0x80000000$) にロールオーバーし、値が増加し続けることができます。逆に、有効電力が負の場合、有効電力量レジスタはフルスケールの正 ($0x7FFFFFFF$) にアンダーフローし、値が減少し続けます。

ADE7978 は、 $xWATTHR$ レジスタの1つが半分だけ占められていることを示すステータス・フラグを備えています。 $xWATTHR$ レジスタの1つでビット30が変化すると、 $STATUS0$ レジスタ (アドレス $0xE502$) のビット0 (AEHF) がセットされ、これらのレジスタの1つが半分だけ占められていることを示します。

- 有効電力が正の場合、 $0x3FFFFFFF$ から $0x40000000$ に増加するとワット時レジスタは半分だけ占められます。
- 有効電力が負の場合、 $0xC0000000$ から $0xBFFFFFFF$ に減少するとワット時レジスタは半分だけ占められます。

同様に、 $xFWATTHR$ レジスタの1つでビット30が変化すると、 $STATUS0$ レジスタのビット1 (FAEHF) がセットされ、これらのレジスタの1つが半分だけ占められていることを示します。

$MASK0$ レジスタのビット [1:0] をセットすると、 $FAEHF$ および $AEHF$ 割込みがイネーブルされます。イネーブルされると、電力量レジスタの1つ ($AEHF$ 割込みでは $xWATTHR$ 、 $FAEHF$ 割込みでは $xFWATTHR$) が半分だけ占められたときに、 $IRQ0$ ピンがローになり、ステータス・ビットが1にセットされます。 $STATUS0$ レジスタの該当するビットに1を書き込むことによって、ステータス・ビットはクリアされ、 $IRQ0$ ピンがハイに戻ります。

$LCYCMODE$ レジスタ (アドレス $0xE702$) のビット6 ($RSTREAD$) をセットすると、すべてのワット時積算レジスタのリセット機能付き読出しが可能になります。つまり、読出し動作後にレジスタは0にリセットされます。

定常負荷時の積分時間

積算レジスタの離散時間サンプル周期 (T) は、 976.5625ns (1.024MHz 周波数) です。アナログ入力にフルスケール正弦波信号を印加し、ワット・ゲイン・レジスタを $0x00000$ に設定すると、各 $LPF2$ からの平均ワード値は $P_{MAX} = 26,991,271$ になります。 $WTHR$ レジスタの閾値を3 (最小推奨値) に設定している場合、第1段の加算器はパルスを生成し、これは次式の間隔でワット時レジスタに加算されます。

$$\frac{3 \times 2^{27}}{P_{MAX} \times 1.024 \times 10^6} = 14.5683 \mu\text{s}$$

オーバーフローする前にワット時積算レジスタに格納できる最大値は、 $2^{31} - 1$ or $0x7FFFFFFF$ つまり $0x7FFFFFFF$ です。積分時間は次式で計算されます。

$$\text{時間} = 0x7FFFFFFF \times 14.5683 \mu\text{s} = 8 \text{時間} 41 \text{分} 25 \text{秒} \quad (33)$$

電力量積算モード

有効電力は、ACCMODEのビット [5:4] (CONSEL [1:0] ビット) の設定に従って、各 32 ビット・ワット時積算レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR) で積算されます (表 23 参照)。

表 23. ワット時積算レジスタへの入力

CONSEL [1:0]	AWATTHR AFWATTHR	BWATTHR BFWATTHR	CWATTHR CFWATTHR
00	$VA \times IA$	$VB \times IB$	$VC \times IC$
01	$VA \times IA$	$VB \times IB$ $VB = VA - VC^1$	$VC \times IC$
10	Reserved		
11	$VA \times IA$	$VB \times IB$ $VB = -VA$	$VC \times IC$

¹ 3相3線式構成での BWATTHR および BFWATTHR 積算レジスタのセクションを参照してください。

多相電力量計の使用状況に応じて、適切な数式を選択し、有効電力量を計算します。ANSI C12.10 規格では、電力量計の各種構成が定義されています。表 24 は、こうした構成でどのモードを選択するかを示しています。

表 24. 電力量計フォームの構成

ANSI Meter Form	Configuration	CONSEL [1:0] Bits	Figure
5S/13S	3-wire delta	01	Figure 113
8S/15S	4-wire delta	11	Figure 114
9S/16S	4-wire wye	00	Figure 111

ACCMODE レジスタのビット [1:0] (WATTACC [1:0]) は、有効電力がワット時レジスタでどのように積算されるか、および CF 周波数出力が総合有効電力および基本波有効電力の関数としてどのように生成されるかを決定します。詳細については、電力量/周波数変換のセクションを参照してください。

3相3線式構成での BWATTHR および BFWATTHR 積算レジスタ

3相3線式構成 (CONSEL [1:0] = 01) では、ADE7978 は A 相と C 相の間のライン電圧の実効値を計算し、結果を BVRMS レジスタに格納します (デルタ構成での電圧実効値のセクションを参照)。HPF 後に供給される B 相電流値は 0 なので、B 相に対応する電力量は 0 です。

B 相に対応する電力に関連する周波数出力ピン (CF1、CF2、CF3) の誤差を回避するには、COMPMODE レジスタ (アドレス 0xE60E) の TERMSSEL1 [1]、TERMSSEL2 [1] または TERMSSEL3 [1] ビットを 0 に設定して、B 相による電力量/周波数変換への寄与を無効にします。詳細については、電力量/周波数変換のセクションを参照してください。

ライン・サイクル有効電力量積算モード

ライン・サイクル電力量積算モードでは、電力量積算が電圧チャンネルのゼロ交差に同期するため、有効電力量は整数のハーフ・ライン・サイクルにわたって積算されます。整数のライン・サイクルにわたって有効電力量を合算する利点は、有効電力量の正弦波成分が 0 に減少することです。これにより、電力量計算でリップルが除去され、短時間で正確に電力量を積算することができます。ライン・サイクル電力量積算モードでは、電力量キャリブレーションが大幅に簡素化され、電力量のキャリブレーションに要する時間が大幅に短縮します。

このモードでは、ADE7978 は整数のライン・サイクル後に、32 ビットの内部積算レジスタで積算された有効電力量を xWATTHR または xFWATTHR レジスタに転送します (図 86 参照)。ハーフ・ライン・サイクル数は、LINECYC レジスタ (アドレス 0xE60C) で指定します。

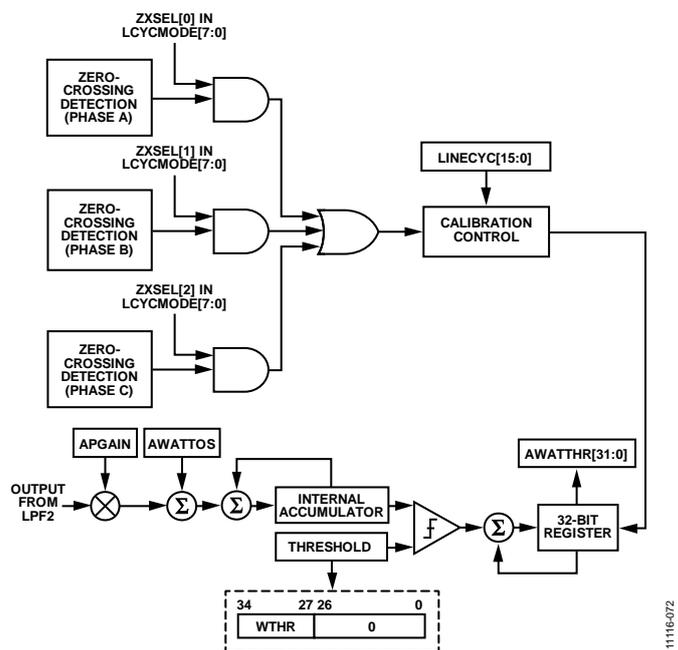


図 86. ライン・サイクル有効電力量積算モード

ライン・サイクル有効電力量積算モードは、LCYCMODE レジスタ (アドレス 0xE702) のビット 0 (LWATT) をセットすることによって有効になります。LINECYC レジスタで指定したハーフ・ライン・サイクル数が検出された後、整数のハーフ・ライン・サイクル (またはゼロ交差) にわたって積算された総合有効電力量がワット時積算レジスタに書き込まれます。ライン・サイクル積算モードを使用する場合は、LINECYC 期間外にワット時レジスタをリセット機能付きで読み出すと電力量積算がリセットされるため、LCYCMODE レジスタのビット 6 (RSTREAD) をロジック 0 に設定します。

LCYCMODE レジスタのビット [5:3] (ZXSEL [x]) をセットすることにより、ハーフ・ライン・サイクル数をカウントするときに A 相、B 相、C 相のゼロ交差が含まれます。3 相すべてのゼロ交差を任意に組み合わせて、ゼロ交差をカウントできます。キャリブレーション中にゼロ交差カウントに含めるには、一度に 1 つの相のみを選択します。

ゼロ交差の数は、16 ビットの符号なし LINECYC レジスタによって指定します。ADE7978 は、最大 65,535 個のゼロ交差を組み合わせて有効電力を積算できます。内部ゼロ交差カウンタは常にアクティブであることに注意してください。したがって、LCYCMODE レジスタにビット 0 (LWATT) をセットすることにより、最初の電力量積算結果が不正確になります。LWATT ビットのセット時に LINECYC レジスタに書き込むと、ゼロ交差カウンタがリセットされるため、最初の電力量積算結果が正確であることが確保されます。

電力量キャリブレーション・サイクルの終了時に、STATUS0 レジスタのビット 5 (LEENERGY) がセットされます。MASK0 レジスタの対応するマスク・ビットを有効にしている場合、IRQ0 ピンがローに設定されます。STATUS0 レジスタのビット 5 (LEENERGY) に 1 を書き込むことによって、このステータス・ビットはクリアされ、IRQ0 ピンがハイに戻ります。

ライン・サイクル積算モードでは有効電力は整数のハーフ・ライン・サイクルで積分されるため、正弦波成分は 0 に減少し、電力量計算でリップルは除去されます。したがって、ライン・サイクル積算モードを用いて積算された総合有効電力量は、次のようになります。

$$e = \int_t^{t+nT} p(t) dt = nT \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) \quad (34)$$

ここで、 nT は積算時間。

ライン・サイクル有効電力量積算は、有効電力量積算と同じ信号経路を使用することに注意してください。これら 2 つの方法の LSB サイズは同じです。

無効電力の計算

ADE7978 は、すべての相に対して総合無効電力を計算できます。総合無効電力の計算には、電圧および電流のすべての基本波成分と高調波成分が含まれます。ADE7978 は、基本波無効電力、つまり基本波成分のみの電圧と電流で決まる電力も計算します。

総合無効電力の計算

リアクタンス素子（インダクタまたはコンデンサ）を含む負荷は、印加された AC 電圧とその結果生じる電流の間に位相差を生じさせます。リアクタンス素子に関連する電力は無効電力と呼ばれ、その単位は VAR です。無効電力は、電圧波形と電流波形の一方のすべての高調波成分が 90°位相シフトしている場合、これらの波形の積として定義されます。

総合無効電力は、次のようになります。

$$Q = \sum_{k=1}^{\infty} V_k I_k \sin(\varphi_k - \gamma_k) \quad (35)$$

ここで、

V_k 、 I_k は、各高調波のそれぞれ電圧と電流の実効値。

φ_k 、 γ_k は、各高調波の位相遅延。

この関係式は、各相で ADE7978 が総合無効電力を計算するのに使用されます。瞬时无効電力信号は、各相で電圧信号の各高調波に、対応する 90°位相シフトした電流の高調波を乗算することによって生成されます。

ADE7978 は、AVAR、BVAR、CVAR レジスタ（アドレス 0xE51B～アドレス 0xE51D）に瞬時総合相無効電力を格納します。瞬時総相無効電力は次式で表されます。

$$xVAR = \sum_{k=1}^{\infty} \frac{V_k}{V_{FS}} \times \frac{I_k}{I_{FS}} \times \sin(\varphi_k - \gamma_k) \times PMAX \times \frac{1}{2^4} \quad (36)$$

ここで、

V_{FS} および I_{FS} は、ADC 入力が入力フルスケール時の相電圧と相電流の実効値。

$PMAX = 26,991,271$ 、ADC 入力が入力フルスケールかつ同相であるときの計算瞬時電力。

$xVAR$ [23:0] 波形レジスタは、いずれかのシリアル・ポート・インターフェースを使用してアクセスできます。詳細については、波形サンプリング・モードのセクションを参照してください。

基本波無効電力の計算

基本無効電力の式は、式 35 で $k=1$ とした次式で得られます。

$$FQ = V_1 I_1 \sin(\varphi_1 - \gamma_1)$$

ADE7978 は、独自のアルゴリズムを使用して基本波無効電力を計算します。このアルゴリズムでは、ネットワーク周波数および電圧チャンネルで測定された公称電圧の初期化を必要とします。必要な初期化は基本波有効電力の場合と同様で、基本波有効電力計算のセクションで説明しています。

表 25 に、基本波無効電力測定のセトリング時間を示します。このセトリング時間は、電力が ADE7978 の入力に値が反映されるのにかかる時間です。

表 25. 基本波無効電力のセトリング時間

Input Signal	Settling Time (ms)
63% PMAX	375
100% PMAX	875

無効電力ゲインのキャリブレーション

各相での平均無効電力は、各相の 24 ビット VAR ゲイン・レジスタである APGAIN、BPGAIN、または CPGAIN（アドレス 0x4399～アドレス 0x439B）に書き込むことで ±100% スケールリングできます。これと同じレジスタを使用して、ADE7978 によって計算される他の電力が補償できます。これらのレジスタの詳細については、有効電力ゲインのキャリブレーションのセクションを参照してください。

無効電力オフセットのキャリブレーション

ADE7978 は、各相および各無効電力用に 24 ビットの無効オフセット・レジスタを備えています。AVAROS、BVAROS、CVAROS レジスタ（アドレス 0x439F～アドレス 0x43A1）は、総合無効電力計算でのオフセットを補償します。AFVAROS、BFVAROS、CFVAROS レジスタ（アドレス 0x43A6～アドレス 0x43A8）は、基本波無効電力計算でのオフセットを補償します。これらの符号付き 2 の補数レジスタは、無効電力量計算におけるオフセットを除去するのに使用されます。

オフセットは、PCB 上またはチップ自体のチャンネル間のクロストークにより、電力計算で生じることがあります。無効電力オフセット・レジスタの 1LSB は、無効電力乗算器出力の 1LSB に相当します。フルスケールの電流および電圧入力では、LPF2 出力は $PMAX = 26,991,271$ となります。フルスケールから -80dB 低い（無効電力が 10^4 倍スケールダウン）場合、無効電力オフセット・レジスタの 1LSB は $PMAX$ の 0.037% を表します。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 52 に示す $xIGAIN$ レジスタと同様に、24 ビットの $xVAROS$ および $xFVAROS$ レジスタは、28 ビットに符号拡張され、4 つの 0 が埋められて 32 ビット・レジスタとして送信されます。

無効電力計算の符号

無効電力は符号付きで計算されます。表 26 は、電圧と電流の間の位相差と、結果として得られる無効電力計算の符号との間の関係をまとめたものです。

表 26. 無効電力計算の符号

ϕ^{12}	Sign of Reactive Power
From 0 to +180	Positive
From -180 to 0	Negative

¹ ϕ は、電圧信号の位相から電流信号の位相を差し引いた位相角として定義されます。すなわち、負荷が誘導性であれば ϕ は正であり、容量性であれば負になります。

ADE7978 は、無効電力計算用の符号検出回路を備えています。この回路は、総合無効電力または基本波無効電力をモニタできます。無効電力量の計算のセクションで説明したように、無効電力量の積算は 2 段階で実行されます。電力量積算の第 1 段階の終了時に符号変化が検出されるたびに、すなわち内部加算器で積算された電力量が VARTH R レジスタの閾値に達するたびに、専用割込みがトリガされます。各相の無効電力の符号は、PHSIGN レジスタ (アドレス 0xE617) から読み出すことができます。

MMODE レジスタ (アドレス 0xE700) のビット 1 (REVRPSEL) は、モニタする無効電力のタイプを指定します。REVRPSEL を 0 (デフォルト値) にクリアすると、総合無効電力がモニタされます。REVRPSEL を 1 にセットすると、基本波無効電力がモニタされます。

MMODE レジスタのビット 1 (REVRPSEL) で選択した電力に符号変化が生じたときに、STATUS0 レジスタのビット [12:10] (REVRPC、REVRPB、REVRPA) がセットされます。

STATUS0 レジスタの REVRPC、REVRPB、REVRPA ビットと同時に、PHSIGN レジスタのビット [6:4] (CVARSIGN、BVARSIGN、AVARSIGN) がセットされます。xVARSIGN ビットは、無効電力の符号を示します。これらのビットが 0 に設定されている場合、無効電力は正です。これらのビットが 1 に設定されている場合、無効電力は負です。

STATUS0 レジスタの REVRPx ビットと PHSIGN レジスタの xVARSIGN ビットは、x 相の無効電力と MMODE レジスタのビット 1 (REVRPSEL) で選択した電力タイプを示します。

STATUS0 レジスタのビット [12:10] (REVRPC、REVRPB、REVRPA) に関連付けられている割込みは、MASK0 レジスタのビット [12:10] をセットすることでイネーブルできます。イネーブルすると、符号変化が生じたときに IRQ0 ピンがローになり、ステータス・ビットが 1 にセットされます。割込みをトリガした相を特定するには、STATUS0 レジスタを読み出した直後に PHSIGN レジスタを読み出します。STATUS0 レジスタの該当するビットに 1 を書き込むことによって、ステータス・ビットはクリアされ、IRQ0 ピンがハイに戻ります。

無効電力量の計算

無効電力量は、無効電力の積分として定義されます。

$$\text{無効電力量} = \int q(t) dt \quad (37)$$

ADE7978 は、無効電力信号を 2 段階で積分します (図 87 参照)。このプロセスは、総合無効電力と基本波無効電力とで同一です。

第 1 段階は、瞬時相総合無効電力または基本波無効電力を 1.024MHz で積算します (DSP はこれらの値を 8kHz のレートで計算します)。閾値に達するたびに、パルスが生成され、内部レジスタから閾値が減算されます。この時点での電力量の符号が無効電力の符号とみなされます (詳細は、無効電力計算の符号のセクションを参照)。

第 2 段階では、第 1 段階で生成されたパルスを内部の 32 ビット積算レジスタで積算します。これらのレジスタがアクセスされると、レジスタの内容は VAR 時レジスタ (xVARHR および xFVARHR) に送信されます。AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR、CFVARHR は、相の総合無効電力および基本波無効電力を表します。図 87 に、このプロセスを示します。

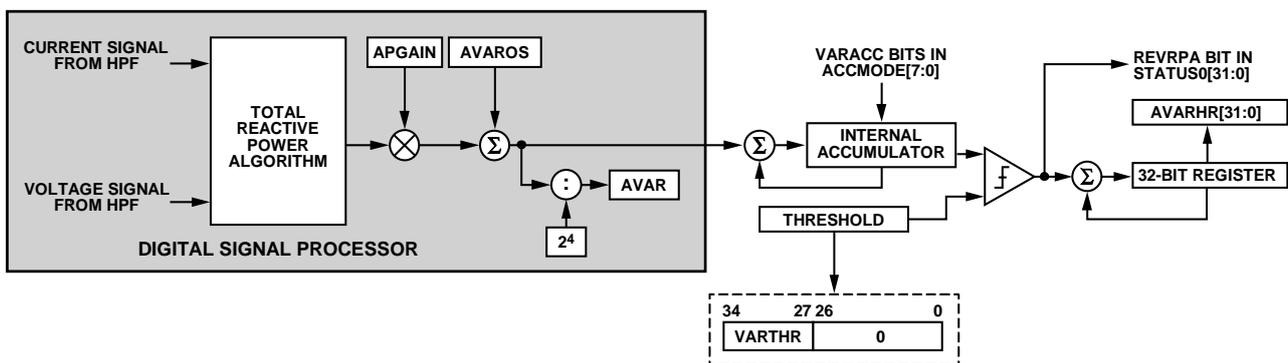


図 87. 総合無効電力量の積算

1116-073

閾値は、8ビット符号なし VARTHR レジスタ（アドレス 0xEA03）を 0 に等しい 27 ビットに連結することによって形成されます。VARTHR レジスタはユーザが設定し、すべての相の総合無効電力および基本波電力で同一です。この値は、VAR 時レジスタの 1LSB に割り当てられる電力量に依存します。例えば、VAR 時 (10^n varh , n は整数) の値から xVARHR レジスタの 1LSB を引き出す場合、VARTHR は次式を使用して計算されます。

$$\text{VARTHR} = \frac{\text{PMAX} \times f_s \times 3600 \times 10^n}{V_{FS} \times I_{FS} \times 2^{27}} \quad (38)$$

ここで、

PMAX = 26,991,271 = 0x19BDAA7、ADC 入力が入力フルスケールのときの計算瞬時電力量。

$f_s = 1.024 \text{ MHz}$ 、DSP が 8kHz で計算するすべての瞬時電力が積算される周波数。

V_{FS} および I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の実効値。

VARTHR レジスタは、8 ビット符号なしの数値なので、最大値は $2^8 - 1$ です。デフォルト値は 0x3 です。3 より小さい値、つまり 2 または 1 は使用しないでください。閾値はゼロでない値でなければならないので、値 0 も使用しないでください。

式 39 に示すように、この離散時間の積算ないし総和は連続時間の積分と等価です。

$$\text{無効電力量} = \int q(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} q(nT) \times T \right\} \quad (39)$$

ここで、

n は、離散時間のサンプル数。

T は、サンプル周期。

ADE7978 では、32 ビット符号付きレジスタ AVARHR、BVARHR、CVARHR（アドレス 0xE406～アドレス 0xE408）に相総合無効電力が積算されます。基本波相無効電力は、32 ビット符号付きレジスタ AFVARHR、BFVARHR、CFVARHR（アドレス 0xE409～アドレス 0xE40B）で積算されます。無効電力が正の場合、無効電力量レジスタの内容はフルスケールの負 (0x80000000) にロールオーバーし、値が増加し続けることができます。逆に、無効電力が負の場合、無効電力量レジスタはフルスケールの正 (0x7FFFFFFF) にアンダーフローし、値が減少し続けます。

ADE7978 は、xVARHR レジスタの 1 つが半分だけ占められていることを示すステータス・フラグを備えています。xVARHR レジスタの 1 つでビット 30 が変化すると、STATUS0 レジスタ（アドレス 0xE502）のビット 2 (REHF) がセットされ、これらのレジスタの 1 つが半分だけ占められていることを示します。

- 無効電力が正の場合、0x3FFFFFFF から 0x40000000 に増加すると VAR 時レジスタは半分だけ占められます。
- 無効電力が負の場合、0xC0000000 から 0xBFFFFFFF に減少すると VAR 時レジスタは半分だけ占められます。

同様に、STATUS0 レジスタのビット 3 (FREHF) は、xFVARHR レジスタの 1 つでビット 30 が変化したときにセットされ、これらのレジスタの 1 つが半分だけ占められていることを示します。

MASK0 レジスタのビット [3:2] をセットすると、FREHF および REHF 割込みがイネーブルされます。イネーブルされると、電力量レジスタの 1 つ (REHF 割込みでは xVARHR、FREHF 割込みでは xFVARHR) が半分だけ占められたときに、IRQ0 ピンがローになり、ステータス・ビットが 1 にセットされます。STATUS0 レジスタの該当するビットに 1 を書き込むことによって、ステータス・ビットはクリアされ、IRQ0 ピンがハイに戻ります。

LCYCMODE レジスタ（アドレス 0xE702）のビット 6 (RSTREAD) をセットすると、すべての VAR 時積算レジスタのリセット機能付き読出しが可能になります。つまり、読出し動作後にレジスタは 0 にリセットされます。

定常負荷時の積分時間

積算レジスタの離散時間サンプル周期 (T) は、976.5625ns (1.024MHz 周波数) です。アナログ入力にフルスケール正弦波信号を印加し、電圧信号と電流信号に 90° の位相差がある場合 (取り得る最大の無効電力の場合)、無効電力を表す平均ワード値は PMAX = 26,991,271 です。VARTHR レジスタの閾値を 3 (最小推奨値) に設定している場合、第 1 段の加算器はパルスを生成し、これは次式の間隔で VAR 時レジスタに加算されます。

$$\frac{3 \times 2^{27}}{\text{PMAX} \times 1.024 \times 10^6} = 14.5683 \mu\text{s}$$

オーバーフローする前に VAR 時積算レジスタに格納できる最大値は $2^{31} - 1$ 、つまり 0x7FFFFFFF です。積分時間は次式で計算されます。

$$\text{時間} = 0x7FFFFFFF \times 14.5683 \mu\text{s} = 8 \text{ 時間 } 41 \text{ 分 } 25 \text{ 秒} \quad (40)$$

電力量積算モード

無効電力は、ACCMODE レジスタのビット [5:4] (CONSEL [1:0] ビット) の設定に従って、各 32 ビットの VAR 時積算レジスタ (AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR、CFVARHR) で積算されます (表 27 参照)。IA'、IB'、IC' は、位相シフトされた電流波形であることに注意してください。

表 27. VAR 時積算レジスタへの入力

CONSEL [1:0]	AVARHR, AFVARHR	BVARHR, BFVARHR	CVARHR, CFVARHR
00	$VA \times IA'$	$VB \times IB'$	$VC \times IC'$
01	$VA \times IA'$	$VB \times IB'$ $VB = VA - VC^1$	$VC \times IC'$
10	Reserved		
11	$VA \times IA'$	$VB \times IB'$ $VB = -VA$	$VC \times IC'$

¹ 3 相 3 線式構成での BWATTHR および BWATTHR 積算レジスタのセクションを参照してください。

ACCMODE レジスタのビット [3:2] (VARACC [1:0]) は、無効電力が VAR 時積算レジスタでどのように積算されるか、および CF 周波数出力が総合および基本波の有効電力および無効電力の関数としてどのように生成されるかを決定します。詳細については、電力量/周波数変換のセクションを参照してください。

3 相 3 線式構成での BWATTHR および BFWATTHR 積算レジスタ

3 相 3 線式構成 (CONSEL [1:0] = 01) では、ADE7978 は A 相と C 相の間のライン電圧の実効値を計算し、結果を BVRMS レジスタに格納します (デルタ構成での電圧実効値のセクションを参照)。HPF 後に供給される B 相電流値は 0 なので、B 相に対応する電力は 0 です。

B 相に対応する電力に関連する周波数出力ピン (CF1、CF2、CF3) の誤差を回避するには、COMPmode レジスタ (アドレス 0xE60E) の TERMSSEL1 [1]、TERMSSEL2 [1]、または TERMSSEL3 [1] ビットを 0 に設定して、B 相による電力量/周波数変換への寄与を無効にします。詳細については、電力量/周波数変換のセクションを参照してください。

ライン・サイクル無効電力量積算モード

ライン・サイクル電力量積算モードでは、電力量積算が電圧チャンネルのゼロ交差に同期するため、無効電力量は整数のハーフ・ライン・サイクルにわたって積算されます。整数のライン・サイクルにわたって無効電力量を合算する利点は、無効電力量の正弦波成分が 0 に減少することです。これにより、電力量計算でリップルが除去され、短時間で正確に電力量を積算することができます。ライン・サイクル電力量積算モードでは、電力量キャリブレーションが大幅に簡素化され、電力量のキャリブレーションに要する時間が大幅に短縮します。

このモードでは、ADE7978 は整数のライン・サイクル後に、32 ビットの内部積算レジスタで積算した無効電力量を xVARHR または xFVARHR レジスタに転送します (図 88 参照)。ハーフ・ライン・サイクル数は、LINECYC レジスタ (アドレス 0xE60C) で指定します。

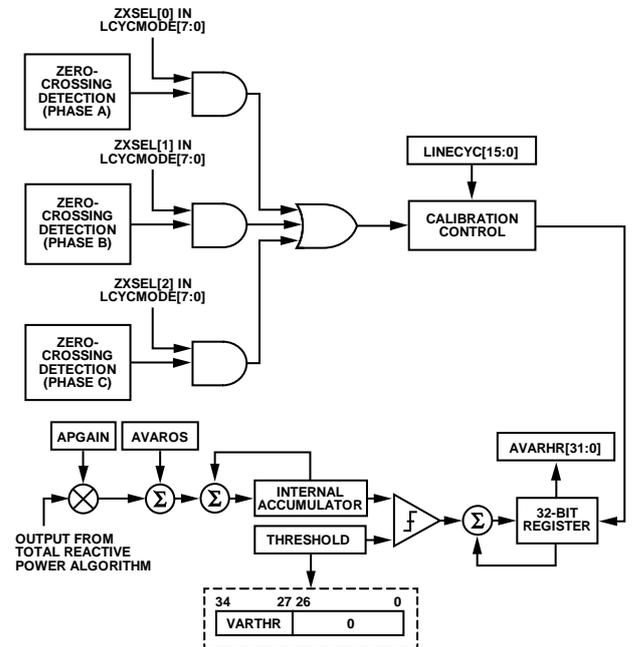


図 88. ライン・サイクル総合無効電力量積算モード

ライン・サイクル無効電力量積算モードは、LCYCMODE レジスタ (アドレス 0xE702) のビット 1 (LVAR) をセットすることによって有効になります。LINECYC レジスタで指定したハーフ・ライン・サイクル数が検出された後、整数のハーフ・ライン・サイクル (またはゼロ交差) にわたって積算された総合無効電力量が VAR 時積算レジスタに書き込まれます。ライン・サイクル積算モードを使用する場合は、LINECYC 期間外に VAR 時積算レジスタをリセット機能付きで読み出すと電力量積算がリセットされるため、LCYCMODE レジスタのビット 6 (RSTREAD) をロジック 0 に設定します。

LCYCMODE レジスタのビット [5:3] (ZXSEL [x]) をセットすることにより、ハーフ・ライン・サイクル数をカウントするときに A 相、B 相、C 相のゼロ交差が含まれます。3 相すべてのゼロ交差を任意に組み合わせ、ゼロ交差をカウントできます。キャリブレーション中にゼロ交差カウントに含めるには、一度に 1 つの相のみを選択します。

ライン・サイクル積算モードに関連する MASK0 レジスタの LINECYC レジスタとビット 5 (LENERGY) の設定の詳細については、ライン・サイクル有効電力量積算モードのセクションを参照してください。

皮相電力の計算

皮相電力は、負荷に供給できる最大有効電力として定義されます。皮相電力を求める 1 つの方法は、電圧実効値に電流実効値を掛けることです（算術皮相電力とも呼ばれる）。

$$S = V_{rms} \times I_{rms} \quad (41)$$

ここで、

S は、皮相電力。

V_{rms} と I_{rms} は、それぞれ実効値電圧と実効値電流。

ADE7978 は、それぞれの相で皮相電力を計算します。図 89 は、皮相電力を計算するための ADE7978 における各相の信号処理を示しています。 V_{rms} と I_{rms} にはすべての高調波情報が含まれているため、ADE7978 で計算される皮相電力は総合皮相電力となります。ADE7978 は、基本波の皮相電力は計算しません。

ADE7978 は、AVA、BVA、CVA レジスタ（アドレス 0xE51E～アドレス 0xE520）に瞬時相皮相電力を格納します。皮相電力の式は次のとおりです。

$$xVA = \frac{V}{V_{FS}} \times \frac{I}{I_{FS}} \times P_{MAX} \times \frac{1}{2^4} \quad (42)$$

ここで、

V と I は、相電圧と相電流の実効値。

V_{FS} および I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の実効値。

$P_{MAX} = 26,991,271$ 、ADC 入力が入力フルスケールかつ同相であるときの計算瞬時電力。

xVA [23:0] 波形レジスタは、いずれかのシリアル・ポート・インターフェースを使用してアクセスできます。詳細については、波形サンプリング・モードのセクションを参照してください。

ADE7978 は、相電流実効値に、外部から印加した電圧実効値を掛けることによって皮相電力を計算することもできます。詳細については、VNOM を使用した皮相電力計算を参照してください。

皮相電力ゲインのキャリブレーション

各相での平均皮相電力は、該当する 24 ビットの VAR ゲイン・レジスタである APGAIN、BPGAIN、または CPGAIN（アドレス 0x4399～アドレス 0x439B）に書き込むことで±100%スケールリングできます。これと同じレジスタを使用して、ADE7978 によって計算される他の電力を補償できます。これらのレジスタの詳細については、有効電力ゲインのキャリブレーションのセクションを参照してください。

皮相電力オフセットのキャリブレーション

各実効値測定には、実効値の DC 成分を補正し除去するためのオフセット補償が含まれます（実効値測定のセクションを参照）。皮相電力信号処理の際、電圧と電流の実効値が乗算されます。実効値の乗算ではオフセットが追加されないため、皮相電力信号処理ではオフセット補償は存在しません。各相での皮相電力測定値のオフセット補償は、個々の実効値測定値を補正することによって実現されます。

VNOM を使用した皮相電力計算

ADE7978 では、相電流実効値に、24 ビット符号付き VNOM レジスタ（アドレス 0xE533）で指定する外部の電圧実効値を掛けて、皮相電力を計算できます。

COMPmode レジスタ（アドレス 0xE60E）のビット [13:11]（VNOMCEN、VNOMBEN、VNOMAEN）のいずれかを 1 にセットすると、指定した相（VNOMxEN の相 x）の皮相電力がこのようにして計算されます。VNOMxEN ビットを 0（デフォルト値）にクリアすると、算術皮相電力が計算されます。

VNOM レジスタの値は次式で求めることができます。

$$VNOM = V/V_{FS} \times 3,761,808 \quad (43)$$

ここで、

V は、公称相電圧実効値。

V_{FS} は、ADC 入力が入力フルスケールのときの相電圧の実効値。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。SAGLVL レジスタと同様、VNOM レジスタは 8MSB が 0 で埋められて 32 ビット・レジスタとして送信されず（図 69 参照）。

皮相電力量の計算

皮相電力量は、皮相電力の積分として定義されます。

$$\text{皮相電力量} = \int s(t) dt \quad (44)$$

ADE7978 は、皮相電力量信号を 2 段階で積分します (図 89 参照)。第 1 段階は、瞬時皮相電力を 1.024MHz で積算します (DSP はこの値を 8kHz のレートで計算します)。閾値に達するたびに、パルスが生成され、内部レジスタから閾値が減算されます。第 2 段階は、第 1 段階で生成されたパルスを内部の 32 ビット積算レジスタで積算します。これらのレジスタがアクセスされると、レジスタの内容は VA 時レジスタ (xVAHR) に送信されます。このプロセスを図 89 に示します。

閾値は、8 ビット符号なし VATHR レジスタ (アドレス 0xEA04) を 0 に等しい 27 ビットに連結することによって形成されます。VATHR レジスタはユーザが設定します。この値は、VA 時レジスタの 1LSB に割り当てられる電力量に依存します。例えば、皮相電力量 VAh (10ⁿ VAh, n は整数) の値から xVAHR レジスタの 1LSB を引き出す場合、VATHR は以下の式を使用して計算されます。

$$VATHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^n}{V_{FS} \times I_{FS} \times 2^{27}} \quad (45)$$

ここで、
 $P_{MAX} = 26,991,271 = 0x19BDAA7$ 、ADC 入力が入力フルスケールのときの計算瞬時電力量。
 $f_s = 1.024\text{MHz}$ 、DSP が 8kHz で計算するすべての瞬時電力が積算される周波数。
 V_{FS} および I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の実効値。

VATHR レジスタは、8 ビット符号なしの数値なので、最大値は $2^8 - 1$ です。デフォルト値は 0x3 です。3 より小さい値、つまり 2 または 1 は使用しないでください。閾値はゼロでない値でなければならないので、値 0 も使用しないでください。

式 46 に示すように、この離散時間の積算ないし総和は連続時間の積分と等価です。

$$\text{皮相電力量} = \int s(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} s(nT) \times T \right\} \quad (46)$$

ここで、
 n は、離散時間のサンプル数。
 T は、サンプル周期。

ADE7978 では、32 ビット符号付きレジスタ AVAHR、BVAHR、CVAHR (アドレス 0xE40C ~ アドレス 0xE40E) で相皮相電力が積算されます。皮相電力が正の場合、皮相電力量レジスタの内容はフルスケールの負 (0x80000000) にロールオーバーし、値が増加し続けることができます。

ADE7978 は、xVAHR レジスタの 1 つが半分だけ占められていることを示すステータス・フラグを備えています。xVAHR レジスタの 1 つでビット 30 が変化すると、STATUS0 レジスタ (アドレス 0xE502) のビット 4 (VAEHF) がセットされ、これらのレジスタの 1 つが半分だけ占められていることを示します。皮相電力は常に正であり、xVAHR レジスタは符号付きであるため、0x3FFFFFFF から 0x40000000 まで増加すると VA 時レジスタは半分だけ占められます。

MASK0 レジスタのビット 4 (VAEHF) をセットすると、VAEHF 割込みがイネーブルされます。イネーブルされると、皮相電力量レジスタ (xVAHR) の 1 つが半分だけ占められたときに IRQ0 ピンがローになり、ステータス・ビットが 1 にセットされます。STATUS0 レジスタのビット 4 (VAEHF) に 1 を書き込むことによって、このステータス・ビットはクリアされ、IRQ0 ピンがハイに戻ります。

LCYCMODE レジスタ (アドレス 0xE702) のビット 6 (RSTREAD) をセットすると、すべての xVAHR 積算レジスタのリセット機能付き読出しが可能になります。つまり、読出し動作後にレジスタは 0 にリセットされます。

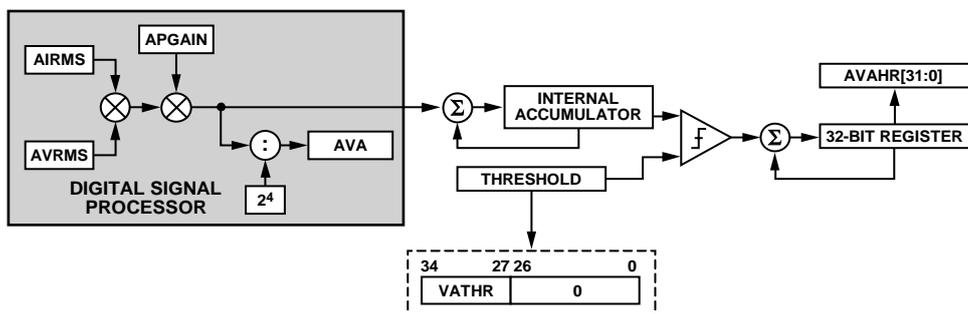


図 89. 皮相電力データ・フローと皮相電力量積算

1116-075

定常負荷時の積分時間

積算レジスタの離散時間サンプル周期 (T) は、976.5625ns (1.024MHz 周波数) です。アナログ入力にフルスケールの純粋な正弦波信号が印加されている場合、皮相電力を表す平均ワード値は P_{MAX} です。VATHR 閾値レジスタの閾値を 3 (最小推奨値) に設定している場合、第 1 段の加算器はパルスを生成し、これは次式の間隔で xVAHR レジスタに加算されます。

$$\frac{3 \times 2^{27}}{P_{MAX} \times 1.024 \times 10^6} = 14.5683 \mu\text{s}$$

オーバーフローする前に xVAHR 積算レジスタに格納できる最大値は 2³¹-1、つまり 0x7FFFFFFF です。積分時間は次式で計算されます。

$$\text{時間} = 0x7FFFFFFF \times 14.5683\mu\text{s} = 8 \text{ 時間 } 41 \text{ 分 } 25 \text{ 秒} \quad (47)$$

電力量積算モード

皮相電力は、ACCMODE レジスタのビット [5:4] (CONSEL [1:0] ビット) の設定に従って、32 ビットの VA 時積算レジスタ (AVAHR、BVAHR、CVAHR) で積算されます (表 28 参照)。

表 28. VA 時積算レジスタへの入力

CONSEL [1:0]	AVAHR	BVAHR	CVAHR
00	AVRMS × AIRMS	BVRMS × BIRMS	CVRMS × CIRMS
01	AVRMS × AIRMS	BVRMS × BIRMS VB = VA - VC ¹	CVRMS × CIRMS
10	Reserved		
11	AVRMS × AIRMS	BVRMS × BIRMS VB = -VA	CVRMS × CIRMS

¹ 3 相 3 線式構成での BWATTHR および BFWATTHR 積算レジスタのセクションを参照してください。

3 相 3 線式構成での BWATTHR および BFWATTHR 積算レジスタ

3 相 3 線式構成 (CONSEL [1:0] = 01) では、ADE7978 は A 相と C 相の間のライン電圧の実効値を計算し、結果を BVRMS レジスタに格納します (デルタ構成での電圧実効値のセクションを参照)。HPF 後に供給される B 相電流値は 0 なので、B 相に対応する電力量は 0 です。

B 相に対応する電力に関連する周波数出力ピン (CF1、CF2、CF3) の誤差を回避するには、COMPmode レジスタ (アドレス 0xE60E) の TERMSSEL1 [1]、TERMSSEL2 [1]、または TERMSSEL3 [1] ビットを 0 に設定して、B 相による電力量/周波数変換への寄与を無効にします。詳細については、電力量/周波数変換のセクションを参照してください。

ライン・サイクル皮相電力量積算モード

ライン・サイクル電力量積算モードでは、電力量積算が電圧チャンネルのゼロ交差に同期するため、皮相電力量は整数のハーフ・ライン・サイクルにわたって積算されます。このモードでは、ADE7978 は、整数のライン・サイクル後に、32 ビットの内部積算レジスタで積算された皮相電力量を xVAHR レジスタに転送します (図 90 参照)。ハーフ・ライン・サイクル数は、LINECYC レジスタ (アドレス 0xE60C) で指定します。

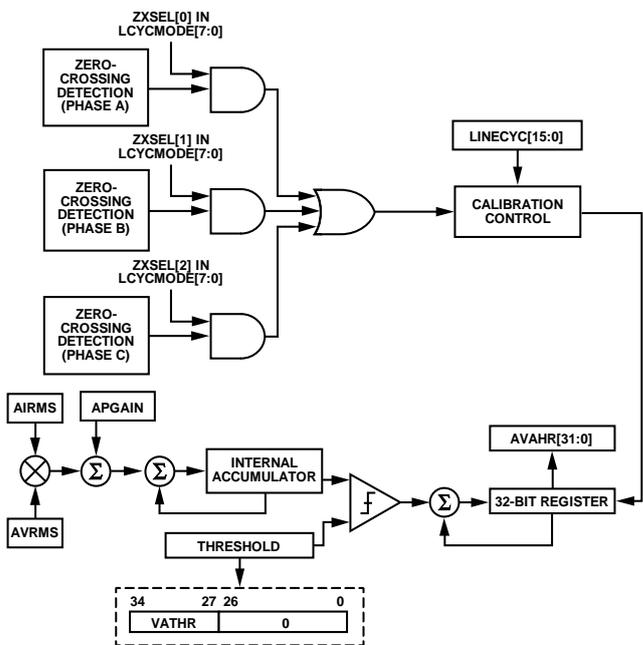


図 90. ライン・サイクル皮相電力量積算モード

ライン・サイクル皮相電力量積算モードは、LCYCMODE レジスタ (アドレス 0xE702) のビット 2 (LVA) をセットすることによって有効になります。LINECYC レジスタで指定したハーフ・ライン・サイクル数が検出された後、整数のハーフ・ライン・サイクル (またはゼロ交差) にわたって積算された皮相電力量が xVAHR 積算レジスタに書き込まれます。ライン・サイクル積算モードを使用する場合は、LINECYC 期間外に xVAHR レジスタをリセット機能付きで読み出すと電力量積算がリセットされるため、LCYCMODE レジスタのビット 6 (RSTREAD) をロジック 0 に設定します。

LCYCMODE レジスタのビット [5:3] (ZXSEL [x]) をセットすることにより、ハーフ・ライン・サイクル数をカウントするときに A 相、B 相、C 相のゼロ交差が含まれます。3 相すべてのゼロ交差を任意に組み合わせ、ゼロ交差をカウントできます。キャリブレーション中にゼロ交差カウントに含めるには、一度に 1 つの相のみを選択します。

ライン・サイクル積算モードに関連する MASK0 レジスタの LINECYC レジスタとビット 5 (LENERGY) の設定の詳細については、ライン・サイクル有効電力量積算モードのセクションを参照してください。

力率計算と全高調波歪み (THD) 計算

力率計算

ADE7978 は、力率をすべての相で同時に直接測定します。AC回路の力率は、負荷に流れる総合有効電力と皮相電力の比として定義されます。絶対力率の測定は、電流波形が電圧波形より進んでいるか遅れているかという意味での、進みと遅れによって定義されます。電流波形が電圧波形よりも進んでいる場合、負荷は容量性であり、負の力率として定義されます。電流波形が電圧波形よりも遅れている場合、負荷は誘導性であり、正の力率として定義されます。図 91 は、電流波形と電圧波形の関係を示しています。

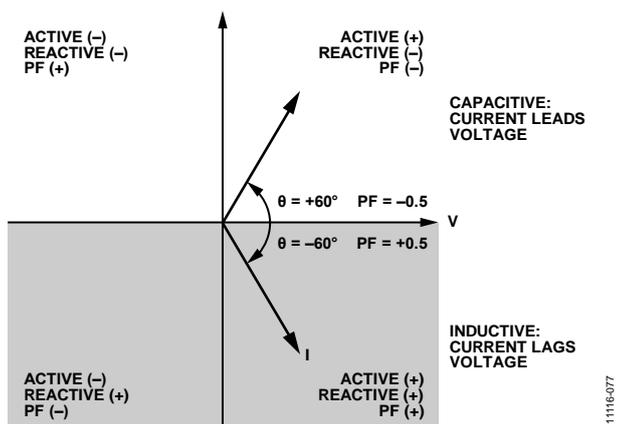


図 91. 容量性負荷と誘導性負荷

図 91 に示すように、無効電力測定値は、負荷が容量性の場合負で、負荷が誘導性の場合正の値です。したがって、無効電力の符号を力率の符号に反映させることができます。ADE7978 は、総合無効電力の符号を絶対力率の符号として使用します。総合無効電力が無負荷状態にある場合、力率の符号は総合有効電力の符号です。

式 48 は、力率の数学的定義を示しています。

$$\text{力率} = \frac{\text{総合有効電力の符号} \times \text{Total Active Power}}{\text{Apparent Power}} \quad (48)$$

ADE7978 は、すべての相で同時に力率測定を行います。これらの指示値は 3 つの 16 ビット符号付き 2 の補数レジスタ、すなわち、A 相では APF (アドレス 0xE902)、B 相では BPF (アドレス 0xE903)、C 相では CPF (アドレス 0xE904) に格納されます。これらのレジスタの MSB は力率の極性を示します。APF、BPF、CPF レジスタの各 LSB は、 2^{-15} の重みに相当します。したがって、0x7FFF の最大レジスタ値は力率値が 1 であり、0x8000 の最小レジスタ値は力率が -1 に対応します。力率が -1 ~ +1 の範囲外の場合 (オフセットとゲインのキャリブレーションにより)、結果は基本波無効電力の符号に応じて -1 または +1 に設定されず。

デフォルトでは、力率を計算するために瞬時総合相有効電力および皮相電力が使用されます。レジスタは 8kHz のレートで更新されます。符号ビットは、各相の瞬時総合相無効電力量測定値のものが使用されます。

より平均化された力率測定値が必要な場合、ADE7978 は、有効電力量と皮相電力量に対するライン・サイクル積算測定値を使用して力率を求めることができます。この方法では、より安定した力率測定値が得られます。

ライン・サイクル積算モードを使用して力率を求めるには、ADE7978 を次のように設定する必要があります。

- LCYCMODE レジスタ (アドレス 0xE702) の PFMODE ビット (ビット 7) を 1 にセットします。
- LCYCMODE レジスタの LWATT ビットと LVA ビットを 1 にセットすることにより、有効と皮相の両方の電力量に対してライン・サイクル積算モードを有効化します。これで力率測定の更新レートは、LINECYC レジスタ (アドレス 0xE60C) で設定できる整数のハーフ・ライン・サイクルとなります。

ライン・サイクル積算モードの設定の詳細については、ライン・サイクル有効電力量積算モードのセクションとライン・サイクル皮相電力量積算モードのセクションを参照してください。

力率測定は、無負荷検出が有効になっている場合は無負荷条件によって影響を受けることに注意してください (無負荷条件のセクションを参照)。皮相電力量で無負荷条件の場合、力率測定値は 1 に設定されます。総合有効電力量および無効電力量で無負荷条件の場合、力率測定値は 0 に設定されます。

全高調波歪み (THD) 計算

ADE7978 は、すべての相電流と相電圧に対して全高調波歪み (THD) を計算します。THD の式は次式で示されます。

$$THD_I = \frac{\sqrt{I^2 - I_1^2}}{I_1} \quad (49)$$
$$THD_V = \frac{\sqrt{V^2 - V_1^2}}{V_1}$$

ここで、
 I と V は、AIRMS、AVRMS、BIRMS、BVRMS、CIRMS、CVRMS レジスタに格納されている相電流および相電圧の実効値。
 I_1 と V_1 は、AFIRMS、AFVRMS、BFIRMS、BFVRMS、CFIRMS、CFVRMS レジスタに格納されている基本波実効値。

THD の計算値は、AVTHD、AITHD、BVTHD、BITHD、CVTHD、CITHD レジスタ (アドレス 0xE521~アドレス 0xE526) に格納されます。これらのレジスタは、3.21 符号付きフォーマットの 24 ビット・レジスタです。これは、比が+3.9999 に制限され、より大きな結果はすべてこの値に固定されることを意味します。

xIRMS および xFIRMS レジスタと同様に、24 ビット符号付き xITHD および xVTHD レジスタは、8MSB が 0 で埋められて 32 ビット・レジスタとして送信されます (図 75 参照)。

波形サンプリング・モード

電流・電圧波形のサンプル、および有効/無効/皮相電力出力や全高調波歪み (THD) 値は、125 μ s (8kHz レート) ごとに 24 ビット符号付きレジスタに格納されます。これらは、ADE7978 のいずれかのシリアル・ポート・インターフェースを使用してアクセスできます。表 29 にこれらのレジスタを示します。

STATUS0 レジスタ (アドレス 0xE502) のビット 17 (DREADY) を使用すると、表 29 に示すレジスタが I²C または SPI シリアル・ポートで読み出せるようになったことを知らせる信号を発生することができます。フラグに関連付けられている割込みは、MASK0 レジスタ (アドレス 0xE50A) のビット 17 (DREADY) をセットすることによりイネーブルできます。DREADY ビットの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

更に、CONFIG レジスタ (アドレス 0xE618) のビット [1:0] (ZX_DREADY) を 00 に設定すると、ZX/DREADY ピンで DREADY 機能が選択されます。この場合、STATUS0 レジスタの DREADY ビットが 1 にセットされた約 70ns 後に、ZX/DREADY ピンがローになります。ZX/DREADY ピンは 10 μ s 間ローを維持し、その後ハイに戻ります。ZX/DREADY ピンのローからハイへの遷移は、波形サンプル・レジスタのバースト読出しを開始させるのに使用できます。詳細については、I²C バースト読出し動作のセクションと SPI バースト読出し動作のセクションを参照してください。

ADE7978 には、以下の波形サンプル・レジスタへの高速アクセスを提供するように特別に設計された高速データ・キャプチャ (HSDC) ポートが内蔵されています。これらのレジスタは、IAWV、IBWV、ICWV、INWV、VAWV、VBWV、VCWV、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR、AVA、BVA、CVA です。HSDC インターフェースの詳細については、HSDC インターフェースのセクションを参照してください。

ADE7978 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 52 に示す xIGAIN レジスタと同様に、表 29 に示すレジスタは 28 ビットに符号拡張され、4 つの 0 が埋められて 32 ビット・レジスタとして送信されます。

表 29. 波形サンプル・レジスタ

レジスタ	説明
IAWV	A 相電流
IBWV	B 相電流
ICWV	C 相電流
INWV	中性電流
VAWV	A 相電圧
VBWV	B 相電圧
VCWV	C 相電圧
VA2WV	A 相補助電圧
VB2WV	B 相補助電圧
VC2WV	C 相補助電圧
VNWV	中性線電圧
VN2WV	中性線補助電圧
AVA	A 相皮相電力
BVA	B 相皮相電力
CVA	C 相皮相電力
AWATT	A 相総合有効電力
BWATT	B 相総合有効電力
CWATT	C 相総合有効電力
AVAR	A 相総合無効電力
BVAR	B 相総合無効電力
CVAR	C 相総合無効電力
AVTHD	A 相電圧の全高調波歪み (THD)
AITHD	A 相電流の全高調波歪み (THD)
BVTHD	B 相電圧の全高調波歪み (THD)
BITHD	B 相電流の全高調波歪み (THD)
CVTHD	C 相電圧の全高調波歪み (THD)
CITHD	C 相電流の全高調波歪み (THD)

電力量／周波数変換

ADE7978は、CF1、CF2、CF3の3つの周波数出力ピンを備えています。CF3ピンは、HSDCインターフェースのHSCLKピンとマルチプレクスされています。HSDCを有効化すると、このピンでのCF3機能が無効化されます。CF1ピンとCF2ピンは常時使用可能です。

製造時の初期キャリブレーションの後、メーカーまたは最終顧客が電力量計のキャリブレーションを検証します。電力量計のキャリブレーションを検証する便利な方法の1つは、出力周波数を定常負荷条件下での有効／無効／皮相電力に比例させることです。この出力周波数は、外部キャリブレーション機器に対して、光学的に絶縁されたシンプルな単線インターフェースとなります。図92に、ADE7978の電力量／周波数変換を示します。

DSPは、総合有効、基本波有効、総合無効、基本波無効、皮相のすべての相の電力の瞬時値を計算します。電力量がxWATTHR、xFWATTHR、xVARHR、xFVARHR、xVAHRレジスタでどのように符号付きで積算されるかについては、有効電力量の計算、無効電力量の計算、皮相電力量の計算の各セクションを参照してください。

電力量／周波数変換プロセスでは、瞬時電力によって周波数出力ピン（CF1、CF2、CF3）に信号が生成されます。CFxピンごとに1つの電力量／周波数コンバータが使用されます。各コンバータは、特定の相の電力を合計し、その合計に比例する信号を生成します。

CFxピンに変換される出力は、TERMSELx [2:0] ビットとCFxSEL [2:0] ビットの2つのビット・セットで指定されます。

TERMSELx [2:0] ビット

COMPmode レジスタ（アドレス 0xE60E）のビット [2:0]（TERMSEL1 [2:0]）、ビット [5:3]（TERMSEL2 [2:0]）、ビット [8:6]（TERMSEL3 [2:0]）は、電力量／周波数変換で合計を求める相を指定します。

- The TERMSEL1 [2:0] ビットはCF1ピンを設定。
- The TERMSEL2 [2:0] ビットはCF2ピンを設定。
- The TERMSEL3 [2:0] ビットはCF3ピンを設定。

TERMSELx [0] ビットはA相を管理します。これらのビットを1にセットすると、A相の電力がCFxコンバータでの電力の合計に含まれます。これらのビットを0にクリアすると、A相の電力は電力の合計に含まれません。TERMSELx [1] ビットはB相を管理し、TERMSELx [2] ビットはC相を管理します。

すべてのTERMSELx [2:0] ビットを1にセットすると、3つの相のすべての電力がCFxコンバータで加算されます。すべてのTERMSELx [2:0] ビットを0にクリアすると、相電力がCFxコンバータで加算されず、CFパルスは生成されません。

CFxSEL [2:0] ビット

CFMODE レジスタのビット [2:0]（CF1SEL [2:0]）、ビット [5:3]（CF2SEL [2:0]）、ビット [8:6]（CF3SEL [2:0]）アドレス 0xE610）は、CF1、CF2、CF3コンバータの入力でどのタイプの電力を使用するかを指定します（表30参照）。

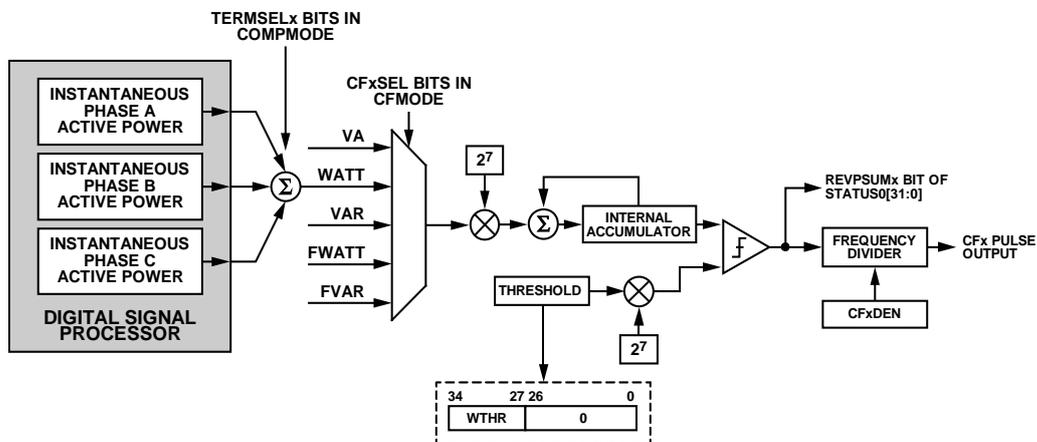


図 92. 電力量／周波数変換

表 30. CFMODE レジスタの CFxSEL [2:0] ビットの説明

CFxSEL [2:0]	合計が CFx 信号の比例対象となる電力のタイプ	CFxLATCH = 1 のときにラッチされるレジスタ
000	総合有効電力	AWATTHR, BWATTHR, CWATTHR
001	総合無効電力	AVARHR, BVARHR, CVARHR
010	皮相電力	AVAHR, BVAHR, CVAHR
011	基本波有効電力	AFWATTHR, BFWATTHR, CFWATTHR
100	基本波無効電力	AFVARHR, BFVARHR, CFVARHR
101 to 111	予備	

デフォルトでは、TERMSELx [2:0] ビットは 1 に、CF1SEL [2:0] ビットは 000 に、CF2SEL [2:0] ビットは 001 に、CF3SEL [2:0] ビットは 010 に設定されます。したがって、電力量/周波数コンバータのデフォルト設定は以下のとおりです。

- CF1 コンバータは、3 相すべての総合有効電力の合計に比例する信号を生成。
- CF2 コンバータは、3 相すべての総合無効電力の合計に比例する信号を生成。
- CF3 コンバータは、3 相すべての皮相電力の合計に比例する信号を生成。

電力量/周波数変換プロセス

電力量/周波数変換は 2 段階で実行されます。1 段目は、有効電力量の計算、無効電力量の計算、皮相電力量の計算の各セクションで説明した電力量積算プロセスと同じです。

2 段目は、16 ビット符号なしレジスタ CF1DEN、CF2DEN、CF3DEN (アドレス 0xE611~アドレス 0xE613) によって実装される周波数分周器を使用します。CFxDEN レジスタの値は、インパルス/kWh を単位とする電力量計数 (MC)、および各種電力量レジスタ (xWATTHR、xVARHR など) の 1LSB に割り当てられる電力量によって決まります。例えば、Wh (10⁶Wh、n は整数) の値から xWATTHR レジスタの 1LSB を引き出す場合、CFxDEN は次式を使用して計算します。

$$CFxDEN = \frac{10^3}{MC[\text{impulses/kWh}] \times 10^n} \quad (50)$$

Wh から引き出す値は、CFxDEN レジスタ値が 1 より大きくなるように選択する必要があります。CFxDEN = 1 の場合、CFx ピンは 1μs 間しかアクティブ・ローを保持しません。このため、CFxDEN レジスタに 1 を設定しないでください。周波数コンバータは分数の結果に対応できないので、除算の結果は最も近い整数に丸める必要があります。CFxDEN を 0 に設定した場合、ADE7978 はそれを 1 とみなします。

パルス周期が 160ms (6.25Hz) より大きい場合、CFx パルス出力は 80ms 間ローを保持します。パルス周期が 160ms 未満で、CFxDEN が偶数の場合、パルス出力のデューティ・サイクルは正確に 50% です。パルス周期が 160ms 未満で、CFxDEN が奇数の場合、パルス出力のデューティ・サイクルは次のようになります。

$$(1 + 1/CFxDEN) \times 50\%$$

CF1、CF2、または CF3 ピンでの最大パルス周波数は 68.8kHz で、1 つの相において以下の条件で得られます。

- WTHR、VARTHR、および VATHR レジスタを 3 に設定。
- CF1DEN、CF2DEN、および CF3DEN レジスタを 1 に設定。
- 相に対し、同相のフルスケール電流および電圧を印加。

CFx パルス出力はアクティブ・ローです。図 93 に示すように、このピンを LED に接続することを推奨します。CFx ピンの駆動能力を補うためのトランジスタは必要ありません。

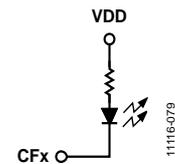


図 93. CFx ピンの推奨接続

CFMODE レジスタ (アドレス 0xE610) のビット [11:9] (CF3DIS、CF2DIS、CF1DIS) は、周波数コンバータの出力を CF3、CF2、または CF1 ピンで生成するかどうかを指定します。ビット CFxDIS を 1 (デフォルト値) に設定すると、CFx ピンはディスエーブルされ、ハイを保持します。ビット CFxDIS を 0 にクリアすると、対応する CFx ピン出力はアクティブ・ロー信号を生成します。

MASK0 レジスタ (アドレス 0xE50A) のビット [16:14] (CF3、CF2、CF1) は、CF3、CF2、CF1 の割込みを管理します。CFx ビットをセットし、対応する周波数コンバータ出力がハイからローに遷移すると、IRQ0 割込みがトリガされ、STATUS0 レジスタの該当するビットが 1 にセットされます。割込みは、CFx 出力が CFMODE レジスタの CFxDIS ビットによってイネーブルされていない場合でも使用できます。

電力量レジスタと CFx 出力の同期

ADE7978 は、相電力量積算レジスタの内容を CFx パルスの生成と同期させることができます。1 つの周波数コンバータ出力でハイからローに遷移すると、CFx ピンに出力される電力に関連するすべての内部相電力量レジスタの内容がワット時レジスタや VAR 時レジスタなどの時間レジスタにラッチされ、その後、0 にリセットされます。CFMODE レジスタの CFxSEL [2:0] ビットに基づいてラッチされるレジスタ一覧を表 30 に示します。3 相すべてのレジスタは、COMPmode レジスタの TERMSELx [2:0] ビットの設定とは無関係にラッチされます。図 94 は、このプロセスを CF1SEL [2:0] = 010 (皮相電力が CF1 ピンに寄与) および CFCYC = 2 の場合について示しています。

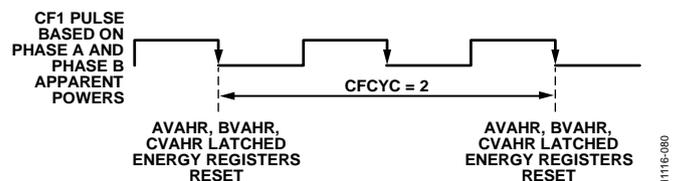


図 94. AVAHR および BVAHR と CF1 の同期

8 ビット符号なし CFCYC レジスタ (アドレス 0xE705) には、周波数コンバータ出力での、2 つの連続するラッチ間のハイからローへの遷移数が格納されます。CFx ピンでのハイからローへの遷移時に、CFCYC レジスタに新しい値を書き込むことは避けてください。

CFMODE レジスタのビット [14:12] (CF3LATCH、CF2LATCH、CF1LATCH) を 1 にセットすると、相電力量積算レジスタのラッチがイネーブルされます。これらのビットを 0 (デフォルト状態) にクリアすると、ラッチは行われません。CFMODE レジスタの CFxDIS ビットによって CFx 出力をイネーブルしていない場合でも、ラッチング・プロセスは使用できます。

各種積算モードの電力量レジスタと CFx 出力

ACCMODE レジスタ (アドレス 0xE701) のビット [1:0] (WATTACC [1:0]) は、有効電力に比例する信号が CFx ピンで選択 (CFxSEL [2:0] ビットが 000 または 011 に設定) されている場合総合/基本波の有効電力積算モードを指定します。これらのビットは、ワット時電力量レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR) の積算モードも指定します。

WATTACC [1:0] = 00 (デフォルト値) のとき、有効電力は、ワット時電力量レジスタで符号付きで積算されてから電力量/周波数コンバータに入ります。図 95 に、符号付き有効電力積算の動作を示します。このモードでは、CFx パルスは xWATTHR および xFWATTHR レジスタで積算された有効電力量と完全に同期します。両方のデータパスで、電力が符号付きで積算されるためです。

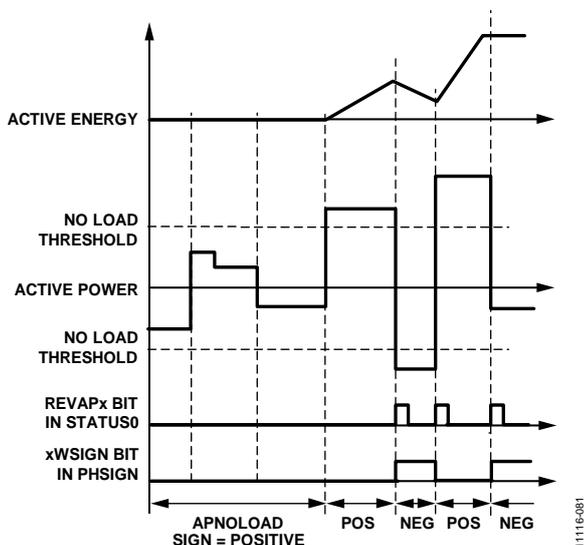


図 95. 有効電力の符号付き積算モード

WATTACC [1:0] = 01 の場合、有効電力は正のみのモードで積算されます。電力が負の場合、それらはワット時電力量レジスタで積算されません。CFx パルスは、符号付き積算モードに基づいて生成されます。WATTACC [1:0] = 01 の場合、CFx パルスは xWATTHR および xFWATTHR レジスタで積算される有効電力量と完全に同期しません。電力が各データパスで積算される方法が異なるためです。図 96 は、正のみの積算における動作を示しています。

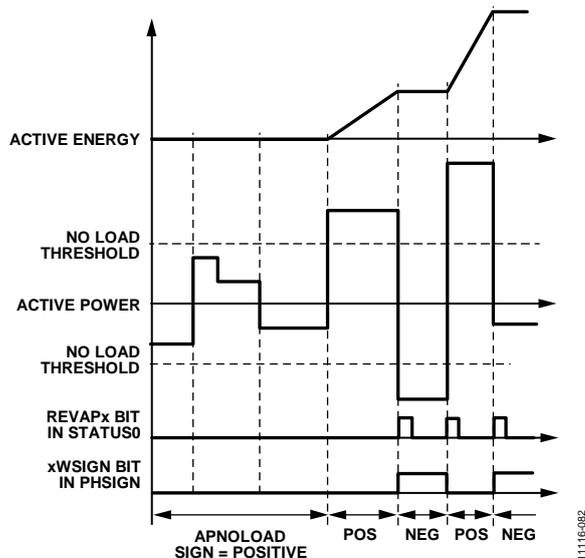


図 96. 有効電力の正のみの積算モード

WATTACC [1:0] = 10 の設定は予備であり、ADE7978 は WATTACC [1:0] = 00 の場合と同様に動作します。

WATTACC [1:0] = 11 の場合、有効電力は絶対モードで積算されます。電力が負の場合、符号が反転し、正の電力と共にワット時レジスタで積算されてから、電力量/周波数コンバータに入ります。

このモードでは、CFx パルスは xWATTHR および xFWATTHR レジスタで積算された有効電力量と完全に同期します。両方のデータパスにおいて電力が同じ方法で積算されるためです。図 97 は、有効電力の絶対積算における動作を示しています。

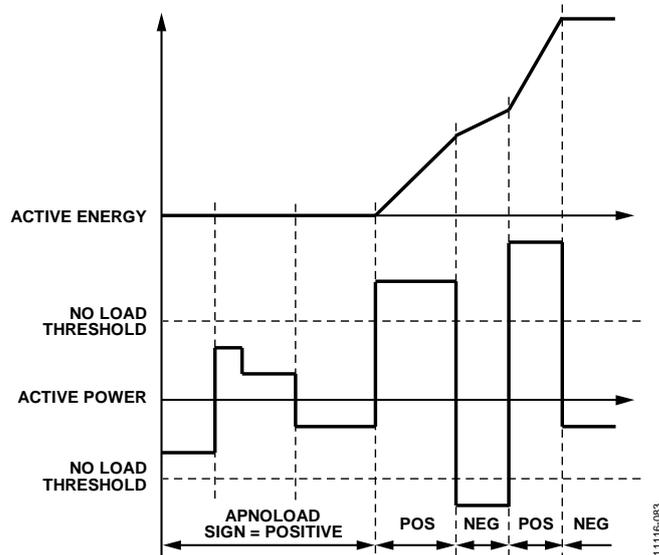


図 97. 有効電力の絶対積算モード

ACCMODE レジスタのビット [3:2] (VARACC [1:0]) は、無効電力に比例する信号が CFx ピンで選択 (CFMODE レジスタの CFxSEL[2:0] ビットが 001 または 100 に設定) されている場合の総合/基本波の無効電力積算モードを指定します。これらのビットは、VAR 時電力量レジスタ (AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR、CFVARHR) の積算モードも指定します。

VARACC [1:0] = 00 (デフォルト値) の場合、無効電力は、VAR 時電力量レジスタで符号付きで積算されてから電力量/周波数コンバータに入ります。図 98 に、符号付き無効電力積算の動作を示します。このモードでは、CFx パルスは xVARHR および xFVARHR レジスタで積算された無効電力量と完全に同期します。電力が両方のデータパスにおいて符号付きで積算されるためです。

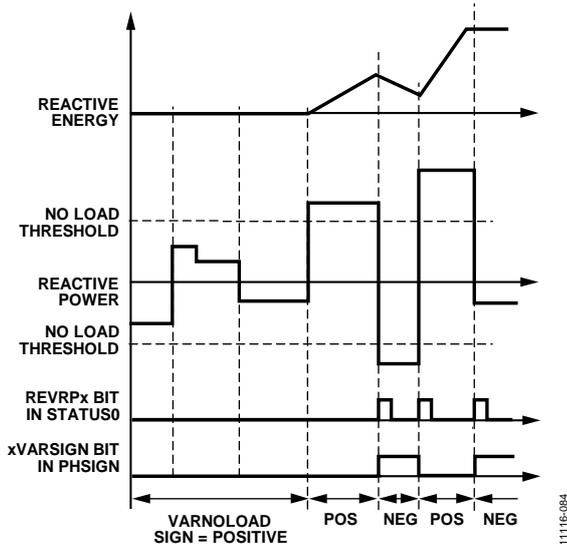


図 98. 無効電力の符号付き積算モード

VARACC [1:0] = 01 の設定は予備であり、ADE7978 は VARACC [1:0] = 00 の場合と同様に動作します。

VARACC [1:0] = 10 の場合、無効電力は、VAR 時電力量レジスタに格納されている有効電力の符号に応じて積算されてから電力量/周波数コンバータに入ります。有効電力が無負荷閾値 APNOLOAD より小さいときに正または 0 とみなされた場合、無効電力はそのまま積算されます。有効電力が負の場合、無効電力の符号が変更されて積算されます。

図 99 に、符号調整を行った無効電力積算モードの動作を示します。このモードでは、CFx パルスは xVARHR および xFVARHR レジスタで積算される無効電力量と完全に同期します。両方のデータパスにおいて同じ方法で電力が積算されるためです。

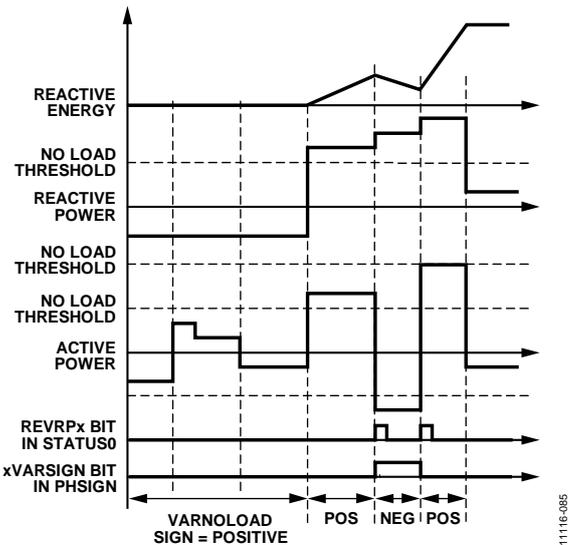


図 99. 無効電力の符号調整モード

VARACC [1:0] = 11 の場合、無効電力は絶対モードで積算されます。電力が負の場合、符号が反転し、正の電力と共に VAR 時レジスタで積算されてから、電力量/周波数コンバータに入ります。このモードでは、CFx パルスは xVARHR と xFVARHR レジスタで積算される無効電力量と完全に同期します。図 100 は、絶対無効電力積算の動作を示しています。

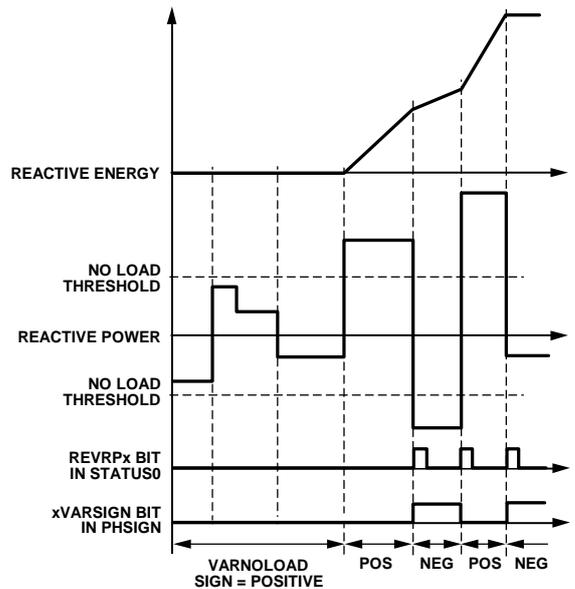


図 100. 無効電力の絶対積算モード

CFx データパスでの相電力総和の符号

ADE7978 は、CFx データパスで使用される相電力の総和に対する符号検出回路を備えています。電力量/周波数変換プロセスのセクションで説明したように、CFx データパスでの電力量積算は2段階で実行されます。1段目の最後での電力量積算で符号変化が検出されるたびに、つまり、加算器で積算された電力量が WTHR、VARTHR、または VATHR のいずれかの閾値に達するたびに、対応する CFx パルスと同期して専用割込みをトリガできます。各総和の符号は、PHSIGN レジスタ（アドレス 0xE617）から読み出すことができます。

STATUS0 レジスタのビット 18、ビット 13、ビット 9（それぞれ REVPSUM3、REVPSUM2、REVPSUM1）は、CF3、CF2、または CF1 データパスでの電力総和に符号変化が発生したときに 1 にセットされます。符号変化後にこれらのイベントを CFx ピンでの生成パルスと相関させるために、CF3、CF2、または CF1 ピンでのハイからローへの遷移時に、それぞれ REVPSUM3、REVPSUM2、または REVPSUM1 ビットがセットされます。

REVPSUM3 ビット、REVPSUM2 ビット、REVPSUM1 ビットが 1 にセットされると、PHSIGN レジスタのビット 8、ビット 7、ビット 3（それぞれ SUM3SIGN、SUM2SIGN、SUM1SIGN）が 1 にセットされます。SUMxSIGN ビットは、相電力の総和の符号を示します。これらのビットが 0 にクリアされた場合、総和は正です。1 にセットされた場合、総和は負です。

STATUS0 レジスタのビット 18、ビット 13、ビット 9（それぞれ REVPSUM3、REVPSUM2、REVPSUM1）に関連付けられている割込みは、MASK0 レジスタのビット 18、ビット 13、ビット 9 をセットすることによってイネーブルされます。イネーブルされた場合、符号変化の発生時に、IRQ0 ピンがローに設定され、ステータス・ビットが 1 にセットされます。割込みをトリガした相を特定するには、STATUS0 レジスタを読み出した直後に PHSIGN レジスタを読み出します。STATUS0 レジスタの該当するビットに 1 を書き込むと、ステータス・ビットはクリアされ、IRQ0 ピンは再びハイに設定されます。

無負荷状態

無負荷状態は、電力量計関連の規格において、電力量計に電圧が印加されているが、電流回路に電流が流れていない状態と定義されています。電力量計でのクリーブ効果を排除するために、ADE7978は、3つの独立した無負荷検出回路を備えています。1つは総合有効/無効電力に関連し、1つは基本波の有効/無効電力に関連し、1つは皮相電力に関連します。

総合有効/無効電力に基づく無負荷検出

APNOLOAD および VARNOLOAD レジスタで指定した期間、1つの相の総合有効/無効電力量レジスタ (xWATTHR および xVARHR, x = A, B, または C) で LSB が積算されない場合、有効/無効電力に基づく無負荷状態がトリガされます。無負荷状態では、相の総合有効/無効電力量は積算されず、これらの電力量に基づく CFx パルスも生成されません。

16ビット符号なしレジスタ APNOLOAD および VARNOLOAD の値を計算するための式は次のとおりです。

$$APNOLOAD = 2^{16} - 1 - \frac{Y \times WTHR \times 2^{17}}{PMAX} \quad (51)$$

$$VARNOLOAD = 2^{16} - 1 - \frac{Y \times VARTH \times 2^{17}}{PMAX}$$

ここで、

Yは、フルスケールを基準に計算される、目的の無負荷電流閾値。例えば、無負荷閾値電流をフルスケール値より 10,000 倍低く設定する場合、Y = 10,000 です。

WTHR および VARTH は、WTHR および VARTH レジスタに格納されている値。これらの値は、有効/無効電力量に対する1段階目の電力量加算器の閾値として使用されます (有効電力量計算のセクションと無効電力量計算のセクションを参照)。PMAX = 26,991,271、ADC 入力フルスケールのときに計算される瞬時有効電力。

VARNOLOAD レジスタ (アドレス 0xE909) には通常、APNOLOAD レジスタ (アドレス 0xE908) と同じ値を設定します。APNOLOAD レジスタと VARNOLOAD レジスタの両方を 0x0 に設定した場合、無負荷検出回路はディスエーブルされません。APNOLOAD または VARNOLOAD の一方の閾値を 0 に設定し、もう一方の閾値をゼロ以外の値に設定した場合、無負荷回路はディスエーブルされ、総合有効/無効電力は制限なしに積算されます。

3つの相のうちの1つで有効または無効の総合電力に基づく無負荷状態が検出されたときに、STATUS1 レジスタ (アドレス 0xE503) のビット 0 (NLOAD) がセットされます。PHNOLOAD レジスタ (アドレス 0xE608) のビット [2:0] (NLPHASE [2:0]) はすべての相の無負荷状態を示し、STATUS1 レジスタの NLOAD ビットと同時にセットされます。

NLPHASE [0] は A 相の状態を示し、NLPHASE [1] は B 相の状態を示し、NLPHASE [2] は C 相の状態を示します。NLPHASE [x] ビットが 0 にクリアされている場合、x 相は無負荷状態にはありません。これらのビットが 1 にセットされている場合、x 相は無負荷状態にあります。

STATUS1 レジスタのビット 0 (NLOAD) に関連付けられている割込みは、MASK1 レジスタ (アドレス 0xE50B) のビット 0 をセットすることでイネーブルできます。イネーブルすると、IRQ1 ピンがローになり、3 相のいずれかが無負荷状態に入るか、無負荷状態から抜けると、ステータス・ビットが 1 にセットされます。割込みをトリガした相を特定するには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。STATUS1 レジスタのビット 0 に 1 を書き込むことによって、このステータス・ビットはクリアされ、IRQ1 ピンはハイに戻ります。

基本波有効/無効電力に基づく無負荷検出

16 ビット符号なし APNOLOAD および VARNOLOAD レジスタで指定した期間、1 相の基本波有効/無効電力量レジスタ (xFWATTHR および xFVARHR, x = A, B, または C) で LSB が積算されない場合、基本波有効/無効電力に基づく無負荷状態がトリガされます。無負荷状態では、相の基本波有効/無効電力量は積算されず、これらの電力量に基づく CFx パルスは生成されません。

APNOLOAD と VARNOLOAD は、総合有効/無効電力量で設定する無負荷閾値と同じです。APNOLOAD レジスタと VARNOLOAD レジスタの両方を 0x0 に設定した場合、無負荷検出回路はディスエーブルされます。APNOLOAD または VARNOLOAD の一方の閾値を 0 に設定し、もう一方の閾値をゼロ以外の値に設定した場合、無負荷回路はディスエーブルされ、基本波の有効/無効電力は制限なしに積算されます。

3つの相のうちの1つで基本波の有効または無効電力に基づく無負荷状態が検出されたときに、STATUS1 レジスタのビット 1 (FNLOAD) がセットされます。PHNOLOAD レジスタのビット [5:3] (FNLPHASE [2:0]) はすべての相の無負荷状態を示し、STATUS1 レジスタの FNLOAD ビットと同時にセットされます。

FNLPHASE [0] は A 相の状態を示し、FNLPHASE [1] は B 相の状態を示し、FNLPHASE [2] は C 相の状態を示します。FNLPHASE [x] ビットが 0 にクリアされている場合、x 相は無負荷状態にはありません。これらのビットが 1 にセットされている場合、x 相は無負荷状態にあります。

STATUS1 レジスタのビット 1 (FNLOAD) に関連付けられている割込みは、MASK1 レジスタのビット 1 をセットすることでイネーブルできます。イネーブルすると、IRQ1 ピンがローになり、3 相のいずれかが無負荷状態に入るか、無負荷状態から抜けると、ステータス・ビットが 1 にセットされます。割込みをトリガした相を特定するには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。STATUS1 レジスタのビット 1 に 1 を書き込むことによって、このステータス・ビットはクリアされ、IRQ1 ピンはハイに戻ります。

皮相電力に基づく無負荷検出

VANOLOAD レジスタで指定した期間、1つの相の皮相電力量レジスタ (xVAHR, x = A, B, または C) で LSB が積算されない場合、皮相電力に基づく無負荷状態がトリガされます。無負荷状態では、相の皮相電力量は積算されず、この電力量に基づく CFx パルスは生成されません。

16 ビット符号なしレジスタ VANOLOAD レジスタの値を計算するための式は次のとおりです。

$$VANOLOAD = 2^{16} - 1 - \frac{Y \times VATHR \times 2^{17}}{PMAX} \quad (52)$$

ここで、

Y は、フルスケールを基準に計算される、目的の無負荷電流閾値。例えば、無負荷閾値電流をフルスケール値より 10,000 倍低く設定する場合、Y = 10,000 です。

VATHR は、VATHR レジスタに格納された値。この値は、皮相電力量に対する 1 段目の電力量加算器の閾値として使用されず (皮相電力量計算のセクションを参照)。

PMAX = 26,991,271、ADC 入力が入力フルスケールのときに計算される瞬時有効電力。

VANOLOAD レジスタ (アドレス 0xE90A) を 0x0 に設定した場合、無負荷検出回路はディスエーブルされます。

3つの相のうちの1つで皮相電力に基づく無負荷状態が検出されたとき、STATUS1 レジスタのビット 2 (VANLOAD) がセットされます。PHNOLOAD レジスタのビット [8:6] (VANLPHASE [2:0]) はすべての相の無負荷状態を示し、STATUS1 レジスタの VANLOAD ビットと同時にセットされます。

VANLPHASE [0] は A 相の状態を示し、VANLPHASE [1] は B 相の状態を示し、VANLPHASE [2] は C 相の状態を示します。VANLPHASE [x] ビットが 0 にクリアされている場合、x 相は無負荷状態にはありません。これらのビットが 1 にセットされている場合、x 相は無負荷状態にあります。

STATUS1 レジスタのビット 2 (VANLOAD) に関連付けられている割込みは、MASK1 レジスタのビット 2 をセットすることでイネーブルできます。イネーブルすると、IRQ1 ピンがローになり、3 相のいずれかが無負荷状態に入るか出ると、ステータス・ビットが 1 にセットされます。割込みをトリガした相を特定するには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。STATUS1 レジスタのビット 2 に 1 を書き込むことによって、このステータス・ビットはクリアされ、IRQ1 ピンはハイに戻ります。

割込み

ADE7978には $\overline{\text{IRQ0}}$ と $\overline{\text{IRQ1}}$ の2つの割込みピンがあります。各ピンは、32ビットの割込みマスク・レジスタ MASK0 (アドレス $0x\text{E50A}$) とマスク 1 (アドレス $0x\text{E50B}$) によってそれぞれ管理されます。割込みをイネーブルするには、 MASKx レジスタの該当するビットを 1 にセットする必要があります。割込みをディスエーブルするには、このビットを 0 にクリアする必要があります。2つの 32ビット・ステータス・レジスタ、 STATUS0 (アドレス $0x\text{E502}$) と STATUS1 (アドレス $0x\text{E503}$) が割込みに関連付けられています。

ADE7978 で割込みイベントが発生すると、ステータス・レジスタの対応するフラグがロジック 1 にセットされます (表 45 および表 46 を参照)。割込みマスク・レジスタの割込みマスク・ビットがロジック 1 の場合、 $\overline{\text{IRQx}}$ 出力はアクティブ・ローになります。ステータス・レジスタのフラグ・ビットは、マスク・ビットの状態に関係なくセットされます。

割込み発生源を特定するために、マイクロコントローラ (MCU) は該当する STATUSx レジスタを読み出して、どのビットが 1 にセットされたかを識別します。ステータス・レジスタのフラグをクリアするには、MCU はフラグを 1 にセットして STATUSx レジスタにライトバックします。

割込みピンがローになると、ステータス・レジスタを読み出すことによって割込み源が特定されます。ステータス・レジスタに 1 をライトバックすると、ステータス・フラグは 0 にクリアされます。ステータス・フラグがクリアされるまで、 $\overline{\text{IRQx}}$ ピンはローを保持します。

デフォルトでは、 RSTDONE 割込みを除くすべての割込みはディスエーブルされます。 RSTDONE 割込みはディスエーブル (マスク) できないため、 MASK1 レジスタのビット 15 (RSTDONE) は機能しません。パワーアップ時またはハードウェア/ソフトウェアのリセット終了時、 $\overline{\text{IRQ1}}$ ピンは常にローになり、 STATUS1 レジスタのビット 15 (RSTDONE) は常に 1 にセットされます。ステータス・フラグをクリアするには、 STATUS1 レジスタのビット 15 (RSTDONE) に 1 を書き込む必要があります。

特定の割込みは他のステータス・レジスタと組み合わせて使用します。 STATUSx レジスタを読み出し、表 31~表 35 に示されているビットの 1 つを 1 にセットしていると、そのビットに関連するステータス・レジスタが直ちに読み出され、割込みをトリガした相が識別されます。関連するステータス・レジスタを読み出した後でのみ、 STATUSx レジスタのビットを 1 にセットしてライトバックできます。

表 31 に、 PHSIGN レジスタ (アドレス $0x\text{E617}$) のビットと共に動作する MASK0 レジスタのビットを示します。

表 31. MASK0 レジスタ・ビットと PHSIGN レジスタ・ビット

MASK0 Register (Address $0x\text{E50A}$)		PHSIGN Register (Address $0x\text{E617}$)	
Bits	Bit Name	Bits	Bit Name
[8:6]	REVAPx	[2:0]	xWSIGN[2:0]
[12:10]	REVRPx	[6:4]	xVARSIGN[2:0]
9	REVPSUM1	3	SUM1SIGN
13	REVPSUM2	7	SUM2SIGN
18	REVPSUM3	8	SUM3SIGN

表 32 に、 PHNOLOAD レジスタ (アドレス $0x\text{E608}$) のビットと共に動作する MASK1 レジスタのビットを示します。

表 32. MASK1 レジスタ・ビットと PHNOLOAD レジスタ・ビット

MASK1 Register (Address $0x\text{E50B}$)		PHNOLOAD Register (Address $0x\text{E608}$)	
Bits	Bit Name	Bits	Bit Name
0	NLOAD	[2:0]	NLPHASE[2:0]
1	FNLOAD	[5:3]	FNLPHASE[2:0]
2	VANLOAD	[8:6]	VANLPHASE[2:0]

表 33 に、 PHSTATUS レジスタ (アドレス $0x\text{E600}$) のビットと共に動作する MASK1 レジスタのビットを示します。

表 33. MASK1 レジスタ・ビットと PHSTATUS レジスタ・ビット

MASK1 Register (Address $0x\text{E50B}$)		PHSTATUS Register (Address $0x\text{E600}$)	
Bits	Bit Name	Bits	Bit Name
16	Sag	[14:12]	VSPHASE[2:0]
17	OI	[5:3]	OIPHASE[2:0]
18	OV	[11:9]	OVPHASE[2:0]

表 34 と表 35 に、 IPEAK レジスタ (アドレス $0x\text{E500}$) および VPEAK レジスタ (アドレス $0x\text{E501}$) のビットと共に動作する MASK1 レジスタのビットを示します。

表 34. MASK1 レジスタ・ビットと IPEAK レジスタ・ビット

MASK1 Register (Address $0x\text{E50B}$)		IPEAK Register (Address $0x\text{E500}$)	
Bits	Bit Name	Bits	Bit Name
23	PKI	[26:24]	IPPHASE[2:0]

表 35. MASK1 レジスタ・ビットと VPEAK レジスタ・ビット

MASK1 Register (Address $0x\text{E50B}$)		VPEAK Register (Address $0x\text{E501}$)	
Bits	Bit Name	Bits	Bit Name
24	PKV	[26:24]	VPPHASE[2:0]

MCU での割込みの使用

図 101 に、MCU を使用した ADE7978 の割込み管理に推奨される実装のタイミング図を示します。時刻 t_1 で $\overline{\text{IRQx}}$ ピンがローになり、ADE7978 で 1 つまたは複数の割込みイベントが発生したことを示しています。 $\overline{\text{IRQx}}$ ピンがローになると、以下のステップが実行されます。

1. $\overline{\text{IRQx}}$ ピン、立下がりエッジでトリガされる MCU の外部割込みに接続します。
2. MCU が負のエッジを検出したときに割込みサービス・ルーチン (ISR) の実行を開始するように、MCU を設定します。
3. MCU が ISR の実行を開始すると、グローバル割込みマスク・ビットを使用してすべての割込みをディスエーブルします。これで MCU の外部割込みフラグがクリアされ、現在の ISR 中に発生する割込みイベントを捉えることができます。
4. MCU 割込みフラグがクリアされると、割込みステータス・レジスタ STATUSx を読み出します。割込みステータス・レジスタの内容は、割込み源を特定し、それにより実行すべき適切な動作を決定するために使用されます。
5. STATUSx の同じ内容を ADE7978 にライトバックしてステータス・フラグをクリアし、 $\overline{\text{IRQx}}$ ラインをロジック・ハイにリセットします (t_2)。

更に続けて割込みイベントが ISR 中に発生すると (t_3)、そのイベントは MCU の外部割込みフラグが再びセットされることによって示されます。

ISR から復帰すると、同じ命令サイクルでグローバル割込みマスク・ビットがクリアされ、外部割込みフラグによって MCU が ISR に再びジャンプします。この動作により、MCU は外部割込みを確実に捉えることができます。

図 102 は、 STATUSx レジスタのステータス・ビットが他のレジスタのビットと連動して動作する場合の推奨タイミング図を示しています。 $\overline{\text{IRQx}}$ ピンがローになると、 STATUSx レジスタが読み出され、これらのビットの1つが1にセットされている場合、2 番目のステータス・レジスタが直ちに読み出され、割込みをトリガした相が識別されます。図 102 では、 PHx は、 PHNOLOAD 、 PHSTATUS 、 IPEAK 、 VPEAK 、または PHSIGN レジスタを示します。 PHx レジスタを読み出した後、 STATUSx レジスタはステータス・フラグにライトバックしてクリアします。

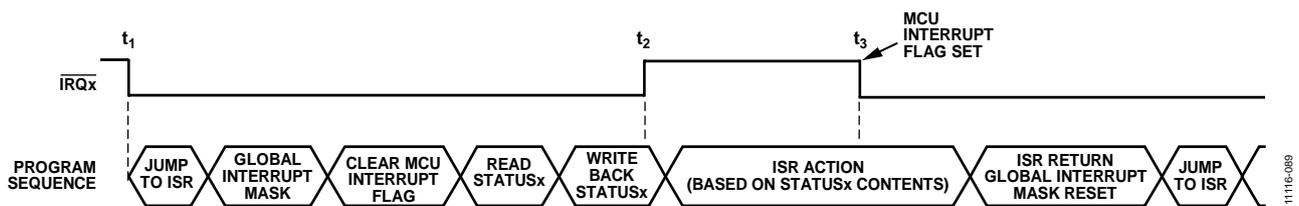


図 101. 割込み管理

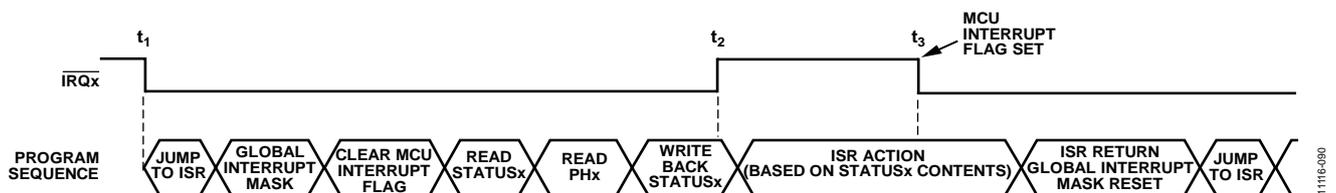


図 102. PHSTATUS 、 IPEAK 、 VPEAK 、または PHSIGN レジスタが関与する場合の割込み管理

パワー・マネージメント

DC/DC コンバータ

ADE7933/ADE7932 の DC/DC コンバータ部分は、最近のほとんどの電源に共通する原理に基づいて動作します。VDD 電源は、チップ・スケールの空芯変圧器への電流をスイッチングする発振回路に供給されます。電力は2次側に転送され、2.8V の DC 電圧に整流されます。更にこの電圧は、2.5V LDO レギュレータを介して ADE7933/ADE7932 の ADC セクションに供給されます。

ADE7933/ADE7932 の内蔵 DC/DC コンバータの状態は、VDD 入力によって制御されます。通常の動作モードでは、VDD を 2.97V ~ 3.63V の電圧に維持します。

図 103 は、ADE7933/ADE7932 の絶縁型 DC/DC コンバータのブロック図です。1次電源電圧入力 (VDD) には AC 電源を供給します。AC 信号は、チップ・スケール空芯トランスを経由して 2次側に転送されます。その後、整流器が絶縁電源 VDD_{ISO} を生成します。別のチップ・スケール空芯トランスを使用して、フィードバック回路が VDD_{ISO} を測定し、その情報を VDD ドメインに戻します。ここで、PWM 制御ブロックが VDD_{ISO} を 2.8V に維持するように AC 電源を制御します。

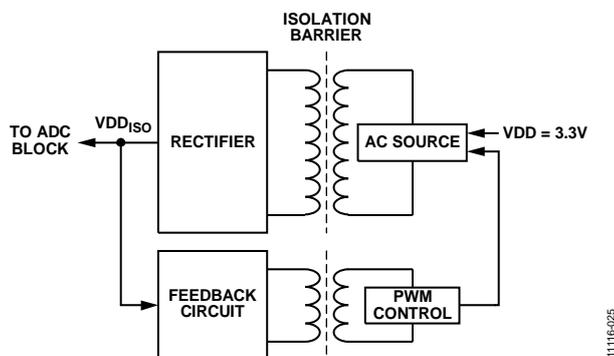


図 103. 絶縁型 DC/DC コンバータのブロック図

PWM 制御ブロックは、1.024MHz (CLKIN/16) の周波数で動作します。半周期おきに、制御ブロックは EMI_CTRL ピンの状態に基づいて AC 電源へ PWM パルスを生成します (図 104 参照)。

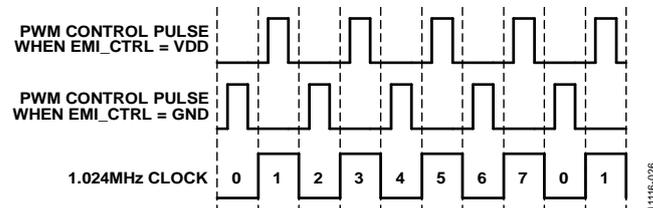


図 104. 1.024MHz クロックをベースにパルスを生成する PWM 制御ブロック

PWM パルスが生成されるたびに、AC 電源は絶縁バリアを越えて非常に高い周波数の信号を送信するため、小型チップ・スケール・トランスを介して効率的な電力転送が可能です。この転送により、高周波電流が生成され、回路基板のグラウンド・プレーンと電源プレーンで伝播するため、エッジ放射とダイポール放射が発生することがあります。

電磁干渉 (EMI) 問題を管理するには、適切な PCB レイアウトになるよう注意を払う必要があります。レイアウト・ガイドラインのセクションでは、PCB レイアウトを実現する最善の方法について説明しています。設計者は、PCB レイアウトを適切に設計するだけでなく、EMI_CTRL ピンを使用して、ADE7933/ADE7932 の DC/DC コンバータが発生させるエミッションを低減することもできます。

PWM 制御ブロックを管理する 4 クロック周期はすべて、スロット 0 からスロット 7 までの 8 つのスロットに分割されます (図 104 参照)。EMI_CTRL ピンを GND に接続すると、PWM 制御ブロックはスロット 0、スロット 2、スロット 4、スロット 6 の期間にパルスを生成します。このピンを VDD に接続すると、PWM 制御ブロックは、スロット 1、スロット 3、スロット 5、スロット 7 の期間にパルスを生成します。表 36 に、3 相電力量計のすべての構成での EMI_CTRL ピンの推奨接続を示します。

表 36. EMI_CTRL ピンの接続

ADE7933/ADE7932 のデバイス数	EMI_CTRL ピン接続
1	このピンを GND に接続
2	このピンを、1 つのデバイスの GND に接続し、更に他のデバイスの VDD に接続
3	このピンを、2 つのデバイスの GND に接続し、更に 3 番目のデバイスの VDD に接続
4	このピンを、2 つのデバイスの GND に接続し、更に他のデバイスの VDD に接続

磁界耐性

ADE7933/ADE7932 は空芯トランスを使用しているため、デバイスは DC 磁界の影響を受けません。ADE7933/ADE7932 デバイスの磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分に大きくなり、デコーダをセットまたはリセットするような誤動作が発生する条件で決まります。この状態が発生する条件は、以下の解析により求めます。ADE7933/ADE7932 の 3.3V 動作が公称電圧であるため、この電圧の動作条件を調べます。

トランス出力におけるパルスの振幅は 1.0V を超えます。デコーダの検出閾値は約 0.5V なので、誘導電圧に対して 0.5V のマージンがあります。受信側コイルの誘導電圧は次式で与えられます。

$$V = \left(-\frac{d\beta}{dt} \right) \sum_{n=1}^N \pi r_n^2 \quad (53)$$

ここで、

β は、AC 磁界 : $\beta(t) = B \times \sin(\omega t)$ 。

N は、受信側コイルの巻き数。

r_n は、受信側コイル巻き数 n 回目の半径。

ADE7933/ADE7932 の受信側コイルの形状が与えられ、誘導電圧がデコーダのマージン 0.5V の最大 50% であるとする、図 105 および式 54 に示すように最大許容磁界 (B) を計算できます。

$$B = \frac{V_{THR}}{2\pi f \times \sum_{n=1}^N \pi r_n^2} \quad (54)$$

ここで、 f は磁界の周波数。

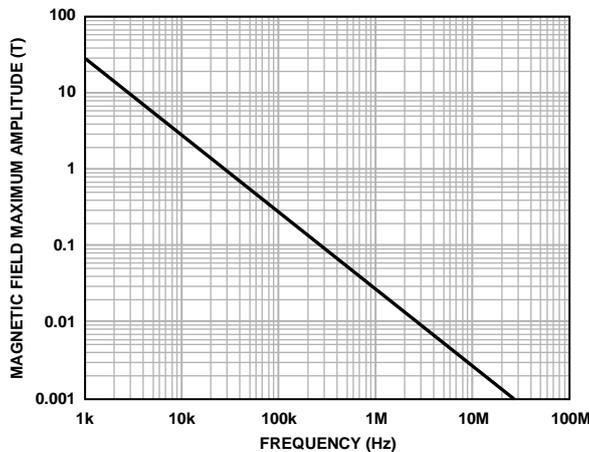


図 105. 最大許容外部磁界

例えば、磁界周波数 = 10kHz で、最大許容磁界 = 2.8T の場合、受信側コイルでの誘導電圧は 0.25V になります。この電圧は検出閾値の約 50% であるため、出力変化の誤動作は生じません。同様に、仮にこのような条件が送信パルス内に存在しても (更に最も厳しい条件の極性であっても)、受信パルスが 1.0V 以上から 0.75V へ減少しますが、デコーダの検出閾値 0.5V に対してなお十分なマージンがあります。

前述の磁界の値は、ADE7933/ADE7932 のトランスから所定の距離だけ離れた特定の電流値に対応します。

$$I = \frac{B}{\mu_0} \times 2\pi d = \frac{V \times d}{\mu_0 \times f \times \sum_{n=1}^N \pi r_n^2} \quad (55)$$

ここで、 μ_0 は $4\pi \times 10^{-7} \text{H/m}$ で、空気の透磁率。

図 106 に、選択した距離に対して許容される電流値を周波数の関数として示します。図 106 に示すように、ADE7933/ADE7932 の耐性は非常に大きく、影響を受ける可能性があるのは、コンポーネントの非常に近くで高周波数で動作する極めて大きな電流による場合のみです。10kHz の例では、ADE7933/ADE7932 の動作に影響を与えるには、コンポーネントから 5mm 離れた位置に 69kA の電流を流す必要があります。

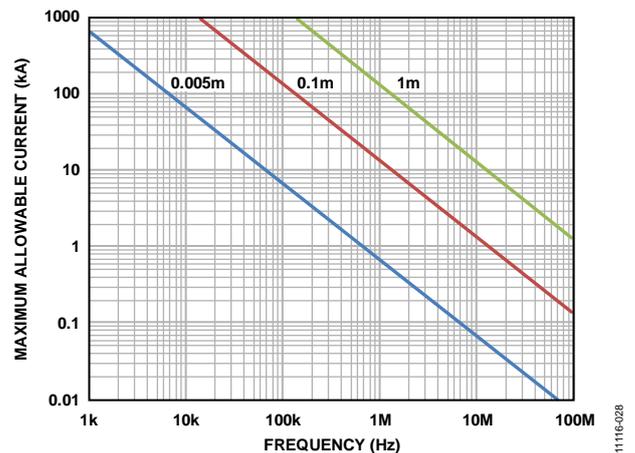


図 106. 電流と ADE7933/ADE7932 の間隔と最大許容電流の関係

強い磁界と高周波が組み合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段の回路の閾値を超えるトリガが発生するので、注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意してください (レイアウト・ガイドラインのセクションを参照)。

パワーアップ手順

ADE7978/ADE7933/ADE7932/ADE7923 チップセットには、電源 (VDD) を監視するオンチップ電源モニタが内蔵されています。ADE7933/ADE7932 および ADE7923 は、閾値が $2.0V \pm 10\%$ で、タイマーのタイムアウトが 23ms であるモニタを備えています。ADE7978 は、閾値が 2.5V~2.6V で、タイマーのタイムアウトが 32ms であるモニタを備えています。ADE7933/ADE7932 と ADE7923 は ADE7978 によって完全に管理されるため、ADE7978 の電源モニタがチップセットのパワーアップを決定します。

ADE7978 は、VDD が 2.5V~2.6V の閾値に達するまで、非アクティブ状態です。ADE7933/ADE7932 および ADE7923 も非アクティブ状態です。チップセットをパワーアップする前に、ADE7978 の電源は、約 2.5V または 2.6V から $3.3V - 10\%$ への移行が 32ms 未満になるようにしてください。図 107 はパワーアップ順序を示すもので、以下にその手順を説明します。

1. VDD が 2.5V~2.6V の閾値を超えると、ADE7978 の電源モニタはチップを 32ms 間非アクティブ状態に保ち、VDD が最小推奨電源電圧である $3.3V - 10\%$ に達するようにします。
2. ADE7978 は機能を開始し、CLKOUT ピンに ADE7933/ADE7932 および ADE7923 用の 4.096MHz クロック信号を生成します。
3. ADE7933/ADE7932 および ADE7923 デバイスが機能を開始します。
4. 20 μ s 後、ADE7978 は RESET_EN ピンをローに設定して、ADE7933/ADE7932 および ADE7923 デバイスをリセットします。ADE7978 は、VT_A、VT_B、VT_C、VT_N ピンを 4.096MHz の周波数 (CLKIN/4) でハイからローに 8 回トグルします。
5. ADE7933/ADE7932 および ADE7923 デバイスは、デフォルト状態で機能を開始します。
6. ADE7978、ADE7933/ADE7932 および ADE7923 デバイスが完全に機能すると、IRQ1 割込みピンがローに設定され、STATUS1 レジスタ (アドレス 0xE503) のビット 15 (RSTDONE) が 1 にセットされます。このビットはパワ

ーアップ時に 0 にクリアされ、パワーアップが完了すると 1 にセットされます。

7. ADE7978 のパワーアップ後、I²C シリアル・ポートがアクティブになります。シリアル・ポートを SPI に変更する方法と、選択したシリアル・ポート (I²C または SPI) をロックする方法については、シリアル・インターフェースの選択のセクションを参照してください。パワーアップ直後、ADE7978 はすべてのレジスタをデフォルト値にリセットします。

チップセットが正常にパワーアップしたら、チップセットの初期化のセクションの指示に従ってください。

電源電圧 VDD が $2V \pm 10\%$ を下回ると、ADE7978 および ADE7933/ADE7932 および ADE7923 デバイスは非アクティブ状態になり、測定や計算は実行されません。

チップセットの初期化

ADE7978/ADE7933/ADE7932/ADE7923 のパワーアップ後、以下に従ってチップセットを初期化します。

1. IRQ1 ピンがローになって RSTDONE 割込みがトリガされたことを示すまで、このピンをモニタします。
2. パワーアップ後に ADE7978 が機能を開始すると、I²C ポートがアクティブなシリアル・ポートになります。SPI 通信を使用する場合は、SS/HSA ピンをハイからローに 3 回トグルして、SPI インターフェースを選択します。通信ポートを SPI に変更する方法の詳細については、シリアル・インターフェースの選択のセクションを参照してください。
3. STATUS1 レジスタ (アドレス 0xE503) を読み出して、ビット 15 (RSTDONE) が 1 にセットされていることを確認してから、このビットに 1 を書き込んでクリアします。IRQ1 割込みピンはハイに戻ります。RSTDONE はマスク不能割込みであるため、IRQ1 ピンがハイに戻るには、ビット 15 (RSTDONE) を 0 にリセットする必要があります。STATUS1 レジスタおよび STATUS0 レジスタのすべてのビットに 1 を書き込むことによって、これらのレジスタ内の他のすべてのフラグもリセットすることを推奨します。

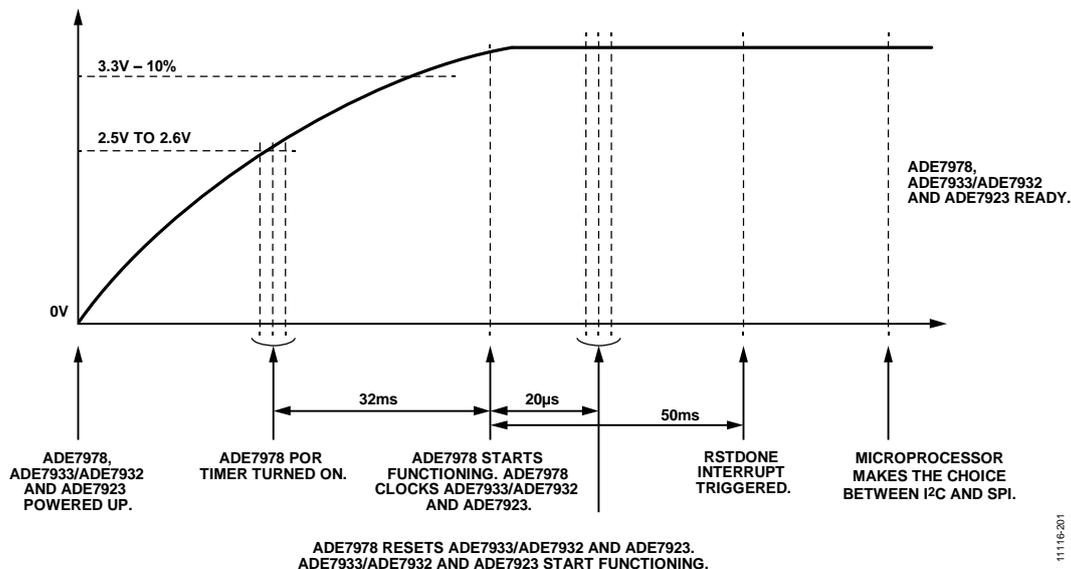


図 107. パワーアップ手順

4. I²C 通信を使用する場合は、CONFIG2 レジスタ (アドレス 0xEA00) のビット 0 (I2C_LOCK) に 1 を書き込んでポートをロックします。SPI 通信を使用する場合は、CONFIG2 レジスタに任意の値を書き込んでポートをロックします。シリアル・ポートが I²C または SPI にロックされた後、通信プロトコルの変更は、パワーダウンまたはハードウェア・リセット操作の後でのみ可能です。
5. AIGAIN、BIGAIN、CIGAIN、NIGAIN レジスタ (それぞれアドレス 0x4380、アドレス 0x4383、アドレス 0x4386、アドレス 0x4389) を初期化します。
6. 実行レジスタ (アドレス 0xE228) に 0x0001 を書き込んで DSP を起動します。詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。
7. アドレス 0x4380～アドレス 0x43BF にある DSP RAM ベースのレジスタを初期化します。キューの中の最後のレジスタに 3 回書き込みます。
8. アドレス 0xE507～アドレス 0xEA04 にあるハードウェア・ベースの設定レジスタを CFMODE レジスタを除いて初期化します (ステップ 11 を参照)。
9. アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込むことにより、DSP RAM の書き込み保護を有効にします。次に、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込みます。詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。
10. 電力量レジスタ xWATTHR、xVARHR、xFWATTHR、xFVARHR、xVAHR を読み出して内容を消去し、既知の状態から電力量積算を開始します。
11. CFMODE レジスタ (アドレス 0xE610) のビット 9 (CF1DIS)、ビット 10 (CF2DIS)、ビット 11 (CF3DIS) をクリアして、CF1、CF2、CF3 ピンでのパルスをイネーブルします。
12. ADE7978 のすべてのレジスタを読み出し、必要な値に初期化されていることを確認します。

ハードウェア・リセット

ADE7978 の RESET ピンがローに設定されると、ADE7978 はハードウェア・リセット状態になります (図 108 参照)。ハードウェア・リセット状態では、以下のイベントが発生します。

- ADE7978 の CLKOUT ピンはクロックの生成を停止し、ハイに設定されます。SYNC、RESET_EN、VT_A、VT_B、VT_C、VT_N ピンがハイに設定されます。

- ADE7933/ADE7932 の DC/DC コンバータは、ADE7933/ADE7932 の XTAL1 ピンのクロック信号がハイになるため動作を停止します。
- ADE7933/ADE7932 の絶縁側にある ΣΔ 変調器は、電源が供給されず動作を停止します。ADE7923 の ΣΔ 変調器は電源が入ったままです。

ハードウェア・リセット時、ADE7978 は ADE7933/ADE7932 および ADE7923 デバイスをリセットするための信号を生成します。少なくとも 10μs 経過後に ADE7978 の RESET ピンを再びハイにトグルすると、ADE7978 の RESET_EN ピンがローになり、VT_A、VT_B、VT_C、VT_N ピンは 4.096MHz (CLKIN/4) の周波数でハイからローに 8 回トグルします。これらの動作によって、ADE7933/ADE7932 および ADE7923 デバイスがリセットされます。RESET_EN ピンがハイになると、ADE7978 は CLKOUT ピンで 4.096MHz (CLKIN/4) の生成を開始します。この信号は ADE7933/ADE7932 および ADE7923 デバイスにクロックを供給し、これらは動作状態になります。

ADE7978 は、IRQ1 割込みピンをローにし、STATUS1 レジスタ (アドレス 0xE503) のビット 15 (RSTDONE) を 1 にセットすることにより、リセットの終了を通知します。このビットは、リセット時には 0 に設定され、リセットの終了時に 1 にセットされます。このビットをクリアするには、RSTDONE ステータス・ビットに 1 を書き込みます。IRQ1 ピンはハイに戻り、ADE7978、ADE7933/ADE7932 および ADE7923 デバイスは動作します。

I²C ポートは、ADE7978 のデフォルトのシリアル・ポートであるため、リセット後にアクティブになります。SPI が外部マイクロプロセッサで使用されるポートである場合、RESET ピンをハイにトグルした直後に SPI をイネーブルする手順を繰り返す必要があります (詳細については、シリアル・インターフェースの選択のセクションを参照してください)。

ハードウェア・リセット後、ADE7978 のすべてのレジスタはデフォルト値にリセットされ、DSP はアイドル・モードになります。チップセットの初期化のセクション (ステップ 5～ステップ 12) の説明に従って、ADE7978 のすべてのレジスタを再初期化し、DSP RAM の書き込み保護を有効にして DSP を起動します。データ・メモリ RAM の保護および実行レジスタの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

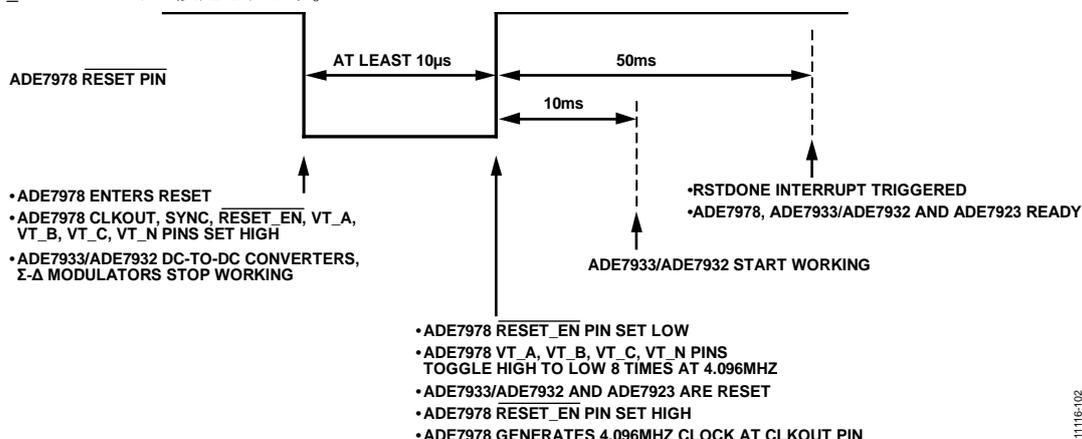


図 108. ハードウェア・リセット時の ADE7978/ADE7933/ADE7932 および ADE7923 チップセット

ADE7978/ADE7933/ADE7932 および ADE7923 チップセットのソフトウェア・リセット

CONFIG レジスタ (アドレス 0xE618) のビット 7 (SWRST) は、ADE7978、ADE7933/ADE7932、および ADE7923 デバイスのソフトウェア・リセット機能を管理します。このビットのデフォルト値は 0 です。このビットを 1 にセットすると、ADE7978、ADE7933/ADE7932、および ADE7923 デバイスはソフトウェア・リセット状態になります。この状態では、すべての内部レジスタがデフォルト値にリセットされます。ただし、PC または SPI のシリアル・ポート選択は、リセットの前にロックイン・プロシージャを実行した場合は変更されません (詳細については、シリアル・インターフェースの選択のセクションを参照してください)。

ADE7978 は、 $\overline{\text{IRQ1}}$ 割込みピンをローにし、STATUS1 レジスタ (アドレス 0xE503) のビット 15 (RSTDONE) を 1 にセットすることにより、リセットの終了を通知します。このビットは、リセット時には 0 に設定され、リセットの終了時に 1 にセットされます。RSTDONE ステータス・ビットに 1 を書き込むと、このビットはクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイに戻ります。

ソフトウェア・リセット後、ADE7978 のすべてのレジスタはデフォルト値にリセットされ、DSP はアイドル・モードになり、ビット 7 (SWRST) は 0 にクリアされます。チップセットの初期化のセクション (ステップ 5~ステップ 12) の説明に従って、ADE7978 のすべてのレジスタを再初期化し、DSP RAM の書き込み保護を有効にして DSP を起動します。データ・メモリ RAM の保護および実行レジスタの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

ADE7978 のソフトウェア・リセット時、ADE7978 は ADE7933/ADE7932 および ADE7923 デバイスをリセットしますが、CLKOUT ピンでのクロック生成は継続します。ADE7978 の RESET_EN ピンはローになり、VT_A、VT_B、VT_C、VT_N ピンは周波数 4.096MHz (CLKIN/4) でハイからローに 8 回トグルします。その後、RESET_EN、VT_A、VT_B、VT_C、VT_N ピンはハイになり、リセットが終了します。

ADE7933/ADE7932 および ADE7923 の ソフトウェア・リセット

ADE7933/ADE7932 および ADE7923 デバイスだけをリセットし、ADE7978 はリセットしないためには、CONFIG3 レジスタ (アドレス 0xE708) のビット 7 (ADE7933_SWRST) を使用します。このビットにより、RESET_EN ピンがローに設定され、VT_A、VT_B、VT_C、VT_N ピンが 4.096MHz (CLKIN/4) でハイからローに 8 回トグルされることにより、ADE7933/ADE7932 および ADE7923 デバイスがリセットされます。リセットが終了すると、ADE7933_SWRST ビットは 0 にクリアされます。

ADE7933/ADE7932 および ADE7923 デバイスのソフトウェア・リセットを実行するための推奨手順は、以下のとおりです。

1. CONFIG3 レジスタのビット 7 (ADE7933_SWRST) に 1 をセットします。
2. ビット 7 が 0 となってリセットが終了したことを示すまで、CONFIG3 レジスタを読み出します。

低消費電力モード

特定の条件下では、チップセットの消費電流を低下させることが望ましい場合があります。この場合、ADE7978、ADE7933/ADE7932、および ADE7923 を低消費電力モードに設定できます。

低消費電力モードにするには、CONFIG3 レジスタ (アドレス 0xE708) のビット 6 (CLKOUT_DIS) とビット 7 (ADE7933_SWRST) を 1 にセットします。ADE7978 は、ADE7933/ADE7932 および ADE7923 デバイスへのクロックの生成を停止し、それらをリセット状態にします。

低消費電力モードを終了するには、CONFIG3 レジスタのビット 6 (CLKOUT_DIS) とビット 7 (ADE7933_SWRST) を 0 にクリアします。低消費電力モードでは、ADE7978 のレジスタは設定を維持しているため、再初期化の必要はありません。

アプリケーション情報

ADE7978、ADE7933/ADE7932 および ADE7923 チップセットは、1つのマスタ・デバイス（通常はマイクロコントローラ）が I²C または SPI インターフェースを介して ADE7978 を管理する、3相電力量計システムでの使用を目的として設計されています。ADE7978 は、2個、3個、または4個の ADE7933/ADE7932 および ADE7923 デバイスを管理します。ADE7978、ADE7933/ADE7932 および ADE7923 チップセットは、直接接続アーキテクチャでの3相4線式および3相3線式ネットワークで使用できます。これらは、電流および電圧検出回路を物理的に分離する必要があるために電流トランスまたは電圧トランスを介して間接的に接続しなければならない、3相ネットワークでは使用できません。

ADE7978 が、複数の ADE7933/ADE7932 デバイスを管理できる唯一のチップというわけではありません。ADE7933/ADE7932 および ADE7923 のシリアル・インターフェースに準拠するマイクロコントローラであれば、デバイスを正しく管理できます（詳細は、ADE7978 と ADE7933/ADE7932 および ADE7923 の間のビット・ストリーム通信のセクションを参照してください）。ただし、SPI インターフェースを備えた3チャンネル絶縁型 $\Sigma\Delta$ ADC である ADE7913/ADE7912 や、SPI インターフェースを備えた3チャンネル $\Sigma\Delta$ ADC である ADE7903 などの同様のデバイスのほうが、マイクロコントローラとの直接インターフェースに適している可能性があります。ADE7913/ADE7912 および ADE7903 ADC の詳細については、これらのデバイスの製品ページを参照してください。

図 109 は、3相電力量計の A 相を示しています。A 相電流 I_A は、シャントを用いて検出されます。シャントの1つの極が ADE7933/ADE7932 の IM ピンに接続され、ADE7933/ADE7932 の絶縁側のグラウンドである GND_{ISO} になります。A 相から中性線への電圧 V_{AN} は抵抗分圧器で検出され、VM ピンも IM ピンと GND_{ISO} ピンに接続します。ADE7933/ADE7932 の ADC で測定される電圧は、単相測定での従来の手法である V_{AN} および I_A とは逆となることに注意してください。B 相と C 相をモニタする他の ADE7933/ADE7932 デバイスも同様の方法で接続します。

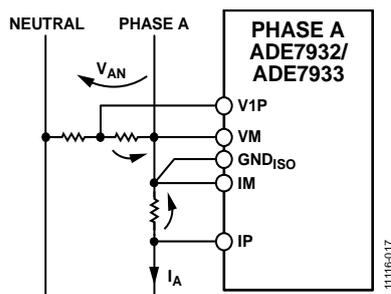


図 109. A 相 ADE7933/ADE7932 の電流および電圧検出

図 110 は、3相システムの中性線をモニタする際の ADE7923 入力の接続方法を示しています。中性電流はシャントを使用して検出され、シャント両端の電圧は完全差動入力 IP および IM で測定されます。

中性からアースまでの電圧、またはグラウンドを基準とする任意の電圧は、シングルエンド入力 V_{1P} と V_M の分圧器によって検出できます。

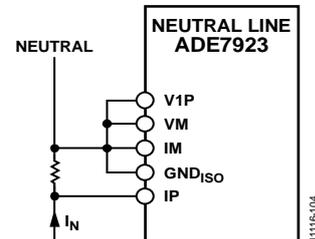


図 110. ADE7923 による中性線および補助電圧のモニタリング

ADE7923 と ADE7933/ADE7932 の相違点

ADE7923 は、ADE7933 に類似した非絶縁型の $\Sigma\Delta$ ADC です。ADE7923 と ADE7933/ADE7932 の性能は同一ですが、唯一の違いは前者に絶縁バリアがないことです。ADE7923 のダイナミック・レンジと精度は、ADE7933/ADE7932 のダイナミック・レンジと精度と同等です。ADE7923 には、2つの電圧チャンネル入力 V_{1P}、V_{2P} と、1つの電流チャンネル入力 IP があります。この非絶縁型 ADC は、中性電流のモニタは必要としながら中性線からの絶縁は必要としない場合に便利です。この構成では、システムが中性線に接地されていることに注意することが重要です。

電流チャンネルは中性電流の測定に使用され、2つの電圧チャンネルは、バッテリーの測定やグラウンドを基準とするその他の電圧測定などの補助電圧測定に使用できます。

ADE7923 は、ADE7933/ADE7932 の絶縁型 ADC とピン互換であり、フットプリントも同じです。したがって、ADE7923 と ADE7933/ADE7932 は直接スワップできます。

多相電力量計での ADE7978、ADE7933/ADE7932 および ADE7923

多相電力量計は3相とオプションの中性線を管理する必要があります。図 111 は、4線式 Y 結線用に作成された3相電力量計の例を示しています。3つの ADE7933/ADE7932 デバイスが相電流と相電圧を読み出します。1つの ADE7923 が中性線測定を管理します。ただし、絶縁が必要な場合は、ADE7933/ADE7932 を中性線用に使用すれば他の相と同様に絶縁できます。中性線測定が不要な場合は、3つの ADE7933/ADE7932 デバイスしか使用しません（図 112 参照）。この構成では、ADE7978 の DATA_N ピンを VDD に接続します。

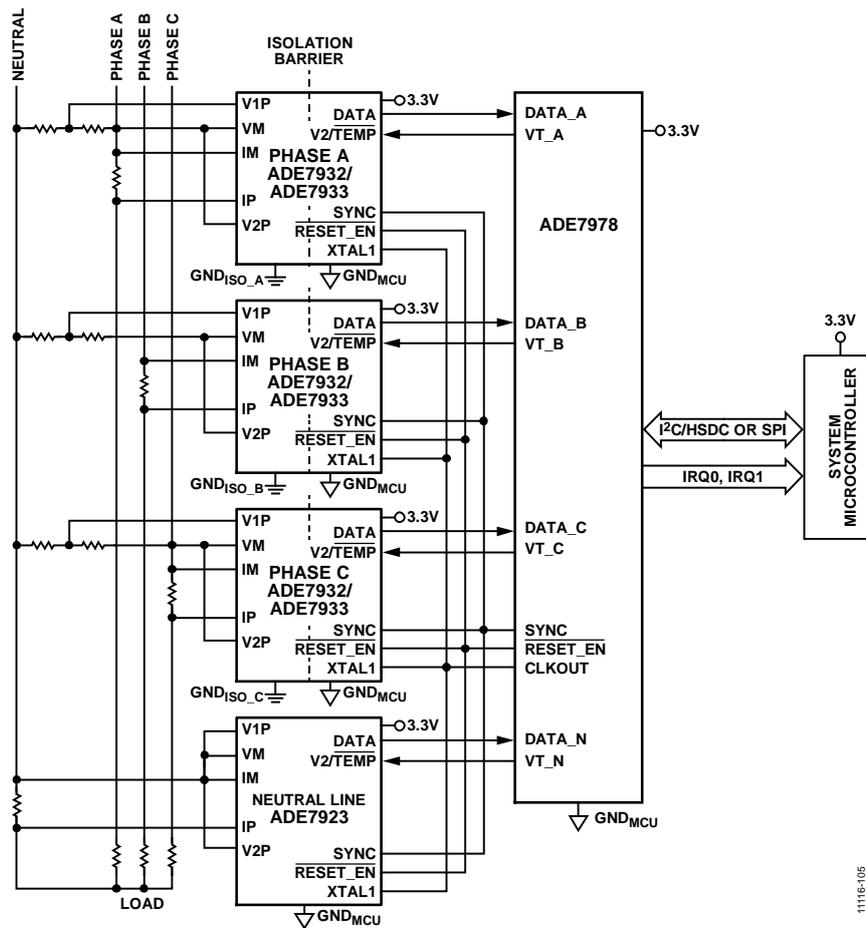


図 111. 1つの ADE7978 と 3つの ADE7933/ADE7932 デバイス、および 1つの ADE7923 を備えた 3相 4線式 Y 結線電力計

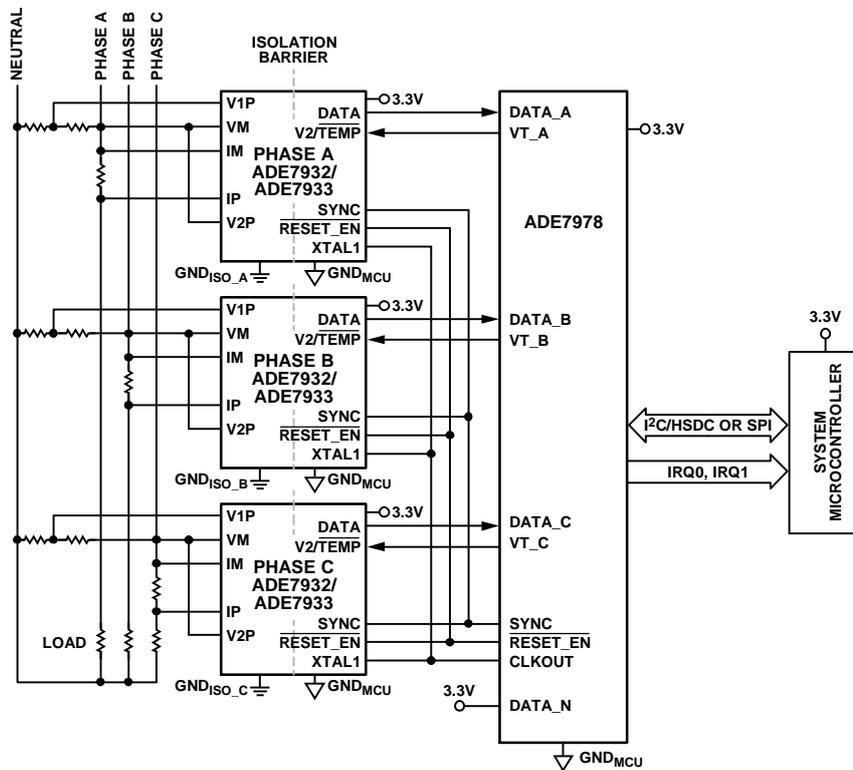


図 112. 1つの ADE7978 と 3つの ADE7933/ADE7932 デバイスを備えた 3相 4線式 Y 結線電力計

3線Δ構成用に作成された電力量計では、A相用に1つとC相用に1つの2つのADE7933/ADE7932デバイスしか必要としません（図113参照）。ADE7978を相電圧でフロートさせてもよい場合、ADE7923はADE7933/ADE7932と組み合わせて2つの相で使用できます。分圧器は、A相からB相へ、およびC相からB相への電圧を測定します。シャントは、A相およびC相の電流を測定します。この構成では、ADE7978のDATA_NピンとDATA_BピンをVDDに接続します。

電力量計を4線Δ構成用に作成する場合は、3つのADE7933/ADE7932デバイスが必要です（図114参照）。分圧器は、A相およびC相から中性への電圧を測定します。シャントは、A相、B相、C相の電流を測定します。この構成では、ADE7978のDATA_NピンをVDDに接続します。

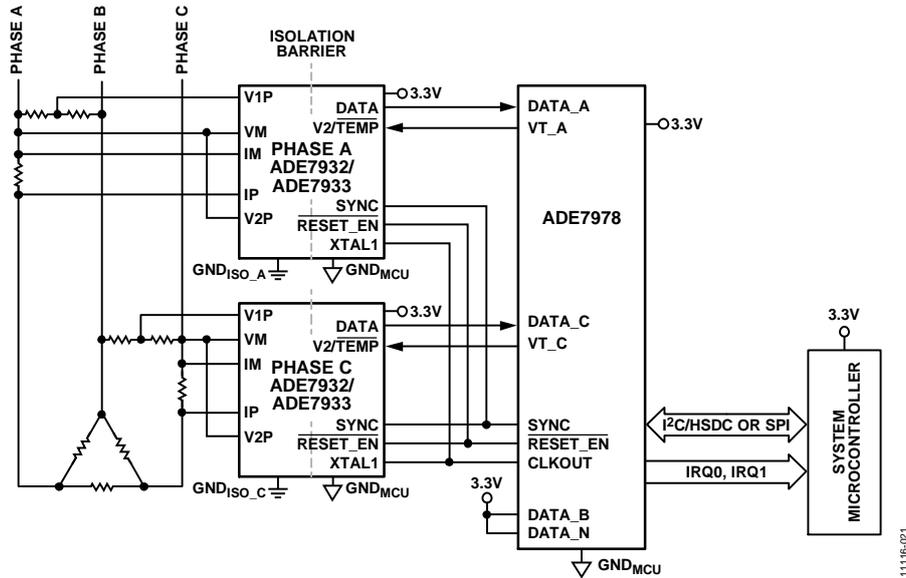


図 113. 1つのADE7978と2つのADE7933/ADE7932デバイスを備えた3相3線式Δ結線電力量計

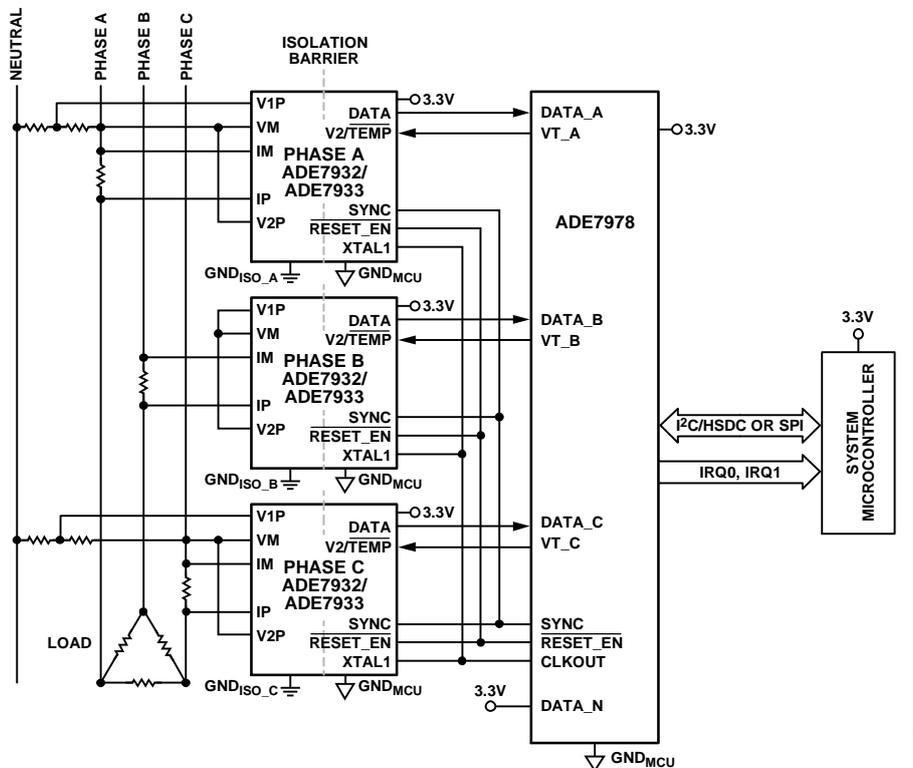


図 114. 1つのADE7978と3つのADE7933/ADE7932デバイスを備えた3相4線式Δ結線電力量計

2つまたは3つの ADE7933/ADE7932/ADE7923 デバイスしか使用しない場合、DATA_B ピンや DATA_N ピンは VDD に接続します。これら未接続の ADE7933/ADE7932 デバイスに対して ADE7978 によって計算される波形サンプルは、フルスケールに設定されます。ハイパス・フィルタを通過した後、波形サンプルは 0 に設定され、これらのサンプルを使用して ADE7978 によって計算されるすべての量は 0 になります。

ACCMODE レジスタ (アドレス 0xE701) のビット [5:4] (CONSEL [1:0]) は、電力量計の構成に基づいて ADE7978 が相電力を計算する方法を決定します。詳細については、電力量積算モードのセクションを参照してください。

ADE7933/ADE7932/ADE7923 は、XTAL1 ピンで ADE7978 の CLKOUT ピンからの 4.096MHz クロックを受信します。ADE7933/ADE7932 と ADE7923 の XTAL2 ピンはオープンのままにします。XTAL1 ピンと XTAL2 ピンの間に接続した水晶発振器を使用して ADE7933/ADE7932 または ADE7923 にクロックを供給しないでください。ADE7933/ADE7932/ADE7923 デバイスは ADE7978 と同期して動作する必要があります。ADE7978 のクロックを使用するとこの同期が確保されます。

ADE7978 の RESET_EN ピンを、システム内のすべての ADE7933/ADE7932 および ADE7923 デバイスの RESET_EN ピンに接続します。ADE7978 の VT_A、VT_B、VT_C、VT_N ピンは、システム内の対応する各 ADE7933/ADE7932/ADE7923 の V2/TEMP ピンに接続します。例えば、ADE7978 の VT_A ピンは、A 相をモニタする ADE7933/ADE7932 の V2/TEMP ピンに接続します。特定の相をモニタしない場合は、ADE7978 の対応する VT_x ピンを未接続のままにします。例えば、図 113 に示す構成の電力量計は、B 相または中性電流をモニタしません。したがって、VT_B ピンと VT_N ピンはオープンのままにします。

ADE7978 の RESET ピンを 10μs 以上ローにしてから再びハイにすると、RESET_EN ピンがローに設定され、VT_A、VT_B、VT_C、VT_N ピンは 4.096MHz の周波数でハイからローに 8 回トグルし、ADE7933/ADE7932/ADE7923 デバイスがリセットされます。RESET_EN、VT_A、VT_B、VT_C、VT_N ピンが再びハイに設定されると、ADE7933/ADE7932 および ADE7923 デバイスのリセットが終了します (詳細は、ハードウェア・リセットのセクションを参照)。

ADE7978 の VT_A、VT_B、VT_C、VT_N ピンは、ADE7933 および ADE7923 の V2 電圧 ADC によって測定される信号、つまり第 2 電圧入力または内部温度センサーのいずれかを選択します (ADE7932 は常に内部温度センサーを測定します)。VT_x 信号がローの場合、ADC は V2P ピンの入力信号を測定します。VT_x 信号がハイの場合、ADC は内部温度センサーを測定します。

ADE7978 は、SYNC と DATA の 2 つの信号で構成されるビット・ストリーム通信を使用して ADE7933/ADE7932 および ADE7923 の出力を読み出します。ADE7978 の SYNC ピンは、各 ADE7933/ADE7932 および ADE7923 デバイスの SYNC ピンに接続します。各 ADE7933/ADE7932/ADE7923 の DATA ピンは、ADE7978 の対応する DATA_x ピン (x = A、B、C、または N) に接続します。例えば、A 相の ADE7933/ADE7932 の DATA ピンは、ADE7978 の DATA_A ピンに接続します。

特定の相をモニタしない場合は、ADE7978 の対応する DATA_x ピンを VDD に接続します。例えば、図 113 に示す構成の電力量計は、B 相または中性電流をモニタしません。したがって、ADE7978 の DATA_B ピンと DATA_N ピンを VDD に接続します。

ADE7978 の SYNC ピンは、ADE7933/ADE7932 および ADE7923 スレーブに対して 1.024MHz のシリアル・クロックを生成します。各 ADE7933/ADE7932 および ADE7923 は、ADE7933/ADE7932 および ADE7923 の ADC の初段で生成されたビット・ストリームにตอบสนองします (ADE7978 と ADE7933/ADE7932 および ADE7923 の間のビット・ストリーム通信のセクションを参照)。

ADE7978 を電力量計としてクイック・セットアップする

電力量計の特性評価は通常、公称電流 (I_n)、公称電圧 (V_n)、公称周波数 (f_n)、電力量計定数 (MC) によって行います。ADE7978 をクイック・セットアップするには、以下の手順を実行します。

1. $f_n = 60\text{Hz}$ の場合、COMPmode レジスタ (アドレス 0xE60E) のビット 14 (SELFREQ) を 1 にセットします。 $f_n = 50\text{Hz}$ の場合、SELFREQ ビットはデフォルト値の 0 のままにします。
2. CF1DEN、CF2DEN、CF3DEN レジスタ (アドレス 0xE611 ~ アドレス 0xE613) を次式に基づいて初期化します。

$$CFxDEN = \frac{10^3}{MC [\text{imp/kwh}] \times 10^n}$$

詳細については、電力量/周波数変換のセクションを参照してください。

3. 次式に基づいて、WTHR、VARTHR、VATHR レジスタ (アドレス 0xEA02 ~ アドレス 0xEA04) を初期化します。

$$WTHR, VARTHR, VATHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^9}{V_{FS} \times I_{FS} \times 2^{27}}$$

詳細については、有効電力量の計算、無効電力量の計算、および皮相電力量の計算の各セクションを参照してください。

4. 次式に基づいて、VLEVEL レジスタ (アドレス 0x43A2) を初期化します。

$$VLEVEL = V_{FS}/V_n \times 4 \times 10^6$$

詳細については、基本波有効電力の計算のセクションを参照してください。

5. 次式に基づいて、VNOM レジスタを初期化します。

$$VNOM = V/V_{FS} \times 3,761,808$$

詳細については、VNOM を使用した皮相電力計算のセクションを参照してください。

6. アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んでから、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込んで、データ・メモリ RAM の保護を有効にします。
7. 実行レジスタ（アドレス 0xE228）に 0x0001 を書き込んで DSP を起動します。

ADE7978 と ADE7933/ADE7932 および ADE7923 の間のビット・ストリーム通信

ADE7978 は、図 115 に示すビット・ストリーム通信を使用して、システムの ADE7933/ADE7932 および ADE7923 デバイスから情報を抽出します。ADE7978 は、SYNC ピンに 1.024MHz のクロック信号を生成します。このクロック信号は、ADE7978 の内部クロックの 1/16 である CLKIN (XTALIN = 16.384MHz で CLKIN/16 = 1.024MHz)、および ADE7933/ADE7932 と ADE7923 の XTAL1 クロック (CLKIN/4) の 1/4 に相当します。このクロックのデューティ・サイクルは 25% です。

SYNC のローからハイへの遷移は、CLKIN/4 クロックのハイからローへの遷移の 1/4 サイクル前に生成されます。SYNC は 1CLKIN/4 サイクルの間ハイを保持し、残りの周期はローを保持します。

SYNC の最初のハイからローへの遷移後、ADE7978 の CLKIN/4 はハイからローに 4 回遷移します。CLKIN/4 のハイからローへの遷移ごとに、ADE7933/ADE7932 および ADE7923 デバイスは、ADC の初段から送られてくるビットと、ADE7933/ADE7932 および ADE7923 デバイ스에保存されている温度オフセットのビットを DATA ピンに設定します。A 相の ADE7933/ADE7932 のビット順序は、VA ビット、VA2 ビット、温度オフセット・ビット、そして IA ビットです。他の ADE7933/ADE7932 および ADE7923 デバイスも同じパターンに従います。ADE7978 は、DATA_A、DATA_B、DATA_C、DATA_N ピンでこれらのビットを受信します。このプロセスは、新たに SYNC がハイからローに変化するたびに繰り返されます。温度オフセットを表す 8 ビットの符号付き数値を識別するデリミタを図 116 に示します。フレーム内では、温度オフセットは ADE7933/ADE7932 および ADE7923 によって最下位ビットを先にして送信されます。

図 115 に示すような 1.024MHz の SYNC 信号を生成し、ADE7933/ADE7932 および ADE7923 デバイスの DATA ピンからのビット・ストリームをフィルタ処理できるようなマスタ・デバイスであれば、ADE7978 の代わりに使用できます。

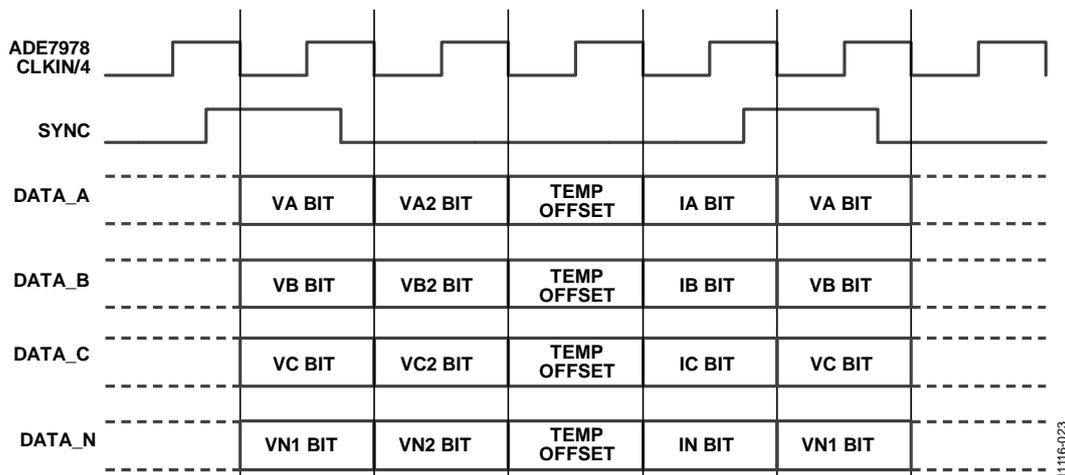


図 115. ADE7978 と ADE7933/ADE7932 デバイス間のビット・ストリーム通信

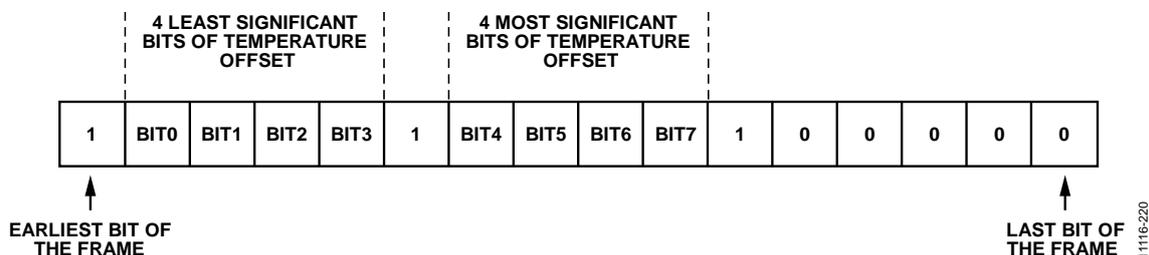


図 116. 温度オフセットのビット・ストリーム通信

ADE7978、ADE7933/ADE7932、および ADE7923 のクロック

XTALIN ピンにデジタル・クロック信号を供給して、ADE7978 をクロックします。このピンで供給される周波数で ADE7978 はクロック駆動されます。このデータシートではこの周波数を CLKIN と呼びます。ADE7978 の CLKIN 値は 16.384MHz に仕様規定されていますが、16.384MHz±1%の周波数が許容されます。あるいは、ドライブ・レベルが 0.5mW（代表値）、等価直列抵抗（ESR）が 20Ω の 16.384MHz 水晶発振器を XTALIN ピンと XTALOUT ピンの間に接続して、ADE7978 にクロックを供給することもできます（図 117 参照）。

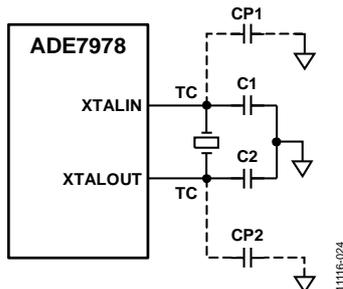


図 117. ADE7978 の水晶発振器回路

XTALIN ピンと XTALOUT ピンの合計容量（TC）は次のとおりです。

$$TC = C1 + CP1 = C2 + CP2$$

ここで、

C1 と C2 は、XTALIN ピンと GND ピンの間、および XTALOUT ピンと GND ピンの間のセラミック・コンデンサです（C1 = C2）。

CP1 と CP2 は、水晶発振器を ADE7978 に接続するワイヤの寄生容量です（CP1 = CP2）。

水晶発振器の負荷容量（LC）は、C1+CP1 と C2+CP2 で構成される直列回路の容量となるため、合計容量 TC の半分になります。

$$LC = \frac{C1 + CP1}{2} = \frac{C2 + CP2}{2} = \frac{TC}{2}$$

したがって、水晶発振器の負荷容量の関数としてのコンデンサ C1 と C2 の値は、次のとおりです。

$$C1 = C2 = 2 \times LC - CP1 = 2 \times LC - CP2$$

ADE7978 の場合、XTALIN ピンと XTALOUT ピンの代表的な合計容量 TC は 40pF です（表 2 参照）。

負荷容量が以下の値である水晶発振器を選択します。

$$LC = TC/2 = 20 \text{ pF}$$

例えば、寄生容量 CP1 と CP2 が 20pF の場合、コンデンサ C1 と C2 は 20pF です。

ADE7933/ADE7932 および ADE7923 のクロック回路は、ADE7978 と組み合わせて使用する場合は水晶発振器を必要としません。ADE7978 が ADE7933/ADE7932 および ADE7923 で使用する 4.096MHz のクロックを生成するからです。ただし、スタンダードアロン・チップとして ADE7933/ADE7932 および ADE7923 を使用する場合は、ADE7933/ADE7932 および ADE7923 の XTAL1 ピンと XTAL2 ピンの間に、駆動レベル 0.5mW（代表値）、ESR20Ω の 4.096MHz 水晶発振器を接続してクロックを供給できます。セラミック・コンデンサ（C1 および C2）の値は、ADE7978 のクロック回路と同じ方法で計算します。

絶縁寿命

すべての絶縁構造は、かなりの長時間にわたり電圧ストレスを受け続けると、最終的に破壊されます。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイスは、規制当局が行うテストの他に、広範囲な評価を実施して ADE7933/ADE7932 の絶縁構造の寿命を決定しています。定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施して、複数の動作条件に対する加速ファクタを求めます。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。

バイポーラ AC 動作条件での 50 年の動作寿命に対するピーク電圧をまとめて表 13 に示します。多くのケースで、承認された動作電圧は 50 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによっては絶縁寿命を短くすることがあります。

ADE7933/ADE7932 の絶縁寿命は、絶縁バリアに加えらる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC か DC かに応じて、異なるレートで低下します。これらの様々な絶縁電圧波形を図 118 と図 119 に示します。

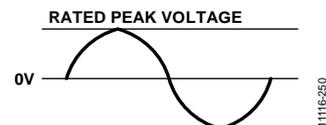


図 118. バイポーラ AC 波形

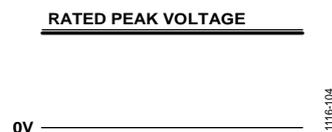


図 119. DC 波形

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイゼスが推奨する最大動作電圧が決定されています。DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、更に 50 年のサービス寿命を実現することができます。表 13 に示す動作電圧は、DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。または、図 119 に適合しない絶縁電圧波形はバイポーラ AC 波形として扱う必要があり、ピーク電圧は表 13 に示す 50 年寿命電圧値に制限する必要があります。

レイアウトのガイドライン

図 42 に、ADE7978/ADE7933/ADE7932 および ADE7923 チップセットのテスト回路を示します。テスト回路には、3 つの ADE7933 デバイス、1 つの ADE7923、1 つの ADE7978 が、3 相システムの相電流と相電圧の検出に必要な回路と共に含まれています。チップセットは、マイクロコントローラ (MCU) により SPI インターフェースを使用して管理されます (MCU は回路図には示されていません)。図 42 に、ADE7978/ADE7933 評価用ボードの回路図を示します (図 120 参照)。

ADE7978/ADE7933/ADE7932/ADE7923 チップセットを使用する場合、4 層 PCB が必要です。これは、EMC の影響に対する高い耐性を備えており、低ノイズ設計を実現します。これらのデバイスは、クラス B の CISPR22/EN-55022 規格の仕様に合格し、4 層 PCB のみで十分なマージンを確保します。図 120~図 123 は、4 層プリント回路基板 (PCB) の推奨レイアウトを示しています。このレイアウトでは、コンポーネントはボードの上面だけに配置されます。図 120~図 123 は、ADE7978、ADE7933、および ADE7923 デバイス以外の回路を含むボードのイメージから切り出したレイアウト・イメージですので、注意してください。

ADE7932 を使用する電力量計のレイアウトは、ADE7933 用に設計されたものと非常によく似ています。唯一の違いは、電圧チャンネル V2 とその関連回路 (抵抗分圧器と保護ダイオード) が無いことです。

中性線からの完全な絶縁が必要な場合は、ADE7933/ADE7923 を ADE7923 の代わりに使用できます。両方のデバイスのフットプリントは同じで、レイアウト (図 120~図 123) も非常によく似ています。A 相、B 相、または C 相用の ADE7933 周辺のレイアウトをコピーし、中性線用の ADE7923 周辺のレイアウトに置き換えます。A 相、B 相、または C 相の周辺の 4 つの PCB レイヤすべてを中性線用にコピーすることになります。レイアウト・ガイドラインの詳細については、AN-1333 アプリケーション・

ノート、Architecting a Direct, 3-Phase Energy Meter with Shunts Using ADE7932/ADE7933/ADE7978 を参照してください。

1 次電源電圧は、ADE7933 および ADE7923 の VDD (ピン 19) に供給されます。10 μ F のコンデンサと 100nF のセラミック・コンデンサの 2 つのデカップリング・コンデンサを VDD と GND (ピン 20) の間に配置します。高周波ノイズをデカップリングするため、ADE7933/ADE7932 や ADE7923 の最も近くにセラミック・コンデンサを、ADE7933/ADE7932 の近くに 10 μ F のコンデンサをそれぞれ配置する必要があります。ADE7923 の VDD ピン (ピン 1 とピン 19) の両方に最も近いところで 2 つの 100nF セラミック・コンデンサをそれぞれ外付けし、100nF のコンデンサの近くに 1 つの 10 μ F コンデンサを接続する必要があります。VDD ピンは可能な限り最短の経路で外部に接続する必要があります。

ADE7933 の VDD_{iso} ピン (ピン 1) は、10 μ F のコンデンサと 100nF のセラミック・コンデンサの 2 つのコンデンサを使用して GND_{iso} (ピン 2) からデカップリングします。ADE7933/ADE7932 の最も近くにセラミック・コンデンサを配置します。また、ADE7933/ADE7932 の近くに 10 μ F のコンデンサを配置します。

ADE7933 の LDO ピンと REF ピン (ピン 8 とピン 9) は、4.7 μ F のコンデンサと 100nF のセラミック・コンデンサの 2 つのコンデンサを使用して、それぞれ GND_{iso} (ピン 10) からデカップリングします。同様に、ADE7923 の LDO ピンと REF ピン (ピン 8 とピン 9) は、同じ 2 つのコンデンサを使用してそれぞれ GND (ピン 10) からデカップリングします。ADE7933/ADE7932 および ADE7923 の最も近くにセラミック・コンデンサを配置します。また、ADE7933/ADE7932 と ADE7923 の近くに 4.7 μ F のコンデンサを配置します。

ADE7933/ADE7932 の絶縁グラウンド・ポイントはシャントの極の 1 つになることに注意してください。このポイントはピン 10 (GND_{iso}) に直接接続します。シャントのグラウンド極をピン 2 に接続する必要はありません。2 つの GND_{iso} ピン (ピン 2 とピン 10) は内部で接続されています。ADE7923 のグラウンド・ポイントはシャントの極の 1 つです。ADE7923 は絶縁されていないため、このグラウンドは MCU のグラウンドになります。ピン 2 とピン 10 は内部で接続され、ピン 11 とピン 20 は内部で接続されています。これらの 2 つのペアは、ボード上の同じ GND に外部で接続する必要があります。中性線でアイソレーションが必要な場合は、別の相から中性線にコピーしたレイアウトで ADE7933/ADE7923 を使用できます。

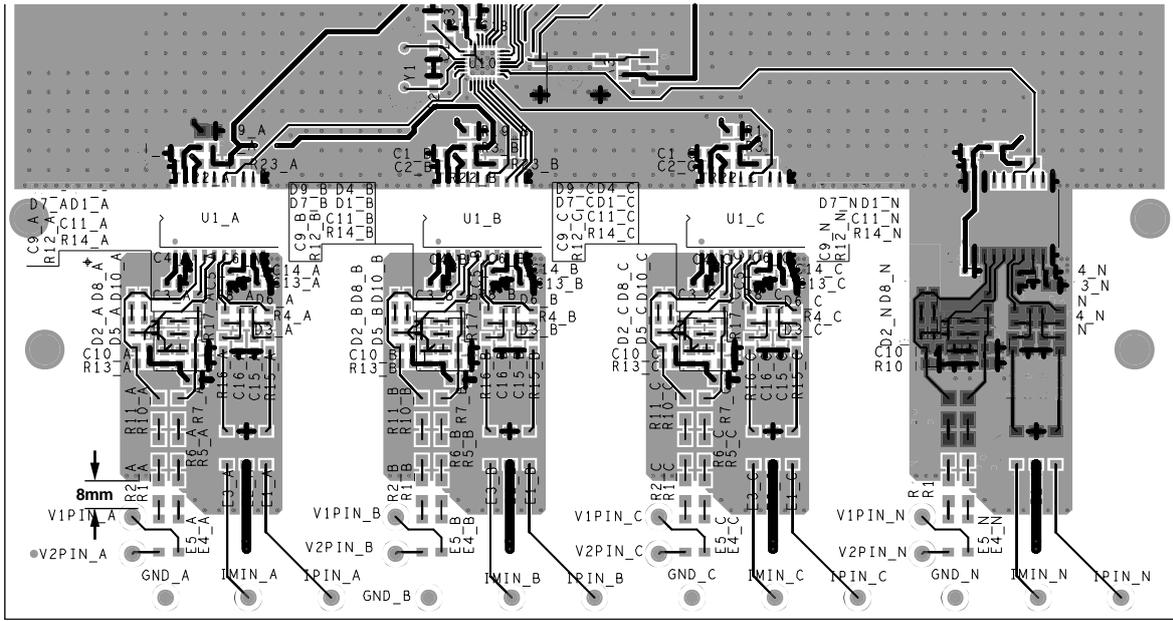


図 120. ADE7978、ADE7933、ADE7923 の回路基板、第 1 層

11116215

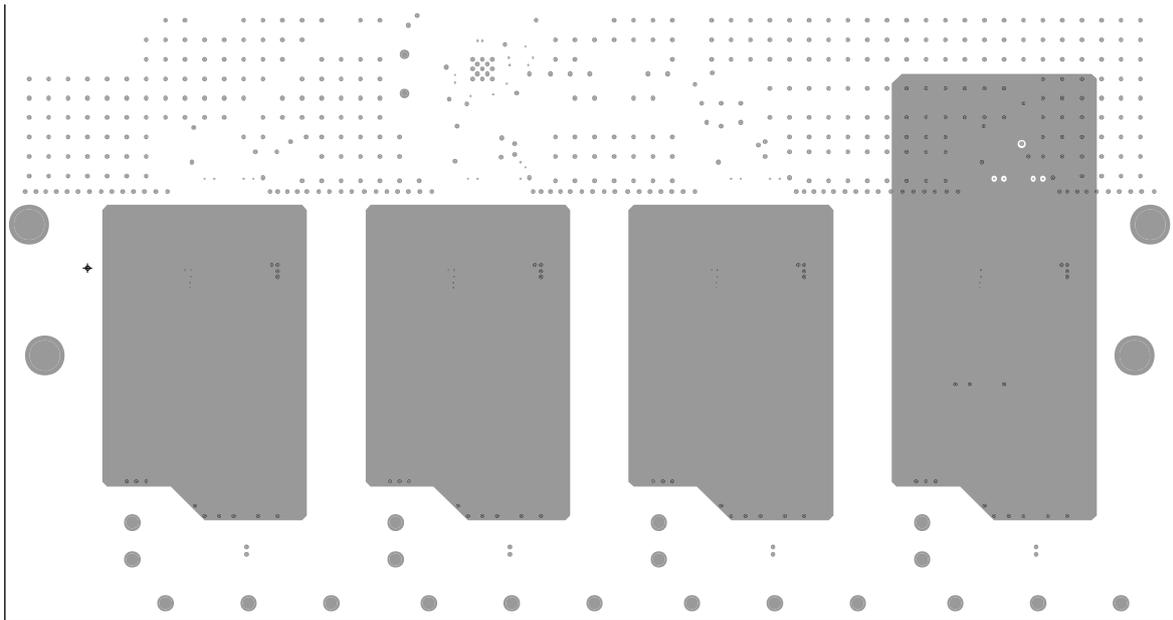
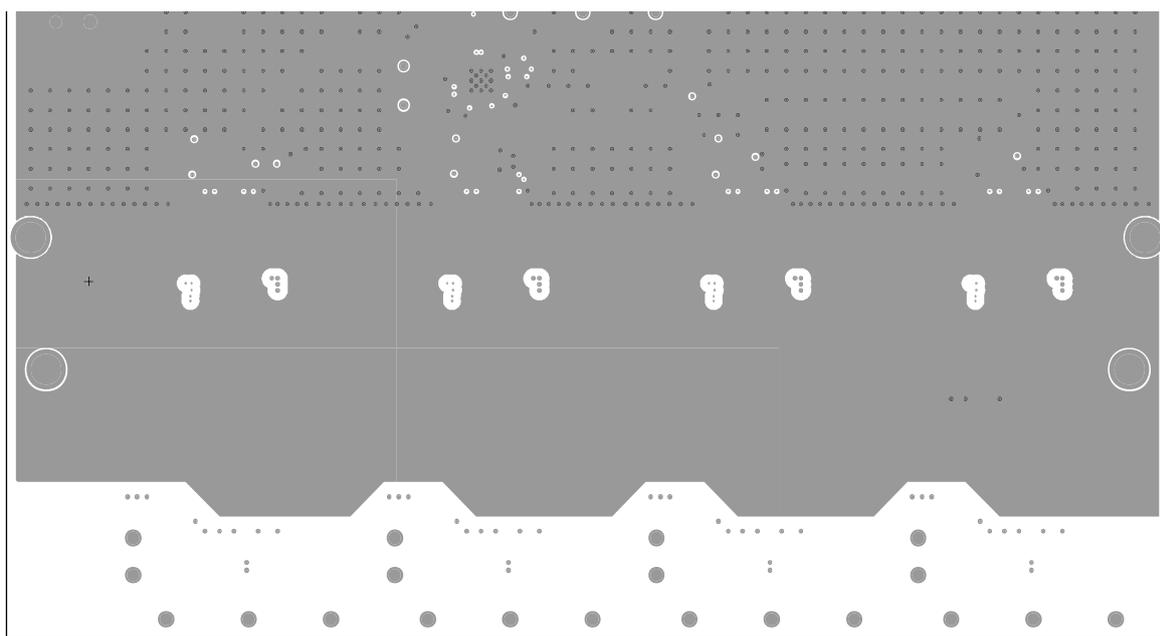


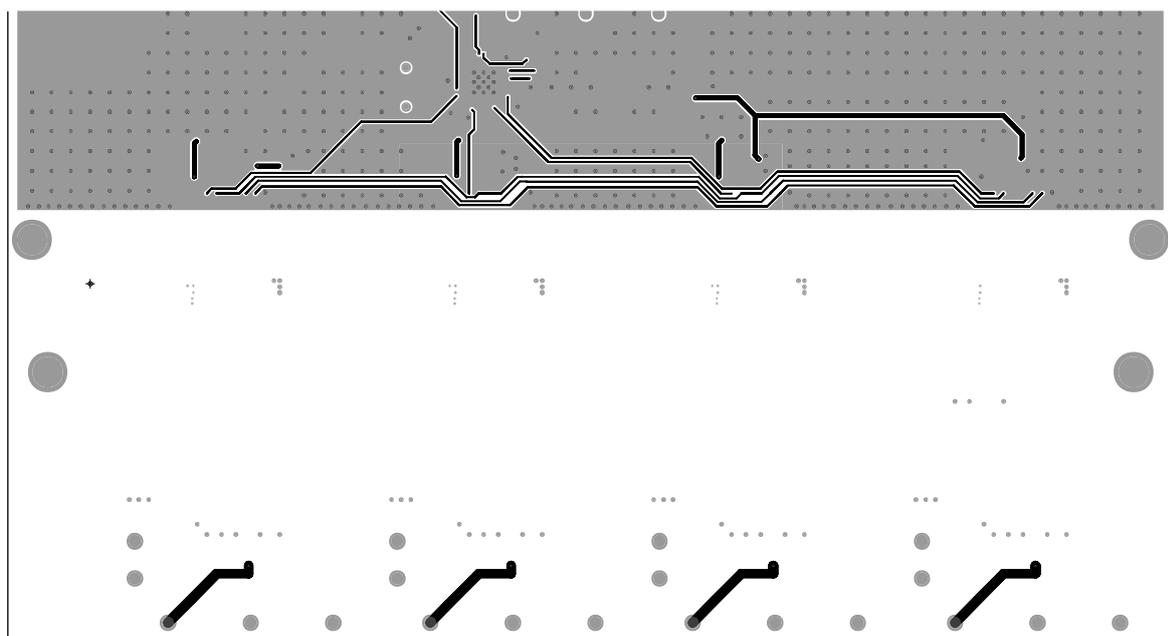
図 121. ADE7978、ADE7933、および ADE7923 の回路基板、第 2 層

11116216



11116-217

図 122. ADE7978、ADE7933、および ADE7923 の回路基板、第 3 層



11116-218

図 123. ADE7978、ADE7933、および ADE7923 の回路基板、第 4 層

4層 PCB を使用するため、第 2 層と第 3 層の間にスティッチング・コンデンサが形成されます。

ADE7933 の絶縁された 2 次側に配置された第 1 層の部品は、 GND_{iso} に接続されたグラウンド・プレーンに囲まれていることに注意してください。第 2 層にも、PCB の 2 次側に同様のグラウンド・プレーンがあります。第 3 層では、ADE7933 とその関連回路の下にある 1 次側のグラウンドを延長し、スティッチング・コンデンサを形成します。この容量は、ADE7933/ADE7932 の DC/DC コンバータによって生じるエミッションを低減する上で重要な役割を果たします。ボードの入力ピンとグラウンド・プレーンの間には、両側に少なくとも 8mm の距離をとっていることに注意してください。第 4 層では、ADE7933 の 1 次側にグラウンド・プレーンがあります。

図 124 は、4 層 PCB で作成されたスティッチング・コンデンサの構造を示しています。第 2 層の絶縁グラウンド・プレーンは、第 3 層に配置された 1 次側グラウンド・プレーンと共に、デバイスを含め面積が約 1100mm^2 で容量が 100pF のコンデンサ (C23) を形成します。

この容量は、ADE7933/ADE7932 の DC/DC コンバータで発生するエミッションを低減する上で重要な役割を果たします。

ADE7978 および ADE7933/ADE7932 の評価用ボード

ADE7978 および ADE7933 チップセットの構成に基づいて評価用ボードを使用できます (オーダー・ガイドを参照)。このボードは、システム・デモンストレーション・プラットフォーム (EVAL-SDP-CB1Z) と共に使用します。ADE7978 および ADE7933 を評価するには、ADE7978/ADE7933 評価ボードとシステム・デモンストレーション・プラットフォームの両方を注文してください。詳細については、ADE7978 の製品ページを参照してください。

ADE7978 のダイ・バージョン

バージョン・レジスタは、ADE7978 のダイ・バージョンを識別します。この 8 ビットの読み出し専用レジスタは、アドレス $0xE707$ に配置されています。

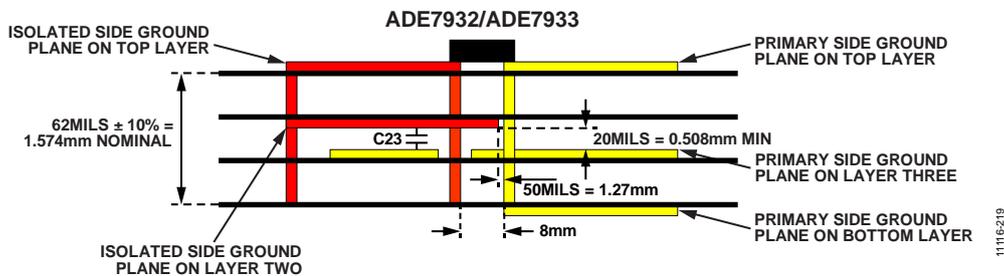


図 124. 4 層 PCB で形成されたスティッチング・コンデンサ

シリアル・インターフェース

ADE7978 には、フル・ライセンス取得済みの I²C インターフェース、シリアル・ペリフェラル・インターフェース (SPI)、高速データ・キャプチャ (HSDC) ポートの 3 つのシリアル・ポート・インターフェースがあります。SPI ピンは、I²C および HSDC ポートのピンとマルチプレクスされています。したがって、ADE7978 は、SPI ポートのみを使用する構成と I²C ポートを HSDC ポートと併用する構成の 2 つの構成が可能です。

シリアル・インターフェースの選択

ADE7978 のリセット後、HSDC ポートは常にディスエーブルされます。パワーアップ後またはハードウェア・リセット後に、 \overline{SS}/HSA ピン (ピン 16) を操作して I²C または SPI ポートを選択します。

- \overline{SS}/HSA ピンをハイにすると、ADE7978 は次のハードウェア・リセットが実行されるまで I²C ポートを使用します。
- \overline{SS}/HSA ピンをハイからローに 3 回トグルすると、ADE7978 は次のハードウェア・リセットが実行されるまで SPI ポートを使用します。

\overline{SS}/HSA ピンの操作は以下の 2 通りの方法で行うことができます。

- マスタ・デバイス (つまり、マイクロコントローラ) の \overline{SS} ピンを通常の I/O ピンとして使用し、3 回トグルします。
- ADE7978 の特定のレジスタに割り当てられていないアドレス空間のロケーション (例えば、8 ビット・レジスタへの書込みが実行可能なアドレス 0xEBFF) に 3 回 SPI 書込み操作を実行します。これらの書込みによって、 \overline{SS}/HSA ピンが 3 回トグルします。この書込みプロトコルの詳細については、SPI 書込み動作のセクションを参照してください。

シリアル・ポートの選択が完了したら、選択をロックする必要があります。こうすると、アクティブなポートは、ハードウェア・リセットまたはパワーダウン操作が実行されるまでイネーブルのままになります。アクティブなシリアル・ポートが I²C の場合、CONFIG2 レジスタ (アドレス 0xEA00) のビット 0 (I2C_LOCK) を 1 にセットしてロックする必要があります。このビットへの書込みが完了すると、ADE7978 は \overline{SS}/HSA ピンのスプリアスなトグルを無視し、SPI ポートに切り替わることはありません。アクティブなシリアル・ポートが SPI の場合、CONFIG2 レジスタへの書込みによってポートはロックします。この書込み後、I²C ポートに切り替わることはありません。

ADE7978 の機能は、いくつかのオンチップ・レジスタを介して設定可能です。これらのレジスタの内容は、I²C または SPI インターフェースを使用して更新または読出しが可能です。HSDC ポートは、相電圧および中性電流の瞬時値と、有効/無効/皮相の電力を格納する最大 16 個のレジスタの状態を提供します。

通信の検証

ADE7978 は、I²C または SPI を介した通信を検証するための 3 つのレジスタ・セットを備えています。LAST_OP (アドレス 0xEA01)、LAST_ADD (アドレス 0xE9FE)、LAST_RWDATA レジスタは、最後に成功した通信の特性、アドレス、データをそれぞれ記録します。LAST_RWDATA レジスタには、正常な通信の長さに応じて 3 つの個別のアドレスがあります (表 37 参照)。

表 37. LAST_RWDATA レジスタのロケーション

Communication Type	Address
8-Bit Read/Write	0xE7FD
16-Bit Read/Write	0xE9FF
32-Bit Read/Write	0xE5FF

ADE7978 との正常な通信が行われるごとに、最後にアクセスされたレジスタのアドレスが 16 ビットの LAST_ADD レジスタ (アドレス 0xE9FE) に格納されます。この読出し専用レジスタは、次の読込みまたは書込みが正常に完了するまで値を格納します。

LAST_OP レジスタ (アドレス 0xEA01) には操作の特性が格納されます。つまり、読出しが実行されたか、書込みが実行されたかを示します。最後の操作が書込みであった場合、LAST_OP レジスタには値 0xCA が格納されます。最後の操作が読出しであった場合、LAST_OP レジスタには値 0x35 が格納されます。レジスタに対する書込みまたは読出しのデータは LAST_RWDATA レジスタに格納されます。読出しまたは書込み操作が失敗した場合、これらのレジスタには格納されません。

LAST_OP、LAST_ADD、LAST_RWDATA レジスタを読み出ししても、それらの値は変更されません。

I²C 互換インターフェース

ADE7978 は、フル・ライセンス取得済みの I²C インターフェースをサポートしています。I²C インターフェースは完全なハードウェア・スレーブとして実装されています。I²C インターフェースでサポートされる最大シリアル・クロック周波数は 400kHz です。

SDA はデータ I/O ピン、SCL はシリアル・クロックです。これらの 2 つのピンは、オンチップ SPI インターフェースの MOSI ピンおよび SCLK ピンと共有されます。SDA ピンと SCL ピンは、マルチマスタ・システムでアービトラーションが可能なワイヤード AND 形式で構成されています。

I²C システムの転送シーケンスでは、バスがアイドル状態の間にマスタ・デバイスが開始条件を生成することで転送を開始します。マスタは、初期アドレス転送において、スレーブ・デバイスのアドレスとデータ転送の方向を送信します。スレーブがマスタにアクノレッジすると、データ転送が開始されます。データ転送は、マスタが停止条件を発行し、バスがアイドルになるまで続きます。

I²C の書き込み動作

ADE7978 の I²C インターフェースを使用した書き込み動作は、マスタが開始条件を生成すると開始されます。この条件は、ADE7978 のスレーブ・アドレスを表す 1 バイトと、それに続くターゲット・レジスタの 16 ビット・アドレスから構成されます。ADE7978 は、受信するバイトごとに ACK レジスタを生成します。レジスタは 8、16、または 32 ビットが可能です。レジスタの最後のビットが転送され、ADE7978 が転送を ACK レジスタすると、マスタは停止条件を生成します。

アドレス・バイトの最上位 7 ビットには ADE7978 のアドレスが含まれており、これは 0111000 です。アドレス・バイトのビット 0 は read/write ビットです。書き込み動作では、ビット 0 を 0 にクリアする必要があります。したがって、書き込み動作の最初のバイトは 0x70 です。ADE7978 は、受信するバイトごとに ACK レジスタを生成します。レジスタは 8、16、または 32 ビットが可能です。レジスタの最後のビットが転送され、ADE7978 が転送を ACK レジスタすると、マスタは停止条件を生成します。

I²C の読み出し動作

ADE7978 の I²C インターフェースを使用した読み出し動作は 2 段階で実行されます。1 段階では、ポインタをレジスタのアドレスに設定します。2 段階では、レジスタの内容を読み出します。

図 126 に示すように、マスタが開始条件を生成すると、1 段階目が開始されます。開始条件は、ADE7978 のスレーブ・アドレスを表す 1 バイトとこれに続くターゲット・レジスタの 16 ビット・アドレスから構成されます。ADE7978 は、受信するバイトごとに ACK レジスタを生成します。アドレス・バイトは書き込み動作のアドレス・バイトと同じく、0x70 です (I²C の書き込み動作のセクションを参照)。

レジスタ・アドレスの最後のバイトが送信され、ADE7978 によって ACK レジスタされた後、2 段階目では、マスタが新しい開始条件を生成し、更にアドレス・バイトを続けることで開始されます。このアドレス・バイトの最上位 7 ビットには、ADE7978 のアドレスが含まれており、これは 0111000 です。アドレス・バイトのビット 0 は read/write ビットです。読み出し動作では、ビット 0 を 1 にセットする必要があります。したがって、読み出し動作の最初のバイトは 0x71 です。このバイトの受信後、ADE7978 は ACK レジスタを生成します。その後、ADE7978 はレジスタの値を送信し、マスタは各バイトを受信した後で ACK レジスタを生成します。すべてのバイトは、最上位ビットを先にして送信されます。レジスタは 8、16、または 32 ビットが可能です。レジスタの最後のビットを受信した後、マスタは転送を ACK レジスタせずに停止条件を生成します。

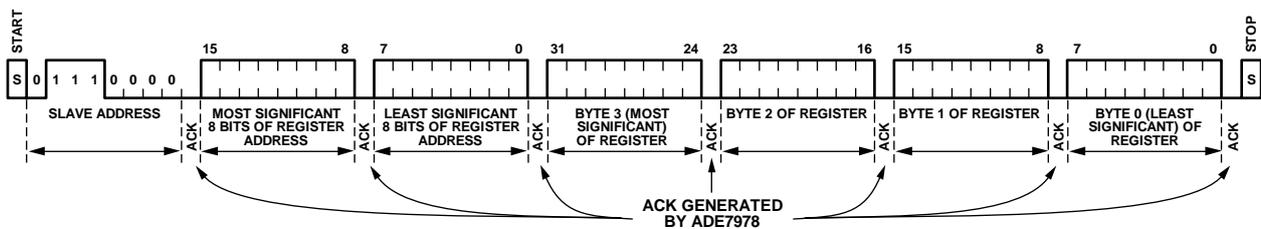


図 125. 32 ビット・レジスタの I²C 書き込み動作

11116-001

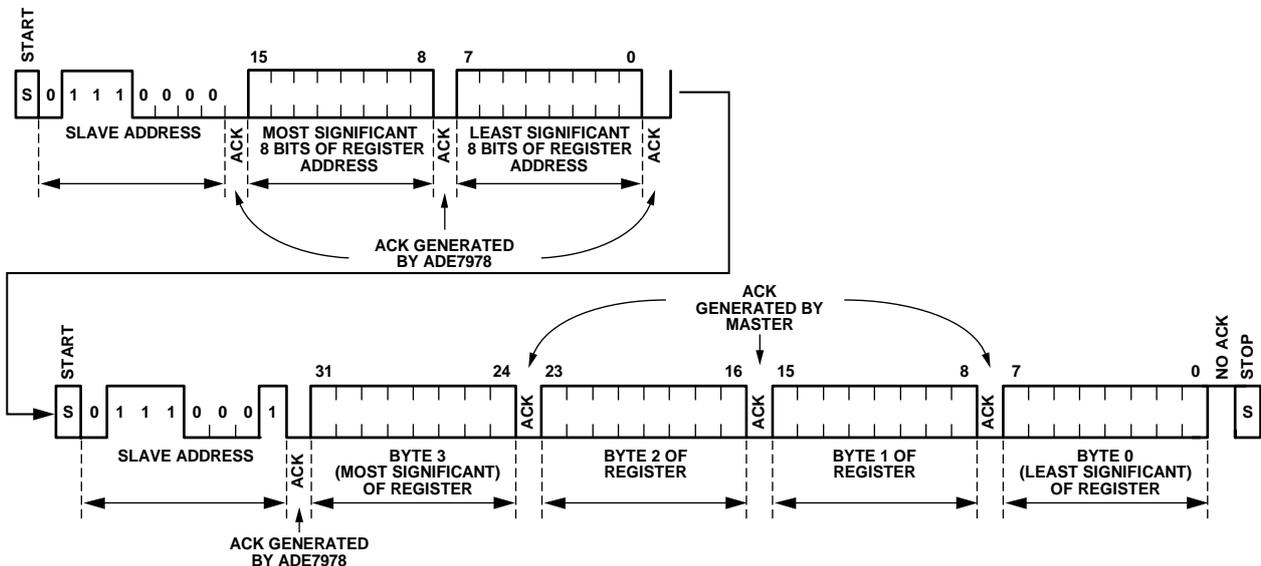


図 126. 32 ビット・レジスタの I²C 読み出し動作

11116-002

I²C のバースト読み出し動作

アドレス 0xE50C～アドレス 0xE526 のレジスタは、ADE7978 が 8kHz ごとに計算した量を表します。これらのレジスタには以下の情報が格納されます。

- 波形サンプル (IAWV、IBWV、ICWV、INWV、VAWV、VBWV、VCWV、VA2WV、VB2WV、VC2WV、VNWV、VN2WV)
- 各種電力の瞬時値 (AWATT、BWATT、CWATT、AVAR、BVAR、CVAR、AVA、BVA、CVA)
- 全高調波歪み (THD) (AVTHD、AITHD、BVTHD、BITHD、CVTHD、CITHD)

これらのレジスタは 2 つの方法で読み出すことができます。1 つは一度に 1 つのレジスタ (I²C の読み出し動作のセクションを参照)、もう 1 つはバースト・モードでの複数レジスタの連続同時読み出しです。

バースト・モードは 2 段階で実行されます (図 127 参照)。1 段階では、ポインタをバースト内の第 1 レジスタのアドレスに設定します。これは、1 つのレジスタのみを読み出す際に実行される第 1 段階と同じです。アドレス 0xE50C～アドレス 0xE526 の任意のレジスタをバーストの最初のレジスタにすることができます。

2 段階目はレジスタの内容を読み出します。2 段階目は以下のように進行します (図 127 参照)。

1. マスタは新しい開始条件を生成し、その後に単一レジスタを読み出す際に使用するアドレス・バイトと同じアドレス・バイト 0x71 を生成します。

2. アドレス・バイトを受信すると、ADE7978 はそのバイトをアクノレッジし、ポインタにある最初のレジスタの値を送信します。レジスタは最上位バイトを先にして送信され、すべてのバイトは最上位ビットを先にして送信されます。
3. 各 8 ビットを受信後に、マスタはアクノレッジを生成します。
4. 最初のレジスタのバイトを送信後、マスタが最後のバイトをアクノレッジすると、ADE7978 は 1 ロケーションだけポインタをインクリメントして次のレジスタに移動し、最上位バイトから先に 1 バイトずつ送信します。
5. マスタが 2 番目のレジスタの最後のバイトをアクノレッジすると、ADE7978 はポインタを再びインクリメントし、次のレジスタからデータの送信を開始します。
6. このプロセスは、マスタがレジスタの最後のバイトをアクノレッジせず、停止条件を生成するまで続きます。

アドレス 0xE526 は、バースト読み出し動作に割り当てられるメモリ範囲の最後のロケーションです。アドレスが 0xE526 より大きいレジスタ・ロケーションでバースト読み出しを実行しないでください。

ZX/DREADY ピンのハイからローへの遷移を使用して、バースト読み出し動作を開始させることができます。このピンは DREADY 機能に設定する必要があります (CONFIG レジスタ、アドレス 0xE618 のビット [1:0]、ZX_DREADY を 00 に設定)。STATUS0 レジスタ (アドレス 0xE502) のビット 17 (DREADY) が 1 にセットされてから約 70ns 後に、ZX/DREADY ピンはローになります。このピンは 10µs 間ローを保持し、その後再びハイになります。

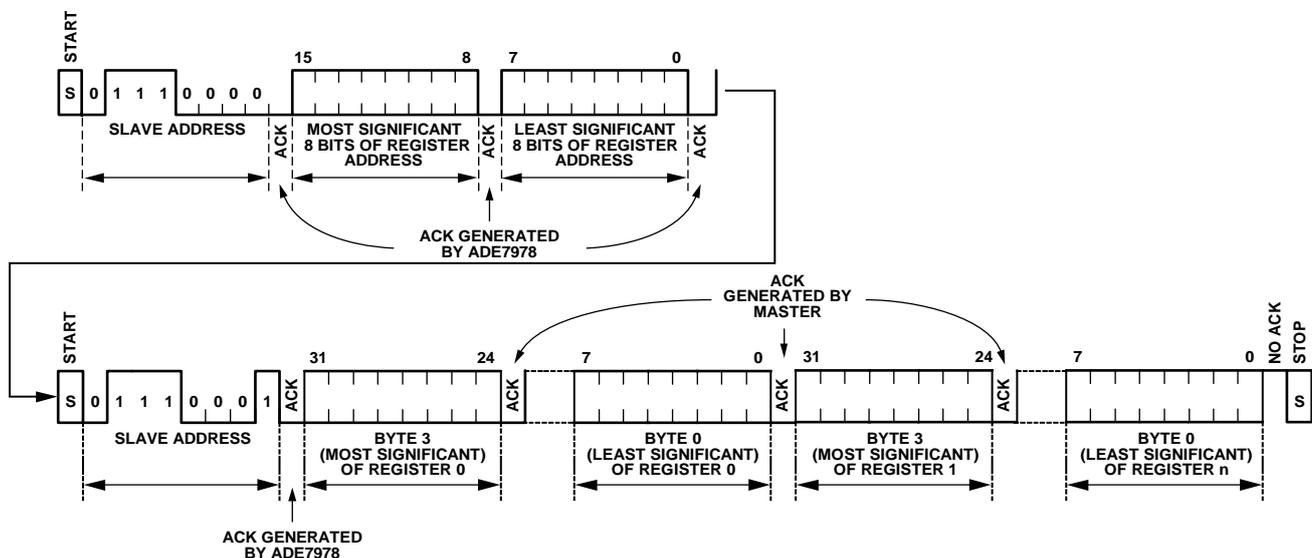


図 127. アドレス 0xE50C～アドレス 0xE526 の連続するレジスタの I²C バースト読み出し

11116-093

SPI 互換インターフェース

ADE7978 の SPI インターフェースは、常に通信のスレーブであり、SCLK/SCL、MOSI/SDA、MISO/HSD、 \overline{SS} /HSA の 4 つのピン（デュアル機能）で構成されています。SPI 互換インターフェースで使用される機能は、SCLK、MOSI、MISO、 \overline{SS} です。

データ転送のためのシリアル・クロックは SCLK ロジック入力から与えます。すべてのデータ転送動作はシリアル・クロックに同期します。SPI インターフェースでサポートされる最大シリアル・クロック周波数は 2.5MHz です。

SCLK の立下がりエッジで、データが MOSI ロジック入力から ADE7978 にシフトインされ、ADE7978 が SCLK の立上がりエッジでそれをサンプリングします。また、SCLK の立下がりエッジで、データが MISO ロジック出力で ADE7978 からシフトアウトされ、SCLK の立上がりエッジでマスタ・デバイスによってサンプリングされます。ワードの最上位ビットから先にシフトインおよびシフトアウトが行われます。ADE7978 からデータが送信されない場合、MISO はハイ・インピーダンス状態のままです。

図 128 は、ADE7978 の SPI インターフェースと、SPI インターフェースを内蔵するマスタ・デバイスとの間の接続を示しています。

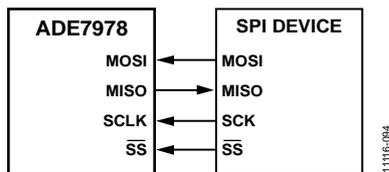


図 128. ADE7978 の SPI インターフェースから SPI デバイスへの接続

\overline{SS} ロジック入力は、チップ・セレクト入力です。この入力は、複数のデバイスがシリアル・バスを共有する場合に使用します。データ転送動作全体にわたって \overline{SS} 入力をローに駆動してください。データ転送動作中に \overline{SS} がハイになると転送が中断され、シリアル・バスがハイ・インピーダンス状態になります。 \overline{SS} ロジック入力をローに戻すことによって、新しい転送を開始できます。ただし、完了前にデータ転送を中止すると、アクセスされるレジスタの内容は確保されません。レジスタに書き込まれるたびに、その値を読み出して検証する必要があります。このプロトコルは、I²C インターフェースで使用されるプロトコルと同様です。

SPI の書き込み動作

ADE7978 の SPI インターフェースを使用した書き込み動作は、マスタが \overline{SS} ピンをローに設定し、ADE7978 のスレーブ・アドレスを表す 1 バイトを MOSI ラインに送信すると開始されます（図 129 参照）。マスタは、MOSI ラインでのデータ送信を、SCLK の最初のハイからローへの遷移で開始します。ADE7978 の SPI インターフェースは、SCLK のローからハイへの遷移でデータをサンプリングします。

アドレス・バイトの最上位 7 ビットは任意の値にできますが、正しいプログラミング手法としては、これらのビットを 0111000 (I²C プロトコルで使用される 7 ビット・アドレス) 以外の値にする必要があります。アドレス・バイトのビット 0 は read/write ビットです。書き込み動作では、ビット 0 を 0 にクリアする必要があります。その後、マスタは、書き込み対象のレジスタの 16 ビット・アドレスに続いて、SCLK サイクルから外れることなく、そのレジスタの 32、16、または 8 ビット値を送信します。最後のビットを送信した後、マスタは \overline{SS} および SCLK サイクルの最後に SCLK ラインをハイに設定し、通信が終了します。データ・ラインの MOSI および MISO はハイ・インピーダンス状態になります。

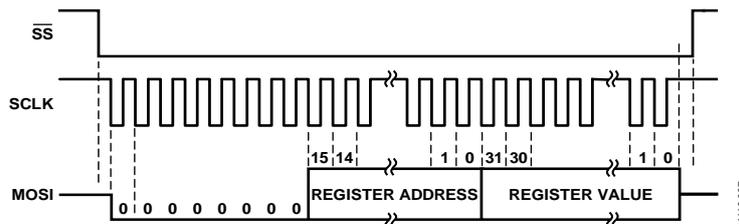


図 129. 32 ビット・レジスタの SPI 書き込み動作

SPI の読出し動作

ADE7978 の SPI インターフェースを使用した読出し動作は、マスタが \overline{SS} ピンをローに設定し、ADE7978 のアドレスを表す 1 バイトを MOSI ラインに送信すると開始されます (図 130 参照)。マスタは、MOSI ラインでのデータ送信を、SCLK の最初のハイからローへの遷移で開始します。ADE7978 の SPI インターフェースは、SCLK のローからハイへの遷移でデータをサンプリングします。

アドレス・バイトの最上位 7 ビットは任意の値にできますが、正しいプログラミング方法としては、これらのビットを 0111000 (I²C プロトコルで使用される 7 ビット・アドレス) 以外の値にする必要があります。アドレス・バイトのビット 0 は read/write ビットです。読出し動作では、ビット 0 を 1 にセットする必要があります。次に、マスタは、読出し対象のレジスタの 16 ビット・アドレスを送信します。ADE7978 は、SCLK のローからハイへの遷移でレジスタ・アドレスの最後のビットを受信すると、次の SCLK のハイからローへの遷移でレジスタ内容の送信を MISO ライン上で開始します。マスタは、SCLK のローからハイへの遷移でデータをサンプリングします。

マスタは、最後のビットを受信すると \overline{SS} および SCLK ラインをハイに設定し、通信が終了します。データ・ラインの MOSI および MISO はハイ・インピーダンス状態になります。

SPI のバースト読出し動作

アドレス 0xE50C~アドレス 0xE526 のレジスタは、ADE7978 によって 8kHz ごとに計算した量を表します (レジスタ一覧については、IC のバースト読出し動作のセクションを参照してください)。

これらのレジスタは 2 つの方法で読み出すことができます。1 つは一度に 1 つのレジスタの読出し (SPI の読出し動作のセクションを参照)、もう 1 つはバースト・モードでの複数レジスタの連続同時読出しです。

バースト・モードは、マスタが \overline{SS} ピンをローに設定し、ADE7978 のアドレスを表す 1 バイトを MOSI ライン上で送信することにより開始されます (図 131 参照)。このアドレスは、単一レジスタを読み出す際と同じアドレス・バイトです。マスタは、MOSI ラインでのデータ送信を、SCLK の最初のハイからローへの遷移で開始します。ADE7978 の SPI インターフェースは、SCLK のローからハイへの遷移でデータをサンプリングします。

マスタは、バースト内の読出し対象とする最初のレジスタの 16 ビット・アドレスを送信します。アドレス 0xE50C~アドレス 0xE526 の任意のレジスタをバーストの最初のレジスタにすることができます。ADE7978 は、SCLK のローからハイへの遷移でレジスタ・アドレスの最後のビットを受信すると、次の SCLK のハイからローへの遷移でレジスタ内容の送信を MISO ライン上で開始します。マスタは SCLK のローからハイへの遷移でデータをサンプリングします。

マスタが最初のレジスタの最後のビットを受信すると、ADE7978 は次のロケーションにあるレジスタの内容を送信します。このプロセスは、マスタが \overline{SS} および SCLK ラインをハイに設定し、通信を終了するまで繰り返されます。データ・ラインの MOSI および MISO はハイ・インピーダンス状態になります。

アドレス 0xE526 は、バースト読出し動作に割り当てられるメモリ範囲の最後のロケーションです。アドレスが 0xE526 より大きいレジスタ・ロケーションでバースト読出しを実行しないでください。

$\overline{ZX/DREADY}$ ピンのハイからローへの遷移を使用して、バースト読出し動作を開始させることができます。このピンは DREADY 機能に設定する必要があります (CONFIG レジスタ、アドレス 0xE618 のビット [1:0]、ZX_DREADY を 00 に設定)。STATUS0 レジスタ (アドレス 0xE502) のビット 17 (DREADY) が 1 にセットされてから約 70ns 後に、ZX/DREADY ピンはローになります。このピンは 10 μ s 間ローを保持し、その後再びハイになります。

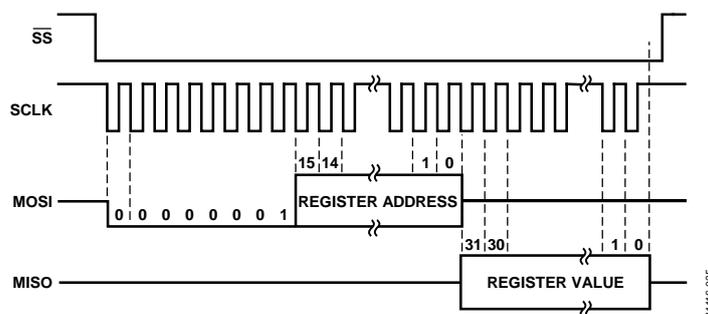


図 130. 32 ビット・レジスタの SPI 読出し動作

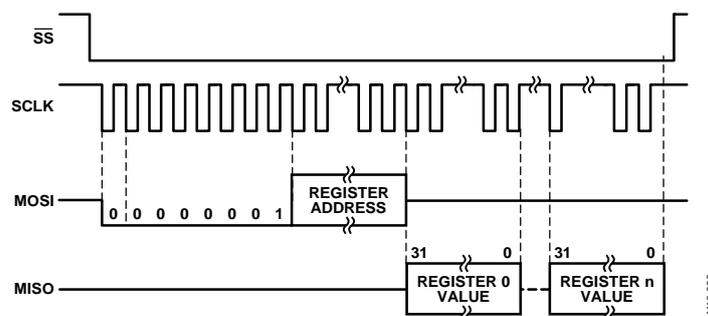


図 131. アドレス 0xE50C~アドレス 0xE526 の連続するレジスタの SPI バースト読出し

HSDC インターフェース

高速データ・キャプチャ (HSDC) インターフェースは、デフォルトではディスエーブルされます。ADE7978 が I²C インターフェースに設定されている場合のみ使用できます。ADE7978 の SPI インターフェースは、HSDC インターフェースと同時に使用することはできません。

CONFIG レジスタのビット 6 (HSDCEN) を 1 にセットすると、HSDC インターフェースがイネーブルされます。HSDCEN ビットを 0 (デフォルト値) にクリアすると、HSDC インターフェースはディスエーブルされます。SPI インターフェースを使用しているときにこのビットを 1 にセットしても、この部分に影響はありません。

HSDC インターフェースは、外部デバイス (通常はマイクロプロセッサまたは DSP) にデータを送信するのに使用します。このデータは、最大 16 個の 32 ビット・ワードで構成できます。これらのワードは、相電流や相電圧、中性電流、および有効/無効/皮相電力の瞬時値を示します。送信されるレジスタは、IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR です。これらの 24 ビット・レジスタは 32 ビットに符号拡張されます (図 53 参照)。

HSDC は SPI または同様のインターフェースとインターフェースできます。HSDC は常に通信のマスタとなります。HSDC インターフェースは、HSA、HSD、HSCLK の 3 つのピンで構成されます。HSA は選択信号を表します。これは、ワードの送信時にアクティブ・ローまたはハイを保持し、通常はスレーブのセレクト・ピンに接続されます。HSD は、スレーブにデータを送信し、通常はスレーブのデータ入力ピンに接続されます。HSCLK は、ADE7978 によって生成されるシリアル・クロック・ラインです。HSCLK は通常、スレーブのシリアル・クロック入力に接続します。図 132 に、ADE7978 の HSDC インターフェースと、SPI インターフェースを内蔵するスレーブ・デバイス間の接続を示します。

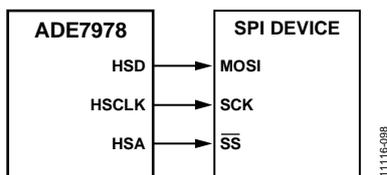


図 132. ADE7978 の HSDC インターフェースから SPI スレーブへの接続

HSDC 通信は HSDC_CFG レジスタによって管理します (表 60 参照)。CONFIG レジスタのビット 6 (HSDCEN) を使用して HSDC ポートをイネーブルする前に、HSDC_CFG レジスタを希望の値に設定することを推奨します。こうすると、HSDC ポートに属する様々なピンの状態が、希望する HSDC 動作と一致しないレベルを受け付けることがなくなります。ハードウェアのリセット後またはパワーアップ後、HSD ピンと HSA ピンはハイに設定されます。

HSDC_CFG レジスタのビット 0 (HCLK) は、HSDC 通信のシリアル・クロック周波数を決定します。HCLK ビットを 0 (デフォルト値) に設定すると、クロック周波数は 8MHz になります。HCLK ビットを 1 にセットすると、クロック周波数は 4MHz になります。HSCLK のハイからローへの遷移ごとに 1 ビットのデータが送信されます。HSDC インターフェースからデータを受信するスレーブ・デバイスは、HSCLK のローからハイへの遷移時に HSD ラインをサンプリングします。

ワードは、32 ビット・パッケージまたは 8 ビット・パッケージとして送信できます。HSDC_CFG レジスタのビット 1 (HSIZE) を 0 (デフォルト値) に設定した場合、ワードは 32 ビット・パッケージとして送信されます。HSIZE ビットを 1 にセットした場合、レジスタは 8 ビット・パッケージとして送信されます。HSDC インターフェースは、ワードの MSB を先にして送信します。

ビット 2 (HGAP) を 1 にセットすると、パッケージ間に 7HSCLK サイクルのギャップが設定されます。HGAP ビットを 0 (デフォルト値) にクリアすると、パッケージ間にギャップが設定されず、通信時間が最短になります。HGAP を 0 に設定した場合、HSIZE ビットは通信に影響を与えず、HSCLK のハイからローへの遷移ごとに HSD ラインにデータ・ビットが送信されます。

ビット [4:3] (HXFER [1:0]) は、送信するワード数を指定します。HXFER [1:0] を 00 (デフォルト値) に設定した場合、16 ワードすべてが送信されます。HXFER [1:0] を 01 に設定した場合、相電流と中性電流、および相電圧の瞬時値を表すワードのみが、IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV の順で送信されます。HXFER [1:0] を 10 に設定した場合、相電力の瞬時値のみが、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR の順で送信されます。HXFER [1:0] の値 11 は予備であり、これに書き込むことはデフォルト値の 00 を書き込むことと同じです。

ビット 5 (HSAPOL) は、通信中の HSA ピンにおける HSA 機能の極性を指定します。HSAPOL ビットを 0 (デフォルト値) に設定した場合、通信中に HSA ピンがアクティブ・ローになります。つまり、通信が行われていないとき、HSA はハイを保持します。通信が実行されると、32 ビットまたは 8 ビットのパッケージ転送中 HSA はローになり、ギャップ中はハイになります。HSAPOL ビットを 1 にセットした場合、通信中は HSA ピンがアクティブ・ハイになります。つまり、通信が行われていない場合、HSA はローを保持します。通信が実行されると、32 ビットまたは 8 ビットのパッケージの転送中 HSA がハイとなり、ギャップ中は HSA がローになります。

HSDC_CFG レジスタのビット [7:6] は予備です。これらのビットにどのような値を書き込んでも HSDC の動作に影響しません。

図 133 は、HGAP = 0、HXFER [1:0] = 00、HSAPOL = 0 の場合の HSDC 転送プロトコルを示しています。HSDC インターフェースは、HSCLK のハイからローへの遷移ごとに HSD ラインにデータ・ビットを送信します。HSIZE ビットの値は無関係です。

図 134 は、HSIZE = 0、HGAP = 1、HXFER [1:0] = 00、HSAPOL = 0 の場合の HSDC 転送プロトコルを示しています。HSDC インターフェースで各 32 ビット・ワードの間に 7 サイクルの HSCLK ギャップが設定されることに注意してください。

図 135 は、HSIZE = 1、HGAP = 1、HXFER [1:0] = 00、HSAPOL = 0 の場合の HSDC 転送プロトコルを示しています。HSDC インターフェースで各 8 ビット・ワードの間に 7 サイクルの HSCLK ギャップが設定されることに注意してください。

表 60 は、HSDC_CFG レジスタの HCLK、HSIZE、HGAP、HXFER [1:0]、HSAPOL ビットを説明しています。表 38 は、HSDC_CFG レジスタ設定のすべての場合に HSDC データ転送の実行にかかる時間を示しています。一部の設定では、転送時間が波形サンプル・レジスタの更新レートの 125 μ s (8kHz) を下回っています。転送時間が 125 μ s 未満の場合、HSDC ポートはサ

ンプリング周期ごとにデータを送信します。転送時間が 125 μ s より長い場合、HSDC ポートは 2 つの連続する 8kHz サンプルング・サイクルのうち最初のサイクルでのみデータを送信します。つまり、ポートは 4kHz の実効レートでレジスタを送信します。

表 38. 各種 HSDC 設定の通信時間

HXFER [1:0]	HGAP	HSIZE ¹	HCLK	Communication Time (μ s)
00	0	N/A	0	64
00	0	N/A	1	128
00	1	0	0	77.125
00	1	0	1	154.25
00	1	1	0	119.25
00	1	1	1	238.25
01	0	N/A	0	28
01	0	N/A	1	56
01	1	0	0	33.25
01	1	0	1	66.5
01	1	1	0	51.625
01	1	1	1	103.25
10	0	N/A	0	36
10	0	N/A	1	72
10	1	0	0	43
10	1	0	1	86
10	1	1	0	66.625
10	1	1	1	133.25

¹ N/A は該当なしを表します。

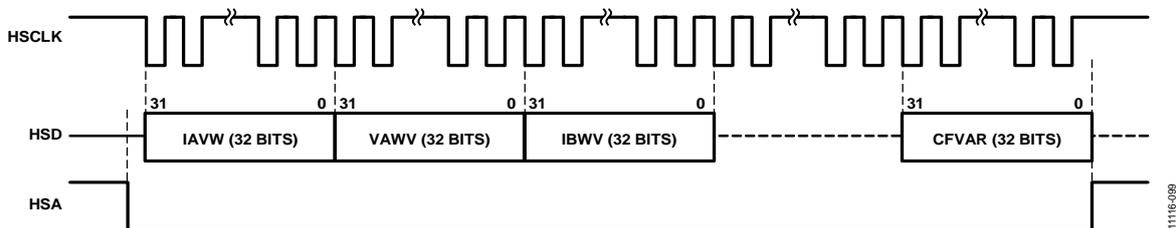


図 133. HGAP = 0、HXFER [1:0] = 00、および HSAPOL = 0 の場合の HSDC 通信、HSIZE は無関係

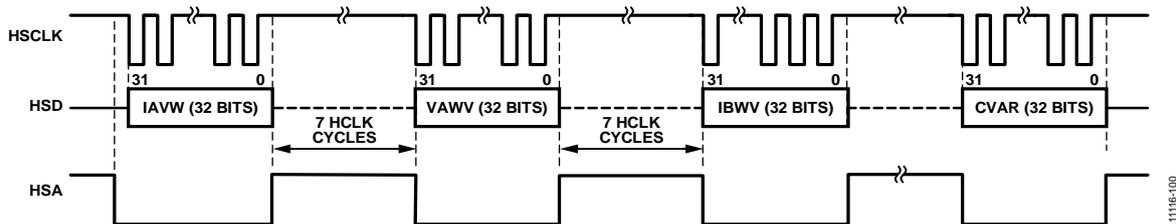


図 134. HSIZE = 0、HGAP = 1、HXFER [1:0] = 00、HSAPOL = 0 の場合の HSDC 通信

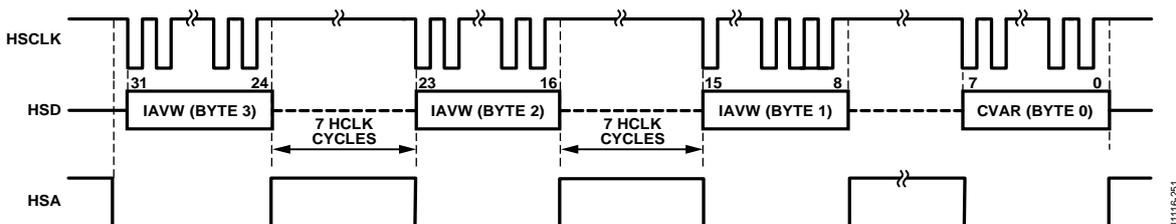


図 135. HSIZE = 1、HGAP = 1、HXFER [1:0] = 00、HSAPOL = 0 の場合の HSDC 通信

チェックサム・レジスタ

ADE7978 には 32 ビットのチェックサム・レジスタ (アドレス 0xE532) があり、設定レジスタに必要な値が確実に保持されるようにします。チェックサム・レジスタは、ADE7978 のすべての設定レジスタと、常にデフォルト値を保持する予備の内部レジスタを検証します。

ADE7978 は、IEEE 802.3 規格に基づいて巡回冗長検査 (CRC) を計算します。レジスタは、線形フィードバック・シフト・レジスタ (LFSR) ジェネレータに最下位ビットを先にして 1 つずつ入力されていきます (図 136 参照)。32 ビットの結果はチェックサム・レジスタに書き込まれます。パワーアップ後またはハードウェアないしソフトウェアのリセット後、レジスタのデフォルト値に対して CRC が計算され、結果は 0x6BF87803 になります。

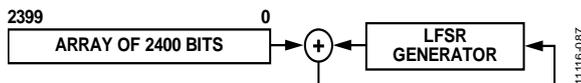


図 136. チェックサム・レジスタの計算

図 137 は、LFSR ジェネレータが CRC 計算でどのように使用されるかを示しています。設定レジスタと予備の内部レジスタによって、LFSR ジェネレータが使用するビット (a_{2399} , a_{2398} , ..., a_0) が形成されます。ビット a_0 は、LFSR ジェネレータに入る最初のレジスタの最下位ビットです。ビット a_{2399} は、LFSR ジェネレータに入る最後のレジスタの最上位ビットです。

LFSR ジェネレータを制御する数式は次のとおりです。

- $b_i(0) = 1$, $i = 0, 1, 2, \dots, 31$, CRC を形成するビットの初期状態。ビット b_0 は最下位ビット、ビット b_{31} は最上位ビット。
- g_i , $i = 0, 1, 2, \dots, 31$ は、以下のように IEEE 802.3 規格によって定義された生成多項式の係数。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \quad (56)$$

$$g_0 = g_1 = g_2 = g_4 = g_5 = g_7 = 1 \quad (57)$$

$$g_8 = g_{10} = g_{11} = g_{12} = g_{16} = g_{22} = g_{23} = g_{26} = 1$$

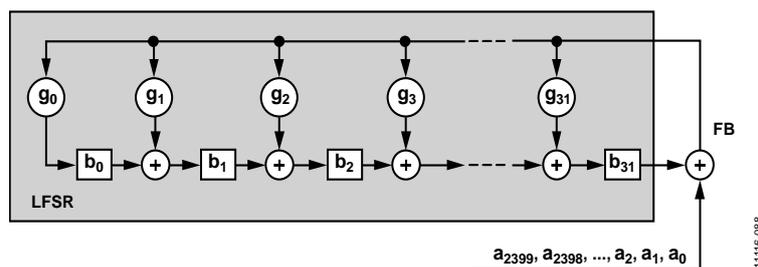


図 137. チェックサム・レジスタの計算に使用される LFSR ジェネレータ

他のすべての g_i 係数は 0 です。

$$FB(j) = a_{j-1} \text{ XOR } b_{31}(j-1) \quad (58)$$

$$b_0(j) = FB(j) \text{ AND } g_0 \quad (59)$$

$$b_i(j) = FB(j) \text{ AND } g_i \text{ XOR } b_{i-1}(j-1), i = 1, 2, 3, \dots, 31 \quad (60)$$

式 58、式 59、式 60 は、 $j = 1, 2, \dots, 2400$ について繰り返す必要があります。チェックサム・レジスタに書き込まれる値には、ビット $b_i(2400)$ 、 $i = 0, 1, \dots, 31$ が含まれます。

ADE7978 の設定レジスタに誤って書き込みや値の変更が行われるたびに、STATUS1 レジスタ (アドレス 0xE503) のビット 25 (CRC) が 1 に設定され、チェックサム値が変更されたことを示します。MASK1 レジスタのビット 25 (CRC) を 1 にセットした場合、IRQ1 割り込みピンがローにドライブされ、STATUS1 レジスタのステータス・フラグ CRC が 1 にセットされます。STATUS1 レジスタの該当するビットに 1 を書き込むと、ステータス・ビットはクリアされ、IRQ1 ピンはハイに戻ります。

レジスタに書き込みが行われていないときに STATUS1 レジスタの CRC ビットが 1 にセットされた場合、レジスタの 1 つで値が変更されたために ADE7978 の設定が変更されたとみなすことができます。推奨される対処方法は、ハードウェア・リセットまたはソフトウェア・リセットを実行して、予備レジスタを含むすべてのレジスタをデフォルト値にリセットしてから、設定レジスタを再初期化することです。

詳細は、ハードウェア・リセットのセクションと、ADE7978/ADE7933/ADE7932 および ADE7923 チップセットのソフトウェア・リセットのセクションを参照してください。

レジスタの一覧

表 39. DSP データ・メモリ RAM にあるレジスタ

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値	説明
0x4380	AIGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電流のゲイン調整。
0x4381	AVGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電圧のゲイン調整。
0x4382	AV2GAIN	R/W	24	32 ZPSE	S	0x000000	A 相 V2P チャンネルのゲイン調整。
0x4383	BIGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電流のゲイン調整。
0x4384	BVGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電圧のゲイン調整。
0x4385	BV2GAIN	R/W	24	32 ZPSE	S	0x000000	B 相 V2P チャンネルのゲイン調整。
0x4386	CIGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電流のゲイン調整。
0x4387	CVGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電圧のゲイン調整。
0x4388	CV2GAIN	R/W	24	32 ZPSE	S	0x000000	C 相 V2P チャンネルのゲイン調整。
0x4389	NIGAIN	R/W	24	32 ZPSE	S	0x000000	中性電流のゲイン調整。
0x438A	NVGAIN	R/W	24	32 ZPSE	S	0x000000	中性線 V1P チャンネルのゲイン調整。
0x438B	NV2GAIN	R/W	24	32 ZPSE	S	0x000000	中性線 V2P チャンネルのゲイン調整。
0x438C	AIRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相電流実効値オフセット。
0x438D	AVRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相電圧実効値オフセット。
0x438E	AV2RMSOS	R/W	24	32 ZPSE	S	0x000000	A 相 V2P 電圧実効値オフセット。
0x438F	BIRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相電流実効値オフセット。
0x4390	BVRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相電圧実効値オフセット。
0x4391	BV2RMSOS	R/W	24	32 ZPSE	S	0x000000	B 相 V2P 電圧実効値オフセット。
0x4392	CIRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相電流実効値オフセット。
0x4393	CVRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相電圧実効値オフセット。
0x4394	CV2RMSOS	R/W	24	32 ZPSE	S	0x000000	C 相 V2P 電圧実効値オフセット。
0x4395	NIRMSOS	R/W	24	32 ZPSE	S	0x000000	中性電流実効値オフセット。
0x4396	NVRMSOS	R/W	24	32 ZPSE	S	0x000000	中性線 V1P 電圧実効値オフセット。
0x4397	NV2RMSOS	R/W	24	32 ZPSE	S	0x000000	中性線 V2P 電圧実効値オフセット。
0x4398	ISUMLVL	R/W	24	32 ZPSE	S	0x000000	相電流と中性電流の絶対和を比較する ための閾値。
0x4399	APGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電力のゲイン調整。
0x439A	BPGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電力のゲイン調整。
0x439B	CPGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電力のゲイン調整。
0x439C	AWATTOS	R/W	24	32 ZPSE	S	0x000000	A 相総合有効電力のオフセット調整。
0x439D	BWATTOS	R/W	24	32 ZPSE	S	0x000000	B 相総合有効電力のオフセット調整。
0x439E	CWATTOS	R/W	24	32 ZPSE	S	0x000000	C 相総合有効電力のオフセット調整。
0x439F	AVAROS	R/W	24	32 ZPSE	S	0x000000	A 相総合無効電力のオフセット調整。
0x43A0	BVAROS	R/W	24	32 ZPSE	S	0x000000	B 相総合無効電力のオフセット調整。
0x43A1	CVAROS	R/W	24	32 ZPSE	S	0x000000	C 相総合無効電力のオフセット調整。
0x43A2	VLEVEL	R/W	24	32 ZPSE	S	0x000000	基本波有効/無効電力の計算アルゴリズム に使われるレジスタ。式 28 を参照。
0x43A3	AFWATTOS	R/W	24	32 ZPSE	S	0x000000	A 相基本波有効電力のオフセット調整。
0x43A4	BFWATTOS	R/W	24	32 ZPSE	S	0x000000	B 相基本波有効電力のオフセット調整。
0x43A5	CFWATTOS	R/W	24	32 ZPSE	S	0x000000	C 相基本波有効電力のオフセット調整。
0x43A6	AFVAROS	R/W	24	32 ZPSE	S	0x000000	A 相基本波無効電力のオフセット調整。
0x43A7	BFVAROS	R/W	24	32 ZPSE	S	0x000000	B 相基本波無効電力のオフセット調整。
0x43A8	CFVAROS	R/W	24	32 ZPSE	S	0x000000	C 相基本波無効電力のオフセット調整。

データシート

ADE7978/ADE7933/ADE7932/ADE7923

アドレス	レジスタ名	R/W ⁴	ビット長	通信時のビット長 ⁵	タイプ ⁶	デフォルト値	説明
0x43A9	AFIRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相基本波電流実効値オフセット。
0x43AA	BFIRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相基本波電流実効値オフセット。
0x43AB	CFIRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相基本波電流実効値オフセット。
0x43AC	AFVRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相基本波電圧実効値オフセット。
0x43AD	BFVRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相基本波電圧実効値オフセット。
0x43AE	CFVRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相基本波電圧実効値オフセット。
0x43AF	TEMPCO	R/W	24	32 ZPSE	S	0x000000	シャントの温度係数。
0x43B0	ATEMP0	R/W	24	32 ZPSE	S	0x000000	キャリブレーション時の A 相 ADE7933/ADE7932 の周囲温度。
0x43B1	BTEMP0	R/W	24	32 ZPSE	S	0x000000	キャリブレーション時の B 相 ADE7933/ADE7932 の周囲温度。
0x43B2	CTEMP0	R/W	24	32 ZPSE	S	0x000000	キャリブレーション時の C 相 ADE7933/ADE7932 の周囲温度。
0x43B3	NTEMP0	R/W	24	32 ZPSE	S	0x000000	キャリブレーション時の中性線 ADE7923 または ADE7933/ADE7932 の周囲温度。
0x43B4	ATGAIN	R/W	24	32 ZPSE	S	0x000000	A 相温度のゲイン調整。
0x43B5	BTGAIN	R/W	24	32 ZPSE	S	0x000000	B 相温度のゲイン調整。
0x43B6	CTGAIN	R/W	24	32 ZPSE	S	0x000000	C 相温度のゲイン調整。
0x43B7	NTGAIN	R/W	24	32 ZPSE	S	0x000000	中性線温度のゲイン調整。
0x43B8 to 0x43BF	Reserved	N/A	N/A	N/A	N/A	0x000000	正常動作のためには、これらのメモリ・ロケーションを 0x000000 とする必要があります。
0x43C0	AIRMS	R	24	32 ZP	S	N/A	A 相電流実効値。
0x43C1	AVRMS	R	24	32 ZP	S	N/A	A 相電圧実効値。
0x43C2	AV2RMS	R	24	32 ZP	S	N/A	A 相 V2P 電圧実効値。
0x43C3	BIRMS	R	24	32 ZP	S	N/A	B 相電流実効値。
0x43C4	BVRMS	R	24	32 ZP	S	N/A	B 相電圧実効値。
0x43C5	BV2RMS	R	24	32 ZP	S	N/A	B 相 V2P 電圧実効値。
0x43C6	CIRMS	R	24	32 ZP	S	N/A	C 相電流実効値。
0x43C7	CVRMS	R	24	32 ZP	S	N/A	C 相電圧実効値。
0x43C8	CV2RMS	R	24	32 ZP	S	N/A	C 相 V2P 電圧実効値。
0x43C9	NIRMS	R	24	32 ZP	S	N/A	中性電流実効値。
0x43CA	ISUM	R	28	32 ZP	S	N/A	I _{AWV} 、I _{BWV} 、I _{CWV} レジスタの合計。
0x43CB	ATEMP	R	24	32 ZP	S	N/A	A 相 ADE7933/ADE7932 の温度。
0x43CC	BTEMP	R	24	32 ZP	S	N/A	B 相 ADE7933/ADE7932 の温度。
0x43CD	CTEMP	R	24	32 ZP	S	N/A	C 相 ADE7933/ADE7932 の温度。
0x43CE	NTEMP	R	24	32 ZP	S	N/A	中性線 ADE7923 または ADE7933/ADE7932 の温度。
0x43CF to 0x43FF	Reserved	N/A	N/A	N/A	N/A	0x000000	正常動作のためには、これらのメモリ・ロケーションを 0x000000 とする必要があります。

¹ R = 読出し専用、R/W = 読出し/書込み、N/A = 該当なし。

² 32 ZPSE = 24 ビット符号付きレジスタ。4MSB に 0 が埋められ、28 ビットに符号拡張されて 32 ビット・ワードとして送信されます。32 ZP = 28 ビットまたは 24 ビットの符号付きまたは符号なしレジスタ。それぞれ 4MSB または 8MSB が 0 で埋められ、32 ビット・ワードとして送信されます。

³ S = 2 の補数フォーマットの符号付きレジスタ。

⁴ R = 読出し専用、R/W = 読出し/書込み、N/A = 該当なし。

⁵ 32 ZPSE = 24 ビット符号付きレジスタ。4MSB に 0 が埋められ、28 ビットに符号拡張されて 32 ビット・ワードとして送信されます。32 ZP = 28 ビットまたは 24 ビットの符号付きまたは符号なしレジスタ。それぞれ 4MSB または 8MSB が 0 で埋められ、32 ビット・ワードとして送信されます。

⁶ S = 2 の補数フォーマットの符号付きレジスタ。

表 40. 内部 DSP メモリ RAM レジスタ

アドレス	レジスタ名	R/W ¹	ビット長	タイプ ²	デフォルト値	説明
0xE203	Reserved	R/W	16	U	0x0000	正常動作のために、このアドレスには書き込まないでください。
0xE228	Run	R/W	16	U	0x0000	実行レジスタは DSP の開始および停止を行います (デジタル・シグナル・プロセッサのセクションを参照)。

¹ R/W = 読出し/書込み² U = 符号なしレジスタ。

表 41. 課金レジスタ

アドレス	レジスタ名	R/W ¹	ビット長	タイプ ²	デフォルト値	説明
0xE400	AWATTHR	R	32	S	0x00000000	A 相総合有効電力量積算。
0xE401	BWATTHR	R	32	S	0x00000000	B 相総合有効電力量積算。
0xE402	CWATTHR	R	32	S	0x00000000	C 相総合有効電力量積算。
0xE403	AFWATTHR	R	32	S	0x00000000	A 相基本波有効電力量積算。
0xE404	BFWATTHR	R	32	S	0x00000000	B 相基本波有効電力量積算。
0xE405	CFWATTHR	R	32	S	0x00000000	C 相基本波有効電力量積算。
0xE406	AVARHR	R	32	S	0x00000000	A 相総合無効電力量積算。
0xE407	BVARHR	R	32	S	0x00000000	B 相総合無効電力量積算。
0xE408	CVARHR	R	32	S	0x00000000	C 相総合無効電力量積算。
0xE409	AFVARHR	R	32	S	0x00000000	A 相基本波無効電力量積算。
0xE40A	BFVARHR	R	32	S	0x00000000	B 相基本波無効電力量積算。
0xE40B	CFVARHR	R	32	S	0x00000000	C 相基本波無効電力量積算。
0xE40C	AVAHR	R	32	S	0x00000000	A 相皮相電力量積算。
0xE40D	BVAHR	R	32	S	0x00000000	B 相皮相電力量積算。
0xE40E	CVAHR	R	32	S	0x00000000	C 相皮相電力量積算。

¹ R = 読出し専用² S = 2 の補数フォーマットの符号付きレジスタ。

表 42. 設定レジスタおよび電力品質レジスタ

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE500	IPEAK	R	32	32	U	N/A	電流ピーク・レジスタ（詳細は図 70 および表 43 を参照）。
0xE501	VPEAK	R	32	32	U	N/A	電圧ピーク・レジスタ（詳細は図 70 および表 44 を参照）。
0xE502	STATUS0	R/W	32	32	U	N/A	割込みステータス・レジスタ 0（表 45 参照）。
0xE503	STATUS1	R/W	32	32	U	N/A	割込みステータス・レジスタ 1（表 46 参照）。
0xE504 to 0xE506	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE507	OILVL	R/W	24	32 ZP	U	0xFFFFFFFF	過電流閾値。
0xE508	OVLVL	R/W	24	32 ZP	U	0xFFFFFFFF	過電圧閾値。
0xE509	SAGLVL	R/W	24	32 ZP	U	0x000000	電圧サグ・レベル閾値。
0xE50A	MASK0	R/W	32	32	U	0x00000000	割込みイネーブル・レジスタ 0（表 47 参照）。
0xE50B	MASK1	R/W	32	32	U	0x00000000	割込みイネーブル・レジスタ 1（表 48 参照）。
0xE50C	IAWV	R	24	32 SE	S	N/A	A 相電流の瞬時値。
0xE50D	IBWV	R	24	32 SE	S	N/A	B 相電流の瞬時値。
0xE50E	ICWV	R	24	32 SE	S	N/A	C 相電流の瞬時値。
0xE50F	INWV	R	24	32 SE	S	N/A	中性電流の瞬時値。
0xE510	VAWV	R	24	32 SE	S	N/A	A 相電圧の瞬時値。
0xE511	VBWV	R	24	32 SE	S	N/A	B 相電圧の瞬時値。
0xE512	VCWV	R	24	32 SE	S	N/A	C 相電圧の瞬時値。
0xE513	VA2WV	R	24	32 SE	S	N/A	A 相 V2P 電圧の瞬時値。
0xE514	VB2WV	R	24	32 SE	S	N/A	B 相 V2P 電圧の瞬時値。
0xE515	VC2WV	R	24	32 SE	S	N/A	C 相 V2P 電圧の瞬時値。
0xE516	VNWV	R	24	32 SE	S	N/A	中性線 V1P 電圧の瞬時値。
0xE517	VN2WV	R	24	32 SE	S	N/A	中性線 V2P 電圧の瞬時値。
0xE518	AWATT	R	24	32 SE	S	N/A	A 相総合有効電力の瞬時値。
0xE519	BWATT	R	24	32 SE	S	N/A	B 相総合有効電力の瞬時値。
0xE51A	CWATT	R	24	32 SE	S	N/A	C 相総合有効電力の瞬時値。
0xE51B	AVAR	R	24	32 SE	S	N/A	A 相総合無効電力の瞬時値。
0xE51C	BVAR	R	24	32 SE	S	N/A	B 相総合無効電力の瞬時値。
0xE51D	CVAR	R	24	32 SE	S	N/A	C 相総合無効電力の瞬時値。
0xE51E	AVA	R	24	32 SE	S	N/A	A 相皮相電力の瞬時値。
0xE51F	BVA	R	24	32 SE	S	N/A	B 相皮相電力の瞬時値。
0xE520	CVA	R	24	32 SE	S	N/A	C 相皮相電力の瞬時値。
0xE521	AVTHD	R	24	32 ZP	S	N/A	A 相電圧の全高調波歪み (THD)。
0xE522	AITHD	R	24	32 ZP	S	N/A	A 相電流の全高調波歪み (THD)。
0xE523	BVTHD	R	24	32 ZP	S	N/A	B 相電圧の全高調波歪み (THD)。
0xE524	BITHD	R	24	32 ZP	S	N/A	B 相電流の全高調波歪み (THD)。
0xE525	CVTHD	R	24	32 ZP	S	N/A	C 相電圧の全高調波歪み (THD)。
0xE526	CITHD	R	24	32 ZP	S	N/A	C 相電流の全高調波歪み (THD)。

データシート

ADE7978/ADE7933/ADE7932/ADE7923

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE527 to 0xE52F	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE530	NVRMS	R	24	32 ZP	S	N/A	中性線 V1P 電圧実効値。
0xE531	NV2RMS	R	24	32 ZP	S	N/A	中性線 V2P 電圧実効値。
0xE532	CHECKSUM	R	32	32	U	0x6BF87803	チェックサム検証（詳細は、チェックサム・レジスタのセクションを参照）。
0xE533	VNOM	R/W	24	32 ZP	S	0x000000	皮相電力の代替計算で使用される公称相電圧実効値。
0xE534 to 0xE536	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE537	AFIRMS	R	24	32 ZP	S	N/A	A 相基本波電流実効値。
0xE538	AFVRMS	R	24	32 ZP	S	N/A	A 相基本波電圧実効値。
0xE539	BFIRMS	R	24	32 ZP	S	N/A	B 相基本波電流実効値。
0xE53A	BFVRMS	R	24	32 ZP	S	N/A	B 相基本波電圧実効値。
0xE53B	CFIRMS	R	24	32 ZP	S	N/A	C 相基本波電流実効値。
0xE53C	CFVRMS	R	24	32 ZP	S	N/A	C 相基本波電圧実効値。
0xE53D to 0xE5FE	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE5FF	LAST_ RWDATA32	R	32	32	U	N/A	正常な最後の 32 ビット・レジスタ通信のデータを格納。
0xE600	PHSTATUS	R	16	16	U	N/A	相ビーク・レジスタ（表 49 参照）。
0xE601	ANGLE0	R	16	16	U	N/A	時間遅延 0（詳細は、相間の時間間隔のセクションを参照）。
0xE602	ANGLE1	R	16	16	U	N/A	時間遅延 1（詳細は、相間の時間間隔のセクションを参照）。
0xE603	ANGLE2	R	16	16	U	N/A	時間遅延 2（詳細は、相間の時間間隔のセクションを参照）。
0xE604 to 0xE607	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE608	PHNOLOAD	R	16	16	U	N/A	無負荷位相レジスタ（表 50 参照）。
0xE609 to 0xE60B	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE60C	LINECYC	R/W	16	16	U	0xFFFF	ライン・サイクル積算モード・カウンタ。
0xE60D	ZXTOUT	R/W	16	16	U	0xFFFF	ゼロ交差タイムアウト・カウンタ。
0xE60E	COMPmode	R/W	16	16	U	0x01FF	計算モード・レジスタ（表 51 参照）。
0xE60F	Reserved						正常動作のために、このアドレスには書き込まないでください。
0xE610	CFMODE	R/W	16	16	U	0x0E88	CFx 設定レジスタ（表 52 参照）。
0xE611	CF1DEN	R/W	16	16	U	0x0000	CF1 デノミネータ。
0xE612	CF2DEN	R/W	16	16	U	0x0000	CF2 デノミネータ。
0xE613	CF3DEN	R/W	16	16	U	0x0000	CF3 デノミネータ。
0xE614	APHCAL	R/W	10	16 ZP	U	0x0000	A 相の位相キャリブレーション（表 53 参照）。
0xE615	BPHCAL	R/W	10	16 ZP	U	0x0000	B 相の位相キャリブレーション（表 53 参照）。
0xE616	CPHCAL	R/W	10	16 ZP	U	0x0000	C 相の位相キャリブレーション（表 53 参照）。
0xE617	PHSIGN	R	16	16	U	N/A	電力符号レジスタ（表 54 参照）。
0xE618	CONFIG	R/W	16	16	U	0x0010	ADE7978 の設定レジスタ（表 55 参照）。
0xE619 to 0xE6FF	Reserved						正常動作のために、これらのアドレスには書き込まないでください。

データシート

ADE7978/ADE7933/ADE7932/ADE7923

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE700	MMODE	R/W	8	8	U	0x1C	測定モード・レジスタ (表 56 参照)。
0xE701	ACCMODE	R/W	8	8	U	0x80	積算モード・レジスタ (表 57 参照)。
0xE702	LCYCMODE	R/W	8	8	U	0x78	ライン積算モード動作 (表 59 参照)。
0xE703	PEAKCYC	R/W	8	8	U	0x00	ピーク検出ハーフ・ライン・サイクル。
0xE704	SAGCYC	R/W	8	8	U	0x00	サグ検出ハーフ・ライン・サイクル。
0xE705	CFCYC	R/W	8	8	U	0x01	連続する 2 つの電力量ラッチ間の CF パルス数 (電力量レジスタと CFx 出力の同期のセクションを参照)。
0xE706	HSDC_CFG	R/W	8	8	U	0x00	HSDC 設定レジスタ (表 60 参照)。
0xE707	Version	R	8	8	U		ダイのバージョン。
0xE708	CONFIG3	R/W	8	8	U	0x0F	ADE7933/ADE7932 または ADE7923 の設定レジスタ (表 61 参照)。
0xE709	ATEMPOS	R	8	8	S	N/A	A 相 ADE7933/ADE7932 の温度センサー・オフセット (第 2 電圧チャンネルと温度計測のセクションを参照)。
0xE70A	BTEMPOS	R	8	8	S	N/A	B 相 ADE7933/ADE7932 の温度センサー・オフセット (第 2 電圧チャンネルと温度計測のセクションを参照)。
0xE70B	CTEMPOS	R	8	8	S	N/A	C 相 ADE7933/ADE7932 の温度センサー・オフセット (第 2 電圧チャンネルと温度計測のセクションを参照)。
0xE70C	NTEMPOS	R	8	8	S	N/A	中性線 ADE7923 または ADE7933/ADE7932 の温度センサー・オフセット (第 2 電圧チャンネルと温度計測のセクションを参照)。
0xE70D to 0xE7E2	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE7E3	Reserved	R/W	8	8	U	N/A	アドレス 0xE7FE の内部レジスタと組み合わせて、DSP RAM ベースのレジスタの保護を有効/無効にする内部レジスタ (詳細については、デジタル・シグナル・プロセッサのセクションを参照)。
0xE7E4 to 0xE7FC	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE7FD	LAST_RWDATA8	R	8	8	U	N/A	正常な最後の 8 ビット・レジスタ通信のデータを格納。
0xE7FE	Reserved	R/W	8	8	U	N/A	アドレス 0xE7E3 の内部レジスタと組み合わせて、DSP RAM ベースのレジスタの保護を有効/無効にする内部レジスタ (詳細については、デジタル・シグナル・プロセッサのセクションを参照)。
0xE7FF to 0xE901	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE902	APF	R	16	16	U	N/A	A 相力率。
0xE903	BPF	R	16	16	U	N/A	B 相力率。
0xE904	CPF	R	16	16	U	N/A	C 相力率。
0xE905	APERIOD	R	16	16	U	N/A	A 相電圧のライン周期。
0xE906	BPERIOD	R	16	16	U	N/A	B 相電圧のライン周期。
0xE907	CPERIOD	R	16	16	U	N/A	C 相電圧のライン周期。
0xE908	APNOLOAD	R/W	16	16	U	0x0000	総合/基本波有効電力データパスの無負荷閾値。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE909	VARNLOAD	R/W	16	16	U	0x0000	総合／基本波無効電力データパスの無負荷閾値。
0xE90A	VANOLOAD	R/W	16	16	U	0x0000	皮相電力データパスの無負荷閾値。
0xE90B to 0xE9FD	Reserved						正常動作のために、これらのアドレスには書き込まないでください。
0xE9FE	LAST_ADD	R	16	16	U	N/A	正常な最後の読出しまたは書き込み動作時にアクセスされたレジスタのアドレスを格納。
0xE9FF	LAST_ RWDATA16	R	16	16	U	N/A	正常な最後の 16 ビット・レジスタ通信のデータを格納。
0xEA00	CONFIG2	R/W	8	8	U	0x00	設定レジスタ（表 62 参照）。
0xEA01	LAST_OP	R	8	8	U	N/A	正常な最後の読出しまたは書き込み動作のタイプ（読出しまたは書き込み）を示す。
0xEA02	WTHR	R/W	8	8	U	0x03	相総合／基本波有効電力量データパスで使用される閾値。
0xEA03	VARTHR	R/W	8	8	U	0x03	相総合／基本波無効電力量データパスで使用される閾値。
0xEA04	VATHR	R/W	8	8	U	0x03	相皮相電力量データパスで使用される閾値。
0xEA05 to 0xEBFE	Reserved		8	8			正常動作のために、これらのアドレスには書き込まないでください。
0xEBFF	Reserved		8	8			このアドレスは、SPI をアクティブ・ポートとして選択した場合に、SS /HSA ピンを操作するのに使用できます。詳細については、シリアル・インターフェースのセクションを参照してください。

¹ R = 読出し専用、R/W = 読出し／書き込み。

² 32 ZP = 24 ビットの符号付きまたは符号なしレジスタ。8MSB が 0 で埋められ、32 ビット・ワードとして送信されます。32 SE = 24 ビット符号付きレジスタ。32 ビットに符号拡張されて 32 ビット・ワードとして送信されます。16 ZP = 10 ビット符号なしレジスタ。6MSB が 0 で埋められ、16 ビット・ワードとして送信されます。

³ U = 符号なしレジスタ、S = 2 の補数フォーマットの符号付きレジスタ。

⁴ N/A = 該当なし。

表 43. IPEAK レジスタ（アドレス 0xE500）

ビット	ビット名	デフォルト値	説明
[23:0]	IPEAKVAL [23:0]	0	これらのビットは、電流チャンネルで決定されたピーク値を格納します。
24	IPPHASE [0]	0	このビットが 1 に設定されている場合、A 相電流によって IPEAKVAL [23:0] の値が生成されたことを示しています。
25	IPPHASE [1]	0	このビットが 1 に設定されている場合、B 相電流によって IPEAKVAL [23:0] の値が生成されたことを示しています。
26	IPPHASE [2]	0	このビットが 1 に設定されている場合、C 相電流によって IPEAKVAL [23:0] の値が生成されたことを示しています。
[31:27]		00000	これらのビットは常時 0 に設定します。

表 44. VPEAK レジスタ（アドレス 0xE501）

ビット	ビット名	デフォルト値	説明
[23:0]	VPEAKVAL [23:0]	0	これらのビットは、電圧チャンネルで決定されたピーク値を格納します。
24	VPPHASE [0]	0	このビットが 1 に設定されている場合、A 相電圧によって VPEAKVAL [23:0] の値が生成されたことを示しています。
25	VPPHASE [1]	0	このビットが 1 に設定されている場合、B 相電圧によって VPEAKVAL [23:0] の値が生成されたことを示しています。
26	VPPHASE [2]	0	このビットが 1 に設定されている場合、C 相電圧によって VPEAKVAL [23:0] の値が生成されたことを示しています。
[31:27]		00000	これらのビットは常時 0 に設定します。

表 45. STATUS0 レジスタ (アドレス 0xE502)

ビット	ビット名	デフォルト値	説明
0	AEHF	0	このビットが1にセットされている場合、総合有効電力量レジスタ (AWATTHR、BWATTHR、CWATTHR) のいずれかでビット 30 が変化したことを示しています。
1	FAEHF	0	このビットが1にセットされている場合、基本波有効電力量レジスタ (FWATTHR、BFWATTHR、CFWATTHR) のいずれかでビット 30 が変化したことを示しています。
2	REHF	0	このビットが1にセットされている場合、総合無効電力レジスタ (AVARHR、BVARHR、CVARHR) のいずれかでビット 30 が変化したことを示しています。
3	FREHF	0	このビットが1にセットされている場合、基本波無効電力量レジスタ (AFVARHR、BFVARHR、CFVARHR) のいずれかでビット 30 が変化したことを示しています。
4	VAEHF	0	このビットが1にセットされている場合、皮相電力量レジスタ (AVAHR、BVAHR、CVAHR) のいずれかでビット 30 が変化したことを示しています。
5	LENERGY	0	このビットが1にセットされている場合、LINECYC レジスタに設定された整数のハーフ・ライン・サイクルにわたる積分の終了を示しています (ライン・サイクル電力量積算モード)。
6	REVAPA	0	このビットが1にセットされている場合、MMODE レジスタのビット 0 (REVAPSEL) によって識別される A 相有効電力 (総合または基本波) の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 0 (AWSIGN) に示されています (表 54 参照)。
7	REVAPB	0	このビットが1にセットされている場合、MMODE レジスタのビット 0 (REVAPSEL) によって識別される B 相有効電力 (総合または基本波) の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 1 (BWSIGN) に示されています (表 54 参照)。
8	REVAPC	0	このビットが1にセットされている場合、MMODE レジスタのビット 0 (REVAPSEL) によって識別される C 相有効電力 (総合または基本波) の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 2 (CWSIGN) に示されています (表 54 参照)。
9	REVPSUM1	0	このビットが1にセットされている場合、CF1 データパスにおける相電力すべての合計の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 3 (SUM1SIGN) に示されています (表 54 参照)。
10	REVRPA	0	このビットが1にセットされている場合、MMODE レジスタのビット 1 (REVRPSEL) によって識別される A 相無効電力 (総合または基本波) の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 4 (AVARSIGN) に示されています (表 54 参照)。
11	REVRPB	0	このビットが1にセットされている場合、MMODE レジスタのビット 1 (REVRPSEL) によって識別される B 相無効電力 (総合または基本波) の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 5 (BVARSIGN) に示されています (表 54 参照)。
12	REVRPC	0	このビットが1にセットされている場合、MMODE レジスタのビット 1 (REVRPSEL) によって識別される C 相無効電力 (総合または基本波) の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 6 (CVARSIGN) に示されています (表 54 参照)。
13	REVPSUM2	0	このビットが1にセットされている場合、CF2 データパスにおける相電力すべての合計の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 7 (SUM2SIGN) に示されています (表 54 参照)。
14	CF1	0	このビットが1にセットされている場合、CF1 ピンでハイからローへの遷移が発生したことを示しています。すなわち、アクティブ・ローのパルスが生成されています。このビットは、CFMODE レジスタのビット 9 (CF1DIS) を1にセットして、CF1 出力をディスエーブルしている場合でもセットされます。CF1 ピンで使用される電力のタイプは、CFMODE レジスタのビット [2:0] (CF1SEL [2:0]) によって決まります (表 52 参照)。
15	CF2	0	このビットが1にセットされている場合、CF2 ピンでハイからローへの遷移が発生したことを示しています。すなわち、アクティブ・ローのパルスが生成されています。このビットは、CFMODE レジスタのビット 10 (CF2DIS) を1にセットして CF2 出力をディスエーブルしている場合でもセットされます。CF2 ピンで使用される電力のタイプは、CFMODE レジスタのビット [5:3] (CF2SEL [2:0]) によって決まります (表 52 参照)。
16	CF3	0	このビットが1にセットされている場合、CF3 ピンでハイからローへの遷移が発生したことを示しています。すなわち、アクティブ・ローのパルスが生成されています。このビットは、CFMODE レジスタのビット 11 (CF3DIS) を1にセットして CF3 出力をディスエーブルしている場合でもセットされます。CF3 ピンで使用される電力のタイプは、CFMODE レジスタのビット [8:6] (CF3SEL [2:0]) によって決まります (表 52 参照)。
17	DREADY	0	このビットが1にセットされている場合、周期的な (8 kHz レート) DSP 計算がすべて終了したことを示します。
18	REVPSUM3	0	このビットが1にセットされている場合、CF3 データパスにおける相電力すべての合計の符号が変化したことを示しています。符号自体は、PHSIGN レジスタのビット 8 (SUM3SIGN) に示されています (表 54 参照)。
[31:19]	Reserved	0 0000 0000 0000	予備。これらのビットは常時 0 に設定します。

表 46. STATUS1 レジスタ (アドレス 0xE503)

ビット	ビット名	デフォルト値	説明
0	NLOAD	0	このビットが1に設定されている場合、少なくとも1つの相が、総合有効/無効電力に基づいて無負荷状態に入ったか、無負荷状態から抜けたことを示しています。相は、PHNOLOAD レジスタのビット [2:0] (NLPHASE [x]) で示されます (表 50 参照)。
1	FNLOAD	0	このビットが1に設定されている場合、少なくとも1つの相が、基本波有効/無効電力に基づいて無負荷状態に入ったか、無負荷状態から抜けたことを示しています。相は、PHNOLOAD レジスタのビット [5:3] (FNLPHEASE [x]) で示されます (表 50 参照)。
2	VANLOAD	0	このビットが1に設定されている場合、少なくとも1つの相が、皮相電力に基づいて無負荷状態に入ったか、無負荷状態から抜けたことを示しています。相は PHNOLOAD レジスタのビット [8:6] (VANLPHEASE [x]) で示されます (表 50 参照)。
3	ZXTOVA	0	このビットが1にセットされている場合、A相電圧にゼロ交差が存在しないことを示しています。
4	ZXTOVB	0	このビットが1にセットされている場合、B相電圧にゼロ交差が存在しないことを示しています。
5	ZXTOVC	0	このビットが1にセットされている場合、C相電圧にゼロ交差が存在しないことを示しています。
6	ZXTOIA	0	このビットが1にセットされている場合、A相電流にゼロ交差が存在しないことを示しています。
7	ZXTOIB	0	このビットが1にセットされている場合、B相電流にゼロ交差が存在しないことを示しています。
8	ZXTOIC	0	このビットが1にセットされている場合、C相電流にゼロ交差が存在しないことを示しています。
9	ZXVA	0	このビットが1にセットされている場合、A相電圧でゼロ交差が検出されたことを示しています。
10	ZXVB	0	このビットが1にセットされている場合、B相電圧でゼロ交差が検出されたことを示しています。
11	ZXVC	0	このビットが1にセットされている場合、C相電圧でゼロ交差が検出されたことを示しています。
12	ZXIA	0	このビットが1にセットされている場合、A相電流でゼロ交差が検出されたことを示しています。
13	ZXIB	0	このビットが1にセットされている場合、B相電流でゼロ交差が検出されたことを示しています。
14	ZXIC	0	このビットが1にセットされている場合、C相電流でゼロ交差が検出されたことを示しています。
15	RSTDONE	1	ハードウェア・リセットまたはソフトウェア・リセットの終了時に、このビットは1にセットされ、IRQ1ピンがローになります。このビットに1を書き込むと、この割込みがクリアされ、IRQ1ピンがハイに戻ります。RSTDONE 割込みはマスク不能であるため、IRQ1ピンをハイに戻すにはこのビットを必ず0にリセットする必要があります。
16	Sag	0	このビットが1にセットされている場合、PHSTATUS レジスタのビット [14:12] (VSPHASE [x]) で示される相でサグ・イベントが発生したことを示しています (表 49 参照)。
17	OI	0	このビットが1にセットされている場合、PHSTATUS レジスタのビット [5:3] (OIPHASE [x]) で示される相で過電流イベントが発生したことを示しています (表 49 参照)。
18	OV	0	このビットが1にセットされている場合、PHSTATUS レジスタのビット [11:9] (OVPHASE [x]) で示される相で過電圧イベントが発生したことを示しています (表 49 参照)。
19	SEQERR	0	このビットが1にセットされている場合、A相電圧で負から正へのゼロ交差が発生し、更にB相電圧ではなくC相電圧で負から正へのゼロ交差が発生したことを示しています。
20	MISMATCH	0	このビットが1にセットされている場合、 $\ ISUM - INWV\ > ISUMLVL $ であることを示しています。ここで、ISUMLVLはISUMLVLレジスタ(アドレス0x4398)の値です。詳細については、中性電流不整合のセクションを参照してください。
21	Reserved	1	予備。このビットは常時1に設定します。
22	Reserved	0	予備。このビットは常時0に設定します。
23	PKI	0	このビットが1にセットされている場合、電流チャンネルのピーク値検出に使用された期間が終了したことを示しています。IPEAK レジスタには、ピーク値と、ピークが検出された相が格納されています (表 43 参照)。
24	PKV	0	このビットが1にセットされている場合、電圧チャンネルのピーク値検出に使用された期間が終了したことを示しています。VPEAK レジスタには、ピーク値と、ピークが検出された相が格納されています (表 44 参照)。
25	CRC	0	このビットが1にセットされている場合、実行レジスタを1に設定したときに計算されたチェックサム値とは異なるチェックサム値が ADE7978 によって計算されたことを示しています。
[31:26]	Reserved	00 0000	予備。これらのビットは常時0に設定します。

表 47. MASK0 レジスタ (アドレス 0xE50A)

ビット	ビット名	デフォルト値	説明
0	AEHF	0	このビットを 1 にセットした場合、総合有効電力量レジスタ (AWATTHR、BWATTHR、CWATTHR) のいずれかでビット 30 が変化したときに割込みがイネーブルされます。
1	FAEHF	0	このビットを 1 にセットした場合、基本波有効電力量レジスタ (AFWATTHR、BFWATTHR、CFWATTHR) のいずれかでビット 30 が変化したときに割込みがイネーブルされます。
2	REHF	0	このビットを 1 にセットした場合、総合無効電力量レジスタ (AVARHR、BVARHR、CVARHR) のいずれかでビット 30 が変化したときに割込みがイネーブルされます。
3	FREHF	0	このビットを 1 にセットした場合、基本波無効電力量レジスタ (AFVARHR、BFVARHR、CFVARHR) のいずれかでビット 30 が変化したときに割込みがイネーブルされます。
4	VAEHF	0	このビットを 1 にセットした場合、皮相電力量レジスタ (AVAHR、BVAHR、CVAHR) のいずれかでビット 30 が変化したときに割込みがイネーブルされます。
5	LENERGY	0	このビット 1 にセットした場合、LINECYC レジスタに設定された整数のハーフ・ライン・サイクルでの積分終了時に割込みがイネーブルされます。(ライン・サイクル電力量積算モード)。
6	REVAPA	0	このビットを 1 にセットした場合、MMODE レジスタのビット 0 (REVAPSEL) によって識別される A 相有効電力 (総合または基本波) の符号が変化したときに割込みがイネーブルされます。
7	REVAPB	0	このビットを 1 にセットした場合、MMODE レジスタのビット 0 (REVAPSEL) によって識別される B 相有効電力 (総合または基本波) の符号が変化したときに割込みがイネーブルされます。
8	REVAPC	0	このビットを 1 にセットした場合、MMODE レジスタのビット 0 (REVAPSEL) によって識別される C 相有効電力 (総合または基本波) の符号が変化したときに割込みがイネーブルされます。
9	REVPSUM1	0	このビットを 1 にセットした場合、CF1 データパスにおける相電力すべての合計の符号が変化したときに割込みがイネーブルされます。
10	REVRPA	0	このビットを 1 にセットした場合、MMODE レジスタのビット 1 (REVRPSEL) によって識別される A 相無効電力 (総合または基本波) の符号が変化したときに割込みがイネーブルされます。
11	REVRPB	0	このビットを 1 にセットした場合、MMODE レジスタのビット 1 (REVRPSEL) によって識別される B 相無効電力 (総合または基本波) の符号が変化したときに割込みがイネーブルされます。
12	REVRPC	0	このビットを 1 にセットした場合、MMODE レジスタのビット 1 (REVRPSEL) によって識別される C 相無効電力 (総合または基本波) の符号が変化したときに割込みがイネーブルされます。
13	REVPSUM2	0	このビットを 1 にセットした場合、CF2 データパスにおける相電力すべての合計の符号が変化したときに割込みがイネーブルされます。
14	CF1	0	このビットを 1 にセットした場合、CF1 ピンでハイからローへ遷移が発生したとき、つまりアクティブ・ローのパルスが生成されたときに割込みがイネーブルされます。CFMODE レジスタのビット 9 (CF1DIS) を 1 にセットして CF1 出力をディスエーブルした場合でも、割込みはイネーブルできます。CF1 ピンで使用される電力のタイプは、CFMODE レジスタのビット [2:0] (CF1SEL [2:0]) によって決まります (表 52 参照)。
15	CF2	0	このビットを 1 にセットした場合、CF2 ピンでハイからローへ遷移が発生したとき、つまりアクティブ・ローのパルスが生成されたときに割込みがイネーブルされます。CFMODE レジスタのビット 10 (CF2DIS) を 1 にセットして CF2 出力をディスエーブルした場合でも、割込みはイネーブルできます。CF2 ピンで使用される電力のタイプは、CFMODE レジスタのビット [5:3] (CF2SEL [2:0]) によって決まります (表 52 参照)。
16	CF3	0	このビットを 1 にセットした場合、CF3 ピンでハイからローへ遷移が発生したとき、つまりアクティブ・ローのパルスが生成されたときに割込みがイネーブルされます。CFMODE レジスタのビット 11 (CF3DIS) を 1 にセットして CF3 出力をディスエーブルした場合でも、割込みはイネーブルできます。CF3 ピンで使用される電力のタイプは、CFMODE レジスタのビット [8:6] (CF3SEL [2:0]) によって決まります (表 52 参照)。
17	DREADY	0	このビットを 1 にセットした場合、周期的な (8kHz レート) DSP 計算がすべて終了したときに割込みがイネーブルされます。
18	REVPSUM3	0	このビットを 1 にセットした場合、CF3 データパスにおける相電力すべての合計の符号が変化したときに割込みがイネーブルされます。
[31:19]	Reserved	0 0000 0000 0000	予備。これらのビットはいかなる機能の管理も行いません。

表 48. MASK1 レジスタ (アドレス 0xE50B)

ビット	ビット名	デフォルト値	説明
0	NLOAD	0	このビットを 1 にセットした場合、少なくとも 1 つの相が、総合有効/無効電力に基づいて無負荷状態に入ったか無負荷状態から抜けたときに割込みがイネーブルされます。
1	FNLOAD	0	このビットを 1 にセットした場合、少なくとも 1 つの相が、基本波有効/無効電力に基づいて無負荷状態に入ったか無負荷状態から抜けたときに割込みがイネーブルされます。
2	VANLOAD	0	このビットを 1 にセットした場合、少なくとも 1 つの相が、皮相電力に基づいて無負荷状態に入ったか無負荷状態から抜けたときに割込みがイネーブルされます。
3	ZXTOVA	0	このビットを 1 にセットした場合、A 相電圧でゼロ交差が存在しないときに割込みがイネーブルされます。
4	ZXTOVB	0	このビットを 1 にセットした場合、B 相電圧でゼロ交差が存在しないときに割込みがイネーブルされます。
5	ZXTOVC	0	このビットを 1 にセットした場合、C 相電圧でゼロ交差が存在しないときに割込みがイネーブルされます。
6	ZXTOIA	0	このビットを 1 にセットした場合、A 相電流でゼロ交差が存在しないときに割込みがイネーブルされます。
7	ZXTOIB	0	このビットを 1 にセットした場合、B 相電流でゼロ交差が存在しないときに割込みがイネーブルされます。
8	ZXTOIC	0	このビットを 1 にセットした場合、C 相電流でゼロ交差が存在しないときに割込みがイネーブルされます。
9	ZXVA	0	このビットを 1 にセットした場合、A 相電圧でゼロ交差が検出されたときに割込みがイネーブルされます。
10	ZXVB	0	このビットを 1 にセットした場合、B 相電圧でゼロ交差が検出されたときに割込みがイネーブルされます。
11	ZXVC	0	このビットを 1 にセットした場合、C 相電圧でゼロ交差が検出されたときに割込みがイネーブルされます。
12	ZXIA	0	このビットを 1 にセットした場合、A 相電流でゼロ交差が検出されたときに割込みがイネーブルされます。
13	ZXIB	0	このビットを 1 にセットした場合、B 相電流でゼロ交差が検出されたときに割込みがイネーブルされます。
14	ZXIC	0	このビットを 1 にセットした場合、C 相電流でゼロ交差が検出されたときに割込みがイネーブルされます。
15	RSTDONE	0	RSTDONE 割込みはディスエーブルできないため、このビットは機能しません。1 にセットしても、0 にクリアしてもデバイスに影響を与えることはありません。
16	Sag	0	このビットを 1 にセットした場合、PHSTATUS レジスタのビット [14:12] (VSPHASE [x]) で示される相でサグ・イベントが発生したときに割込みがイネーブルされます。(表 49 参照)。
17	OI	0	このビットを 1 にセットした場合、PHSTATUS レジスタのビット [5:3] (OIPHASE [x]) で示される相で過電流イベントが発生したときに割込みがイネーブルされます。(表 49 参照)。
18	OV	0	このビットを 1 にセットした場合、PHSTATUS レジスタのビット [11:9] (OVPHASE [x]) で示される相で過電圧イベントが発生したときに割込みがイネーブルされます。(表 49 参照)。
19	SEQERR	0	このビットを 1 にセットした場合、A 相電圧で負から正へのゼロ交差が発生し、更に B 相電圧ではなく C 相電圧で負から正へのゼロ交差が発生したときに割込みがイネーブルされます。
20	MISMATCH	0	このビットを 1 にセットした場合、 $ ISUM - INWV > ISUMLVL $ のときに割込みがイネーブルされます。ここで、ISUMLVL は ISUMLVL レジスタ (アドレス 0x4398) の値です。詳細については、中性電流不整合のセクションを参照してください。
[22:21]	Reserved	00	予備。これらのビットはいかなる機能の管理も行いません。
23	PKI	0	このビットを 1 にセットした場合、電流チャンネルのピーク値検出に使用された期間の終了時に割込みがイネーブルされます。
24	PKV	0	このビットを 1 にセットした場合、電圧チャンネルのピーク値検出に使用された期間の終了時に割込みがイネーブルされます。
25	CRC	0	このビットを 1 にセットした場合、最新のチェックサム値が、実行レジスタを 1 にセットしたときに計算されたチェックサム値と異なる場合に割込みがイネーブルされます。
[31:26]	Reserved	00 0000	予備。これらのビットはいかなる機能の管理も行いません。

表 49. PHSTATUS レジスタ (アドレス 0xE600)

ビット	ビット名	デフォルト値	説明
[2:0]	Reserved	000	予備。これらのビットは常時 0 に設定します。
3	OIPHASE [0]	0	このビットが 1 に設定されている場合、A 相電流によって STATUS1 レジスタのビット 17 (OI) が生成されたことを示しています。
4	OIPHASE [1]	0	このビットが 1 に設定されている場合、B 相電流によって STATUS1 レジスタのビット 17 (OI) が生成されたことを示しています。
5	OIPHASE [2]	0	このビットが 1 に設定されている場合、C 相電流によって STATUS1 レジスタのビット 17 (OI) が生成されたことを示しています。
[8:6]	Reserved	000	予備。これらのビットは常時 0 に設定します。
9	OVPHASE [0]	0	このビットが 1 に設定されている場合、A 相電圧によって STATUS1 レジスタのビット 18 (OV) が生成されたことを示しています。
10	OVPHASE [1]	0	このビットが 1 に設定されている場合、B 相電圧によって STATUS1 レジスタのビット 18 (OV) が生成されたことを示しています。
11	OVPHASE [2]	0	このビットが 1 に設定されている場合、C 相電圧によって STATUS1 レジスタのビット 18 (OV) が生成されたことを示しています。
12	VSPHASE [0]	0	このビットが 1 に設定されている場合、A 相電圧によって STATUS1 レジスタのビット 16 (サグ) が生成されたことを示しています。
13	VSPHASE [1]	0	このビットが 1 に設定されている場合、B 相電圧によって STATUS1 レジスタのビット 16 (サグ) が生成されたことを示しています。
14	VSPHASE [2]	0	このビットが 1 に設定されている場合、C 相電圧によって STATUS1 レジスタのビット 16 (サグ) が生成されたことを示しています。
15	Reserved	0	予備。このビットは常時 0 に設定します。

表 50. PHNLOAD レジスタ (アドレス 0xE608)

ビット	ビット名	デフォルト値	説明
0	NLPHASE [0]	0	0: A 相は、総合有効/無効電力に基づく無負荷状態にない。 1: A 相は、総合有効/無効電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 0 (NLOAD) と共にセットされます。
1	NLPHASE [1]	0	0: B 相は、総合有効/無効電力に基づく無負荷状態にない。 1: B 相は、総合有効/無効電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 0 (NLOAD) と共にセットされます。
2	NLPHASE [2]	0	0: C 相は、総合有効/無効電力に基づく無負荷状態にない。 1: C 相は、総合有効/無効電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 0 (NLOAD) と共にセットされます。
3	FNLPHASE [0]	0	0: A 相は、基本波有効/無効電力に基づく無負荷状態にない。 1: A 相は、基本波有効/無効電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 1 (FNLOAD) と共にセットされます。
4	FNLPHASE [1]	0	0: B 相は、基本波有効/無効電力に基づく無負荷状態にない。 1: B 相は、基本波有効/無効電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 1 (FNLOAD) と共にセットされます。
5	FNLPHASE [2]	0	0: C 相は、基本波有効/無効電力に基づく無負荷状態にない。 1: C 相は、基本波有効/無効電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 1 (FNLOAD) と共にセットされます。
6	VANLPHASE [0]	0	0: A 相は、皮相電力に基づく無負荷状態にない。 1: A 相は、皮相電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 2 (VANLOAD) と共にセットされます。
7	VANLPHASE [1]	0	0: B 相は、皮相電力に基づく無負荷状態にない。 1: B 相は、皮相電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 2 (VANLOAD) と共にセットされます。
8	VANLPHASE [2]	0	0: C 相は、皮相電力に基づく無負荷状態にない。 1: C 相は、皮相電力に基づく無負荷状態にある。このビットは、STATUS1 レジスタのビット 2 (VANLOAD) と共にセットされます。
[15:9]	Reserved	000 0000	予備。これらのビットは常時 0 に設定します。

表 51. COMPMODE レジスタ (アドレス 0xE60E)

ビット	ビット名	デフォルト値	説明
0	TERMSEL1 [0]	1	0: A相をCF1出力計算に含めない。 1: A相をCF1出力計算に含める。TERMSEL1 [2:0] ビットを111に設定すると、3つの相すべての合計がCF1出力に含まれます。
1	TERMSEL1 [1]	1	0: B相をCF1出力計算に含めない。 1: B相をCF1出力計算に含める。TERMSEL1 [2:0] ビットを111に設定すると、3つの相すべての合計がCF1出力に含まれます。
2	TERMSEL1 [2]	1	0: C相をCF1出力計算に含めない。 1: C相をCF1出力計算に含める。TERMSEL1 [2:0] ビットを111に設定すると、3つの相すべての合計がCF1出力に含まれます。
3	TERMSEL2 [0]	1	0: A相をCF2出力計算に含めない。 1: A相をCF2出力計算に含める。TERMSEL2 [2:0] ビットを111に設定すると、3つの相すべての合計がCF2出力に含まれます。
4	TERMSEL2 [1]	1	0: B相をCF2出力計算に含めない。 1: B相をCF2出力計算に含める。TERMSEL2 [2:0] ビットを111に設定すると、3つの相すべての合計がCF2出力に含まれます。
5	TERMSEL2 [2]	1	0: C相をCF2出力計算に含めない。 1: C相をCF2出力計算に含める。TERMSEL2 [2:0] ビットを111に設定すると、3つの相すべての合計がCF2出力に含まれます。
6	TERMSEL3 [0]	1	0: A相をCF3出力計算に含めない。 1: A相をCF3出力計算に含める。TERMSEL3 [2:0] ビットを111に設定すると、3つの相すべての合計がCF3出力に含まれます。
7	TERMSEL3 [1]	1	0: B相をCF3出力計算に含めない。 1: B相をCF3出力計算に含める。TERMSEL3 [2:0] ビットを111に設定すると、3つの相すべての合計がCF3出力に含まれます。
8	TERMSEL3 [2]	1	0: C相をCF3出力計算に含めない。 1: C相をCF3出力計算に含める。TERMSEL3 [2:0] ビットを111に設定すると、3つの相すべての合計がCF3出力に含まれます。
[10:9]	ANGLESEL [1:0]	00	00: 同相の電圧と電流の間の遅延を測定。 01: 相電圧間の遅延を測定。 10: 相電流間の遅延を測定。 11: 遅延を測定しない。
11	VNOMAEN	0	0: A相の皮相電力を、通常どおりに電圧実効値に電流実効値を掛けて計算。 1: A相の皮相電力を、VNOMレジスタ (アドレス 0xE533) に書き込まれている電圧実効値に相電流実効値を掛けて計算。
12	VNOMBEN	0	0: B相の皮相電力を、通常どおりに電圧実効値に電流実効値を掛けて計算。 1: B相の皮相電力を、VNOMレジスタ (アドレス 0xE533) に書き込まれている電圧実効値に相電流実効値を掛けて計算。
13	VNOMCEN	0	0: C相の皮相電力を、通常どおりに電圧実効値に電流実効値を掛けて計算。 1: C相の皮相電力を、VNOMレジスタ (アドレス 0xE533) に書き込まれている電圧実効値に相電流実効値を掛けて計算。
14	SELFREQ	0	0: ADE7978を50Hzのネットワークに接続。 1: ADE7978を60Hzのネットワークに接続。
15	Reserved	0	このビットはデフォルトで0に設定され、いかなる機能の管理も行いません。

表 52. CFMODE レジスタ (アドレス 0xE610)

ビット	ビット名	デフォルト値	説明
[2:0]	CF1SEL [2:0]	000	<p>000 : CF1 の周波数は、COMPmode レジスタのビット [2:0] (TERMSEL1 [x]) で識別される各相の総合有効電力の合計に比例。</p> <p>001 : CF1 の周波数は、COMPmode レジスタのビット [2:0] (TERMSEL1 [x]) で識別される各相の総合無効電力の合計に比例。</p> <p>010 : CF1 の周波数は、COMPmode レジスタのビット [2:0] (TERMSEL1 [x]) で識別される各相の皮相電力の合計に比例。</p> <p>011 : CF1 の周波数は、COMPmode レジスタのビット [2:0] (TERMSEL1 [x]) で識別される各相の基本波有効電力の合計に比例。</p> <p>100 : CF1 の周波数は、COMPmode レジスタのビット [2:0] (TERMSEL1 [x]) で識別される各相の基本波無効電力の合計に比例。</p> <p>101、110、111 : 予備。CF1 信号は生成されません。</p>
[5:3]	CF2SEL [2:0]	001	<p>000 : CF2 の周波数は、COMPmode レジスタのビット [5:3] (TERMSEL2 [x]) で識別される各相の総合有効電力の合計に比例。</p> <p>001 : CF2 の周波数は、COMPmode レジスタのビット [5:3] (TERMSEL2 [x]) で識別される各相の総合無効電力の合計に比例。</p> <p>010 : CF2 の周波数は、COMPmode レジスタのビット [5:3] (TERMSEL2 [x]) で識別される各相の皮相電力の合計に比例。</p> <p>011 : CF2 の周波数は、COMPmode レジスタのビット [5:3] (TERMSEL2 [x]) で識別される各相の基本波有効電力の合計に比例。</p> <p>100 : CF2 の周波数は、COMPmode レジスタのビット [5:3] (TERMSEL2 [x]) で識別される各相の基本波無効電力の合計に比例。</p> <p>101、110、111 : 予備。CF2 信号は生成されません。</p>
[8:6]	CF3SEL [2:0]	010	<p>000 : CF3 の周波数は、COMPmode レジスタのビット [8:6] (TERMSEL3 [x]) で識別される各相の総合有効電力の合計に比例。</p> <p>001 : CF3 の周波数は、COMPmode レジスタのビット [8:6] (TERMSEL3 [x]) で識別される各相の総合無効電力の合計に比例。</p> <p>010 : CF3 の周波数は、COMPmode レジスタのビット [8:6] (TERMSEL3 [x]) で識別される各相の皮相電力の合計に比例。</p> <p>011 : CF3 の周波数は、COMPmode レジスタのビット [8:6] (TERMSEL3 [x]) で識別される各相の基本波有効電力の合計に比例。</p> <p>100 : CF3 の周波数は、COMPmode レジスタのビット [8:6] (TERMSEL3 [x]) で識別される各相の基本波無効電力の合計に比例。</p> <p>101、110、111 : 予備。CF3 信号は生成されません。</p>
9	CF1DIS	1	<p>0 : CF1 出力をイネーブル。</p> <p>1 : CF1 出力をディスエーブル。電力量/周波数コンバータはイネーブルを保持。</p>
10	CF2DIS	1	<p>0 : CF2 出力をイネーブル。</p> <p>1 : CF2 出力をディスエーブル。電力量/周波数コンバータはイネーブルを保持。</p>
11	CF3DIS	1	<p>0 : CF3 出力をイネーブル。</p> <p>1 : CF3 出力をディスエーブル。電力量/周波数コンバータはイネーブルを保持。</p>
12	CF1LATCH	0	<p>0 : CF1 パルスの生成時に、対応する電力量レジスタのラッチは行われず。</p> <p>1 : CF1 パルスの生成時に、対応する電力量レジスタの内容がラッチされる。電力量レジスタと CFx 出力の同期のセクションを参照してください。</p>
13	CF2LATCH	0	<p>0 : CF2 パルスの生成時に、電力量レジスタのラッチは行われず。</p> <p>1 : CF2 パルスの生成時に、対応する電力量レジスタの内容がラッチされる。電力量レジスタと CFx 出力の同期のセクションを参照してください。</p>
14	CF3LATCH	0	<p>0 : CF3 パルスの生成時に、電力量レジスタのラッチは行われず。</p> <p>1 : CF3 パルスの生成時に、対応する電力量レジスタの内容がラッチされる。電力量レジスタと CFx 出力の同期のセクションを参照してください。</p>
15	Reserved	0	予備。このビットはいかなる機能の管理も行いません。

表 53. APHCAL、BPHCAL、CPHCAL レジスタ (アドレス 0xE614、アドレス 0xE615、アドレス 0xE616)

ビット	ビット名	デフォルト値	説明
[9:0]	PHCALVAL	0000000000	電流チャンネル補償が必要な場合、これらのビットを 0~383 の値に設定できます。電圧チャンネル補償が必要な場合、これらのビットを 512~895 の値に設定できます。PHCALVAL ビットを 384~511 の値に設定した場合、PHCALVAL ビットを 0~127 の値に設定しているときと同様に動作します。PHCALVAL ビットを 896~1023 の値に設定した場合、PHCALVAL ビットを 512~639 の値に設定しているときと同様に動作します。
[15:10]	Reserved	000000	予備。これらのビットはいかなる機能の管理も行いません。

表 54. PHSIGN レジスタ (アドレス 0xE617)

ビット	ビット名	デフォルト値	説明
0	AWSIGN	0	0: A 相有効電力 (MMODE レジスタのビット 0 (REVAPSEL) で指定される総合または基本波) は正の値。 1: A 相有効電力 (MMODE レジスタのビット 0 (REVAPSEL) で指定される総合または基本波) は負の値。
1	BWSIGN	0	0: B 相有効電力 (MMODE レジスタのビット 0 (REVAPSEL) で指定される総合または基本波) は正の値。 1: B 相有効電力 (MMODE レジスタのビット 0 (REVAPSEL) で指定される総合または基本波) は負の値。
2	CWSIGN	0	0: C 相有効電力 (MMODE レジスタのビット 0 (REVAPSEL) で指定される総合または基本波) は正の値。 1: C 相有効電力 (MMODE レジスタのビット 0 (REVAPSEL) で指定される総合または基本波) は負の値。
3	SUM1SIGN	0	0: CF1 データパスにおける相電力すべての合計は正の値。 1: CF1 データパスにおける相電力すべての合計は負の値。CF1 データパスの相電力は、COMPmode レジスタのビット [2:0] (TERMSEL1 [x]) と CFMODE レジスタのビット [2:0] (CF1SEL [2:0]) によって特定します。
4	AVARSIGN	0	0: A 相無効電力 (MMODE レジスタのビット 1 (REVRPSEL) で指定される総合または基本波) は正の値。 1: A 相無効電力 (MMODE レジスタのビット 1 (REVRPSEL) で指定される総合または基本波) は負の値。
5	BVARSIGN	0	0: B 相無効電力 (MMODE レジスタのビット 1 (REVRPSEL) で指定される総合または基本波) は正の値。 1: B 相無効電力 (MMODE レジスタのビット 1 (REVRPSEL) で指定される総合または基本波) は負の値。
6	CVARSIGN	0	0: C 相無効電力 (MMODE レジスタのビット 1 (REVRPSEL) で指定される総合または基本波) は正の値。 1: C 相無効電力 (MMODE レジスタのビット 1 (REVRPSEL) で指定される総合または基本波) は負の値。
7	SUM2SIGN	0	0: CF2 データパスにおける相電力すべての合計は正の値。 1: CF2 データパスにおける相電力すべての合計は負の値。CF2 データパスの相電力は、COMPmode レジスタのビット [5:3] (TERMSEL2 [x]) と CFMODE レジスタのビット [5:3] (CF2SEL [2:0]) によって特定します。
8	SUM3SIGN	0	0: CF3 データパスにおける相電力すべての合計は正の値。 1: CF3 データパスにおける相電力すべての合計は負の値。CF3 データパスの相電力は、COMPmode レジスタのビット [8:6] (TERMSEL3 [x]) と CFMODE レジスタのビット [8:6] (CF3SEL [2:0]) によって特定します。
[15:9]	Reserved	000 0000	予備。これらのビットは常時 0 に設定します。

表 55. CONFIG レジスタ (アドレス 0xE618)

ビット	ビット名	デフォルト値	説明
[1:0]	ZX_DREADY	00	このビットは、ZX/DREADYピンの出力信号を管理します。ゼロ交差機能の詳細については、ゼロ交差検出のセクションを参照してください。 00: DREADY機能を有効化 (デジタル・シグナル・プロセッサのセクションを参照)。 01: A 相電圧によって ZX 機能を生成。 10: B 相電圧によって ZX 機能を生成。 11: C 相電圧によって ZX 機能を生成。
2	Reserved	0	予備。このビットは常時 0 に設定します。
3	Swap	0	1: 電圧チャンネル出力 VA、VB、VC、VN を、それぞれ電流チャンネル出力 IA、IB、IC、IN とスワップ。したがって、電流チャンネル情報は相電圧チャンネル・レジスタに存在し、その逆も同様です。
4	HPFEN	1	0: 電圧および電流チャンネルのすべてのハイパス・フィルタをディスエーブル。 1: 電圧および電流チャンネルのすべてのハイパス・フィルタをイネーブル。
5	LPFSEL	0	このビットは、ローパス・フィルタによって総合有効電力データパスに設定されるセトリング時間を指定します。 0: セトリング時間 = 650ms。 1: セトリング時間 = 1300ms。
6	HSDCEN	0	0: HSDC シリアル・ポートをディスエーブルし、CF3/HSCLK ピンに CF3 機能を設定。 1: HSDC シリアル・ポートをイネーブルし、CF3/HSCLK ピンに HSCLK 機能を設定。
7	SWRST	0	このビットを 1 にセットすると、ソフトウェア・リセットが開始されます。
[9:8]	VTOIA [1:0]	00	これらのビットは、電源経路で A 相電流と共に計算される相電圧を選択します。 00: A 相電圧。 01: B 相電圧。 10: C 相電圧。 11: 予備 (VTOIA [1:0] = 00 と同じ)。
[11:10]	VTOIB [1:0]	00	これらのビットは、電源経路で B 相電流と共に計算される相電圧を選択します。 00: B 相電圧。 01: C 相電圧。 10: A 相電圧。 11: 予備 (VTOIB [1:0] = 00 と同じ)。
[13:12]	VTOIC [1:0]	00	これらのビットは、電源経路で C 相電流と共に計算される相電圧を選択します。 00: C 相電圧。 01: A 相電圧。 10: B 相電圧。 11: 予備 (VTOIC [1:0] = 00 と同じ)。
14	INSEL	0	0: NIRMS レジスタ (アドレス 0x43C9) に中性電流の実効値を格納。 1: NIRMS レジスタに、ISUM の実効値、3つの相電流 IA、IB、IC すべての合計の瞬時値を格納。
15	Reserved	0	予備。このビットはいかなる機能の管理も行いません。

表 56. MMODE レジスタ (アドレス 0xE700)

ビット	ビット名	デフォルト値	説明
0	REVAPSEL	0	このビットは、STATUS0 レジスタのビットをトリガするのに、A 相、B 相、または C 相の総合有効電力を使用するか、基本波有効電力を使用するかを指定します。A 相はビット 6 (REVAPA) を、B 相はビット 7 (REVAPB) を、C 相はビット 8 (REVAPC) をトリガします。 0: 総合有効電力を使用して、STATUS0 レジスタのビットをトリガ。 1: 基本波有効電力を使用して、STATUS0 レジスタのビットをトリガ。
1	REVRPSEL	0	このビットは、STATUS0 レジスタのビットをトリガするのに、A 相、B 相、または C 相の総合無効電力を使用するか、基本波無効電力を使用するかを指定します。A 相はビット 10 (REVRPA) を、B 相はビット 11 (REVRPB) を、C 相はビット 12 (REVRPC) をトリガします。 0: 総合無効電力を使用して、STATUS0 レジスタのビットをトリガ。 1: 基本波無効電力を使用して、STATUS0 レジスタのビットをトリガ。
2	PEAKSEL [0]	1	0: A 相を電圧および電流ピーク検出に含めない。 1: A 相を電圧および電流ピーク検出に含める。
3	PEAKSEL [1]	1	0: B 相を電圧および電流ピーク検出に含めない。 1: B 相を電圧および電流ピーク検出に含める。
4	PEAKSEL [2]	1	0: C 相を電圧および電流ピーク検出に含めない。 1: C 相を電圧および電流ピーク検出に含める。
[7:5]	Reserved	000	予備。これらのビットはいかなる機能の管理も行いません。

表 57. ACCMODE レジスタ (アドレス 0xE701)

ビット	ビット名	デフォルト値	説明
[1:0]	WATTACC [1:0]	00	これらのビットは、有効電力のワット時レジスタでの積算方法、および総合/基本波有効電力の関数としての CFx 周波数出力の生成方法を決定します。 00: 総合/基本波有効電力の符号付き積算モード。有効電力量レジスタと CFx パルスは同じ方法で生成されます。 01: 総合/基本波有効電力の正のみの積算モード。総合/基本波有効電力レジスタは正のみのモードで積算されますが、CFx パルスは符号付きの積算モードで生成されます。 10: 予備 (WATTACC [1:0] = 00 と同じ)。 11: 総合/基本波有効電力の絶対積算モード。総合/基本波有効電力レジスタと CFx パルスは同じ方法で生成されます。
[3:2]	VARACC [1:0]	00	これらのビットは、無効電力の VAR 時レジスタでの積算方法、および総合/基本波の有効/無効電力の関数としての CFx 周波数出力の生成方法を決定します。 00: 総合/基本波無効電力の符号付き積算モード。無効電力量レジスタと CFx パルスは同じ方法で生成されます。 01: 予備 (VARACC [1:0] = 00 と同じ)。 10: 総合/基本波無効電力を、総合/基本波有効電力の符号に応じて積算する。有効電力が正の場合、無効電力はそのまま積算されます。有効電力が負の場合、無効電力は逆符号で積算されます。総合/基本波無効電力レジスタと CFx パルスは同じ方法で生成されます。 11: 総合/基本波無効電力の絶対積算モード。総合/基本波無効電力レジスタと CFx パルスは同じ方法で生成されます。
[5:4]	CONSEL [1:0]	00	これらのビットは、電力量積算レジスタへの入力を選択します。IA'、IB'、IC'は、IA、IB、IC をそれぞれ-90°シフトした値です (表 58 参照)。 00: 3 相 4 線式、3 つの電圧センサーを使用。 01: 3 相 3 線式Δ結線。 10: 予備。 11: 3 相 4 線式Δ結線。
6	SAGCFG	0	このビットは、STATUS1 レジスタのサグ・フラグ・ステータス・ビットの生成方法を管理します。 0: いずれかの相電圧が SAGLVL の閾値を下回ると、フラグを 1 にセット。 1: いずれかの相電圧が SAGLVL 閾値を下回った後に上回ると、フラグを 1 にセット。
7	Reserved	1	予備。このビットはいかなる機能の管理も行いません。

表 58. 電力量レジスタの CONSEL [1:0] ビット¹

ビット	ビット名	デフォルト値	説明
AWATTHR, AFWATTHR BWATTHR, BFWATTHR	VA × IA VB × IB	VA × IA VB = VA - VC VB × IB ¹	VA × IA VB = -VA VB × IB
CWATTHR, CFWATTHR AVARHR, AFVARHR BVARHR, BFVARHR	VC × IC VA × IA' VB × IB'	VC × IC VA × IA' VB = VA - VC VB × IB' ¹	VC × IC VA × IA' VB = -VA VB × IB'
CVARHR, CFVARHR AVAHR BVAHR	VC × IC' VA rms × IA rms VB rms × IB rms	VC × IC' VA rms × IA rms VB rms × IB rms ¹ VB = VA - VC	VC × IC' VA rms × IA rms VB rms × IB rms VB = -VA
CVAHR	VC rms × IC rms	VC rms × IC rms	VC rms × IC rms

¹ 3相3線式構成 (CONSEL [1:0] = 01) では、ADE7978はA相とC相の間の線間電圧の実効値を計算し、結果をBVRMSレジスタに格納します (デルタ構成での電圧実効値のセクションを参照)。HPF後に供給されるB相電流値は0です。その結果、B相に関連する電力は0になります。B相に対応する電力に関連する周波数出力ピン (CF1、CF2、CF3) の誤差を回避するには、COMPmodeレジスタのTERMSSEL1 [1]、TERMSSEL2 [1]、またはTERMSSEL3 [1] ビットを0に設定して、B相による電力量/周波数変換への寄与を無効にします。

表 59. LCYCMODE レジスタ (アドレス 0xE702)

ビット	ビット名	デフォルト値	説明
0	LWATT	0	0: ワット時積算レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR) を通常の積算モードに設定。 1: ワット時積算レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR) をライン・サイクル積算モードに設定。
1	LVAR	0	0: VAR 時積算レジスタ (AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR、CFVARHR) を通常の積算モードに設定。 1: VAR 時積算レジスタ (AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR、CFVARHR) をライン・サイクル積算モードに設定。
2	LVA	0	0: VA 時積算レジスタ (AVAHR、BVAHR、CVAHR) を通常の積算モードに設定。 1: VA 時積算レジスタ (AVAHR、BVAHR、CVAHR) をライン・サイクル積算モードに設定。
3	ZXSEL [0]	1	0: A相をライン・サイクル積算モードでのゼロ交差カウントに選択しない。 1: A相をライン・サイクル積算モードでのゼロ交差カウントに選択する。ゼロ交差検出に複数の相を選択した場合、それに応じて積算時間が短縮されます。
4	ZXSEL [1]	1	0: B相をライン・サイクル積算モードでのゼロ交差カウントに選択しない。 1: B相をライン・サイクル積算モードでのゼロ交差カウントに選択する。ゼロ交差検出に複数の相を選択した場合、それに応じて積算時間が短縮されます。
5	ZXSEL [2]	1	0: C相をライン・サイクル積算モードでのゼロ交差カウントに選択しない。 1: C相をライン・サイクル積算モードでのゼロ交差カウントに選択する。ゼロ交差検出に複数の相を選択した場合、それに応じて積算時間が短縮されます。
6	RSTREAD	1	0: xWATTHR、xVARHR、xVAHR、xFWATTHR、xFVARHR レジスタのすべてに対するリセット機能付きの読出しを無効にする。ビット [2:0] (LVA、LVAR、LWATT) を1にセットするときには、このビットを0にクリアします。 1: xWATTHR、xVARHR、xVAHR、xFWATTHR、xFVARHR レジスタをすべてに対するリセット機能付きの読出しを有効にする。このビットが1にセットした場合、これらのレジスタを読み出すと0にリセットされます。
7	PFMODE	0	0: 力率計算の式で、各種相電力の瞬時値を使用する。 1: 力率計算の式で、ライン・サイクル積算モードを使用して計算された相電力量の値を使用する。力率を正しく計算するには、LWATTビットとLVAビット (ビット0とビット2) を有効にする必要があります。力率測定の更新レートは整数のハーフ・ライン・サイクル数で、LINECYCレジスタで設定します。

表 60. HSDC_CFG レジスタ (アドレス 0xE706)

ビット	ビット名	デフォルト値	説明
0	HCLK	0	0: HSCLK = 8MHz。 1: HSCLK = 4MHz。
1	HSIZE	0	0: HSDC は、最上位ビットを先にして、32 ビット・レジスタを 32 ビット・パッケージで送信。 1: HSDC は、最上位ビットを先にして、32 ビット・レジスタを 8 ビット・パッケージで送信。
2	HGAP	0	0: パッケージ間にギャップを設定しない。 1: 7HCLK サイクルのギャップをパッケージ間に設定。
[4:3]	HXFER [1:0]	00	00: HSDC は、16 の 32 ビット・ワードを以下の順序で送信: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR。 01: HSDC は、電流と電圧の 7 つの瞬時値を以下の順序で送信: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV。 10: HSDC は、9 つの相電力瞬時値を以下の順序で送信: AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR。 11: 予備 (HXFER [1:0] = 00 と同じ)。
5	HSAPOL	0	0: $\overline{SS}/\overline{HSA}$ ピンをアクティブ・ローにする。 1: $\overline{SS}/\overline{HSA}$ ピンをアクティブ・ハイにする。
[7:6]	Reserved	00	予備。これらのビットはいかなる機能の管理も行いません。

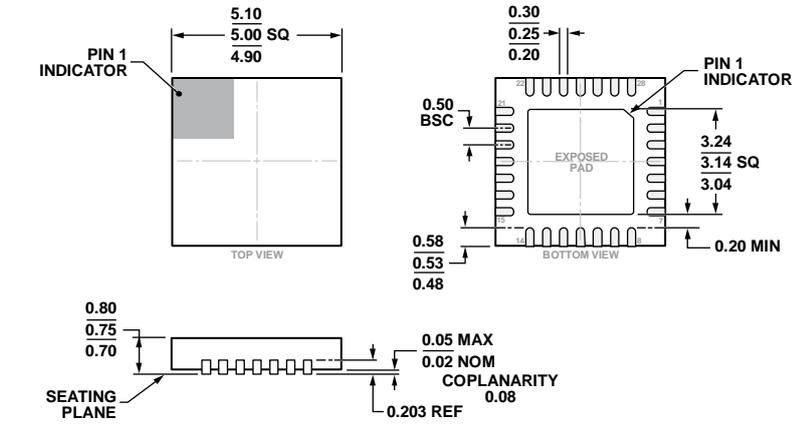
表 61. CONFIG3 レジスタ (アドレス 0xE708)

ビット	ビット名	デフォルト値	説明
0	VA2_EN	1	このビットは、A 相 ADE7933/ADE7932 を V2 チャンネルに使用するか、温度計測に使用するかを設定します。 0: 温度センサーを、A 相 ADE7933/ADE7932 の第 2 電圧チャンネルで測定する。ADE7932 では、温度センサーは常に第 2 電圧チャンネルで検出されますが、温度計測を有効にするにはこのビットを 0 にクリアする必要があります。 1: V2P 入力を、A 相 ADE7933 の第 2 電圧チャンネルで検出する。
1	VB2_EN	1	このビットは、B 相 ADE7933/ADE7932 を V2 チャンネルに使用するか、温度計測に使用するかを設定します。 0: 温度センサーを、B 相 ADE7933/ADE7932 の第 2 電圧チャンネルで測定する。ADE7932 では、温度センサーは常に第 2 電圧チャンネルで検出されますが、温度計測を有効にするにはこのビットを 0 にクリアする必要があります。 1: V2P 入力を、B 相 ADE7933 の第 2 電圧チャンネルで検出する。
2	VC2_EN	1	このビットは、C 相 ADE7933/ADE7932 を V2 チャンネルに使用するか、温度計測に使用するかを設定します。 0: 温度センサーを、C 相 ADE7933/ADE7932 の第 2 電圧チャンネルで測定する。ADE7932 では、温度センサーは常に第 2 電圧チャンネルで検出されますが、温度計測を有効にするにはこのビットを 0 にクリアする必要があります。 1: V2P 入力を、C 相 ADE7933 の第 2 電圧チャンネルで検出する。
3	VN2_EN	1	このビットは、中性線 ADE7923 または ADE7933/ADE7932 を V2 チャンネルに使用するか、温度計測に使用するかを設定します。 0: 温度センサーを、中性線 ADE7933/ADE7932 および ADE7923 の第 2 電圧チャンネルで測定する。ADE7932 では、温度センサーは常に第 2 電圧チャンネルで検出されますが、温度計測を有効にするにはこのビットを 0 にクリアする必要があります。 1: V2P 入力を、中性線 ADE7933 および ADE7923 の第 2 電圧チャンネルで検出する。
[5:4]	Reserved	00	予備。これらのビットはいかなる機能の管理も行いません。
6	CLKOUT_DIS	0	0: ADE7933/ADE7932 および ADE7923 の CLKOUT ピンをイネーブルする。 1: ADE7933/ADE7932 および ADE7923 の CLKOUT ピンをハイに設定し、クロックは生成しない。
7	ADE7933_SWRST	0	このビットを 1 にセットした場合、ADE7933/ADE7932 および ADE7923 デバイスのソフトウェア・リセットが開始されます。詳細は、ADE7933/ADE7932 および ADE7923 のソフトウェア・リセットのセクションを参照してください。

表 62. CONFIG2 レジスタ (アドレス 0xEA00)

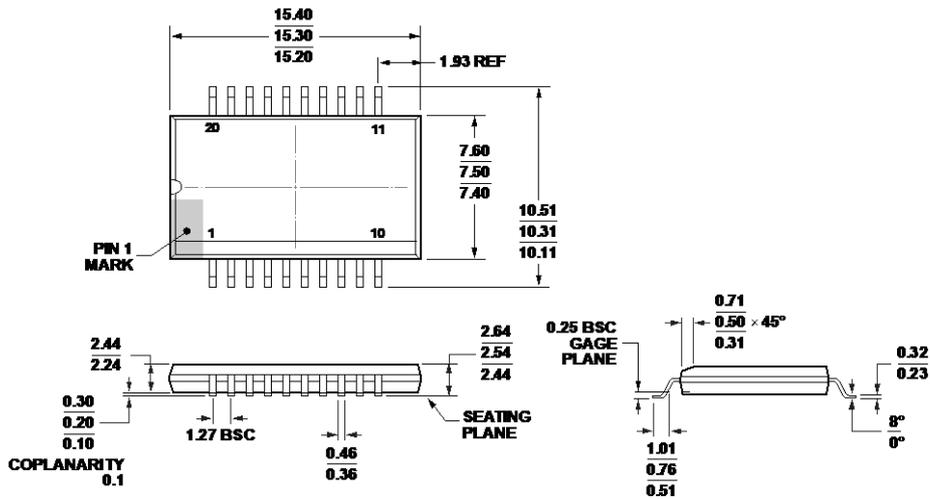
ビット	ビット名	デフォルト値	説明
0	I2C_LOCK	0	このビットを 0 に設定した場合、 $\overline{SS}/\overline{HSA}$ ピンを 3 回トグルすると SPI シリアル・ポートをアクティブにできます。IC をシリアル・ポートに選択した場合、このビットを 1 にセットすると選択がロックされます。このビットに 1 を書き込むと、ADE7978 は $\overline{SS}/\overline{HSA}$ ピンのスプリアスなトグルを無視します。SPI をシリアル・ポートに選択した場合、CONFIG2 レジスタへの任意の書き込みにより選択がロックされます。通信プロトコルは、パワーダウンまたはハードウェア・リセット操作後にのみ変更できます。
[7:1]	Reserved	000 0000	予備。これらのビットはいかなる機能の管理も行いません。

外形寸法



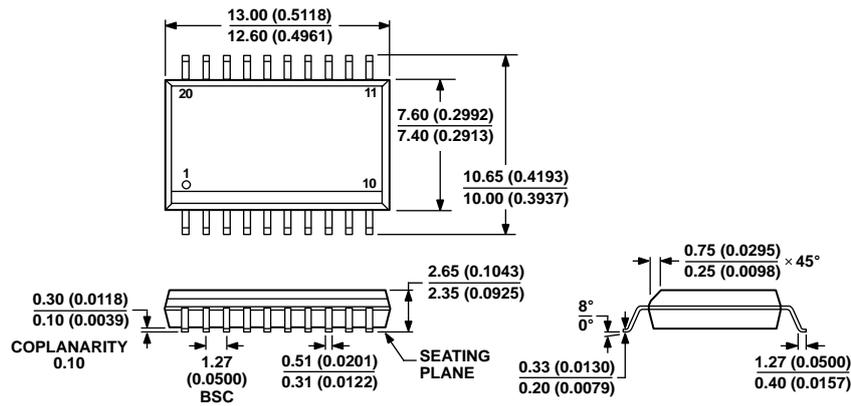
COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-1.

図 138. 28 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
5 mm × 5 mm ボディ、0.75mm パッケージ高
(CP-28-10)
寸法：mm



COMPLIANT TO JEDEC STANDARDS MS-013

図 139. 沿面距離を増やした、20 ピン標準 SOP (スモール・アウトライン・パッケージ) [SOIC_IC]
ワイド・ボディ
(RI-20-1)
寸法単位：mm



COMPLIANT TO JEDEC STANDARDS MS-013-AC
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

06-07-2005-A

図 140. 20 ピン、標準 SOP (スモール・アウトライン・パッケージ) [SOIC_W]
 ワイド・ボディ
 (RW-20)
 寸法単位: mm (括弧内はインチ)

オーダー・ガイド

Model ^{1, 2, 3}	Temperature Range	Package Description	Package Option
ADE7978ACPZ	-40°C to +85°C	28-Lead LFCSP	CP-28-10
ADE7978ACPZ-RL	-40°C to +85°C	28-Lead LFCSP, 13" Tape and Reel	CP-28-10
ADE7933ARIZ	-40°C to +85°C	20-Lead SOIC_IC	RI-20-1
ADE7933ARIZ-RL	-40°C to +85°C	20-Lead SOIC_IC, 13" Tape and Reel	RI-20-1
ADE7932ARIZ	-40°C to +85°C	20-Lead SOIC_IC	RI-20-1
ADE7932ARIZ-RL	-40°C to +85°C	20-Lead SOIC_IC, 13" Tape and Reel	RI-20-1
ADE7923ARWZ	-40°C to +85°C	20-Lead SOIC_W	RW-20
ADE7923ARWZ-RL	-40°C to +85°C	20-Lead SOIC_W, 13" Tape and Reel	RW-20
EVAL-ADE7978EBZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation System Controller Board	

¹ Z = RoHS 準拠製品

² EVAL-SDP-CB1Z は、EVAL-ADE7978EBZ 評価用ボードを管理するコントローラ・ボードです。両方のボードを一緒に注文する必要があります。

³ EVAL-ADE7978EBZ は、ADE7923、ADE7932、および ADE7933 のテストに使用します。

PC は、Philips Semiconductors 社 (現在の NXP Semiconductors 社) が独自に開発した通信プロトコルです。