



多相多機能電力量計 IC

データシート

ADE7854A/ADE7858A/ADE7868A/ADE7878A

特長

高精度：EN 50470-1、EN 50470-3、IEC 62053-21、
IEC 62053-22、IEC 62053-23 規格に対応
3 相／3 線式、3 相／4 線式（デルタ結線または WYE 結線）
電力量計、その他の 3 相方式と互換
各相およびシステム全体に、総合（基本波および高調波）
有効／無効／皮相電力量と基本波有効／無効電力量を供給
1000:1 のダイナミック・レンジで、有効／無効電力量の計測
誤差が 0.1%（代表値）（ $T_A = 25^\circ\text{C}$ ）
3000:1 のダイナミック・レンジで、有効／無効電力量の計測
誤差が 0.2 パーセント（代表値）（ $T_A = 25^\circ\text{C}$ ）
平均実効値測定値が低リップル実効値レジスタで利用可能
電流トランスおよび di/dt 電流センサーに対応
中性電流入力専用 ADC チャンネル
3 相全ての相電流の合計の実効値を計算して中性電流推定値を
測定
1000:1 のダイナミック・レンジで、電圧／電流実効値の誤差が
0.1%（代表値）（ $T_A = 25^\circ\text{C}$ ）
サンプリングされた波形データを 3 相全てと中性電流で供給
総合および基本波有効／無効電力、ならびに皮相電力に対して
無負荷閾値を選択可能
タンパ防止検知のための高精度な低電力バッテリー・モード相電
流モニタリング
中性なし動作でのバッテリー電源入力
電流／電圧チャンネルにおける位相角測定
キャリブレーション周波数（CF）出力が LED と光アイソレータ
を直接駆動
リファレンス：1.2V（ドリフト： $\pm 5\text{ppm}/^\circ\text{C}$ （代表値））、
外部オーバードライブ機能付き
3.3V 単電源
鉛フリー、40 ピンの LFCSP（リード・フレーム・チップ・
スケール・パッケージ）
動作温度： $-40^\circ\text{C} \sim +85^\circ\text{C}$
柔軟性のある I²C、SPI、HSDC シリアル・インターフェース

概要

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、シリアル・イン
ターフェースと柔軟性のある 3 つのパルス出力を備えた高精度
の 3 相電力量計 IC です。これらのデバイスには、二次 $\Sigma\Delta$
A/D コンバータ（ADC）、デジタル積分器、基準回路、および
総合（基本波と高調波）有効／無効電力量（ADE7858A、
ADE7868A、ADE7878A）および皮相電力量の計測と実効値計算
の実行に必要な全ての信号処理を内蔵しています。

ADE7878A は、基本波のみの有効／無効電力量の計測と実効値
計算も実行できます。固定機能を備えたデジタル・シグナル・
プロセッサ（DSP）が信号処理を実行します。DSP プログラム
は内部 ROM メモリに格納されています。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、3 線と 4 線の
（WYE 結線とデルタ結線方式のような）様々な 3 相構成の有効／
無効／皮相電力量を計測できます。8kHz ごとに更新される通常
の実効値測定とは別に、これらのデバイスは、内部で平均化され、
1.024 秒ごとに更新される低リップル実効値を測定します。デバイ
スは、各相のシステム・キャリブレーション機能、すなわち実効
値オフセット補正、位相キャリブレーションおよびゲイン・キャ
リブレーションを実行します。

CF1、CF2 および CF3 ロジック出力は、広範囲の電力情報を提供
します。4 つのデバイスは全て、総合有効電力と皮相電力を計
測し、また、電流実効値の合計を計算します。ADE7858A、
ADE7868A、ADE7878A は総合無効電力にも対応します。一方、
ADE7878A は基本波有効電力と無効電力に対応します。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、全ての ADC 出
力へのアクセスを可能にする波形サンプリング・レジスタを備
えています。これらのデバイスはまた、短時間の低電圧または
高電圧検出、短時間の高電流変動、ライン電圧周期の測定、相
電圧と相電流間の位相角などの電力品質測定機能を内蔵してい
ます。

SPI（シリアル・ペリフェラル・インターフェース）と I²C の 2 つ
のシリアル・インターフェースは、これらのデバイスと通信で
きます。専用的高速インターフェースである高速データ・キャ
プチャ（HSDC）ポートを I²C と併用すると、ADC 出力およびリ
アルタイム電力情報にアクセスできます。

デバイスには、有効な割込みイベントが発生したことを示すた
めに、**IRQ0** と **IRQ1** の 2 つの割込み要求ピンがあります。
ADE7868A/ADE7878A は、特別に設計された 3 つの低電力モ
ードにより、ADE7868A/ADE7878A がタンパ状態でも、電力量積
算を継続的に実行できます。

表 1 に、各デバイスとその機能を示します。これらのデバイ
スは、鉛フリー、40 ピンの LFCSP パッケージで提供されます。

表 1. デバイスの比較

Part No.	WATT	VAR	I RMS, V RMS, and VA	di/dt	Fundamental WATT and VAR	Tamper Detect and Low Power Modes
ADE7854A	Yes	No	Yes	Yes	No	No
ADE7858A	Yes	Yes	Yes	Yes	No	No
ADE7868A	Yes	Yes	Yes	Yes	No	Yes
ADE7878A	Yes	Yes	Yes	Yes	Yes	Yes

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	リファレンス回路.....	42
概要.....	1	デジタル・シグナル・プロセッサ.....	43
改訂履歴.....	3	実効値測定.....	44
機能ブロック図.....	4	有効電力の計算.....	48
仕様.....	8	無効電力の計算—ADE7858A、ADE7868A、ADE7878A のみ.....	54
タイミング特性.....	11	皮相電力の計算.....	58
絶対最大定格.....	14	波形サンプリング・モード.....	61
熱抵抗.....	14	電力量／周波数変換.....	61
ESD に関する注意.....	14	無負荷状態.....	65
ピン配置およびピン機能の説明.....	15	チェックサム・レジスタ.....	66
代表的な性能特性.....	17	割込み.....	67
テスト回路.....	20	アプリケーション情報.....	69
用語の定義.....	21	電力量計としてのデバイスのクイック・セットアップ.....	69
パワー・マネージメント.....	22	水晶振動子回路.....	69
PSM0 通常電力モード（全てのデバイス）.....	22	レイアウトのガイドライン.....	70
PSM1 省電力モード（ADE7868A と ADE7878A のみ）.....	22	ADE7878A 評価用ボード.....	70
PSM2 低電力モード（ADE7868A と ADE7878A のみ）.....	22	ダイ・バージョン.....	70
PSM3 スリープ・モード（全てのデバイス）.....	24	シリコン・アノマリ.....	71
パワーアップ手順.....	26	ADE7854A/ADE7858A/ADE7868A/ADE7878A の機能に関する問題.....	71
ハードウェア・リセット.....	26	機能に関する問題.....	71
ソフトウェア・リセット.....	27	シリアル・インターフェース.....	72
動作原理.....	28	シリアル・インターフェースの選択.....	72
アナログ入力.....	28	通信の検証.....	72
A/D 変換.....	28	I ² C 対応インターフェース.....	72
電流チャンネルの ADC.....	29	SPI 互換インターフェース.....	74
di/dt 電流センサーとデジタル積分器.....	31	HSDC インターフェース.....	76
電圧チャンネルの ADC.....	32	レジスタの一覧.....	78
相電圧データ経路の変更.....	33	外形寸法.....	96
電力品質の測定.....	33	オーダー・ガイド.....	96
位相補償.....	41		

改訂履歴**3/2021—Rev. C to Rev. D**

Changes to Figure 23	20
Changes to Neutral Current Mismatch—ADE7868A and ADE7878A Section	39
Changes to Figure 91	70
Added Table 25; Renumbered Sequentially	71
Changes to Section 1 Table	71
Updated Outline Dimensions	96
Changes to Ordering Guide	96

5/2016—Rev. B to Rev. C

Changes to ADE7854A/ADE7858A/ADE7868A/ADE7878A Functionality Issues Section, Chip Marking Column	70
---	----

10/2014—Rev. A to Rev. B

Changes to Figure 23	19
Changes to Figure 27	25
Changes to Silicon Anomaly Section	70

7/2014—Revision A: Initial Version

機能ブロック図

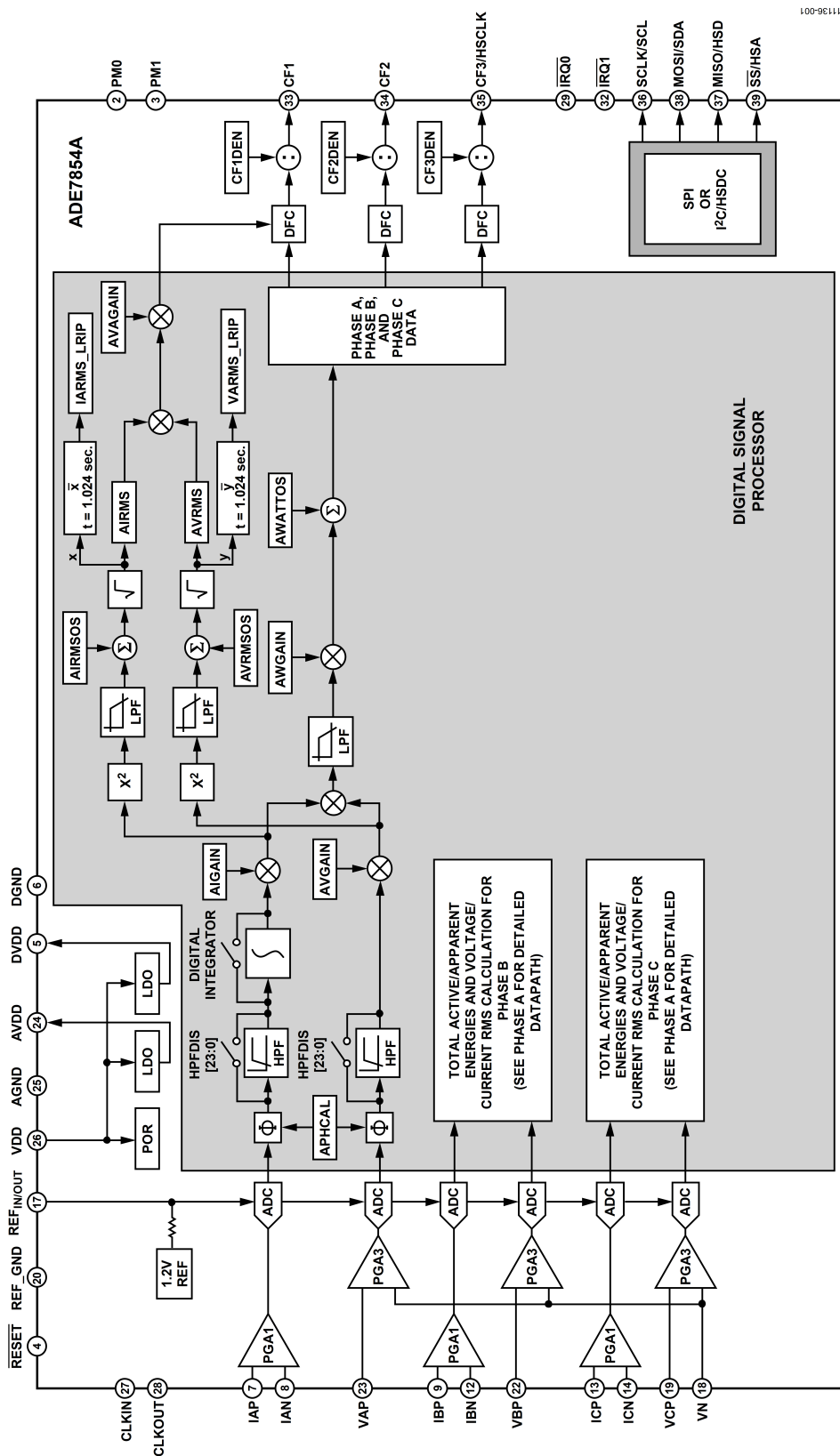


図 1. ADE7854A の機能ブロック図



図 2. ADE7858A の機能ブロック図

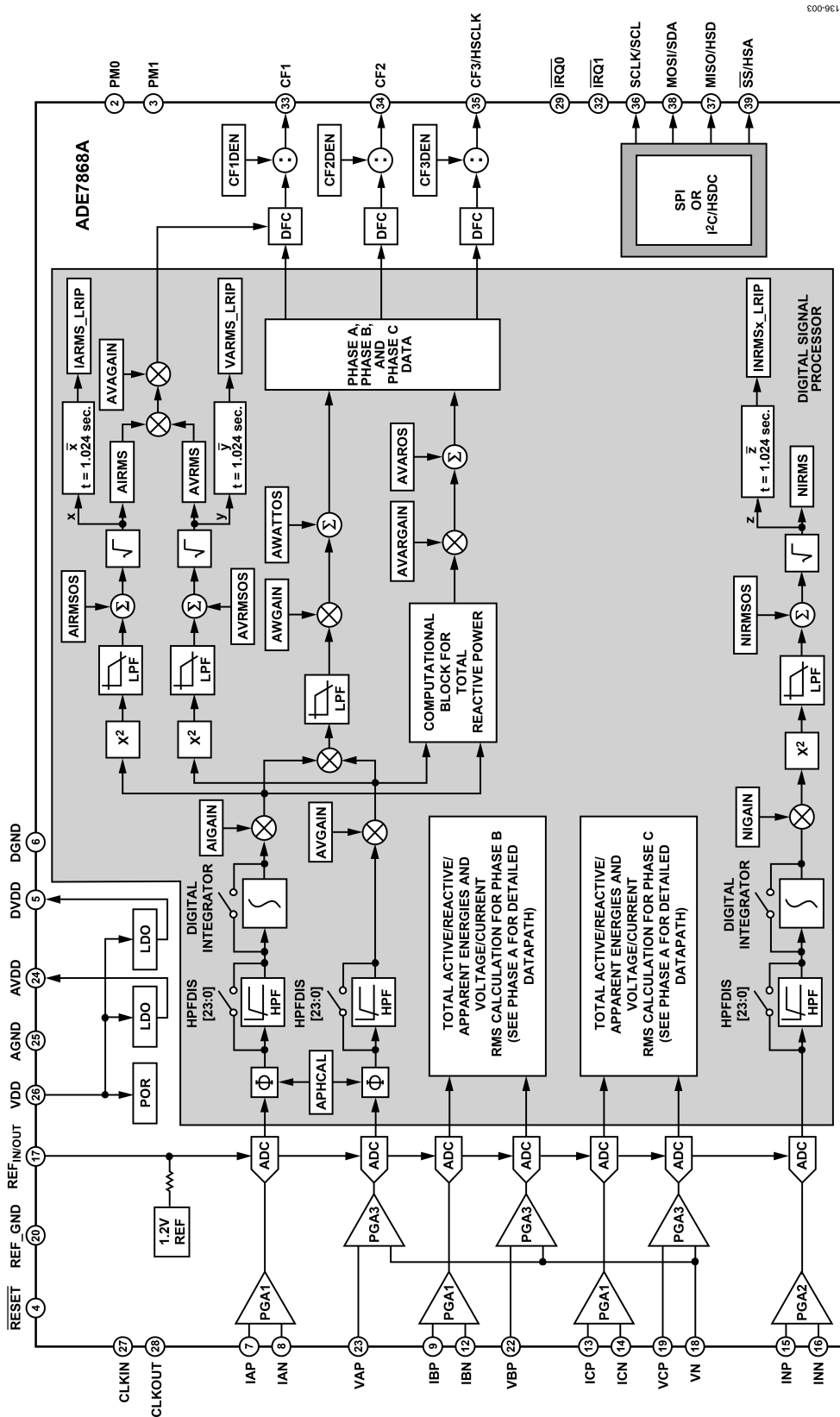


図 3. ADE7868A の機能ブロック図

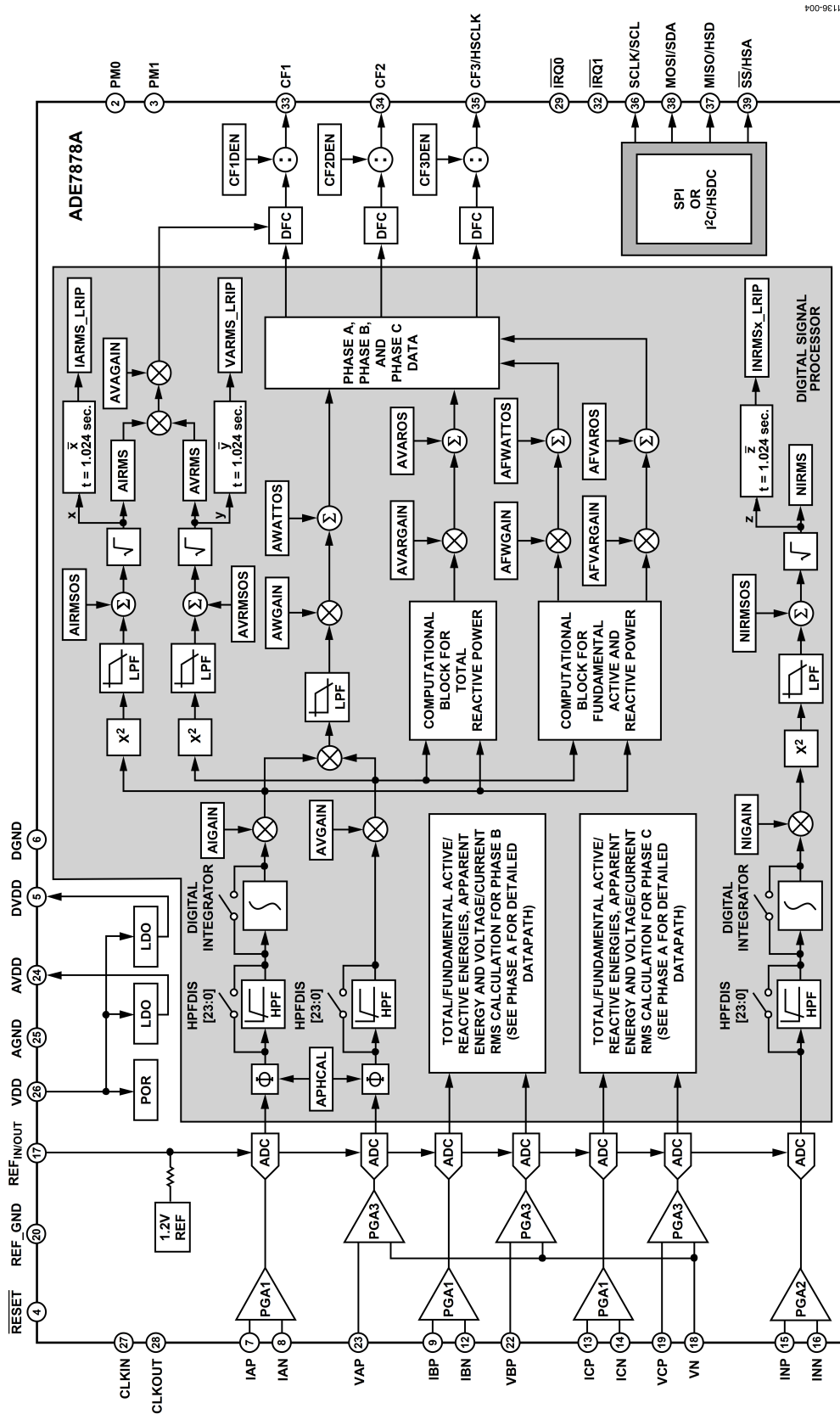


図 4. ADE7878A の機能ブロック図

仕様

特に指定のない限り、VDD = 3.3V ± 10%、AGND = DGND = 0V、内蔵リファレンス、CLKIN = 16.384MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C、T_{TYP} = 25°C。

表 2.

Parameter ^{1, 2, 3}	Min	Typ	Max	Unit	Test Conditions/Comments
ACTIVE ENERGY MEASUREMENT (PSM0 MODE)					
Active Energy Measurement Error (Per Phase)					
Total Active Energy		0.1		%	Over a dynamic range of 1000 to 1, PGA = 1, 2, 4; integrator off
		0.2		%	Over a dynamic range of 3000 to 1, PGA = 1, 2, 4; integrator off
		0.1		%	Over a dynamic range of 500 to 1, PGA = 8, 16; integrator on
Fundamental Active Energy		0.1		%	ADE7878A only Over a dynamic range of 1000 to 1, PGA = 1, 2, 4; integrator off
		0.2		%	Over a dynamic range of 3000 to 1, PGA = 1, 2, 4; integrator off
		0.1		%	Over a dynamic range of 500 to 1, PGA = 8, 16; integrator on
AC Power Supply Rejection					VDD = 3.3 V + 120 mV rms at 120 Hz/100 Hz, IxP = VxP = ±100 mV rms
Output Frequency Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3 V ± 330 mV dc, IxP = VxP = ±100 mV rms
Output Frequency Variation		0.01		%	
Total Active Energy Measurement Bandwidth		2		kHz	
REACTIVE ENERGY MEASUREMENT (PSM0 MODE)					
Reactive Energy Measurement Error (Per Phase)					ADE7858A, ADE7868A, and ADE7878A
Total Reactive Energy		0.1		%	Over a dynamic range of 1000 to 1, PGA = 1, 2, 4; integrator off
		0.2		%	Over a dynamic range of 3000 to 1, PGA = 1, 2, 4; integrator off
		0.1		%	Over a dynamic range of 500 to 1, PGA = 8, 16; integrator on
Fundamental Reactive Energy		0.1		%	ADE7878A only Over a dynamic range of 1000 to 1, PGA = 1, 2, 4; integrator off
		0.2		%	Over a dynamic range of 3000 to 1, PGA = 1, 2, 4; integrator off
		0.1		%	Over a dynamic range of 500 to 1, PGA = 8, 16; integrator on
AC Power Supply Rejection					VDD = 3.3 V + 120 mV rms at 120 Hz/100 Hz, IxP = VxP = ±100 mV rms
Output Frequency Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3 V ± 330 mV dc, IxP = VxP = ±100 mV rms
Output Frequency Variation		0.01		%	
Total Reactive Energy Measurement Bandwidth		2		kHz	
RMS MEASUREMENTS (PSM0 MODE)					
Current (I) RMS and Voltage (V) RMS Measurement Bandwidth		2		kHz	
I RMS and V RMS Measurement Error		0.1		%	Over a dynamic range of 1000 to 1, PGA = 1
MEAN ABSOLUTE VALUE (MAV) MEASUREMENT (PSM1 Mode)					
I MAV Measurement Bandwidth		260		Hz	ADE7868A and ADE7878A
I MAV Measurement Error		0.5		%	Over a dynamic range of 100 to 1, PGA = 1, 2, 4, 8

Parameter ^{1,2,3}	Min	Typ	Max	Unit	Test Conditions/Comments
ANALOG INPUTS					
Maximum Signal Levels			±500	mV peak	PGA = 1, differential or single-ended inputs between the following pins: IAP and IAN, IBP and IBN, ICP and ICN, INP and INN; single-ended inputs between the following pins: VAP and VN, VBP and VN, VCP and VN
Input Impedance (DC) IAP, IAN, IBP, IBN, ICP, ICN, INP, INN, VAP, VBP, and VCP Pins	400			kΩ	
VN Pin	130			kΩ	
ADC Offset		−34		mV	PGA = 1; see the Terminology section
Gain Error		±4		%	External 1.2 V reference
WAVEFORM SAMPLING					
Current and Voltage Channels					Sampling CLKIN/2048, 16.384 MHz/2048 = 8 kSPS
Signal-to-Noise Ratio, SNR		74		dB	See the Waveform Sampling Mode section PGA = 1, fundamental frequency = 45 Hz to 65 Hz; see the Terminology section
Signal-to-Noise-and-Distortion (SINAD) Ratio		74		dB	PGA = 1, fundamental frequency = 45 Hz to 65 Hz; see the Terminology section
Bandwidth (−3 dB)		2		kHz	
TIME INTERVAL BETWEEN PHASES					
Measurement Error		0.3		Degrees	Line frequency = 45 Hz to 65 Hz, HPF on
CF1, CF2, CF3 PULSE OUTPUTS					
Maximum Output Frequency		8		kHz	WTHR = VARTHR = VATHR = PMAX = 33,516,139
Duty Cycle		50		%	CF1, CF2, or CF3 frequency > 6.25 Hz, CFDEN is even and > 1
		(1 + 1/CFDEN) × 50%			CF1, CF2, or CF3 frequency > 6.25 Hz, CFDEN is odd and > 1
Active Low Pulse Width		80		ms	CF1, CF2, or CF3 frequency < 6.25 Hz
Jitter		0.04		%	CF1, CF2, or CF3 frequency = 1 Hz, nominal phase currents larger than 10% of full scale
REFERENCE INPUT					
REF _{IN/OUT} Input Voltage Range	1.1		1.3	V	Minimum = 1.2 V − 8%; maximum = 1.2 V + 8%
Input Capacitance			10	pF	
ON-CHIP REFERENCE, PSM0 AND PSM1 MODES					
Temperature Coefficient	−32	±5	+32	ppm/°C	Nominal 1.2 V at the REF _{IN/OUT} pin at T _A = 25°C Drift across the entire temperature range of −40°C to +85°C is calculated with reference to 25°C; see the Reference Circuit section
CLKIN					
Input Clock Frequency	16.22	16.384	16.55	MHz	CLKIN = 16.384 MHz; see the Crystal Circuit section
LOGIC INPUTS—MOSI/SDA, SCLK/SCL, $\overline{SS}$/HSA, RESET, PM0, AND PM1					
Input High Voltage, V _{INH}	2.0			V	VDD = 3.3 V ± 10%
Input Low Voltage, V _{INL}			0.8	V	VDD = 3.3 V ± 10%
Input Current, I _{IN}			−8.7	μA	Input = 0 V, VDD = 3.3 V
			3	μA	Input = VDD = 3.3 V
Input Capacitance, C _{IN}		10		pF	
LOGIC OUTPUTS, $\overline{IRQ0}$, $\overline{IRQ1}$, MISO/HSD					
Output High Voltage, V _{OH}	2.4			V	VDD = 3.3 V ± 10%
I _{SOURCE}			800	μA	
Output Low Voltage, V _{OL}			0.4	V	VDD = 3.3 V ± 10%
I _{SINK}			2	mA	

Parameter ^{1, 2, 3}	Min	Typ	Max	Unit	Test Conditions/Comments
CF1, CF2, CF3/HCLK					
Output High Voltage, V_{OH}	2.4			V	$VDD = 3.3\text{ V} \pm 10\%$
I_{SOURCE}			500	μA	
Output Low Voltage, V_{OL}			0.4	V	$VDD = 3.3\text{ V} \pm 10\%$
I_{SINK}			8	mA	
POWER SUPPLY					For specified performance
PSM0 Mode					
VDD Pin	2.97		3.63	V	Minimum = $3.3\text{ V} - 10\%$; maximum = $3.3\text{ V} + 10\%$
I_{DD}		20	23	mA	
PSM1 and PSM2 Modes					ADE7868A and ADE7878A
VDD Pin	2.8		3.7	V	
I_{DD}					
PSM1 Mode		4.5		mA	
PSM2 Mode		0.2		mA	
PSM3 Mode					
VDD Pin	2.8		3.7	V	
I_{DD}		1.7		μA	

¹ 代表的な性能特性のセクションを参照してください。

² パラメータの定義については、用語の定義のセクションを参照してください。

³ デュアル機能のピン名は、関連する機能のみが言及されることに注意してください（完全なピン記号と説明については、ピン配置およびピン機能の説明のセクションを参照）。

タイミング特性

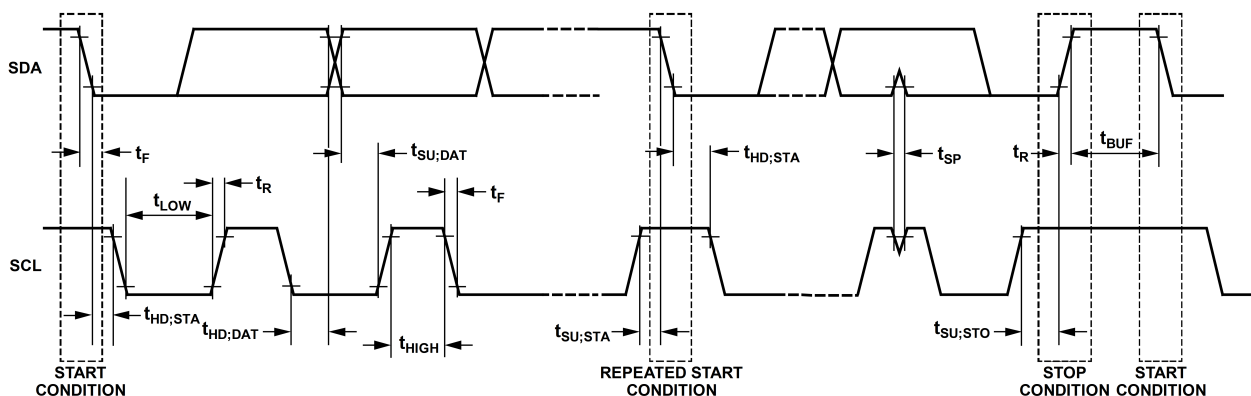
VDD = 3.3V ± 10%、AGND = DGND = 0V、内蔵リファレンス、CLKIN = 16.384MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C。タイミング・テーブルと図では、デュアル機能のピン名は、関連する機能のみが言及されることに注意してください（完全なピン記号と説明については、[ピン配置およびピン機能の説明](#)のセクションを参照）。

I²C インターフェースのタイミング

表 3.

Parameter	Symbol	Standard Mode		Fast Mode		Unit
		Min	Max	Min	Max	
SCL Clock Frequency	f _{SCL}	0	100	0	400	kHz
Hold Time for Start and Repeated Start Conditions	t _{HD;STA}	4.0		0.6		μs
Low Period of SCL Clock	t _{LOW}	4.7		1.3		μs
High Period of SCL Clock	t _{HIGH}	4.0		0.6		μs
Setup Time for Repeated Start Condition	t _{SU;STA}	4.7		0.6		μs
Data Hold Time	t _{HD;DAT}	0	3.45	0	0.9	μs
Data Setup Time	t _{SU;DAT}	250		100		ns
Rise Time of SDA and SCL Signals	t _R		1000	20	300	ns
Fall Time of SDA and SCL Signals	t _F		300	20	300	ns
Setup Time for Stop Condition	t _{SU;STO}	4.0		0.6		μs
Bus Free Time Between a Stop and Start Condition	t _{BUF}	4.7		1.3		μs
Pulse Width of Suppressed Spikes	t _{SP}	N/A ¹			50	ns

¹ N/A は該当なしを意味します。

図 5. I²C インターフェースのタイミング

11136-005

SPI インターフェースのタイミング

表 4.

Parameter	Symbol	Min	Max	Unit
$\overline{SS}$ to SCLK Edge	t_{SS}	50		ns
SCLK Period		0.4	4000 ¹	μ s
SCLK Low Pulse Width	t_{SL}	175		ns
SCLK High Pulse Width	t_{SH}	175		ns
Data Output Valid After SCLK Edge	t_{DAV}		100	ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	100		ns
Data Input Hold Time After SCLK Edge	t_{DHD}	5		ns
Data Output Fall Time	t_{DF}		20	ns
Data Output Rise Time	t_{DR}		20	ns
SCLK Rise Time	t_{SR}		20	ns
SCLK Fall Time	t_{SF}		20	ns
MISO Disable After $\overline{SS}$ Rising Edge	t_{DIS}		200	ns
$\overline{SS}$ High After SCLK Edge	t_{SFS}	0		ns

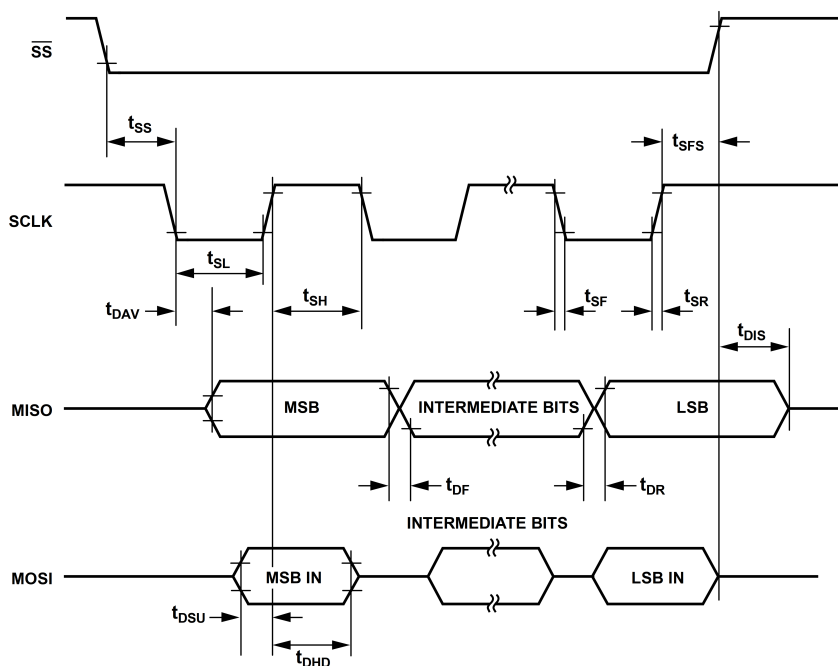
¹ 設計により確保されています。

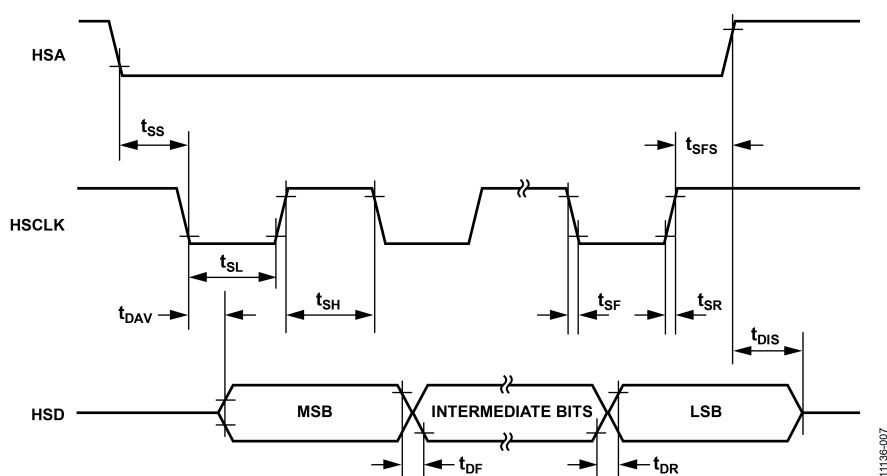
図 6. SPI インターフェースのタイミング

11136-006

HSDC インターフェースのタイミング

表 5.

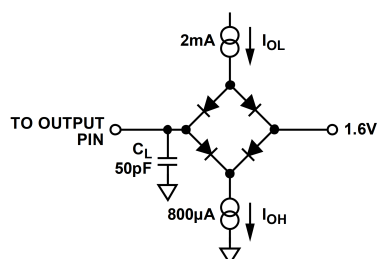
Parameter	Symbol	Min	Max	Unit
HSA to HSCLK Edge	t_{SS}	0		ns
HSCLK Period		125		ns
HSCLK Low Pulse Width	t_{SL}	50		ns
HSCLK High Pulse Width	t_{SH}	50		ns
Data Output Valid After HSCLK Edge	t_{DAV}		40	ns
Data Output Fall Time	t_{DF}		20	ns
Data Output Rise Time	t_{DR}		20	ns
HSCLK Rise Time	t_{SR}		10	ns
HSCLK Fall Time	t_{SF}		10	ns
HSD Disable After HSA Rising Edge	t_{DIS}	5		ns
HSA High After HSCLK Edge	t_{SFS}	0		ns



11135-007

図 7. HSDC インターフェースのタイミング

タイミング仕様評価用の負荷回路



11135-008

図 8. タイミング仕様評価用の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 。

表 6. 絶対最大定格

Parameter	Rating
VDD to AGND	−0.3 V to +3.7 V
VDD to DGND	−0.3 V to +3.7 V
Analog Input Voltage to AGND, IAP, IAN, IBP, IBN, ICP, ICN, VAP, VBP, VCP, VN	−2 V to +2 V
Analog Input Voltage to INP and INN	−2 V to +2 V
Reference Input Voltage to AGND	−0.3 V to VDD + 0.3 V
Digital Input Voltage to DGND	−0.3 V to VDD + 0.3 V
Digital Output Voltage to DGND	−0.3 V to VDD + 0.3 V
Operating Temperature	
Industrial Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は 29.3°C/W に、 θ_{JC} は 1.8°C/W に仕様指定されています。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
40-Lead LFCSP	29.3	1.8	$^{\circ}\text{C/W}$

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

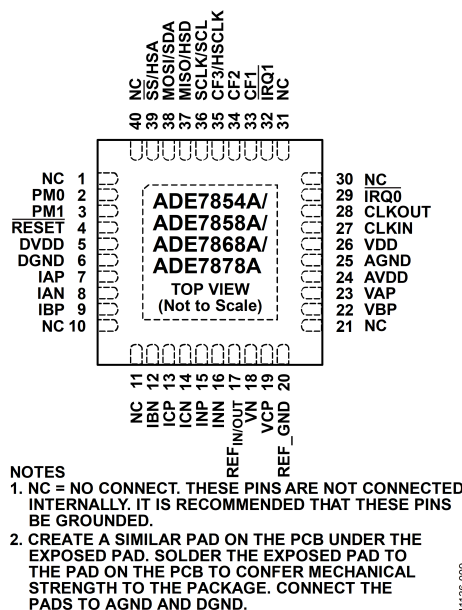


図 9. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1, 10, 11, 21, 30, 31, 40	NC	接続なし。これらのピンは内部では接続されていません。これらのピンは接地することを推奨します。
2	PM0	電力モード・ピン 0。PM0 および PM1 ピンは、ADE7854A、ADE7858A、ADE7868A、ADE7878A の電力モードを指定します（表 9 参照）。
3	PM1	電力モード・ピン 1。PM1 および PM0 ピンは、ADE7854A、ADE7858A、ADE7868A、ADE7878A の電源モードを指定します（表 9 参照）。
4	RESET	リセット入力、アクティブ・ロー。PSM0 モードでは、このピンは少なくとも 10 マイクロ秒の間、ローのままにして、ハードウェア・リセットをトリガする必要があります。
5	DVDD	デジタル低ドロップアウト（LDO）レギュレータの 2.5V 出力。このピンは、4.7μF のコンデンサと 220nF のセラミック・コンデンサを並列に接続してデカップリングします。このピンには外部の能動回路を接続しないでください。
6	DGND	デジタル回路のグラウンド・リファレンス。
7, 8	IAP, IAN	アナログ入力、電流チャンネル A。電流チャンネル A は電流変換器で使用されます。IAP（正）入力と IAN（負）入力は、最大差動レベルが±0.5V ピークの完全差動電圧入力です。チャンネル A には内部 PGA もあり、チャンネル B とチャンネル C で使用される PGA と同じ値に設定されています。
9, 12	IBP, IBN	アナログ入力、電流チャンネル B。電流チャンネル B は電流変換器で使用されます。IBP（正）入力と IBN（負）入力は、最大差動レベルが±0.5V ピークの完全差動電圧入力です。チャンネル B には内部 PGA もあり、チャンネル A とチャンネル C で使用される PGA と同じ値に設定されています。
13, 14	ICP, ICN	アナログ入力、電流チャンネル C。電流チャンネル C は電流変換器で使用されます。ICP（正）入力と ICN（負）入力は、最大差動レベルが±0.5V ピークの完全差動電圧入力です。チャンネル C には内部 PGA もあり、チャンネル A とチャンネル B で使用される PGA と同じ値に設定されています。
15, 16	INP, INN	アナログ入力、中性電流チャンネル N。電流チャンネル N は電流変換器で使用されます。INP（正）入力と INN（負）入力は、最大差動レベルが±0.5V ピークの完全差動電圧入力です。チャンネル N には、チャンネル A、チャンネル B、およびチャンネル C で使用される PGA とは別の内部 PGA もあります。中性電流チャンネルは、ADE7868A と ADE7878A でのみ使用できます。ADE7854A と ADE7858A では、INP ピンと INN ピンを AGND に接続します。
17	REF _{IN/OUT}	REF _{IN/OUT} ピンは、チップ内蔵電圧リファレンスにアクセスできます。内蔵リファレンスの公称値は 1.2V です。1.2V±8% の外部リファレンス源もこのピンに接続できます。いずれの場合も、4.7μF のコンデンサと 100nF のセラミック・コンデンサを並列に接続して、REF _{IN/OUT} を AGND にデカップリングします。リセットすると、内蔵リファレンスが有効になります。

ピン番号	記号	説明
18, 19, 22, 23	VN, VCP, VBP, VAP	アナログ入力、電圧チャンネル。これらのチャンネルは、電圧変換器で使用されます。VN、VCP、VBP および VAP 入力 は、指定された動作の VN に対して最大信号レベルが $\pm 0.5V$ ピークのシングルエンド電圧入力です。各電圧チャンネルには内部 PGA もあります。
20	REF_GND	グラウンド・リファレンス、内部電圧リファレンス。REF_GND をアナログ・グラウンド・プレーンに接続します。
24	AVDD	アナログ低ドロップアウト (LDO) レギュレータの 2.5V 出力。このピンは、4.7 μF のコンデンサと 220nF のセラミック・コンデンサを並列に接続してデカップリングします。このピンには外部の能動回路を接続しないでください。
25	AGND	アナログ回路のグラウンド・リファレンス。AGND を、アナログ・グラウンド・プレーンまたはシステム内の最も静的なグラウンド・リファレンスに接続します。アンチエイリアシング・フィルタ、電流変換器、電圧変換器などの全てのアナログ回路には、この静的なグラウンド・リファレンスを使用してください。
26	VDD	電源電圧。VDD ピンは電源電圧を供給します。PSM0 (通常電源) モードでは、電源電圧を 3.3V $\pm 10\%$ に保持して、仕様規定されている動作をさせます。PSM1 (省電力) モード、PSM2 (低電力) モード、および PSM3 (スリープ) モードでは、ADE7868A または ADE7878A がバッテリーから給電される場合、電源電圧を 2.8V $\sim 3.7V$ に保持します。VDD は、10 μF コンデンサと 100nF のセラミック・コンデンサと並列に接続して、AGND にデカップリングします。ADE7858A と ADE7854A で使用可能な電力モードは、PSM0 および PSM3 モードのみです。
27	CLKIN	マスタ・クロック。このロジック入力には外部クロックを入力できます。あるいは、水晶振動子を CLKIN および CLKOUT ピンにわたって接続して、ADE7854A、ADE7858A、ADE7868A または ADE7878A にクロック源を提供できます。仕様規定されている動作のクロック周波数は 16.384MHz です。適切な水晶振動子の選択の詳細については、 水晶発振回路 のセクションを参照してください。
28	CLKOUT	水晶振動子出力。水晶振動子を CLKIN および CLKOUT ピンにわたって接続して、ADE7854A、ADE7858A、ADE7868A または ADE7878A にクロック源を提供できます。仕様規定されている動作のクロック周波数は 16.384MHz です。適切な水晶振動子の選択の詳細については、 水晶発振回路 のセクションを参照してください。
29, 32	$\overline{IRQ0}$, $\overline{IRQ1}$	割込み要求出力。これらのピンはアクティブ・ローのロジック出力です。割込みをトリガするイベントの詳細については、 割込み のセクションを参照してください。
33, 34, 35	CF1, CF2, CF3/HSCLK	HSDC ポートのキャリブレーション周波数ロジック出力／シリアル・クロック出力。CF1、CF2 および CF3/HSCLK 出力は、CFMODE レジスタの CF1SEL[2:0]、CF2SEL[2:0]、および CF3SEL[2:0]ビットに基づいて電力情報を提供します。これらの出力は動作およびキャリブレーションに使用します。フルスケール出力周波数は、CF1DEN、CF2DEN および CF3DEN レジスタへの書き込みによってスケールリングします (電力量／周波数変換 のセクションを参照)。CF3 は HSCLK とマルチプレックスされています。
36	SCLK/SCL	SPI ポートのシリアル・クロック入力／I ² C ポートのシリアル・クロック入力。全てのシリアル・データ転送は、このクロックに同期します (シリアル・インターフェース のセクションを参照)。SCLK/SCL ピンにはシュミット・トリガ入力があり、光アイソレータ出力などのエッジ遷移時間が長いクロック源に使用します。
37	MISO/HSD	SPI ポートのデータ出力／HSDC ポートのデータ出力。
38	MOSI/SDA	SPI ポートのデータ入力／I ² C ポートのデータ入出力。
39	$\overline{SS}$ /HSA EP	SPI ポートのスレーブ選択／HSDC ポート・アクティブ。 露出パッド。露出パッド下のプリント回路基板 (PCB) 上に、同様のパッドを作成します。露出パッドを PCB のパッドに半田付けして、パッケージに機械的強度を与えます。このパッドを AGND と DGND に接続します。

代表的な性能特性

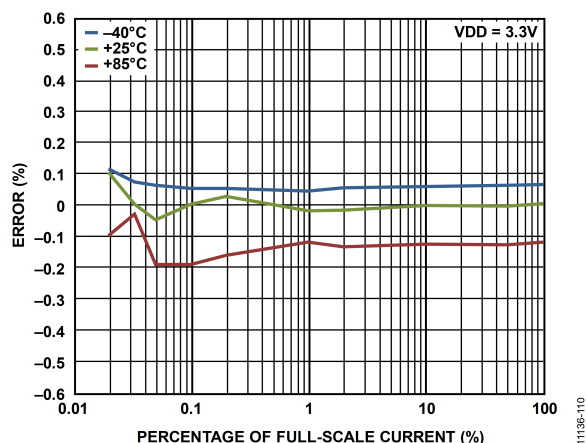


図 10. 示度のパーセンテージで表した総合有効電力量の誤差（ゲイン = +1、力率 = 1）とフルスケール電流のパーセンテージの関係（温度別、内部リファレンスを使用、積分器をオフ）

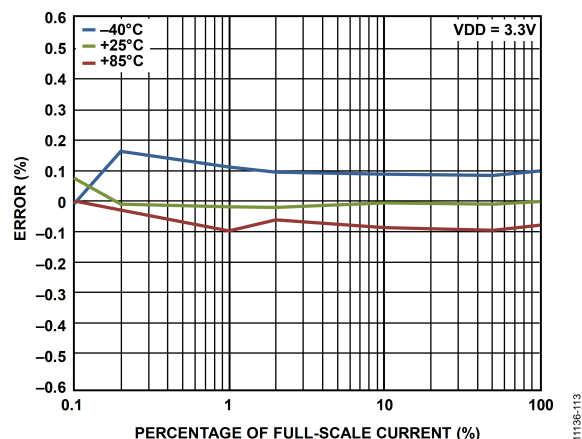


図 13. 示度のパーセンテージで表した総合有効電力量の誤差（ゲイン = +16、力率 = 1）とフルスケール電流のパーセンテージの関係（温度別、内部リファレンスを使用、積分器をオン）

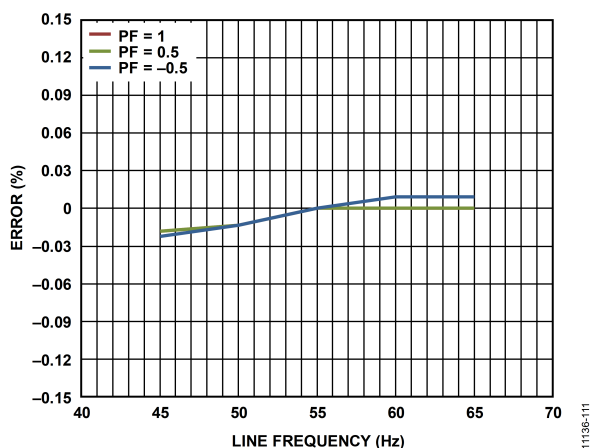


図 11. 示度のパーセンテージで表した総合有効電力量の誤差（ゲイン = +1）とライン周波数の関係（力率別、内部リファレンスを使用、積分器をオフ）

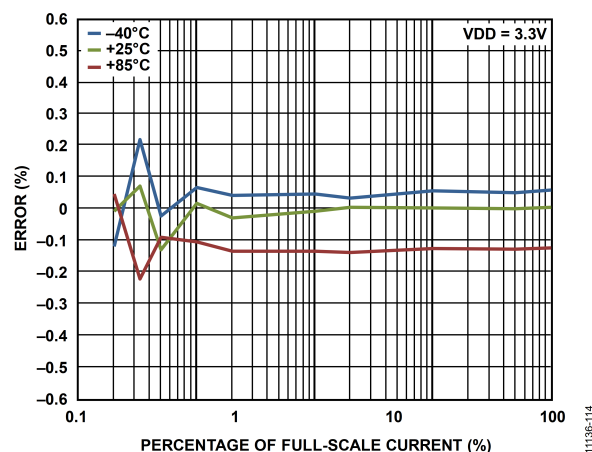


図 14. 示度のパーセンテージで表した総合無効電力量の誤差（ゲイン = +1、力率 = 0）とフルスケール電流のパーセンテージの関係（温度別、内部リファレンスを使用、積分器をオフ）

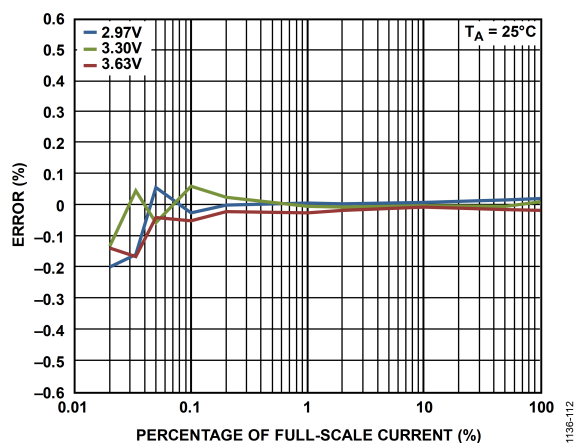


図 12. 示度のパーセンテージで表した総合有効電力量の誤差（ゲイン = +1、力率 = 1）とフルスケール電流のパーセンテージの関係（電源電圧別、内部リファレンスを使用、積分器をオフ）

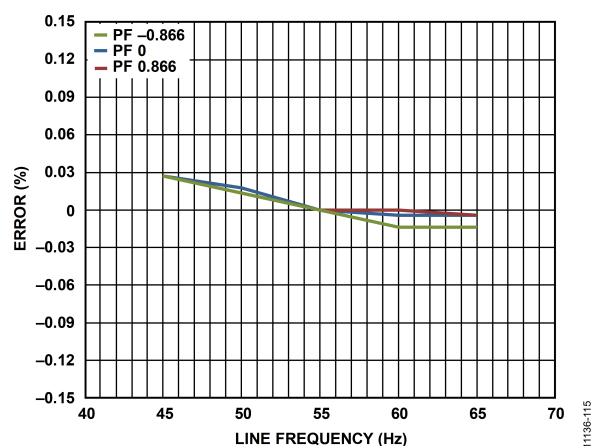


図 15. 示度のパーセンテージで表した総合無効電力量の誤差（ゲイン = +1）とライン周波数の関係（力率別、内部リファレンスを使用、積分器をオフ）

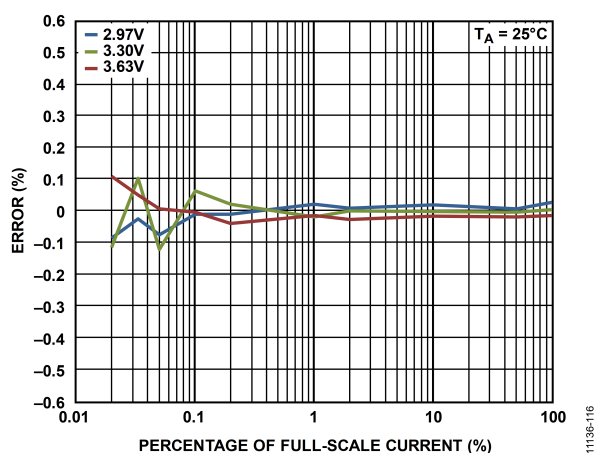


図 16. 示度のパーセンテージで表した総合無効電力量の誤差（ゲイン = +1、力率 = 0）とフルスケール電流のパーセンテージの関係（電源電圧別、内部リファレンスを使用、積分器をオフ）

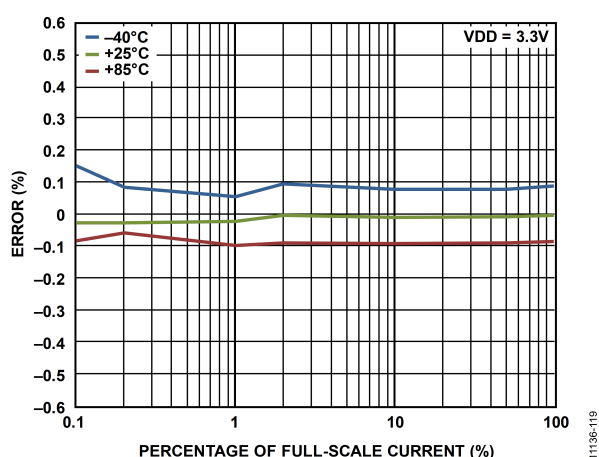


図 19. 示度のパーセンテージで表した基本波有効電力量誤差（ゲイン = +16、力率 = 1）とフルスケール電流のパーセンテージの関係（温度別、内部リファレンスを使用、積分器をオン）

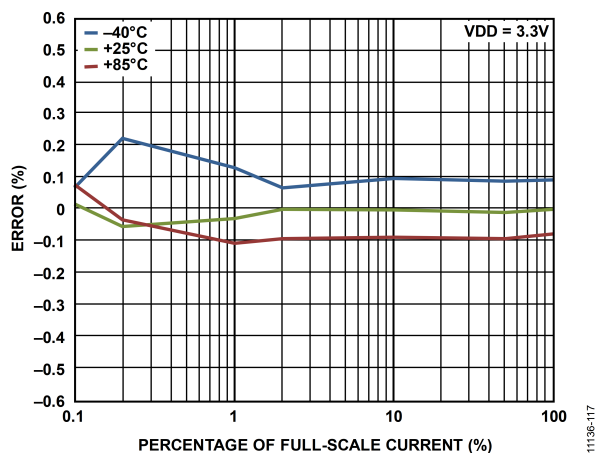


図 17. 示度のパーセンテージで表した総合無効電力量の誤差（ゲイン = +16、力率 = 0）とフルスケール電流のパーセンテージの関係（温度別、内部リファレンスを使用、積分器をオン）

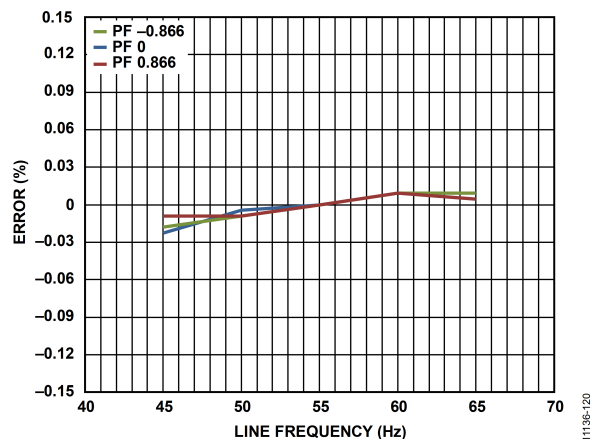


図 20. 示度のパーセンテージで表した基本波無効電力量誤差（ゲイン = +1）とライン周波数の関係（力率別、内部リファレンスを使用、積分器をオフ）

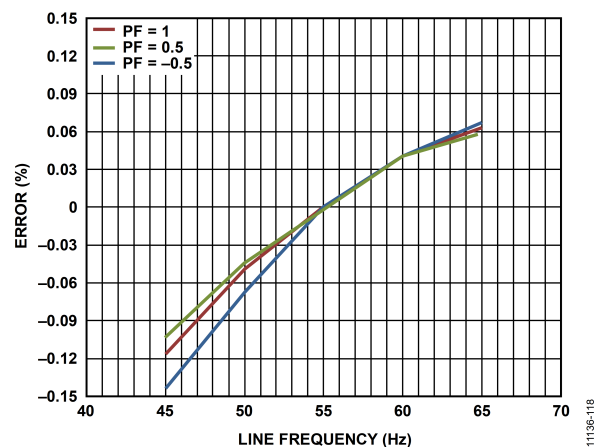


図 18. 示度のパーセンテージで表した基本波有効電力量の誤差（ゲイン = +1）とライン周波数の関係（力率別、内部リファレンスを使用、積分器をオフ）

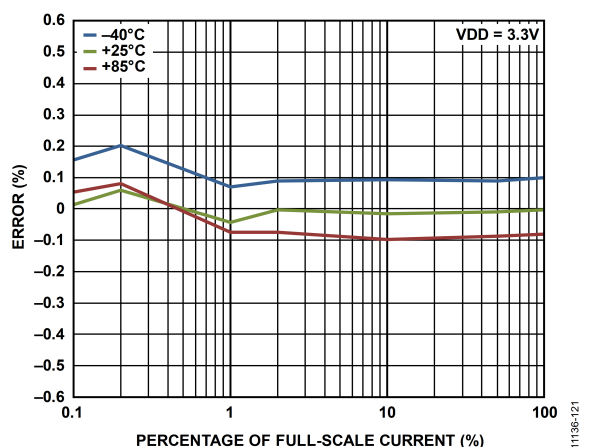


図 21. 示度のパーセンテージで表した基本波無効電力量誤差（ゲイン = +16）とフルスケール電流のパーセンテージの関係（温度別、内部リファレンスを使用、積分器をオン）

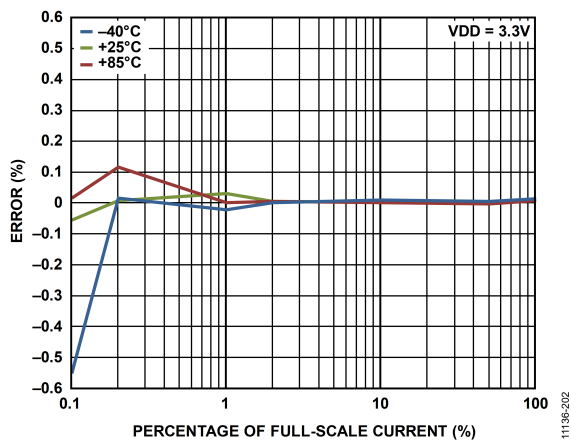


図 22. 示度のパーセンテージで表した電流実効値の誤差
(ゲイン = +1、力率 = 1) とフルスケール電流のパーセンテージ
の関係 (温度別、内部リファレンスを使用、積分器をオフ)

テスト回路

図 23 では、PM1 ピンと PM0 ピンが内部で VDD にプル・アップされています。マイクロコントローラを用いてピン値をプログラム的に変更することにより、動作モードを選択します（[パワー・マネージメント](#)のセクションを参照）。

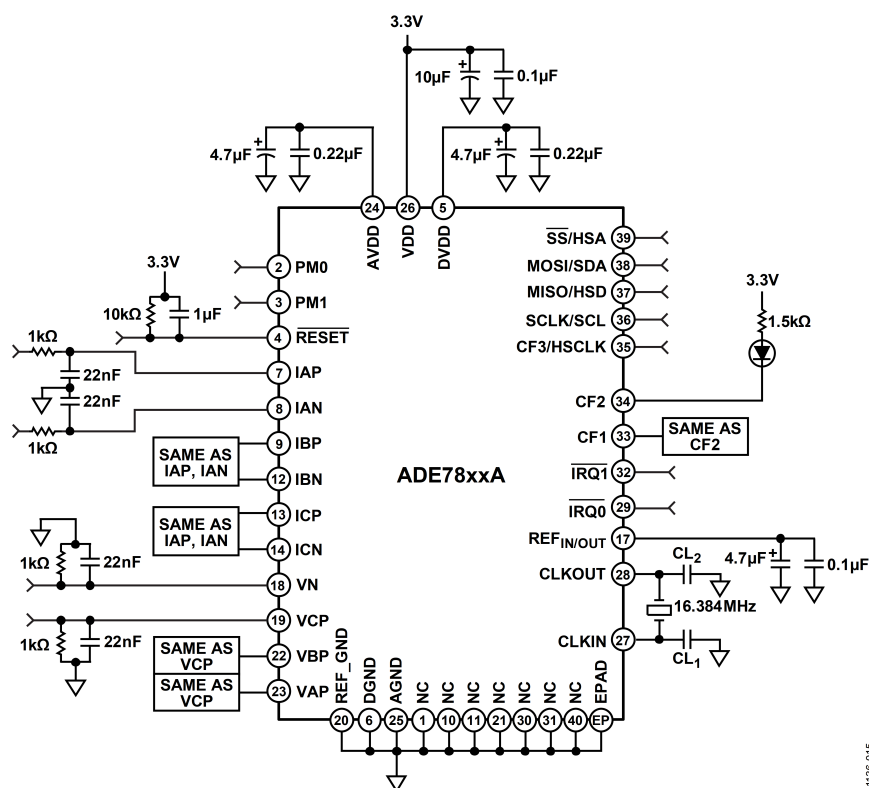


図 23. テスト回路

11136-015

用語の定義

計測誤差

ADE7854A/ADE7858A/ADE7868A/ADE7878A による電力量計測に関連する誤差は、以下のように定義されます。

$$\text{Measurement Error} = \frac{\text{Energy Registered by Device} - \text{True Energy}}{\text{True Energy}} \times 100\% \quad (1)$$

ここで、*Device* は ADE7854A、ADE7858A、ADE7868A または ADE7878A を表します。

電源電圧変動除去比 (PSR)

PSR は、ADE7854A/ADE7858A/ADE7868A/ADE7878A の計測誤差を、電源が変動したときの示度のパーセンテージとして定量化したものです。交流 PSR 測定では、公称電源電圧 (3.3V) での示度を取得します。交流信号 (基本波周波数の 2 倍で 120mV rms) が電源に入力されると、同じ入力信号レベルで別の示度が得られます。この交流信号によって導入される誤差は、示度のパーセンテージとして表されます。

直流 PSR 測定では、公称電源電圧 (3.3V) での示度を取得します。電源を±10%変化させると、同じ入力信号レベルで別の示度が得られます。導入された誤差は、示度のパーセンテージとして表されます。

ADC オフセット

ADC オフセットは、ADC へのアナログ入力に関連する直流オフセットを指します。これは、アナログ入力に AGND に接続されている場合でも、ADC は直流アナログ入力信号を認識することを意味します。オフセットの大きさは、ゲインおよび入力レンジの選択によって異なります。ハイパス・フィルタ (HPF) は、電流チャンネルと電圧チャンネルからオフセットを除去します。したがって、電力計算はこのオフセットの影響を受けません。

ゲイン誤差

ADE7854A/ADE7858A/ADE7868A/ADE7878A の ADC におけるゲイン誤差は、ADC 出力コード測定値 (オフセットを差し引いた値) と出力コード理想値の差として定義されます (電流チャンネルの ADC および電圧チャンネルの ADC のセクションを参照)。この差はコード理想値のパーセンテージとして表されます。

CF ジッタ

CF1、CF2 または CF3/HSCLK ピンのいずれかのパルスの周期を連続的に測定します。4 つの連続するパルスの最大値、最小値、平均値は、次式で計算されます。

$$\text{Maximum} = \max(\text{Period}_0, \text{Period}_1, \text{Period}_2, \text{Period}_3)$$

$$\text{Minimum} = \min(\text{Period}_0, \text{Period}_1, \text{Period}_2, \text{Period}_3)$$

$$\text{Average} = \frac{\text{Period}_0 + \text{Period}_1 + \text{Period}_2 + \text{Period}_3}{4}$$

CF ジッタは次式で計算されます。

$$\text{CF}_{\text{JITTER}} = \frac{\text{Maximum} - \text{Minimum}}{\text{Average}} \times 100\% \quad (2)$$

S/N 比 (SNR)

SNR は、実際の入力信号の実効値と、高調波および直流を除く 2kHz 未満の他の全スペクトル成分の実効値を合計した値との比です。入力信号には基本波成分のみが含まれています。スペクトル成分は、2 秒の時間枠にわたって計算されます。S/N 比の単位はデシベル (dB) です。

信号／ノイズ + 歪み (SINAD) 比

SINAD は、実際の入力信号の実効値と、高調波を含むが直流を除く 2kHz 未満の他の全スペクトル成分の実効値を合計した値との比です。入力信号には基本波成分のみが含まれています。スペクトル成分は、2 秒の時間枠にわたって計算されます。SINAD の単位はデシベル (dB) です。

パワー・マネージメント

ADE7868A/ADE7878A には 4 つの動作モードがあり、ADE7854A/ADE7858A には 2 つの動作モードがあります。動作モードは、PM0 ピンと PM1 ピンの状態によって決まります (表 9 参照)。

表 9. 電源モード

Power Supply Mode	PM1 Pin	PM0 Pin
PSM0, Normal Power Mode	0	1
PSM1, Reduced Power Mode ¹	0	0
PSM2, Low Power Mode ¹	1	0
PSM3, Sleep Mode	1	1

¹ ADE7868A と ADE7878A でのみ使用できます。

PM1 および PM0 ピンは、ADE7854A/ADE7858A/ADE7868A/ADE7878A の動作を制御します。これらのピンは、外部マイクロプロセッサの入力/出力に容易に接続されます。PM1 および PM0 ピンにはプルアップ抵抗が内蔵されているため、ADE7854A/ADE7858A/ADE7868A/ADE7878A はデフォルトでスリープ・モードになっています。新しい電力モードの設定前後に実行する推奨処置については、表 11 と表 12 を参照してください。

PSM0 通常電力モード (全てのデバイス)

PSM0 通常電力モード (PSM0 モード) では、ADE7854A/ADE7858A/ADE7868A/ADE7878A は完全に機能します。PSM0 モードに入るには、PM1 ピンをローに設定し、PM0 ピンをハイに設定します。デバイスが PSM1、PSM2 または PSM3 モードにあり、PSM0 モードに切り替わると、閾値レジスタ、LPOILVL (PSM2 モードで使用)、および CONFIG2 レジスタを除き、全ての制御レジスタがデフォルト値に戻ります。これらのレジスタは、プログラムされた値を保持します。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、 $\overline{\text{IRQ1}}$ 割込みピンをローに駆動し、STATUS1 レジスタのビット 15 (RSTDONE) を 1 に設定することによって、パワーアップ手順の完了を告げます。ビット 15 は、パワーアップ・シーケンス中に 0 にクリアされ、チップが PSM0 モードに入ると 1 に設定されます。RSTDONE ビットを 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイに戻ります。

割込みマスク・レジスタのビット 15 (RSTDONE) には機能がないため、RSTDONE 割込みをマスクすることはできません。

PSM1 省電力モード (ADE7868A と ADE7878A のみ)

PSM1 省電力モード (PSM1 モード) は、ADE7868A と ADE7878A でのみ使用できます。PSM1 モードでは、ADE7868A/ADE7878A は、三相電流の平均絶対値 (MAV) を測定し、その結果を 20 ビットの AIMAV、BIMAV および CIMAV レジスタに格納します。PSM1 モードは、外部バッテリーが ADE7868A または ADE7878A に電圧源を供給する中性なしの場合に役立ちます。

I²C または SPI シリアル・ポートは、PSM1 モードで有効になっており、AIMAV、BIMAV および CIMAV レジスタの読出しに使用できます。他のレジスタの値は、PSM1 モードでは保証されないため、それらのレジスタを読み込まないでください。同様に、PSM1 モードでの書き込み動作は、ADE7868A/ADE7878A によって無視されます。PSM1 モードでは、AIMAV、BIMAV および CIMAV 以外のレジスタにアクセスしないでください。xIMAV レジスタの詳細については、[電流平均絶対値の計算-ADE7868A と ADE7878A のみ](#)のセクションを参照してください。

実効値の推定値を測定する回路は、PSM0 モード中にも有効であり、したがって、この回路のキャリブレーションは、PSM0 モードまたは PSM1 モードのいずれかで行うことができます。ADE7868A と ADE7878A は、キャリブレーション・プロセスから生じる補正を記憶または処理するためのレジスタを提供しないことに注意してください。外部マイクロプロセッサは、これらの測定からのゲイン値を記憶し、PSM1 モード中にそれらを使用します。

PSM1 モードで完了した 20 ビット平均絶対値測定は、PSM0 モードで使用できます。ただし、MAV 値は、PSM0 モードでのみ実行され、xIRMS および xVRMS の 24 ビット・レジスタに格納される相電流および相電圧の実効値測定値とは異なります。詳細については、[電流平均絶対値の計算-ADE7868A と ADE7878A のみ](#)のセクションを参照してください。

ADE7868A/ADE7878A が、PSM0 モード用の構成のときに PSM1 モードに設定された場合、デバイスはすぐに平均絶対値計算を開始します。xIMAV レジスタはいつでもアクセス可能ですが、ADE7878A または ADE7868A が、PSM2 または PSM3 モード用の構成のときに PSM1 モードに設定された場合、ADE7868A/ADE7878A は、 $\overline{\text{IRQ1}}$ ピンをローに駆動することによって、平均絶対値計算の開始を告げます。xIMAV レジスタは、 $\overline{\text{IRQ1}}$ ピンがローになった後にはのみアクセスできます。

PSM2 低電力モード (ADE7868A と ADE7878A のみ)

PSM2 低電力モード (PSM2 モード) は、ADE7868A と ADE7878A でのみ使用できます。PSM2 モードは、電圧入力がなく、外部バッテリーが ADE7868A/ADE7878A に電圧源を供給する場合に、電流の監視に必要な消費電力を削減します。

PSM2 モードは、全ての相電流を監視し、それらをプログラム可能な閾値と比較することによって、中性なしのタンパ状態を検出します。いずれかの相電流がプログラム可能な期間にわたってプログラム可能な閾値を超えた場合、デバイスは、タンパ攻撃が発生したと想定します。全ての電流がプログラム可能な閾値より低いままの場合は、タンパ攻撃は発生せず、停電が発生するだけです。

中性なしのタンパ状態が発生すると、外部マイクロプロセッサは、ADE7868A/ADE7878A を PSM1 モードに設定し、相電流の平均絶対値を測定し、これらの値および公称電圧に基づいて電力量を積分します。このモードでは、I²C または SPI ポートは機能しません。

PGA1 ゲインが 1 または 2 の場合は、ADE7868A/ADE7878A を PSM2 モードで使用することを推奨します。PGA1 は、電流チャンネル・データ経路のゲインを表します。PGA1 ゲインが 4、8 または 16 の場合は、ADE7868A または ADE7878A を PSM2 モードで使

用しないでください。
2 つの PSM2 動作モード、PSM2 割込みモードと PSM2 $\overline{\text{IRQ1}}$ 専用モードが使用可能です。PSM2 割込みモードはデフォルト・モードです。外部タイマーの使用が可能な場合は、PSM2 $\overline{\text{IRQ1}}$ 専用モードを使用してください。

PSM2 レベル閾値の比較は、ピーク検出方法に基づいています。ピーク検出回路は、正の端子電流チャンネル入力、 I_{AP} 、 I_{BP} および I_{CP} に基づいた比較を行います（図 24 参照）。差動入力電流チャンネルに印加される場合、図 24 は、各電流入力 I_{XP} および I_{XN} と、正味の差動電流 $I_{XP} - I_{XN}$ における差動逆位相信号を示します。

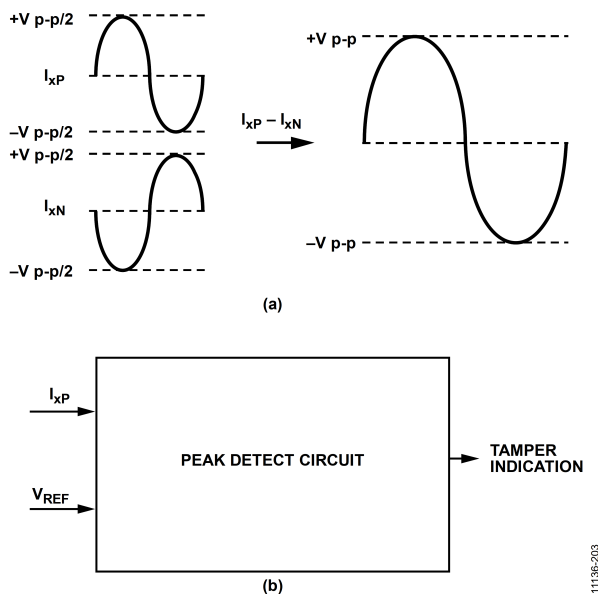


図 24. PSM2 低電力モードのピーク検出

PSM2 割込みモード（デフォルト）

PSM2 割込みモードでは、ADE7868A/ADE7878A は、プログラム可能な期間に、全ての相電流をプログラム可能な閾値と比較します。この間、1 つの相電流が閾値を超えると、カウンタ値がインクリメントされます。測定期間の終了時に、1 つの位相カウンタが $\text{LPLINE}[4:0] + 1$ 以上の場合、 $\overline{\text{IRQ1}}$ ピンはローにプル・ダウンされます。測定期間の終了時に、全ての位相カウンタが $\text{LPLINE}[4:0] + 1$ より小さいままの場合、 $\overline{\text{IRQ0}}$ ピンはローにプル・ダウンされます。

このように、 $\overline{\text{IRQ0}}$ ピンと $\overline{\text{IRQ1}}$ ピンの組み合わせを用いて、次のように測定結果が決定されます。

- $\overline{\text{IRQ0}}$ ピンはローにプル・ダウン：タンパは検出されませんでした。測定期間の終了時に、 $\overline{\text{IRQ0}}$ ピンがローにプル・ダウンされると、全ての相電流が定義された閾値より低く、したがってシステムに電流が流れていないことを示します。この場合、デバイスはタンパ状態を検出しません。外部マイクロプロセッサは、ADE7868A/ADE7878A を PSM3 スリープ・モードに設定します。

- $\overline{\text{IRQ1}}$ がローにプル・ダウン：中性なしのタンパ状態が検出されました。測定期間の終了時に、 $\overline{\text{IRQ1}}$ ピンがローにプル・ダウンされると、ADE7868A/ADE7878A ピンに電圧がかかっていなくても、少なくとも 1 つの電流入力に定義された閾値を超え、システムに電流が流れていることを示します。この状態は、中性なしのタンパ状態の発生を示します。この時点で、外部マイクロプロセッサは、ADE7868A/ADE7878A を PSM1 モードに設定し、相電流の平均絶対値を測定し、これらの値および公称電圧に基づいて電力量を積分します。

測定期間の設定

測定期間は、LPOILVL レジスタ（アドレス 0xEC00）のビット[7:3]（LPLINE[4:0]）で定義されます。測定期間はライン周波数に依存せず、次式で定義されます：

$$\text{Measurement Period (sec)} = 0.02 \times (\text{LPLINE}[4:0] + 10)$$

閾値の設定

閾値は、LPOILVL レジスタのビット[2:0]（LPOIL[2:0]）で定義されます（表 10 参照）。閾値レベルは、PGA が 1 に設定された信号レベル用です。LPOIL[2:0] = 111 の場合、閾値の絶対値は、通常、最大 $\pm 30\%$ 変動します。

表 10. LPOILVL レジスタ

ビット	ビット名	値	概要
[2:0]	LPOIL[2:0]		次の閾値に対応する入力信号レベル：
		000	71mV rms
		001	予約済み
		010	予約済み
		011	1mV rms
		100	予約済み
		101	予約済み
		110	予約済み
		111	0.471mV rms
[7:3]	LPLINE[4:0]		デフォルト値は 00000。
			PSM2 割込みモードでの測定期間は
			$0.02 \times (\text{LPLINE}[4:0] + 10)$ 秒
			PSM2 $\overline{\text{IRQ1}}$ 専用モードでの測定周期は
			$0.02 \times (\text{LPLINE}[4:0] + 1)$ 秒

図 25 に、各閾値レベル付近の代表的な変動を示します。図 25 の灰色の領域は、この機能によって期待される均一な結果が得られない可能性がある領域を示しています。この灰色の範囲外の電流レベルは、タンパ状態の検出に役立ちます。例えば、閾値を 0.471mV rms に設定すると、0.707mV rms を超える電流レベルと 0.353mV rms を下回る電流レベルに対して、信頼性の高いタンパ検出結果が得られます。

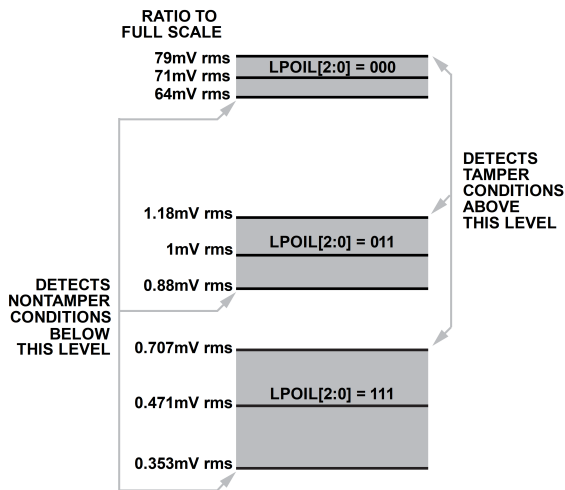


図 25. 各閾値の設定値付近の変動

図 26 に、LPLINE[4:0]=2 の場合の ADE7868A/ADE7878A の PSM2 モードの動作を示します。テスト期間は 50Hz (240 ミリ秒) で 12 サイクルであり、A 相電流は LPOIL[2:0] 閾値の 5 倍以上に増加します。カウンタ値が LPLINE[4:0] + 1 の内部カウンタ要件を超えているため、 $\overline{\text{IRQ1}}$ ピンはテスト期間の終了時にローにプル・ダウンされます。この結果は、中性なしのタンパ状態が発生したことを示唆しています。

PSM2 $\overline{\text{IRQ1}}$ 専用モード

PSM2 $\overline{\text{IRQ1}}$ 専用モードでは、 $\overline{\text{IRQ1}}$ ピンのみを使用してタンパ・イベントを示します。タンパ・イベントが発生しなかった場合、ADE7868A または ADE7878A からは何も告げられません。

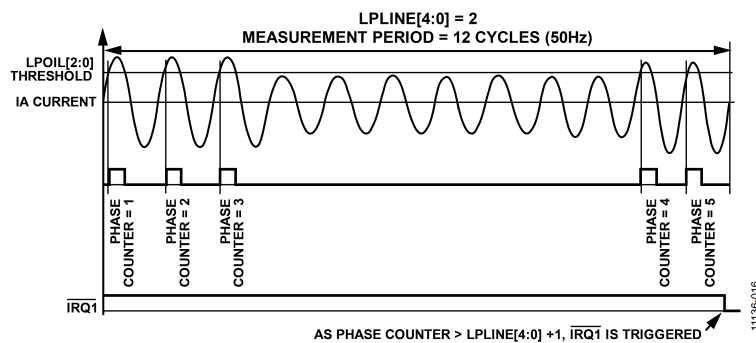


図 26. LPLINE[4:0] = 2 (50Hz システム) の場合、 $\overline{\text{IRQ1}}$ ピンをトリガする PSM2 割込みモード

$\overline{\text{IRQ0}}$ ピンを無効にして、PSM2 $\overline{\text{IRQ1}}$ 専用モードを有効にするには、CONFIG2 レジスタ (アドレス 0xEC01) のビット 2 (IRQ0_DIS) を 1 に設定します。このモードを選択すると、次の式で推奨測定期間が定義されます。

$$\text{Recommended Measurement Period (sec)} = 0.02 \times (\text{LPLINE}[4:0] + 1)$$

この測定期間中に待ち時間が必要なため、 $\overline{\text{IRQ1}}$ 割込みのステータスを確認する前に外付けタイマーを使用してください。デバイスが PSM2 モードにある間、内部位相カウンタ値はインクリメントし続けるため、測定期間は推奨期間より長くなることがあります。PSM3 モードに切り替えてから PSM2 モードに戻ると、デバイスは PSM2 割込みモード (デフォルトの PSM2 モード) に入ります。

PSM3 スリープ・モード (全てのデバイス)

PSM3 スリープ・モードは、全てのデバイス、すなわち ADE7854A、ADE7858A、ADE7868A、ADE7878A で使用できます。スリープ・モードでは、デバイスの内部回路のほとんどがターン・オフになり、電流消費は最低レベルになります。デバイスをスリープ・モードに設定するときは、 $\overline{\text{RESET}}$ 、SCLK/SCL、MOSI/SDA および $\overline{\text{SS}}/\text{HSA}$ ピンをハイに設定します。

PSM3 スリープ・モードでは、I²C、HSDC および SPI ポートは機能しません。

表 11. 電力モードと関連特性

電力モード	LPOILVL レジスタと CONFIG2 レジスタ	その他全てのレジスタ ¹	I ² C/SPI ポート	機能
PSM0 ハードウェア・リセット後	デフォルト値に設定する	デフォルト値に設定する	I ² C ポート・イネーブル	回路は全てアクティブで、 DSP はアイドル・モードで す
ソフトウェア・リセット後	不変	デフォルト値に設定する	ロックイン手順が以前に実行 された場合、アクティブな シリアル・ポートは不変です	回路は全てアクティブで、 DSP はアイドル・モードで す
PSM1 (ADE7868A と ADE7878A のみ)	PSM0 モード中に設定された 値は不変です	該当なし	I ² C または SPI ポートは イネーブルですが、機能は 制限されます	電流平均絶対値が計算され、 その結果が AIMAV、BIMAV および CIMAV レジスタに格 納されます
PSM2 (ADE7868A と ADE7878A のみ)	PSM0 モード中に設定された 値は不変です	該当なし	シリアル・ポート・ ディスエーブル	相電流を LPOILVL レジスタ に設定された閾値と比較し、 それに応じて IRQ0 または IRQ1 ピンをトリガします
PSM3	PSM0 モード中に設定された 値は不変です	該当なし	シリアル・ポート・ ディスエーブル	内部回路がシャットダウンさ れます

¹ LPOILVL および CONFIG2 レジスタを除く、全てのレジスタの設定。

表 12. 電力モードを変更する際の推奨処置

初期電力モード	次期電力モードを設定する 前の推奨処置	次期電力モード			
		PSM0	PSM1	PSM2	PSM3
PSM0	実行レジスタを 0x0000 に設 定して、DSP を停止します。 CONFIG レジスタのビット 6 (HSDCEN) を 0 にクリアし て、HSDC をディスエーブル にします。 MASK0 および MASK1 レジ スタを 0x0 に設定して、割込み をマスクします。 STATUS0 および STATUS1 レジスタの割込みステータ ス・フラグを消去します。		即時計算された電流平均絶 対値 (MAV)。 xIMAV レジスタは、すぐに アクセス可能になります。	IRQ0 または IRQ1 ピンが ローにプル・ダウンされる まで待機します。	処置は不要 です。
PSM1 (ADE7868A と ADE7878A のみ)	処置は不要です。	IRQ1 ピンがローにプル・ ダウンされるまで待機し ます。 ビット 15 (RSTDONE) が 1 に設定されるまで、 STATUS1 レジスタをポー リングします。		IRQ0 または IRQ1 ピンが ローにプル・ダウンされる まで待機します。	処置は不要 です。
PSM2 (ADE7868A と ADE7878A のみ)	処置は不要です。	IRQ1 ピンがローにプル・ ダウンされるまで待機し ます。 ビット 15 (RSTDONE) が 1 に設定されるまで、 STATUS1 レジスタをポー リングします。	IRQ1 ピンがローにプル・ダ ウンされるまで待機しま す。 IRQ1 ピンがローにプル・ダ ウンされた後に計算される 電流平均絶対値。 xIMAV レジスタは、IRQ1 ピ ンがローにプル・ダウンさ れた後にアクセス可能にな ります。		処置は不要 です。
PSM3	処置は不要です。	IRQ1 ピンがローにプル・ ダウンされるまで待機し ます。 ビット 15 (RSTDONE) が 1 に設定されるまで、 STATUS1 レジスタをポー リングします。	IRQ1 ピンがローにプル・ダ ウンされるまで待機しま す。 IRQ1 ピンがローにプル・ダ ウンされた後に計算される 電流平均絶対値。 xIMAV レジスタは、IRQ1 ピ ンがローにプル・ダウンさ れた後にアクセス可能にな ります。	IRQ0 または IRQ1 ピンが ローにプル・ダウンされる まで待機します。	

パワーアップ手順

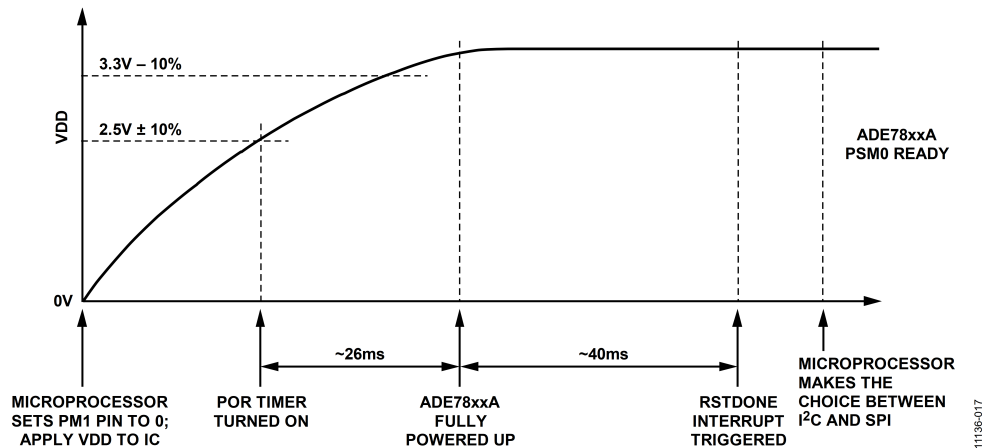


図 27. パワーアップ手順

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、電源電圧 (VDD) を監視するチップ内蔵電源モニタを搭載しています。パワーアップ時、デバイスは、VDD が $2.5V \pm 10\%$ に達するまで非アクティブです。VDD がこの閾値を超えると、電源モニタは更に 26 ミリ秒間、デバイスを非アクティブ状態に保ち、VDD が最小推奨電源電圧である $3.3V - 10\%$ まで上昇できるようにします。

PM0 および PM1 ピンには内部プルアップ抵抗がありますが、チップをパワーアップする前に、マイクロコントローラを介して、または PM1 ピンを外部で接地して、PM1 ピンをロジック 0 に設定する必要があります。PM0 ピンは、内部プルアップ抵抗により、ハイに保持されるため、オープン状態を維持できます。これにより、ADE7854A/ADE7858A/ADE7868A/ADE7878A は常に、PSM0 (通常) モードでパワーアップされます。チップが完全にパワーアップされてから、全ての機能が有効になるまでにかかる時間は、約 40 ミリ秒です (図 27 参照)。パワーアップ手順全体を通じて、RESET ピンがハイに保持されていることを確認する必要があります。

PSM0 モードが唯一の望ましい電力モードである場合、PM1 ピンは外付けのグラウンドに接続できます。ADE7854A/ADE7858A/ADE7868A/ADE7878A が PSM0 モードに入ると、I²C ポートがアクティブなシリアル・ポートになります。SPI ポートを使用するには、SS/HSA ピンをハイからローに 3 回トグルします。

I²C をアクティブなシリアル・ポートとしてロックするには、CONFIG2 レジスタのビット 1 (I2C_LOCK) を 1 に設定します。この時点から、デバイスは SS/HSA ピンの誤ったトグル操作を無視し、SPI ポートへの切り替えは不可能になります。

SPI がアクティブなシリアル・ポートである場合、CONFIG2 レジスタへの書き込みにより SPI ポートはロックされ、I²C ポートへの切り替えは不可能になります。I²C ポートを使用するには、ADE7854A/ADE7858A/ADE7868A/ADE7878A をパワーダウンするか、RESET ピンをローに設定して本デバイスをリセットする必要があります。シリアル・ポートがロックされると、デバイスが PSMx 電力モードを次々と変更しても、シリアル・ポートの選択は維持されます。

PSM0 モードに入った直後に、ADE7854A/ADE7858A/ADE7868A/ADE7878A 内の全てのレジスタは、CONFIG2 レジスタおよび LPOILVL レジスタを含めて、それらのデフォルト値に設定されます。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、IRQ1 の割込みピンをローにし、STATUS1 レジスタのビット 15 (RSTDONE) を 1 に設定することによって、遷移期間の終了を告げます。このビットは、遷移期間中に 0 にクリアされ、遷移の終了時に 1 に設定されます。RSTDONE ビットを 1 に設定して、STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、IRQ1 ピンがハイに戻ります。RSTDONE はマスク不可能な割込みであるため、STATUS1 レジスタのビット 15 (RSTDONE) は、IRQ1 ピンがハイに戻るためにキャンセルする必要があります。IRQ1 ピンがローになるまで待機してから、STATUS1 レジスタにアクセスして RSTDONE ビットの状態をテストします。この時点で、適切なプログラミング方法として、STATUS1 および STATUS0 レジスタ内の他の全てのステータス・フラグを、対応するビットに 1 を書き込むことによってキャンセルします。

最初、DSP はアイドル・モードにあり、したがって、いかなる命令も実行しません。この時点で、ADE7854A、ADE7858A、ADE7868A または ADE7878A 内の全てのレジスタを初期化します。全てのレジスタを初期化し、電力量計測を開始する適切な手順については、デジタル・シグナル・プロセッサ のセクションを参照してください。

電源電圧 VDD が $2.5V \pm 10\%$ より低くなると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、非アクティブ状態に入り、測定も計算も実行されなくなります。

ハードウェア・リセット

ADE7854A、ADE7858A、ADE7868A、ADE7878A には RESET ピンがあります。ADE7854A、ADE7858A、ADE7868A または ADE7878A が PSM0 モードにあり、RESET ピンがローに設定されると、デバイスはハードウェア・リセット状態に入ります。ハードウェア・リセットを実行するには、デバイスが PSM0 モードにある必要があります。デバイスが PSM1、PSM2 または PSM3 モードにあるときに、RESET ピンをローに設定しても、デバイスには影響しません。

ADE7854A、ADE7858A、ADE7868A または ADE7878A が PSM0 モードにあり、**RESET** ピンがハイからローにトグルされ、少なくとも 10 マイクロ秒後にハイに戻ると、CONFIG2 レジスタや LPOILVL レジスタを含む全てのレジスタがデフォルト値にリセットされます。

デバイスは、**IRQ1** の割込みピンをローにし、STATUS1 レジスタのビット 15 (RSTDONE) を 1 に設定することによって、遷移期間の終了を告げます。このビットは、遷移期間中に 0 にクリアされ、遷移が終了すると 1 にリセットされます。RSTDONE ビットを 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、**IRQ1** ピンがハイに戻ります。

ハードウェア・リセット後、DSP はアイドル・モードにあり、したがって、いかなる命令も実行しません。

I²C ポートは ADE7854A/ADE7858A/ADE7868A/ADE7878A のデフォルトのシリアル・ポートであるため、リセット後にアクティブになります。SPI が外部マイクロプロセッサで使用されるポートである場合、**RESET** ピンをハイにトグルした直後に、SPI をイネーブルする手順を繰り返す必要があります（詳細については、[シリアル・インターフェースの選択](#)のセクションを参照）。

ハードウェア・リセット後、ADE7854A/ADE7858A/ADE7868A/ADE7878A レジスタの全てのレジスタを初期化し、データ・メモリ RAM 保護を有効にしてから、実行レジスタに 0x0001 を書き込んで DSP を起動します。データ・メモリ RAM の保護および実行レジスタの詳細については、[デジタル・シグナル・プロセッサ](#)のセクションを参照してください。

ソフトウェア・リセット

CONFIG レジスタのビット 7 (SWRST) は、PSM0 モードでのソフトウェア・リセット機能を管理します。このビットのデフォルト値は 0 です。ビット 7 を 1 に設定すると、ADE7854A/ADE7858A/ADE7868A/ADE7878A はソフトウェア・リセット状態になります。この状態では、CONFIG2 と LPOILVL を除く全ての内部レジスタがデフォルト値にリセットされます。ロックイン手順が実行された場合、選択したシリアル・ポート (I²C または SPI) は不変になります（[シリアル・インターフェースの選択](#)のセクションを参照）。

ソフトウェア・リセットが終了すると、CONFIG レジスタのビット 7 (SWRST) が 0 にクリアされ、**IRQ1** の割込みピンがローに設定され、STATUS1 レジスタのビット 15 (RSTDONE) が 1 に設定されます。RSTDONE ビットは遷移期間中に 0 にクリアされ、遷移が終了すると 1 にリセットされます。RSTDONE ビットを 1 に設定して、STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、**IRQ1** ピンがハイにリセットされます。

ソフトウェア・リセット後、DSP はアイドル・モードにあり、したがって、いかなる命令も実行しません。システムの再始動は以下の手順で行います。

1. 全ての ADE7854A/ADE7858A/ADE7868A/ADE7878A レジスタを初期化します。
2. データ・メモリ RAM の保護を有効にします。
3. 実行レジスタに 0x0001 を書き込んで、DSP を起動します。
データ・メモリ RAM の保護および実行レジスタの詳細については、[デジタル・シグナル・プロセッサ](#)のセクションを参照してください。

ソフトウェア・リセット機能は、PSM1、PSM2 または PSM3 モードでは使用できません。

動作原理

アナログ入力

ADE7868A/ADE7878A には、電流／電圧チャンネルを形成する 7 つのアナログ入力があります。ADE7854A/ADE7858A には 6 つのアナログ入力がありますが、この 2 つのデバイスからは中性電流が除去されています。

電流チャンネルは、次の 4 対の完全差動電圧入力で構成されています：IAP と IAN、IBP と IBN、ICP と ICN、INP と INN。これらの電圧入力対の最大差動信号レベルは、 $\pm 0.5V$ ピークです。更に、各 IxP/IxN 対に対するアナログ入力の最大信号レベルは、AGND について $\pm 0.5V$ ピークです。入力で許容されるコモンモード信号の最大値は $\pm 25mV$ です。図 28 に、電流チャンネルに対する入力の回路図と、最大コモンモード電圧に対するそれらの関係を示します。

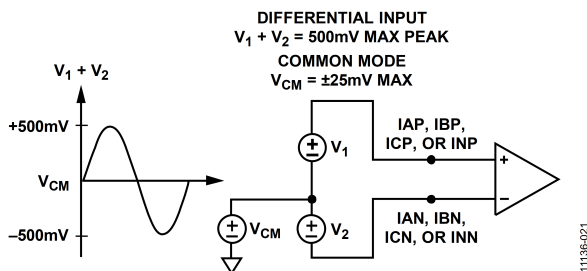


図 28. 最大入力レベル、電流チャンネル、ゲイン = +1

全ての入力には、1、2、4、8、16 からゲインの選択が可能なプログラマブル・ゲイン・アンプ (PGA) があります。IAx、IBx および ICx 入力のゲインは、ゲイン・レジスタのビット [2:0] (PGA1[2:0]) で設定します。ADE7868A と ADE7878A の場合のみ、INx チャンネル入力のゲインはゲイン・レジスタのビット [5:3] (PGA2[2:0]) で設定されるため、IAx、IBx または ICx 入力とは異なるゲインが可能です。ゲイン・レジスタの詳細については、表 42 を参照してください。電圧チャンネルには、3 つのシングルエンド電圧入力 VAP、VBP、VCP があります。これらのシングルエンド電圧入力の最大入力電圧は、VN を基準として $\pm 0.5V$ です。更に、VxP および VN に対するアナログ入力の最大信号レベルは、AGND を基準として $\pm 0.5V$ ピークです。入力で許容されるコモンモード信号の最大値は $\pm 25mV$ です。電圧チャンネル入力の回路図と、最大コモンモード電圧に対するそれらの関係については、図 29 を参照してください。

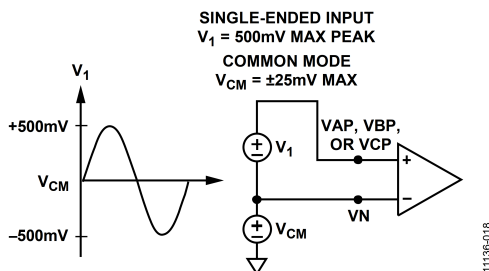


図 29. 最大入力レベル、電圧チャンネル、ゲイン = +1

全ての入力には、1、2、4、8、16 からゲイン選択が可能なプログラマブル・ゲイン・アンプ (PGA) があります。ゲインを設定するには、ゲイン・レジスタのビット [8:6] (PGA3[2:0]) を使用します (表 42 参照)。

図 30 に、ゲイン・レジスタからのゲイン選択が電流チャンネルと電圧チャンネルの両方でどのように機能するかを示します。

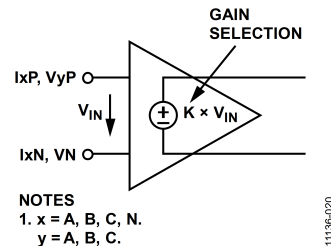


図 30. 電流チャンネルと電圧チャンネルの PGA

A/D 変換

ADE7868A/ADE7878A には、 Σ - Δ A/D コンバータ (ADC) が 7 つあり、ADE7854A/ADE7858A には、 Σ - Δ ADC が 6 つあります。

- PSM0 モードでは、ADC は全てアクティブです。
- PSM1 モードでは、A 相、B 相および C 相電流を測定する ADC のみがアクティブです。中性電流と A 相、B 相および C 相電圧を測定する ADC はターン・オフされています。
- PSM2 および PSM3 モードでは、ADC をパワーダウンさせて、電力消費を最小限に抑えます。

簡略化のため、図 31 のブロック図には 1 次 Σ - Δ ADC を示します。このコンバータは、 Σ - Δ 変調器とデジタル・ローパス・フィルタで構成されています。

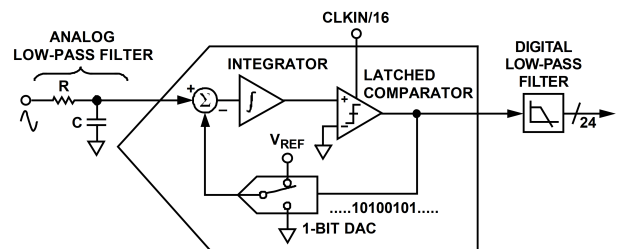


図 31. 1 次 Σ - Δ ADC

Σ - Δ 変調器は、入力信号を、サンプリング・クロックで決まる速度で 1 と 0 の連続シリアル・ストリームに変換します。ADE7854A/ADE7858A/ADE7868A/ADE7878A では、サンプリング・クロックは 1.024MHz (CLKIN/16) です。

帰還ループ内の 1 ビット DAC は、シリアル・データ・ストリームによって駆動されます。DAC 出力は入力信号から減算されます。ループ・ゲインが十分に高い場合、DAC 出力 (したがって、ビット・ストリーム) の平均値は、入力信号レベルの平均値に近づくことがあります。単一サンプリング間隔内のどのような入力値に対しても、1 ビット ADC からのデータは事実上無意味です。多数のサンプルが平均化された場合にのみ、意味のある結果が得られます。この平均化は、ADC の第 2 の部分 (デジタル・ローパス・フィルタ) で行われます。変調器からの多数のビットを平均化することにより、ローパス・フィルタは、入力信号レベルに比例した 24 ビットのデータワードを生成できます。

$\Sigma\Delta$ ADC は、本質的には 1 ビットの変換手法から得られる高分解能を実現するために、2つの手法を使用します。第1の手法はオーバーサンプリングです。オーバーサンプリングとは、対象帯域幅の何倍もの高い速度（周波数）で信号をサンプリングすることを意味します。例えば、ADE7854A/ADE7858A/ADE7868A/ADE7878A におけるサンプリング・レートは 1.024MHz であり、対象帯域幅は 40Hz~2kHz です。

オーバーサンプリングは、広い帯域幅にわたって量子化ノイズ（サンプリングによるノイズ）を拡散する効果があります。広帯域にわたってノイズが薄く拡散されると、対象帯域の量子化ノイズが低減します（図 32 参照）。しかし、オーバーサンプリングだけでは、対象帯域幅の S/N 比（SNR）を改善するには十分ではありません。例えば、S/N 比をわずか 6dB（1 ビット）増加させるには、オーバーサンプリング比を 4 とする必要があります。オーバーサンプリング比を適度なレベルに保つために、ノイズの大部分がより高い周波数になるように量子化ノイズをシェーピングできます。

$\Sigma\Delta$ 変調器では、ノイズは、量子化ノイズに対してハイパス型の応答をする積分器によってシェーピングされます。これは、高分解能の実現に使用される第 2 の手法です。その結果、ほとんどのノイズはより高い周波数側にあり、ここで、デジタル・ローパス・フィルタがノイズを除去します。このノイズ・シェーピングを図 32 に示します。

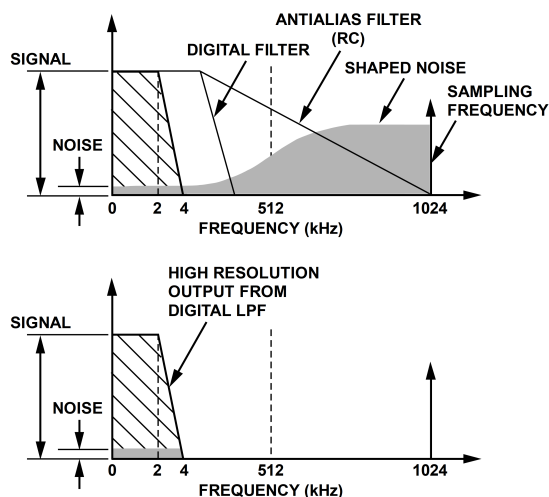


図 32. アナログ変調器でのオーバーサンプリングとノイズ・シェーピングによるノイズ低減

アンチエイリアシング・フィルタ

図 31 に、ADC への入力におけるアナログ・ローパス・フィルタ（RC）を示します。このフィルタは、ADE7854A/ADE7858A/ADE7868A/ADE7878A の外側に配置され、エイリアシングを防止する役割があります。エイリアシングは、図 33 に示すように、サンプリングされた全てのシステムのアーチファクトです。エイリアシングは、ADC のサンプリング・レートの半分より高い ADC への入力信号の周波数成分が、サンプリング・レートの半分より低い周波数でサンプリングされた信号に現れることを指します。サンプリング周波数（ナイキスト周波数とも呼ばれる 512kHz）の半分より高い周波数成分は、512kHz より低いところまでイメージ化または折り返されます。これは、アーキテクチャに関係なく、

全ての ADC で発生します。この例では、サンプリング周波数に近い周波数、すなわち 1.024MHz のみが、電力量計測の対象帯域、すなわち 40Hz~2kHz に移動します。高周波（1.024MHz 付近）のノイズを減衰させ、対象帯域の歪みを防ぐには、ローパス・フィルタ（LPF）を使用する必要があります。

従来の電流センサーでは、5kHz のコーナー周波数を有する RC フィルタを 1 つ用いて、1.024MHz のサンプリング周波数で十分に高い減衰を実現します。このフィルタの 20dB/decade の減衰は通常、従来の電流センサーのエイリアシングの影響を排除するのに十分なものです。ただし、ロゴスキー・コイルのような di/dt センサーの場合、そのゲインは 20dB/decade です。これは、LPF によって生成される 20dB/decade の減衰を相殺します。したがって、di/dt センサーを使用する場合は、20dB/decade のゲインをオフセットするように注意してください。1 つの簡単なアプローチは、追加の RC フィルタを 1 つカスケード接続することで、それによって -40dB/decade の減衰が生成されます。

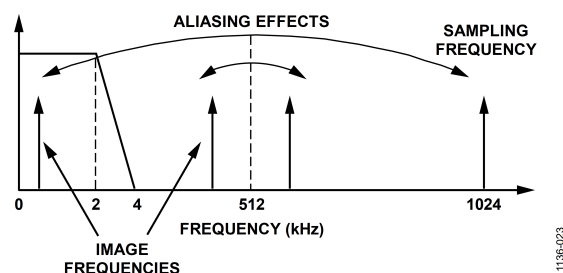


図 33. エイリアシングの影響

ADC の伝達関数

ADE7854A/ADE7858A/ADE7868A/ADE7878A の全ての ADC は、同じ入力信号レベルに対して同じ 24 ビットの符号付き出力コードを生成するように設計されています。フルスケール入力信号が 0.5V で内部リファレンスが 1.2V の場合、ADC 出力コードは名目上 5,928,256 (0x5A7540) です。ADC からのコードは、0x800000 (-8,388,608) と 0x7FFFFF (+8,388,607) の間で変動します。これは、 $\pm 0.707V$ の入力信号レベルに相当します。ただし、仕様規定されている性能の場合は、 $\pm 0.5V$ ピークの公称範囲を超えないようにします。ADC の性能は、 $\pm 0.5V$ ピークより低い入力信号に対してのみ確保されます。

電流チャンネルの ADC

図 35 に、IA 電流チャンネルの ADC および信号処理パスを示します。IB および IC 電流チャンネルの場合も同様です。ADC の出力は、符号付き、2 の補数の 24 ビット・データ・ワードであり、8kSPS（1000 サンプル/秒）の速度で利用できます。ADC は、仕様規定された $\pm 0.5V$ ピークのフルスケール・アナログ入力信号で、その最大出力コード値を生成します。ADC 出力は -5,928,256 (0xA58AC0) と +5,928,256 (0x5A7540) の間でスイングします。図 35 に、差動入力（IAP および IAN）に印加されるフルスケール電圧信号を示します。IN 電流チャンネルは、3 相システムの中性電流に対応しています（ADE7868A と ADE7878A でのみ使用可能）。中性線がない場合は、この入力を AGND に接続します。中性電流のデータ経路は相電流の経路と同様です（図 36 参照）。

電流波形ゲイン・レジスタ

各相電流および中性電流の信号経路には乗算器があります。電流波形は、対応する 2 の補数を 24 ビットの符号付き電流波形ゲイン・レジスタ (AIGAIN、BIGAIN、CIGAIN、NIGAIN) に書き込むことによって、±100%変化させることができます。例えば、xIGAIN レジスタに 0x400000 を書き込むと、ADC 出力が 50%スケール・アップします。出力を-50%スケールリングするには、これらのレジスタに 0xC00000 を書き込みます。**式 3** は、電流波形ゲイン・レジスタの機能を数学的に説明するものです。

$$\text{Current Waveform} = \text{ADC Output} \times \left(1 + \frac{\text{Contents of Current Gain Register}}{2^{23}} \right) \quad (3)$$

AIGAIN、BIGAIN、CIGAIN または NIGAIN レジスタの内容を変更すると、これらの各レジスタの電流に基づく全ての計算に影響します。つまり、各相の対応する有効/無効/皮相電力と電流実

効値の計算に影響します。更に、波形サンプルもそれに応じてスケールリングします。

ADE7854A、ADE7858A、ADE7868AおよびADE7878Aのシリアル・ポートは 32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作することに注意してください。24 ビットの AIGAIN、BIGAIN、CIGAIN および NIGAIN のレジスタは、4 つの最上位ビット (MSB) に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます (図 34 参照)。

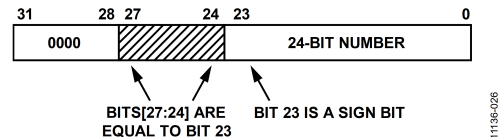


図 34. 32 ビット・ワードとして送信される 24 ビット xIGAIN レジスタ

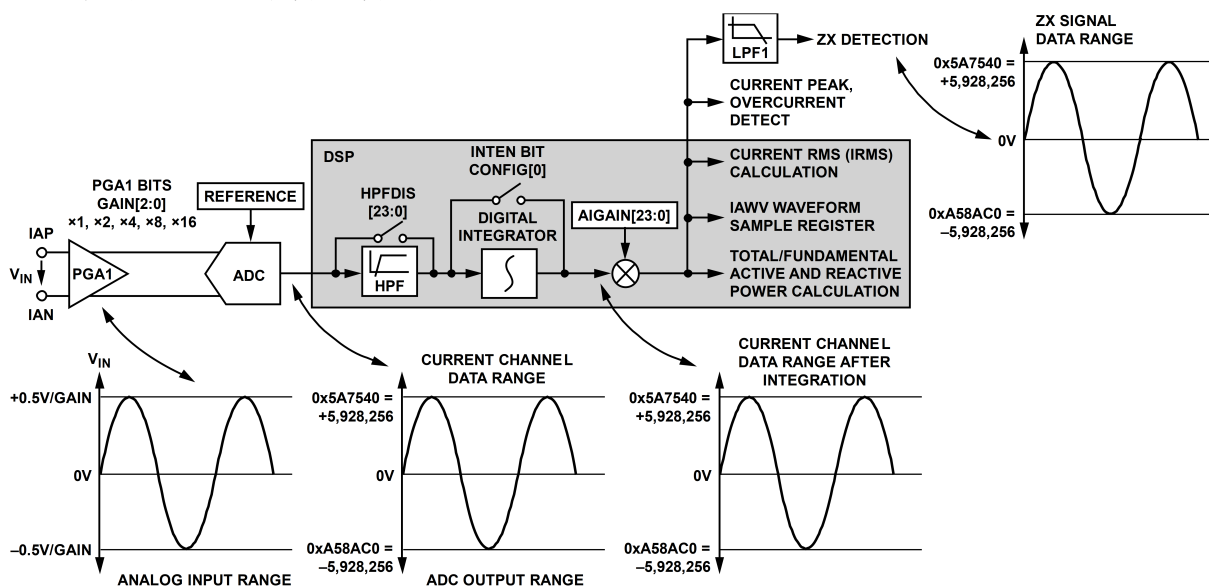


図 35. 相電流の信号経路

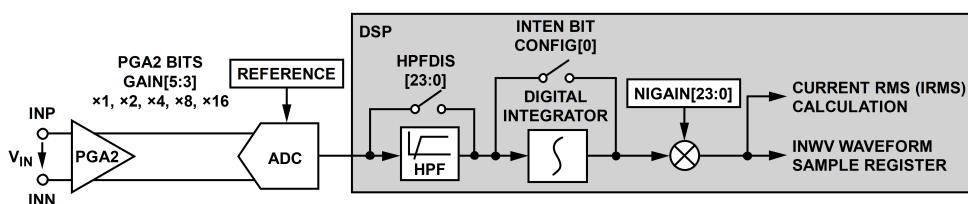


図 36. 中性電流の信号経路 (ADE7868A と ADE7878A のみ)

電流チャンネルのハイパス・フィルタ

ADC 出力は、直流オフセットを含む場合があります。このオフセットにより、電力および実効値の計算で誤差が発生する可能性があります。ハイパス・フィルタ (HPF) は、相電流および中性電流の信号経路と相電圧の信号経路に配置されます。HPF がイネーブルされると、電流チャンネルの直流オフセットが除去されます。全てのフィルタは DSP に実装されており、デフォルトでは全てイネーブルになっています。24 ビット HPFDIS レジスタは 0x000000 にクリアされます。HPFDIS をノンゼロ値に設定して、フィルタを全てディスエーブルにします。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A、ADE7858A、ADE7868A および ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。HPFDIS レジスタは、8 つの MSB に 0 が埋め込まれた 32 ビット・レジスタとしてアクセスされます (図 37 参照)。

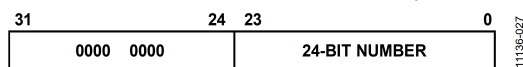


図 37. 32 ビット・ワードとして送信される
24 ビット HPFDIS レジスタ

電流チャンネルのサンプリング

電流チャンネルの波形サンプルは、8kSPS のレートで HPF の出力から取得され、24 ビットの符号付きレジスタである IAWV、IBWV、ICWV および INWV に格納されます (ADE7868A と ADE7878A のみ)。全ての電力と実効値の計算は、このプロセス中に中断されることはありません。STATUS0 レジスタのビット 17 (DREADY) は、PC または SPI シリアル・ポートを使用して IAWV、IBWV、ICWV および INWV レジスタを読み出せる場合に設定されます。MASK0 レジスタのビット 17 (DREADY) を設定すると、DREADY フラグが設定されたときに割込みの設定が可能になります。DREADY ビットの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。24 ビット符号付きレジスタの IAWV、IBWV、ICWV および INWV がデバイスから読み出されると (INWV は ADE7868A/ADE7878A でのみ使用可能)、32 ビットに符号拡張されて送信されます (図 38 参照)。

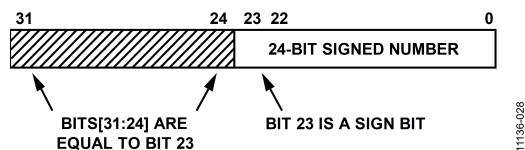


図 38. 32 ビット符号付きワードとして送信される
24 ビット IAWV レジスタ

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、波形サンプル・レジスタへの高速アクセスを提供するために特別に設計された高速データ・キャプチャ (HSDC) ポートを備えています。詳細については、HSDC インターフェースのセクションを参照してください。

di/dt 電流センサーとデジタル積分器

di/dt センサーは交流電流による磁場の変化を検出します。図 39 に di/dt 電流センサーの原理を示します。

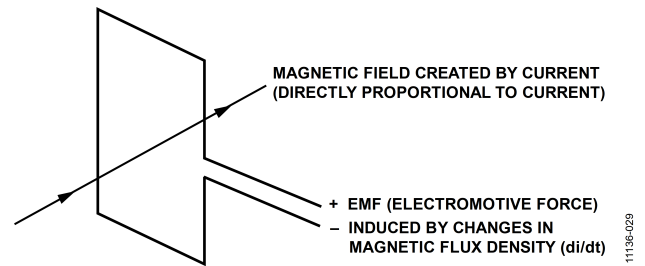


図 39. di/dt 電流センサーの原理

電流によって誘起される磁場の磁束密度は、電流の大きさに正比例します。導体ループを通過する磁束密度の変化は、ループの両端間に起電力 (EMF) を発生させます。EMF は、電流の di/dt に比例する電圧信号です。電流搬送導体と di/dt センサーとの間の相互インダクタンスは、di/dt 電流センサーからの電圧出力を決定します。

di/dt センサーは、電力計測に使用する前に、電流信号のフィルタリングを必要とします。相電流および中性電流の各データ経路には、di/dt センサーからの電流信号を回復するための内蔵デジタル積分器があります。ADE7854A/ADE7858A/ADE7868A/ADE7878A のパワーアップ時およびリセット後は、デジタル積分器はデフォルトでディスエーブルになっています。CONFIG レジスタのビット 0 (INTEN) を設定すると、積分器がターン・オンされます。図 40 と図 41 に、デジタル積分器のゲイン応答と位相応答を示します。

積分器には、-20dB/dec の減衰と約 -90° の位相シフトがあることに注意してください。di/dt センサーと組み合わせると、得られるゲイン応答と位相応答は、対象周波数帯域にわたって平坦となるはずですが、ただし、di/dt センサーは、それに関連する 20dB/dec のゲインを有し、かなりの高周波ノイズを発生します。少なくとも 2 次のアンチエイリアシング・フィルタは、ADC がサンプリングしているときに、対象帯域内でノイズ・エイリアシングを回避するために必要です (アンチエイリアシング・フィルタのセクションを参照)。

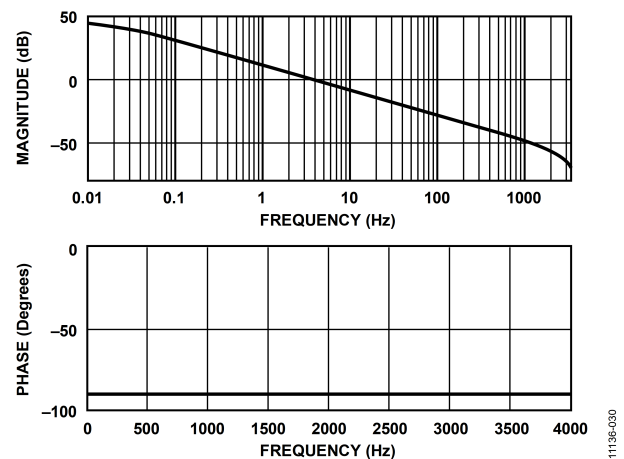


図 40. デジタル積分器のゲイン応答と位相応答

デジタル積分器アルゴリズムは、24 ビット符号付きレジスタの DICOEFF を使用します。パワーアップ時またはリセット後、その値は 0x000000 です。積分器をターン・オンする前に、このレジスタを 0xFFFF8000 で初期化する必要があります。積分器をターン・オフすると、DICOEFF は使用されず、0x000000 のままになります。

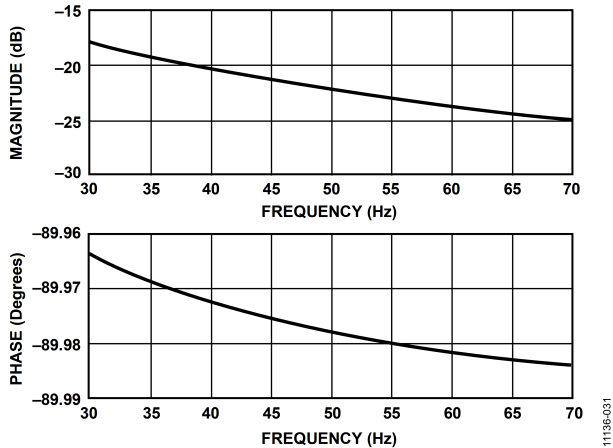


図 41. デジタル積分器のゲイン応答と位相応答 (40Hz~70Hz)

電流波形ゲイン・レジスタのセクションで説明したように、本デバイスのシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 34 に示すレジスタと同様に、24 ビット符号付きレジスタの DICOEFF は、4 つの MSB に 0 が埋め込まれた 32 ビット・レジスタとしてアクセスされます。したがって、24 ビット・ワードは 28 ビットに符号拡張され、事実上 0xFFFF8000 に等しい値で送信されます。

デジタル積分器のスイッチを切ると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、電流トランス (CT) などの従来の電流センサーと併用できます。

電圧チャンネルの ADC

図 42 に、VA 電圧チャンネルの ADC および信号処理チェーンを示します。VB および VC 電圧チャンネルにも同様の処理チェーンがあります。ADC の出力は符号付き、2 の補数の 24 ビット・ワードであり、8kSPS のレートで利用できます。仕様規定されている $\pm 0.5V$ ピークのフルスケール・アナログ入力信号で、ADC は最大の出力コード値を生成します。図 42 に、差動入力に印加されるフルスケール電圧信号 (V_{Ax} と V_N) を示します。ADC 出力は、-5,928,256 (0xA58AC0) と +5,928,256 (0x5A7540) との間でスケーリングします。

電圧波形ゲイン・レジスタ

各相電圧の信号経路には乗算器があります。電圧波形を $\pm 100\%$ 変化させるには、対応する 2 の補数を 24 ビットの符号付き電圧波形ゲイン・レジスタ (AVGAIN、BVGAIN、CVGAIN) に書き込みます。例えば、これらのレジスタに 0x400000 を書き込むと、ADC 出力が 50%スケール・アップします。出力を -50%スケール・アップするには、レジスタに 0xC00000 を書き込みます。式 4 は、電圧波形ゲイン・レジスタの機能を説明するものです。

Voltage Waveform =

$$ADC \text{ Output} \times \left(1 + \frac{\text{Contents of Voltage Gain Register}}{2^{23}} \right) \quad (4)$$

AVGAIN、BVGAIN および CVGAIN レジスタの内容を変更すると、その電圧に基づく全ての計算に影響します。つまり、各相の対応する有効/無効/皮相電力量および電圧実効値の計算に影響し、波形サンプルはそれに応じてスケール・アップされます。

電流波形ゲイン・レジスタのセクションで説明したように、本デバイスのシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。図 34 に示すように、AVGAIN、BVGAIN および CVGAIN レジスタは、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

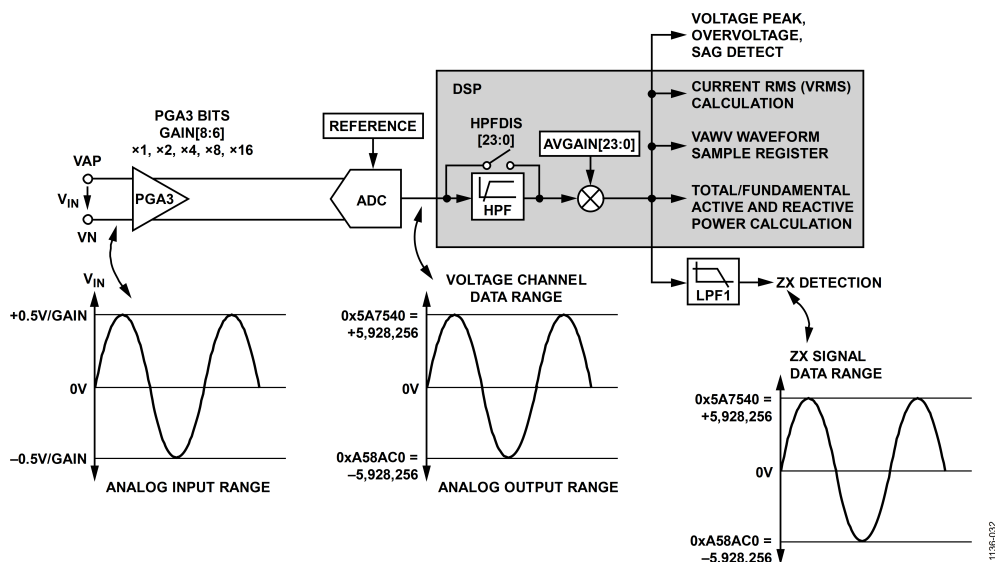


図 42. 電圧チャンネルのデータ経路

電圧チャンネルの HPF

電流チャンネルのハイパス・フィルタのセクションで説明したように、ADC 出力は、電力および実効値計算で誤差を発生させる可能性のある直流オフセットを含む場合があります。HPF は、電流チャンネルのものと同様に、相電圧の信号経路に配置します。HPFDIS レジスタは、フィルタをイネーブルまたはディスエーブルにします。詳細については、電流チャンネルのハイパス・フィルタのセクションを参照してください。

電圧チャンネルでのサンプリング

電圧チャンネルの波形サンプルは、8kSPS のレートで HPF の出力から取得され、VAWV、VBWV および VCWV の 24 ビット符号付きレジスタに格納されます。全ての電力と実効値の計算は、このプロセス中に中断されることはありません。STATUS0 レジスタのビット 17 (DREADY) は、I²C または SPI シリアル・ポートを用いて、VAWV、VBWV および VCWV レジスタを読み出せる場合に設定されます。MASK0 レジスタのビット 17 (DREADY) を設定すると、DREADY フラグが設定されたときに割込みの設定が可能になります。DREADY ビットの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 38 に示すレジスタと同様に、VAWV、VBWV および VCWV の 24 ビット符号付きレジスタは、32 ビットに符号拡張されて送信されます。

ADE7854A/ADE7858A/ADE7868A/ADE7878A はそれぞれ、波形サンプル・レジスタへの高速アクセスを提供するために特別に設計された HSDC ポートを備えています。詳細については、HSDC インターフェースのセクションを参照してください。

相電圧データ経路の変更

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、1 つの相電圧入力を別の相の計算データ経路に振り向けることができます。例えば、A 相電圧を B 相の計算データ経路に導入できます。これは、B 相で ADE7854A/ADE7858A/ADE7868A/ADE7878A によって計算される全ての電力が、A 相電圧および B 相電流に基づくことを意味します。

CONFIG レジスタのビット[9:8] (VTOIA[1:0]) は、どの相電圧が A 相の計算データ経路に振り向けられるかを管理します。VTOIA[1:0] = 00 (デフォルト値) の場合、A 相の電圧は A 相の計算データ経路に振り向けられます。VTOIA[1:0] = 01 の場合、B 相の電圧は A 相の計算データ経路に振り向けられます。VTOIA[1:0] = 10 の場合、C 相の電圧は A 相の計算データ経路に振り向けられます。VTOIA[1:0] = 11 の場合、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、VTOIA[1:0] = 00 の場合と同様に動作します。

CONFIG レジスタのビット[11:10] (VTOIB[1:0]) は、どの相電圧が B 相の計算データ経路に振り向けられるかを管理します。VTOIB[1:0] = 00 (デフォルト値) の場合、B 相の電圧は B 相の計算データ経路に振り向けられます。VTOIB[1:0] = 01 の場合、C 相の電圧は B 相の計算データ経路に振り向けられます。VTOIB[1:0] = 10 の場合、A 相の電圧は B 相の計算データ経路に振り向けられます。VTOIB[1:0] = 11 の場合、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、VTOIB[1:0] = 00 の場合と同様に動作します。

CONFIG レジスタのビット[13:12] (VTOIC[1:0]) は、どの相電圧が C 相の計算データ経路に振り向けられるかを管理します。VTOIC[1:0] = 00 (デフォルト値) の場合、C 相の電圧は C 相の計算データ経路に振り向けられます。VTOIC[1:0] = 01 の場合、A 相の電圧は C 相の計算データ経路に振り向けられます。VTOIC[1:0] = 10 の場合、B 相の電圧は C 相の計算データ経路に振り向けられます。VTOIC[1:0] = 11 の場合、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、VTOIC[1:0] = 00 の場合と同様に動作します。

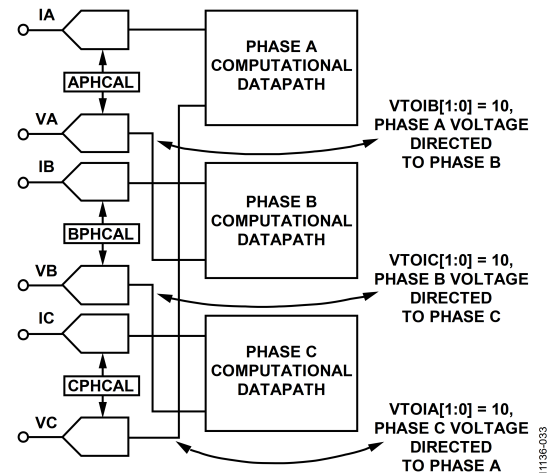


図 43. 異なるデータ経路で使用する相電圧

図 43 は、A 相の電圧が B 相のデータ経路で使用され、B 相の電圧が C 相のデータ経路で使用され、C 相の電圧が A 相のデータ経路で使用される場合を示しています。

電力品質の測定

ゼロ交差検出

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、相電流および相電圧チャンネルでのゼロ交差 (ZX) 検出回路を備えています。中性電流データ経路には、ゼロ交差検出回路は含まれていません。ゼロ交差イベントは、様々な電力品質測定およびキャリブレーション・プロセスの時間基準として機能します。

LPF1 の出力はゼロ交差イベントを発生します。ローパス・フィルタは、50Hz および 60Hz システムの全ての高調波を除去するため、電流/電圧チャンネルでの基本波成分におけるゼロ交差イベントの特定に役立ちます。

デジタル・フィルタは 80Hz に極があり、256kHz でクロックされます。その結果、アナログ入力信号 (IA, IB, IC, VA, VB および VC 信号の各対のうちの 1 つ) と LPF1 の出力との間に位相遅れが生じます。ZX 検出の誤差は、50Hz システムでは 0.0703° (60Hz システムでは 0.0843°) です。LPF1 の位相遅れ応答によって、50Hz において入力と出力の間に約 31.4° (1.74 ミリ秒) の時間遅れが生じます。アナログ入力のゼロ交差と、LPF1 の後に得られる ZX 検出との間の全体の遅延は、50Hz で約 39.6° (2.2 ミリ秒) です。ADC と HPF によって更に遅延が追加されます。ZX 検出で良好な分解能を確保するため、LPF1 はディスエーブルできません。図 45 に、ゼロ交差信号がどのように検出されるかを示します。

ノイズからの保護を高めるために、電圧チャンネルへの入力信号の振幅がフルスケールの 10%より低い場合は、ゼロ交差イベントを全く発生しません。電流チャンネルの ZX 検出回路は、振幅に関係なく、全ての入力信号に対して機能します。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、相電圧および相電流チャンネルごとに 1 つ、計 6 つのゼロ交差検出回路を備えています。各回路は、STATUS1 レジスタの 1 つのフラグを駆動します。A 相の電圧チャンネルに配置された回路が 1 つのゼロ交差イベントを検出すると、STATUS1 レジスタのビット 9 (ZXVA) が 1 に設定されます。

同様に、B 相の電圧回路はビット 10 (ZXVB) を駆動し、C 相の電圧回路はビット 11 (ZXVC) を駆動し、電流チャンネルに配置された回路は、STATUS1 レジスタのビット 12 (ZXIA)、ビット 13 (ZXIB) およびビット 14 (ZXIC) を駆動します。ZX 検出ビットが MASK1 レジスタに設定されている場合、 $\overline{\text{IRQ1}}$ 割込みピンはローに駆動され、対応するステータス・フラグは 1 に設定されます。ステータス・ビットを 1 に設定した STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイに設定されます。

ゼロ交差タイムアウト

全てのゼロ交差検出回路には、関連するタイムアウト・レジスタがあります。このレジスタには、16 ビットの ZXTOUT レジスタに書き込まれた値がロードされ、62.5 マイクロ秒 (16kHz クロック) ごとにデクリメント (1LSB) されます。ゼロ交差が検出されるたびに、レジスタは ZXTOUT 値にリセットされます。このレジスタのデフォルト値は 0xFFFF です。ゼロ交差が検出される前に、タイムアウト・レジスタが 0 にデクリメントされる場合、STATUS1 レジスタのビット [8:3] の 1 つが 1 に設定されます。STATUS1 レジスタのビット 3 (ZXTOVA)、ビット 4 (ZXTOVB) およびビット 5 (ZXTOVC) は、電圧チャンネルの A 相、B 相および C 相を指します。STATUS1 レジスタのビット 6 (ZXTOIA)、ビット 7

(ZXTOIB) およびビット 8 (ZXTOIC) は、電流チャンネルの A 相、B 相および C 相を指します。

MASK1 レジスタの ZXTOIx または ZXTOVx ビットを設定すると、対応するステータス・ビットが 1 に設定されているときに、 $\overline{\text{IRQ1}}$ 割込みピンがローに駆動されます。ステータス・ビットを 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイに戻ります。

ZXTOUT レジスタの分解能は、62.5 マイクロ秒/LSB (16kHz クロック) です。したがって、割込みの最大タイムアウト時間は 4.096 秒 ($2^{16}/16\text{kHz}$) です。

図 44 に、電圧または電流信号を一定の直流レベルで、62.5 マイクロ秒 $\times$ ZXTOUT マイクロ秒以上の間保持した場合の、ゼロ交差タイムアウト検出のメカニズムを示します。

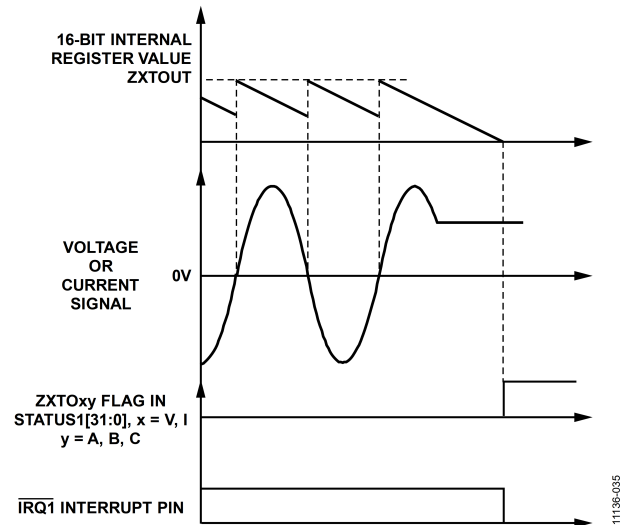


図 44. ゼロ交差タイムアウトの検出

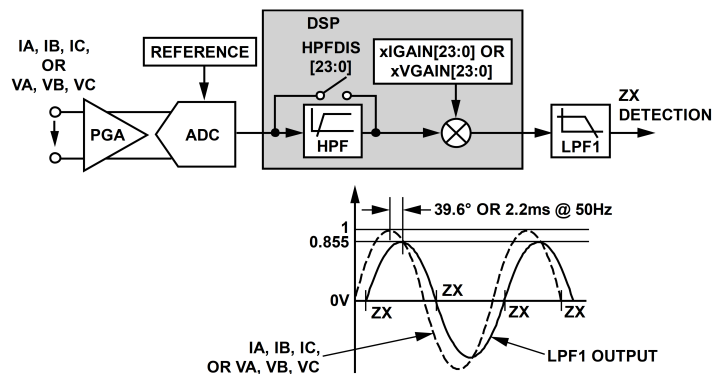


図 45. 電圧／電流チャンネルでのゼロ交差検出

相シーケンスの検出

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、チップ内蔵の相シーケンス・エラー検出回路を備えています。この検出は相電圧に作用し、負から正への遷移によって決定されるゼロ交差のみを考慮します。

ゼロ交差イベントの正常な順序は、A 相、B 相、C 相の順です（図 47 参照）。ゼロ交差イベントのシーケンスが、代わりに A 相、C 相、B 相の順となった場合、STATUS1 レジスタのビット 19（SEQERR）が設定されます。

MASK1 レジスタのビット 19（SEQERR）を 1 に設定し、相シーケンス・エラー・イベントをトリガすると、 $\overline{\text{IRQ1}}$ 割込みピンがローに駆動されます。ビット 19（SEQERR）を 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイに設定されます。

相シーケンス・エラー検出回路は、デバイスが 3 相 4 線式、3 電圧センサー構成（ACCMODE レジスタのビット[5:4]、CONSEL[1:0] を 00 に設定）で接続されている場合にのみ機能します。他の全ての構成では、2 つの電圧センサーのみが使用されるため、これらの場合には検出回路を使用しないでください。代わりに、相電圧間の時間間隔を使用して相シーケンスを解析します（相間の時間間隔のセクションを参照）。

図 46 に、A 相電圧の後に B 相電圧が続くのではなく、A 相電圧の後に C 相電圧が続く場合を示します。負から正へのゼロ交差が発生するたびに、STATUS1 レジスタのビット 19（SEQERR）が 1 に設定されます。これは、C 相、B 相または A 相でのゼロ交差が、それぞれ A 相、C 相または B 相からのゼロ交差に追従できないためです。

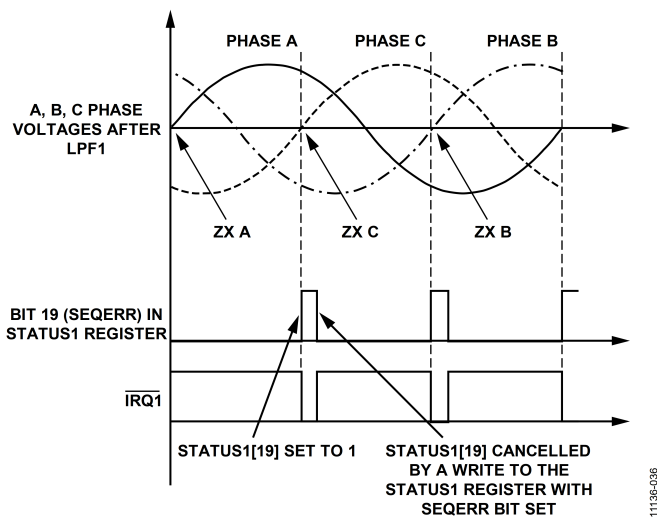


図 46. A 相電圧の後に C 相電圧が続く場合、SEQERR ビットを 1 に設定

相シーケンス・エラーが検出された場合、様々な相電圧間の時間測定（相間の時間間隔のセクションを参照）は、どの相電圧が計算データ経路内の別の相電流と共に考慮されるべきかを特定するのに役立ちます。CONFIG レジスタのビット[9:8]（VTOIA[1:0]）、ビット[11:10]（VTOIB[1:0]）およびビット[13:12]（VTOIC[1:0]）を用いて、ある相電圧を別の相のデータ経路に振り向けます。詳細については、相電圧データ経路の変更のセクションを参照してください。

相間の時間間隔

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、相電圧間、相電流間、または同相の電圧と電流間の時間遅延を測定できます。ゼロ交差検出回路によって特定される負から正への遷移は、測定の開始点および終了点として機能します。COMP MODE レジスタのビット[10:9]（ANGLESEL[1:0]）に基づいて、このような測定値は一度に 1 組しか利用できません。

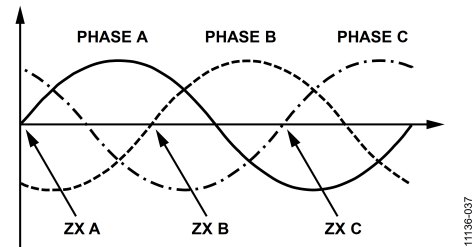


図 47. A 相、B 相、C 相の正常な順序

電圧と電流の間の遅延

同相の電圧と電流の間の遅延を測定するには、ANGLESEL[1:0] ビットをデフォルト値の 00 に設定します。A 相電圧と A 相電流の間の遅延は、16 ビットの符号なし ANGLE0 レジスタに格納されます（図 48 参照）。同様に、B 相と C 相の電圧と電流の間の遅延は、それぞれ ANGLE1 レジスタと ANGLE2 レジスタに格納されます。

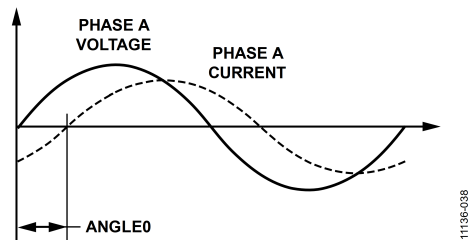


図 48. A 相電圧と A 相電流の間の遅延を ANGLE0 レジスタに格納

相電圧間の遅延

相電圧間の遅延を測定するには、ANGLESEL[1:0] ビットを 01 に設定します。A 相電圧と C 相電圧の間の遅延は、ANGLE0 レジスタに格納されます。B 相電圧と C 相電圧の間の遅延は、ANGLE1 レジスタに格納され、A 相電圧と B 相電圧の間の遅延は ANGLE2 レジスタに格納されます（図 49 参照）。

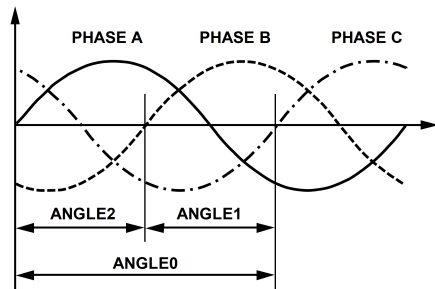


図 49. 相電圧間（相電流間）の遅延

相電流間の遅延

相電流間の遅延を測定するには、ANGLESEL[1:0]ビットを10に設定します。相電圧間の遅延と同様に、A相電流とC相電流の間の遅延はANGLE0レジスタに格納され、B相電流とC相電流の間の遅延はANGLE1レジスタに格納され、A相電流とB相電流の間の遅延はANGLE2レジスタに格納されます（図49参照）。

力率

ANGLE0、ANGLE1およびANGLE2レジスタは、16ビット符号なしレジスタで、1LSBは3.90625マイクロ秒（256kHzクロック）に相当し、分解能は50Hzシステムでは0.0703°（360°×50Hz/256kHz）、60Hzシステムでは0.0843°（360°×60Hz/256kHz）です。相電圧間または相電流間の遅延は、負荷のバランスの特性を左右します。式5に示すように、相電圧間および相電流間の遅延は、各相の力率の計算に使用されます。

$$\cos\varphi_x = \cos\left[ANGLE_x \times \frac{360^\circ \times f_{LINE}}{256 \text{ kHz}}\right] \quad (5)$$

ここで、 f_{LINE} = 50Hz または 60Hz。

周期測定

ADE7854A/ADE7858A/ADE7868A/ADE7878Aは、電圧チャンネルのラインの周期測定を行います。この測定で使用する相電圧は、MMODEレジスタのビット[1:0]（PERSEL[1:0]）で選択します。周期レジスタは、16ビットの符号なしレジスタで、ライン周期ごとに更新されます。LPF1フィルタ（図45参照）があるため、このフィルタに関連して、測定が安定するまで30ミリ秒～40ミリ秒のセトリング時間があります。

周期測定の分解能は3.90625マイクロ秒/LSB（256kHzクロック）であり、これはライン周波数が50Hzのとき0.0195%（50Hz/256kHz）、ライン周波数が60Hzのとき0.0234%（60Hz/256kHz）を表します。周期レジスタの値は、50Hzネットワークでは約5120（256kHz/50Hz）、60Hzネットワークでは約4267（256kHz/60Hz）です。レジスタのサイズが大きいため、3.9Hz（256kHz/216）という低いライン周波数の測定が可能です。周期レジスタは、ラインが確定し、測定が変化しないとき、±1LSBで安定します。

周期レジスタを用いてライン周期と周波数を計算するには、次式を使用します。

$$T_L = \frac{PERIOD[15:0] + 1}{256 \times 10^3} [\text{sec}] \quad (6)$$

$$f_L = \frac{256 \times 10^3}{PERIOD[15:0] + 1} [\text{Hz}] \quad (7)$$

相電圧のサグ検出

ADE7854A/ADE7858A/ADE7868A/ADE7878Aは、任意の相電圧の絶対値が、一定のハーフ・ライン・サイクル数の間、特定のピーク値を下回った場合にこれを検出するようにプログラムできます。

このイベントが発生する相は、PHSTATUSレジスタのビット[14:12]（VSPHASE[x]）で特定されます。この条件の例については、図50を参照してください。

図50は、A相の電圧が、4ハーフ・ライン・サイクル（SAGCYC = 4）の間、サグ・レベル・レジスタ（SAGLVL）で設定される閾値を下回ることを示します。この条件を示すためにSTATUS1レジスタのビット16（サグ）が1に設定されると、サグ・イベントがA相で発生したため、PHSTATUSレジスタのビットVSPHASE[0]も1に設定されます。サグ・ビットが1に設定されたSTATUS1レジスタに書き込むと、（VSPHASE[0]ビットだけでなく）PHSTATUSレジスタの全てのビット[14:12]（VSPHASE[2]、VSPHASE[1]、VSPHASE[0]）が消去されます。

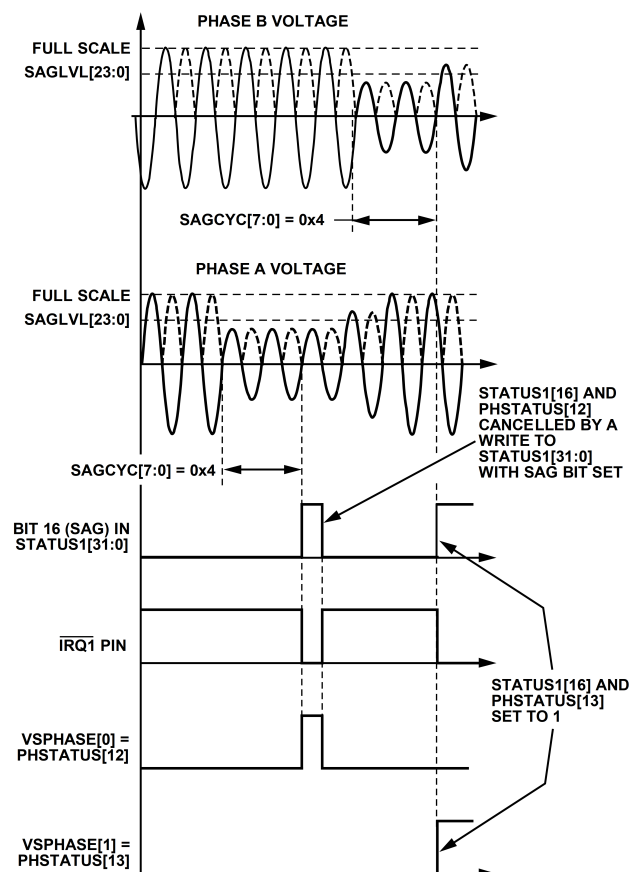


図 50. サグ検出

SAGCYC レジスタは、サグ状態をトリガするために相電圧が SAGLVL レジスタに示されたレベルより低いままでなければならぬハーフ・ライン・サイクルの回数を表します。0 は SAGCYC の有効な数値ではありません。例えば、サグ・サイクル (SAGCYC[7:0]) に 0x07 が含まれる場合、STATUS1 レジスタのサグ・フラグは、ライン電圧が閾値を下回る 7 番目のハーフ・ライン・サイクルの終了時に設定されます。MASK1 のビット 16 (サグ) が設定されている場合、サグ・イベント中に STATUS1 レジスタのステータス・ビット 16 (サグ) が 1 に設定されると同時に、 $\overline{\text{IRQI}}$ 割込みピンがローに駆動されます。ステータス・ビットを 1 に設定して STATUS1 レジスタに書き込むと、STATUS1 レジスタのサグ・ステータス・ビットがクリアされ、PHSTATUS レジスタのビット [14:12] (VSPHASE[2]、VSPHASE[1]、VSPHASE[0]) がクリアされ、 $\overline{\text{IRQI}}$ ピンがハイに戻ります。

B 相の電圧が 2 ライン・サイクルの間、SAGLVL レジスタの指定閾値を下回ると、PHSTATUS レジスタのビット VSPHASE[1] は 1 に設定され、ビット VSPHASE[0] は 0 にクリアされます。同時に、STATUS1 レジスタのビット 16 (サグ) が 1 に設定され、サグ状態を示します。

内部ゼロ交差カウンタは常にアクティブであることに注意してください。SAGLVL レジスタを設定することにより、最初のサグ検出結果は、SAGCYC 全期間にわたって得られません。SAGCYC レジスタに書き込む前に SAGLVL を初期化すると、ゼロ交差カウンタがリセットされるため、最初のサグ検出結果が SAGCYC 全期間にわたって得られます。

サグ・イベントを管理するには、次の手順に従います。

1. MASK1 レジスタのビット 16 (サグ) を 1 に設定して、サグ割込みをイネーブルにします。
2. サグ・イベントが発生し、 $\overline{\text{IRQI}}$ 割込みピンがローになると、STATUS1 レジスタのビット 16 (サグ) が 1 に設定されます。
3. ビット 16 (サグ) が 1 に設定された STATUS1 レジスタを読み出します。
4. PHSTATUS レジスタを読み出し、サグ・イベントが発生した相を特定します。
5. サグ・ビットと、PHSTATUS レジスタのビット [14:12] (VSPHASE[2]、VSPHASE[1]、VSPHASE[0]) をすぐに消去するには、ビット 16 (サグ) を 1 に設定して STATUS1 レジスタに書き込みます。

サグ・レベルの設定

サグ・レベル・レジスタ SAGLVL[23:0] の内容は HPF 出力の絶対値と比較されます。SAGLVL レジスタに 5,928,256 (0x5A7540) を書き込むと、サグ検出レベルがフルスケールに設定されます (電圧チャンネルの ADC のセクションを参照)。したがって、サグ・イベントは連続的にトリガされます。0x00 または 0x01 を書き込むと、サグ検出レベルが 0 に設定されます。したがって、サグ・イベントはトリガされません。

ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32 ビット、16 ビットまたは 8 ビット・ワードで動作します (電流波形ゲイン・レジスタのセクションを参照)。図 37 に示すレジスタと同様に、SAGLVL レジスタは、8 つの MSB に 0 が埋め込まれた 32 ビット・レジスタとしてアクセスされます。

ピーク検出

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、特定の回数のハーフ・ライン・サイクルにわたって電圧／電流チャンネルが到達した最大絶対値を記録し、それらを 32 ビット・レジスタ VPEAK および IPEAK の最下位 24 ビットに格納します。

PEAKCYC レジスタは、測定のための時間基準として使用されるハーフ・ライン・サイクルの回数を格納します。この回路は、ゼロ交差検出回路によって特定されるゼロ交差点を使用します。MMODE レジスタのビット [4:2] (PEAKSEL[2:0]) は、ピーク測定を行う相を選択します。ビット 2 は A 相を選択し、ビット 3 は B 相を選択し、ビット 4 は C 相を選択します。ピーク値を監視するために複数の相を選択すると、より多くの相からのゼロ交差がプロセスに含まれるため、PEAKCYC レジスタに示される測定期間が比例的に減少します。

新しいピーク値が決定されると、IPEAK および VPEAK レジスタのビット [26:24] (IPPHASE[2:0] または VPPHASE[2:0]) のいずれかが 1 に設定され、ピーク検出イベントをトリガした相が特定されます。例えば、A 相の電流でピークが検出された場合、IPEAK レジスタのビット 24 (IPPHASE[0]) は 1 に設定されます。次に、B 相で新たなピーク値が測定されると、IPEAK レジスタのビット 24 (IPPHASE[0]) が 0 にクリアされ、IPEAK レジスタのビット 25 (IPPHASE[1]) が 1 に設定されます。図 51 は、IPEAK および VPEAK レジスタの構成を示しています。

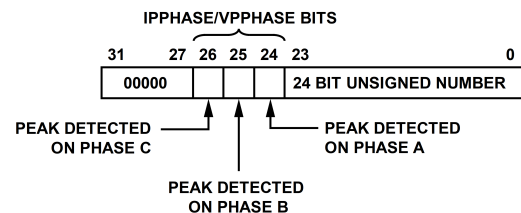


図 51. IPEAK[31:0] および VPEAK[31:0] レジスタの構成

図 52 に、ADE7854A、ADE7858A、ADE7868A および ADE7878A が、A 相および B 相での測定が有効になっている場合 (MMODE レジスタの PEAKSEL[2:0] ビットが 011) に、電流チャンネルでピーク値を記録する方法を示します。PEAKCYC レジスタは 16 に設定されています。これは、ピーク計測サイクルが 4 ライン周期であることを意味します。

A 相の最大絶対値は、最初の 4 ライン周期 (PEAKCYC=16) の間で最大であり、したがって、最大絶対値は、IPEAK レジスタの最下位 24 ビットに書き込まれ、IPEAK レジスタのビット 24 (IPPHASE[0]) は、周期の終了時に 1 に設定されます。このビットは、4 ライン・サイクルの 2 番目の PEAKCYC 周期の間、1 のままです。

B 相の最大絶対値は、2 番目の PEAKCYC 周期の間の最大値であり、したがって、最大絶対値は、IPEAK レジスタの最下位 24 ビットに書き込まれ、IPEAK レジスタのビット 25 (IPPHASE[1]) は、周期の終了時に 1 に設定されます。

電流チャンネルのピーク検出期間の終了時に、STATUS1 レジスタのビット 23 (PKI) が 1 に設定されます。MASK1 レジスタのビット 23 (PKI) が設定されている場合、 $\overline{\text{IRQI}}$ 割込みピンは PEAKCYC 周期の終了時にローに駆動され、STATUS1 レジスタのステータス・ビット 23 (PKI) は 1 に設定されます。同様に、電圧チャンネルのピーク検出期間の終了時に、STATUS1 レジスタのビット 24 (PKV) が 1 に設定されます。MASK1 レジスタのビット 24 (PKV) が設定されている場合、 $\overline{\text{IRQI}}$ 割込みピンは PEAKCYC 周期の終了時にローに駆動され、STATUS1 レジスタのステータス・ビット 24 (PKV) は 1 に設定されます。割込みをトリガした相を特定するには、STATUS1 レジスタを読み出した直後に、IPEAK または VPEAK レジスタのいずれかを読み出します。次に、ステータス・ビットを 1 に設定した STATUS1 レジスタに書き込むことによって、ステータス・ビットがクリアされ、 $\overline{\text{IRQI}}$ ピンがハイに設定されます。

内部ゼロ交差カウンタは常にアクティブであることに注意してください。MMODE レジスタのビット[4:2] (PEAKSEL[2:0]) を設定することにより、最初のピーク検出結果が PEAKCYC 全周期にわたって得られなくなります。PEAKSEL[2:0] ビットが設定されたときに PEAKCYC レジスタに書き込むと、ゼロ交差カウンタがリセットされ、それによって、最初のピーク検出結果が PEAKCYC 全周期にわたって得られます。

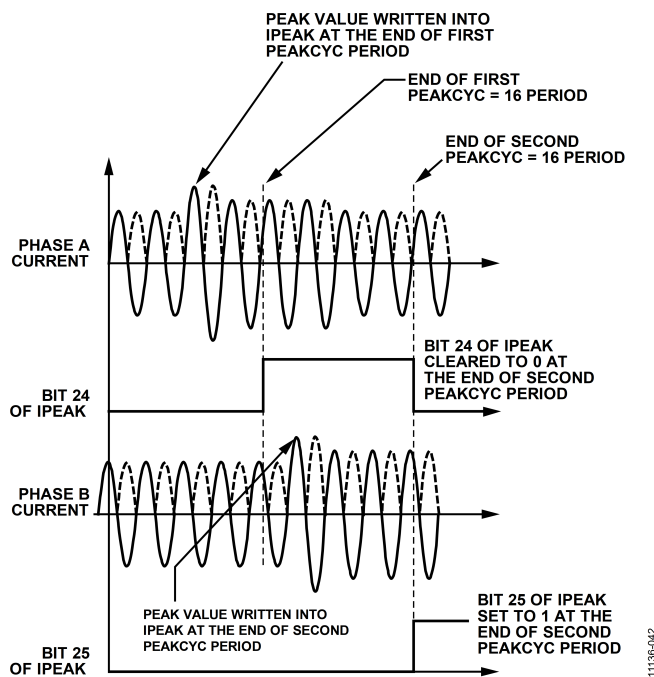


図 52. ピーク・レベル検出

過電圧および過電流の検出

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、電圧/電流チャンネルで測定された瞬時絶対値が、OVLVL および OILVL の 24 ビット符号なしレジスタに設定された閾値より大きくなるときを検出します。

MASK1 レジスタのビット 18 (OV) を設定すると、過電圧イベント中に $\overline{\text{IRQI}}$ 割込みピンがローに駆動されます。 $\overline{\text{IRQI}}$ 割込みピンがローに駆動されると、2 つのステータス・フラグが設定されます。最初のフラグは STATUS1 レジスタのビット 18 (OV) によって設定され、2 番目のフラグは PHSTATUS レジスタのビット[11:9] (OVPHASE[2:0]) の 1 つによって設定され、過電圧を発生させた相を特定します。

次に、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタの全てのビット[11:9] (OVPHASE[2:0]) がクリアされます。ステータス・ビットを 1 に設定して STATUS1 レジスタに書き込むことにより、 $\overline{\text{IRQI}}$ ピンをハイに設定します。A 相の電圧の過電圧検出については、図 53 を参照してください。

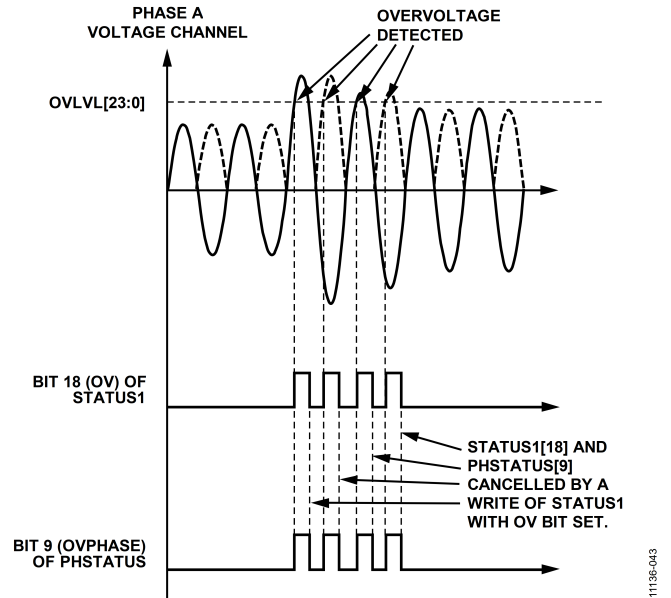


図 53. A 相の過電圧検出

電圧の瞬時絶対値が、OVLVL レジスタに格納された閾値を超えて上昇すると、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット 9 (OVPHASE[0]) が 1 に設定されます。ビット 18 (OV) を 1 に設定して STATUS1 レジスタに書き込むと、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット 9 (OVPHASE[0]) がキャンセルされます。過電圧イベントを管理する手順は以下のとおりです。

1. MASK1 レジスタの OV 割込みをイネーブルにするには、ビット 18 (OV) を 1 に設定します。
2. 過電圧イベントが発生すると、 $\overline{\text{IRQI}}$ 割込みピンがローになります。
3. ビット 18 (OV) が 1 に設定された STATUS1 レジスタを読み出します。
4. PHSTATUS レジスタが読み出され、過電圧イベントが発生した位相が特定されます。
5. STATUS1 レジスタは、ビット 18 (OV) が 1 に設定された状態で書き込まれ、すぐにビット OV と PHSTATUS レジスタのビット[11:9] (OVPHASE[2:0]) が消去されます。

過電流イベントの場合、MASK1 レジスタのビット 17 (OI) が設定されていると、 $\overline{\text{IRQI}}$ 割込みピンはローに駆動されます。その直後に、STATUS1 レジスタのビット 17 (OI) が設定され、PHSTATUS レジスタのビット[5:3] (OIPHASE[2:0]) の 1 つも設定されます。これにより、割込みを生成した相が内部的に特定されます。

割込みを発生させた相を特定するには

1. STATUS1 レジスタを読み出し、その直後に PHSTATUS レジスタを読み出します。
2. STATUS1 レジスタのステータス・ビット 17 (OI) をクリアし、PHSTATUS レジスタのビット[5:3] (OIPHASE[2:0]) をクリアします。
3. ステータス・ビットを 1 に設定して STATUS1 レジスタに書き込むことにより、 $\overline{\text{IRQI}}$ ピンをハイに設定します。

過電圧検出も同様のプロセスを使用することに注意してください。

過電圧および過電流のレベル設定

過電圧 (OVLVL) と過電流 (OILVL) の 24 ビット符号なしレジスタの内容を、電圧／電流チャンネルの絶対値と比較します。これらのレジスタの最大値は、HPF 出力の最大値である 5,928,256 (0x5A7540) であり、OVLVL レジスタまたは OILVL レジスタのいずれかがこの値に等しい場合、過電圧または過電流状態は検出されません。これらのレジスタに 0x0 を書き込むと、過電圧および過電流状態が連続的に検出され、対応する割込みを恒久的にトリガします。

電流波形ゲイン・レジスタのセクションで説明したように、本デバイスのシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 37 に示すレジスタと同様に、OILVL レジスタと OVLVL レジスタは、8 つの MSB に 0 を埋め込んだ 32 ビット・レジスタとしてアクセスされます。

中性電流の不整合-ADE7868A と ADE7878A

中性電流の不整合は、ADE7868A と ADE7878A でのみ利用できます。3 相システムでは、中性電流は相電流の代数和に等しくなります。

$$I_N(t) = I_A(t) + I_B(t) + I_C(t) \quad (8)$$

これら 2 つの量の不整合は、システム内でタンパ状態が発生した可能性があることを示します。

ADE7868A/ADE7878A は、以下のように、IAWV、IBWV および ICWV レジスタの内容を加算し、その結果を 28 ビット符号付きレジスタ ISUM に格納することによって、相電流の合計を計算します。

$$I_{SUM}(t) = I_A(t) + I_B(t) + I_C(t) \quad (9)$$

ISUM は、125 マイクロ秒ごと (周波数 8kHz) に計算されます。これは、電流サンプルが利用可能なレートです。STATUS0 レジスタのビット 17 (DREADY) は、ISUM レジスタが読出し可能な場合にそれを通知します。DREADY ビットの詳細については、デジタル・シグナル・プロセッサのセクションを参照してください。

ISUM レジスタから ISUM(t) 値を復元するには、次式を使用します。

$$I_{SUM}(t) = \frac{ISUM[27:0]}{ADC_{MAX}} \times I_{FS} \quad (10)$$

ここで、
 $ADC_{MAX} = 5,928,256$ (入力がフルスケールであるときの ADC 出力)。
 I_{FS} は、フルスケールでの ADC 相電流。

CONFIG_A レジスタ (INSEL) のビット 0 が 1 に設定されている場合、ADE7868A/ADE7878A も I_{SUM} の実効値を計算し、それを NIRMS レジスタに格納することに注意してください (詳細については、電流実効値の計算のセクションを参照)。

ADE7868A/ADE7878A は、ISUM の絶対値と INWV レジスタに格納された中性電流との差を計算し、その絶対値を取り、それを ISUMLVL 閾値と比較します (表 25 参照)。

次の場合、

$$\|ISUM| - |INWV\| \leq ISUMLVL \quad (11)$$

中性電流は相電流の合計に等しく、システムは正しく機能すると仮定します。

次の場合、

$$\|ISUM| - |INWV\| > ISUMLVL \quad (12)$$

タンパ状態が発生した可能性があり、STATUS1 レジスタのビット 20 (MISMTCH) が 1 に設定されます。

フラグに付加された割込みは、MASK1 レジスタのビット 20 (MISMTCH) を設定することによってイネーブルにできます。イネーブルになると、 $\overline{\text{IRQI}}$ ピンは、ステータス・ビット MISMTCH が 1 に設定されているときに、ローに設定されます。ビット 20 (SEQERR) を 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQI}}$ ピンがハイに設定されます。

If $\|ISUM| - |INWV\| \leq ISUMLVL$, the MISMTCH bit = 0.

If $\|ISUM| - |INWV\| > ISUMLVL$, the MISMTCH bit = 1

式 11 と式 12 で使用される正の閾値である ISUMLVL は、24 ビットの符号付きレジスタです。これは絶対値との比較に使用されるため、ISUMLVL は常に 0x000000~0x7FFFFFFF の正数に設定します。ISUMLVL は、電流 ADC の出力と同じスケールを使用します。したがって、ISUMLVL レジスタに 5,928,256 (0x5A7540) を書き込むと、不整合検出レベルがフルスケールに設定されます (電流チャンネルの ADC のセクションを参照)。

0x000000 (デフォルト値) または負の値を ISUMLVL レジスタに書き込むと、MISMTCH イベントが常にトリガされます。MISMTCH イベントが継続的に発生しないようにするには、パワーアップ後、またはハードウェアまたはソフトウェアのリセット後に、アプリケーションに適した値を ISUMLVL レジスタに書き込みます。

ADE7868A/ADE7878A のシリアル・ポートは 32、16 または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。28 ビットの符号付き ISUM レジスタは、4 つの MSB に 0 が埋め込まれた 32 ビット・レジスタとして送信されます (図 54 参照)。

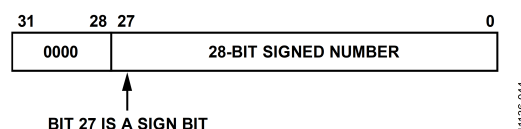


図 54. 32 ビット・ワードとして送信される ISUM[27:0] レジスタ

図 34 に示す xIGAIN レジスタと同様に、ISUMLVL レジスタは、28 ビットに符号拡張され、4 つの 0 が埋め込まれた 32 ビット・レジスタとして送信されます。

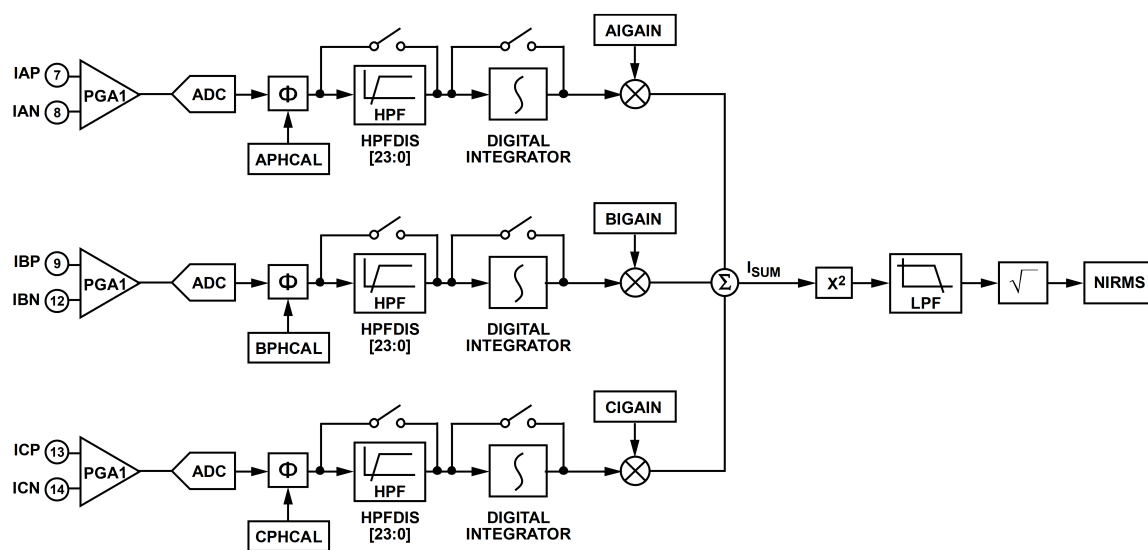


図 55. NIRMS レジスタに格納された相電流の合計

11138-151

位相補償

電流チャンネルの ADC と電圧チャンネルの ADC のセクションで説明したように、電流および電圧の両方のデータ経路は同じです。ADE7854A/ADE7858A/ADE7868A/ADE7878A によって入力される電流信号と電圧信号の間の位相誤差は、無視できます。ただし、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、固有の位相誤差を有する可能性のある変換器と共に動作する必要があります。例えば、位相誤差が $0.1^\circ \sim 3^\circ$ の電流トランス (CT) が一般的です。これらの位相誤差はデバイスごとに異なる可能性があり、正確な電力計算を実行するには補正する必要があります。

位相の不整合に関連する誤差は、低力率で特に顕著です。位相キャリブレーション・レジスタは、これらの小さな位相誤差をデジタル的にキャリブレーションします。小さな位相誤差を補償するために、小さな時間遅延または時間進みがデバイスの信号処理チェーンに導入されます。

位相キャリブレーション・レジスタ (APHCAL、BPHCAL、CPHCAL) は、電圧チャンネル信号経路における時間進みを、 -374.0 マイクロ秒から $+61.5$ マイクロ秒まで変化させることができる 10 ビット・レジスタです。xPHCAL レジスタに書き込まれた負の値は時間進みを表し、正の値は時間遅れを表します。1LSB は、 0.976 マイクロ秒 (1.024MHz のクロック・レート) の時間遅れまたは時間進みに相当します。60Hz のライン周波数では、これは基本波で 0.0211° ($360^\circ \times 60\text{Hz}/1.024\text{MHz}$) の位相分解能を与えます。これは、60Hz で $-8.079^\circ \sim +1.329^\circ$ の全補正範囲に相当します。50Hz では、補正範囲は $-6.732^\circ \sim +1.107^\circ$ であり、分解能は 0.0176° ($360^\circ \times 50\text{Hz}/1.024\text{MHz}$) です。

相電圧をリファレンスに使用して測定し、 x 度の位相誤差がある場合、対応する LSB は x を位相分解能 (60Hz の場合は $0.0211^\circ/\text{LSB}$ 、50Hz の場合は $0.0176^\circ/\text{LSB}$) で除算して計算されます。 $-383 \sim +63$ の範囲内の結果のみが許容可能な値です。この範囲外の数値は許容不可です。電流が電圧よりも進む場合、結果は負となり、絶対値が xPHCAL レジスタに書き込まれます。電流が電圧よりも遅れる場合、結果は正となり、結果に 512 が加算されてから、xPHCAL レジスタに書き込まれます。

$$\text{APHCAL, BPHCAL, or CPHCAL} = \quad (13)$$

$$\left\{ \begin{array}{l} \left\lfloor \frac{x}{\text{PHASE_RESOLUTION}} \right\rfloor, x \leq 0 \\ \frac{x}{\text{PHASE_RESOLUTION}} + 512, x > 0 \end{array} \right\}$$

図 57 に、位相補償を用いて、電流チャンネルの IA における、外部電流変換器からの $x = -1^\circ$ の位相進み (50Hz システムでは 55.5 マイクロ秒に相当) を除去する様子を示します。A 相の電流チャンネルでの進み (1°) をキャンセルするには、対応する電圧チャンネルに位相進みを導入します。式 13 を使用すると、APHCAL は 56.8 を切り上げ、57LSB となります。位相進みを達成するには、A 相電流に 55.73 マイクロ秒の時間遅延を導入します。

本デバイスのシリアル・ポートは、32 ビット、16 ビットまたは 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 56 に示すように、10 ビットの APHCAL、BPHCAL および CPHCAL レジスタは、6 つの MSB に 0 が埋め込まれた 16 ビットのレジスタとしてアクセスされます。

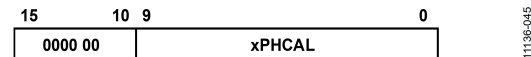


図 56. 16 ビット・レジスタとして送信される xPHCAL レジスタ

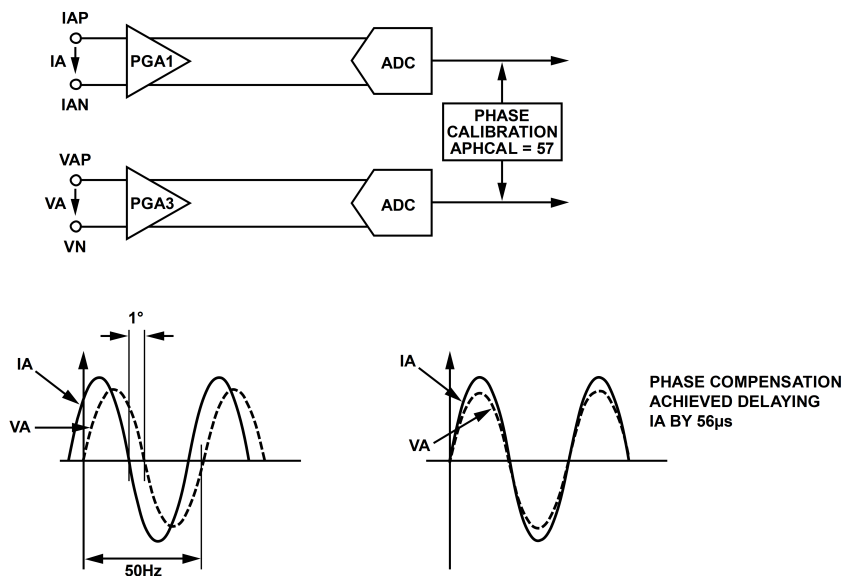


図 57. 電圧チャンネルの位相キャリブレーション

リファレンス回路

REF_{IN/OUT} ピンの公称リファレンス電圧は 1.2V です。これは、ADE7854A/ADE7858A/ADE7868A/ADE7878A の ADC のリファレンス電圧です。1.2V（代表値）の外部リファレンス電圧を用いて、REF_{IN/OUT} ピンをオーバードライブします。内部電圧リファレンスの温度係数は、エンドポイント法に基づいて計算されます。温度ドリフトを計算するために、エンドポイント（-40°C と +85°C）における電圧リファレンスの値を測定し、25°C における基準値と比較します。これにより、温度係数曲線の勾配が得られます。図 58 は温度ドリフトの代表例です。これには 2 つの曲線、曲線 X と曲線 Y があり、これらは、指定温度範囲全体で観測される 2 つの可能な曲率の代表例です。

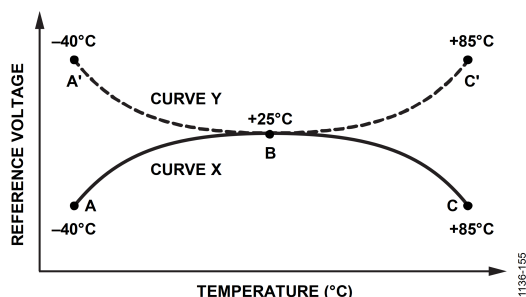


図 58. 内部電圧リファレンスの温度ドリフト

図 58 は、温度ドリフトを正確に解析するには、次のように 2 つの領域を個別に考慮する必要があることを示しています。

- 曲線 X の点 A と点 B の間の領域を考慮すると、リファレンス値は温度の上昇と共に増加します。したがって、曲線は A から B に正の勾配を持ちます。この結果、この領域の温度係数は正の値になります。
- 曲線 X の点 B と点 C の間の領域を考慮すると、電圧リファレンスが温度の上昇と共に減少するため、曲線の勾配は負であり、したがって、曲線のこの領域は負の温度係数を有します。
- 同様の原理に基づいて、曲線 Y は、点 A' と点 B との間に負の温度係数を有し、点 B と点 C' との間に正の温度係数を有します。

特定の IC でのドリフト曲線は、これらの曲線例のいずれかと一致させることができます。特定のエンドポイント温度における電圧リファレンスの絶対値と、曲線のその領域の温度係数との間の一般的な関係は、以下の 2 つの式で説明されます。

$$V_{REF(-40^{\circ}\text{C})} = V_{REF(+25^{\circ}\text{C})} \times \left(1 + \frac{\alpha_c(-40^{\circ}\text{C} - 25^{\circ}\text{C})}{10^6} \right)$$

$$V_{REF(85^{\circ}\text{C})} = V_{REF(25^{\circ}\text{C})} \times \left(1 + \frac{\alpha_h(85^{\circ}\text{C} - 25^{\circ}\text{C})}{10^6} \right)$$

ここで、 α_c と α_h は、それぞれ次式で計算される低温と高温での温度係数です。

$$\alpha_c = \frac{V_{REF(-40^{\circ}\text{C})} - V_{REF(+25^{\circ}\text{C})}}{V_{REF(+25^{\circ}\text{C})}(-40^{\circ}\text{C} - 25^{\circ}\text{C})} \times 10^6 \text{ ppm/}^{\circ}\text{C}$$

$$\alpha_h = \frac{V_{REF(85^{\circ}\text{C})} - V_{REF(25^{\circ}\text{C})}}{V_{REF(25^{\circ}\text{C})}(85^{\circ}\text{C} - 25^{\circ}\text{C})} \times 10^6 \text{ ppm/}^{\circ}\text{C}$$

低温および高温係数の符号は IC ごとに異なる可能性があるため、代表的なドリフトは、プラスまたはマイナス符号（±）で全範囲に対して指定されます。仕様書のセクションに記したように、代表的、最小および最大温度係数を求めるために、エンドポイント法に基づくデータを、様々なロットにまたがる複数の IC について収集します。最小および最大温度係数は、特定の IC のドリフトが、25°C を基準とした指定温度範囲にわたって、これらの制限内にあることを示します。ドリフトのデバイス間変動については、図 59 と図 60 を参照してください。

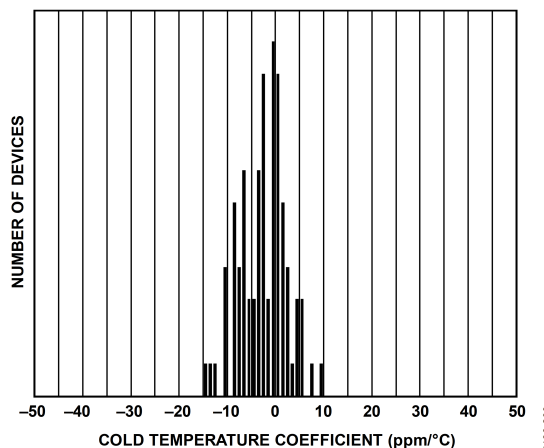


図 59. -40°C～+25°C のリファレンス・ドリフトのヒストグラム

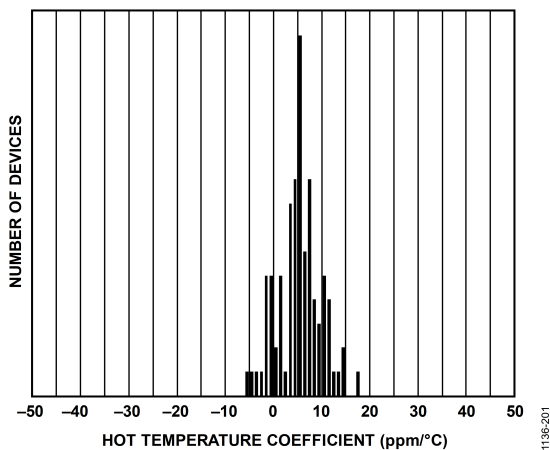


図 60. 25°C～85°C のリファレンス・ドリフトのヒストグラム

リファレンスは全ての ADC に使用されるため、リファレンスで $x\%$ のドリフトがあると、電力量計精度の偏差は $2x\%$ になります。温度変化に起因するリファレンス・ドリフトは通常、非常に小さいため、一般的には電力量計の他の構成要素のドリフトよりもはるかに小さいものになります。

ADE7854A/ADE7858A/ADE7868A/ADE7878A では、CONFIG2 レジスタのビット 0 (EXTREFEN) が 0 (デフォルト値) にクリアされたときに内部電圧リファレンスを使用し、ビットが 1 に設定されたときに外部電圧リファレンスを使用します。PSM0 モード中に CONFIG2 レジスタを設定します。その値は、PSM1、PSM2 および PSM3 電力モード中に保持されます。

デジタル・シグナル・プロセッサ

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、全ての電力と実効値を計算する固定機能型デジタル・シグナル・プロセッサ (DSP) を内蔵しています。DSP にはプログラム・メモリ ROM とデータ・メモリ RAM が内蔵されています。

電力と実効値の計算に使用されるプログラムは、プログラム・メモリ ROM に格納され、プロセッサはそれを 8kHz ごとに実行します。計算の終了は、STATUS0 レジスタのビット 17 (DREADY) を 1 に設定することによって告げられます。このフラグに付加された割込みをイネーブルにするには、MASK0 レジスタのビット 17 (DREADY) を設定します。割込みがイネーブルされると、 $\overline{\text{IRQ0}}$ ピンはローに設定され、ステータス・ビット DREADY は計算の終了時に 1 に設定されます。ビット 17 (DREADY) を 1 に設定して STATUS0 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ0}}$ ピンがハイに設定されます。

DSP により使用されるレジスタは、データ・メモリ RAM の 0x4380 と 0x43BE の間のアドレスに配置されます。このメモリ幅は 28 ビットです。DSP コア内には、DSP に 2 段のパイプラインが含まれています。これは、単一のレジスタを初期化する場合、確実に値が RAM に書き込まれたようにするため、更に 2 回の書き込みが必要であることを意味します。2 つ以上のレジスタを初期化する場合、最後のレジスタに更に 2 回書き込んで、確実に値が RAM に書き込まれたようにする必要があります。

パワーアップ手順のセクションで説明したように、パワーアップ時、またはハードウェアまたはソフトウェアのリセット後、DSP はアイドル・モードになり、命令を何も実行しません。データ・メモリ RAM にある全てのレジスタは、デフォルト値である 0 に初

期化され、制限なく読み書きできます。DSP の起動と停止に使用される実行レジスタは 0x0000 にクリアされます。DSP コードの実行を開始するには、実行レジスタに 0x0001 を書き込みます。

DSP のデータ・メモリ RAM (0x4380～0x43BE のアドレス) に格納されたデータの完全性を保護するために、書き込み保護メカニズムが利用できます。デフォルトでは、この保護は無効化されており、アドレス 0x4380～0x43BE のレジスタには制限なしで書き込むことができます。保護を有効化すると、これらのレジスタへの書き込みは許可されません。レジスタは、書き込み保護状態とは無関係に、常に制限なく読み出すことができます。

保護を有効化するには、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込みます。

書き込み保護は、レジスタを初期化してから有効化します。データ・メモリ RAM ベースのレジスタを変更する必要がある場合は、保護を無効化し、値を変更してから、保護を再び有効化します。レジスタ変更の際は DSP を停止する必要はありません。

保護を無効化するには、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x00 を書き込みます。

パワーアップ時に ADE7854A/ADE7858A/ADE7868A/ADE7878A レジスタを初期化するには、次の手順に従います。

1. AIGAIN、BIGAIN、CIGAIN および NIGAIN レジスタを初期化します。
2. 他の全てのデータ・メモリ RAM レジスタを初期化します。キュー内の最後のレジスタに 3 回書き込み、その値が RAM に書き込まれたことを確認します。
3. CFMODE レジスタを除く、他の全ての ADE7854A、ADE7858A、ADE7868A または ADE7878A レジスタを初期化します。
4. 書き込み保護を有効化するには、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込みます。
5. 全てのデータ・メモリ RAM レジスタを読み出し、必要な値に初期化されていることを確認します。
6. 万一、1 つ以上のレジスタが正しく初期化されていない場合は、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x00 を書き込んで保護を無効化します。
 - a. レジスタを再初期化します。キューの中の最後のレジスタに 3 回書き込みます。
 - b. 書き込み保護を有効化するには、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んだ後、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込みます。
7. run = 1 に設定して、DSP を起動します。
8. 電力量レジスタ (xWATTHR、xFWATTHR、xVARHR、xFVARHR、xVAHR) を読み出して内容を消去し、既知の状態から電力量積算を開始します。
9. CFMODE レジスタのビット 9 (CF1DIS)、ビット 10 (CF2DIS)、ビット 11 (CF3DIS) をクリアして、CF1、CF2 および CF3/HISCLK ピンのパルス进行をイネーブルにします。この初期化は最後に行って、ADE7854A/ADE7858A/ADE7868A/ADE7878A の初期化中に偽パルスが発生しないようにします。

デバイスを PSM0 通常モードに維持するときに、DSP を停止させる明白な理由はありません。全ての ADE7854A、ADE7858A、ADE7868A および ADE7878A レジスタは、データ・メモリ RAM にあるレジスタを含め、DSP を停止させることなく変更できます。ただし、DSP を停止するには、実行レジスタに 0x0000 を書き込みます。

DSP を再起動するには、以下のいずれかの手順を選択します。

- データ・メモリ RAM にある ADE7854A/ADE7858A/ADE7868A/ADE7878A レジスタが変更されていない場合は、実行レジスタに 0x0001 を書き込んで DSP を起動します。
- データ・メモリ RAM にある ADE7854A/ADE7858A/ADE7868A/ADE7878A レジスタを変更する必要がある場合は、まずソフトウェアまたはハードウェアのリセットを実行してから、推奨手順に従ってパワーアップ時にレジスタを初期化します。

パワー・マネージメントのセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A が PSM0 電力モードを終了するときは、0x0000 を実行レジスタに書き込んで DSP を停止することを推奨します（電力モードを変更するときの推奨処置については、表 11 と表 12 を参照）。

実効値測定

実効値 (rms) は、交流信号の大きさを表す値です。この値には実用的な定義と数学的な定義があります。実用的な定義では、ある交流信号に割り当てられる実効値とは、負荷に同量の電力を生成させるのに必要な直流の大きさです。

$$F_{rms} = \sqrt{\frac{1}{T} \int_0^T f^2(t) dt} \quad (14)$$

ここで、 F_{rms} は連続信号 $f(t)$ の数学的実効値です。

時間サンプリングされた信号の実効値計算では、信号値を二乗して平均値を算出し、その平方根を求めます。

$$F_{rms} = \sqrt{\frac{1}{N} \sum_{n=1}^N f^2[n]} \quad (15)$$

式 15 は、高調波を含む信号の実効値計算には、基本波だけでなく、全ての高調波の寄与分が含まれることを示しています。本デバイスでは、2 つの異なる方法を用いて実効値を計算します。第 1 の方法は非常に正確であり、PSM0 モードでのみ有効です。第 2 の方法は精度が低く、平均絶対値 (MAV) 測定値を推定するものです。この方法は PSM0 および PSM1 モードで有効であり、ADE7868A と ADE7878A でのみ使用できます。

第 1 の方法は、ローパス・フィルタ (LPF) を用いて入力信号の二乗をフィルタリングし、その結果の平方根を求めるものです (図 61 参照)。

$$f(t) = \sum_{k=1}^{\infty} F_k \sqrt{2} \sin(k\omega t + \gamma_k) \quad (16)$$

$f(t)$ を二乗すると、

$$f^2(t) = \sum_{k=1}^{\infty} F_k^2 - \sum_{k=1}^{\infty} F_k^2 \cos(2k\omega t + 2\gamma_k) + 2 \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} 2 \times F_k \times F_m \sin(k\omega t + \gamma_k) \times \sin(m\omega t + \gamma_m) \quad (17)$$

LPF と平方根の処理後、 $f(t)$ の実効値は次式で求められます。

$$F = \sqrt{\sum_{k=1}^{\infty} F_k^2} \quad (18)$$

この方法に基づいて、7 つのアナログ入力チャンネル全てが同時に実効値計算を処理します。各結果は、次の 24 ビット・レジスタに格納されます: AIRMS、BIRMS、CIRMS、AVRMS、BVRMS、CVRMS、NIRMS (NIRMS は ADE7868A と ADE7878A のみで利用可能)。これらの値の 1.024 秒平均も利用できます (詳細については、[低リップル電流実効値](#)と[低リップル電圧実効値](#)のセクションを参照)。

第 2 の方法は、入力信号の絶対値を計算し、それをフィルタリングしてその直流成分を抽出します。この方法は、入力の実効平均値を計算します。式 17 の入力信号が基本波成分のみの場合、その平均値は次のようになります。

$$F_{dc} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} \sqrt{2} \times F_i \times \sin(\omega t) dt - \int_{\frac{T}{2}}^T \sqrt{2} \times F_i \times \sin(\omega t) dt \right]$$

$$F_{dc} = \frac{2}{\pi} \times \sqrt{2} \times F_i \quad (19)$$

この方法に基づく計算は、三相電流について同時に処理されます。各結果は、次の 20 ビット・レジスタに格納されます。AIMAV、BIMAV、CIMAV (ADE7868A と ADE7878A でのみ使用可能)。MAV 値と実効値の比例性は、基本波成分についてのみ維持されることに注意してください。高調波が電流チャンネルに存在する場合、平均絶対値は実効値には比例しません。

電流実効値の計算

このセクションでは、全ての相電流と中性電流の実効値を計算する第 1 の方法を示します。ADE7868A と ADE7878A では、CONFIG_A レジスタのビット 0 (INSEL) が 1 に設定されている場合に、相電流の瞬時値の合計の実効値も計算します。結果は NIRMS レジスタに格納されます。合計の瞬時値は ISUM レジスタに格納されることに注意してください ([中性電流の不整合-ADE7868A と ADE7878A](#) のセクションを参照)。相電流のみを検出する必要がある 3 相 4 線式システムでは、これらの値は中性電流の尺度となります。

図 61 は、電流チャンネルの 1 つの相で実効値計算を行うための信号処理チェーンを示しています。電流チャンネルの実効値は、電流チャンネルで使用されているサンプルを基に処理されます。電流実効値は符号付き 24 ビット値であり、AIRMS、BIRMS、CIRMS および NIRMS (ADE7868A/ADE7878A のみ) レジスタに格納されます。電流実効値測定の実効レートは 8kHz です。

フルスケールのアナログ入力信号が 0.5V で仕様規定されている場合、ADC は約±5,928,256 の出力コードを生成します。フルスケール正弦波信号の等価実効値は 4,191,910 (0x3FF6A6) で、ライン周波数には依存しません。CONFIG レジスタのビット 0 (INTEN) を 1 に設定して積分器をイネーブルにすると、50Hz で 4,191,910 (0x3FF6A6)、60Hz で 3,493,258 (0x354D8A) のフルスケール正弦波信号の等価実効値が生成されます。

電流実効値の精度は通常、フルスケール入力から PGA = 1 の場合のフルスケール入力の 1/1000 までは、0.1%誤差です。更に、この測定の帯域幅は 2kHz です。安定性を確保するために、電圧ゼロ交差に同期して、実効値レジスタを読み出します。IRQ1 割込みを用いて、ゼロ交差が発生したことを示します (割込みのセクションを参照)。

表 13 に、電流実効値測定の設定時間を示します。これは、電流チャンネルへの入力値が 0 からフルスケールになるときに、実効値レジスタに反映されるのにかかる時間です。ただし、チップのパワーアップ時と DSP のリセット時には、通常、FS/1000 信号が落ち着くまでに約 1.2 秒かかります。

表 13. 電流実効値測定の設定時間

Integrator Status	50 Hz Input Signals	60 Hz Input Signals
Integrator Off	440 ms	440 ms
Integrator On	550 ms	500 ms

電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A、ADE7858A、ADE7868A および ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 37 に示すレジスタと同様に、AIRMS、BIRMS、CIRMS および NIRMS (ADE7868A/ADE7878A のみ) の 24 ビット符号付きレジスタは、8 つの MSB に 0 を埋め込んだ 32 ビット・レジスタとしてアクセスされます。

低リップル電流実効値

ADE7854A、ADE7858A、ADE7868A および ADE7878A は、電流実効値データの 1.024 秒間の平均を算出します。平均電流実効値は符号付き 24 ビット値であり、IARMS_LRIP、IBRMS_LRIP、ICRMS_LRIP、および INRMS_LRIP レジスタ (ADE7868A と ADE7878A のみ) に格納されます。低リップル・レジスタは、外部平均化を不要にし、安定した読出しができます。これらの平均実効値レジスタは、1.024 秒ごとに更新され、平均で 8192 個の実効値のサンプルを収納しています。IxRMS_LRIP レジスタの読出しは、2.048 秒後に 99%以内に入って安定します。

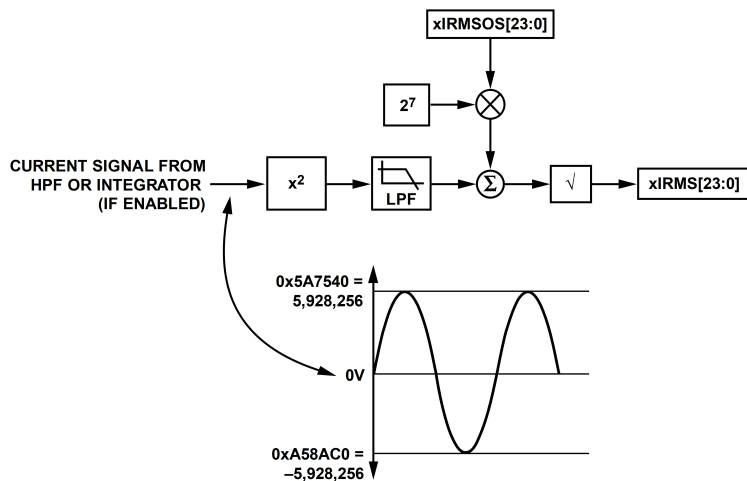


図 61. 電流実効値の信号処理

11136-047

電流実効値のオフセット補償

ADE7854A/ADE7858A/ADE7868A/ADE7878A には、次の各相の電流実効値オフセット補償レジスタが内蔵されています。AIRMSOS、BIRMSOS、CIRMSOS (NIRMSOS レジスタの提供は、ADE7878A と ADE7868A のみ)。これらの 24 ビット符号付きレジスタは、電流実効値計算でオフセットを除去します。積算された入力ノイズが $i^2(t)$ の直流成分に含まれることにより、実効値計算にオフセットが生じることがあります。電流実効値オフセット補償レジスタは、128 で乗算し、二乗した電流実効値に加算してから、平方根を求めます。電流実効値計算での最大値がフルスケール交流入力 (50Hz) で 4,191,910 であると仮定すると、電流実効値オフセットの 1LSB はフルスケールから 60dB 低い、次の実効値測定値を表します。

$$0.00037\% = \left(\frac{\sqrt{4191^2 + 128}}{4191} - 1 \right) \times 100$$

低電流でオフセットのキャリブレーションを実行します。キャリブレーションのためには、ゼロ電流を使用しないでください。

$$I_{rms} = \sqrt{I_{rms0}^2 + 128 \times IRMSOS} \quad (20)$$

ここで、 I_{rms0} はオフセット補正なしの実効値測定値です。

ADE7854A、ADE7858A、ADE7868A および ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 34 に示す xIGAIN レジスタと同様に、24 ビットの AIRMSOS、BIRMSOS、CIRMSOS および NIRMSOS (ADE7868A/ADE7878A のみ) レジスタは、28 ビットに符号拡張され、4 つの 0 が埋め込まれた 32 ビット・レジスタとして送信されます。

電流平均絶対値の計算—ADE7868A と ADE7878A のみ

このセクションでは、平均絶対値 (MAV) 法を用いて全ての相電流の実効値を算出する第 2 の方法について説明します。この方法は、ADE7868A と ADE7878A のみで利用可能な PSM1 モードで使用され、中性なしの場合がタンパ攻撃として特定されたときに、電流実効値に基づく電力量積算が可能になります。このデータ経路は、PSM0 モードでも有効であり、そのゲイン・キャリブレーションが可能になります。外部マイクロプロセッサは、PSM1 モード中にゲインを使用します。この方法では、中性電流の MAV 値は計算されません。図 62 に、電流チャンネルの 1 つの相で MAV 計算を行うための信号処理チェーンを示します。

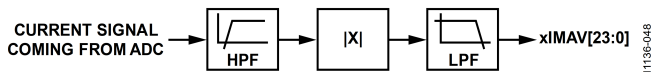


図 62. PSM1 モードでの電流 MAV 信号処理

電流チャンネル MAV 値は、電流チャンネル波形サンプリング・モードで 사용되는サンプルを基に処理されます。サンプルは、ハイパス・フィルタを通して、ADC によって導入される最終的な直流オフセットを除去し、絶対値が計算されます。

次に、平均値を得るために、このブロックの出力をフィルタリングします。電流 MAV 値は符号なし 20 ビット値であり、AIMAV、BIMAV および CIMAV レジスタに格納されます。この MAV 値測定の更新レートは 8kHz です。

50Hz と 60Hz のフルスケール正弦波信号の MAV 値は、それぞれ 209,686 と 210,921 です。フルスケール正弦波入力では、45Hz での MAV 推定値と 65Hz での MAV 推定値の間の変動幅は 1.25% です (図 63 参照)。

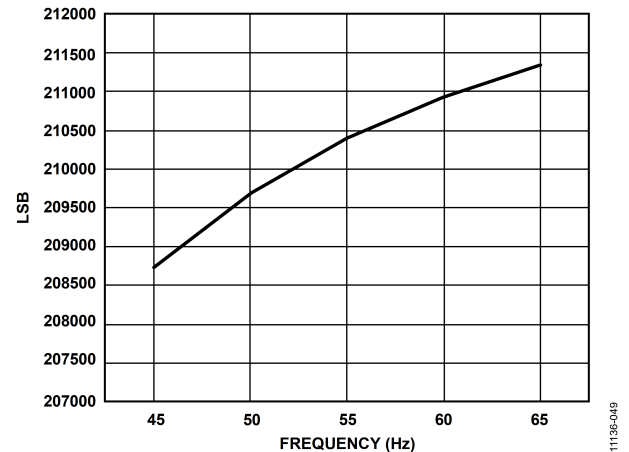


図 63. フルスケール、45Hz~65Hz のライン周波数における xIMAV レジスタ値

電流 MAV の精度は通常、フルスケール入力からフルスケール入力の 1/100 までは、0.5% の誤差です。更に、この測定の帯域幅は 2kHz です。電流 MAV 測定のセトリング時間、すなわち、0.5% 誤差内で電流チャンネルへの入力値が MAV レジスタに反映されるのにかかる時間は、500 ミリ秒です。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 64 に示すように、AIMAV、BIMAV および CIMAV の 20 ビット符号なしレジスタは、12 個の MSB に 0 が埋め込まれた 32 ビット・レジスタとしてアクセスされます。

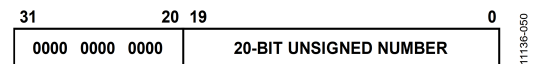


図 64. 32 ビット・レジスタとして送信される xIMAV レジスタ

電流 MAV ゲインとオフセット補償

AIMAV、BIMAV および CIMAV レジスタに格納された電流実効値は、各相に対応するゲインおよびオフセット係数を用いてキャリブレーションできます。ADE7868A/ADE7878A に公称電流を供給して、PSM0 モードでのゲインを計算します。ADE7868A/ADE7878A に低電流 (通常は精度が要求される最小値に等しい) を供給してオフセットを算出します。外部マイクロコントローラは、AIMAV、BIMAV および CIMAV レジスタを読み込むたびに、メモリに格納されているこれらの係数を用いて、レジスタを補正します。

電圧実効値の計算

図 65 に、電圧チャンネルの 1 つの相で実効値計算を行うための信号処理チェーンの詳細を示します。電圧チャンネルの実効値は、電圧チャンネルで使用されているサンプルを基に処理されます。電圧実効値は符号付き 24 ビット値で、AVRMS、BVRMS および CVRMS レジスタに格納されます。電流実効値測定の実効値更新レートは 8kHz です。

フルスケールのアナログ入力信号が 0.5V で仕様規定されている場合、ADC は約±5,928,256 の出力コードを生成します。フルスケール正弦波信号の等価実効値は 4,191,910 (0x3FF6A6) で、ライン周波数には依存しません。

電圧実効値の精度は通常、フルスケール入力からフルスケール入力の 1/1000 までは、0.1%誤差です。更に、この測定の帯域幅は 2kHz です。安定性を確保するために、電圧ゼロ交差に同期して実効値レジスタを読み出します。IRQI 割込みを用いて、ゼロ交差が発生したことを示します (割込みのセクションを参照)。

電圧実効値測定の実効値セットリング時間は、50Hz と 60Hz の入力信号に対していずれも 440 ミリ秒です。電圧実効値測定の実効値セットリング時間とは、電圧チャンネルへの入力値が、0 から開始したときに実効値レジスタに反映されるまでに要する時間です。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A、ADE7858A、ADE7868A および ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 37 のレジスタと同様に、AVRMS、BVRMS および CVRMS の 24 ビット符号付きレジスタは、8 つの MSB に 0 が埋め込まれた 32 ビット・レジスタとしてアクセスされます。

低リップル電圧実効値

ADE7854A、ADE7858A、ADE7868A および ADE7878A は、電圧実効値データの 1.024 秒平均も算出します。平均電圧実効値は、符号付き 24 ビット値であり、VARMS_LRIP、VBRMS_LRIP および VCRMS_LRIP レジスタに格納されます。低リップル・レジスタは、外部平均化を不要にし、安定した読出しができます。これらの平均実効値レジスタは、1.024 秒ごとに更新され、平均で 8192 個の実効値のサンプルを収納しています。VxRMS_LRIP レジスタの値は、2.048 秒後に 99% 以内に入って安定します。

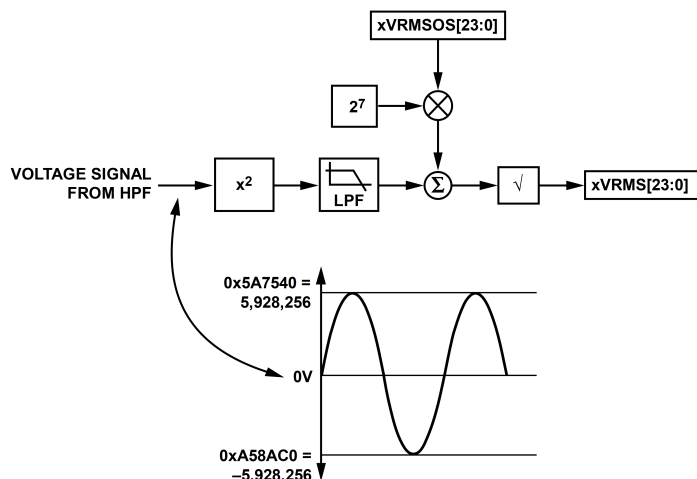


図 65. 電圧実効値の信号処理

11138-051

電圧実効値オフセット補償

ADE7854A、ADE7858A、ADE7868A および ADE7878A には、次の各相の電圧実効値オフセット補償レジスタが内蔵されています：AVRMSOS、BVRMSOS、CVRMSOS。これらの 24 ビット符号付きレジスタは、電圧実効値の計算でオフセットを除去します。積算された入力ノイズが $V^2(t)$ の直流成分に含まれることにより、実効値計算にオフセットが生じることがあります。電圧実効値オフセット補償レジスタは、128 で乗算し、二乗した電圧実効値に加算してから、平方根を求めます。電圧実効値計算での最大値が、フルスケール交流入力（50Hz または 60Hz）で 4,191,910 であると仮定すると、電圧実効値オフセットの 1LSB は、フルスケールから 60dB 低い、次の実効値測定値を表します。

$$0.00037\% = \left(\frac{\sqrt{4191^2 + 128}}{4191} - 1 \right) \times 100$$

低電圧でオフセットのキャリブレーションを実行します。キャリブレーションのためには、ゼロ電圧を使用しないでください。

$$V_{rms} = \sqrt{V_{rms0}^2 + 128 \times VRMSOS} \quad (21)$$

ここで、 V_{rms0} はオフセット補正なしの実効値測定値です。

ADE7854A、ADE7858A、ADE7868A および ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作しますが、DSP は 28 ビット・ワードで動作します。図 34 に示す xIGAIN レジスタと同様に、24 ビットの AVRMSOS、BVRMSOS および CVRMSOS レジスタは 28 ビットに符号拡張され、4 つの 0 が埋め込まれた 32 ビット・レジスタとして送信されます。

3 相 3 線式デルタ構成の電圧実効値

3 相 3 線式デルタ構成では、B 相がシステムのグラウンドと見なされ、それを基準にして A 相と C 相の電圧が測定されます。ACCMODE レジスタの 01 に等しい CONSEL ビットを用いて、この構成を選択します（ADE7854A、ADE7858A、ADE7868A および ADE7878A を使用できる全ての構成については、表 16 を参照）。この状況では、B 相の有効電力、無効電力および皮相電力は全て 0 です。

この構成では、ADE7854A、ADE7858A、ADE7868A および ADE7878A は、A 相と C 相との間のライン電圧の実効値を計算し、その結果を BVRMS レジスタに格納します。BVGAIN および BVRMSOS レジスタを用いて、この構成で計算された BVRMS レジスタをキャリブレーションできます。

有効電力の計算

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、全ての相で総合有効電力を計算します。総合有効電力の計算では、電圧および電流の全ての基本波成分および高調波成分を考慮します。更に、ADE7878A は、基本波有効電力（電圧および電流の基本波成分によってのみ決定される電力）を計算します。

総合有効電力の計算

電力は、ソースから負荷への電力量の流速として定義され、電圧波形と電流波形の積によって与えられます。結果として得られる波形は瞬時電力信号であり、各瞬間の電力量の流速に等しくなります。電力の単位はワットまたはジュール/秒です。交流システムに電圧 $v(t)$ が供給され、電流 $i(t)$ を消費し、電圧および電流が高調波を含む場合は、以下のようになります。

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \varphi_k) \quad (22)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k)$$

ここで、

V_k と I_k は、それぞれ各高調波の実効値電圧と電流です。

φ_k と γ_k は各高調波の位相遅延です。

交流システムの瞬時電力は、次のとおりです。

$$p(t) = v(t) \times i(t) = \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) - \sum_{k=1}^{\infty} V_k I_k \cos(2k\omega t + \varphi_k + \gamma_k) + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \{ \cos[(k-m)\omega t + \varphi_k - \gamma_m] - \cos[(k+m)\omega t + \varphi_k + \gamma_m] \} \quad (23)$$

整数回 (n) のライン・サイクルにわたる平均電力は、式 24 で与えられます。

$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) \quad (24)$$

ここで、

T はライン・サイクル周期。

P は総合有効電力、すなわち総合実電力。

総合有効電力は、式 23 の瞬時電力信号 $p(t)$ の直流成分に等しいことに注意してください。すなわち、

$$\sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k)$$

この式を用いて、各相のデバイスの総合有効電力を計算します。基本波有効電力の式は、以下のように、 $k=1$ とした式 24 で得られます。

$$FP = V_I I_I \cos(\varphi_I - \gamma_I) \quad (25)$$

図 66 に、デバイスが各相の総合有効電力を計算する方法を示します。まず各相の電流信号と電圧信号を乗算します。次に、ローパス・フィルタ LPF2 を用いて、各相 (A、B、C) の瞬時電力信号の直流成分を抽出します。

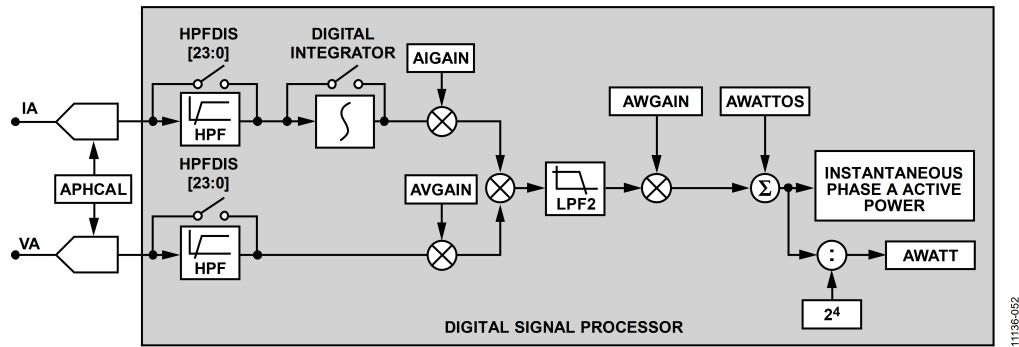


図 66. 総合有効電力のデータ経路

相電流と相電圧が基本波成分のみを含み、位相が一致しており（すなわち、 $\phi_1 = \gamma_1 = 0$ ）、それらがフルスケール ADC 入力に対応する場合、それらを乗算すると、直流成分が $V_1 \times I_1$ で、正弦波成分が $V_1 \times I_1 \cos(2\omega t)$ となる瞬時電力信号が得られます。図 67 に、対応する波形を示します。

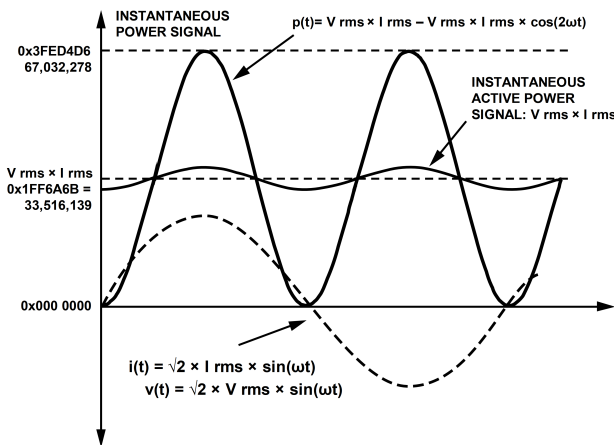


図 67. 有効電力の計算

LPF2 は理想的なレンガ壁形の周波数応答を示さないため（図 68 参照）、有効電力信号には瞬時電力信号によるリップルが多少あります。このリップルは正弦波であり、周波数はライン周波数の 2 倍です。リップルは本質的に正弦波であるため、有効電力信号が時間積分され、電力量が計算されると、リップルは除去されます。

CONFIG_A レジスタのビット 1 (LPFSEL) で、LPF2 の強度を選択します。LPFSEL を 0（デフォルト値）に設定すると、セトリング時間は 650 ミリ秒、リップル減衰は 65dB になります。LPFSEL を 1 に設定すると、セトリング時間は 1300 ミリ秒、リップル減衰は 128dB になります。LPFSEL ビットを 0 に設定したときの LPF2 の周波数応答を図 68 に、LPFSEL ビットを 1 に設定したときの LPF2 の周波数応答を図 69 に示します。

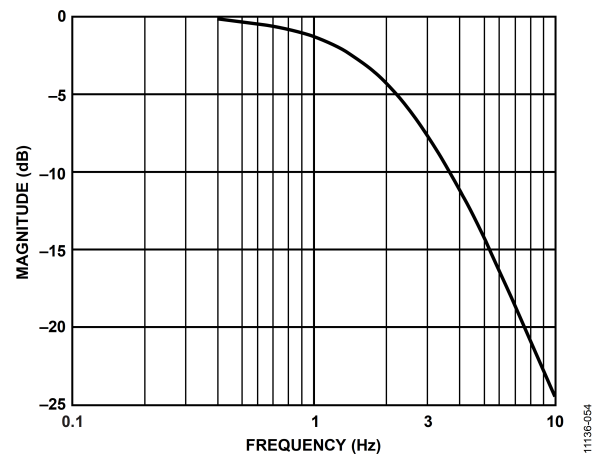


図 68. 各相での瞬時電力のフィルタ処理に使用される LPF2 の周波数応答：CONFIG_A レジスタの LPFSEL ビットを 0 に設定した場合

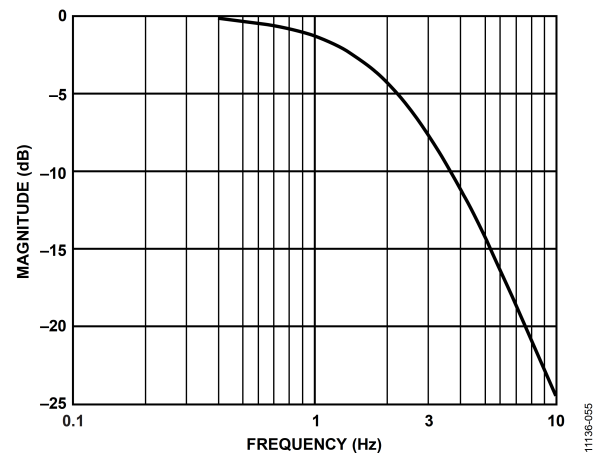


図 69. 各相での瞬時電力のフィルタ処理に使用される LPF2 の周波数応答：CONFIG_A レジスタの LPFSEL ビットを 1 に設定した場合

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、各相の瞬時総合有効電力を AWATT、BWATT および CWATT レジスタに格納します。レジスタの式は次のとおりです。

$$xWATT = \sum_{k=1}^{\infty} \frac{V_k}{V_{FS}} \times \frac{I_k}{I_{FS}} \times \cos(\phi_k - \gamma_k) \times PMAX \times \frac{1}{2^4} \quad (26)$$

ここで、 V_{FS} と I_{FS} は、ADC 入力フルスケール時の、それぞれ相電圧と相電流の実効値。
 $PMAX = 33,516,139$ （ADC 入力フルスケールで、位相が一致しているときに計算される瞬時電力）。

様々なシリアル・ポートを用いて、xWATT[23:0]波形レジスタにアクセスできます（[波形サンプリング・モード](#)のセクションを参照）。

基本波有効電力の計算—ADE7878A のみ

ADE7878A は、独自のアルゴリズムを用いて基本波有効電力を計算します。このアルゴリズムでは、ネットワーク周波数の初期化と電圧チャンネルで測定された公称電圧の初期化が必要になります。COMPmode レジスタのビット 14（SELFREQ）は、ADE7878A が接続されているネットワークの周波数に応じて設定する必要があります。ネットワーク周波数が 50Hz の場合、ビット 14（SELFREQ）を 0（デフォルト値）にクリアします。ネットワーク周波数が 60Hz の場合は、SELFREQ を 1 に設定します。更に、次の式に基づいて、24 ビット符号付きレジスタ VLEVEL を正の値で初期化します。

$$VLEVEL = \frac{V_{FS}}{V_n} \times 491,520 \quad (27)$$

ここで、
 V_{FS} は、ADC 入力が入力フルスケールであるときの相電圧の実効値。
 V_n は相電圧実効値の公称値。

[電流波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。[図 34](#) のレジスタと同様に、24 ビット符号付きレジスタ VLEVEL は、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

[表 14](#) に、基本波有効電力測定のセトリング時間を示します。

表 14. 基本波有効電力のセトリング時間

63% Full-Scale Input Signals	100% Full-Scale Input Signals
375 ms	875 ms

有効電力ゲインのキャリブレーション

各相における LPF2 出力からの平均有効電力の結果は、各相の 24 ビットのワット・ゲイン・レジスタ（AWGAIN、BWGAIN、CWGAIN、AFWGAIN、BFWGAIN または CFWGAIN）に書き込むことによって、 $\pm 100\%$ だけスケールリングできることに注意してください。

各相の 24 ビットのワット・ゲイン・レジスタ（AWGAIN、BWGAIN、CWGAIN、AFWGAIN、BFWGAIN または CFWGAIN）に書き込むことによって、各相における PDF2 出力からの平均有効電力の結果は、 $\pm 100\%$ スケールリングされます。

xWGAIN レジスタは、各相の総合有効電力データ経路に配置され、xFWGAIN レジスタ（ADE7878A でのみ使用可能）は、各相の基本波有効電力データ経路に配置されます。ワット・ゲイン・レジスタは 2 の補数の符号付きレジスタで、分解能は $2^{-23}/\text{LSB}$ です。[式 28](#) は、ワット・ゲイン・レジスタの機能を数学的に説明しています。

Average Power Data =

$$LPF2 \text{ Output} \times \left(1 + \frac{\text{Watt Gain Register}}{2^{23}} \right) \quad (28)$$

出力は、0xC00000 をワット・ゲイン・レジスタに書き込むことによって、 -50% スケールリングされ、0x400000 を書き込むことによって、 $+50\%$ 増加します。これらのレジスタは、各相について、ADE7854A/ADE7858A/ADE7868A/ADE7878A で有効電力（または電力量）計算をキャリブレーションします。

[電流波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。[図 34](#) に示すレジスタと同様に、AWGAIN、BWGAIN、CWGAIN、AFWGAIN、BFWGAIN および CFWGAIN の 24 ビット符号付きレジスタは、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

有効電力オフセットのキャリブレーション

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、各相および各有効電力についてワット・オフセット、24 ビット・レジスタを内蔵しています。AWATTOS、BWATTOS および CWATTOS レジスタは、総合有効電力計算のオフセットを補償し、AFWATTOS、BFWATTOS および CFWATTOS レジスタは、基本波有効電力計算のオフセットを補償します。これらの符号付き、2 の補数、24 ビット・レジスタは、有効電力計算におけるオフセットを除去します。

PCB 上またはチップ自体のチャンネル間のクロストークにより、電力計算でオフセットが生じることがあります。有効電力オフセット・レジスタの 1LSB は、有効電力の乗算器出力の 1LSB に相当します。フルスケールの電流／電圧入力では、LPF2 出力は $PMAX = 33,516,139$ となります。フルスケールから -80dB 低い（有効電力を 104 倍スケールダウン）場合、有効電力オフセット・レジスタの 1LSB は $PMAX$ の 0.0298% を表します。

[電流波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。[図 34](#) に示すレジスタと同様に、24 ビット符号付きレジスタの AWATTOS、BWATTOS、CWATTOS、AFWATTOS、BFWATTOS および CFWATTOS は、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

有効電力計算の符号

平均有効電力は符号付きで計算されます。電流波形と電圧波形の位相差が 90° を超えると、平均電力は負になります。負の電力は、電力量が送電系統に戻されることを示します。ADE7854A/ADE7858A/ADE7868A/ADE7878A は、有効電力計算のための符号検出回路を有し、総合有効電力または基本波有効電力を監視できます。[有効電力量の計算](#)のセクションで説明したように、有効電力量の積算は 2 段階で実行されます。第 1 段階の終了時に電力量積算で符号変化が検出されるたびに、すなわち、内部アキュムレータで積算された電力量が WTHR レジスタの閾値に達した後に、専用の割込みがトリガされます。PHSIGN レジスタを用いて、各相の有効電力の符号を読み出します。

ACCMODE レジスタのビット 6 (REVAPSEL) は、監視する有効電力のタイプを設定します。REVAPSEL を 0 (デフォルト値) に設定すると、総合有効電力が監視されます。REVAPSEL を 1 に設定すると、基本波有効電力が監視されます。

STATUS0 レジスタのビット[8:6] (それぞれ REVAPC、REVAPB、REVAPA) は、ACCMODE レジスタのビット 6 (REVAPSEL) で選択された電力の符号が変化したときに設定されます。

PHSIGN レジスタのビット[2:0] (それぞれ CWSIGN、BWSIGN、AWSIGN) は、REVAPC、REVAPB、REVAPA のビットと同時に設定され、これらのビットは電力の符号を示します。これらのビットが 0 に設定されると、対応する電力は正であり、1 に設定されている場合、対応する電力は負です。

STATUS0 レジスタのビット REVAPx と PHSIGN レジスタのビット xWSIGN は、ACCMODE レジスタのビット 6 (REVAPSEL) で選択された電力タイプである位相 x の総合有効電力を表します。

STATUS0 レジスタのビット[8:6] (それぞれ REVAPC、REVAPB、REVAPA) に付加された割込みは、MASK0 レジスタのビット[8:6] を設定することによりイネーブルになります。イネーブルになると、IRQ0ピンはローに設定され、符号の変化が発生するとステータス・ビットが 1 に設定されます。割込みをトリガした相を特定するには、STATUS0 レジスタを読み出した直後に、PHSIGN レジスタを読み出します。次に、対応するビットを 1 に設定して STATUS0 レジスタに書き込むと、ステータス・ビットがクリアされ、IRQ0ピンがハイに戻ります。

有効電力量の計算

前述したように、電力は電力量の流速と定義されます。この関係は、次のように数学的に表されます。

$$Power = \frac{dEnergy}{dt} \quad (29)$$

逆に、電力量は電力の積分であり、次のように表されます。

$$Energy = \int p(t) dt \quad (30)$$

総合有効電力量と基本波有効電力量の積算は、常に符号付き演算です。負の電力量は有効電力量から減算されます。ADE7854A/ADE7858A/ADE7868A/ADE7878A は、2 段階で有効電力信号を積分します (図 71 参照)。このプロセスは、総合有効電力と基本波有効電力の両方で同一です。第 1 段階は DSP 内部で達成され、125 マイクロ秒ごと (周波数 8kHz) に、各相の瞬時総合または基本波有効電力が内部レジスタに積算されます。閾値に達すると、プロセッサ・ポートでパルスが生成され、閾値が内部レジスタから減算されます。この瞬間の電力量の符号が、有効電力の符号と見なされます (有効電力計算の符号のセクションを参照)。第 2 段階は、DSP の外部で発生し、プロセッサによって生成されたパルス を内部の 32 ビット積算レジスタで積算します。これらのレジスタにアクセスすると、これらのレジスタの内容は、ワット時レジスタの xWATTHR および xFWATTHR に転送されます (図 70 参照)。

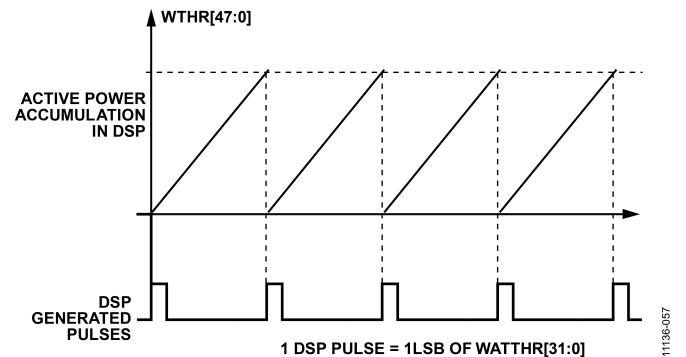


図 70. DSP 内部の有効電力の積算

11136-057

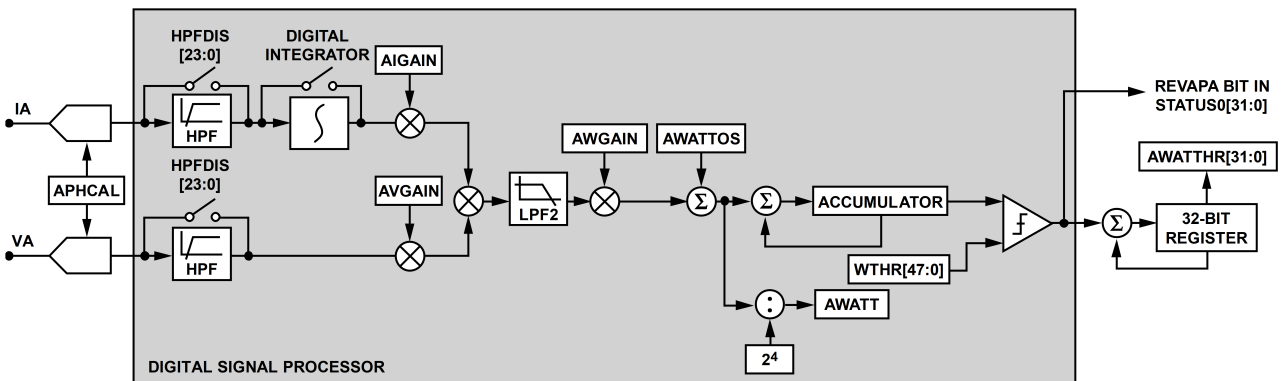


図 71. 総合有効電力量の積算

11136-056

48 ビット符号付きレジスタ WTHR は、ユーザが導入した閾値を格納しており、それは、全相の総合および基本波有効電力に対して共通です。この値は、ワット時レジスタの 1LSB に割り当てられる電力量に依存します

xWATTHR レジスタの 1LSB として、有効電力量 (wh) を $[10^n \text{ wh}]$ (n は整数) の形式で表したい場合、xWATTHR レジスタは以下の式を用いて計算できます。

$$xWTHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^n}{V_{FS} \times I_{FS}} \quad (31)$$

ここで、

$P_{MAX} = 33,516,139 = 0x1FF6A6B$ (ADC 入力フルスケールのときに計算される瞬時電力)。

$f_s = 8\text{kHz}$ (DSP が瞬時電力を計算する周波数)。

V_{FS} と I_{FS} は、ADC 入力フルスケールのときの、それぞれ相電圧と相電流の実効値。

WTHR に書き込める最大値は、 $2^{47} - 1$ です。最小値は $0x0$ ですが、 P_{MAX} 以上の数値を書き込むことを推奨します。負の数は使用しないでください。

WTHR は 48 ビット・レジスタです。電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 72 に示すように、WTHR レジスタは、2 つの 32 ビット・レジスタ (WTHR1 と WTHR0) としてアクセスされ、それぞれ 8 つの MSB に 0 が埋め込まれています。

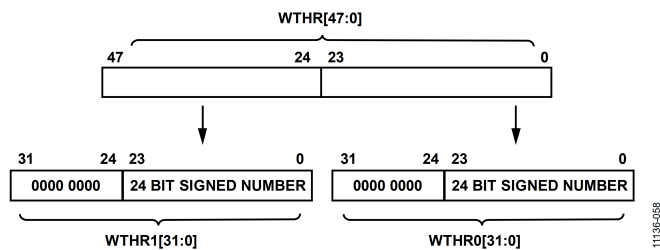


図 72. 2 つの 32 ビット・レジスタとして送信される WTHR[47:0]

この離散時間の積算または加算は、式 32 による連続時間での積分と等価です。

$$Energy = \int p(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} p(nT) \times T \right\} \quad (32)$$

ここで、

n は離散時間のサンプル数。

T はサンプル周期。

ADE7854A/ADE7858A/ADE7868A/ADE7878A では、各相の総合有効電力は、32 ビット符号付きレジスタの AWATTHR、BWATTHR および CWATTHR に積算され、各相の基本波有効電力は、32 ビット符号付きレジスタの AFWATTHR、BFWATTHR および CFWATTHR に積算されます。有効電力が正の場合、有効電力量レジスタの内容はフルスケールの負 ($0x80000000$) にロールオーバーし、値が増加し続けます。逆に、有効電力が負の場合、有効電力量レジスタはフルスケールの正 ($0x7FFFFFFF$) にアンダーフローし、値が減少し続けます。

xWATTHR レジスタのうちの 1 つのビット 30 が変更されると、STATUS0 レジスタのビット 0 (AEHF) が設定されます。これは、これらのレジスタの 1 つが半分だけ占められていることを示します。有効電力が正の場合、ワット時レジスタが $0x3FFFFFFF$ から $0x40000000$ にインクリメントすると、そのレジスタは半分だけ占められます。有効電力が負の場合、ワット時レジスタが $0xC0000000$ から $0xBFFFFFFF$ にデクリメントすると、そのレジスタは半分だけ占められます。同様に、xFWATTHR レジスタのうちの 1 つのビット 30 が変更されると、STATUS0 レジスタのビット 1 (FAEHF) が設定されます。これは、これらのレジスタの 1 つが半分だけ占められていることを示します。

MASK0 レジスタのビット [1:0] を設定すると、それぞれ FAEHF 割込みと AEHF 割込みがイネーブルになります。イネーブルされると、xWATTHR (AEHF 割込みの場合) または xFWATTHR (FAEHF 割込みの場合) のいずれかの電力量レジスタが半分だけ占められると常に、 $\overline{IRQ0}$ ピンがローに設定され、ステータス・ビットが 1 に設定されます。対応するビットを 1 に設定して STATUS0 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{IRQ0}$ ピンがロジック・ハイに設定されます。

LCYCMODE レジスタのビット 6 (RSTREAD) を設定すると、全てのワット時積算レジスタのリセット機能付き読出しが可能になります。つまり、読出し動作後にレジスタは 0 にリセットされます。

定常負荷時の積分時間

積算レジスタの離散時間サンプル周期 (t) は、125 マイクロ秒 (周波数 8kHz) です。アナログ入力にフルスケール正弦波信号を印加し、ワット・ゲイン・レジスタを $0x000000$ に設定すると、各 LPF2 からの平均ワード値は、 $P_{MAX} = 33,516,139 = 0x1FF6A6B$ になります。WTHR レジスタの閾値を P_{MAX} レベルに設定すると、125 マイクロ秒ごとに追加される DSP パルスがワット時レジスタに生成されます。

ワット時積算レジスタがオーバーフローする前に、それに格納できる最大値は、 $2^{31} - 1$ 、つまり $0x7FFFFFFF$ です。

積分時間を次のように計算します。

$$Time = 0x7FFFFFFF \times 125 \mu s = 74 \text{ hr}, 33 \text{ min}, 55 \text{ sec} \quad (33)$$

電力量積算モード

各 32 ビットワット時積算レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR および CFWATTHR) に積算される有効電力は、ACCMODE レジスタのビット 5 およびビット 4 (CONSEL ビット) の設定に依存します (表 15 参照)。

表 15. ワット時積算レジスタへの入力

CONSEL	AWATTHR	BWATTHR	CWATTHR
00	$VA \times IA$	$VB \times IB$	$VC \times IC$
01	$VA \times IA$	$VB \times IB$	$VC \times IC$
10	$VA \times IA$	$VB = VA - VC^1$	$VC \times IC$
11	$VA \times IA$	$VB = -VA - VC$	$VC \times IC$
		$VB = -VA$	

¹ 3 相 3 線式の場合 (CONSEL[1:0] = 01)、デバイスは A 相と C 相の間のライン電圧の実効値を計算し、その結果を BVRMS レジスタに格納します (3 相 3 線式デルタ構成の電圧実効値のセクションを参照)。その結果、デバイスは、物理的な意味を持たない B 相に関連付けられた電力を計算します。B 相に対応する電力に関連する周波数出力ピン (CF1、CF2 または CF3/HSCLK) のエラーを回避するには、COMPmode レジスタのビット TERMSEL1[1]、ビット TERMSEL2[1]、またはビット TERMSEL3[1] を 0 に設定して、B 相による電力量/周波数変換への寄与を無効にします (電力量/周波数変換のセクションを参照)。

多相電力量計の使用状況に応じて、適切な数式を選択し、有効電力量を計算します。米国の ANSI C12.10 規格では、電力量計の各種構成が定義されています。表 16 は、こうした各種構成でどのモードを選択するかを示しています。

表 16. 電力量計の形式の構成

ANSI Meter Form	Configuration	CONSEL[1:0]
5S/13S	3-wire delta	01
6S/14S	4-wire wye	10
8S/15S	4-wire delta	11
9S/16S	4-wire wye	00

ACCmode レジスタのビット[1:0] (WATTACC[1:0]) は、総合有効電力および基本波有効電力の関数として CF 周波数出力を生成する方法を決定します。ワット時積算レジスタが有効電力を符号付き形式で積算するのに対し、周波数出力は、WATTACC[1:0] ビットの機能として、符号付きモードまたは絶対モードのいずれかで生成できます。詳細については、電力量/周波数変換のセクションを参照してください。

ライン・サイクル有効電力量積算モード

ライン・サイクル電力量積算モードでは、電力量積算が電圧チャンネルのゼロ交差に同期するため、有効電力量は整数回のハーフ・ライン・サイクルにわたって積算されます。整数回のライン・サイクルにわたって有効電力量を合算する利点は、有効電力量の正弦波成分が 0 に減少することです。これにより、電力量計算でリップルが除去され、短時間で正確に電力量を積算できます。ライン・サイクル電力量積算モードを用いると、電力量キャリブレーションが大幅に簡略化され、電力量計キャリブレーション時間が大幅に短縮されます。

ライン・サイクル電力量積算モードでは、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、整数回のライン・サイクルの後に、32 ビット内部積算レジスタに積算された有効電力量を、xWATTHR レジスタまたは xFWATTHR レジスタに転送します (図 73 参照)。LINECYC レジスタはハーフ・ライン・サイクルの回数を指定します。

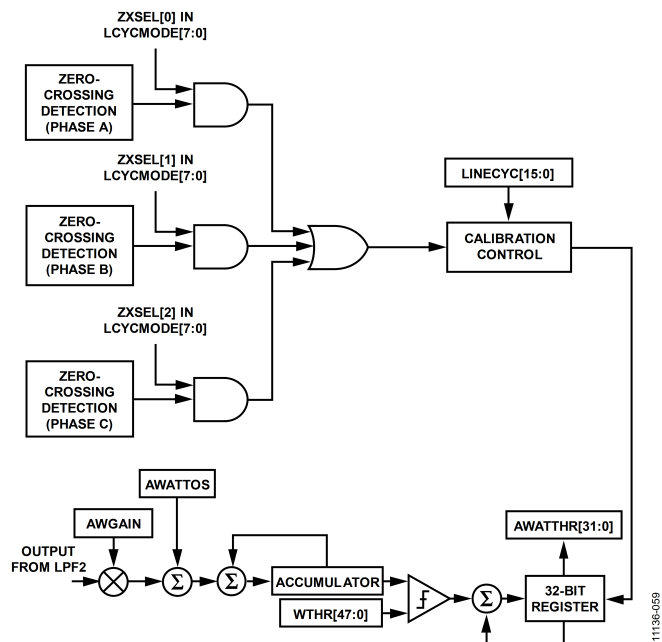


図 73. ライン・サイクル有効電力量積算モード

LCYCMODE レジスタのビット 0 (LWATT) を設定すると、ライン・サイクル有効電力量積算モードが有効になります。LINECYC がハーフ・ライン・サイクルの回数を検出した後、整数回のハーフ・ライン・サイクルにわたる電力量積算が、ワット時積算レジスタに書き込まれます。ライン・サイクル積算モードを使用する場合は、LCYCMODE のビット 6 (RSTREAD) をロジック 0 に設定します。これは、このモードではワット時レジスタのリセット機能付き読出しができないためです。

A 相、B 相および C 相のゼロ交差は、LCYCMODE レジスタ内のビット[5:3] (ZXSEL[x]) を設定することによってハーフ・ライン・サイクルの回数をカウントするときに含まれます。3 相全てのゼロ交差を任意に組み合わせて、ゼロ交差をカウントできます。キャリブレーション中にゼロ交差カウントに含めるには、一度に 1 つの相のみを選択します。

16 ビット符号なしレジスタ LINECYC は、ゼロ交差の回数を指定します。ADE7854A/ADE7858A/ADE7868A/ADE7878A は、最大 65,535 回組み合わせたゼロ交差に対して有効電力を積算できます。内部ゼロ交差カウンタは常にアクティブであることに注意してください。したがって、LCYCMODE レジスタにビット 0 (LWATT) を設定することにより、最初の電力量積算結果が不正確になります。LWATT ビットの設定時に LINECYC レジスタに書き込むと、ゼロ交差カウンタがリセットされるため、最初の電力量積算結果の正確性が確保されます。

電力量キャリブレーション・サイクルの終了時に、STATUS0 レジスタのビット 5 (LENERGY) が設定されます。MASK0 割込みマスク・レジスタの対応するマスク・ビットが有効になっている場合、 $\overline{IRQ0}$ ピンはアクティブ・ローになります。対応するビットを 1 に設定して STATUS0 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{IRQ0}$ ピンがハイにリセットされます。ライン・サイクル積算モードでは、有効電力は整数回のハーフ・ライン・サイクルで積分されるため、正弦波成分は 0 に減少し、電力量計算でリップルは除去されます。したがって、ライン・サイクル積算モードを用いて積算された総合有効電力量は、次のようになります。

$$e = \int_t^{t+nT} p(t) dt = nT \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) \quad (34)$$

ここで、 nT は積算時間。

ライン・サイクル有効電力量積算は、有効電力量積算と同じ信号経路を使用することに注意してください。これら 2 つの方法の LSB サイズは同じです。

無効電力の計算—ADE7858A、ADE7868A、ADE7878A のみ

ADE7858A/ADE7868A/ADE7878A は、全ての相に対して総合無効電力を計算できます。総合無効電力は、電圧および電流の全ての基本波成分および高調波成分を積分します。ADE7878A は、電圧および電流の基本波成分によってのみ決定される電力である基本波無効電力も計算します。

リアクタンス素子（インダクタまたはコンデンサ）を含む負荷は、印加された交流電圧と、その結果生じる電流の間に位相差を生じます。VAR は、リアクタンス素子に関連付けられた電力（無効電力）の単位です。無効電力は、電圧波形と電流波形の一方の全ての高調波成分が 90° 位相シフトしている場合、これらの波形の積として定義されます。

式 38 は、電流チャンネルの位相が 90° シフトしたときの交流システムにおける瞬間無効電力信号を表しています。

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \varphi_k) \quad (35)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k) \quad (36)$$

$$i'(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin\left(k\omega t + \gamma_k + \frac{\pi}{2}\right) \quad (37)$$

ここで、 $i'(t)$ は、全ての高調波成分が 90° 位相シフトした電流波形。次に、瞬間無効電力 $q(t)$ は、次式で表すことができます。

$$q(t) = v(t) \times i'(t)$$

$$q(t) = \sum_{k=1}^{\infty} V_k I_k \times 2 \sin(k\omega t + \varphi_k) \times \sin(k\omega t + \gamma_k + \frac{\pi}{2}) + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \times 2 \sin(k\omega t + \varphi_k) \times \sin(m\omega t + \gamma_m + \frac{\pi}{2}) \quad (38)$$

$q(t)$ は次のように書き直せることに注意してください。

$$q(t) = \sum_{k=1}^{\infty} V_k I_k \left\{ \cos\left(\varphi_k - \gamma_k - \frac{\pi}{2}\right) - \cos\left(2k\omega t + \varphi_k + \gamma_k + \frac{\pi}{2}\right) \right\} + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \left\{ \cos\left[(k-m)\omega t + \varphi_k - \gamma_k - \frac{\pi}{2}\right] - \cos\left[(k+m)\omega t + \varphi_k + \gamma_k + \frac{\pi}{2}\right] \right\} \quad (39)$$

式 40 は、整数回 (n) のライン・サイクルにわたる平均総合無効電力を表します。

$$Q = \frac{1}{nT} \int_0^{nT} q(t) dt = \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k - \frac{\pi}{2}) \quad (40)$$

$$Q = \sum_{k=1}^{\infty} V_k I_k \sin(\varphi_k - \gamma_k)$$

ここで、
 T はライン・サイクルの周期。
 Q は総合無効電力。

総合無効電力は、式 39 における瞬間無効電力信号 $q(t)$ の直流成分に等しいことに注意してください。すなわち、

$$\sum_{k=1}^{\infty} V_k I_k \sin(\varphi_k - \gamma_k)$$

この関係式は、各相で ADE7858A/ADE7868A/ADE7878A が総合無効電力を計算するのに使用されます。瞬間無効電力信号 $q(t)$ は、各相で電圧信号の各高調波に、対応する 90° 位相シフトした電流の高調波を乗算することによって生成されます。

ADE7858A/ADE7868A/ADE7878A は、各相の瞬間総合無効電力を AVAR、BVAR および CVAR レジスタに格納します。それらは、次のように表されます。

$$xVAR = \sum_{k=1}^{\infty} \frac{V_k}{V_{FS}} \times \frac{I_k}{I_{FS}} \times \sin(\varphi_k - \gamma_k) \times PMAX \times \frac{1}{2^4} \quad (41)$$

ここで、
 V_{FS} と I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の実効値です。

$PMAX = 33,516,139$ (ADC 入力が入力フルスケールで、位相が一致しているときに計算される瞬間電力)。

xVAR 波形レジスタには、様々なシリアル・ポートを用いてアクセスできます。詳細については、[波形サンプリング・モード](#)のセクションを参照してください。

有効電力の計算のセクションで説明されているように、CONFIG_A レジスタの LPFSEL ビットを用いて、電力計測でのフィルタリングを強化します。LPFSEL ビットはデフォルトで 0 であり、1 に設定すると、電力フィルタリングの強度が増します (図 68 と図 69 を参照)。このフィルタリングは、総合有効電力と総合無効電力の両方の計測に影響します。

基本波無効電力の式は、次のように、式 40 で $k = 1$ として得られます。

$$FQ = V_1 I_1 \sin(\varphi_1 - \gamma_1) \quad (42)$$

ADE7878A は、独自のアルゴリズムを用いて基本波無効電力を計算します。このアルゴリズムでは、ネットワーク周波数および電圧チャンネルで測定された公称電圧の初期化が必要です。これらの初期化は、基本波有効電力と無効電力の両方に共通です（[有効電力の計算](#)のセクションを参照）。

表 17 は、基本波無効電力計測のためのセトリング時間を示します。これは、電力が ADE7878A の入力における値を反映するのに要する時間です。

表 17. 基本波無効電力のセトリング時間

63% Full-Scale Input Signals	100% Full-Scale Input Signals
375 ms	875 ms

無効電力ゲインのキャリブレーション

各相の VAR ゲイン 24 ビット・レジスタ (AVARGAIN、BVARGAIN、CVARGAIN、AFVARGAIN、BFVARGAIN、CFVARGAIN) のいずれかに書き込むことにより、各相の平均無効電力を $\pm 100\%$ スケールリングします。xVARGAIN レジスタは、各相の総合無効電力データ経路に配置され、xFVARGAIN レジスタは、各相の基本波無効電力データ経路に配置されます。xVARGAIN レジスタは、2 の補数、符号付きレジスタで、分解能は $2^{-23}/\text{LSB}$ です。xVARGAIN レジスタの機能は次のように表されます。

Average Reactive Power =

$$\text{LPF2 Output} \times \left(1 + \frac{\text{xVARGAIN Register}}{2^{23}} \right) \quad (43)$$

出力は、xVARGAIN レジスタに 0xC00000 を書き込むことによって -50% スケールリングされ、0x400000 を書き込むことによって $+50\%$ 増加します。これらのレジスタを用いて、各相のデバイスの無効電力（または電力量）ゲインをキャリブレーションします。

[電流波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。[図 34](#) に示したレジスタと同様に、24 ビット符号付きレジスタの AVARGAIN、BVARGAIN、CVARGAIN、AFVARGAIN、BFVARGAIN、CFVARGAIN は、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

無効電力オフセットのキャリブレーション

ADE7858A/ADE7868A/ADE7878A は、各相および各無効電力について無効電力オフセット・レジスタを内蔵しています。AVAROS、BVAROS および CVAROS レジスタは、総合無効電力計算でオフセットを補償し、AFVAROS、BFVAROS および CFVAROS レジスタは、基本波無効電力計算でオフセットを補償します。これらの符号付き、2 の補数、24 ビット・レジスタは、無効電力計算でオフセットを除去します。オフセットは、PCB 上またはチップ自体のチャンネル間のクロストークにより、電力計算で生じることがあります。これらのレジスタのオフセット分解能は、有効電力オフセット・レジスタの分解能と同じです（[有効電力オフセットのキャリブレーション](#)のセクションを参照）。

[電流波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。[図 34](#) に示すレジスタと同様に、24 ビット符号付きレジスタの AVAROS、BVAROS、CVAROS、AFVAROS、BFVAROS および CFVAROS は、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

無効電力計算の符号

無効電力は、符号付きで計算されることに注意してください。[表 18](#) は、電圧と電流の間の位相差と、結果として得られる無効電力計算の符号との関係をまとめたものです。

表 18. 無効電力計算の符号

Φ^1 (Degrees)	Integrator	Sign of Reactive Power
Between 0 to +180	Off	Positive
Between -180 to 0	Off	Negative
Between 0 to +180	On	Positive
Between -180 to 0	On	Negative

¹ Φ は、電圧信号から電流信号を差し引いた位相角として定義されます。すなわち、 Φ は、負荷が誘導性であれば正であり、負荷が容量性であれば負になります。

ADE7858A/ADE7868A/ADE7878A は、無効電力計算用の符号検出回路を備えており、この回路は、総合無効電力または基本波無効電力を監視できます。[無効電力量の計算](#)のセクションで説明したように、無効電力量の積算は 2 段階で実行されます。電力量積算の第 1 段階の終了時に符号変化が検出されるたびに、すなわち内部アキュムレータで積算された電力量が VARTHRE レジスタの閾値に達した後に、専用の割込みがトリガされます。各相の無効電力の符号は、PHSIGN レジスタから読み出します。ACCMODE レジスタのビット 7 (REVRPSEL) は、監視する無効電力のタイプを設定します。REVRPSEL を 0 (デフォルト値) に設定すると、総合無効電力が監視され、REVRPSEL を 1 に設定すると、基本波無効電力が監視されます。

ACCMODE レジスタのビット 7 (REVRPSEL) で選択された電力の符号が変化すると、ビット [12:10] (それぞれ REVRPC、REVRPB、REVRPA) が STATUS0 レジスタに設定されます。

PHSIGN のレジスタのビット [6:4] (それぞれ CVARSIGN、BVARSIGN、AVARSIGN) は、REVRPC、REVRPB および REVRPA ビットと同時に設定されます。それらは無効電力の符号を示します。これらのビットが 0 に設定されている場合、無効電力は正です。これらのビットが 1 に設定されている場合、無効電力は負です。

STATUS0 レジスタのビット REVRPx と PHSIGN レジスタのビット xVARSIGN は、ACCMODE レジスタのビット REVRPSEL で選択された電力タイプである x 相の無効電力を表します。

MASK0 レジスタのビット [12:10] を設定すると、それぞれ REVRPC、REVRPB、REVRPA 割込みがイネーブルになります。イネーブルになると、IRQ0 ピンはローに設定され、ステータス・ビットは、符号が変化するたびに 1 に設定されます。割込みをトリガした相を特定するには、STATUS0 レジスタを読み出した直後に PHSIGN レジスタを読み出します。次に、対応するビットを 1 に設定して STATUS0 レジスタに書き込んで、ステータス・ビットをクリアし、IRQ0 ピンをハイに設定します。

無効電力量の計算

無効電力量は、無効電力の積分として定義されます。

$$\text{Reactive Energy} = \int q(t) dt \quad (44)$$

総合無効電力量と基本波無効電力量の積算は、常に符号付き演算です。負の電力量は無効電力量から減算されます。

有効電力と同様に、ADE7858A/ADE7868A/ADE7878A は、無効電力信号を 2 段階で積分します（図 74 参照）。このプロセスは、総合無効電力と基本波無効電力の両方で同一です。

- 第 1 段階は DSP 内部で行われ、125 マイクロ秒ごと（周波数 8kHz）に、各相の瞬時総合または基本波有効電力が内部レジスタに積算されます。閾値に達すると、プロセッサ・ポートでパルスが生成され、閾値が内部レジスタから減算されます。この瞬間の電力量の符号は、無効電力の符号と見なされます（詳細については、[無効電力計算の符号](#)のセクションを参照）。
- 第 2 段階は、DSP の外部で実行され、プロセッサによって生成されたパルスを内部の 32 ビット積算レジスタに積算します。これらのレジスタがアクセスされると、レジスタの内容が VAR 時レジスタ（xVARHR と xFVARHR）に転送されます。AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR、CFVARHR は、各相の基本波無効電力を表しています。

[有効電力量の計算](#)のセクションの図 70 で、このプロセスを説明しています。48 ビット符号付きレジスタ VARTH は、ユーザが導入した閾値を格納しており、それは、各相の総合および基本波有効電力に対して共通です。この値は、VAR 時レジスタの 1LSB に割り当てられる電力量に依存します。

xVARHR レジスタの 1LSB として、無効電力量（varh）を $[10^n \text{ varh}]$ （ n は整数）の形式で表したい場合、VARTH レジスタは以下の式を用いて計算できます。

$$\text{VARTH} = \frac{P_{\text{MAX}} \times f_s \times 3600 \times 10^n}{V_{\text{FS}} \times I_{\text{FS}}} \quad (45)$$

ここで、

$P_{\text{MAX}} = 33,516,139 = 0x1FF6A6B$ （ADC 入力がフルスケールのときに計算される瞬時電力）。

$f_s = 8\text{kHz}$ （DSP が瞬時電力を計算する周波数）。

V_{FS} と I_{FS} は、ADC 入力がフルスケールのときの相電圧と相電流の実効値。

VARTH レジスタに書き込める最大値は、 $2^{47} - 1$ です。最小値は $0x0$ ですが、 P_{MAX} 以上の数値を書き込むことを推奨します。負の数は使用しないでください。

WTHR レジスタ（図 72 参照）と同様に、48 ビット・レジスタ VARTH は、2 つの 32 ビット・レジスタ（VARTH1 と VARTH0）としてアクセスされ、それぞれ、8 つの MSB に 0 が埋め込まれています。[電圧波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。

この離散時間の積算または加算は、式 46 に示すように、連続時間における積分と等価です。

$$\text{Reactive Energy} = \int q(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} q(nT) \times T \right\} \quad (46)$$

ここで、

n は離散時間のサンプル数。

T はサンプル周期。

ADE7858A/ADE7868A/ADE7878A では、各相の総合無効電力は、32 ビット符号付きレジスタの AVARHR、BVARHR および CVARHR に積算されます。各相の基本波無効電力は、32 ビット符号付きレジスタの AFVARHR、BFVARHR および CFVARHR に積算されます。無効電力が正の場合、無効電力量レジスタの内容は、フルスケールの負（ $0x80000000$ ）にロールオーバーし、値が増加し続けることができます。逆に、無効電力が負の場合、無効電力量レジスタはフルスケールの正（ $0x7FFFFFFF$ ）にアンダーフローし、値が減少し続けます。

STATUS0 レジスタのビット 2（REHF）は、xFVARHR レジスタのうちの 1 つのビット 30 が変更されたときに設定され、これらのレジスタの 1 つが半分だけ占められていることを示します。無効電力が正の場合、VAR 時レジスタは、 $0x3FFFFFFF$ から $0x40000000$ にインクリメントすると、半分だけ占められます。無効電力が負の場合、VAR 時レジスタは、 $0xC0000000$ から $0xBFFFFFFF$ にデクリメントすると、半分だけ占められます。同様に、STATUS0 レジスタのビット 3（FREHF）は、xFVARHR レジスタのうちの 1 つのビット 30 が変更されたときに設定され、これらのレジスタの 1 つが半分だけ占められていることを示します。

MASK0 レジスタのビット [3:2] を設定すると、それぞれ FREHF 割込みと REHF 割込みがイネーブルになります。イネーブルされると、電力量レジスタの 1 つ（REHF 割込みでは xVARHR、FREHF 割込みでは xFVARHR）が半分だけ占められると常に、 $\overline{\text{IRQ0}}$ ピンがローになり、ステータス・ビットが 1 に設定されます。対応するビットを 1 に設定して STATUS0 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ0}}$ ピンがハイに設定されます。

LCYCMODE レジスタのビット 6（RSTREAD）を設定すると、全ての VAR 時積算レジスタのリセット機能付き読出しが可能になります。つまり、読出し動作後に、レジスタは 0 にリセットされます。

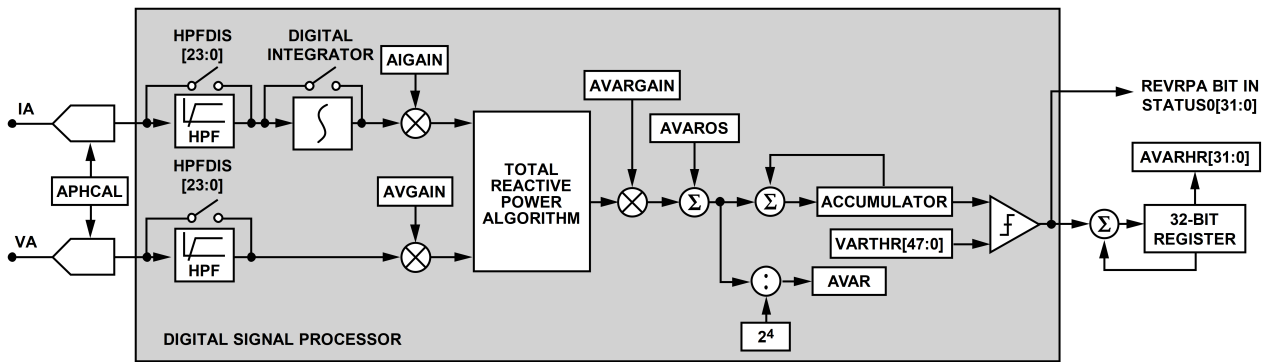


図 74. 総合無効電力量の積算

定常負荷時の積分時間

積算レジスタの離散時間サンプル周期 (T) は、125 マイクロ秒 (周波数 8kHz) です。アナログ入力にフルスケールの純粋な正弦波信号を印加し、電圧と電流信号の間に 90°の位相差がある (最大可能無効電力) 場合、無効電力を表す平均ワード値は、 $PMAX = 33,516,139 = 0x1FF6A6B$ です。PMAX レベルで VARTHRR 閾値を設定すると、125 マイクロ秒ごとに VAR 時レジスタに追加されるパルスを、DSP が生成します。

オーバーフローする前に VAR 時積算レジスタに格納できる最大値は、 $2^{31} - 1$ 、つまり $0x7FFFFFFF$ です。

積分時間は次式で計算されます。

$$Time = 0x7FFFFFFF \times 125 \mu s = 74 \text{ hr}, 33 \text{ min}, 55 \text{ sec} \quad (47)$$

電力量積算モード

各 VAR 時積算で積算される無効電力 32 ビット・レジスタ (AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR、CFVARHR) は、ワット時レジスタと相関して、ACCMODE レジスタのビット [5:4] (CONSEL[1:0]) の設定に依存します。各種構成を表 19 に示します。IA'、IB'、IC' は、位相シフトされた電流波形であることに注意してください。

表 19. VAR 時積算レジスタへの入力

CONSEL[1:0]	AVARHR, AFVARHR	BVARHR, BFVARHR	CVARHR, CFVARHR
00	$VA \times IA'$	$VB \times IB'$	$VC \times IC'$
01	$VA \times IA'$	$VB \times IB'$	$VC \times IC'$
10	$VA \times IA'$	$VB \times IB'$	$VC \times IC'$
11	$VA \times IA'$	$VB \times IB'$	$VC \times IC'$

¹ 3 相 3 線式 (CONSEL[1:0]=01) の場合、デバイスは A 相と C 相の間のライン電圧の実効値を計算し、その結果を BVRMS レジスタに格納します (3 相 3 線式デルタ構成の電圧実効値のセクションを参照)。その結果、デバイスは、物理的な意味を持たない B 相に関連付けられた電力を計算します。B 相に対応する電力に関連する周波数出力ピン (CF1、CF2、または CF3/HSCCLK) のエラーを回避するには、COMPMODE レジスタのビット TERMSEL1[1]、ビット TERMSEL2[1]、またはビット TERMSEL3[1] を 0 に設定して、電力量/周波数変換への B 相の寄与を無効にします (電力量/周波数変換のセクションを参照)。

ACCMODE レジスタのビット [3:2] (VARACC[1:0]) は、CFx 周波数出力を総合無効電力と基本波無効電力の関数として生成する方法を決定します。VAR 時積算レジスタが符号付き形式で無効電力を積算するのに対して、周波数出力は、VARACC[1:0] の適切なビットを設定することにより、符号付きモード、符号調整モード、絶対モードのいずれかで生成できます。詳細については、[電力量/周波数変換](#)のセクションを参照してください。

ライン・サイクル無効電力量積算モード

ライン・サイクル電力量積算モード ([ライン・サイクル有効電力量積算モード](#)のセクションを参照) では、電力量積算を電圧チャネルのゼロ交差に同期させて、整数回のハーフ・ライン・サイクルにわたって無効電力量を積算できます。

このモードでは、ADE7858A/ADE7868A/ADE7878A は、整数回のライン・サイクルの後に、32 ビットの内部積算レジスタに積算された無効電力量を xVARHR レジスタまたは xFVARHR レジスタに転送します (図 75 参照)。LINECYC レジスタはハーフ・ライン・サイクルの回数を指定します。

LCYCMODE レジスタのビット 1 (LVAR) を設定すると、ライン・サイクル無効電力量積算モードが有効になります。整数回のハーフ・ライン・サイクルまたはゼロ交差にわたって積算された総合無効電力は、LINECYC レジスタで指定されたゼロ交差の数が検出された後に、VAR 時積算レジスタに書き込まれます。ライン・サイクル積算モードでは、VAR 時レジスタのリセット機能付き読出しは利用できないため、LCYCMODE レジスタのビット 6 (RSTREAD) をロジック 0 に設定します。

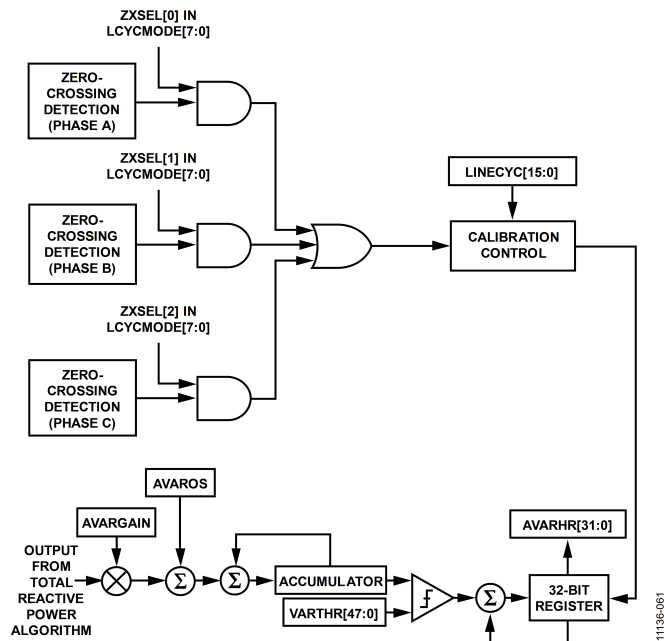


図 75. ライン・サイクル総合無効電力量積算モード

A 相、B 相、および C 相のゼロ交差は、LCYCMODE レジスタ内のビット[5:3] (ZXSEL[x]) を設定して、ハーフ・ライン・サイクルの回数をカウントするときに含まれます。3 相全てのゼロ交差を任意に組み合わせて、ゼロ交差をカウントできます。キャリブレーション中にゼロ交差カウントに含めるには、一度に 1 つの相のみを選択します。

LINECYC レジスタの設定と、ライン・サイクル積算モードに関連する MASK0 割込みマスク・レジスタのビット 5 (LENERGY) の設定の詳細については、[ライン・サイクル有効電力量積算モード](#)のセクションを参照してください。

皮相電力の計算

皮相電力は、負荷に供給できる最大電力として定義されます。皮相電力を求める 1 つの方法は、電圧実効値と電流実効値を乗算することです (算術皮相電力と呼ばれます)。

$$S = V_{rms} \times I_{rms} \quad (48)$$

ここで、 S は皮相電力。

V_{rms} と I_{rms} は、それぞれ実効値電圧と実効値電流。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、各相の算術皮相電力を計算します。図 76 は、ADE7854A/ADE7858A/ADE7868A/ADE7878A で皮相電力を計算するための各相における信号処理を示します。 V_{rms} と I_{rms} には全ての高調波情報が含まれているため、デバイスで計算される皮相電力は総合皮相電力となります。ADE7878A は、基本波電圧/電流の実効値を測定しないため、基本波皮相電力を計算しないことに注意してください。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、各相の瞬時皮相電力を AVA、BVA および CVA レジスタに格納します。以下のよう表せます。

$$xVA = \frac{V}{V_{FS}} \times \frac{I}{I_{FS}} \times PMAX \times \frac{1}{2^4} \quad (49)$$

ここで、

V と I は、それぞれ相電圧と相電流の実効値。

V_{FS} と I_{FS} は、ADC 入力が入力フルスケールのときの、それぞれ相電圧と相電流の実効値。

$PMAX = 33,516,139$ (ADC 入力が入力フルスケールで、位相が一致しているときに計算される瞬時電力)。

$xVA[23:0]$ 波形レジスタは、様々なシリアル・ポートを介してアクセスできることに注意してください ([波形サンプリング・モード](#)のセクションを参照)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、各相の実効値電流と、外部から導入された実効値電圧を乗算して、別の方法で皮相電力を計算できます ([VNOM を用いた皮相電力計算](#)のセクションを参照)。

皮相電力ゲインのキャリブレーション

各相における平均皮相電力の結果は、それぞれの 24 ビット・レジスタ $xVAGAIN$ (AVAGAIN、BVAGAIN または CVAGAIN) に書き込むことによって、 $\pm 100\%$ スケーリングできます。

$xVAGAIN$ レジスタは、2 の補数、符号付きレジスタであり、分解能は $2^{-23}/LSB$ です。 $xVARGAIN$ レジスタの機能は、次のように数学的に表されます。

$$\text{Average Apparent Power} =$$

$$V_{rms} \times I_{rms} \times \left(1 + \frac{xVAGAIN \text{ Register}}{2^{23}} \right) \quad (50)$$

ここで、 x は A、B または C 相を表します。

出力は、 $xVAGAIN$ レジスタに $0x000000$ を書き込むことによって -50% スケーリングされ、 $0x400000$ を書き込むことによって $+50\%$ 増加します。これらのレジスタは、各相に対して、ADE7854A/ADE7858A/ADE7868A/ADE7878A で皮相電力 (または電力量) 計算をキャリブレーションします。

[電流波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。図 34 に示すレジスタと同様に、24 ビット・レジスタの AVAGAIN、BVAGAIN および CVAGAIN は、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

皮相電力オフセットのキャリブレーション

各実効値測定には、実効値の直流成分をキャリブレーションおよび除去するためのオフセット補償レジスタが含まれています ([実効値測定](#)のセクションを参照)。電圧と電流の実効値は、皮相電力信号処理で乗算されます。実効値の乗算ではオフセットが追加されないため、皮相電力信号処理では特定のオフセット補償は存在しません。各相での皮相電力測定値のオフセット補償は、個々の実効値測定値をキャリブレーションして実現されます。

VNOM を用いた皮相電力計算

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、各相の実効値電流と、24ビット符号付きレジスタ VNOM に外部から導入された実効値電圧を乗算して、皮相電力を計算できます。COMPmode レジスタのビット [13:11] (VNOMCEN、VNOMBEN または VNOMAEN) のうちの 1 つが 1 に設定されると、対応する相 (VNOMxEN の x 相) の皮相電力はこの方法で計算されます。VNOMxEN ビットを 0 (デフォルト値) にクリアすると、算術皮相電力が計算されます。

VNOM レジスタは、V (所望の実効値電圧) と V_{FS} (ADC 入力が入力フルスケールであるときの相電圧の実効値) によって決定される数を格納しています。

$$VNOM = \frac{V}{V_{FS}} \times 4,191,910 \quad (51)$$

ここで、V は、各相の所望の公称実効値電圧。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 37 に示すレジスタと同様に、24 ビット符号付きレジスタ VNOM は、8 つの MSB に 0 が埋め込まれた 32 ビット・レジスタとしてアクセスされます。

皮相電力量の計算

皮相電力量は、皮相電力の積分として定義されます。

$$Apparent\ Energy = \int s(t) dt \quad (52)$$

有効電力および無効電力と同様に、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、皮相電力信号を 2 段階で積分します (図 76 参照)。

第 1 段階は DSP 内部で行われ、125 マイクロ秒ごと (周波数 8kHz) に、瞬時皮相電力が内部レジスタに積算されます。閾値に達すると、プロセッサ・ポートでパルスが生成され、閾値が内部レジスタから減算されます。

第 2 段階は、DSP の外部で行われ、プロセッサによって生成されたパルスを内部の 32 ビット積算レジスタで積算します。これらのレジスタにアクセスすると、レジスタの内容が VA 時レジスタ (xVAHR) に転送されます (有効電力量の計算のセクションの図 71 を参照)。

48 ビット・レジスタ VATHR には、閾値が格納されています。この値は、VA 時レジスタの 1LSB に割り当てられる電力量に依存します。xVAHR レジスタの 1LSB として、皮相電力量 (VAh) を $[10^6 \text{ VAh}]$ の形式で表したい場合、次式を用いて VATHR レジスタを計算します。

$$VATHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^6}{V_{FS} \times I_{FS}} \quad (53)$$

ここで、

$P_{MAX} = 33,516,139 = 0x1FF6A6B$ (ADC 入力が入力フルスケールのときに計算される瞬時電力)。

$f_s = 8\text{kHz}$ (DSP が瞬時電力を計算する周波数)。

V_{FS} と I_{FS} は、ADC 入力が入力フルスケールのときの、それぞれ相電圧と相電流の実効値。

VATHR は 48 ビット・レジスタです。電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。図 72 に示す WTHR レジスタと同様に、VATHR レジスタは、2 つの 32 ビットレジスタ (VATHR1 と VATHR0) としてアクセスされ、それぞれ 8 つの MSB に 0 が埋め込まれています。

この離散時間の積算または加算は、式 54 に示すように、連続時間における積分と等価です。

$$Apparent\ Energy = \int s(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} s(nT) \times T \right\} \quad (54)$$

ここで、

n は離散時間のサンプル数。

T はサンプル周期。

ADE7854A/ADE7858A/ADE7868A/ADE7878A では、各相の皮相電力は、32 ビット符号付きレジスタの AVAHR、BVAHR および CVAHR に積算されます。皮相電力が正の場合、皮相電力量レジスタの内容はフルスケールの負 ($0x80000000$) にロールオーバーし、値が増加し続けることができます。

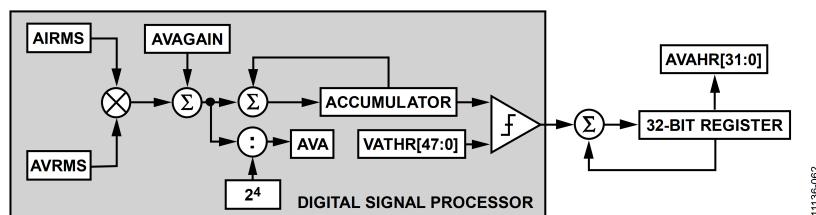


図 76. 皮相電力データ・フローと皮相電力量積算

xVAHR レジスタのうちの 1 つのビット 30 が変更されると、STATUS0 レジスタのビット 4 (VAEHF) が設定され、これらのレジスタの 1 つが半分だけ占められていることを示します。皮相電力は常に正であり、xVAHR レジスタは符号付きであるため、0x3FFFFFFF から 0x40000000 までインクリメントすると、VA 時レジスタは半分だけ占められます。MASK0 レジスタのビット 4 を設定することにより、STATUS0 レジスタのビット VAEHF に付加された割込みをイネーブルにします。イネーブルにすると、電力量レジスタ xVAHR のうちの 1 つが半分だけ占められるときに、 $\overline{\text{IRQ0}}$ ピンがローに設定され、ステータス・ビットが 1 に設定されます。対応するビットを 1 に設定して STATUS0 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ0}}$ ピンがハイに設定されます。

LCYCMODE レジスタのビット 6 (RSTREAD) を設定すると、全ての xVAHR 積算レジスタのリセット機能付き読出しが可能になります。つまり、レジスタは読出し動作後に 0 にリセットされます。

定常負荷時の積分時間

積算レジスタの離散時間サンプル周期は 125 マイクロ秒 (周波数 8kHz) です。アナログ入力にフルスケールの純粋な正弦波信号が印加されている場合、皮相電力を表す平均ワード値は P_{MAX} です。P_{MAX} レベルで VATHR 閾値を設定すると、125 マイクロ秒ごとに xVAHR レジスタに追加されるパルスを、DSP が生成します。

オーバーフローする前に xVAHR 積算レジスタに格納できる最大値は $2^{31} - 1$ 、つまり 0x7FFFFFFF です。

積分時間を次のように計算します。

$$\text{Time} = 0x7FFFFFFF \times 125 \mu\text{s} = 74 \text{ hr, } 33 \text{ min, } 55 \text{ sec} \quad (55)$$

電力量積算モード

各積算レジスタに積算される皮相電力の量は、ACCMODE レジスタのビット [5:4] (CONSEL[1:0]) の設定に依存します。VA 時積算レジスタへの入力の各種設定については、表 20 を参照してください。

表 20. VA 時積算レジスタへの入力

CONSEL[1:0]	AVAHR	BVAHR	CVAHR
00	VA rms × IA rms	VB rms × IB rms	VC rms × IC rms
01	VA rms × IA rms	VB rms × IB rms VB = VA – VC ¹	VC rms × IC rms
10	VA rms × IA rms	VB rms × IB rms VB = –VA – VC	VC rms × IC rms
11	VA rms × IA rms	VB rms × IB rms VB = –VA	VC rms × IC rms

¹ 3 相 3 線式の場合 (CONSEL[1:0] = 01)、デバイスは A 相と C 相の間のライン電圧の実効値を計算し、その結果を BVRMS レジスタに格納します (3 相 3 線式デルタ構成の電圧実効値のセクションを参照)。その結果、デバイスは、物理的な意味を持たない B 相に関連付けられた電力を計算します。B 相に対応する電力に関連する周波数出力ピン (CF1、CF2、または CF3/HCLK) のエラーを回避するには、COMPmode レジスタのビット TERMSEL1[1]、ビット TERMSEL2[1]、またはビット TERMSEL3[1] を 0 に設定して、電力量/周波数変換への B 相の寄与を無効にします (電力量/周波数変換のセクションを参照)。

ライン・サイクル皮相電力量積算モード

ライン・サイクル電力量積算モードでは、電力量積算を電圧チャネルのゼロ交差に同期させることが可能であり、皮相電力量を整数回のハーフ・ライン・サイクルにわたって積算できます (ライン・サイクル有効電力量積算モードのセクションを参照)。このモードでは、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、整数回のライン・サイクルの後に、32 ビットの内部積算レジスタに積算された無効電力量を xVAHR レジスタに転送します (図 77 参照)。LINECYC レジスタはハーフ・ライン・サイクルの回数を指定します。

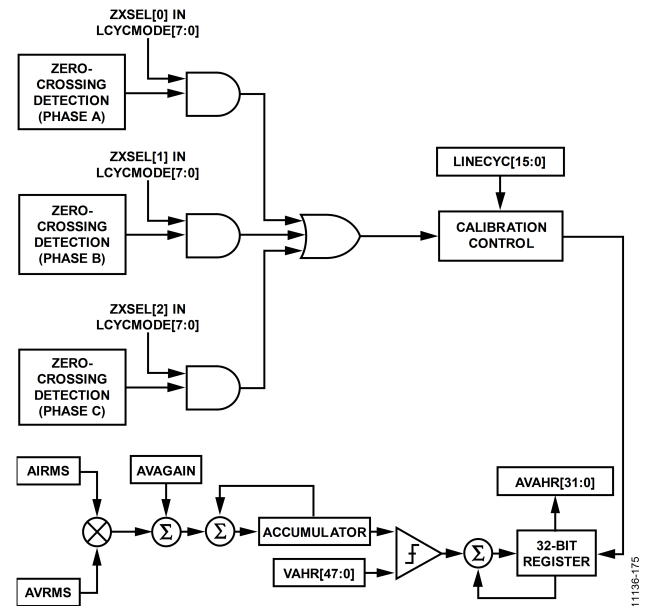


図 77. ライン・サイクル皮相電力量積算モード

ライン・サイクル皮相電力量積算モードは、LCYCMODE レジスタのビット 2 (LVA) を設定することによって有効になります。整数回のゼロ交差にわたって積算された皮相電力量は、LINECYC レジスタで指定されたゼロ交差の数が検出された後に、xVAHR 積算レジスタに書き込まれます。ライン・サイクル積算モードでは、xVAHR レジスタのリセット機能付き読出しが利用できないため、LCYCMODE レジスタのビット 6 (RSTREAD) をロジック 0 に設定します。

A 相、B 相および C 相のゼロ交差は、それぞれ、LCYCMODE レジスタ内のビット [5:3] (ZXSEL[x]) を設定してハーフ・ライン・サイクルの回数をカウントするときに含まれます。3 相全てのゼロ交差を任意に組み合わせて、ゼロ交差をカウントできます。キャリブレーション中にゼロ交差カウントに含めるには、一度に 1 つの相のみを選択します。

LINECYC レジスタの設定と、ライン・サイクル積算モードに関連する MASK0 割込みマスク・レジスタのビット 5 (LENERGY) の設定の詳細については、ライン・サイクル有効電力量積算モードのセクションを参照してください。

波形サンプリング・モード

電流波形、電圧波形、有効／無効／皮相電力出力の波形サンプルは、125 マイクロ秒ごと（レート 8kHz）に、ADE7854A/ADE7858A/ADE7868A/ADE7878A の様々なシリアル・ポートを介してアクセスできる 24 ビット符号付きレジスタに格納されます。表 21 に、レジスタの一覧とその説明を示します。

表 21. 波形レジスタの一覧

Register	Description
IAWV	Phase A current
VAWV	Phase A voltage
IBWV	Phase B current
VBWV	Phase B voltage
ICWV	Phase C current
VCWV	Phase C voltage
INWV	Neutral current, available in the ADE7868A and ADE7878A only
AVA	Phase A apparent power
BVA	Phase B apparent power
CVA	Phase C apparent power
AWATT	Phase A total active power
BWATT	Phase B total active power
CWATT	Phase C total active power
AVAR	Phase A total reactive power
BVAR	Phase B total reactive power
CVAR	Phase C total reactive power

STATUS0 レジスタのビット 17（DREADY）を用いると、表 21 のレジスタを、I²C または SPI シリアル・ポートを介して読み出せる場合にそれを告げることができます。MASK0 レジスタのビット 17（DREADY）を設定することにより、フラグに付加された割込みをイネーブルにできます。DREADY ビットの詳細については、[デジタル・シグナル・プロセッサ](#)のセクションを参照してください。

ADE7854A/ADE7858A/ADE7868A/ADE7878A には、波形サンプル・レジスタへの高速アクセスを提供するために特別に設計された高速データ・キャプチャ（HSDC）ポートが内蔵されています（[HSDC インターフェース](#)のセクションを参照）。1 つのコマンドで全ての波形レジスタにアクセスできる SPI バースト・モードもあります（[SPI のバースト読み出し動作](#)のセクションを参照）。

[電流波形ゲイン・レジスタ](#)のセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作します。表 21 の全てのレジスタは、24 ビットから 32 ビットに符号拡張されて送信されず（図 38 参照）。

電力量／周波数変換

ADE7854A/ADE7858A/ADE7868A/ADE7878A には、CF1、CF2、CF3/HSCLK の 3 つの周波数出力ピンがあります。CF3 出力は、HSDC インターフェースのシリアル・クロック出力とマルチプレックスされます。HSDC を有効化すると、このピンでの CF3 機能が無効化されます。CF1 ピンと CF2 ピンは常時使用可能です。本セクション全体を通して、デュアル機能ピン名の CF3/HSCLK は、該当するキャリブレーション周波数出力機能である CF3 のみが言及されることに注意してください（完全なピン記号と説明については、[ピン配置およびピン機能の説明](#)のセクションを参照）。

製造時の初期キャリブレーションの後、メーカーまたは最終顧客が電力量計のキャリブレーションを検証します。電力量計のキャリブレーションを検証する便利な方法の 1 つは、出力周波数を定常負荷条件下での有効／無効／皮相電力のいずれかに比例させることです。この出力周波数は、外部キャリブレーション機器に対して、光学的に分離されたシンプルな単線インターフェースを提供できます。図 78 に、ADE7854A/ADE7858A/ADE7868A/ADE7878A における電力量／周波数変換を示します。

DSP は、全ての相電力（総合有効電力、基本波有効電力、総合無効電力、基本波無効電力、皮相電力）の瞬時値を計算します。電力量が、様々な xWATTHR、xVARHR および xVAHR レジスタで符号付き積算されるプロセスは、次の電力量計算の各セクションで説明しています：[有効電力量の計算](#)、[無効電力量の計算](#)、[皮相電力量の計算](#)。電力量／周波数変換プロセスでは、瞬時電力によって周波数出力ピン（CF1、CF2、CF3/HSCLK）に信号が生成されます。CFx ピンごとに、1 つのデジタル／周波数コンバータが使用されます。各コンバータは、特定の相電力を合計し、その合計に比例する信号を生成します。2 組のビットによって、変換される電力が決定されます。

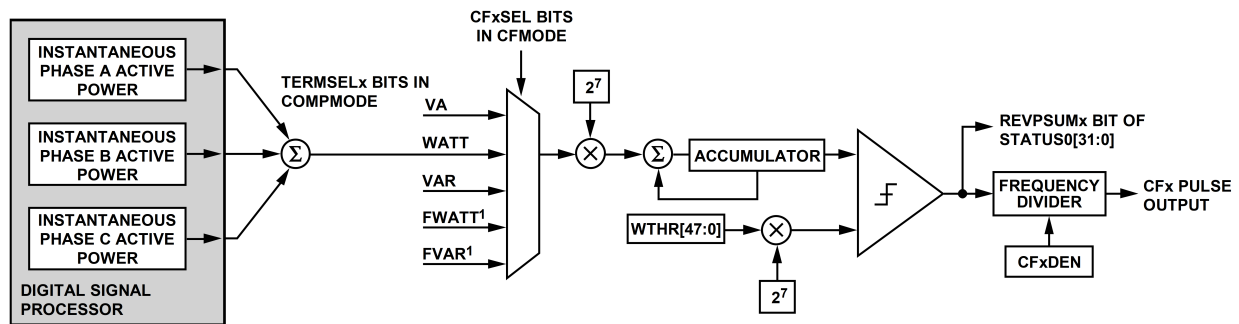
最初に、COMPmode レジスタのビット[2:0]（TERMSEL1[2:0]）、ビット [5:3]（TERMSEL2[2:0]）、およびビット [8:6]（TERMSEL3[2:0]）は、追加される相または相の組み合わせを決定します。

TERMSEL1 ビットは CF1 ピンを表し、TERMSEL2 ビットは CF2 ピンを表し、TERMSEL3 ビットは CF3/HSCLK ピンを表します。TERMSELx[0] ビットは A 相を管理します。1 に設定すると、A 相の電力は CFx コンバータの電力の合計に含まれます。0 にクリアすると、A 相の電力は含まれません。TERMSELx[1] ビットは B 相を管理し、TERMSELx[2] ビットは C 相を管理します。全ての TERMSELx ビットを 1 に設定すると、3 相全ての電力が CFx コンバータで追加されます。全ての TERMSELx ビットを 0 にクリアすると、相電力は何も追加されず、CF パルスは何も生成されません。

第 2 に、CFMODE レジスタのビット[2:0]（CF1SEL[2:0]）、ビット [5:3]（CF2SEL[2:0]）、およびビット [8:6]（CF3SEL[2:0]）は、それぞれ、CF1、CF2 および CF3 コンバータの入力で使用される電力タイプを決定します。表 22 に、CFxSEL ビットが取れる値、すなわち、総合有効電力、総合無効電力（ADE7858A、ADE7868A および ADE7878A のみで利用可能）、皮相電力、基本波有効電力（ADE7878A のみで利用可能）、または基本波無効電力（ADE7878A のみで利用可能）での値を示します。

表 22. CFMODE レジスタの CFxSEL[2:0] ビットの説明

CFxSEL[2:0]	CFxLATCH = 1 のときラッチされるレジスタの	合計に比例する CFx 信号
000	総合有効電力	AWATTTHR, BWATTTHR, CWATTTHR
001	総合無効電力 (ADE7858A、ADE7868A、ADE7878A)	AVARHR, BVARHR, CVARHR
010	皮相電力	AVAHR, BVAHR, CVAHR
011	基本波有効電力 (ADE7878A のみ)	AFWATTTHR, BFWATTTHR, CFWATTTHR
100	基本波無効電力 (ADE7878A のみ)	AFVARHR, BFVARHR, CFVARHR
101 to 111	予約済み	



¹FWATT AND FVAR FOR ADE7878A ONLY.

図 78. 電力量／周波数変換

デフォルトでは、TERMSELx ビットは全て 1 で、CF1SEL ビットは 000、CF2SEL ビットは 001、CF3SEL ビットは 010 です。つまり、デフォルトでは、CF1 デジタル／周波数コンバータは、3 相全ての総合有効電力の合計に比例する信号を生成し、CF2 は、総合無効電力に比例する信号を生成し、CF3 は、皮相電力に比例する信号を生成します。

電力量積算プロセスと同様に、電力量／周波数変換は 2 段階で行われます。第 1 段階では、8kHz のレートで DSP から得られた瞬時相電力は、7 ビットだけ左にシフトされ、1MHz のレートで内部レジスタに積算されます。閾値に達すると、パルスが生成され、閾値が内部レジスタから減算されます。この瞬間の電力量の符号は、相電力の合計の符号と見なされます（詳細については、[CFx データ経路での相電力の合計の符号](#)のセクションを参照）。この閾値は、7 ビットだけ左にシフトされることを除いて、WTHR、VARTHR または VATHR レジスタなど、DSP の様々な有効／無効／皮相電力量アキュムレータで使用される閾値と同じです。1MHz のレートで瞬時電力を積算する利点は、CFx ピンでのリップルが大幅に減少することです。

第 2 段階は、16 ビット符号なしレジスタ CFxDEN による分周器で構成されます。CFxDEN の値は、インパルス/kWh の単位で測定される電力量計定数 (MC) と、xWATTTHR や xVARHR などの様々な電力量レジスタの 1LSB に割り当てられる電力量の大きさに依存します。xWATTTHR レジスタの 1LSB として、有効電力量 (wh) を $[10^n \text{ wh}]$ (n は正または負の整数) の形式で表したいとすると、CFxDEN は次のようになります。

$$CFxDEN = \frac{10^3}{MC[\text{imp/kwh}] \times 10^n} \quad (56)$$

wh の表示形式は、1 より大きい CFxDEN レジスタ内容が得られるように選択する必要があります。CFxDEN = 1 の場合、CFx ピンは、1 マイクロ秒の間しかアクティブ・ローを保持しません。周波数コンバータは小数の結果に対応できないため、除算の結果は最も近い整数に丸める必要があります。CFxDEN を 0 に設定した場合、本デバイスではそれを 1 と見なします。

全てのデジタル／周波数コンバータのパルス出力は、パルス周期が 160 ミリ秒 (6.25Hz) より大きい場合、80 ミリ秒間低いままです。パルス周期が 160 ミリ秒より小さく、CFxDEN が偶数の場合、パルス出力のデューティ・サイクルは正確に 50% です。パルス周期が 160 ミリ秒より小さく、CFxDEN が奇数の場合、パルス出力のデューティ・サイクルは、次式のようにになります。

$$(1 + 1/CFxDEN) \times 50\%$$

パルス出力はアクティブ・ローであり、LED への接続を推奨します (図 79 参照)。

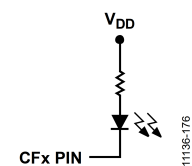


図 79. CFx ピンの推奨接続

CFMODE レジスタのビット[11:9] (CF3DIS、CF2DIS、CF1DIS) を用いて、CF3/HSCLK、CF2 または CF1 ピンで周波数コンバータの出力を生成するかどうかを指定します。ビット CFxDIS を 1 (デフォルト値) に設定すると、CFx ピンはディスエーブルになり、ハイのままになります。ビット CFxDIS を 0 にクリアすると、対応する CFx ピンの出力にアクティブ・ローの信号が生成されます。

割込みマスク・レジスタ MASK0 のビット[16:14] (CF3、CF2、CF1) は、CF3、CF2 および CF1 関連の割込みを管理します。CFx ビットが設定されると、対応する周波数コンバータ出力でハイからローへの遷移が発生するたびに、 $\overline{IRQ0}$ 割込みピンがトリガされ、STATUS0 レジスタのステータス・ビットが 1 に設定されます。この割込みは、CFx 出力が CFMODE レジスタの CFxDIS ビットによってイネーブルにされていない場合でも利用可能です。

電力量レジスタと CFx 出力の同期

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、相電力量積算レジスタの内容を CFx パルスの生成と同期させる機能を備えています。1 つの周波数コンバータ出力でハイからローに遷移すると、CFx ピンに出力される電力に関連する全ての内部相電力量レジスタの内容が、時間レジスタにラッチされ、その後、0 にリセットされます。CFMODE レジスタの CFxSEL[2:0] ビットに基づいてラッチされるレジスタの一覧については、表 22 を参照してください。3 相全てのレジスタは、COMPMODE レジスタの TERMSELx ビットとは無関係にラッチされます。図 80 に、CF1SEL[2:0] = 010（皮相電力が CF1 ピンで寄与）の場合と、CFCYC = 2 の場合について、このプロセスを示します。

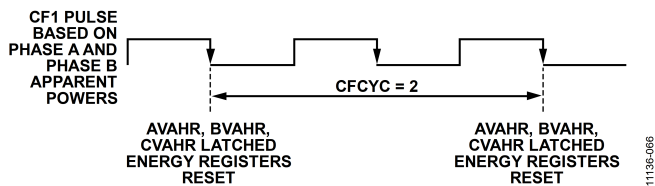


図 80. AVAHR および BVAHR と CF1 の同期

8 ビット符号なしレジスタ CFCYC は、2 つの連続するラッチ間の周波数コンバータ出力でのハイからローへの遷移回数を格納しています。CFx ピンのハイからローへの遷移中には、CFCYC レジスタに新しい値を書き込まないでください。

CFMODE レジスタのビット[14:12] (CF3LATCH、CF2LATCH、CF1LATCH) を 1 に設定すると、このプロセスが有効になります。0（デフォルト状態）にクリアされると、ラッチは発生しません。このプロセスは、CFx 出力が、CFMODE レジスタの CFxDIS ビットによってイネーブルになっていない場合でも利用できます。

各種積算モードの CFx 出力

ACCMODE レジスタのビット[1:0] (WATTACC[1:0]) は、有効電力に比例する信号が CFx ピンで選択されている（CFMODE レジスタの CFxSEL[2:0] ビットが 000 または 011 に等しい）場合に、総合有効電力と基本波有効電力の積算モードを決定します。WATTACC[1:0] = 00（デフォルト値）のとき、有効電力は符号付き積算されてから、電力量／周波数コンバータに入ります。図 81 に、有効電力の符号付き積算の動作を示します。このモードでは、電力が両方のデータ経路に符号付き積算されるため、CFx パルスは、xWATTHR レジスタに積算された有効電力量と完全に同期します。

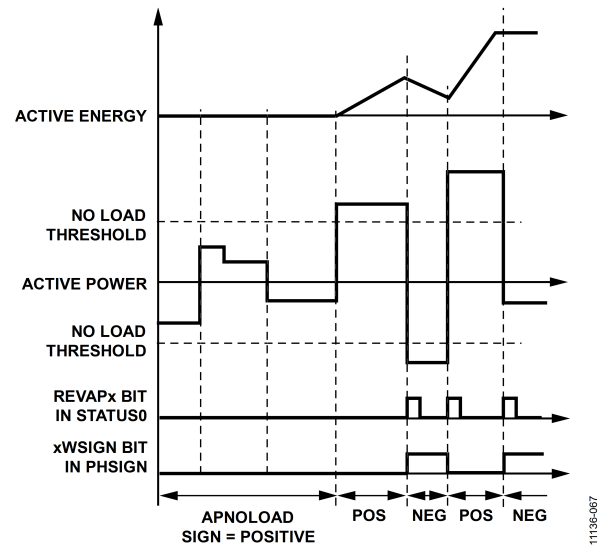


図 81. 有効電力の符号付き積算モード

WATTACC[1:0] = 11 のとき、有効電力は絶対モードで積算されます。電力は負のとき、符号が変化し、正の電力と共に積算されます。図 82 に、有効電力の絶対積算の動作を示します。このモードでは、xWATTHR レジスタは、CFx パルスが絶対積算モードに基づいて生成されるときにも、符号付きモードで有効電力の積算を続けることに注意してください。

WATTACC[1:0] の 01 と 10 の設定値は予約済みです。ADE7854A/ADE7858A/ADE7868A/ADE7878A は、WATTACC[1:0] = 00 と同じように動作します。

ACCMODE レジスタのビット[3:2] (VARACC[1:0]) は、無効電力に比例する信号が CFx ピンで選択されている（CFMODE レジスタの CFxSEL[2:0] ビットが 001 または 100 に等しい）場合に、総合無効電力および基本波無効電力の積算モードを決定します。VARACC[1:0] = 00（デフォルト値）のとき、無効電力は符号付き積算されてから、電力量／周波数コンバータに入ります。図 83 に、無効電力の符号付き積算の動作を示します。このモードでは、電力が両方のデータ経路に符号付き積算されるため、CFx パルスは、xVARHR レジスタに積算された無効電力と完全に同期します。

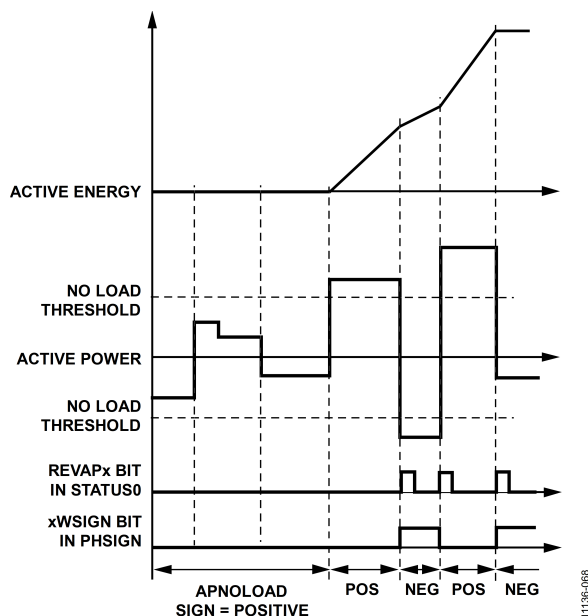


図 82. 有効電力の絶対積算モード

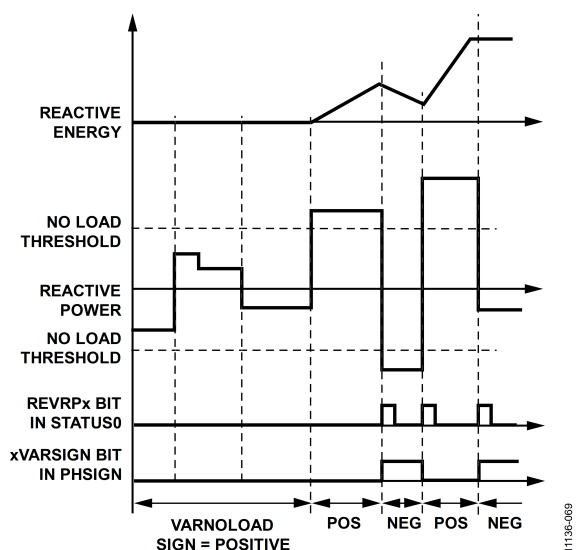


図 83. 無効電力の符号付き積算モード

VARACC[1:0] = 10 のとき、無効電力は、対応する有効電力の符号に応じて積算されます。有効電力が正の場合、無効電力はそのまま（変化なく）積算されます。有効電力が負の場合、無効電力の符号が変化して積算されます。図 84 に、符号調整を行った無効電力積算モードの動作を示します。このモードでは、CFx パルスが符号調整を行った積算モードに基づいて生成されるときにも、xVARHR レジスタは符号付きモードで無効電力の積算を続けます。

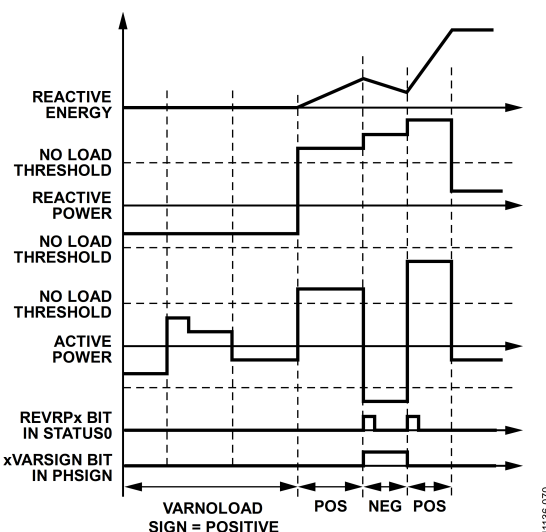


図 84. 符号調整を行ったモードでの無効電力積算

VARACC[1:0] = 11 のとき、無効電力は絶対モードで積算されます。電力は負のとき、符号が変化し、正の電力と共に積算されます。図 85 に、無効電力の絶対積算モードの動作を示します。このモードでは、CFx パルスが絶対積算モードに基づいて生成されるときにも、xVARHR レジスタは、符号付きモードで無効電力の積算を続けます。

VARACC[1:0] の 01 の設定値は予約済みです。01 に設定すると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、VARACC[1:0] = 00 と同じように動作します。

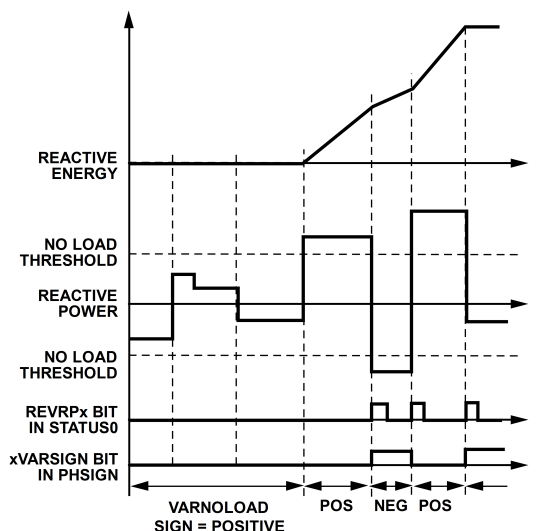


図 85. 無効電力の絶対積算モード

CFx データ経路での相電力の合計の符号

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、CFx データ経路で使用する相電力の合計に対する符号検出回路を備えています。CFx データ経路の電力量積算は、2段階で実行されます（電力量／周波数変換のセクションを参照）。第 1 段階の終了時に、電力量積算において符号変化が検出されるたびに、すなわち、アキュムレータに積算された電力量が、WTHR、VARTHR または VATHR 閾値の 1 つに達した後、対応する CFx パルスと同期して、専用の割込みをトリガできます。各合計の符号は、PHSIGN レジスタから読み出すことができます。

STATUS0 レジスタのビット 18、ビット 13、ビット 9（それぞれ REVPSUM3、REVPSUM2、REVPSUM1）は、CF3、CF2 または CF1 データ経路での電力合計に符号変化が発生したときに、1 に設定されます。これらのイベントを CFx ピンで生成されたパルスと関連させるために、符号変化が発生した後に、CF3/HCLK、CF2 および CF1 ピンでハイからローへの遷移が発生すると同時に、それぞれビット REVPSUM3、ビット REVPSUM2、およびビット REVPSUM1 が設定されます。

PHSIGN レジスタのビット 8、ビット 7、ビット 3（それぞれ SUM3SIGN、SUM2SIGN、SUM1SIGN）は、ビット REVPSUM3、ビット REVPSUM2、ビット REVPSUM1 と同時に設定され、相電力の合計の符号を示します。0 にクリアされると、合計は正です。1 に設定されると、合計は負です。

STATUS0 レジスタのビット 18、ビット 13、ビット 9（それぞれ REVPSUM3、REVPSUM2、REVPSUM1）に付加された割込みは、MASK0 レジスタのビット 18、ビット 13、ビット 9 を 1 に設定することによってイネーブルになります。イネーブルになると、IRQ0ピンはローに設定され、ステータス・ビットは符号の変化が発生するたびに 1 に設定されます。割込みをトリガした相を特定するには、STATUS0 レジスタの読み出し直後に、PHSIGN レジスタを読み出します。次に、対応するビットを 1 に設定して STATUS0 レジスタに書き込むと、ステータス・ビットがクリアされ、IRQ0 ピンがハイにリセットされます。

無負荷状態

無負荷状態は、電力量計規格において、電力量計に電圧が印加され、電流回路に電流が何も流れない状態と定義されます。電力量計のクリープ効果を排除するために、ADE7854A/ADE7858A/ADE7868A/ADE7878A には、3 つの独立した無負荷検出回路が内蔵されています。

1 つは総合有効／無効電力に関連するもの（ADE7858A/ADE7868A/ADE7878A のみ）、もう 1 つは基本波有効／無効電力に関連するもの（ADE7878A のみ）、もう 1 つは皮相電力に関連するもの（全てのデバイス）です。

総合有効／無効電力に基づく無負荷検出

この無負荷状態がトリガされるのは、各相の総合有効電力と総合無効電力の両方の絶対値が、それぞれの符号付き 24 ビット・レジスタ APNOLOAD と VARNLOAD に示される正の閾値以下のときです。この場合、その相の総合有効電力量と総合無効電力量は積算されず、これらの電力量に基づく CFx パルスは生成されません。APNOLOAD レジスタは、PMAX に対する有効電力の正の無負荷レベル、すなわちフルスケール電圧／電流が ADC 入力に供給されたときに得られる最大有効電力を表します。VARNLOAD レジスタは、PMAX に対する無効電力の正の無負荷レベルを表します。APNOLOAD 符号付き 24 ビット値の計算に使用される式は、次のとおりです。

$$APNOLOAD = \frac{V_n}{V_{FS}} \times \frac{I_{NLOAD}}{I_{FS}} \times PMAX \quad (57)$$

ここで、

V_n は相電圧の公称実効値。

I_{FS} と I_{FS} は、ADC 入力が入力フルスケールのときの、それぞれ相電圧と相電流の実効値。

I_{NLOAD} は、電力量計が計測を開始する相電流の最小実効値。

$PMAX = 33,516,139 = 0x1FF6A6B$ （ADC 入力が入力フルスケールのときに計算される瞬時電力）。

VARNLOAD レジスタは通常、APNOLOAD レジスタと同じ値を格納します。APNOLOAD と VARNLOAD が負の値に設定されていると、無負荷検出回路はディスエーブルになります。

ADE7854A は、総合有効電力のみを計測することに注意してください。ADE7854A の無負荷回路を正常に機能させるために、VARNLOAD レジスタを 0x800000 に設定します。

電流波形ゲイン・レジスタのセクションで説明したように、デバイスのシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。24 ビットの符号付きレジスタの APNOLOAD と VARNLOAD は、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます（図 34 参照）。

3 相のいずれかでこの無負荷状態がトリガされると、STATUS1 レジスタのビット 0 (NLOAD) が設定されます。PHNLOAD レジスタのビット [2:0] (NLPHASE[2:0]) は、無負荷状態に関連する全ての相の状態を示し、STATUS1 レジスタのビット NLOAD と同時に設定されます。

- NLPHASE[0] は A 相の状態を示します。
- NLPHASE[1] は B 相の状態を示します。
- NLPHASE[2] は C 相の状態を示します。

ビット NLPHASE[x] が 0 にクリアされている場合、その相は無負荷状態から外れています。1 に設定すると、その相は無負荷状態にあります。

MASK1 レジスタのビット 0 を 1 に設定されている場合、STATUS1 レジスタのビット 0 (NLOAD) に付加された割込みがイネーブルになります。イネーブルになると、IRQ1ピンはローに設定され、3 相のいずれかがこの無負荷状態に入るか出るたびに、ステータス・ビットが 1 に設定されます。割込みをトリガした相を特定するには、STATUS1 レジスタを読み出した直後に PHNLOAD レジスタを読み出します。次に、対応するビットを 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、IRQ1ピンがハイに設定されます。

基本波有効／無効電力に基づく無負荷検出-ADE7878A のみ

この無負荷状態（ADE7878A でのみ使用可能）がトリガされるのは、各相の基本波有効電力と無効電力の両方の絶対値が、それぞれの APNOLOAD と VARNLOAD に示される正の閾値以下のときです。この場合、その相の基本波有効電力量と基本波無効電力量は積算されず、これらの電力量に基づく CFx パルスは生成されません。APNOLOAD と VARNLOAD は、総合有効電力と総合無効電力に設定されるものと同じ無負荷閾値です。APNOLOAD と VARNLOAD が負の値に設定されると、この無負荷検出回路はディスエーブルになります。

3 相のいずれかでこの無負荷状態がトリガされると、STATUS1 レジスタのビット 1 (FNLOAD) が設定されます。PHNOLOAD レジスタのビット[5:3] (FNLPHASE[2:0]) は、無負荷状態に関連する全ての相の状態を示し、STATUS1 レジスタのビット FNLOAD と同時に設定されます。FNLPHASE[0]は A 相の状態を示し、FNLPHASE[1]は B 相の状態を示し、FNLPHASE[2]は C 相の状態を示します。ビット FNLPHASE[x]が 0 にクリアされている場合、その相が無負荷状態から外れています。1 に設定されている場合、その相は無負荷状態にあります。

MASK1 レジスタのビット 1 を設定すると、STATUS1 レジスタのビット 1 (FNLOAD) に付加された割込みがイネーブルになります。

イネーブルになると、 $\overline{\text{IRQI}}$ ピンはローに設定され、3 相のいずれかがこの無負荷状態に入るか出るときに、ステータス・ビットが 1 に設定されます。割込みをトリガした相を特定するには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。次に、対応するビットを 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQI}}$ ピンがハイにリセットされます。

皮相電力に基づく無負荷検出

この無負荷状態がトリガされるのは、各相の皮相電力の絶対値が、24 ビット符号付きレジスタ VANOLOAD に示された閾値以下のときです。この場合、その相の皮相電力量は積算されず、この電力量に基づく CFx パルスは生成されません。VANOLOAD レジスタは、PMAX に対する皮相電力の正の無負荷レベル、すなわちフルスケール電圧／電流が ADC 入力に供給されたときに得られる最大皮相電力を表します。VANOLOAD 符号付き 24 ビット値の計算に使用される式は、次のとおりです。

$$\text{VANOLOAD} = \frac{V_n}{V_{FS}} \times \frac{I_{\text{NOLOAD}}}{I_{FS}} \times \text{PMAX} \quad (58)$$

ここで、
 V_n は、相電圧の公称実効値。
 V_{FS} と I_{FS} は、ADC 入力フルスケールのときの、それぞれ相電圧と相電流の実効値。
 I_{NOLOAD} は、電力量計が計測を開始する相電流の最小実効値。
 $\text{PMAX} = 33,516,139 = 0x1FF6A6B$ (ADC 入力フルスケールのときに計算される瞬時皮相電力)。

VANOLOAD レジスタを負の値に設定すると、無負荷検出回路はディセーブルになります。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7854A/ADE7858A/ADE7868A/ADE7878A のシリアル・ポートは、32、16 または 8 ビット・ワードで動作し、DSP は 28 ビットで動作します。図 34 のレジスタと同様に、24 ビット符号付きレジスタ VANOLOAD は、4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・レジスタとしてアクセスされます。

3 相のいずれかでこの無負荷状態がトリガされると、STATUS1 レジスタのビット 2 (VANLOAD) が設定されます。PHNOLOAD レジスタのビット[8:6] (VANLPHASE[2:0]) は、無負荷状態に関連する全ての相の状態を示し、STATUS1 レジスタのビット VANLOAD と同時に設定されます。

- ビット VANLPHASE[0]は A 相の状態を示します。
- ビット VANLPHASE[1]は B 相の状態を示します。
- ビット VANLPHASE[2]は C 相の状態を示します。

ビット VANLPHASE[x]が 0 にクリアされている場合、その相は無負荷状態から外れています。1 に設定されている場合、その相は無負荷状態にあります。

STATUS1 レジスタのビット 2 (VANLOAD) に付加された割込みは、MASK1 レジスタのビット 2 を設定することによりイネーブルになります。イネーブルになると、 $\overline{\text{IRQI}}$ ピンがローに設定され、3 相のいずれかがこの無負荷状態に入るか出るときに、ステータス・ビットが 1 に設定されます。割込みをトリガした相を特定するには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。次に、対応するビットを 1 に設定して STATUS1 レジスタに書き込むと、ステータス・ビットがクリアされ、 $\overline{\text{IRQI}}$ ピンがハイに設定されます。

チェックサム・レジスタ

ADE7854A/ADE7858A/ADE7868A/ADE7878A には、32 ビット・チェックサム・レジスタがあります。チェックサムにより、特定の非常に重要な構成レジスタが、通常の電力モード PSM0 の間、必要な値を保持可能になります。

このチェックサム・レジスタの対象となるレジスタは、MASK0、MASK1、COMPmode、ゲイン・レジスタ、CFMODE、CF1DEN、CF2DEN、CF3DEN、CONFIG、APHCAL、BPHCAL、CPHCAL、16 ビット内部レジスタ、MMODE、ACCMODE、LCYCMODE、HSDC_CFG、CONFIG_A、常にデフォルト値を持つ 6 つの 8 ビット予約済み内部レジスタ、アドレス 0x4380 からアドレス 0x43BE までの全ての DSP データ・メモリ RAM レジスタです。本デバイスは、IEEE 802.3 規格に基づいて巡回冗長検査 (CRC) を計算します。レジスタは、線形フィードバック・シフト・レジスタ (LFSR) ジェネレータに、最下位ビットを先にして、1 つずつ入力されていきます (図 86 参照)。32 ビットの結果はチェックサム・レジスタに書き込まれます。パワーアップ後、またはハードウェアなしソフトウェアのリセット後に、CRC がレジスタのデフォルト値に基づいて計算されます。その結果を表 23 に示します。

表 23. チェックサム・レジスタのデフォルト値と内部レジスタの CRC

Part No.	Default Value of Checksum	CRC of Internal Registers
ADE7854A	0x6A9775D9	0x391FBDD0
ADE7858A	0xE908F4D0	0x3E7D0FC1
ADE7868A	0xEEF4CB9A	0x23F7C7B1
ADE7878A	0XED0AD43F	0x2D32A389

図 87 に、LFSR の動作を示します。MASK0、MASK1、COMPMODE、ゲイン・レジスタ、CFMODE、CFIDEN、CF2DEN、CF3DEN、CONFIG、APHCAL、BPHCAL、CPHCAL、16 ビット内部レジスタ、MMODE、ACCMODE、LCYCMODE、HSDC_CFG および CONFIG_A レジスタ、6 つの 8 ビット予約済み内部レジスタ、アドレス・ロケーション 0x4380 からアドレス・ロケーション 0x43BE までの全ての DSP データ・メモリ RAM レジスタは、LFSR によって使用される $[a_{2343}, a_{2342}, \dots, a_0]$ ビットを形成します。ビット a_0 は、LFSR ジェネレータに入る最初の内部レジスタの最下位ビットです。ビット a_{255} は、LFSR ジェネレータに入る最後のレジスタである MASK0 レジスタの最上位ビットです。LFSR を制御する数式は次のとおりです：

$b_i(0) = 1, i = 0, 1, 2, \dots, 31$ (CRC を形成するビットの初期状態)。ビット b_0 は最下位ビット、ビット b_{31} は最上位ビットです。

$g_i, i = 0, 1, 2, \dots, 31$ (以下のように IEEE 802.3 規格によって定義された生成多項式の係数)。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \quad (59)$$

$$g_0 = g_1 = g_2 = g_4 = g_5 = g_7 = 1 \\ g_8 = g_{10} = g_{11} = g_{12} = g_{16} = g_{22} = g_{23} = g_{26} = 1 \quad (60)$$

他の全ての g_i 係数は 0 です。

$$FB(j) = a_{j-1} \text{ XOR } b_{31}(j-1) \quad (61)$$

$$b_0(j) = FB(j) \text{ AND } g_0 \quad (62)$$

$$b_i(j) = FB(j) \text{ AND } g_i \text{ XOR } b_{i-1}(j-1), i = 1, 2, 3, \dots, 31 \quad (63)$$

式 61、式 62、式 63 は、 $j = 1, 2, \dots, 2344$ について繰り返す必要があります。チェックサム・レジスタに書き込まれる値には、ビット $b_i(2344), i = 0, 1, \dots, 31$ が含まれます。CRC の値は、予約済みの内部レジスタからのビットが LFSR を通過した後、ステップ $j = 48$ で得られ、表 23 に示します。

チェックサム・レジスタを使用する際には、2 つの異なるアプローチに従うことができます。1 つは、関係式 (式 59～式 63) に基づいて CRC を計算し、その値を CHECKSUM レジスタと比較する方法です。もう 1 つは、CHECKSUM レジスタを定期的に読み出す方法です。2 つの連続した値が異なる場合、レジスタの 1 つが値を変更し、したがって、ADE7854A、ADE7858A、ADE7868A または ADE7878A が構成を変更したものと仮定できます。CRC 割込みは、この目的のために利用可能です。チェックサム・レジスタの値が変更されると、対応するステータス・ビット (STATUS1 レジスタのビット 25) が設定されます。推奨応答は、予約済みのレジスタを含む全てのレジスタの値をデフォルト値に設定するハードウェア/ソフトウェア・リセットを開始してから、構成レジスタを再初期化することです。

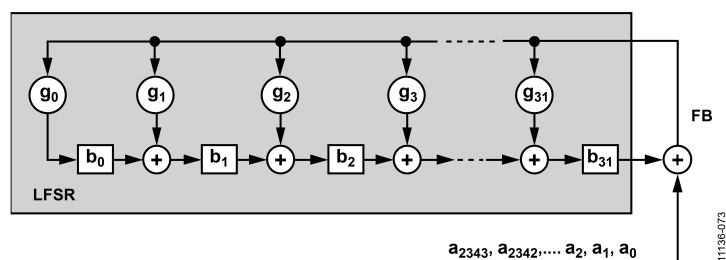


図 87. チェックサム・レジスタの計算に使用される LFSR ジェネレータ

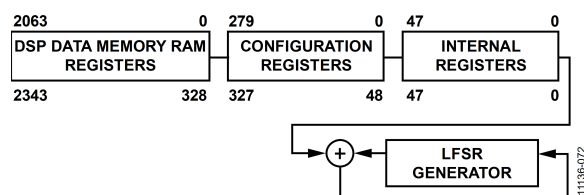


図 86. チェックサム・レジスタの計算

割込み

ADE7854A/ADE7858A/ADE7868A/ADE7878A には、 $\overline{\text{IRQ0}}$ と $\overline{\text{IRQ1}}$ の 2 つの割込みピンがあります。2 つのピンは、32 ビットの割込みマスク・レジスタのそれぞれ MASK0 と MASK1 によって管理されます。割込みをイネーブルするには、MASKx レジスタのビットを 1 に設定する必要があります。割込みをディスエーブルするには、このビットを 0 にクリアする必要があります。2 つの 32 ビット・ステータス・レジスタ STATUS0 と STATUS1 が、割込みに関連付けられています。

ADE7854A/ADE7858A/ADE7868A/ADE7878A で割込みイベントが発生すると、割込みステータス・レジスタの対応するフラグがロジック 1 に設定されます (表 35 と表 36 を参照)。割込みマスク・レジスタ内の、この割込みに対するマスク・ビットがロジック 1 である場合、 $\overline{\text{IRQx}}$ ロジック出力はアクティブ・ローになります。割込みステータス・レジスタ内のフラグ・ビットは、マスク・ビットの状態に関係なく設定されます。割込み源を特定するために、マイクロコントローラ・ユニット (MCU) は該当する STATUSx レジスタを読み出して、どのビットが 1 に設定されたかを特定します。

ステータス・レジスタのフラグをクリアするには、フラグを 1 にセットして STATUSx レジスタに書き込みます。割込みピンがローになると、ステータス・レジスタを読み出すことによって割込み源が特定されます。その後、ステータス・レジスタが変更されることなく書き込まれ、ステータス・フラグが 0 にクリアされます。ステータス・フラグがクリアされるまで、 $\overline{\text{IRQx}}$ ピンはローを保持します。

デフォルトでは、全ての割込みがディスエーブルになっています。ただし、RSTDONE 割込みは例外です。この割込みはマスク (ディスエーブル) できないため、MASK1 レジスタのビット 15 (RSTDONE) には何の機能もありません。 $\overline{\text{IRQ1}}$ ピンは常にローになり、パワーアップまたはハードウェア/ソフトウェア・リセットのプロセスが終了するたびに、STATUS1 レジスタのビット 15 (RSTDONE) が 1 に設定されます。ステータス・フラグをクリアするには、ビット 15 (RSTDONE) を 1 に設定して、STATUS1 レジスタに書き込む必要があります。

特定の割り込みステータス・レジスタは、他のステータス・レジスタと併用されます。MASK1 レジスタの以下のビットは、PHNOLOAD レジスタのステータス・ビットと連動して機能します。

- ビット 0 (NLOAD)
- ビット 1 (FNLOAD)。ADE7878A でのみ使用可能
- ビット 2 (VANLOAD)

MASK1 レジスタの以下のビットは、PHSTATUS レジスタのステータス・ビットと連動して機能します。

- ビット 16 (サグ)
- ビット 17 (OI)
- ビット 18 (OV)

MASK1 レジスタの以下のビットは、それぞれ IPEAK レジスタと VPEAK レジスタと連動して機能します。

- ビット 23 (PKI)
- ビット 24 (PKV)

MASK0 レジスタの以下のビットは、PHSIGN レジスタのステータス・ビットと連動して機能します。

- ビット[6:8] (REVAPx)
- ビット [10:12] (REVRPx)。ADE7858A、ADE7868A、ADE7878A でのみ使用可能
- ビット 9、ビット 13、ビット 18 (REVPSUMx)

STATUSx レジスタが読み出され、これらのビットの 1 つが 1 に設定されると、そのビットに関連付けられたステータス・レジスタが直ちに読み出され、割り込みをトリガした相が特定されます。その時点でのみ、ビットが 1 に設定された状態で、STATUSx レジスタに書き込むことができます。

MCU を用いた割り込み管理

図 88 に、ADE7854A/ADE7858A/ADE7868A/ADE7878A での MCU を用いた割り込み管理に推奨される実行案のタイミング図を示します。時間 t_1 において、 $\overline{\text{IRQx}}$ ピンはアクティブ・ローになります。これはデバイスで 1 つ以上の割り込みイベントが発生したことを示しており、その時点で、以下のステップが必要になります。

1. $\overline{\text{IRQx}}$ ピンを、MCU の立下がりエッジでトリガされる外部割り込みに接続します。
2. 立下がりエッジを検出したら、MCU が割り込みサービス・ルーチン (ISR) の実行を開始するように設定します。
3. ISR に入ると、グローバル割り込みマスク・ビットを用いて、全ての割り込みをディスエーブルします。この時点で、MCU 外部割り込みフラグをクリアして、電流 ISR 中に発生する割り込みイベントをキャプチャします。
4. MCU 割り込みフラグがクリアされると、STATUSx (割り込みステータス・レジスタ) からの読出しが行われます。割り込みステータス・レジスタの内容は、割り込み源を特定し、それにより取るべき適切な処置を決定します。
5. 同じ STATUSx の内容が、デバイスに書き込まれて、ステータス・フラグをクリアし、 $\overline{\text{IRQx}}$ ラインをロジック・ハイにリセットします (t_2)。

ISR 中に次の割り込みイベントが発生する場合 (t_3)、MCU 外部割り込みフラグが再度セットされ、そのイベントが記録されます。

ISR から復帰すると、グローバル割り込みマスク・ビットがクリアされ、同じ命令サイクルが維持されます。外部割り込みフラグが、MCU を用いて再び ISR にジャンプします。これにより、MCU は外部割り込みを見逃さなくなります。

図 89 に、STATUSx レジスタのステータス・ビットが、他のレジスタのビットと連動して機能する場合の推奨タイミング図を示します。図 89 の PHx は、PHSTATUS、IPEAK、VPEAK または PHSIGN レジスタのうちのいずれかを表していることに注意してください。

$\overline{\text{IRQx}}$ ピンがアクティブ・ローになると、STATUSx レジスタが読み出されます。これらのビットのいずれかが 1 に設定される場合、2 番目のステータス・レジスタがすぐに読み出され、割り込みをトリガした相が特定されます。次に、該当するビットが 1 に設定されて STATUSx レジスタに書き込まれ、ステータス・フラグがクリアされます。

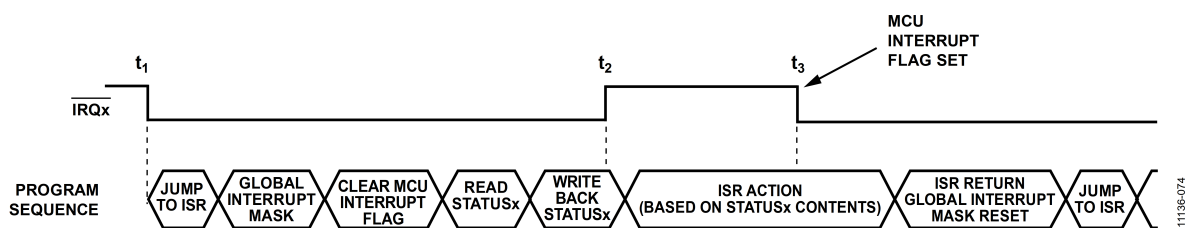


図 88. 割り込み管理

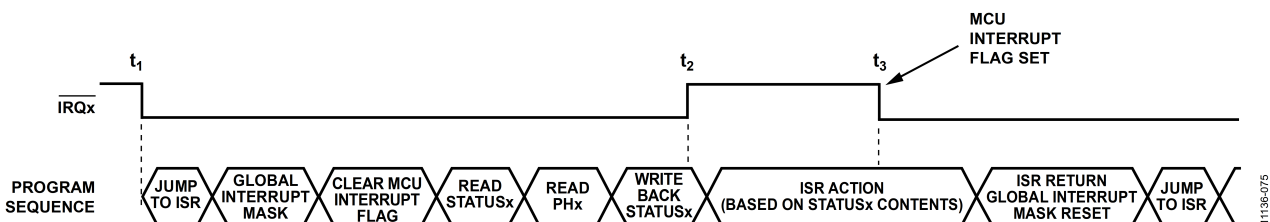


図 89. PHSTATUS、IPEAK、VPEAK または PHSIGN レジスタによる割り込み管理

アプリケーション情報

デュアル機能のピン名は、関連する機能のみが言及されることに注意してください。例えば、CF3/HCLK ピンのキャリブレーション周波数出力機能の場合は、CF3 です（完全なピン記号と説明については、[ピン配置およびピン機能の説明](#)のセクションを参照）。

電力量計としてのデバイスのクイック・セットアップ

電力量計の特性評価は通常、公称電流 (I_n)、公称電圧 (V_n)、公称周波数 (f_n)、電力量計定数 (MC) によって行います。

ADE7854A/ADE7858A/ADE7868A/ADE7878A のクイック・セットアップを行うには、次の手順に従います。

1. 相電流、電圧および中性電流チャンネルで、以下の PGA ゲインを選択します。ゲイン・レジスタのビット [2:0] (PGA1[2:0])、ビット [5:3] (PGA2[2:0])、ビット [8:6] (PGA3[2:0])。
2. ロゴスキー・コイルを使用する場合は、相電流と中性電流のデジタル積分器をイネーブルにします。CONFIG レジスタのビット 0 (INTEN) を 1 に設定します。
3. $f_n = 60\text{Hz}$ の場合、COMPmode レジスタ (ADE7878A のみ) のビット 14 (SELFREQ) を 1 に設定します。
4. [式 31](#) に基づいて、WTHR1 および WTHR0 レジスタを初期化します。VARTHR1 (ADE7858A、ADE7868A、ADE7878A のみ) と VATHR1 を、WTHR1 と同じにし、VARTHR0 (ADE7858A、ADE7868A、ADE7878A のみ) と VATHR0 を、WTHR0 と同じにします。
5. [式 56](#) に基づいて、CF1DEN、CF2DEN、CF3DEN を初期化します。
6. [式 27](#) と [式 51](#) に基づいて、VLEVEL (ADE7878A のみ) および VNOM レジスタを初期化します。
7. アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込んでから、アドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込んで、データ・メモリ RAM の保護を有効にします。
8. run = 1 に設定して、DSP を起動します。
9. 電力量レジスタの xWATTHR、xVARHR (ADE7858A、ADE7868A、ADE7878A のみ)、xVAHR、xFWATTHR、xFVARHR (ADE7878A のみ) を読み出して内容をクリアし、既知の状態から電力量の積算を開始します。
10. CFMODE レジスタのビット 9 (CF1DIS)、ビット 10 (CF2DIS)、ビット 11 (CF3DIS) を 0 にクリアして、CF1、CF2、CF3 の周波数コンバータ出力をイネーブルにします。

水晶振動子回路

16.384MHz のデジタル・クロック信号は、ADE7854A/ADE7858A/ADE7868A/ADE7878A の CLKIN ピンで供給できます。あるいは、[図 90](#) に示すように、仕様規定された周波数の水晶振動子を取り付けます。CL₁ と CL₂ は、水晶振動子ピンに取り付けられたセラミック・コンデンサの容量を示し、CP₁ と CP₂ は、それらのピンの寄生容量を示します。

クロック・ピン CLKIN と CLKOUT のそれぞれにおける合計容量の推奨代表値は 36pF です。すなわち、

$$\text{Total Capacitance} = CP_1 + CL_1 = CP_2 + CL_2 = 36 \text{ pF}$$

水晶振動子メーカーのデータシートには、負荷容量値が記載されています。クロック・ピンあたりの合計容量は 36pF を推奨します。したがって、負荷容量が 18pF の水晶振動子を選択します。更に、セラミック・コンデンサ CL₁ および CL₂ を選択する際には、本 IC の水晶振動子ピンの寄生容量 CP₁ および CP₂ を考慮に入れる必要があります。したがって、CL₁ と CL₂ の値は、次の式に基づく必要があります。

$$CL_1 = CL_2 = 2 \times \text{Crystal Load Capacitance} - CP_1$$

ここで、CP₁ = CP₂。

例えば、18pF の水晶振動子を選択し、クロック・ピンの寄生容量が CP₁ = CP₂ = 2pF である場合、水晶発振回路に使用すべきセラミック・コンデンサの容量は CL₁ = CL₂ = 34pF です。

評価用ボード [EVAL-ADE7878AEBZ](#) は、水晶振動子 ECS-163.8-18-4XEN を使用しています。同じ水晶振動子または仕様が同様の水晶振動子を選択することを推奨します。水晶振動子の ESR (等価直列抵抗) および負荷容量はより低い値を、駆動レベル能力はより高い値を推奨します。

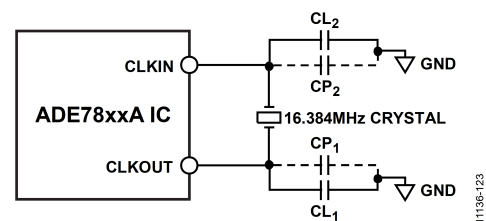


図 90. 水晶振動子回路

レイアウトのガイドライン

図 91 に、ADE7878A の基本的な回路図と、その周辺の回路、すなわち、VDD、AVDD、DVDD および REF_{IN/OUT} ピンにおけるデカップリング・コンデンサ、16.384MHz 水晶振動子とその負荷コンデンサを示します。残りのピンは、個別のアプリケーションに依存するため、図 91 には示していません。ADE7854A、ADE7858A および ADE7868A は、それらのデカップリング・コンデンサ、水晶振動子、負荷コンデンサに対して同一のアプローチを使用します。

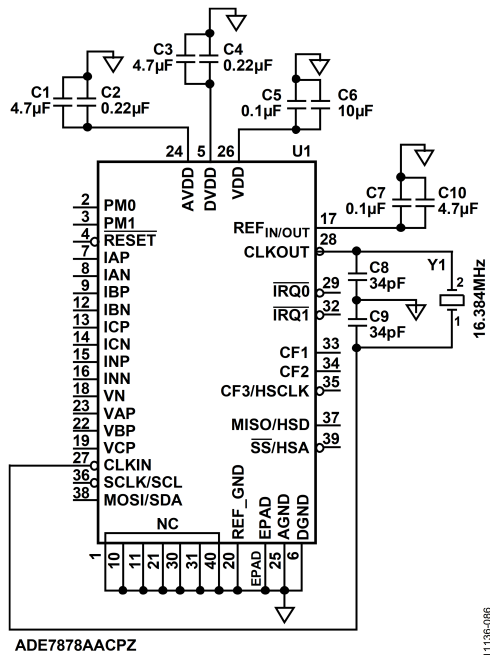


図 91. ADE7878A 用の水晶振動子とコンデンサの接続

図 92 と図 93 は、2 層ある PCB のレイアウト案を示します。このレイアウトでは、部品は PCB の上層のみに配置します。

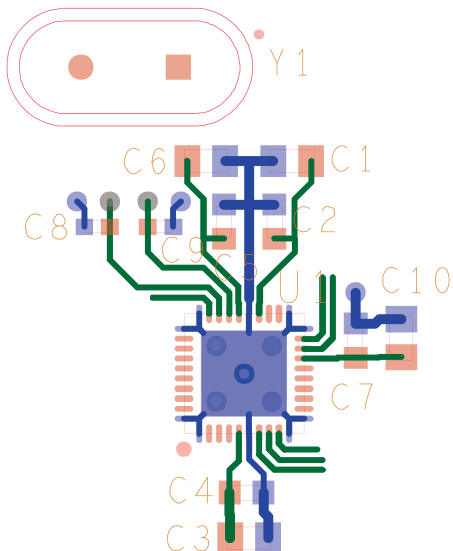


図 92. ADE7878A 用の PCB の上層

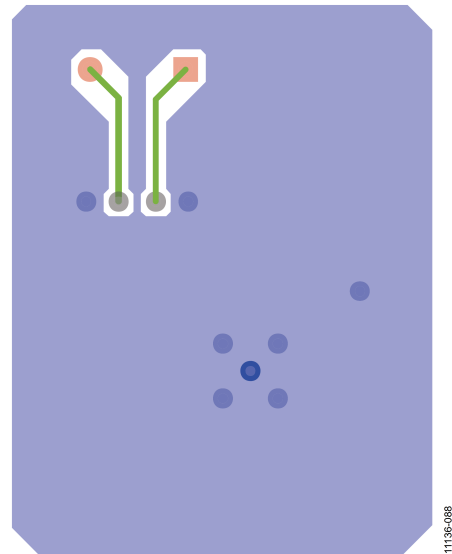


図 93. ADE7878A 用の PCB の下層

VDD、AVDD、DVDD、REF_{IN/OUT} の各ピンには 2 つのデカップリング・コンデンサがあります。1 つはマイクロファラッド級のコンデンサに、もう 1 つは 220nF または 100nF のセラミック・コンデンサにする必要があります。セラミック・コンデンサは ADE7878A のピンの最も近くに配置して、高周波ノイズをデカップリングする必要があります。マイクロファラッド・コンデンサは本デバイスに近接して配置します。

水晶振動子はデバイスの近くに配置できますが、水晶振動子負荷コンデンサは、水晶振動子よりもデバイスの近くに配置することが重要です。

ADE7878A の露出パッドを PCB の同等のパッドに半田付けします。次に、ADE7878A の AGND および DGND トレースを、PCB パッドに直接配線します。

下層は主に、水晶振動子トレースをできるだけ取り囲んでいるグラウンド・プレーンで構成されています。

ADE7878A 評価用ボード

ADE7878A 構成に基づいて構築された評価用ボードは、ADE7854A、ADE7858A、ADE7868A および ADE7878A デバイスの全ての機能の評価に対応しています。評価用ボードの詳細については、www.analog.com をご覧ください。

ダイ・バージョン

バージョン・レジスタは、ダイのバージョンを特定します。この 8 ビットの読み出し専用レジスタは、アドレス 0xE07 に配置されています。

シリコン・アノーマリ

このアノーマリ・リストは、バージョン・レジスタ（アドレス 0xE707）が 2 と特定される ADE7854A、ADE7858A、ADE7868A および ADE7878A シリコンに関する既知の問題を説明しています。

アナログ・デバイセズは、将来のシリコン・リビジョンを通じて、シリコン機能を継続的に改善していく方針です。また、今後このようなシリコン・リビジョンを行っても、ここに記載された推奨対策を実施することにより、ユーザの現在のソフトウェア／システムとの互換性が維持されるように努めていきます。

ADE7854A/ADE7858A/ADE7868A/ADE7878A の機能に関する問題

Silicon Revision Identifier	Chip Marking	Silicon Status	Anomaly Sheet	No. of Reported Issues
Version = 2	ADE7854ACPD ADE7858ACPD ADE7868ACPD ADE7878ACPD	Released	Rev. A	1 (er001)

機能に関する問題

表 24. バースト SPI モードで誤った値を示す LAST_ADDR および LAST_RWDATA_x レジスタ [er001、バージョン = 2 Silicon]

背景	SPI または I ² C 通信を用いて ADE7854A/ADE7858A/ADE7868A/ADE7878A レジスタを読み出すと、アドレスは LAST_ADDR レジスタに格納され、データはそれぞれの LAST_RWDATA_x レジスタに格納されます。
問題	アドレス 0xE50C とアドレス 0xE51B の間にある波形レジスタがバースト SPI モードを使用して読み出されると、LAST_ADDR レジスタは、1 だけインクリメントされたレジスタのアドレスを格納し、LAST_RWDATA_x レジスタは、LAST_ADDR レジスタの欠陥アドレスに対応するデータを格納します。I ² C 通信を使用している場合は、この問題は発生しません。
対策	バースト SPI モードで波形レジスタにアクセスした後に、他のロケーションで別の読み出し／書き込み操作を実行してから、通信検証レジスタを使用します。
関連する問題	なし。

表 25. ランダムにトリガする中性電流の不整合 [er002、バージョン = 2 Silicon]

背景	ADE7868A/ADE7878A には、中性電流の不整合機能があり、ISUM 波形を INWV 波形と比較して、その差が ISUMLVL よりも大きい場合、STATUS1 の MISMTCH ビットで不整合割込みがトリガされます。
問題	不整合割込みは、不整合の式を満たさない場合でも、散発的にトリガされます。
対策	ISUM レジスタと INWV レジスタを読み出し、次の不整合の式に従って比較します。 $ ISUM - INWV > ISUMLVL$
関連する問題	なし。

セクション 1. ADE7854A/ADE7858A/ADE7868A/ADE7878A の機能に関する問題

参照番号	概要	ステータス
er001	LAST_ADDR および LAST_RWDATA_x レジスタが、バースト SPI モードで誤った値を示します。	特定済み
er002	中性電流の不整合はランダムにトリガされます。	識別済み

以上で、シリコン・アノーマリのセクションを終了します。

シリアル・インターフェース

ADE7854A/ADE7858A/ADE7868A/ADE7878A には、I²C インターフェース、シリアル・ペリフェラル・インターフェース (SPI)、高速データ・キャプチャ (HSDC) ポートの3つのシリアル・ポート・インターフェースがあります。SPI ピンは、I²C および HSDC ポート用のピンとマルチプレックスされているため、本デバイスは2つの構成を許容しています。1つは SPI ポートのみを使用する構成で、もう 1 つは I²C ポートを HSDC ポートと併用する構成です。

このセクションと図では、デュアル機能のピン名は、関連する機能のみが言及されることに注意してください (完全なピン記号と説明については、[ピン配置およびピン機能の説明](#)のセクションを参照)。

シリアル・インターフェースの選択

ADE7854A/ADE7858A/ADE7868A/ADE7878A をリセットすると、HSDC ポートは常にディセーブルになります。パワーアップ後またはハードウェア・リセット後に、 $\overline{SS}$ /HSA ピン (ピン 39) を操作して I²C または SPI ポートを選択します。

- $\overline{SS}$ /HSA ピンがハイにプル・アップされると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、別のハードウェア・リセットが実行されるまで I²C ポートを使用します。
- $\overline{SS}$ /HSA ピンがハイからローに3回トグルされると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、別のハードウェア・リセットが実行されるまで SPI ポートを使用します。

$\overline{SS}$ /HSA ピンの操作は2つの方法で行うことができます。

- マスタ・デバイス (つまり、マイクロコントローラ) の $\overline{SS}$ ピンを通常の I/O ピンとして使用し、3回トグルします。
- 特定の ADE7854A/ADE7858A/ADE7868A/ADE7878A レジスタに割り当てられていないアドレス空間のロケーション (例えば、8 ビット・レジスタへの書き込みが実行可能なアドレス 0xEBFF) に対して、3つの SPI 書き込み操作を実行します。これらの書き込みにより、 $\overline{SS}$ /HSA ピンは3回トグルします。関連する書き込みプロトコルの詳細については、[SPI の書き込み動作](#)のセクションを参照してください。

シリアル・ポートの選択が完了したら、その選択をロックする必要があります。このように、アクティブなポートは、PSM0 通常モードでハードウェア・リセットが実行されるまで、またはパワーダウンが発生するまで、使用されたままになります。I²C がアクティブなシリアル・ポートの場合、CONFIG2 レジスタのビット 1 (I2C_LOCK) を 1 に設定して、ロックする必要があります。このビットへの書き込みが完了すると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、 $\overline{SS}$ /HSA ピンの誤ったトグル操作を無視し、SPI ポートへの切り替えは不可能になります。アクティブなシリアル・ポートが SPI の場合、CONFIG2 レジスタへの書き込みによってポートはロックされます。この書き込み後、I²C ポートへの切り替えは不可能になります。

シリアル・ポートの選択がロックされた後、デバイスが PSMx 電力モードを変更しても、シリアル・ポートの選択は保持されます。

デバイスの機能は、いくつかのチップ内蔵レジスタを介してアクセス可能です。I²C または SPI インターフェースを用いて、これらのレジスタの内容の更新または読出しを行います。HSDC ポートは、相電圧および中性電流の瞬時値と、有効/無効/皮相電力を表す最大 16 個のレジスタの状態を提供します。

通信の検証

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、I²C または SPI を介した任意の通信の検証を可能にする 3 つのレジスタからなるセットを備えています。LAST_OP (アドレス 0xE7FD)、LAST_ADDR (アドレス 0xE6FE)、LAST_RWDATA_x の各レジスタは、最後の正常な通信のそれぞれ、性質、アドレス、データを記録します。LAST_RWDATA_x レジスタには、正常な通信の長さに応じて、それぞれ個別のアドレスがあります (表 26 参照)。

表 26. LAST_RWDATA レジスタのロケーション

Communication Type	Address
8-Bit Read/Write	0xE7FC
16-Bit Read/Write	0xE6FF
32-Bit Read/Write	0xE5FF

ADE7854A/ADE7858A/ADE7868A/ADE7878A との正常な通信の後に、最後にアクセスされたレジスタのアドレスが、16 ビットの LAST_ADDR レジスタ (アドレス 0xE6FE) に格納されます。この読出し専用レジスタは、次の正常な読出しまたは書き込みが完了するまで、値を格納しています。

LAST_OP レジスタ (アドレス 0xE7FD) には操作の種別が格納されます。つまり、読出しが実行されたか、書き込みが実行されたかを示します。最後の動作が書き込みであった場合、LAST_OP レジスタには値 0xCA が格納されます。最後の動作が読出しであった場合、LAST_OP レジスタには値 0x35 が格納されます。レジスタに対する書き込みまたはレジスタからの読出しのデータは、LAST_RWDATA レジスタに格納されます。読出しまたは書き込み動作が失敗した場合、これらのレジスタには格納されません。

LAST_OP、LAST_ADDR、LAST_RWDATA_x レジスタを読み出しても、それらの値は変更されません。

I²C 対応インターフェース

ADE7854A/ADE7858A/ADE7868A/ADE7878A は、I²C インターフェースに対応しています。I²C インターフェースは完全なハードウェア・スレーブとして実装されています。I²C インターフェースが対応する最大シリアル・クロック周波数は 400kHz です。

SDA はデータ I/O で、SCL はシリアル・クロックです。これら 2 つの機能は、MOSI/SDA および SCL/SCLK として、チップ内蔵 SPI インターフェースの MOSI および SCLK 機能とマルチプレックスされます。SDA ピンと SCL ピンは、マルチマスタ・システムでアービトレーションが可能なワイヤード AND 形式で構成されています。

I²C システムの転送シーケンスでは、バスがアイドル状態の間にマスタ・デバイスが開始条件を生成することで転送を開始します。マスタは、初期アドレス転送において、スレーブ・デバイスのアドレスとデータ転送の方向を送信します。スレーブがマスタにアクノリッジすると、データ転送が開始されます。データ転送は、マスタが停止条件を発行し、バスがアイドルになるまで継続します。

I²C の書き込み動作

ADE7854A/ADE7858A/ADE7868A/ADE7878A の I²C インターフェースを用いた書き込み動作は、マスタが開始条件を生成すると開始されます。開始条件は、デバイスのスレーブ・アドレスを表す 1 バイトと、それに続くターゲット・レジスタの 16 ビット・アドレス、およびそのレジスタの値で構成されます (図 94 参照)。アドレスとレジスタの内容は最上位ビットが先に送信されます。

アドレス・バイトの最上位 7 ビットは、ADE7854A、ADE7858A、ADE7868A または ADE7878A のアドレスを含み、その値は 0111000 です。アドレス・バイトのビット 0 は、read/write ビットです。書き込み動作では、ビット 0 を 0 にクリアする必要があります。したがって、書き込み動作の最初のバイトは 0x70 です。各バイトが受信されると、デバイス (ADE7854A、ADE7858A、ADE7868A または ADE7878A) はアクノリッジを生成します。レジスタは 8、16 または 32 ビットを格納できます。レジスタの最後のビットが転送され、デバイスが転送をアクノリッジした後に、マスタは停止条件を生成します。

I²C の読み出し動作

ADE7854A/ADE7858A/ADE7868A/ADE7878A の I²C インターフェースを用いた読み出し動作は、2 段階で行われます。第 1 段階では、ポインタをレジスタのアドレスに設定します。第 2 段階では、レジスタの内容を読み出します。

図 95 に示すように、マスタが開始条件を生成すると、第 1 段階が開始されます。開始条件は、ADE7854A/ADE7858A/ADE7868A/ADE7878A のスレーブ・アドレスを表す 1 バイトと、それに続くターゲット・レジスタの 16 ビットアドレスで構成されます。デバイスは、受信したバイトごとにアクノリッジします。アドレス・バイトは書き込み動作のアドレス・バイトと同様であり、その値は 0x70 です (I²C の書き込み動作のセクションを参照)。

レジスタ・アドレスの最後のバイトが送信され、ADE7854A/ADE7858A/ADE7868A/ADE7878A によりアクノリッジされた後に、第 2 段階が開始され、マスタが新しい開始条件を生成し、その後にアドレス・バイトが続きます。このアドレス・バイトの最上位 7 ビットは、デバイスのアドレスを含んでおり、その値は 0111000 です。読み出し動作では、ビット 0 を 1 に設定する必要があります。したがって、読み出し動作の最初のバイトは 0x71 です。このバイトが受信されると、デバイスはアクノリッジを生成します。次に、デバイスはレジスタの値を送信し、マスタは、各バイトを受信した後にアクノリッジを生成します。バイトは全て、MSB ファーストで送信されます。レジスタは 8、16 または 32 ビットを格納できます。レジスタの最後のビットが受信されると、マスタは転送をアクノリッジせず、停止条件を生成します。

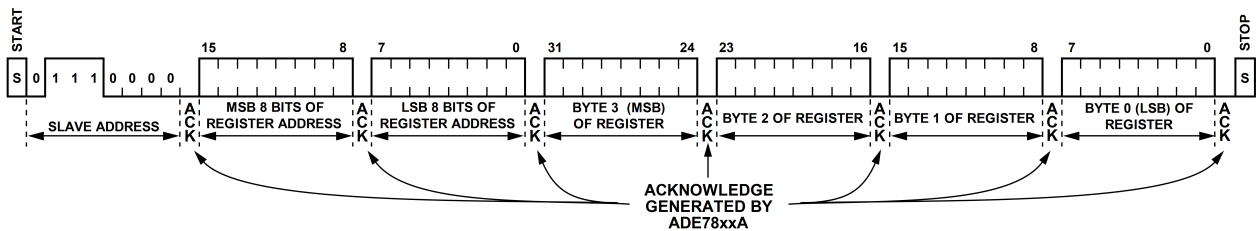


図 94. 32 ビット・レジスタの I²C 書き込み動作

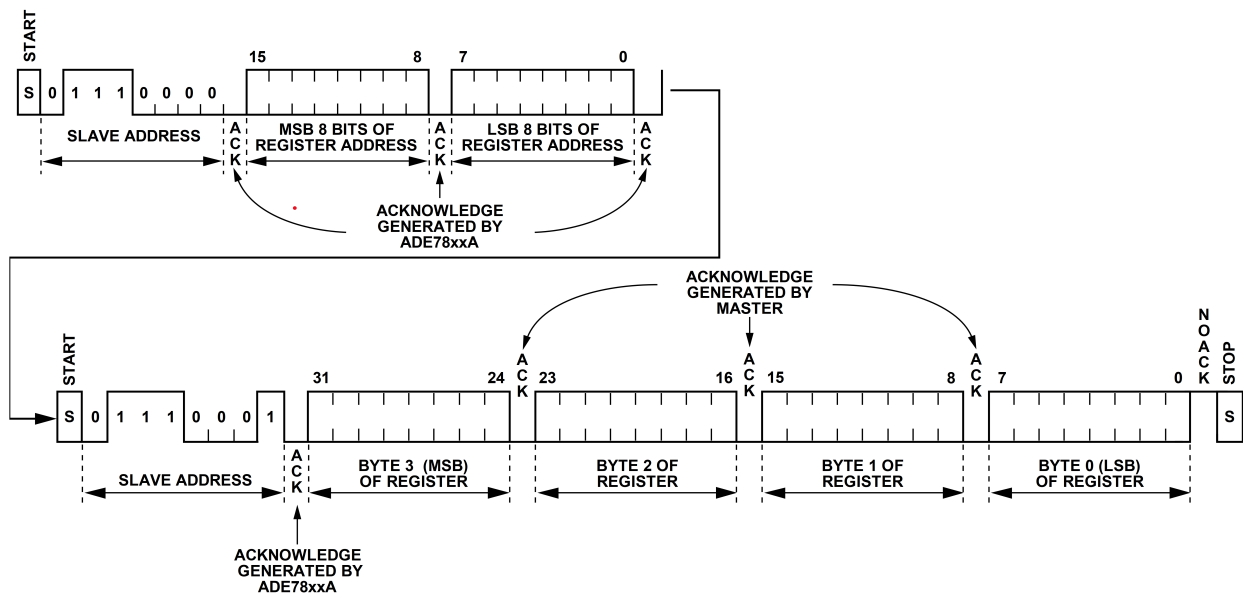


図 95. 32 ビット・レジスタの I²C 読み出し動作

SPI 互換インターフェース

ADE7854A/ADE7858A/ADE7868A/ADE7878A の SPI は、常に通信のスレーブであり、SCLK/SCL、MOSI/SDA、MISO/HSD、 $\overline{SS}$ /HSA の 4 つのピン（デュアル機能付き）で構成されています。SPI 対応インターフェースで使用される機能は、SCLK、MOSI、MISO、 $\overline{SS}$ です。

データ転送のためのシリアル・クロックは、SCLK ロジック入力から与えます。全てのデータ転送動作は、シリアル・クロックに同期します。このインターフェースが対応する最大シリアル・クロック周波数は 2.5MHz です。

データは、SCLK の立下がりエッジでデバイスの MOSI ロジック入力にシフト・インし、デバイスは、SCLK の立上がりエッジでそれをサンプリングします。データは、SCLK の立下がりエッジで ADE7854A/ADE7858A/ADE7868A/ADE7878A の MISO ロジック出力からシフト・アウトし、SCLK の立上がりエッジでマスタ・デバイスによってサンプリングされます。ワードの最上位ビットから先に、シフト・インとシフト・アウトが行われます。MISO は、ADE7854A/ADE7858A/ADE7868A/ADE7878A からデータが送信されない、高インピーダンス状態のままです。

図 96 に、ADE7854A/ADE7858A/ADE7868A/ADE7878A の SPI と、SPI インターフェースを内蔵したマスタ・デバイスとの接続を示します。

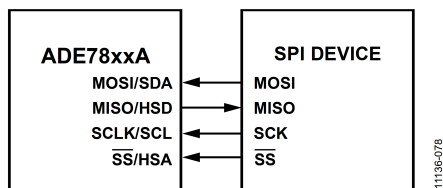


図 96. ADE78xxA の SPI と SPI デバイスとの接続

$\overline{SS}$ ロジック入力、チップ・セレクト入力です。この入力、複数のデバイスがシリアル・バスを共有する場合に使用します。データ転送動作全体で $\overline{SS}$ 入力をローに駆動します。データ転送動作中に $\overline{SS}$ をハイにすると、転送が中断され、シリアル・バスが高インピーダンス状態になります。 $\overline{SS}$ ロジック入力をローに戻すことによって、新しい転送を開始できます。ただし、データ転送を完了前に中断すると、アクセスされたレジスタの内容は確保されません。レジスタに書き込まれるたびに、そのレジスタを読み出して、その値を検証します。このプロトコルは、I²C インターフェースで使用するプロトコルと同様です。

SPI の書き込み動作

ADE7854A/ADE7858A/ADE7868A/ADE7878A の SPI インターフェースを使用した書き込み動作は、マスタが $\overline{SS}$ ピンをローに設定し、デバイスのスレーブ・アドレスを表す 1 バイトを MOSI ライン上で送信し始めると開始されます（図 97 参照）。マスタは、MOSI ラインでのデータ送信を、SCLK の最初のハイからローへの遷移で開始します。ADE7854A/ADE7858A/ADE7868A/ADE7878A の SPI は、SCLK のローからハイへの遷移でデータをサンプリングします。

アドレス・バイトの最上位 7 ビットは任意の値にできますが、好ましいプログラミング方法としては、これらのビットを 0111000（I²C プロトコルで使用する 7 ビット・アドレス）以外の値に設定します。アドレス・バイトのビット 0 は、read/write ビットです。書き込み動作では、ビット 0 を 0 にクリアする必要があります。次に、マスタは、書き込み対象のレジスタの 16 ビット・アドレスに続いて、SCLK サイクルから外れることなく、そのレジスタの 32、16 または 8 ビット値を送信します。最後のビットを送信した後、マスタは、SCLK サイクルの終了時に $\overline{SS}$ および SCLK ラインをハイに設定し、通信が終了します。データ・ラインの MOSI および MISO は高インピーダンス状態になります。

SPI の読み出し動作

ADE7854A/ADE7858A/ADE7868A/ADE7878A の SPI インターフェースを用いた読み出し動作は、マスタが $\overline{SS}$ ピンをローに設定し、ADE7854A、ADE7858A、ADE7868A または ADE7878A のアドレスを表す 1 バイトを MOSI ライン上で送信し始めると開始されます（図 95 参照）。マスタは、MOSI ラインでのデータ送信を、SCLK の最初のハイからローへの遷移で開始します。ADE7854A/ADE7858A/ADE7868A/ADE7878A の SPI は、SCLK のローからハイへの遷移でデータをサンプリングします。

アドレス・バイトの最上位 7 ビットは任意の値にできますが、好ましいプログラミング方法としては、これらのビットを 0111000（I²C プロトコルで使用する 7 ビット・アドレス）以外の値に設定します。アドレス・バイトのビット 0 は、read/write ビットです。読み出し動作では、ビット 0 を 1 に設定する必要があります。次に、マスタは、読み出し対象のレジスタの 16 ビット・アドレスを送信します。ADE7854A/ADE7858A/ADE7868A/ADE7878A は、SCLK のローからハイへの遷移でレジスタ・アドレスの最後のビットを受信すると、次の SCLK のハイからローへの遷移時に、レジスタの内容を MISO ライン上で送信し始めます。マスタは、SCLK のローからハイへの遷移でデータをサンプリングします。

マスタは、最後のビットを受信した後に、 $\overline{SS}$ および SCLK ラインをハイに設定し、通信が終了します。データ・ラインの MOSI および MISO は高インピーダンス状態になります。

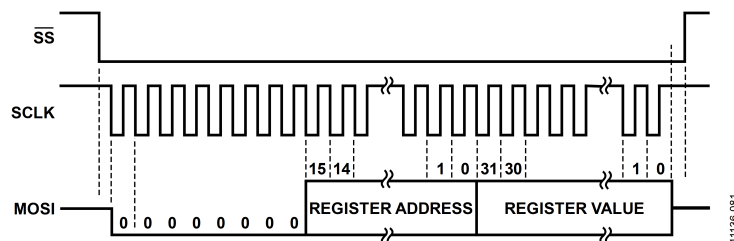


図 97. 32 ビット・レジスタの SPI 書き込み動作

SPI のバースト読み出し動作

瞬時電流／電圧、有効電力、無効電力、皮相電力を格納するレジスタは、SPI バースト・モードを用いた読み出しができます。このモードでは、連続したアドレスを持つ複数のレジスタに 1 つのコマンドでアクセスできます。SPI バースト・モードを用いてアクセスできるレジスタは、アドレス 0xE50C からアドレス 0xE51B までにあります。これらのレジスタは全て 32 ビット幅です。

バースト・モードは、マスタが $\overline{SS}$ ピンをローに設定し、ADE7854A/ADE7858A/ADE7868A/ADE7878A のアドレスを表す 1 バイトを MOSI ライン上で送信し始めると開始されます（図 99 参照）。このアドレスは、単一レジスタを読み出す際と同じアドレス・バイトです。マスタは、MOSI ラインでのデータ送信を、SCLK の最初のハイからローへの遷移で開始します。

ADE7854A/ADE7858A/

ADE7868A/ADE7878A の SPI は、SCLK のローからハイへの遷移でデータをサンプリングします。

次に、マスタは、読み出し対象の最初のレジスタの 16 ビット・アドレスを送信します。ADE7854A/ADE7858A/ADE7868A/ADE7878A は、SCLK のローからハイへの遷移でレジスタ・アドレスの最後のビットを受信すると、次の SCLK のハイからローへの遷移時に、レジスタの内容を MISO ライン上で送信し始めます。マスタは、SCLK のローからハイへの遷移でデータをサンプリングします。マスタが、最初のレジスタの最後のビットを受信した後に、ADE7854A/ADE7858A/ADE7868A/ADE7878A は次のレジスタの内容を送信します。このプロセスは、マスタが、 $\overline{SS}$ および SCLK ラインをハイに設定するまで繰り返され、通信が終了します。データ・ラインの MOSI および MISO は高インピーダンス状態になります。

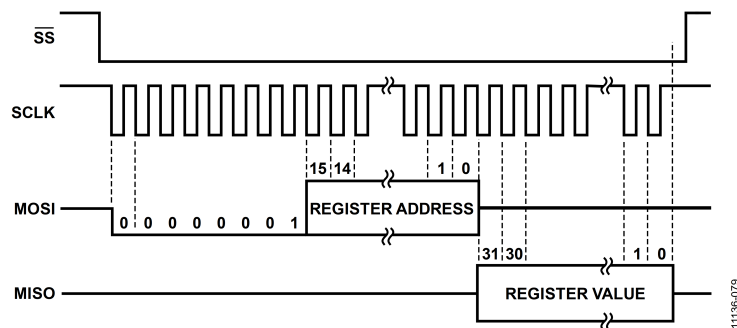


図 98. 32 ビット・レジスタの SPI 読み出し動作

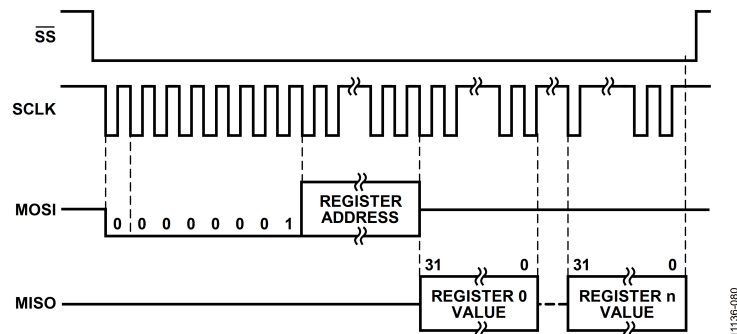


図 99. SPI のバースト読み出し動作

HSDC インターフェース

高速データ・キャプチャ (HSDC) インターフェースは、デフォルトではディスエーブルになっています。これは、ADE7854A/ADE7858A/ADE7868A/ADE7878A が I²C インターフェース用に設定されている場合にのみ使用できます。ADE7854A/ADE7858A/ADE7868A/ADE7878A の SPI インターフェースは、HSDC インターフェースと同時に使用できません。

CONFIG レジスタのビット 6 (HSDCEN) を 1 に設定すると、HSDC インターフェースがイネーブルになります。HSDCEN ビットを 0 (デフォルト値) にクリアすると、HSDC インターフェースはディスエーブルになります。SPI インターフェースの使用中に、このビットを 1 に設定しても、この部分に影響はありません。

HSDC インターフェースは、外部デバイス (通常はマイクロプロセッサまたは DSP) へのデータ送信に使用します。このデータは、最大 16 個の 32 ビット・ワードで構成できます。これらのワードは、相電流や相電圧、中性電流、および有効/無効/皮相電力の瞬時値を表します。送信されるレジスタは、IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR です。これらの 24 ビット・レジスタは 32 ビットに符号拡張されます (図 38 参照)。ADE7854A と ADE7858A の場合、INWV レジスタは使用できませんが、HSDC インターフェースは常に 0 に等しい 32 ビット・ワードを 1 つ送信します。更に、AVAR、BVAR および CVAR レジスタは、ADE7854A では使用できませんが、HSDC は、常に 0 に等しい 32 ビット・ワードを 3 つ送信します。

HSDC は、SPI または同様のインターフェースと接続できます。HSDC は常に通信のマスタであり、HSA、HSD、HSCLK の 3 つのピンで構成されています。

- HSA は選択信号を表します。ワードが送信されると、HSA はアクティブ・ローまたはハイを保持し、通常はスレーブのセレクト・ピンに接続されます。
- HSD は、スレーブにデータを送信し、通常はスレーブのデータ入力ピンに接続されます。
- HSCLK は、ADE7854A/ADE7858A/ADE7868A/ADE7878A によって生成されるシリアル・クロック・ラインであり、通常、スレーブのシリアル・クロック入力に接続されます。

図 100 に、ADE7854A/ADE7858A/ADE7868A/ADE7878A の HSDC インターフェースと、SPI インターフェースを内蔵するスレーブ・デバイスとの接続を示します。

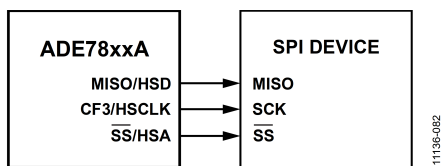


図 100. ADE7854A/ADE7858A/ADE7868A/ADE7878A の HSDC インターフェースと SPI スレーブとの接続

HSDC 通信は HSDC_CFG レジスタによって管理します (表 52 参照)。CONFIG レジスタのビット 6 (HSDCEN) を用いて HSDC ポートをイネーブルする前に、HSDC_CFG レジスタを目的の値に設定することを推奨します。こうすると、HSDC ポートに属する様々なピンの状態は、目的の HSDC 動作と一致しないレベルを許容しくなくなります。ハードウェアのリセット後またはパワーアップ後、HSD ピンと HSA ピンはハイに設定されます。

HSDC_CFG レジスタのビット 0 (HCLK) は、HSDC 通信のシリアル・クロック周波数を決定します。HCLK ビットを 0 (デフォルト値) に設定すると、クロック周波数は 8MHz になります。HCLK ビットを 1 に設定すると、クロック周波数は 4MHz になります。HSCLK のハイからローへの遷移ごとに、1 ビットのデータが送信されます。HSDC インターフェースからデータを受信するスレーブ・デバイスは、HSCLK のローからハイへの遷移時に HSD ラインをサンプリングします。

ワードは、32 ビット・パッケージまたは 8 ビット・パッケージとして送信できます。HSDC_CFG レジスタのビット 1 (HSIZE) を 0 (デフォルト値) に設定すると、ワードは 32 ビット・パッケージとして送信されます。HSIZE ビットを 1 に設定すると、レジスタは 8 ビット・パッケージとして送信されます。HSDC インターフェースは、ワードを MSB ファーストで送信します。

ビット 2 (HGAP) を 1 に設定すると、パッケージ間に HSCLK サイクル 7 回分のギャップが設定されます。HGAP ビットを 0 (デフォルト値) にクリアすると、パッケージ間にギャップが設定されず、通信時間が最短になります。HGAP を 0 に設定すると、HSIZE ビットは通信に影響を与えず、HSCLK のハイからローへの遷移ごとに、データ・ビットが HSD ライン上に配置されます。

ビット [4:3] (HXFER[1:0]) は、送信するワード数を指定します。HXFER[1:0] を 00 (デフォルト値) に設定すると、16 ワード全てが送信されます。HXFER[1:0] を 01 に設定すると、相電流、中性電流および相電圧の瞬時値を表すワードのみが、次の順序で送信されます: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、常に INWV と等しい 1 つの 32 ビット・ワード。HXFER[1:0] を 10 に設定すると、相電力の瞬時値のみが次の順序で送信されます: AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR。HXFER[1:0] の値 11 は予約済みであり、この値を書き込むことは、デフォルト値の 00 を書き込むことと同じです。各デバイスのビット設定値の詳細については、表 52 を参照してください。

ビット 5 (HSAPOL) は、通信中の HSA ピンにおける HSA 機能の極性を指定します。HSAPOL ビットを 0 (デフォルト値) に設定すると、通信中に HSA ピンがアクティブ・ローになります。つまり、通信中でないとき、HSA はハイを保持します。通信が実行されると、HSA は、32 ビットまたは 8 ビットのパッケージの転送時にはローになり、ギャップ中はハイになります。HSAPOL ビットを 1 に設定すると、通信中は HSA ピンがアクティブ・ハイになります。つまり、通信中でないとき、HSA はローを保持します。通信が実行されると、HSA は、32 ビットまたは 8 ビットのパッケージの転送時にはハイになり、ギャップ中はローになります。

HSDC_CFG レジスタのビット [7:6] は予約済みです。これらのビットに書き込まれた値は、HSDC の動作には影響しません。

図 101 に、HGAP = 0、HXFER[1:0] = 00、および HSAPOL = 0 の場合の HSDC 転送プロトコルを示します。HSDC インターフェースは、HSCLK のハイからローへの遷移ごとに HSD ライン上にデータ・ビットを設定します。HSIZE ビットの値は無関係です。

図 102 に、HSIZE = 0、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 の場合の HSDC 転送プロトコルを示します。HSDC インターフェースで、各 32 ビット・ワードの間に 7 サイクルの HSCLK ギャップが設定されることに注意してください。

図 103 に、HSIZE = 1、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 の場合の HSDC 転送プロトコルを示します。HSDC インターフェースで、各 8 ビット・ワードの間に 7 サイクルの HSCLK ギャップが設定されることに注意してください。

表 52 に、HSDC_CFG レジスタの HCLK、HSIZE、HGAP、HXFER[1:0]、および HSAPOL ビットを示します。表 27 に、全ての HSDC_CFG レジスタ設定値について、HSDC データ転送の実行にかかる時間を示します。一部の設定値では、転送時間は波形サンプル・レジスタの更新レートである 125 マイクロ秒 (8kHz) より短くなります。これは、HSDC ポートがサンプリング・サイクルごとにデータを送信することを意味します。転送時間が 125 マイクロ秒より長い設定値の場合、HSDC ポートは、2つの連続した 8kHz サンプリング・サイクルの最初のサイクルでのみデータを送信します。つまり、ポートは 4kHz の実効レートでレジスタを送信します。

表 27. 様々な HSDC 設定値での通信時間

HXFER[1:0]	HGAP	HSIZE ¹	HCLK	Communication Time (μs)
00	0	N/A	0	64
00	0	N/A	1	128
00	1	0	0	77.125
00	1	0	1	154.25
00	1	1	0	119.25
00	1	1	1	238.25
01	0	N/A	0	28
01	0	N/A	1	56
01	1	0	0	33.25
01	1	0	1	66.5
01	1	1	0	51.625
01	1	1	1	103.25
10	0	N/A	0	36
10	0	N/A	1	72
10	1	0	0	43
10	1	0	1	86
10	1	1	0	66.625
10	1	1	1	133.25

¹ N/A は該当なしを意味します。

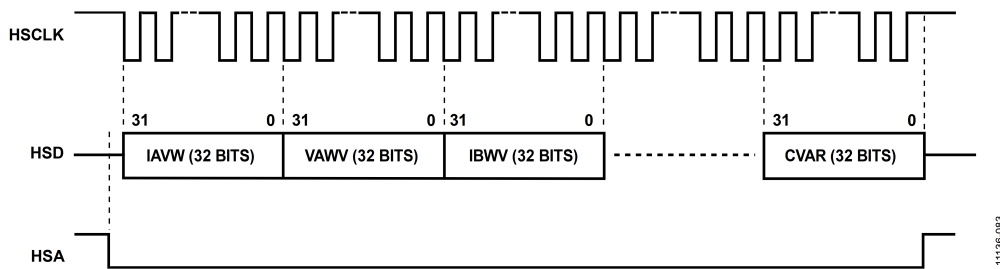


図 101. HGAP = 0、HXFER[1:0] = 00、HSAPOL = 0 の場合の HSDC 通信。HSIZE は無関係

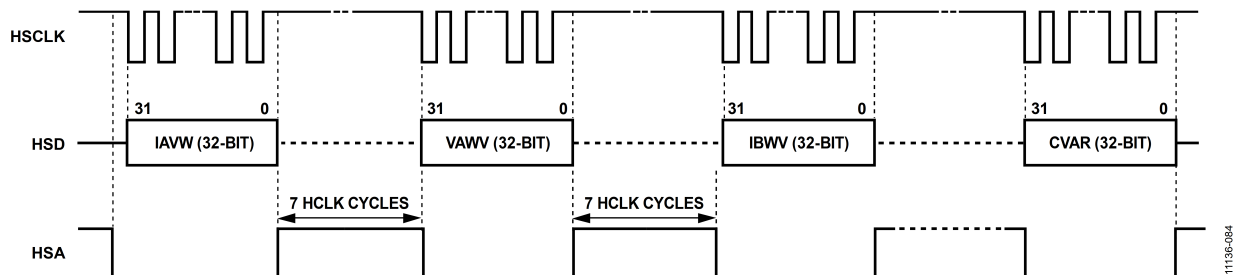


図 102. HSIZE = 0、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 の場合の HSDC 通信

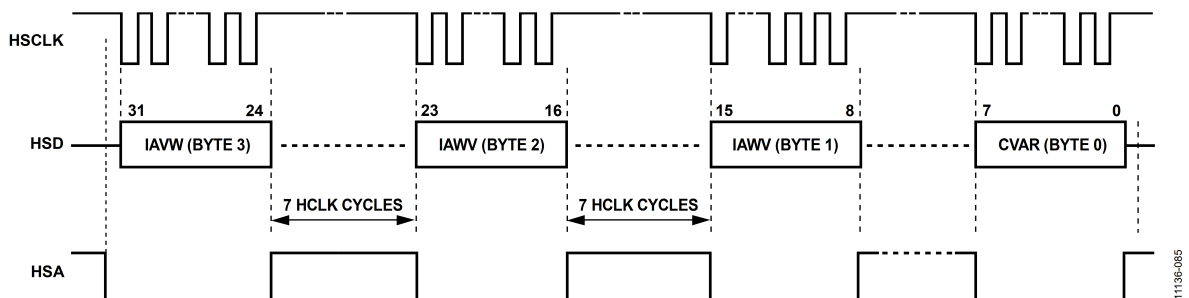


図 103. HSIZE = 1、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 の場合の HSDC 通信

レジスタの一覧

デュアル機能のピン名は、関連する機能のみが言及されることに注意してください。例えば、CF3/HSCLK ピンのキャリブレーション周波数出力機能の場合は、CF3 です（完全なピン記号と説明については、[ピン配置およびピン機能の説明](#)のセクションを参照）。

表 28. DSP データ・メモリ RAM 内のレジスタ一覧

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値	概要
0x4380	AIGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電流のゲイン調整。
0x4381	AVGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電圧のゲイン調整。
0x4382	BIGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電流のゲイン調整。
0x4383	BVGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電圧のゲイン調整。
0x4384	CIGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電流のゲイン調整。
0x4385	CVGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電圧のゲイン調整。
0x4386	NIGAIN	R/W	24	32 ZPSE	S	0x000000	中性電流のゲイン調整（ADE7868A と ADE7878A のみ）。
0x4387	AIRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相電流実効値オフセット。
0x4388	AVRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相電圧実効値オフセット。
0x4389	BIRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相電流実効値オフセット。
0x438A	BVRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相電圧実効値オフセット。
0x438B	CIRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相電流実効値オフセット。
0x438C	CVRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相電圧実効値オフセット。
0x438D	NIRMSOS	R/W	24	32 ZPSE	S	0x000000	中性電流実効値オフセット（ADE7868A と ADE7878A のみ）。
0x438E	AVAGAIN	R/W	24	32 ZPSE	S	0x000000	A 相相電圧のゲイン調整。
0x438F	BVAGAIN	R/W	24	32 ZPSE	S	0x000000	B 相相電圧のゲイン調整。
0x4390	CVAGAIN	R/W	24	32 ZPSE	S	0x000000	C 相相電圧のゲイン調整。
0x4391	AWGAIN	R/W	24	32 ZPSE	S	0x000000	A 相総合有効電力のゲイン調整。
0x4392	AWATTOS	R/W	24	32 ZPSE	S	0x000000	A 相総合有効電力のオフセット調整。
0x4393	BWGAIN	R/W	24	32 ZPSE	S	0x000000	B 相総合有効電力のゲイン調整。
0x4394	BWATTOS	R/W	24	32 ZPSE	S	0x000000	B 相総合有効電力のオフセット調整。
0x4395	CWGAIN	R/W	24	32 ZPSE	S	0x000000	C 相総合有効電力のゲイン調整。
0x4396	CWATTOS	R/W	24	32 ZPSE	S	0x000000	C 相総合有効電力のオフセット調整。
0x4397	AVARGAIN	R/W	24	32 ZPSE	S	0x000000	A 相総合無効電力のゲイン調整（ADE7858A、ADE7868A、ADE7878A のみ）。
0x4398	AVAROS	R/W	24	32 ZPSE	S	0x000000	A 相総合無効電力のオフセット調整（ADE7858A、ADE7868A、ADE7878A のみ）。
0x4399	BVARGAIN	R/W	24	32 ZPSE	S	0x000000	B 相総合無効電力のゲイン調整（ADE7858A、ADE7868A、ADE7878A のみ）。
0x439A	BVAROS	R/W	24	32 ZPSE	S	0x000000	B 相総合無効電力のオフセット調整（ADE7858A、ADE7868A、ADE7878A のみ）。
0x439B	CVARGAIN	R/W	24	32 ZPSE	S	0x000000	C 相総合無効電力のゲイン調整（ADE7858A、ADE7868A、ADE7878A のみ）。
0x439C	CVAROS	R/W	24	32 ZPSE	S	0x000000	C 相総合無効電力のオフセット調整（ADE7858A、ADE7868A、ADE7878A のみ）。
0x439D	AFWGAIN	R/W	24	32 ZPSE	S	0x000000	A 相基本波有効電力のゲイン調整。ADE7854A、ADE7858A および ADE7868A 用の予約済みロケーション。
0x439E	AFWATTOS	R/W	24	32 ZPSE	S	0x000000	A 相基本波有効電力のオフセット調整。ADE7854A、ADE7858A および ADE7878A 用の予約済みロケーション。
0x439F	BFWGAIN	R/W	24	32 ZPSE	S	0x000000	B 相基本波有効電力のゲイン調整（ADE7878A のみ）。
0x43A0	BFWATTOS	R/W	24	32 ZPSE	S	0x000000	B 相基本波有効電力のオフセット調整（ADE7878A のみ）。
0x43A1	CFWGAIN	R/W	24	32 ZPSE	S	0x000000	C 相基本波有効電力のゲイン調整（ADE7878A のみ）。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値	概要
0x43A2	CFWATTOS	R/W	24	32 ZPSE	S	0x000000	C 相基本波有効電力のオフセット調整 (ADE7878A のみ)。
0x43A3	AFVARGAIN	R/W	24	32 ZPSE	S	0x000000	A 相基本波無効電力のゲイン調整 (ADE7878A のみ)。
0x43A4	AFVAROS	R/W	24	32 ZPSE	S	0x000000	A 相基本波無効電力のオフセット調整 (ADE7878A のみ)。
0x43A5	BFVARGAIN	R/W	24	32 ZPSE	S	0x000000	B 相基本波無効電力のゲイン調整 (ADE7878A のみ)。
0x43A6	BFVAROS	R/W	24	32 ZPSE	S	0x000000	B 相基本波無効電力のオフセット調整 (ADE7878A のみ)。
0x43A7	CFVARGAIN	R/W	24	32 ZPSE	S	0x000000	C 相基本波無効電力のゲイン調整 (ADE7878A のみ)。
0x43A8	CFVAROS	R/W	24	32 ZPSE	S	0x000000	C 相基本波無効電力のオフセット調整 (ADE7878A のみ)。
0x43A9	VATHR1	R/W	24	32 ZP	U	0x000000	各相の皮相電力データ経路で使用される VATHR[47:0] 閾値の最上位 24 ビット。
0x43AA	VATHR0	R/W	24	32 ZP	U	0x000000	各相の皮相電力データ経路で使用される VATHR[47:0] 閾値の最下位 24 ビット。
0x43AB	WTHR1	R/W	24	32 ZP	U	0x000000	各相の総合／基本波有効電力データ経路で使用される WTHR[47:0] 閾値の最上位 24 ビット。
0x43AC	WTHR0	R/W	24	32 ZP	U	0x000000	各相の総合／基本波有効電力データ経路で使用される WTHR[47:0] 閾値の最下位 24 ビット。
0x43AD	VARTHR1	R/W	24	32 ZP	U	0x000000	各相の総合／基本波無効電力データ経路で使用される VARTHR[47:0] 閾値の最上位 24 ビット (ADE7858A、ADE7868A、ADE7878A のみ)。
0x43AE	VARTHR0	R/W	24	32 ZP	U	0x000000	各相の総合／基本波無効電力データ経路で使用される VARTHR[47:0] 閾値の最下位 24 ビット (ADE7858A、ADE7868A、ADE7878A のみ)。
0x43AF	Reserved	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	正常に動作させるには、このメモリ・ロケーションを 0x000000 で維持します。
0x43B0	VANOLOAD	R/W	24	32 ZPSE	S	0x00000000	皮相電力データ経路の無負荷閾値。
0x43B1	APNOLOAD	R/W	24	32 ZPSE	S	0x00000000	総合／基本波有効電力データ経路の無負荷閾値。
0x43B2	VARNLOAD	R/W	24	32 ZPSE	S	0x00000000	総合／基本波無効電力データ経路の無負荷閾値。ADE7854A 用の予約済みロケーション。
0x43B3	VLEVEL	R/W	24	32 ZPSE	S	0x000000	基本波有効／無効電力の計算アルゴリズムで使用されるレジスタ (ADE7878A のみ)。
0x43B4	Reserved	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	このロケーションには書き込まないでください。
0x43B5	DICOEFF	R/W	24	32 ZPSE	S	0x000000	デジタル積分器アルゴリズムで使用されるレジスタ。積分器をターン・オンする場合は、DICOEFF レジスタを 0xFF8000 で設定する必要があります。実際には、0xFFFF8000 として送信されます。
0x43B6	HPFDIS	R/W	24	32 ZP	U	0x000000	電流データ経路で HPF をディスエーブル／イネーブルにします。表 32 を参照してください。
0x43B7	Reserved	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	正常に動作させるには、このメモリ・ロケーションを 0x000000 で維持します。
0x43B8	ISUMLVL	R/W	24	32 ZPSE	S	0x000000	相電流の合計と中性電流の比較に使用される閾値 (ADE7868A と ADE7878A のみ)。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値	概要
0x43B9 to 0x43BE	Reserved	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	正常に動作させるには、このメモリ・ロケーションを 0x000000 で維持します。
0x43BF	ISUM	R	28	32 ZP	S	N/A ⁴	IAWV、IBWV および ICWV レジスタの合計（ADE7868A と ADE7878A のみ）。
0x43C0	AIRMS	R	24	32 ZP	S	N/A ⁴	A 相電流実効値。
0x43C1	AVRMS	R	24	32 ZP	S	N/A ⁴	A 相電圧実効値。
0x43C2	BIRMS	R	24	32 ZP	S	N/A ⁴	B 相電流実効値。
0x43C3	BVRMS	R	24	32 ZP	S	N/A ⁴	B 相電圧実効値。
0x43C4	CIRMS	R	24	32 ZP	S	N/A ⁴	C 相電流実効値。
0x43C5	CVRMS	R	24	32 ZP	S	N/A ⁴	C 相電圧実効値。
0x43C6	NIRMS	R	24	32 ZP	S	N/A ⁴	中性電流実効値（ADE7868A と ADE7878A のみ）。
0x43C7 to 0x43FF	Reserved	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。

¹ R = 読出し専用、R/W = 読出し／書込み。

² 32 ZPSE = 24 ビット符号付きレジスタ。4 つの MSB に 0 が埋め込まれ、28 ビットに符号拡張された 32 ビット・ワードとして送信されます。32 ZP = 28 ビットまたは 24 ビットの符号付きまたは符号なしレジスタ。それぞれ 4 つの MSB または 8 つの MSB に 0 が埋め込まれた 32 ビット・ワードとして送信されます。

³ U = 符号なしレジスタ。S = 2 の補数フォーマットの符号付きレジスタ。

⁴ N/A = 該当なし。

表 29. 内部 DSP メモリ RAM レジスタ

アドレス	レジスタ名	R/W ¹	ビット長	タイプ ²	デフォルト値	概要
0xE203	Reserved	R/W	16	U	0x0000	正常に動作させるには、このメモリ・ロケーションには書き込まないでください。
0xE228	Run	R/W	16	U	0x0000	実行レジスタは DSP の開始および停止を行います（ デジタル・シグナル・プロセッサ のセクションを参照）。

¹ R/W = 読出し／書込み。

² U = 符号なしレジスタ。

表 30. 請求可能レジスタ

アドレス	レジスタ名	R/W ¹	ビット長	タイプ ²	デフォルト値	概要
0xE400	AWATTHR	R	32	S	0x00000000	A 相総合有効電力量積算。
0xE401	BWATTHR	R	32	S	0x00000000	B 相総合有効電力量積算。
0xE402	CWATTHR	R	32	S	0x00000000	C 相総合有効電力量積算。
0xE403	AFWATTHR	R	32	S	0x00000000	A 相基本波有効電力量積算（ADE7878A のみ）。
0xE404	BFWATTHR	R	32	S	0x00000000	B 相基本波有効電力量積算（ADE7878A のみ）。
0xE405	CFWATTHR	R	32	S	0x00000000	C 相基本波有効電力量積算（ADE7878A のみ）。
0xE406	AVARHR	R	32	S	0x00000000	A 相総合無効電力量積算（ADE7858A、ADE7868A、ADE7878A のみ）。
0xE407	BVARHR	R	32	S	0x00000000	B 相総合無効電力量積算（ADE7858A、ADE7868A、ADE7878A のみ）。
0xE408	CVARHR	R	32	S	0x00000000	C 相総合無効電力量積算（ADE7858A、ADE7868A、ADE7878A のみ）。
0xE409	AFVARHR	R	32	S	0x00000000	A 相基本波無効電力量積算（ADE7878A のみ）。
0xE40A	BFVARHR	R	32	S	0x00000000	B 相基本波無効電力量積算（ADE7878A のみ）。
0xE40B	CFVARHR	R	32	S	0x00000000	C 相基本波無効電力量積算（ADE7878A のみ）。
0xE40C	AVAHR	R	32	S	0x00000000	A 相皮相電力量積算。
0xE40D	BVAHR	R	32	S	0x00000000	B 相皮相電力量積算。
0xE40E	CVAHR	R	32	S	0x00000000	C 相皮相電力量積算。

¹ R/W = 読出し／書込み。

² U = 符号なしレジスタ。

表 31. 設定レジスタと電力品質レジスタ

アドレス	レジスタ名	R/W ^{1, 2}	ビット長 ²	通信時の ビット長 ^{2, 3}	タイプ ^{2, 4}	デフォルト値 ²	概要
0xE500	IPEAK	R	32	32	U	N/A	電流ピーク・レジスタ。詳細については、 図 51 と表 33 を参照してください。
0xE501	VPEAK	R	32	32	U	N/A	電圧ピーク・レジスタ。詳細については、 図 51 と表 34 を参照してください。
0xE502	STATUS0	R/W	32	32	U	N/A	割込みステータス・レジスタ 0。表 35 を参照してください。
0xE503	STATUS1	R/W	32	32	U	N/A	割込みステータス・レジスタ 1。表 36 を参照してください。
0xE504	AIMAV	R	20	32 ZP	U	N/A	PSM0 および PSM1 モード中に計算される A 相電流平均絶対値 (ADE7868A と ADE7878A のみ)。
0xE505	BIMAV	R	20	32 ZP	U	N/A	PSM0 および PSM1 モード中に計算される B 相電流平均絶対値 (ADE7868A と ADE7878A のみ)。
0xE506	CIMAV	R	20	32 ZP	U	N/A	PSM0 および PSM1 モード中に計算される C 相電流平均絶対値 (ADE7868A と ADE7878A のみ)。
0xE507	OILVL	R/W	24	32 ZP	U	0xFFFFFFFF	過電流閾値。
0xE508	OVLVL	R/W	24	32 ZP	U	0xFFFFFFFF	過電圧閾値。
0xE509	SAGLVL	R/W	24	32 ZP	U	0x0000000	電圧サグ・レベル閾値。
0xE50A	MASK0	R/W	32	32	U	0x00000000	割込みイネーブル・レジスタ 0。表 37 を参照してください。
0xE50B	MASK1	R/W	32	32	U	0x00000000	割込みイネーブル・レジスタ 1。表 38 を参照してください。
0xE50C	IAWV	R	24	32 SE	S	N/A	A 相電流の瞬時値。
0xE50D	IBWV	R	24	32 SE	S	N/A	B 相電流の瞬時値。
0xE50E	ICWV	R	24	32 SE	S	N/A	C 相電流の瞬時値。
0xE50F	INWV	R	24	32 SE	S	N/A	中性電流の瞬時値 (ADE7868A と ADE7878A のみ)。
0xE510	VAWV	R	24	32 SE	S	N/A	A 相電圧の瞬時値。
0xE511	VBWV	R	24	32 SE	S	N/A	B 相電圧の瞬時値。
0xE512	VCWV	R	24	32 SE	S	N/A	C 相電圧の瞬時値。
0xE513	AWATT	R	24	32 SE	S	N/A	A 相総合有効電力の瞬時値。
0xE514	BWATT	R	24	32 SE	S	N/A	B 相総合有効電力の瞬時値。
0xE515	CWATT	R	24	32 SE	S	N/A	C 相総合有効電力の瞬時値。
0xE516	AVAR	R	24	32 SE	S	N/A	A 相総合無効電力の瞬時値 (ADE7858A、ADE7868A、ADE7878A のみ)。
0xE517	BVAR	R	24	32 SE	S	N/A	B 相総合無効電力の瞬時値 (ADE7858A、ADE7868A、ADE7878A のみ)。
0xE518	CVAR	R	24	32 SE	S	N/A	C 相総合無効電力の瞬時値 (ADE7858A、ADE7868A、ADE7878A のみ)。
0xE519	AVA	R	24	32 SE	S	N/A	A 相皮相電力の瞬時値。
0xE51A	BVA	R	24	32 SE	S	N/A	B 相皮相電力の瞬時値。
0xE51B	CVA	R	24	32 SE	S	N/A	C 相皮相電力の瞬時値。
0xE51C to 0xE51E	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE51F	CHECKSUM	R	32	32	U	N/A	チェックサムの検証。詳細については、 チェックサム・レジスタ のセクションを参照してください。

アドレス	レジスタ名	R/W ^{1,2}	ビット長 ²	通信時の ビット長 ^{2,3}	タイプ ^{2,4}	デフォルト値 ²	概要
0xE520	VNOM	R/W	24	32 ZP	S	0x000000	皮相電力の代替計算で使用される各相の公称電圧実効値。VNOMxEN ビットが設定されると、該当する相の印加された電圧入力は無視され、対応する全ての実効値電圧インスタンスは、VNOM レジスタの値に置き換えられます。
0xE521 to 0xE52F	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE530	IARMS_LRIP	R	24	32 ZP	S	N/A	A 相電流実効値の 1.024 秒平均
0xE531	VARMS_LRIP	R	24	32 ZP	S	N/A	A 相電圧実効値の 1.024 秒平均
0xE532	IBRMS_LRIP	R	24	32 ZP	S	N/A	B 相電流実効値の 1.024 秒平均
0xE533	VBRMS_LRIP	R	24	32 ZP	S	N/A	B 相電圧実効値の 1.024 秒平均
0xE534	ICRMS_LRIP	R	24	32 ZP	S	N/A	C 相電流実効値の 1.024 秒平均
0xE535	VCRMS_LRIP	R	24	32 ZP	S	N/A	C 相電圧実効値の 1.024 秒平均
0xE536	INRMS_LRIP	R	24	32 ZP	S	N/A	中性電流実効値の 1.024 秒平均
0xE537 to 0xE5FE	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE5FF	LAST_RWDATA_32	R	32	32	U	N/A	最後の正常な 32 ビット・レジスタ通信のデータを格納。
0xE600	PHSTATUS	R	16	16	U	N/A	各相のピーク・レジスタ。表 39 を参照してください。
0xE601	ANGLE0	R	16	16	U	N/A	時間遅延 0。詳細については、 相間の時間間隔 のセクションを参照してください。
0xE602	ANGLE1	R	16	16	U	N/A	時間遅延 1。詳細については、 相間の時間間隔 のセクションを参照してください。
0xE603	ANGLE2	R	16	16	U	N/A	時間遅延 2。詳細については、 相間の時間間隔 のセクションを参照してください。
0xE604 to 0xE606	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE607	Period	R	16	16	U	N/A	ネットワーク・ライン周期。
0xE608	PHNOLOAD	R	16	16	U	N/A	各相の無負荷レジスタ。表 40 を参照してください。
0xE609 to 0xE60B	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE60C	LINECYC	R/W	16	16	U	0xFFFF	ライン・サイクル積算モード・カウント。
0xE60D	ZXTOUT	R/W	16	16	U	0xFFFF	ゼロ交差タイムアウト・カウント。
0xE60E	COMPmode	R/W	16	16	U	0x01FF	計算モード・レジスタ。表 41 を参照してください。
0xE60F	Gain	R/W	16	16	U	0x0000	ADC 入力での PGA ゲイン。表 42 を参照してください。
0xE610	CFMODE	R/W	16	16	U	0x0E88	CFx 設定レジスタ。表 43 を参照してください。
0xE611	CF1DEN	R/W	16	16	U	0x0000	CF1 デノミネータ。
0xE612	CF2DEN	R/W	16	16	U	0x0000	CF2 デノミネータ。
0xE613	CF3DEN	R/W	16	16	U	0x0000	CF3 デノミネータ。
0xE614	APHCAL	R/W	10	16 ZP	S	0x0000	A 相の位相キャリブレーション (表 44 参照)。
0xE615	BPHCAL	R/W	10	16 ZP	S	0x0000	B 相の位相キャリブレーション (表 44 参照)。
0xE616	CPHCAL	R/W	10	16 ZP	S	0x0000	C 相の位相キャリブレーション (表 44 参照)。
0xE617	PHSIGN	R	16	16	U	N/A	電力符号レジスタ。表 45 を参照してください。
0xE618	CONFIG	R/W	16	16	U	0x0000	ADE7878A 設定レジスタ。表 46 を参照してください。
0xE619 to 0xE6FD	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE6FE	LAST_ADDR	R	16	16	U	N/A	最後の読み出し／書き込み動作時に、正常にアクセスされたレジスタのアドレス。
0xE6FF	LAST_RWDATA_16	R	16	16	U	N/A	最後の正常な 16 ビット・レジスタ通信のデータを格納。
0xE700	MMODE	R/W	8	8	U	0x1C	計測モード・レジスタ。表 48 を参照してください。

アドレス	レジスタ名	R/W ^{1,2}	ビット長 ²	通信時の ビット長 ^{2,3}	タイプ ^{2,4}	デフォルト値 ²	概要
0xE701	ACCMODE	R/W	8	8	U	0x00	積算モード・レジスタ。表 49 を参照してください。
0xE702	LCYCMODE	R/W	8	8	U	0x78	ライン積算モードの動作。表 51 を参照してください。
0xE703	PEAKCYC	R/W	8	8	U	0x00	ピーク検出ハーフ・ライン・サイクル。
0xE704	SAGCYC	R/W	8	8	U	0x00	サグ検出ハーフ・ライン・サイクル
0xE705	CFCYC	R/W	8	8	U	0x01	2つの連続する電力量ラッチ間のCFパルスの数。電力量レジスタとCFx出力の同期のセクションを参照してください。
0xE706	HSDC_CFG	R/W	8	8	U	0x00	HSDC 設定レジスタ。表 52 を参照してください。
0xE707	Version	R	8	8	U		ダイのバージョン。
0xE708 to 0xE73F	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE740	CONFIG_A	R/W	8	8	U	0x00	電力フィルタリングの設定レジスタ。
0xE741 to 0xE7FB	Reserved	N/A	N/A	N/A	N/A	N/A	正常に動作させるには、これらのメモリ・ロケーションには書き込まないでください。
0xE7FC	LAST_RWDATA_8	R	8	8	U	N/A	最後の正常な 8 ビット・レジスタ通信のデータを格納。
0xE7FD	LAST_OP	R	8	8	U	N/A	最後の正常な読出し／書き込み動作のタイプ（読出しまたは書き込み）を示します。
0xEBFF	Reserved		8	8			SPI をアクティブ・ポートとして選択するときは、このアドレスを用いてSS/HSA ピンを操作します。シリアル・インターフェースのセクションを参照してください。
0xEC00	LPOILVL	R/W	8	8	U	0x07	PSM2 モード中に使用される過電流閾値（ADE7868A および ADE7878A のみ）。表 53 を参照してください。
0xEC01	CONFIG2	R/W	8	8	U	0x00	PSM1 モード中に使用される設定レジスタ。表 54 を参照してください。

¹ R = 読出し専用、R/W = 読出し／書き込み。

² N/A = 該当なし。

³ 32 ZP = 24 ビットまたは 20 ビットの符号付きまたは符号なしレジスタ。それぞれ 8 つの MSB または 12 個の MSB に 0 が埋め込まれた 32 ビット・ワードとして送信されます。32 SE = 24 ビット符号付きレジスタ。32 ビットに符号拡張された 32 ビット・ワードとして送信されます。16 ZP = 10 ビット符号なしレジスタ。6 つの MSB に 0 が埋め込まれた 16 ビット・ワードとして送信されます。

⁴ U = 符号なしレジスタ、S = 2 の補数フォーマットの符号付きレジスタ。

表 32. HPFDIS レジスタ（アドレス 0x43B6）

ビット	デフォルト値	概要
[23:0]	000000	HPFDIS = 0x00000000 は、電圧／電流チャンネルの全てのハイパス・フィルタをイネーブルにします。レジスタをノンゼロ値に設定すると、全てのハイパス・フィルタがディスエーブルになります。

表 33. IPEAK レジスタ（アドレス 0xE500）

ビット	ビット名	デフォルト値	概要
[23:0]	IPEAKVAL[23:0]	0	これらのビットは、電流チャンネルで決定されたピーク値を格納します。
24	IPPHASE[0]	0	このビットを 1 に設定すると、A 相電流は IPEAKVAL[23:0]値を生成します。
25	IPPHASE[1]	0	このビットを 1 に設定すると、B 相電流は IPEAKVAL[23:0]値を生成します。
26	IPPHASE[2]	0	このビットを 1 に設定すると、C 相電流は IPEAKVAL[23:0]値を生成します。
[31:27]		00000	これらのビットは常に 00000 に設定します。

表 34. VPEAK レジスタ（アドレス 0xE501）

ビット	ビット名	デフォルト値	概要
[23:0]	VPEAKVAL[23:0]	0	これらのビットは、電圧チャンネルで決定されたピーク値を格納します。
24	VPPHASE[0]	0	このビットを 1 に設定すると、A 相電圧は VPEAKVAL[23:0]値を生成します。
25	VPPHASE[1]	0	このビットを 1 に設定すると、B 相電圧は VPEAKVAL[23:0]値を生成します。
26	VPPHASE[2]	0	このビットを 1 に設定すると、C 相電圧は VPEAKVAL[23:0]値を生成します。
[31:27]		00000	これらのビットは常に 00000 に設定します。

表 35. STATUS0 レジスタ（アドレス 0xE502）

ビット	ビット名	デフォルト値	概要
0	AEHF	0	このビットが 1 に設定された状態は、総合有効電力量レジスタ（AWATTHR、BWATTHR または CWATTHR）のいずれかのビット 30 が変更されたことを示します。
1	FAEHF	0	このビットが 1 に設定された状態は、基本波有効電力量レジスタ（FWATTHR、BWATTHR または CFWATTHR）のいずれかのビット 30 が変更されたことを示します。ADE7854A、ADE7858A および ADE7868A の場合、このビットは常に 0 に設定します。
2	REHF	0	このビットが 1 に設定された状態は、総合無効電力レジスタ（AVARHR、BVARHR または CVARHR）のいずれかのビット 30 が変更されたことを示します。ADE7854A の場合、このビットは常に 0 に設定します。
3	FREHF	0	このビットが 1 に設定された状態は、基本波無効電力レジスタ（AFVARHR、BFVARHR または CFVARHR）のいずれかのビット 30 が変更されたことを示します。ADE7854A、ADE7858A および ADE7868A の場合、このビットは常に 0 に設定します。
4	VAEHF	0	このビットが 1 に設定された状態は、皮相電力量レジスタ（AVAHR、BVAHR または CVAHR）のいずれかのビット 30 が変更されたことを示します。
5	LENERGY	0	このビットが 1 に設定された状態は、ライン電力量積算モードでは、LINECYC レジスタに設定された整数回のハーフ・ライン・サイクルにわたる積分の終了を示します。
6	REVAPA	0	このビットが 1 に設定された状態は、ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される A 相有効電力の符号が変化したことを示します。符号自体は、PHSIGN レジスタのビット 0（AWSIGN）に示されています（表 45 参照）。
7	REVPB	0	このビットが 1 に設定された状態は、ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される B 相有効電力の符号が変化したことを示します。符号自体は、PHSIGN レジスタのビット 1（BWSIGN）に示されています（表 45 参照）。
8	REVAPC	0	このビットが 1 に設定された状態は、ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される C 相有効電力の符号が変化したことを示します。符号自体は、PHSIGN レジスタのビット 2（CWSIGN）に示されています（表 45 参照）。
9	REVPSUM1	0	このビットが 1 に設定された状態は、CF1 データ経路の全相電力の合計の符号が変化したことを示します。符号自体は、PHSIGN レジスタのビット 3（SUM1SIGN）に示されています（表 45 参照）。
10	REVRPA	0	このビットが 1 に設定された状態は、ACCMODE レジスタ（総合または基本波）のビット 7（REVRPSEL）で特定される A 相無効電力の符号が変化したことを示します。符号自体は、PHSIGN レジスタのビット 4（AVARSIGN）に示されています（表 45 参照）。ADE7854A の場合、このビットは常に 0 に設定します。
11	REVRPB	0	このビットが 1 に設定された状態は、ACCMODE レジスタ（総合または基本波）のビット 7（REVRPSEL）で特定される B 相無効電力の符号が変化したことを示します。符号自体は、PHSIGN レジスタのビット 5（BVARSIGN）に示されています（表 45 参照）。ADE7854A の場合、このビットは常に 0 に設定します。
12	REVRPC	0	このビットが 1 に設定された状態は、ACCMODE レジスタ（総合または基本波）のビット 7（REVRPSEL）で特定される C 相無効電力の符号が変化したことを示します。符号自体は、PHSIGN レジスタのビット 6（CVARSIGN）に示されています（表 45 参照）。ADE7854A の場合、このビットは常に 0 に設定します。
13	REVPSUM2	0	このビットが 1 に設定された状態は、CF2 データ経路の全相電力の合計の符号が変更されたことを示します。符号自体は、PHSIGN レジスタのビット 7（SUM2SIGN）に示されています（表 45 参照）。
14	CF1		このビットが 1 に設定された状態は、CF1 ピンでハイからローへの遷移が発生したことを示します。すなわち、アクティブ・ローのパルスが生成されています。このビットは、CFMODE レジスタのビット 9（CF1DIS）を 1 に設定することにより、CF1 出力をディセーブルにしても設定されます。CF1 ピンで使用する電力のタイプは、CFMODE レジスタのビット[2:0]（CF1SEL[2:0]）によって決定されます（表 43 参照）。
15	CF2		このビットが 1 に設定された状態は、CF2 ピンでハイからローへの遷移が発生したことを示します。すなわち、アクティブ・ローのパルスが生成されています。このビットは、CFMODE レジスタのビット 10（CF2DIS）を 1 に設定することにより、CF2 出力をディセーブルにしても設定されます。CF2 ピンで使用する電力のタイプは、CFMODE レジスタのビット[5:3]（CF2SEL[2:0]）によって決定されます（表 43 参照）。
16	CF3		このビットが 1 に設定された状態は、CF3 ピンでハイからローへの遷移が発生したことを示します。すなわち、アクティブ・ローのパルスが生成されています。このビットは、CFMODE レジスタのビット 11（CF3DIS）を 1 に設定することにより、CF3 出力をディセーブルにしても設定されます。CF3 ピンで使用する電力のタイプは、CFMODE レジスタのビット[8:6]（CF3SEL[2:0]）によって決定されます（表 43 参照）。
17	DREADY	0	このビットが 1 に設定された状態は、周期的な（8kHz のレートでの）DSP 計算が全て終了したことを示します。
18	REVPSUM3	0	このビットが 1 に設定された状態は、CF3 データ経路の全ての相電力の合計の符号が変更されたことを示します。符号自体は、PHSIGN レジスタのビット 8（SUM3SIGN）に示されています（表 45 参照）。
[31:19]	Reserved	00000000000000	予約済み。これらのビットは常に 0 に設定します。

表 36. STATUS1 レジスタ（アドレス 0xE503）

ビット	ビット名	デフォルト値	概要
0	NLOAD	0	このビットが 1 に設定された状態は、少なくとも 1 つの相が、総合有効／無効電力に基づいて無負荷状態に入ったことを示します。その相は、PHNOLOAD レジスタのビット[2:0]（NLPHASE[x]）で示されます（表 40 参照）。
1	FNLOAD	0	このビットが 1 に設定された状態は、少なくとも 1 つの相が、基本波有効／無効電力に基づいて無負荷状態に入ったことを示します。その相は、PHNOLOAD レジスタ内のビット[5:3]（FNLPHASE[x]）で示されます（表 40 参照）。ADE7854A、ADE7858A および ADE7868A の場合、このビットは常に 0 に設定します。
2	VANLOAD	0	このビットが 1 に設定された状態は、少なくとも 1 つの相が、皮相電力に基づいて無負荷状態に入ったことを示します。その相は、PHNOLOAD レジスタのビット[8:6]（VANLPHASE[x]）で示されます（表 40 参照）。
3	ZXTOVA	0	このビットが 1 に設定された状態は、A 相電圧にゼロ交差が存在しないことを示しています。
4	ZXTOVB	0	このビットが 1 に設定された状態は、B 相電圧にゼロ交差が存在しないことを示しています。
5	ZXTOVC	0	このビットが 1 に設定された状態は、C 相電圧にゼロ交差が存在しないことを示しています。
6	ZXTOIA	0	このビットが 1 に設定された状態は、A 相電流にゼロ交差が存在しないことを示しています。
7	ZXTOIB	0	このビットが 1 に設定された状態は、B 相電流にゼロ交差が存在しないことを示しています。
8	ZXTOIC	0	このビットが 1 に設定された状態は、C 相電流にゼロ交差が存在しないことを示しています。
9	ZXVA	0	このビットが 1 に設定された状態は、A 相電圧でゼロ交差が検出されることを示しています。
10	ZXVB	0	このビットが 1 に設定された状態は、B 相電圧でゼロ交差が検出されることを示しています。
11	ZXVC	0	このビットが 1 に設定された状態は、C 相電圧でゼロ交差が検出されることを示しています。
12	ZXIA	0	このビットが 1 に設定された状態は、A 相電流でゼロ交差が検出されることを示しています。
13	ZXIB	0	このビットが 1 に設定された状態は、B 相電流でゼロ交差が検出されることを示しています。
14	ZXIC	0	このビットが 1 に設定された状態は、C 相電流でゼロ交差が検出されることを示しています。
15	RSTDONE	1	ソフトウェア・リセット・コマンドの場合、CONFIG レジスタのビット 7（SWRST）が 1 に設定されます。PSM1、PSM2 または PSM3 から PSM0 への遷移の場合、またはハードウェア・リセットの場合、全てのレジスタの値がデフォルトに変更された後に、遷移プロセスの終わりで、このビットが 1 に設定されます。この割込みはディスエーブルにできないため、IRQ1 ピンは、ローになって、この瞬間を告げます。
16	Sag	0	このビットが 1 に設定された状態は、PHSTATUS レジスタのビット[14:12]（VSPHASE[x]）で示される相の 1 つで、サグ・イベントが発生したことを示しています（表 39 参照）。
17	OI	0	このビットが 1 に設定された状態は、PHSTATUS レジスタのビット[5:3]（OIPHASE[x]）で示される相の 1 つで、過電流イベントが発生したことを示しています（表 39 参照）。
18	OV	0	このビットが 1 に設定された状態は、PHSTATUS レジスタのビット[11:9]（OVPHASE[x]）で示される相の 1 つで、過電圧イベントが発生したことを示しています（表 39 参照）。
19	SEQERR	0	このビットが 1 に設定された状態は、A 相電圧で負から正へのゼロ交差が発生し、続いて、B 相電圧ではなく C 相電圧で負から正へのゼロ交差が発生したことを示しています。
20	MISMTCH	0	このビットを 1 に設定すると、次のように表されます。 $ \text{ISUM} - \text{INWV} > \text{ISUMLVL}$ ISUMLVL は、PHNOLOAD レジスタによって示されます。 ADE7854A と ADE7858A の場合、このビットは常に 0 に設定します。
21	Reserved	1	予約済み。このビットは常に 1 に設定します。
22	Reserved	0	予約済み。このビットは常に 0 に設定します。
23	PKI	0	このビットが 1 に設定された状態は、電流チャンネルのピーク値検出に使用された期間が終了したことを示しています。IPEAK レジスタには、ピーク値と、ピークが検出された相が格納されています（表 33 参照）。
24	PKV	0	このビットが 1 に設定された状態は、電圧チャンネルのピーク値検出に使用された期間が終了したことを示しています。VPEAK レジスタには、ピーク値と、ピークが検出された相が格納されています（表 34 参照）。
25	CRC	0	このビットが 1 に設定された状態は、チェックサム・レジスタの値が変更されたことを示しています。
[31:26]	Reserved	000000	予約済み。これらのビットは常に 0 に設定します。

表 37. MASK0 レジスタ（アドレス 0xE50A）

ビット	ビット名	デフォルト値	概要
0	AEHF	0	このビットを 1 に設定すると、総合有効電力量レジスタ（AWATTHR、BWATTHR、CWATTHR）のいずれかのビット 30 が変更されたときに、割込みがイネーブルになります。
1	FAEHF	0	このビットを 1 に設定すると、基本波有効電力量レジスタ（AFWATTHR、BFWATTHR、CFWATTHR）のいずれかのビット 30 が変更されたときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A、ADE7858A または ADE7868A には影響しません。
2	REHF	0	このビットを 1 に設定すると、総合無効電力量レジスタ（AVARHR、BVARHR、CVARHR）のいずれかのビット 30 が変更されたときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A には影響しません。
3	FREHF	0	このビットを 1 に設定すると、基本波無効電力量レジスタ（AFVARHR、BFVARHR、CFVARHR）のいずれかのビット 30 が変更されたときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A、ADE7858A、ADE7868A には影響しません。
4	VAEHF	0	このビットを 1 に設定すると、皮相電力量レジスタ（AVAHR、BVAHR、CVAHR）のいずれかのビット 30 が変更されたときに、割込みがイネーブルになります。
5	LENERGY	0	このビットを 1 に設定すると、ライン電力量積算モードでは、LINECYC レジスタに設定された整数回のハーフ・ライン・サイクルにわたる積分の終了時に、割込みがイネーブルになります。
6	REVAPA	0	このビットを 1 に設定すると、ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される A 相有効電力の符号が変化したときに、割込みがイネーブルになります。
7	REVAPB	0	このビットを 1 に設定すると、ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される B 相有効電力の符号が変化したときに、割込みがイネーブルになります。
8	REVAPC	0	このビットを 1 に設定すると、ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される C 相有効電力の符号が変化したときに、割込みがイネーブルになります。
9	REVPSUM1	0	このビットを 1 に設定すると、CF1 データ経路内の全相電力の合計の符号が変化したときに、割込みがイネーブルになります。
10	REVRPA	0	このビットを 1 に設定すると、ACCMODE レジスタ（総合または基本波）のビット 7（REVRPSEL）で特定される A 相無効電力の符号が変化したときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A には影響しません。
11	REVRPB	0	このビットを 1 に設定すると、ACCMODE レジスタ（総合または基本波）のビット 7（REVRPSEL）で特定される B 相無効電力の符号が変化したときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A には影響しません。
12	REVRPC	0	このビットを 1 に設定すると、ACCMODE レジスタ（総合または基本波）のビット 7（REVRPSEL）で特定される C 相無効電力の符号が変化したときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A には影響しません。
13	REVPSUM2	0	このビットを 1 に設定すると、CF2 データ経路内の全相電力の合計の符号が変化したときに、割込みがイネーブルになります。
14	CF1		このビットを 1 に設定すると、CF1 ピンでハイからローへの遷移が発生したとき、つまりアクティブ・ローのパルスが生成されたときに、割込みがイネーブルになります。CFMODE レジスタのビット 9（CF1DIS）を 1 に設定することにより、CF1 出力がディセーブルになっている場合でも、割込みをイネーブルにできます。CF1 ピンで使用する電力のタイプは、CFMODE レジスタのビット[2:0]（CF1SEL[2:0]）によって決定されます（表 43 参照）。
15	CF2		このビットを 1 に設定すると、CF2 ピンでハイからローへの遷移が発生したとき、つまりアクティブ・ローのパルスが生成されたときに、割込みがイネーブルされます。CFMODE レジスタのビット 10（CF2DIS）を 1 に設定することにより、CF2 出力がディセーブルになっている場合でも、割込みをイネーブルにできます。CF2 ピンで使用する電力のタイプは、CFMODE レジスタのビット[5:3]（CF2SEL[2:0]）によって決定されます（表 43 参照）。
16	CF3		このビットを 1 に設定すると、CF3 ピンでハイからローへの遷移が発生したとき、つまりアクティブ・ローのパルスが生成されたときに、割込みがイネーブルされます。CFMODE レジスタのビット 11（CF3DIS）を 1 に設定することにより、CF3 出力がディセーブルになっている場合でも、割込みをイネーブルにできます。CF3 ピンで使用する電力のタイプは、CFMODE レジスタのビット[8:6]（CF3SEL[2:0]）によって決定されます（表 43 参照）。
17	DREADY	0	このビットを 1 に設定すると、周期的な（8kHz のレート）の DSP 計算が全て終了したときに、割込みがイネーブルになります。
18	REVPSUM3	0	このビットを 1 に設定すると、CF3 データ経路内の全ての相電力の合計の符号が変化したときに、割込みがイネーブルになります。
[31:19]	Reserved	0000000000000	予約済み。これらのビットはいかなる機能の管理も行いません。

表 38. MASK1 レジスタ（アドレス 0xE50B）

ビット	ビット名	デフォルト値	概要
0	NLOAD	0	このビットを 1 に設定すると、少なくとも 1 つの相が、総合有効／無効電力に基づいて無負荷状態になったときに、割込みがイネーブルになります。
1	FNLOAD	0	このビットを 1 に設定すると、少なくとも 1 つの相が、基本波有効／無効電力に基づいて無負荷状態になったときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A、ADE7858A または ADE7868A には影響しません。
2	VANLOAD	0	このビットを 1 に設定すると、少なくとも 1 つの相が、皮相電力に基づいて無負荷状態になったときに、割込みがイネーブルになります。
3	ZXTOVA	0	このビットを 1 に設定すると、A 相電圧のゼロ交差が存在しないときに、割込みがイネーブルになります。
4	ZXTOVB	0	このビットを 1 に設定すると、B 相電圧のゼロ交差が存在しないときに、割込みがイネーブルになります。
5	ZXTOVC	0	このビットを 1 に設定すると、C 相電圧のゼロ交差が存在しないときに、割込みがイネーブルになります。
6	ZXTOIA	0	このビットを 1 に設定すると、A 相電流のゼロ交差が存在しないときに、割込みがイネーブルになります。
7	ZXTOIB	0	このビットを 1 に設定すると、B 相電流のゼロ交差が存在しないときに、割込みがイネーブルになります。
8	ZXTOIC	0	このビットを 1 に設定すると、C 相電流のゼロ交差が存在しないときに、割込みがイネーブルになります。
9	ZXVA	0	このビットを 1 に設定すると、A 相電圧でゼロ交差が検出されるときに、割込みがイネーブルになります。
10	ZXVB	0	このビットを 1 に設定すると、B 相電圧でゼロ交差が検出されるときに、割込みがイネーブルになります。
11	ZXVC	0	このビットを 1 に設定すると、C 相電圧でゼロ交差が検出されるときに、割込みがイネーブルになります。
12	ZXIA	0	このビットを 1 に設定すると、A 相電流でゼロ交差が検出されるときに、割込みがイネーブルになります。
13	ZXIB	0	このビットを 1 に設定すると、B 相電流でゼロ交差が検出されるときに、割込みがイネーブルになります。
14	ZXIC	0	このビットを 1 に設定すると、C 相電流でゼロ交差が検出されるときに、割込みがイネーブルになります。
15	RSTDONE	0	RSTDONE 割込みはディスエーブルにできないため、このビットは機能しません。1 に設定しても、0 にクリアしても、何も影響を与えません。
16	Sag	0	このビットを 1 に設定すると、PHSTATUS レジスタのビット[14:12]（VSPHASE[x]）で示される相のいずれかでサグ・イベントが発生したときに、割込みがイネーブルになります（表 39 参照）。
17	OI	0	このビットを 1 に設定すると、PHSTATUS レジスタのビット[5:3]（OIPHASE[x]）で示される相のいずれかで過電流イベントが発生したときに、割込みがイネーブルになります（表 39 参照）。
18	OV	0	このビットを 1 に設定すると、PHSTATUS レジスタのビット[11:9]（OVPHASE[x]）で示される相のいずれかで過電圧事象が発生したときに、割込みがイネーブルになります（表 39 参照）。
19	SEQERR	0	このビットを 1 に設定すると、A 相電圧で負から正へのゼロ交差が発生し、続いて B 相電圧ではなく C 相電圧で負から正へのゼロ交差が発生したときに、割込みがイネーブルになります。
20	MISMTCH	0	このビットを 1 に設定すると、 $ ISUM - INWV > ISUMLVL$ が、ISUMLVL レジスタに示された値よりも大きいときに、割込みがイネーブルになります。このビットを 1 に設定しても、ADE7854A または ADE7858A には影響しません。
22:21	Reserved	00	予約済み。これらのビットはいかなる機能の管理も行いません。
23	PKI	0	このビットを 1 に設定すると、電流チャンネルのピーク値検出に使用された期間の終了時に、割込みがイネーブルになります。
24	PKV	0	このビットを 1 に設定すると、電圧チャンネルのピーク値検出に使用された期間の終了時に、割込みがイネーブルになります。
25	CRC	0	このビットを 1 に設定すると、CHECKSUM レジスタの値が変更されたときに、割込みがイネーブルになります。
[31:26]	Reserved	000000	予約済み。これらのビットはいかなる機能の管理も行いません。

表 39. PHSTATUS レジスタ（アドレス 0xE600）

ビット	ビット名	デフォルト値	概要
[2:0]	Reserved	000	予約済み。これらのビットは常に 0 に設定します。
3	OIPHASE[0]	0	このビットを 1 に設定すると、A 相電流は STATUS1 レジスタのビット 17（OI）を生成します。
4	OIPHASE[1]	0	このビットを 1 に設定すると、B 相電流は STATUS1 レジスタのビット 17（OI）を生成します。
5	OIPHASE[2]	0	このビットを 1 に設定すると、C 相電流は STATUS1 レジスタのビット 17（OI）を生成します。
[8:6]	Reserved	000	予約済み。これらのビットは常に 0 に設定します。
9	OVPHASE[0]	0	このビットを 1 に設定すると、A 相電圧は STATUS1 レジスタのビット 18（OV）を生成します。
10	OVPHASE[1]	0	このビットを 1 に設定すると、B 相電圧は STATUS1 レジスタのビット 18（OV）を生成します。
11	OVPHASE[2]	0	このビットを 1 に設定すると、C 相電圧は STATUS1 レジスタのビット 18（OV）を生成します。
12	VSPHASE[0]	0	このビットを 1 に設定すると、A 相電圧は STATUS1 レジスタのビット 16（サグ）を生成します。
13	VSPHASE[1]	0	このビットを 1 に設定すると、B 相電圧は STATUS1 レジスタのビット 16（サグ）を生成します。
14	VSPHASE[2]	0	このビットを 1 に設定すると、C 相電圧は STATUS1 レジスタのビット 16（サグ）を生成します。
15	Reserved	0	予約済み。このビットは常に 0 に設定します。

表 40. PHNOLOAD レジスタ（アドレス 0xE608）

ビット	ビット名	デフォルト値	概要
0	NLPHASE[0]	0	0：A 相は、総合有効／無効電力に基づく無負荷状態にはありません。 1：A 相は、総合有効／無効電力に基づく無負荷状態にあります。NLPHASE[0]ビットは、STATUS1 レジスタのビット 0（NLOAD）と共に設定されます。 ADE7854A の無負荷状態は、総合有効電力のみに基づいています。
1	NLPHASE[1]	0	0：B 相は、総合有効／無効電力に基づく無負荷状態にはありません。 1：B 相は、総合有効／無効電力に基づく無負荷状態にあります。NLPHASE[1]ビットは、STATUS1 レジスタのビット 0（NLOAD）と共に設定されます。 ADE7854A の無負荷状態は、総合有効電力のみに基づいています。
2	NLPHASE[2]	0	0：C 相は、総合有効／無効電力に基づく無負荷状態にはありません。 1：C 相は、総合有効／無効電力に基づく無負荷状態にあります。NLPHASE[2]ビットは、STATUS1 レジスタのビット 0（NLOAD）と共に設定されます。 ADE7854A の無負荷状態は、総合有効電力のみに基づいています。
3	FNLPHASE[0]	0	0：A 相は、基本波有効／無効電力に基づく無負荷状態にはありません。ADE7854A、ADE7858A および ADE7868A の場合、FNLPHASE[0]ビットは常に 0 に設定します。 1：A 相は、基本波有効／無効電力に基づく無負荷状態にあります。FNLPHASE[0]ビットは、STATUS1 のビット 1（FNLOAD）と共に設定されます。
4	FNLPHASE[1]	0	0：B 相は、基本波有効／無効電力に基づく無負荷状態にはありません。ADE7854A、ADE7858A および ADE7868A の場合、FNLPHASE[1]ビットは常に 0 に設定します。 1：B 相は、基本波有効／無効電力に基づく無負荷状態にあります。FNLPHASE[1]ビットは、STATUS1 のビット 1（FNLOAD）と共に設定されます。
5	FNLPHASE[2]	0	0：C 相は、基本波有効／無効電力に基づく無負荷状態にはありません。ADE7854A、ADE7858A および ADE7868A の場合、FNLPHASE[2]ビットは常に 0 に設定します。 1：C 相は、基本波有効／無効電力に基づく無負荷状態にあります。FNLPHASE[2]ビットは、STATUS1 レジスタのビット 1（FNLOAD）と共に設定されます。
6	VANLPHASE[0]	0	0：A 相は、皮相電力に基づく無負荷状態にはありません。 1：A 相は、皮相電力に基づく無負荷状態にあります。VANLPHASE[0]ビットは、STATUS1 レジスタのビット 2（VANLOAD）と共に設定されます。
7	VANLPHASE[1]	0	0：B 相は、皮相電力に基づく無負荷状態にはありません。 1：B 相は、皮相電力に基づく無負荷状態にあります。VANLPHASE[1]ビットは、STATUS1 レジスタのビット 2（VANLOAD）と共に設定されます。
8	VANLPHASE[2]	0	0：C 相は、皮相電力に基づく無負荷状態にはありません。 1：C 相は、皮相電力に基づく無負荷状態にあります。VANLPHASE[2]ビットは、STATUS1 レジスタのビット 2（VANLOAD）と共に設定されます。
[15:9]	Reserved	0000000	予約済み。これらのビットは常に 0 に設定します。

表 41. COMPMODE レジスタ (アドレス 0xE60E)

ビット	ビット名	デフォルト値	概要
0	TERMSEL1[0]	1	全ての TERMSEL1[2:0] ビットを 1 に設定すると、3 相全ての合計が CF1 出力に含まれます。A 相を CF1 出力計算に含めます。
1	TERMSEL1[1]	1	B 相を CF1 出力計算に含めます。
2	TERMSEL1[2]	1	C 相を CF1 出力計算に含めます。
3	TERMSEL2[0]	1	全ての TERMSEL2[2:0] ビットを 1 に設定すると、3 相全ての合計が CF2 出力に含まれます。A 相を CF2 出力計算に含めます。
4	TERMSEL2[1]	1	B 相を CF2 出力計算に含めます。
5	TERMSEL2[2]	1	C 相を CF2 出力計算に含めます。
6	TERMSEL3[0]	1	全ての TERMSEL3[2:0] ビットを 1 に設定すると、3 相全ての総和が CF3 出力に含まれます。A 相を CF3 出力計算に含めます。
7	TERMSEL3[1]	1	B 相を CF3 出力計算に含めます。
8	TERMSEL3[2]	1	C 相を CF3 出力計算に含めます。
[10:9]	ANGLESEL[1:0]	00	00: 相電圧と相電流間の位相角を測定します。 01: 相電圧間の位相角を測定します。 10: 相電流間の位相角を測定します。 11: どの位相角も測定しません。
11	VNOMAEN	0	このビットが 0 の場合、A 相の皮相電力は通常の方法で計算します。 このビットが 1 の場合、A 相の皮相電力は、通常の実効値相電圧測定値の代わりに VNOM レジスタを用いて計算します。印加された A 相電圧入力は無視され、全ての A 相の実効値電圧インスタンスは、VNOM レジスタ内の値に置き換えられます。
12	VNOMBEN	0	このビットが 0 の場合、B 相の皮相電力は通常の方法で計算します。 このビットが 1 の場合、B 相の皮相電力は、通常の実効値相電圧測定値の代わりに VNOM レジスタを用いて計算します。印加された B 相電圧入力は無視され、全ての B 相の実効値電圧インスタンスは、VNOM レジスタ内の値に置き換えられます。
13	VNOMCEN	0	このビットが 0 の場合、C 相の皮相電力は通常の方法で計算します。 このビットが 1 の場合、C 相の皮相電力は、通常の実効値相電圧測定値の代わりに VNOM レジスタを用いて計算します。印加された C 相電圧入力は無視され、全ての C 相の実効値電圧インスタンスは、VNOM レジスタ内の値に置き換えられます。
14	SELFREQ	0	ADE7878A が 50Hz ネットワークに接続されている場合は、このビットを 0 (デフォルト値) にクリアします。ADE7878A が 60Hz ネットワークに接続されている場合は、このビットを 1 に設定します。このビットは、ADE7854A、ADE7858A または ADE7868A には影響しません。
15	Reserved	0	このビットは、デフォルトで 0 に設定され、いかなる機能の管理も行いません。

表 42. ゲイン・レジスタ (アドレス 0xE60F)

ビット	ビット名	デフォルト値	概要
[2:0]	PGA1[2:0]	000	相電流のゲイン選択。 000: ゲイン = 1。 001: ゲイン = 2。 010: ゲイン = 4。 011: ゲイン = 8。 100: ゲイン = 16。 101、110、111: 予約済み。設定が終わると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、PGA1[2:0] = 000 のように動作します。
[5:3]	PGA2[2:0]	000	中性電流のゲイン選択。 000: ゲイン = 1。ADE7854A と ADE7858A の場合、このビットは常に 000 に設定します。 001: ゲイン = 2。 010: ゲイン = 4。 011: ゲイン = 8。 100: ゲイン = 16。 101、110、111: 予約済み。設定が終わると、ADE7868A と ADE7878A は、PGA2[2:0] = 000 のように動作します。

ビット	ビット名	デフォルト値	概要
[8:6]	PGA3[2:0]	000	相電圧のゲイン選択。 000 : ゲイン = 1。 001 : ゲイン = 2。 010 : ゲイン = 4。 011 : ゲイン = 8。 100 : ゲイン = 16。 101、110、111 : 予約済み。設定が終わると、 ADE7854A/ADE7858A/ADE7868A/ADE7878A は、PGA3[2:0] = 000 のように動作します。
[15:9]	Reserved	0000000	予約済み。これらのビットはいかなる機能の管理も行いません。

表 43. CFMODE レジスタ（アドレス 0xE610）

ビット	ビット名	デフォルト値	概要
[2:0]	CF1SEL[2:0]	000	000 : CF1 周波数は、COMPmode レジスタのビット[2:0] (TERMSSEL1[x]) によって特定される各相の総合有効電力の合計に比例します。 001 : CF1 周波数は、COMPmode レジスタのビット[2:0] (TERMSSEL1[x]) によって特定される各相の総合無効電力の合計に比例します。この状態は ADE7854A には影響しません。 010 : CF1 周波数は、COMPmode レジスタのビット[2:0] (TERMSSEL1[x]) によって特定される各相の皮相電力の合計に比例します。 011 : CF1 周波数は、COMPmode レジスタのビット[2:0] (TERMSSEL1[x]) によって特定される各相の基本波有効電力の合計に比例します。この状態は、ADE7854A、ADE7858A、ADE7868A には影響しません。 100 : CF1 周波数は、COMPmode レジスタのビット[2:0] (TERMSSEL1[x]) によって特定される各相の基本波無効電力の合計に比例します。この状態は、ADE7854A、ADE7858A、ADE7868A には影響しません。 101、110、111 : 予約済み。設定が終わると、CF1 信号は生成されません。
[5:3]	CF2SEL[2:0]	001	000 : CF2 周波数は、COMPmode レジスタのビット[5:3] (TERMSSEL2[x]) によって特定される各相の総合有効電力の合計に比例します。 001 : CF2 周波数は、COMPmode レジスタのビット[5:3] (TERMSSEL2[x]) によって特定される各相の総合無効電力の合計に比例します。この状態は ADE7854A には影響しません。 010 : CF2 周波数は、COMPmode レジスタのビット[5:3] (TERMSSEL2[x]) によって特定される各相の皮相電力の合計に比例します。 011 : CF2 周波数は、COMPmode レジスタのビット[5:3] (TERMSSEL2[x]) によって特定される各相の基本波有効電力の合計に比例します。この状態は、ADE7854A、ADE7858A または ADE7868A には影響しません。 100 : CF2 周波数は、COMPmode レジスタのビット[5:3] (TERMSSEL2[x]) によって特定される各相の基本波無効電力の合計に比例します。この状態は、ADE7854A、ADE7858A または ADE7868A には影響しません。 101,110,111 : 予約済み。設定が終わると、CF2 信号は生成されません。
[8:6]	CF3SEL[2:0]	010	000 : CF3 周波数は、COMPmode レジスタのビット[8:6] (TERMSSEL3[x]) によって特定される各相の総合有効電力の合計に比例します。 001 : CF3 周波数は、COMPmode レジスタのビット[8:6] (TERMSSEL3[x]) によって特定される各相の総合無効電力の合計に比例します。この状態は ADE7854A には影響しません。 010 : CF3 周波数は、COMPmode レジスタのビット[8:6] (TERMSSEL3[x]) によって特定される各相の皮相電力の合計に比例します。 011 : CF3 周波数は、COMPmode レジスタのビット[8:6] (TERMSSEL3[x]) によって特定される各相の基本波有効電力の合計に比例します。この状態は、ADE7854A、ADE7858A または ADE7868A には影響しません。 100 : CF3 周波数は、COMPmode レジスタ内のビット[8:6] (TERMSSEL3[x]) によって特定される各相の基本波無効電力の合計に比例します。この状態は、ADE7854A、ADE7858A または ADE7868A には影響しません。 101,110,111 : 予約済み。設定が終わると、CF3 信号は生成されません。
9	CF1DIS	1	このビットを 1 に設定すると、CF1 出力がディスエーブルになります。それぞれのデジタル/周波数コンバータは、CF1DIS = 1 のときでもイネーブルのままです。 このビットを 0 に設定すると、CF1 出力がイネーブルになります。

ビット	ビット名	デフォルト値	概要
10	CF2DIS	1	このビットを 1 に設定すると、CF2 出力がディセーブルになります。それぞれのデジタル／周波数コンバータは、CF2DIS = 1 のときでもイネーブルのままです。 このビットを 0 に設定すると、CF2 出力がイネーブルになります。
11	CF3DIS	1	このビットを 1 に設定すると、CF3 出力がディセーブルになります。それぞれのデジタル／周波数コンバータは、CF3DIS = 1 のときでもイネーブルのままです。 このビットを 0 に設定すると、CF3 出力がイネーブルになります。
12	CF1LATCH	0	このビットを 1 に設定すると、CF1 パルスが生成されるときに、対応する電力量レジスタの内容がラッチされます。 電力量レジスタと CFx 出力の同期 のセクションを参照してください。
13	CF2LATCH	0	このビットを 1 に設定すると、CF2 パルスが生成されるときに、対応する電力量レジスタの内容がラッチされます。 電力量レジスタと CFx 出力の同期 のセクションを参照してください。
14	CF3LATCH	0	このビットを 1 に設定すると、CF3 パルスが生成されるときに、対応する電力量レジスタの内容がラッチされます。 電力量レジスタと CFx 出力の同期 のセクションを参照してください。
15	Reserved	0	予約済み。このビットはいかなる機能の管理も行いません。

表 44. APHCAL、BPHCAL、CPHCAL レジスタ（アドレス 0xE614、アドレス 0xE615、アドレス 0xE616）

ビット	ビット名	デフォルト値	概要
[9:0]	PHCALVAL	0000000000	電流が電圧より進む場合、これらのビットは 0～383 の間でのみ変動できます。 電流が電圧より遅れる場合、これらのビットは 512～575 の間でのみ変動できます。 PHCALVAL ビットに 384～511 の数値が設定されている場合、補償は、256～383 が設定された PHCALVAL ビットと同様に動作します。 PHCALVAL ビットに 576～1023 の数値が設定されている場合、補償は、384～511 が設定された PHCALVAL ビットと同様に動作します。
[15:10]	Reserved	000000	予約済み。これらのビットはいかなる機能の管理も行いません。

表 45. PHSIGN レジスタ（アドレス 0xE617）

ビット	ビット名	デフォルト値	概要
0	AWSIGN	0	0：A 相の ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される有効電力が正の場合。 1：A 相の ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される有効電力が負の場合。
1	BWSIGN	0	0：B 相の ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される有効電力が正の場合。 1：B 相の ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される有効電力が負の場合。
2	CWSIGN	0	0：C 相の ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される有効電力が正の場合。 1：C 相の ACCMODE レジスタ（総合または基本波）のビット 6（REVAPSEL）で特定される有効電力が負の場合。
3	SUM1SIGN	0	0：CF1 データ経路の全相電力の合計が正の場合。 1：CF1 データ経路の全相電力の合計が負の場合。CF1 データ経路の相電力は、COMPMODE レジスタのビット[2:0]（TERMSEL1[x]）と、CFMODE レジスタのビット[2:0]（CF1SEL[x]）によって特定されます。
4	AVARSIGN	0	0：A 相の ACCMODE レジスタ（総合または基本波）のビット 7（REVAPSEL）で特定される無効電力が正の場合。ADE7854A の場合、このビットは常に 0 に設定します。 1：A 相の ACCMODE レジスタ（総合または基本波）のビット 7（REVAPSEL）で特定される無効電力が負の場合。
5	BVARSIGN	0	0：B 相の ACCMODE レジスタ（総合または基本波）のビット 7（REVAPSEL）で特定される無効電力が正の場合。ADE7854A の場合、このビットは常に 0 に設定します。 1：B 相の ACCMODE レジスタ（総合または基本波）のビット 7（REVAPSEL）で特定される無効電力が負の場合。
6	CVARSIGN	0	0：C 相の ACCMODE レジスタ（総合または基本波）のビット 7（REVAPSEL）で特定される無効電力が正の場合。ADE7854A の場合、このビットは常に 0 に設定します。 1：C 相の ACCMODE レジスタ（総合または基本波）のビット 7（REVAPSEL）で特定される無効電力が負の場合。

ビット	ビット名	デフォルト値	概要
7	SUM2SIGN	0	0 : CF2 データ経路の全相電力の合計が正の場合。 1 : CF2 データ経路の全相電力の合計が負の場合。CF2 データ経路の相電力は、COMPMODE レジスタのビット[5:3] (TERMSEL2[x]) と、CFMODE レジスタのビット[5:3] (CF2SEL[x]) によって特定されます。
8	SUM3SIGN	0	0 : CF3 データ経路の全ての相電力の合計が正の場合。 1 : CF3 データ経路の全ての相電力の合計が負の場合。CF3 データ経路の相電力は、COMPMODE レジスタのビット[8:6] (TERMSEL3[x]) と、CFMODE レジスタのビット[8:6] (CF3SEL[x]) によって特定されます。
[15:9]	Reserved	0000000	予約済み。これらのビットは常に 0 に設定します。

表 46. CONFIG レジスタ (アドレス 0xE618)

ビット	ビット名	デフォルト値	概要
0	INTEN	0	積分器イネーブル。このビットを 1 に設定すると、INTEN により、3 相全ての電流入力と中性電流入力にログスキー・コイルを用いる電力量計で使用する内部デジタル積分器がイネーブルになります。 このビットが 0 にクリアされると、内部デジタル積分器はディスエーブルになります。
[2:1]	Reserved	00	予約済み。これらのビットはいかなる機能の管理も行いません。
3	SWAP	0	このビットを 1 に設定すると、電圧チャンネル出力と電流チャンネル出力が入れ替わります。したがって、電流チャンネル情報は電圧チャンネル・レジスタに存在し、その逆も同様です。
4	MOD1SHORT	0	このビットを 1 に設定すると、電圧チャンネル ADC は、電圧チャンネル入力が接地されているかのように動作します。
5	MOD2SHORT	0	このビットを 1 に設定すると、電流チャンネル ADC は、電流チャンネル入力が接地されているかのように動作します。
6	HSDCEN	0	このビットを 1 に設定すると、HSDC シリアル・ポートがイネーブルになり、CF3/HSCLK ピンで HSCLK 機能が選択されます。 このビットを 0 にクリアすると、HSDC がディスエーブルになり、CF3/HSCLK ピンで CF3 機能が選択されます。
7	SWRST	0	このビットを 1 に設定すると、ソフトウェア・リセットが開始されます。
[9:8]	VTOIA[1:0]	00	これらのビットは、電力経路の A 相電流と共に相電圧を決定します。 00 : A 相電圧。 01 : B 相電圧。 10 : C 相電圧。 11 : 予約済み。設定が終わると、DE7854A/ADE7858A/ADE7868A/ADE7878A は、VTOIA[1:0] = 00 のように動作します。
[11:10]	VTOIB[1:0]	00	これらのビットは、電力経路の B 相電流と共に相電圧を決定します。 00 : B 相電圧。 01 : C 相電圧。 10 : A 相電圧。 11 : 予約済み。設定が終わると、DE7854A/ADE7858A/ADE7868A/ADE7878A は、VTOIB[1:0] = 00 のように動作します。
[13:12]	VTOIC[1:0]	00	これらのビットは、電力経路の C 相電流と共に相電圧を決定します。 00 : C 相電圧。 01 : A 相電圧。 10 : B 相電圧。 11 : 予約済み。設定が終わると、DE7854A/ADE7858A/ADE7868A/ADE7878A は、VTOIC[1:0] = 00 のように動作します。
[15:14]	Reserved	0	予約済み。これらのビットはいかなる機能の管理も行いません。

表 47. CONFIG_A レジスタ (アドレス 0xE740)

ビット	ビット名	デフォルト値	概要
0	INSEL	0	INSEL[0] = 0 の場合、NIRMS レジスタには中性電流の実効値が格納されます。 INSEL[0] = 1 の場合、NIRMS レジスタには ISUM の実効値が格納されます。これは、3 相全ての電流 (IA、IB、IC) の合計の瞬時値です。
1	LPFSEL	0	このビットを 1 に設定すると、総合有効／無効電力計測のフィルタリングが強化されます。
[2:7]	Reserved	0	予約済み。これらのビットはいかなる機能の管理も行いません。

表 48. MMODE レジスタ（アドレス 0xE700）

ビット	ビット名	デフォルト値	概要
[1:0]	PERSEL[1:0]	00	00：電圧ラインの周期測定のソースとして選択された A 相。 01：電圧ラインの周期測定のソースとして選択された B 相。 10：電圧ラインの周期測定のソースとして選択された C 相。 11：予約済み。設定が終わると、ADE7854A/ADE7858A/ADE7868A/ADE7878A は、PERSEL[1:0] = 00 のように動作します。
2	PEAKSEL[0]	1	PEAKSEL[2:0] ビットを全て同時に 1 に設定して、3 相全てで同時にピーク検出を行うことができます。複数の PEAKSEL[2:0] ビットを 1 に設定する場合、複数の相でゼロ交差が検出されるため、PEAKCYC レジスタに示されるピーク計測期間は、それに応じて減少します。 このビットを 1 に設定すると、電圧／電流ピーク・レジスタに A 相が選択されます。
3	PEAKSEL[1]	1	このビットを 1 に設定すると、電圧／電流ピーク・レジスタに B 相が選択されます。
4	PEAKSEL[2]	1	このビットを 1 に設定すると、電圧／電流ピーク・レジスタに C 相が選択されます。
[7:5]	Reserved	000	予約済み。これらのビットはいかなる機能の管理も行いません。

表 49. ACCMODE レジスタ（アドレス 0xE701）

ビット	ビット名	デフォルト値	概要
[1:0]	WATTACC[1:0]	00	00：総合／基本波有効電力の符号付き積算モード。基本波有効電力は ADE7878A でのみ使用できます。 01：予約済み。設定が終わると、本デバイスは、WATTACC[1:0] = 00 のように動作します。 10：予約済み。設定が終わると、本デバイスは、WATTACC[1:0] = 00 のように動作します。 11：総合／基本波有効電力の絶対積算モード。基本波有効電力は、ADE7878A でのみ使用できます。このモードは CFx 出力でのみ観測されます。レジスタ内の積算は、WATTACC[1:0] が 00 に設定されている場合と同様に、符号付き積算であり続けます。
[3:2]	VARACC[1:0]	00	00：総合／基本波無効電力の符号付き積算モード。総合無効電力は、ADE7858A、ADE7868A、ADE7878A で使用できます。基本波無効電力は ADE7878A でのみ使用できます。ADE7854A の場合、これらのビットは常に 00 に設定します。 01：予約済み。設定が終わると、本デバイスは、VARACC[1:0] = 00 のように動作します。 10：総合／基本波無効電力を、総合／基本波有効電力の符号に応じて積算します。有効電力が正の場合、無効電力はそのまま積算されます。有効電力が負の場合、無効電力は逆の符号で積算されます。このモードは CFx 出力でのみ観測されます。レジスタ内の積算は、VARACC[1:0] が 00 に設定されている場合と同様に、符号付き積算であり続けます。 11：総合／基本波無効電力の絶対積算モード。総合無効電力は、ADE7858A、ADE7868A、ADE7878A で使用できます。基本波無効電力は、ADE7878A でのみ使用できます。このモードは CFx 出力でのみ観測されます。レジスタ内の積算は、VARACC[1:0] が 00 に設定されている場合と同様に、符号付き積算であり続けます。
[5:4]	CONSEL[1:0]	00	これらのビットは、電力量積算レジスタへの入力を選択します。IA'、IB'、IC' は、それぞれ IA、IB、IC を -90°シフトしたものです。表 50 を参照してください。 00：3 相 4 線式 WYE 結線、電圧センサーを 3 つ使用。 01：3 相 3 線式デルタ結線。 10：3 相 4 線式 WYE 結線、電圧センサーを 2 つ使用。 11：3 相 4 線式デルタ結線。
6	REVAPSEL	0	0：各相で総合有効電力を用いて、次のように STATUS0 レジスタのビットをトリガします。すなわち、A 相ではビット 6 (REVAPA) をトリガし、B 相ではビット 7 (REVAPB) をトリガし、C 相ではビット 8 (REVAPC) をトリガします。ADE7854A、ADE7858A および ADE7868A の場合、このビットは常に 0 に設定します。 1：各相で基本波有効電力を用いて、次のように STATUS0 レジスタのビットをトリガします。すなわち、A 相ではビット 6 (REVAPA) をトリガし、B 相ではビット 7 (REVAPB) をトリガし、C 相ではビット 8 (REVAPC) をトリガします。
7	REVRPSEL	0	0：各相で総合無効電力を用いて、次のように STATUS0 レジスタのビットをトリガします。A 相ではビット 10 (REVRPA) をトリガし、B 相ではビット 11 (REVRPB) をトリガし、C 相ではビット 12 (REVRPC) をトリガします。ADE7854A、ADE7858A および ADE7868A の場合、このビットは常に 0 に設定します。 1：各相で基本波無効電力を用いて、次のように STATUS0 レジスタのビットをトリガします。A 相ではビット 10 (REVRPA) をトリガし、B 相ではビット 11 (REVRPB) をトリガし、C 相ではビット 12 (REVRPC) をトリガします。

表 50. 電力量レジスタの CONSEL[1:0] ビット

Energy Registers	CONSEL[1:0] = 00	CONSEL[1:0] = 01	CONSEL[1:0] = 10	CONSEL[1:0] = 11
AWATTHR, AFWATTHR	$VA \times IA$	$VA \times IA$	$VA \times IA$	$VA \times IA$
BWATTHR, BFWATTHR	$VB \times IB$	$VB = VA - VC^1$ $VB \times IB$	$VB = -VA - VC$ $VB \times IB$	$VB = -VA$ $VB \times IB$
CWATTHR, CFWATTHR	$VC \times IC$	$VC \times IC$	$VC \times IC$	$VC \times IC$
AVARHR, AFVARHR	$VA \times IA'$	$VA \times IA'$	$VA \times IA'$	$VA \times IA'$
BVARHR, BFVARHR	$VB \times IB'$	$VB = VA - VC^1$ $VB' \times IB$	$VB = -VA - VC$ $VB \times IB'$	$VB = -VA$ $VB \times IB'$
CVARHR, CFVARHR	$VC \times IC'$	$VC \times IC'$	$VC \times IC'$	$VC \times IC'$
AVAHR	$VA_{rms} \times IA_{rms}$	$VA_{rms} \times IA_{rms}$	$VA_{rms} \times IA_{rms}$	$VA_{rms} \times IA_{rms}$
BVAHR	$VB_{rms} \times IB_{rms}$	$VB_{rms} \times IB_{rms}$ $VB = VA - VC^1$	$VB_{rms} \times IB_{rms}$ $VB = -VA - VC$	$VB_{rms} \times IB_{rms}$ $VB = -VA$
CVAHR	$VC_{rms} \times IC_{rms}$	$VC_{rms} \times IC_{rms}$	$VC_{rms} \times IC_{rms}$	$VC_{rms} \times IC_{rms}$

¹ 3 相 3 線式 (CONSEL[1:0] = 01) の場合、デバイスは、A 相と C 相の間のライン電圧の実効値を計算し、その結果を BVRMS レジスタに格納します (3 相 3 線式デルタ構成の電圧実効値のセクションを参照)。その結果、デバイスは、物理的な意味を持たない B 相に関連付けられた電力を計算します。B 相に関連付けられた電力に関連する周波数出力ピン (CF1、CF2、CF3) のエラーを回避するには、COMPmode レジスタのビット TERMSEL1[1]、ビット TERMSEL2[1]、またはビット TERMSEL3[1] を 0 に設定して、電力量/周波数変換への B 相の寄与を無効にします (電力量/周波数変換のセクションを参照)。

表 51. LCYCMODE レジスタ (アドレス 0xE702)

ビット	ビット名	デフォルト値	概要
0	LWATT	0	0 : ワット時積算レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR) を通常の積算モードに配置します。 1 : ワット時積算レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR) をライン・サイクル積算モードに配置します。
1	LVAR	0	0 : VAR 時積算レジスタ (AVAHR、BVAHR、CVAHR) を通常の積算モードに配置します。ADE7854A の場合、このビットは常に 0 に設定します。 1 : VAR 時積算レジスタ (AVAHR、BVAHR、CVAHR) をライン・サイクル積算モードに配置します。
2	LVA	0	0 : VA 時積算レジスタ (AVAHR、BVAHR、CVAHR) を通常の積算モードに配置します。 1 : VA 時積算レジスタ (AVAHR、BVAHR、CVAHR) をライン・サイクル積算モードに配置します。
3	ZXSEL[0]	1	0 : A 相を、ライン・サイクル積算モードでのゼロ交差カウントに選択しません。 1 : A 相を、ライン・サイクル積算モードでのゼロ交差カウントに選択します。ゼロ交差検出に複数の相を選択する場合、積算時間はそれに応じて短縮されます。
4	ZXSEL[1]	1	0 : B 相を、ライン・サイクル積算モードでのゼロ交差カウントに選択しません。 1 : B 相を、ライン・サイクル積算モードでのゼロ交差カウントに選択します。
5	ZXSEL[2]	1	0 : C 相を、ライン・サイクル積算モードでのゼロ交差カウントに選択しません。 1 : C 相を、ライン・サイクル積算モードでのゼロ交差カウントに選択します。
6	RSTREAD	1	0 : 全ての電力量レジスタのリセット機能付き読出しをディセーブルにします。ビット [2:0] (LWATT、LVAR、LVA) を 1 に設定するときに、このビットを 0 にクリアします。 1 : xWATTHR、xVARHR、xVAHR、xFWATTHR、xFVARHR レジスタ全てのリセット機能付き読出しをイネーブルにします。すなわち、これらのレジスタの読出しにより、0 にリセットされます。
7	Reserved	0	予約済み。このビットはいかなる機能の管理も行いません。

表 52. HSDC_CFG レジスタ（アドレス 0xE706）

ビット	ビット名	デフォルト値	概要
0	HCLK	0	0 : HSCLK = 8MHz。 1 : HSCLK = 4MHz。
1	HSIZE	0	0 : HSDC は、32 ビット・レジスタを MSB ファーストの 32 ビット・パッケージで送信します。 1 : HSDC は、32 ビット・レジスタを MSB ファーストの 8 ビット・パッケージで送信します。
2	HGAP	0	0 : パッケージ間にはギャップを設定しません。 1 : HCLK サイクル 7 回分のギャップをパッケージ間に設定します。
[4:3]	HXFER[1:0]	00	00 = ADE7854A の場合、HSDC は、16 個の 32 ビット・ワードを次の順序で送信します : IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、0 に等しい 1 つの 32 ビット・ワード、AVA、BVA、CVA、AWATT、BWATT、CWATT、0 に等しい 3 つの 32 ビット・ワード。 ADE7858A の場合、HSDC は、16 個の 32 ビット・ワードを次の順序で送信します : IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、0 に等しい 1 つの 32 ビット・ワード、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR。 ADE7868A と ADE7878A の場合、HSDC は、16 個の 32 ビット・ワードを次の順序で送信します : IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR。 01 = ADE7854A と ADE7858A の場合、HSDC は、電流および電圧の 6 つの瞬時値を次の順序で送信します。IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、0 に等しい 1 つの 32 ビット・ワード。 ADE7868A と ADE7878A の場合、HSDC は、電流および電圧の 7 つの瞬時値を次の順序で送信します : IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV。 10 = ADE7854A の場合、HSDC は、相電力の 6 つの瞬時値を次の順序で送信します : AVA、BVA、CVA、AWATT、BWATT、CWATT、0 に等しい 3 つの 32 ビット・ワード。 ADE7858A、ADE7868A および ADE7878A の場合、HSDC は、相電力の 9 つの瞬時値を次の順序で送信します : AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR、CVAR。 11 = 予約済み。設定が終わると、ADE7854A、ADE7858A、ADE7868A および ADE7878A は、HXFER[1:0] = 00 のように動作します。
5	HSAPOL	0	0 : $\overline{SS}$ /HSA ピンはアクティブ・ローです。 1 : $\overline{SS}$ /HSA ピンはアクティブ・ハイです。
[7:6]	Reserved	00	予約済み。これらのビットはいかなる機能の管理も行いません。

表 53. LPOILVL レジスタ（アドレス 0xEC00）¹

ビット	ビット名	デフォルト値	概要
[2:0]	LPOIL[2:0]	000	PSM2 閾値の選択。表 10 を参照してください。
[7:3]	LPLINE[4:0]	00000	PSM2 割込みモードの場合、測定期間は $0.02 \times (\text{LPLINE} + 10)$ 秒です。 PSM2 $\overline{IRQ1}$ 専用モードの場合、測定期間は $0.02 \times (\text{LPLINE} + 1)$ です。この期間の間待つには、外部タイマーを使用します。

¹ LPOILVL レジスタは、ADE7868A と ADE7878A でのみ使用できます。このレジスタは、ADE7854A と ADE7858A 用に予約済みです。

表 54. CONFIG2 レジスタ（アドレス 0xEC01）

ビット	ビット名	デフォルト値	概要
0	EXTREFEN	0	このビットを 0 に設定すると、ADC で内部電圧リファレンスが使用されます。 このビットを 1 に設定すると、外部リファレンスがピン 17、REF _{IN/OUT} に接続されます。
1	I2C_LOCK	0	このビットを 0 に設定すると、 $\overline{SS}$ /HSA ピンを 3 回トグルして、SPI ポートをアクティブにできます。 I^2C がアクティブなシリアル・ポートである場合、このビットを 1 に設定してロックする必要があります。この瞬間以降は、 $\overline{SS}$ /HSA ピンの誤ったトグル操作と、SPI ポートの使用への最終的な切り替えは不可能になります。SPI がアクティブなシリアル・ポートである場合、CONFIG2 レジスタへの書込みにより、ポートがロックされます。この瞬間以降は、 I^2C ポートへの切り替えは不可能になります。一度ロックされると、ADE7854A、ADE7858A、ADE7868A および ADE7878A の PSMx 電力モードが変更されても、シリアル・ポートの選択は維持されます。
2	IRQ0_DIS	0	1 に設定すると、PSM2 モードでは IRQ0 ピンがディスエーブルになります。
[7:3]	Reserved	0	予約済み。これらのビットはいかなる機能の管理も行いません。

外形寸法

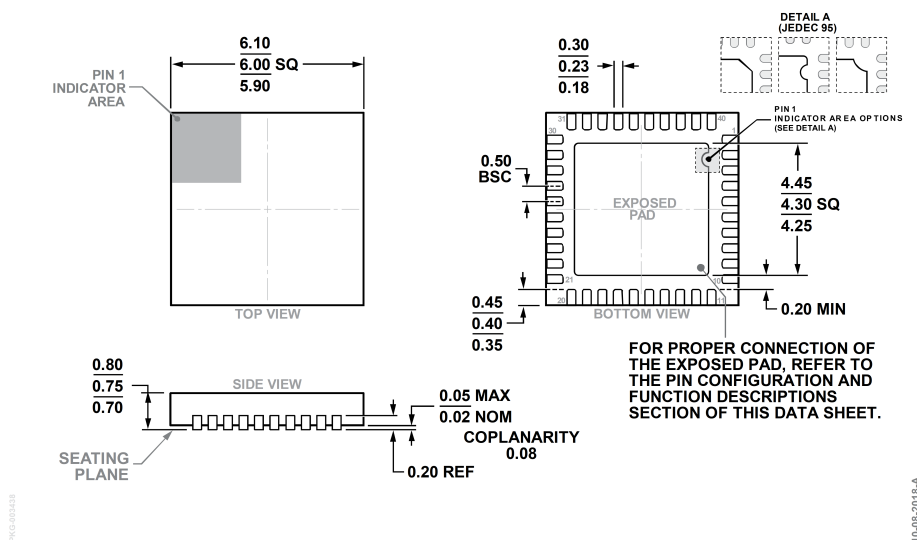


図 104. 40 ピンの LFCSP (リード・フレーム・チップ・スケール・パッケージ)
 本体：6mm×6mm、パッケージ高さ：0.75mm
 (CP-40-10)
 寸法：mm

オーダー・ガイド

Model ^{1,2}	Temperature Range	Package Description	Package Option
ADE7854ACPZ	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-10
ADE7854ACPZ-RL	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP], 13" Tape and Reel	CP-40-10
ADE7858ACPZ	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-10
ADE7858ACPZ-RL	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP], 13" Tape and Reel	CP-40-10
ADE7868ACPZ	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-10
ADE7868ACPZ-RL	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP], 13" Tape and Reel	CP-40-10
ADE7878ACPZ	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-10
ADE7878ACPZ-RL	−40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP], 13" Tape and Reel	CP-40-10
EVAL-ADE7878AEBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。

² ADE7878A 構成に基づいて構築された評価用ボード EVAL-ADE7878AEBZ は、デバイス ADE7854A、ADE7858A、ADE7868A および ADE7878A の全ての機能の評価に対応しています。