



SigmaDSP デジタル・オーディオ・ プロセッサ ADAU1472

データシート

特長

270MHz、32ビット Cadence Tensilica HiFi 4 オーディオ DSP
サイクルあたり 4 つの 32 ビット × 32 ビット MAC を
サポート
単精度 IEEE 浮動小数点乗算器
320kB L1 SRAM および 160kB L1 キャッシュ
大容量の 2MB L2 システム SRAM
拡張算術演算命令によって高速化
フル機能の開発ツールキットを使用して C/C++ の
プログラミングが可能
HiFi DSP ファミリと互換性のあるソフトウェア
低消費電力の音声ディテクタが常にモードと DSP コアの
ウェイクアップをリスニング
低遅延オーディオ・パス
ステレオ非同期サンプル・レート・コンバータを 4 つ搭載
水晶発振子からマスタ・クロックを生成するクロック発振器
インテジャー PLL と柔軟なクロック・ジェネレータ
IOVDD 電源から 1.2V を生成するオンチップ・レギュレータ
8kHz~192kHz の動作をサポートする 32 ビット・デジタル
入出力のデジタル・オーディオ入出力ポート
(シリアル・ポート) を 6 ポート搭載
I²S、TDM、左詰め/右詰め形式、パルス・コード変調
(PCM)、双方向モードを選択できる柔軟なシリアル・
データ構成
S/PDIF レシーバーおよびトランスミッタ：最大 96kHz の
サンプル・レート
デジタル PDM マイクロフォン入力チャンネルを 14 チャンネル
搭載
ステレオ PDM 出力ポートを 2 ポート搭載
SPI フラッシュ・メモリ・インターフェース：最大 2GB の
クワッド入出力シリアル・フラッシュ
SPI 制御インターフェース：シングル、デュアル、および
クワッド・モードのスレーブとマスタ
I²C マスタ・インターフェース
JTAG デバッグ・ポート
シリアル・メモリからセルフ・ブートするブート ROM
デジタル制御/出力用汎用ピンを 8 本搭載
ホスト/ドライバ通信専用のイベント・マネージャ
144 ポール、0.5mm ピッチ、6.095mm × 6.135mm WLCSP
温度範囲：0°C~85°C

アプリケーション

遠距離場音声インターフェース・デバイス
オーディオ・ソースの分離
オーディオ向け組み込みディープ・ラーニング
一般用および業務用オーディオ処理

概要

ADAU1472 は大容量メモリを内蔵した高品質の SigmaDSP® デジタル・オーディオ・プロセッサで、効率的なオーディオ・ソース分離、遠距離場音声キャプチャ、音声処理、ディープ・ラーニング、高度なオーディオ信号処理を行うことができます。このプロセッサは、高度に最適化された Cadence® Tensilica® HiFi® 4 オーディオ/音声プロセッサと、アナログ・デバイセズの算術演算高速化用カスタム拡張命令 (表 20 と表 21 を参照) および柔軟な入出力アーキテクチャを組み合わせたものです。HiFi 4 プロセッサは、72 ビット加算器、デュアル 64 ビット・メモリ・ロード、ネイティブ IEEE (Institute of Electrical and Electronics Engineers) 単精度浮動小数点乗算器により、サイクルあたり 4 つの 32 ビット × 32 ビット積和演算器 (MAC) をサポートしています。

ADAU1472 プロセッサは最大 270.336MHz の性能を発揮し、低遅延、サンプルごとのオーディオ処理、ブロックごとの処理パラダイムを同時にサポートします。インテジャー・フェーズ・ロック・ループ (PLL) と柔軟なクロック・ジェネレータ・ハードウェアは、最大 15 種類のオーディオ・サンプル・レートを同時に生成できます (8kHz~192kHz)。これらのクロック・ジェネレータと、オンボード非同期サンプル・レート・コンバータ (ASRC)、柔軟なハードウェア・オーディオ・ルーティング・マトリックスにより、複雑なオーディオ・システムの設計が大幅に簡略化されます。

HiFi 4 デジタル・シグナル・プロセッサ (DSP) コアには、DSP コア・クロック・レートで動作する 480kB の L1 メモリが搭載されており、256kB のデータ・ランダム・アクセス・メモリ (RAM)、64kB の命令 RAM、128kB のデータ・キャッシュ、および 32kB の命令キャッシュと、半分の DSP コア・クロック・レートで動作する 2MB の L2 システム・スタティック・ランダム・アクセス・メモリ (SRAM) で構成されています。このプロセッサは最大 2GB の外部フラッシュ・メモリもサポートしているので、大きいデータ・テーブルとセルフ・ブード・コードを格納できます。

デュアル・オンチップ電力領域によって低消費電力の動作が可能になり、唯一のアクティブ電源として IOVDD を使用するフレキシブル・オーディオ・ルーティング・マトリックスを通じて、オーディオをルーティングすることができます。設定可能な音声検出ハードウェアは、低消費電力状態で動作しながら人間の音声の開始を検出でき、内部 DSP 信号と外部ウェイクアップ信号の両方を生成できます。

4 ページへ続く



アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	プロセッサの信頼性機能	25
アプリケーション	1	タイマー	25
概要	1	シリアル・ポート	25
改訂履歴	2	ASRC	26
機能ブロック図	3	デジタル PDM マイクロフォン・インターフェース	26
仕様	5	PDM 出力	26
動作条件	5	S/PDIF インターフェース	26
電気的特性	6	SPI	27
消費電力特性	7	クロックとパワー・マネージメント	27
タイミング仕様	7	ピンの駆動強度、スルー・レート、プル設定	29
絶対最大定格	14	電源、電圧レギュレータ、ハードウェア・リセット	29
熱抵抗	14	初期化	31
ESD に関する注意	14	システム・デバッグ	31
ピン配置およびピン機能の説明	15	開発ツール	31
動作原理	22	アプリケーション情報	32
概要	22	PCB 設計時の考慮事項	32
合計消費電力	22	PCB 製造のガイドライン	32
HiFi 4 オーディオ DSP コア	22	代表的アプリケーションのブロック図	33
プロセッサ・インフラストラクチャ	23	外形寸法	34
メモリ・アーキテクチャ	24	オーダー・ガイド	34

改訂履歴

11/2020—Revision 0: Initial Version

機能ブロック図

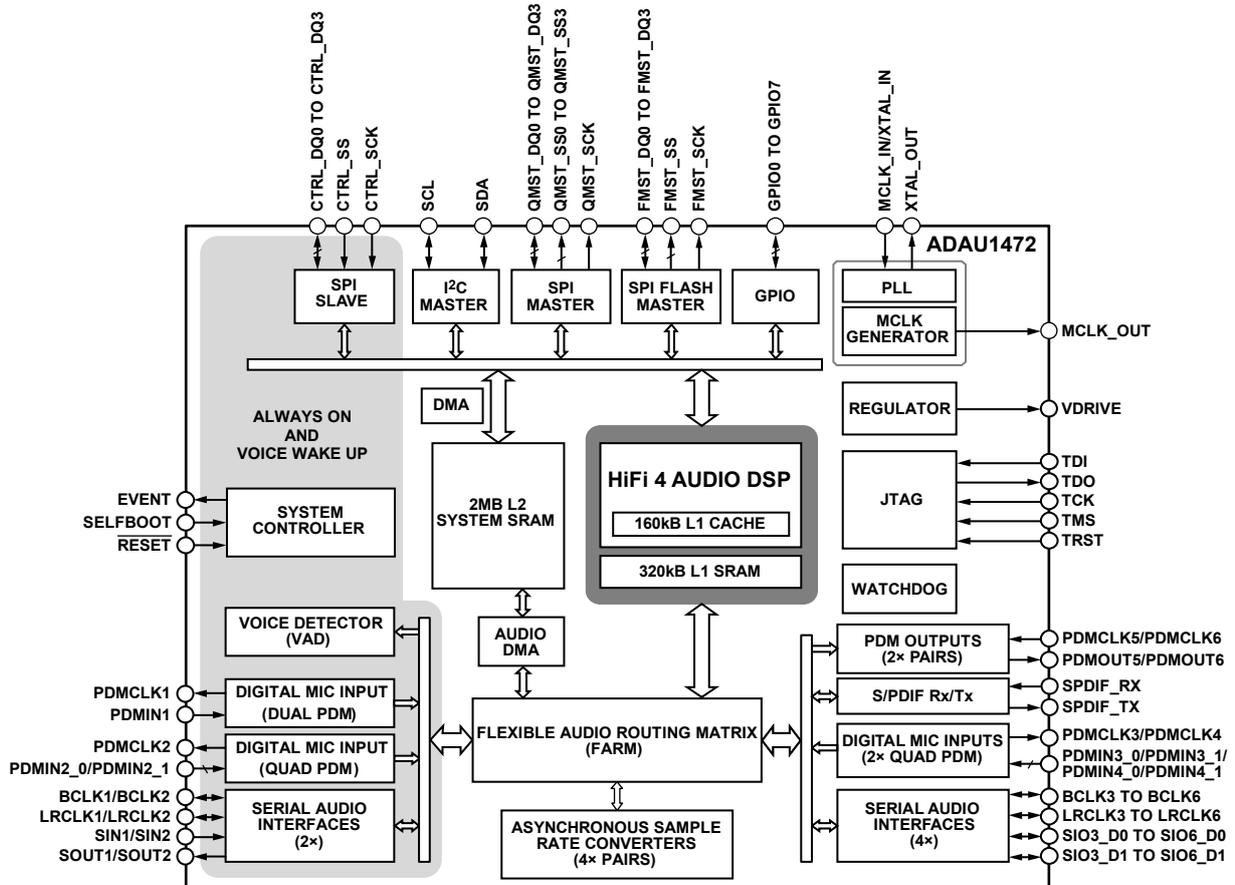


図 1.

201513-001

ADAU1472 は、設定自由度の高いシリアル・ポート、Sony/Philips デジタル・インターフェース形式 (S/PDIF) のインターフェース、および汎用入出力ピンを搭載しているため、幅広いタイプの A/D コンバータ (ADC)、D/A コンバータ (DAC)、デジタル・オーディオ・デバイス、アンプ、および制御回路とインターフェースを取ることができます。このデバイスは、目的に合わせて特別に設計されたデシメーション・フィルタを内蔵しているため、最大 14 個のパルス密度変調 (PDM) 出力マイクロフォンとも直接インターフェースを取ることが可能です。また、インターポレーション・フィルタを内蔵した PDM 出力は、PDM 入力のクラス D アンプに直接接続できます。

このプロセッサには、2 つのシリアル・ペリフェラル・インターフェース (SPI) バス・マスタ制御ポートがあり、複数の SPI 互換デバイスと通信することができます。この通信には、シングル、デュアル、およびクワッド入出力動作がサポートされています。更に SPI フラッシュ・ポートを使用すると、中央処理装置 (CPU) のオーバーヘッドを最小限に抑えながらダイレクト・メモリ・マップ読出しアクセスを行ったり、スタンドアロン・セルフ・ブート動作を行ったりすることができます。

高性能の DSP コア、大容量の RAM、小型フットプリントを組み合わせた ADAU1472 は、同じ負荷を処理する場合に、より大きな電力を消費する大型の汎用 DSP に代わる理想的なデバイスです。

表 1. プロセッサの機能

Processor Feature	Value	Unit
Core Clock	270	MHz
L1 SRAM	320	kB
L1 Cache	160	kB
L2 System SRAM	2	MB

多機能ピンの名称は、該当する機能のみで表示されることがあります。

仕様

動作条件

特に指定のない限り、DVDD = 1.2V ± 5%、PVDD = 1.2V ± 5%、IOVDD = 1.8V - 5% ~ 3.3V + 10%、CVDD = 1.2V ± 5%、T_A = 25°C、MCLK_IN/XTAL_IN = 24.576MHz、コア・クロック周波数 (f_{CORE}) = 270.336MHz、入出力ピンはロー駆動に設定。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
POWER					
Supply Voltage					
Digital Voltage (DVDD)	1.14	1.2	1.26	V	デジタル回路、DSP コア、ASRC、および信号ルーティング用電源
PLL Voltage (PVDD)	1.14	1.2	1.26	V	PLL 回路用電源
Input/Output Voltage (IOVDD)	1.71	3.3	3.63	V	パッドおよびレベル・シフトを含む入出力回路用電源
Memory Core Voltage (CVDD)					
Operation State ¹	1.14	1.2	1.26	V	メモリ回路および保持用電源
Power-Down State	0.74	0.8	1.26	V	パワーダウン状態下におけるメモリ保持用電源
Supply Current					
PLL Current (PVDD)					
Idle State		480		μA	デフォルト PLL 設定で 24.576MHz のクロック周波数
Reset State		30		μA	電源オン、PLL 未設定
Input/Output Current (IOVDD)		7		μA	電源オン、RESET をローに保持
Operation State					
Operation State		20		mA	IOVDD = 3.3V、すべてのシリアル・ポートがクロック・マスタ
Reset State		0.6		mA	IOVDD = 3.3V、RESET をローに保持
Digital Current (DVDD) ¹					
Maximum Program					
Typical Program		210		mA	CPU 使用率 100%、PLL = 270.336MHz
Idle State		140		mA	CPU 使用率 60%、PLL = 270.336MHz
Minimal Program		40		mA	電源オン、DSP アイドル (WAITI) ² 、PLL = 270.336MHz
Reset State		25		mA	CPU 使用率 60%、直接 MCLK 24.576MHz
Reset State		5		mA	電源オン、RESET をローに保持
Circuit Voltage (CVDD) ¹					
Operation State					
Operation State		100		μA	
Memory Retention State					
Memory Retention State		690		μA	CVDD = 1.2V
		590		μA	CVDD = 0.8V、IOVDD に電源が供給されていないパワー・ダウン状態
ASRCs					
Dynamic Range					
Dynamic Range		139		dB	A ウェイト、20Hz ~ 20kHz
Input/Output Sample Rate					
Input/Output Sample Rate	8		192	kHz	
Input/Output Sample Rate Ratio					
Input/Output Sample Rate Ratio	1:8		7.75:1		
Total Harmonic Distortion Plus Noise (THD + N)					
Total Harmonic Distortion Plus Noise (THD + N)			-120	dB	
REGULATOR					
DVDD Voltage					
DVDD Voltage	1.14	1.2		V	レギュレータは 800mA の最大負荷まで出力電圧 (代表値) を維持
CRYSTAL OSCILLATOR					
Transconductance					
Transconductance	9.5	11.7	13.8	mS	

¹ DVDD に電源を供給する場合は、CVDD を電源オン状態に保ってください。オン状態にしないと、デバイスに恒久的に損傷が生じることがあります。ADAU1472 は、低消費電力のメモリ保持モードをサポートしています。メモリ保持モードを使用するには、DVDD の接続を解除して CVDD のみに 1.2V または 0.8V を供給します。

² WAITI は、パワー・ダウンして割込みを待つようプロセッサに命じるアセンブリ言語コマンドです。この場合、WAITI は、WAITI コマンドを使用することによってチップが DSP アイドル状態にセットされたことを表します。

電気的特性

表 3.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
DIGITAL INPUT/OUTPUT						
Input Voltage ¹						
High Level	V _{IH}	1.70		3.3	V	IOVDD = 3.3V
		0.96		1.8	V	IOVDD = 1.8V
Low Level	V _{IL}	0		1.65	V	IOVDD = 3.3V
		0		0.88	V	IOVDD = 1.8V
Output Voltage						
High Level	V _{OH}	3.09		3.3	V	IOVDD = 3.3V、高出力電流 (I _{OH}) = 1mA
		1.45		1.8	V	IOVDD = 1.8V
Low Level	V _{OL}	0		0.26	V	IOVDD = 3.3V、I _{OH} = 1mA
		0		0.33	V	IOVDD = 1.8V
Input Leakage						
High Level	I _{IH}	-2		+2	μA	プルアップ抵抗付きのデジタル入力ピン ²
		1		12	μA	プルダウン抵抗付きデジタル入力ピン ²
		-2		+2	μA	プル抵抗なしデジタル入力ピン ²
		-2		+2	μA	MCLK_IN/XTAL_IN
		48		120	μA	SPDIF_RX
Low Level	I _{IL}	-12		-3	μA	0V 時のプルアップ抵抗付きデジタル入力ピン ²
		-2		+2	μA	0V 時のプルダウン抵抗付きデジタル入力ピン ²
		-2		+2	μA	0V 時のプル抵抗なしデジタル入力ピン ²
		-2		+2	μA	0V 時の MCLK_IN/XTAL_IN
		-125		-49	μA	0V 時の SPDIF_RX
Input Capacitance	C _{IN}		2		pF	設計により確保、T _A = 25°C
Digital Output Drive ³				2		高インピーダンスのデジタル入力バッファに向かう低インピーダンスのプリント回路基板 (PCB) パターンを駆動。
IOVDD = 1.8 V						
Lowest Drive Strength Setting				1	mA	
Low Drive Strength Setting				2	mA	
High Drive Strength Setting				3	mA	
Highest Drive Strength Setting				5	mA	
IOVDD = 3.3 V						
Lowest Drive Strength Setting				2	mA	
Low Drive Strength Setting				5	mA	
High Drive Strength Setting				10	mA	
Highest Drive Strength Setting				15	mA	

¹ SPDIF_RX を除くデジタル入力ピン。SPDIF_RX は標準デジタル入力ではありません。

² デジタル入力ピンには以下が含まれます：BCLK_x、MCLK_IN/XTAL_IN、PDMIN1、LRCLK_x、SIN_x、SPDIF_RX、RESET、CTRL_DQ_x、CTRL_SCK、CTRL_SS、PDMIN2_x、SELFBOT、TRST、TRST_DEBUG、GPIO_x、TMS、SIO3_D_x、TMS_DEBUG、SIO5_D_x、TDI、SIO4_D_x、TDI_DEBUG、SDA、TCK、TCK_DEBUG、SCL、SIO6_D_x、PDMIN3_x、QMST_DQ_x、PDMCLK5、PDMIN4_x、FMST_DQ_x、PDMCLK6。

³ デジタル出力ピン、もしくは表 19 に出力または I/O としてリストされているすべてのピンは、静的電流を流すようには設計されていません。これらのピンを使って発光ダイオード (LED) を直接駆動しないでください。デジタル出力ピンには以下が含まれます：PDMCLK_x、BCLK_x、SOUT_x、VDRIVE、XTAL_OUT、LRCLK_x、SPDIF_TX、CVDD_ON、DVDD_ON、CTRL_DQ_x、MCLK_OUT、EVENT、GPIO_x、SIO3_D_x、TDO、SIO5_D_x、TDO_DEBUG、SIO4_D_x、SDA、SCL、QMST_SS_x、SIO6_D_x、QMST_DQ_x、QMST_SCK、PDMOUT5、FMST_DQ_x、FMST_SS、PDMOUT6、および FMST_SCK。

消費電力特性

様々な動作条件下における予測消費電力値を表4に示します。特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $\text{MCLK_IN} = 24.576\text{MHz}$ 、 $\text{DVDD} = 1.2\text{V}$ 、 $\text{PVDD} = 1.2\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $\text{CVDD} = 1.2\text{V}$ 。

これらの予測値は内部ロジックだけの消費電力です。システム全体での合計消費電力には更に IOVDD 電流も含まれますが、その値はアクティブなピンの数、駆動強度設定、および外部負荷によって大きく異なります。

表 4. 消費電力予測

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
POWER CONSUMPTION					
Lowest Power Voice Detect		10		mW	IOVDD 電源のみ、DVDD 電源オフ、DSP オフ
Direct MCLK, 12.288 MHz		26		mW	DSP コア・クロック領域 (SYSCLK) = 12.288MHz、メモリ・バス・クロック領域 (BUSCLK) = 12.288MHz、DSP 利用率 100%、PLL オフ (SYSCLK = マスタ・クロック (MCLK))
Direct MCLK, 24.576 MHz, DSP Idle		25		mW	SYSCLK = 24.576MHz、BUSCLK = 24.576MHz、DSP アイドル (WAITI)、PLL オフ (SYSCLK = MCLK)
Direct MCLK, 24.576 MHz		42		mW	SYSCLK = 24.576MHz、BUSCLK = 24.576MHz、DSP 利用率 100%、PLL オフ (SYSCLK = MCLK)、最小電力音声トリガ・ワード
PLL, 270.336 MHz, DSP Idle		65		mW	SYSCLK = 270.336MHz、BUSCLK = 135.183MHz、DSP アイドル (WAITI)、PLL オン
Full DSP Utilization		270		mW	SYSCLK = 270.336MHz、BUSCLK = 135.183MHz、DSP 利用率 100%、PLL オン、システム/バス・クロック比 2:1

代表的使用例における最も厳しい条件下での消費電力予測を表5に示します。特に指定のない限り、 $\text{DVDD} = 1.26\text{V}$ 、 $\text{PVDD} = 1.26\text{V}$ 、 $\text{IOVDD} = 3.6\text{V}$ 、 $\text{CVDD} = 1.26\text{V}$ 。詳細については、[合計消費電力](#)のセクションを参照してください。

表 5. 最大消費電力

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
MAXIMUM POWER DISSIPATION					
$T_A = 25^\circ\text{C}$		350		mW	DSP 利用率 100%、すべての ASRC がアクティブ、すべての電源が最大値
$T_A = 70^\circ\text{C}$		420		mW	

タイミング仕様

マスタ・クロック入力

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $\text{DVDD} = 1.2\text{V} \pm 5\%$ 、 $\text{CVDD} = 1.2\text{V} \pm 5\%$ 、および $\text{IOVDD} = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 6.

パラメータ	Min	Typ	Max	単位	説明
MASTER CLOCK INPUT (MCLK_IN/XTAL_IN)					
f_{MCLK}	12.288		24.576	MHz	MCLK_IN/XTAL_IN の周波数、IOVDD = 1.8V
	12.288		24.576	MHz	MCLK_IN/XTAL_IN の周波数、IOVDD = 3.3V
t_{MCLK}	40.69		81.38	ns	MCLK_IN/XTAL_IN の周期
t_{MCLKD}	30		70	%	MCLK_IN/XTAL_IN のデューティ・サイクル (図2には示されていません)
t_{MCLKH}	$0.25 \times t_{\text{MCLK}}$		$0.75 \times t_{\text{MCLK}}$	ns	MCLK_IN/XTAL_IN のハイの幅
t_{MCLKL}	$0.25 \times t_{\text{MCLK}}$		$0.75 \times t_{\text{MCLK}}$	ns	MCLK_IN/XTAL_IN のローの幅
SYSTEM CLOCK					
f_{CORE}	12.288		270.336	MHz	システム (DSP コア) クロックの周波数
	3.699			ns	システム (DSP コア) クロックの周期

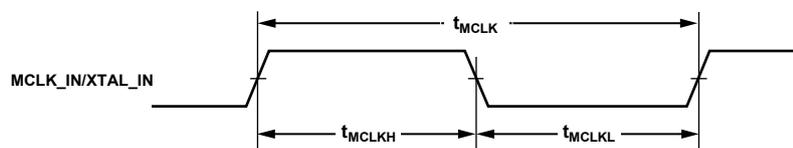


図 2. マスタ・クロック入力のタイミング仕様

リセット

特に指定のない限り、 $T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$ 、 $\text{DVDD} = 1.2\text{V} \pm 5\%$ 、 $\text{CVDD} = 1.2\text{V} \pm 5\%$ 、および $\text{IOVDD} = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 7.

パラメータ	Min	Typ	Max	単位	説明
RESET					
t_{WRST}	500			ns	リセット・パルスのローの幅

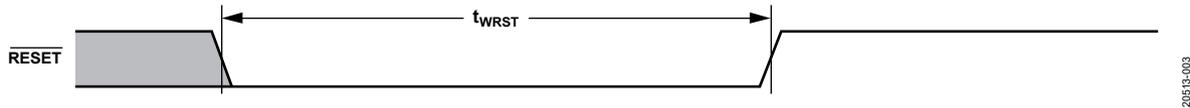


図 3. リセットのタイミング仕様

シリアル・ポート

特に指定のない限り、 $T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$ 、 $\text{DVDD} = 1.2\text{V} \pm 5\%$ 、 $\text{CVDD} = 1.2\text{V} \pm 5\%$ 、および $\text{IOVDD} = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 8.

パラメータ	Min	Typ	Max	単位	説明 ¹
SERIAL PORT					
f_{LRCLK}			192	kHz	LRCLKx の周波数、図には示されていません。
t_{LRCLK}	5.21			μs	LRCLKx の周期
f_{BCLK}			24.576	MHz	BCLKx の周波数、サンプル・レートは 8kHz \sim 192kHz、図には示されていません。
t_{BCLK}	40.7			ns	BCLKx の周期
t_{BIL}	10			ns	BCLKx のロー・パルス幅、スレーブ・モード、BCLKx 周波数 = 24.576MHz、BCLKx 周期 = 40.6ns
t_{BIH}	14.5			ns	BCLKx のハイ・パルス幅、スレーブ・モード、BCLKx 周波数 = 24.576MHz、BCLKx 周期 = 40.6ns
t_{LIS}	20			ns	LRCLKx セットアップから BCLK_INx 入力立上がりエッジまで、スレーブ・モード、LRCLKx 周波数 = 192kHz
t_{LIH}	5			ns	BCLK_INx 入力立上がりエッジからの LRCLKx ホールド、スレーブ・モード、LRCLKx 周波数 = 192kHz
t_{SIS}	5			ns	SDATA_INx セットアップから BCLK_INx 入力立上がりエッジまで
t_{SIH}	5			ns	BCLK_INx 入力立上がりエッジからの SDATA_INx ホールド
t_{TS}			10	ns	BCLK_OUTx 出力立下がりエッジから LRCLK_OUTx 出力までのタイミング・スキュー、スレーブ
t_{SODS}			35	ns	スレーブ・モードにおける BCLK_OUTx 出力立下がりエッジからの SDATA_OUTx の遅延。外部回路が電気的に十分な信号完全性を確保できるように設計されている場合、シリアル出力はすべての有効サンプル・レートにおいてスレーブ・モードで機能
t_{SODM}			10	ns	マスタ・モードにおける BCLK_OUTx 出力立下がりエッジからの SDATA_OUTx の遅延
t_{TM}			5	ns	BCLK 立下がりエッジから LRCLK までのタイミング・スキュー、マスタ

¹ BCLK_INx はビット・クロック入力、x は対応するシリアル・ポート。これは BCLK が入力として設定されている場合に限られます。更に、SDATA_INx はシリアル・データ入力、LRCLK_OUTx は左右クロック出力、SDATA_OUTx はシリアル・データ出力、BCLK_OUTx はビット・クロック出力です。

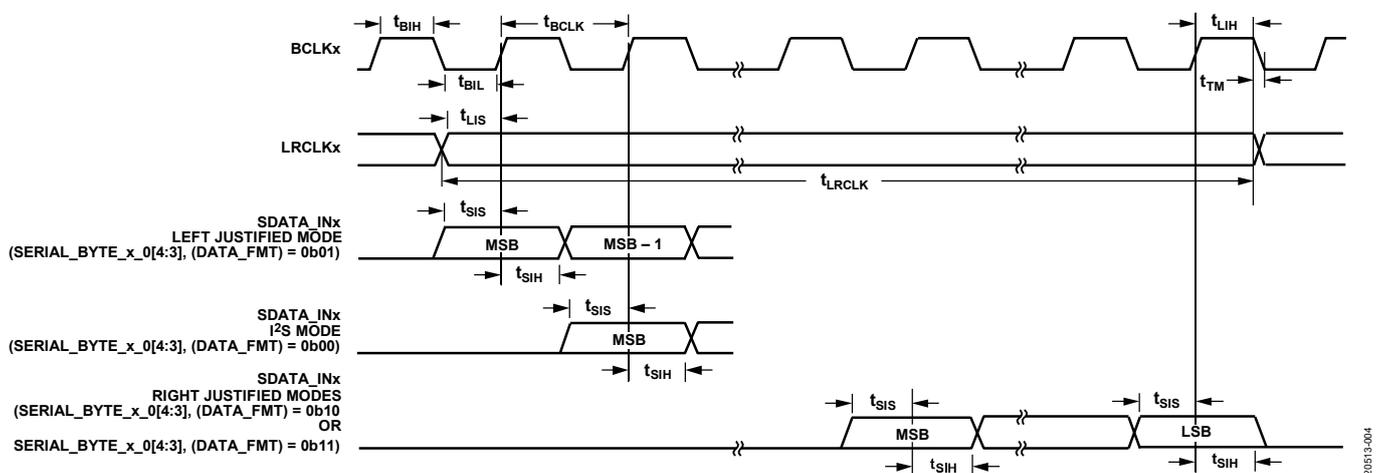


図 4. シリアル入力ポートのタイミング仕様

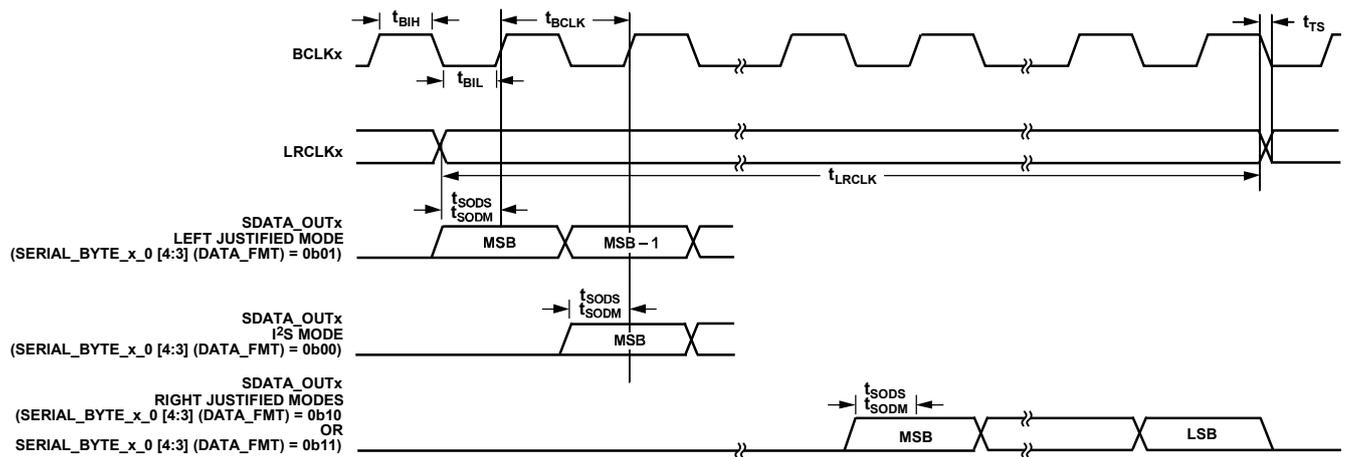


図 5. シリアル出力ポートのタイミング仕様

GPIOx ピン

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $DVDD = 1.2\text{V} \pm 5\%$ 、 $CVDD = 1.2\text{V} \pm 5\%$ 、および $IOVDD = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 9.

パラメータ	Min	Typ	Max	単位	説明
GENERAL-PURPOSE INPUT/OUTPUT PINS (GPIOx)					
General-Purpose Frequency (f_{GP}) ¹			1.0	MHz	汎用入力または出力の最大スイッチング・レート

¹ 設計により性能を確保。

S/PDIF トランスミッタ

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $DVDD = 1.2\text{V} \pm 5\%$ 、 $CVDD = 1.2\text{V} \pm 5\%$ 、および $IOVDD = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 10.

パラメータ	Min	Typ	Max	単位	説明
S/PDIF TRANSMITTER					
Audio Sample Rate	18		96	kHz	S/PDIF トランスミッタからのデータ出力のオーディオ・サンプル・レート

S/PDIF レシーバー

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $DVDD = 1.2\text{V} \pm 5\%$ 、 $CVDD = 1.2\text{V} \pm 5\%$ 、および $IOVDD = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 11.

パラメータ	Min	Typ	Max	単位	説明
S/PDIF RECEIVER					
Audio Sample Rate	18		96	kHz	S/PDIF レシーバーへのデータ入力のオーディオ・サンプル・レート

PDM 入力

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $DVDD = 1.2\text{V} \pm 5\%$ 、 $CVDD = 1.2\text{V} \pm 5\%$ 、および $IOVDD = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 12.

パラメータ	Min	Typ	Max	単位	説明
TIMING REQUIREMENTS					
t_{SETUP}	20			ns	データ・セットアップ時間
t_{HOLD}	5			ns	データ・ホールド時間

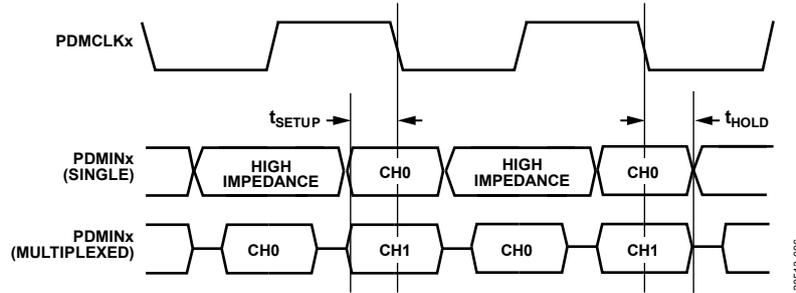


図 6. PDM 入力のタイミング図

PDM 出力

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $DVDD = 1.2\text{V} \pm 5\%$ 、 $CVDD = 1.2\text{V} \pm 5\%$ 、 $IOVDD = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 、 $PDMCLKx = 3.027\text{MHz}$ 。

表 13.

パラメータ	Min	Typ	Max	単位	説明
TIMING REQUIREMENTS					
t_{ENABLE}	10			ns	クロック・エッジ後に駆動されるデータ
t_{HOLD}	5		11	ns	データ・ホールド時間

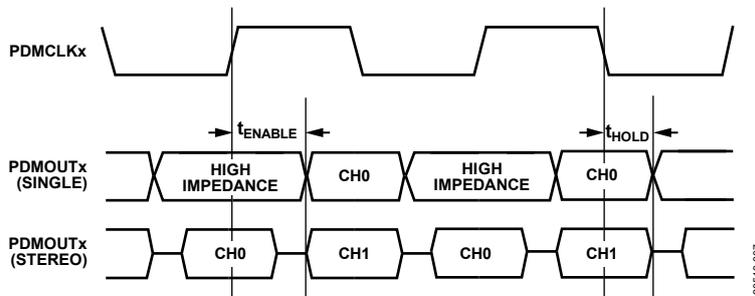


図 7. PDM 出力のタイミング図

I²C インターフェース、マスタ

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $DVDD = 1.2\text{V} \pm 5\%$ 、 $CVDD = 1.2\text{V} \pm 5\%$ 、および $IOVDD = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 14.

パラメータ	Min	Typ	Max	単位	説明
I ² C MASTER PORT					
f_{SCL}			500	kHz	SCL クロック周波数
t_{SCLH}	0.6			μs	SCL パルスのハイの幅
t_{SCLL}	1.3			μs	SCL パルスのローの幅
t_{SCS}	0.6			μs	開始および反復開始条件のセットアップ時間
t_{SCH}	0.6			μs	開始条件ホールド時間
t_{DS}	100			ns	データ・セットアップ時間
t_{DH}	0.9			μs	データ・ホールド時間
t_{SCLR}			300	ns	SCL 立上がり時間
t_{SCLF}			300	ns	SCL 立下がり時間
t_{SDR}			300	ns	SDA 立上がり時間
t_{SDF}			300	ns	SDA 立下がり時間
t_{BFT}	1.3			μs	停止と開始の間のバス空き時間
t_{SUSTO}	0.6			μs	停止条件セットアップ・タイム

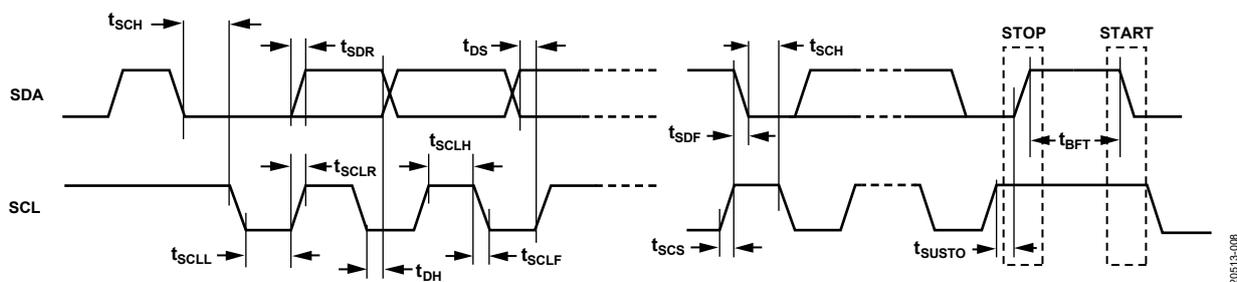


図 8. I²C マスタ・ポートのタイミング仕様

2021.3-008

SPI インターフェース、スレーブ

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $\text{DVDD} = 1.2\text{V} \pm 5\%$ 、 $\text{CVDD} = 1.2\text{V} \pm 5\%$ 、および $\text{IOVDD} = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 15.

パラメータ	Min	Typ	Max	単位	説明
SPI SLAVE PORT					
$f_{\text{SCK_WRITE}}$	1.7		24.576	MHz	CTRL_SCLK 書き込み周波数。MCLK の周波数を超えないようにしてください。
$f_{\text{SCK_READ}}$	1.7		12.288	MHz	CTRL_SCLK 読出し周波数。 ($0.5 \times \text{MCLK}$) の周波数を超えないようにしてください。
t_{SPICHS}	21			ns	CTRL_SCLK のハイの時間 ($0.5 \times 1/f_{\text{SCK}} - 1$)
t_{SPICLS}	6			ns	CTRL_SCLK のローの時間 ($0.5 \times 1/f_{\text{SCK}} - 1$)
t_{SPICLK}	49			ns	CTRL_SCLK の周期 ($1/f_{\text{SCK}} - 1$)
t_{HDS}	1			ns	最後の CTRL_SCLK エッジから CTRL_SS のアサート解除まで
t_{SPITDS}	49			ns	シーケンシャル転送遅延 ($1/f_{\text{SCK}} - 1$)
t_{SDSCI}	10			ns	CTRL_SS のアサートから最初の CTRL_SCLK エッジまで
t_{SSPID}	1			ns	データ入力が有効になってから CTRL_SCLK エッジまで (データ入力セットアップ)
t_{HSPID}	2			ns	CTRL_SCLK のサンプリング・エッジからデータ入力が無効になるまで

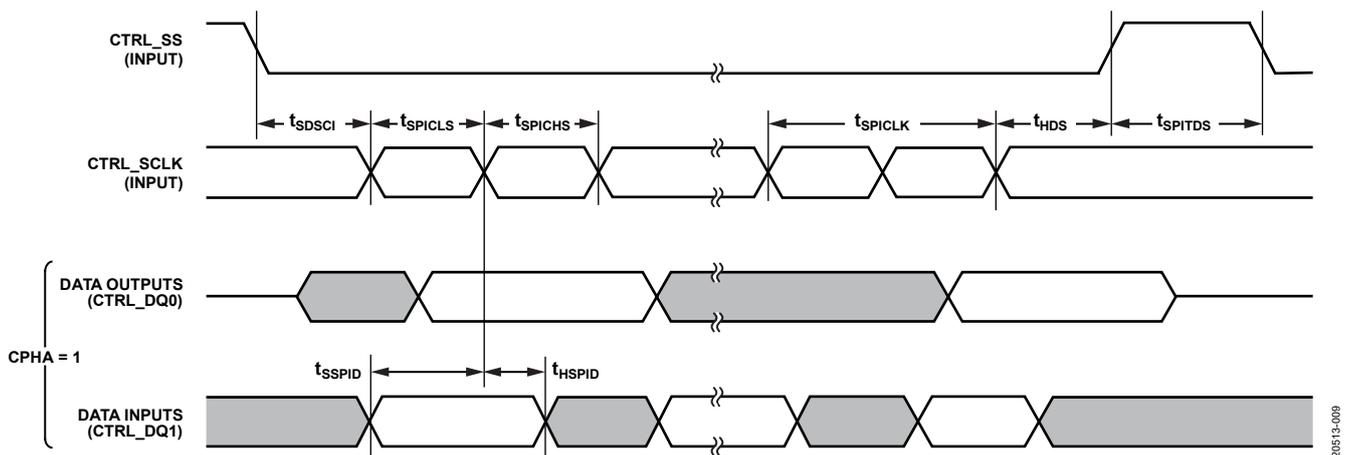


図 9. SPI スレーブ・ポートのタイミング仕様

2013-009

SPI インターフェース、マスタ

特に指定のない限り、 $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ 、 $DVDD = 1.2\text{V} \pm 5\%$ 、 $CVDD = 1.2\text{V} \pm 5\%$ 、および $IOVDD = 1.8\text{V} - 5\% \sim 3.3\text{V} + 10\%$ 。

表 16.

パラメータ	Min	Typ	Max	単位	説明
SPI MASTER PORT					
f_{SCLK}			24.576	MHz	SPI マスタ・クロック周波数 (QMST_SCK、FMST_SCK)
t_{SSPIDM}	15			ns	データ入力の有効になってから QMST_SCK/FMST_SCK エッジまで (データ入力セットアップ)
t_{HSPIDM}	5			ns	QMST_SCK/FMST_SCK のサンプリング・エッジからデータ入力が無効になるまで
t_{SDSCIM}	38			ns	QMST_SSx/FMST_SS ローから最初の QMST_SCK/FMST_SCK エッジまで ($1/f_{\text{SCLK}} - 2$)
t_{SPICLM}	19			ns	QMST_SCK/FMST_SCK のローの時間 ($0.5 \times 1/f_{\text{SCLK}} - 1$)
t_{SPICHM}	19			ns	QMST_SCK/FMST_SCK のハイの時間 ($0.5 \times 1/f_{\text{SCLK}} - 1$)
t_{SPICLK}	39			ns	QMST_SCK/FMST_SCK の周期 ($1/f_{\text{SCLK}} - 1$)
t_{HDMS}	38			ns	最後の QMST_SCK/FMST_SCK エッジから QMST_SSx/FMST_SS がハイになるまで ($1/f_{\text{SCLK}} - 2$)
t_{SPITDM}	39			ns	シーケンシャル転送遅延 ($1/f_{\text{SCLK}} - 1$)
t_{HDSPIDM}	0			ns	QMST_SCK/FMST_SCK のエッジからデータ出力が有効になるまで (データ出力ホールド)
t_{DDSPIDM}			5	ns	QMST_SCK/FMST_SCK のエッジからデータ出力が無効になるまで (データ出力遅延)

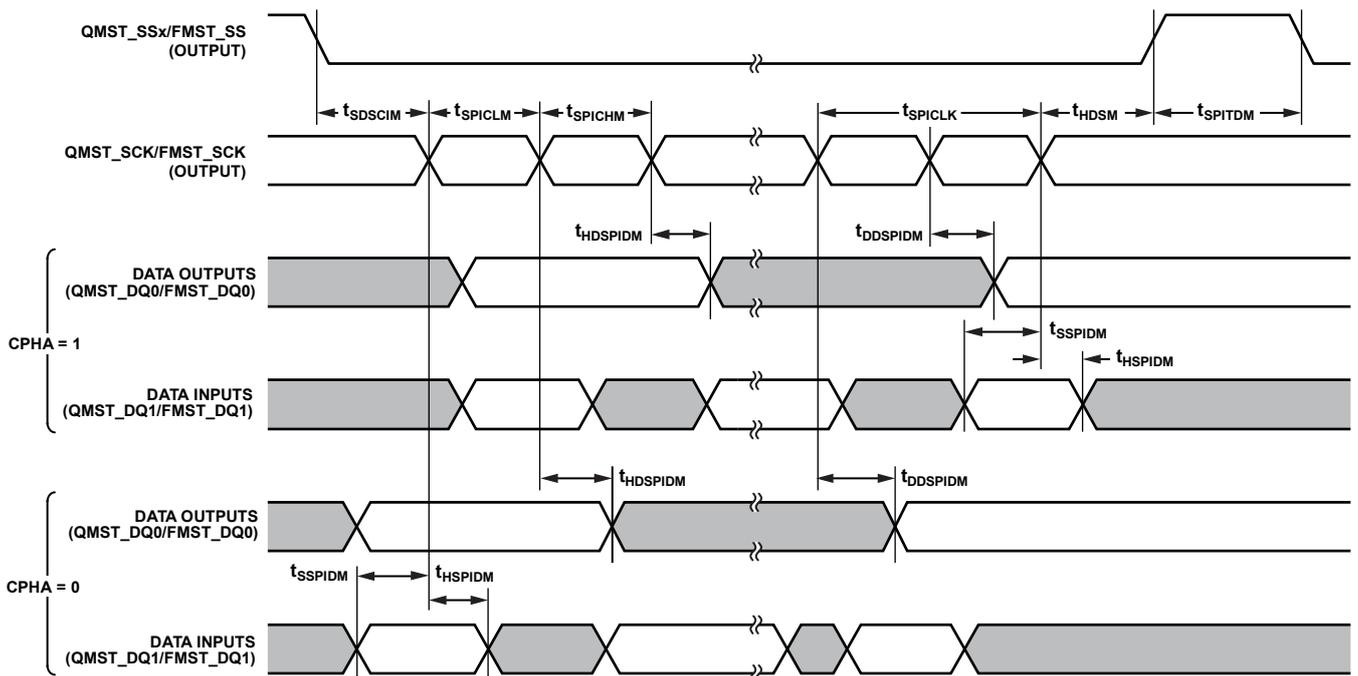


図 10. SPI マスタ・ポートのタイミング仕様

20513-010

絶対最大定格

特に指定のない限り、25°Cでの絶対最大定格。

表 17.

Parameter	Rating
DVDD to Ground	0 V to 1.4 V
CVDD to Ground	0 V to 1.4 V
IOVDD to Ground	0 V to 4.0 V
PVDD to Ground	0 V to 4.0 V
Digital Inputs	DGND - 0.3 V to IOVDD + 0.3 V
Temperature	
Ambient Range	0°C to 70°C
Junction Range	0°C to 85°C
Storage Range	-65°C to +150°C
Soldering (10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

特に指定のない限り、表 18 に仕様規定されている熱抵抗値は JEDEC 仕様に基づいて計算されており、JESD51-12 に準拠して使用します。

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} はジャンクションから周囲への熱抵抗を表し、推奨条件、つまり切れ目のない内部および外部プレーンを持つ 4 層回路基板にデバイスをハンダ付けするという条件で仕様規定されています。 $\theta_{JC(TOP)}$ はジャンクションからケース（上面）、 θ_{JB} はジャンクションからボードへの熱抵抗です。

表 18. 熱抵抗

Package Type	θ_{JA}	$\theta_{JC(TOP)}$ ²	θ_{JB}	Ψ_{JT}	Ψ_{JB}	Unit
CB-144-2 ¹	25.01	0.064	1.42	0.024	1.46	°C/W

¹ 放熱強化技術（PCB、ヒート・シンク、空気の流れなど）を使用し、熱抵抗値を改善しています。

² θ_{JC} の試験では、100 μ m の熱界面材料（TIM）を使用しています。TIM は 3.6 W/mK と仮定しています。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

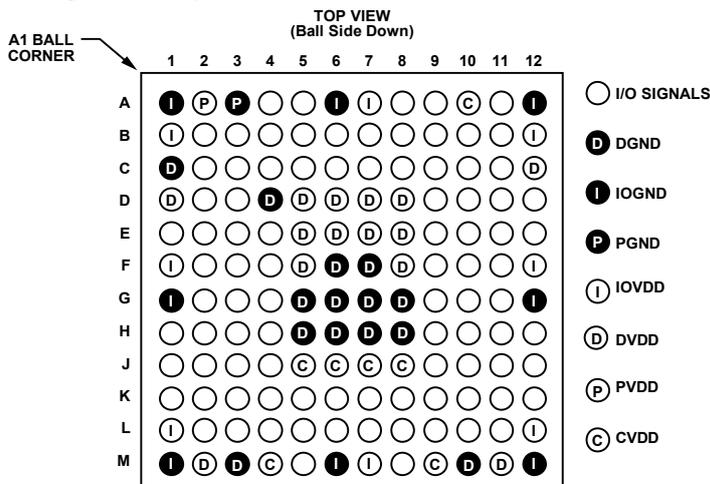


図 11. ボール配置、上面図（実寸ではありません）

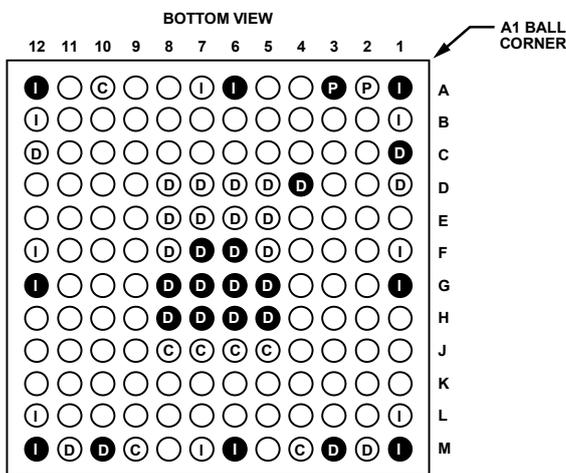


図 12. ボール配置、下面図（実寸ではありません）

表 19. ボール機能の説明

ボール番号	記号	タイプ ¹	内部終端 ²	説明
A1	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
A2	PVDD	Power	None	PLL 電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って PGND へバイパスします。
A3	PGND	Ground	None	PLL グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
A4	PDMCLK1	Output	Pull-down	PDM 入力 1 クロック。PDM リファレンス・クロックを駆動。PDM 入力は常にクロック・スレープです。
A5	BCLK2	I/O	Pull-down	シリアル・ポート 2 のビット・クロック。データとフレーム・クロックは、このクロックを基準に駆動またはサンプリングされます。入力はスレープ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
A6	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
A7	IOVDD	Power	None	入出力電源、1.8V - 5% ~ 3.3V + 10%。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
A8	SOUT1	Output	Pull-down	シリアル・ポート 1 の出力データ。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。

ボール番号	記号	タイプ ¹	内部終端 ²	説明
A9	BCLK1	I/O	Pull-down	シリアル・ポート1のビット・クロック。データとフレーム・クロックは、このクロックを基準に駆動またはサンプリングされます。入力のスレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
A10	CVDD	Power	None	メモリ回路の電源、 $1.2V \pm 5\%$ 。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
A11	VDRIVE	Output	None	PNP バイポーラ接合トランジスタのベース駆動バイアス・ボール。デジタル電源レギュレータ用。VDRIVE は外部 PNP パス・トランジスタ (STD2805 を推奨) のベースに接続します。DVDD に外部電源が直接供給されている場合は、VDRIVE ピンとグラウンドの間に $10k\Omega$ のプルダウン抵抗を接続して使用します。
A12	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
B1	IOVDD	Power	None	入出力電源、 $1.8V - 5\% \sim 3.3V + 10\%$ 。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
B2	XTAL_OUT	Output	None	水晶発振器。回路出力。未使用時は接続しないでください。
B3	MCLK_IN/XTAL_IN	Input	None	マスタ・クロック入力リファレンス。
B4	PDMIN1	Input	Pull-down	PDM 入力1データ。
B5	LRCLK2	I/O	Pull-down	シリアル・ポート2のフレーム・クロック。入力スレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
B6	SIN2	Input	Pull-down	シリアル・ポート2のデータ入力。このボールは、1~8チャンネルのデータから設定できます。未使用時は接続しないでください。
B7	SOUT2	Output	Pull-down	シリアル・ポート2のデータ出力。このボールは、1~8チャンネルのデータから設定できます。未使用時は接続しないでください。
B8	SIN1	Input	Pull-down	シリアル・ポート1のデータ入力。このボールは、1~8チャンネルのデータから設定できます。未使用時は接続しないでください。
B9	LRCLK1	I/O	Pull-down	シリアル・ポート1のフレーム・クロック。入力スレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
B10	SPDIF_RX	Input	None	S/PDIF レシーバー。このボールは内蔵 S/PDIF レシーバーへの入力です。未使用時は接続しないでください。このボールは内部的にバイアスされています。
B11	SPDIF_TX	Output	Pull-down	S/PDIF トランスミッタ。このボールは内蔵 S/PDIF トランスミッタからの出力です。未使用時は接続しないでください。
B12	IOVDD	Power	None	入出力電源、 $1.8V - 5\% \sim 3.3V + 10\%$ 。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
C1	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
C2	RESET	Input	Pull-down	アクティブ・ローのリセット入力。リセットはハイからローへの遷移時にトリガされ、ローからハイへの遷移時に終了します。
C3	CVDD_ON	Output	None	外部 CVDD 電源トリガ。このボールは、CVDD ボールの電源をオンまたはオフ (アクティブ・ハイ) するよう外部電源に要求します。
C4	DVDD_ON	Output	None	外部 DVDD 電源トリガ。このボールは、DVDD ボールの電源をオンまたはオフ (アクティブ・ハイ) するよう外部電源に要求します。
C5	CTRL_DQ3	I/O	Pull-down	SPI スレーブ・データ3。このボールはクワッド・モードでシリアル・データを転送します。未使用時は接続しないでください。
C6	CTRL_DQ2	I/O	Pull-down	SPI スレーブ・データ2。このボールはクワッド・モードでシリアル・データを転送します。未使用時は接続しないでください。
C7	CTRL_DQ1	I/O	Pull-down	SPI スレーブ・データ1。このボールはシリアル・データを転送します。マスタ入力スレーブ出力 (MISO) またはデュアル/クワッド・モード入出力。
C8	CTRL_DQ0	I/O	Pull-down	SPI スレーブ・データ0。このボールはシリアル・データを転送します。マスタ出力スレーブ入力 (MOSI) またはデュアル/クワッド・モード入出力。
C9	CTRL_SCLK	Input	Pull-down	SPI スレーブ・クロック。このボールは、SPI バス上のマスタ・デバイスからシリアル・クロックを受け取ります。
C10	CTRL_SS	Input	Pull-up	SPI スレーブ・セレクト。このボールは、SPI バス上のマスタ・デバイスからスレーブ・セレクト信号を受け取ります。
C11	PDMIN2_1	Input	Pull-down	PDM 入力2データ (D1)。

ボール番号	記号	タイプ ¹	内部終端 ²	説明
C12	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
D1	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
D2	MCLK_OUT	Output	Pull-down	マスタ・クロック・リファレンス出力。システム内の他の IC へのマスタ・クロック信号を駆動します。このボールは、リファレンス・クロックを分周して出力するように設定できます。未使用時は接続しないでください。
D3	EVENT	Output	Pull-down	外部ホスト用のウェイクアップ IRQ。極性と出力プロトコル（レベル検出、エッジ検出、または連続パルス）は設定可能です。
D4	RESERVED	Ground	Pull-down	予備。このボールとグラウンドの間には外部プルダウン抵抗（1kΩ）を接続します。
D5	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
D6	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
D7	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
D8	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
D9	SELFBOOT	Input	Pull-down	セルフ・ブート・セレクト。このボールを使用すると、SPI フラッシュ・ポートに接続した外部フラッシュからデバイスをセルフ・ブートさせることができます。IOVDD に接続すると、RESET の次の立上がりエッジでセルフ・ブート動作が開始されます。このボールは、1.0kΩ 以上の抵抗を使ってプルアップまたはプルダウンする必要があります。
D10	TRST	Input	Pull-down	JTAG テスト・リセット。JTAG (Joint Test Action Group) テスト用アクセス・ポートのリセット。このボールに接続するラインと IOVDD の間には、2.0kΩ のプルアップ抵抗を接続します。使用しない場合は DGND に接続します。
D11	PDMIN2_0	Input	Pull-down	PDM 入力 2 データ (D0)。
D12	PDMCLK2	Output	Pull-down	PDM 入力 2 クロック。このボールは PDM リファレンス・クロックを駆動します。PDM 入力は常にクロック・スレープです。
E1	BCLK3	I/O	Pull-down	シリアル・ポート 3 のビット・クロック。データとフレーム・クロックは、このクロックを基準に駆動またはサンプリングされます。入力はスレープ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
E2	LRCLK3	I/O	Pull-down	シリアル・ポート 3 のフレーム・クロック。入力はスレープ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
E3	TRST_DEBUG	Input	Pull-down	JTAG デバッグ・リセット。JTAG デバッグ・ポートのリセット。このボールに接続するラインと IOVDD の間には、2.0kΩ のプルアップ抵抗を接続します。使用しない場合は DGND に接続します。
E4	GPIO5	I/O	Pull-down	汎入出力 5。未使用時は接続しないでください。
E5	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
E6	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
E7	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
E8	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。

ボール番号	記号	タイプ ¹	内部終端 ²	説明
E9	GPIO0	I/O	Pull-down	汎用入出力 0。未使用時は接続しないでください。
E10	TMS	Input	Pull-down	JTAG テスト・マスタ・セレクト。JTAG テスト・アクセス・ポート・モードの選択。未使用時は接続しないでください。
E11	LRCLK5	I/O	Pull-down	シリアル・ポート 5 のフレーム・クロック。入力のスレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
E12	BCLK5	I/O	Pull-down	シリアル・ポート 5 のビット・クロック。データとフレーム・クロックは、このクロックを基準に駆動またはサンプリングされます。入力スレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
F1	IOVDD	Power	None	入出力電源、1.8V - 5% ~ 3.3V + 10%。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
F2	SIO3_D0	I/O	Pull-down	シリアル・ポート 3 データ入出力 0。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
F3	TMS_DEBUG	Input	Pull-down	JTAG デバッグ・マスタ。JTAG デバッグ・モード・セレクトを選択します。未使用時は接続しないでください。
F4	GPIO6	I/O	Pull-down	汎用入出力 6。未使用時は接続しないでください。
F5	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
F6	DGND	Power	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
F7	DGND	Power	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
F8	DVDD	Power	None	デジタル電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
F9	GPIO1	I/O	Pull-down	汎用入出力 1。未使用時は接続しないでください。
F10	TDO	Output	Pull-down	JTAG テスト・データ出力。JTAG テスト・アクセス・ポートのデータ出力。未使用時は接続しないでください。
F11	SIO5_D0	I/O	Pull-down	シリアル・ポート 5 データ入出力 0。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
F12	IOVDD	Power	None	入出力電源、1.8V - 5% ~ 3.3V + 10%。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
G1	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
G2	SIO3_D1	I/O	Pull-down	シリアル・ポート 3 データ入出力 1。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
G3	TDO_DEBUG	Output	Pull-down	JTAG テスト・データ出力。JTAG デバッグ・ポートのデータ出力。未使用時は接続しないでください。
G4	GPIO7	I/O	Pull-down	汎用入出力 7。未使用時は接続しないでください。
G5	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
G6	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
G7	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
G8	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
G9	GPIO2	I/O	Pull-down	汎用入出力 2。未使用時は接続しないでください。

ボール番号	記号	タイプ ¹	内部終端 ²	説明
G10	TDI	Input	Pull-down	JTAG テスト・データ入力。JTAG テスト・アクセス・ポートのデータ入力。未使用時は接続しないでください。
G11	SIO5_D1	I/O	Pull-down	シリアル・ポート 5 データ入出力 1。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
G12	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
H1	SIO4_D0	I/O	Pull-down	シリアル・ポート 4 データ入出力 0。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
H2	SIO4_D1	I/O	Pull-down	シリアル・ポート 4 データ入出力 1。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
H3	TDI_DEBUG	Input	Pull-down	JTAG デバッグ・データ入力。JTAG デバッグ・ポートのデータ入力。未使用時は接続しないでください。
H4	SDA	I/O	Pull-up	I ² C マスタ・ポート・シリアル・データ。このボールに接続するラインと IOVDD の間には、2.0kΩ のプルアップ抵抗を接続します。未使用時は接続しないでください。
H5	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
H6	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
H7	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
H8	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
H9	GPIO3	I/O	Pull-down	汎用入出力 3。未使用時は接続しないでください。
H10	TCK	Input	Pull-down	JTAG テスト・クロック。JTAG テスト・アクセス・ポートのクロック。未使用時は接続しないでください。
H11	LRCLK6	I/O	Pull-down	シリアル・ポート 6 のフレーム・クロック。入力はスレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
H12	BCLK6	I/O	Pull-down	シリアル・ポート 6 のビット・クロック。データとフレーム・クロックは、このクロックを基準に駆動またはサンプリングされます。入力はスレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
J1	BCLK4	I/O	Pull-down	シリアル・ポート 4 のビット・クロック。データとフレーム・クロックは、このクロックを基準に駆動またはサンプリングされます。入力はスレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
J2	LRCLK4	I/O	Pull-down	シリアル・ポート 4 のフレーム・クロック。入力はスレーブ・モード、出力はマスタ・モードで行われます。未使用時は接続しないでください。
J3	TCK_DEBUG	Input	Pull-down	JTAG デバッグ・クロック。JTAG デバッグ・ポートのクロック。未使用時は接続しないでください。
J4	SCL	I/O	Pull-up	I ² C マスタ・シリアル・クロック。このボールは、I ² C バス上にあるスレーブ・デバイスへのシリアル・クロックを駆動します。このボールに接続するラインと IOVDD の間には、2.0kΩ~4.0kΩ のプルアップ抵抗を接続してください。未使用時は接続しないでください。
J5	CVDD	Power	None	メモリ回路の電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部バス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
J6	CVDD	Power	None	メモリ回路の電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部バス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
J7	CVDD	Power	None	メモリ回路の電源、1.2V ± 5%。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部バス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。

ボール番号	記号	タイプ ¹	内部終端 ²	説明
J8	CVDD	Power	None	メモリ回路の電源、 $1.2V \pm 5\%$ 。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
J9	GPIO4	I/O	Pull-down	汎用入出力 4。未使用時は接続しないでください。
J10	QMST_SS0	Output	Pull-up	SPI マスタ・スレーブ・セレクト 0。このボールは、バス上にあるスレーブ・フラッシュ・デバイス 0 をイネーブルします。未使用時は接続しないでください。
J11	SIO6_D1	I/O	Pull-down	シリアル・ポート 6 データ入出力 1。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
J12	SIO6_D0	I/O	Pull-down	シリアル・ポート 6 データ入出力 0。双方向データ入出力は、シリアル・データ送信のための出力、またはシリアル・データ受信のための入力として設定できます。このボールは、1~8 チャンネルのデータから設定できます。未使用時は接続しないでください。
K1	PDMCLK3	Output	Pull-down	PDM 入力 3 クロック。このボールは PDM リファレンス・クロックを駆動します。PDM 入力は常にクロック・スレーブです。
K2	PDMIN3_0	Input	Pull-down	PDM 入力 3 データ (D0)。
K3	QMST_SS3	Output	Pull-up	SPI マスタ・スレーブ・セレクト 3。このボールは、バス上にあるスレーブ・フラッシュ・デバイス 3 をイネーブルします。未使用時は接続しないでください。
K4	QMST_SS2	Output	Pull-up	SPI マスタ・スレーブ・セレクト 2。このボールは、バス上にあるスレーブ・フラッシュ・デバイス 2 をイネーブルします。未使用時は接続しないでください。
K5	QMST_SS1	Output	Pull-up	SPI マスタ・スレーブ・セレクト 1。このボールは、バス上にあるスレーブ・フラッシュ・デバイス 1 をイネーブルします。未使用時は接続しないでください。
K6	QMST_DQ3	I/O	Pull-down	SPI マスタ・データ 3。このボールはクワッド・モードでシリアル・データを転送します。未使用時は接続しないでください。
K7	QMST_DQ2	I/O	Pull-down	SPI マスタ・データ 2。このボールはクワッド・モードでシリアル・データを転送します。未使用時は接続しないでください。
K8	QMST_DQ1	I/O	Pull-down	SPI マスタ MISO、デュアル/クワッド SPI マスタ・データ 1。このボールはシリアル・データを転送します。MISO またはデュアル/クワッド・モード入出力です。未使用時は接続しないでください。
K9	QMST_DQ0	I/O	Pull-down	SPI マスタ MOSI、デュアル/クワッド SPI マスタ・データ 0。このボールはシリアル・データを転送します。MOSI またはデュアル/クワッド・モード入出力です。未使用時は接続しないでください。
K10	QMST_SCK	Output	Pull-down	SPI マスタ・クロック。クワッド SPI マスタ・クロックです。このボールは、SPI バス上にあるスレーブ・デバイスへのクロック信号を駆動します。未使用時は接続しないでください。
K11	PDMOUT5	Output	Pull-down	PDM 出力 5 データ。
K12	PDMCLK5	I/O	Pull-down	PDM 出力 5 クロック。このボールは PDM リファレンス・クロックを駆動します。PDM 入力は常にクロック・スレーブです。
L1	IOVDD	Power	None	入出力電源、 $1.8V - 5\% \sim 3.3V + 10\%$ 。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
L2	PDMIN3_1	Input	Pull-down	PDM 入力 3 データ (D1)。
L3	PDMIN4_1	Input	Pull-down	PDM 入力 4 データ (D1)。
L4	PDMIN4_0	Input	Pull-down	PDM 入力 4 データ (D0)。
L5	FMST_DQ3	I/O	Pull-down	フラッシュ・クワッド SPI マスタ・データ 3。このボールはクワッド・モードでシリアル・データを転送します。未使用時は接続しないでください。
L6	FMST_DQ2	I/O	Pull-down	フラッシュ・クワッド SPI マスタ・データ 2。このボールはクワッド・モードでシリアル・データを転送します。未使用時は接続しないでください。
L7	FMST_DQ1	I/O	Pull-down	フラッシュ SPI マスタ MISO、フラッシュ・デュアル/クワッド SPI マスタ・データ 1。このボールはシリアル・データを転送します。MISO またはデュアル/クワッド・モード入出力です。未使用時は接続しないでください。
L8	FMST_DQ0	I/O	Pull-down	フラッシュ SPI マスタ MOSI、フラッシュ・デュアル/クワッド SPI マスタ・データ 0。このボールはシリアル・データを転送します。MOSI またはデュアル/クワッド・モード入出力です。未使用時は接続しないでください。
L9	FMST_SS	Output	Pull-up	フラッシュ SPI マスタ・スレーブ・セレクト。このボールは、バス上にあるスレーブ・フラッシュ・デバイスをイネーブルします。未使用時は接続しないでください。
L10	PDMCLK6	I/O	Pull-down	PDM 出力 6 クロック。このボールは PDM リファレンス・クロックを駆動します。PDM 入力は常にクロック・スレーブです。
L11	PDMOUT6	Output	Pull-down	PDM 出力 6 データ。

ボール番号	記号	タイプ ¹	内部終端 ²	説明
L12	IOVDD	Power	None	入出力電源、 $1.8V - 5\% \sim 3.3V + 10\%$ 。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
M1	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
M2	DVDD	Power	None	デジタル電源、 $1.2V \pm 5\%$ 。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
M3	DGND	Ground	None	デジタル・グラウンド。
M4	CVDD	Power	None	メモリ回路の電源、 $1.2V \pm 5\%$ 。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
M5	PDMCLK4	Output	Pull-down	PDM 入力 4 クロック。このボールは PDM リファレンス・クロックを駆動します。PDM 入力は常にクロック・スレープです。
M6	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
M7	IOVDD	Power	None	入出力電源、 $1.8V - 5\% \sim 3.3V + 10\%$ 。このボールは、デカップリング・コンデンサを使って IOGND へバイパスします。
M8	FMST_SCK	Output	Pull-down	フラッシュ SPI マスタ・クロック。このボールは、SPI バス上にあるスレープ・フラッシュ・デバイスへのクロック信号を駆動します。未使用時は接続しないでください。
M9	CVDD	Power	None	メモリ回路の電源、 $1.2V \pm 5\%$ 。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
M10	DGND	Ground	None	デジタル・グラウンド。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。
M11	DVDD	Power	None	デジタル電源、 $1.2V \pm 5\%$ 。このボールへの電源は、外部電源を使用するか、内部レギュレータと外部パス・トランジスタを使用して供給できます。このボールは、デカップリング・コンデンサを使って DGND へバイパスします。
M12	IOGND	Ground	None	入出力グラウンド・リファレンス。すべての DGND、IOGND、および PGND ピンは、まとめて共通グラウンド・プレーンに直接接続します。

¹ I/O は入出力、power は電源、NC は接続されていないことを意味します。

² ほとんどの内部プルアップ/プルダウン抵抗は、パッド制御レジスタを介してディスエーブルできます。

動作原理

概要

ADAU1472 は、最大周波数 270.336MHz で動作する Cadence Tensilica HiFi 4 オーディオ・プロセッサ・コアをベースにしており、2MB の SRAM、算術演算アクセラレータ、最大 96 チャンネルのオーディオ入出力（入力×16、出力×16、双方向×64）を内蔵しています。ADAU1472 には、すべての入力、出力、HiFi 4 DSP コア、および内蔵サンプル・レート・コンバータの間で、あらゆるオーディオ信号を様々なサンプル・レートでハードウェア・ルーティングできるように、フレキシブル・オーディオ・ルーティング・マトリックス（FARM）が組み込まれています。HiFi 4 は、クワッド MAC データバスを使って、1 秒あたり 10 億回以上の MAC 演算を実行できます。

オーディオ・サブシステムは最大 192kHz のサンプル・レートをサポートしており、FS および時分割多重（TDM）方式に対応した 6 つのシリアル・オーディオ入出力、4 つのステレオ ASRC、S/PDIF レシーバーとトランスミッタ、14 の PDM 入力、および 2 つの PDM 出力を備えています。

また、専用の汎用入出力（GPIOx）ピンを 8 本備えており、DSP コアは 4 つの GPIO 割込みを処理できます。

プロセッサは 2 つの電力領域を内蔵しています。低消費電力の常時オン（IOVDD）領域と、通常消費電力（DVDD、CVDD、PVDD）領域です。低消費電力領域に必要なのは IOVDD 電源だけで、この領域には、2 つのシリアル入力ポート、2 つのシリアル出力ポート、2 つの PDM マイクロフォン入力、音声検出プロセッサ、内部オーディオ・ルーティングが含まれています。システム・メモリは、独立したメモリ保持用電源（CVDD）を介して低消費電力状態でもデータを保持することができます。音声検出技術は、音声を検出してプロセッサを音声処理用の最高速動作モードへ移行させることができます。通常消費電力領域には、HiFi 4 DSP コア、システム・メモリ、PLL、および追加のオーディオ入出力が含まれています。

このデバイスは、以下に示す 2 つのブート・モードのどちらかで動作します。

- ホスト・ブート：SPI スレーブ・ポートを通じ、チップの設定をロードして動的に更新することができます。
- セルフ・ブート：ホスト・プロセッサを持たないシステムにおいて外部フラッシュ・メモリから直接 DSP をブートすることができます。

合計消費電力

合計消費電力は以下の 2 つの成分からなります。

- もれ電流を含む静的成分
- トランジスタのスイッチング特性による動的成分

消費電力は、温度、電圧、動作周波数、プロセッサとメモリの動作などを含む様々な動作条件にも影響されます。静的消費電力は、電圧（IOVDD、DVDD、CVDD、PVDD）、温度、およびクロック周波数の関数です。

動的消費電力成分は SYSCLK と BUSCLK によるトランジスタのスイッチングによるもので、プロセッサ・コア上で実行されるアプリケーション・コードの DSP コアとメモリの使用状況に依存します。

HiFi 4 オーディオ DSP コア

HiFi 4 コアは、オーディオおよび音声処理やその他の要求の厳しい DSP 機能用に最適化された、32 ビットのオーディオ DSP エンジンを用意しています。この HiFi 4 コアは、72 ビット加算器を備えた 4 つの 32 ビット×32 ビット固定小数点 MAC と 32 ビットの単精度 IEEE 浮動小数点乗算機を組み合わせたもので、1 サイクルあたり 2 つの 64 ビット・ロードをサポートしています。プロセッサはオンチップ・デバッグをサポートしており、IEEE 1149.1 テスト・アクセス・ポートを通じてプロセッサのソフトウェア状態を制御できます（JTAG と呼ばれます）。ADAU1472 は、HiFi アーキテクチャ用に最適化されたオーディオおよび音声コーデックや、オーディオ用に強化されたソフトウェア・パッケージからなる、様々なエコシステムとソフトウェア互換です。

HiFi 4 アーキテクチャ

HiFi 4 アーキテクチャは以下のような機能を提供します。

- 32 ビット SIMD（Single Instruction, Multiple Data）アーキテクチャ
- 最大で 4 つの演算を並列で行う VLIW（Very Long Instruction Word）命令セット
- シングルサイクル、クワッド MAC（4 つの 32 × 32、4 つの 24 × 24、8 つの 32 × 16）
- 単精度浮動小数点ユニット
- 128 ビット・データ・ロード、64 ビット・データ・ストア
- 32kB 命令キャッシュ
- 128kB データ・キャッシュ
- 64kB L1 命令 RAM
- 256kB L1 データ RAM
- メモリ・プリフェッチ
- 2 つの汎用タイマー
- 2 つのサイクル・カウンタ
- 割込みコントローラ（内蔵 8 個、外部 17 個）
- Tensilica オンチップ・デバッグ（OCD）

HiFi 4 DSP コアの詳細については、Cadence Tensilica HiFi 4 オーディオ・エンジンの関連ドキュメントを参照してください。

算術演算の高速化

DSP コアには、基本算術演算、オーディオ、確率、およびニューラル・ネットワークに関わる処理を高速化するために最適化されたカスタム命令が含まれています。拡張命令は、浮動小数点形式や、16.16、9.23、および 1.31 固定小数点形式を含め、その命令に応じた様々なデータ形式に対応しています。一部の命令は対数領域の入力データに対して動作します。これらの命令を表 20 と表 21 に示します。

表 20. DSP 拡張命令 (固定小数点)

機能	動作
LOG2(x)	底が 2 の対数、 $\log_2(x)$
LOG2_ABS(x)	$\log_2(\text{abs}(x))$ 、入力の符号を返す
EXP2(x)	底が 2 の指数、 2^x
LOGADD(x, y)	対数領域データの線形加算、 $\log_2(\exp_2(x) + \exp_2(y))$
ADDLOG(x, y)	対数領域のデータ加算
SUBLOG(x, y)	対数領域のデータ減算
ADDLOGADD(w, x, y, z)	線形加算を伴うデュアル LOGADD、 $\log_2(\exp_2(w+x) + \exp_2(y+z))$
ATAN2(x, y)	アークタンジェント 2、 $\tan^{-1}(y/x)$
PRNG()	擬似乱数ジェネレータ
Rectify(x)	Max(0, x)
Leaky Rectify(x)	$x < 0$ の場合はゼロでない微小勾配を算出
Sigmoid(x)	シグモイド、 $1/(1+e^{-x})$
DualSigmoid(x, y)	2つのシグモイド演算を並列で実行
SIN(x)	サイン
COS(x)	コサイン
SINH(x)	ハイパーボリック・サイン
COSH(x)	ハイパーボリック・コサイン
ATANH(x)	ハイパーボリック・タンジェント
TOPOLAR(x, y)	直交座標を極座標に変換

表 21. DSP 拡張命令 (浮動小数点)

機能	動作
SINF(x)	サイン
COSF(x)	コサイン
TANF(x)	タンジェント
ASINF(x)	アークサイン
ACOSF(x)	アークコサイン
ATANF(x)	アークタンジェント
EXPF(x)	指数関数、 e^x
LNF(x)	自然対数、 $\ln(x)$
EXP2F(x)	底が 2 の指数、 2^x
LOG2F(x)	$\log_2(x)$
SQRTF(x)	平方根
RECIPF(x)	逆数、 $1/x$
ATAN2F(x, y)	アークタンジェント 2、 $\tan^{-1}(y/x)$
HYPOTF(x, y)	斜辺、 $\sqrt{x^2 + y^2}$
RTOP(x, y)	直交座標を極座標に変換
PTOR(x, y)	極座標を直交座標に変換

プロセッサ・インフラストラクチャ

以下のセクションでは、ADAU1472 プロセッサの主要なインフラストラクチャの要素について説明します。

メモリ DMA コントローラ

このプロセッサはダイレクト・メモリ・アクセス (DMA) を使用して、メモリ空間内、またはメモリ空間とペリフェラルの間でデータを転送します。このプロセッサはデータ転送動作の指定後に通常処理へ戻ることができ、その場合は内蔵 DMA コントローラがデータ転送を実行します。

オーディオ DMA コントローラ

このプロセッサは専用の DMA コントローラを内蔵しており、システム・メモリと任意のオーディオ入出力ペリフェラル (シリアル・ポート、PDM ポート、ASRC、および S/PDIF) の間で最大 32 チャンネルのオーディオ・データを転送できます。オーディオ DMA は、オーディオ入出力割込みと同期されたサーキュラ・バッファ・モードをサポートしており、連続的にデータを転送できます。

システム・コントローラ

システム・コントローラは、リセット、セルフ・ブート、クロッキングを管理し、パワー・マネージメントを行います。イベント・マネージャは、外部ホスト・プロセッサとの間で 2 方向通信を行います。外部イベント・ピン (EVENT) はホストをトリガできるのに対して、ホストはイベント・レジスタを設定してコア割込み信号をトリガできます。

DSP コア割込み

割込みイベントの発生とプログラム・フローは同期していません。割込みは、入力信号、タイマー、およびペリフェラルによってトリガされます。あるいは、DSP コア内で実行されるソフトウェア内で明示的にトリガされます。割込みには、ソフトウェア割込みとタイマー割込みを含む 8 つの内部割込みと 17 の外部割込みがあり、4 つの割込みが GPIO 入力用に予約されています。

GPIO

8 本の GPIO ポート・ピン (GPIOx) は、GPIO モード・レジスタにより、以下の要領でそれぞれ個別に制御できます。

- GPIO 方向は、個々の GPIOx ピンの方向を入力または出力として指定します。
- GPIO0~GPIO3 ピンは、入力として設定された場合、DSP コア割込みを生成できます。
- 入力として設定されたピンについては、設定可能なバウンス防止回路を使用できます。
- 出力プルダウン抵抗をイネーブルまたはディスエーブルできます。

FARM

オーディオ・ルーティング・マトリックスは、シリアル入力と出力、PDM 入力と出力、S/PDIF レシーバーとトランスミッタ、ASRC、DSP コア、およびオーディオ DMA の間にオーディオ信号を分配します。すべてのオーディオ入力と ASRC チャンネルは DSP コアで利用可能で、すべてのオーディオ出力は DSP コアからのデータを出力したり、任意のオーディオ入力からのデータを直接出力したりすることができます。オーディオ・データは FARM を通じて直接ルーティングし、プロセッサ・コアを完全にバイパスすることができます。この柔軟性により、オーディオ・システムにおける信号ルーティングとクロッキングに関する問題の複雑さが緩和され、ソフトウェアの代わりにハードウェアによるルーティングが可能になります。

メモリ・アーキテクチャ

ADAU1472 プロセッサの内部および外部メモリを図 13 に示します。また、以下のセクションでその内容を説明します。

内部メモリ

L1 メモリ・システムはプロセッサ・コアに使用できる最高性能（ゼロ遅延）のメモリで、以下を含みます。

- 64kB L1 命令 RAM
- 128kB L1 データ RAM1
- 128kB L1 データ RAM2

プロセッサ・コアには 32kB の命令キャッシュと 128kB のデータ・キャッシュが含まれているほか、投機的キャッシュ・プリフェッチ・オプションを備えています。ハードウェア・プリフェッチはデフォルトでイネーブルされていますが、プリフェッチ命令を使って手動で制御したりディスエーブルしたりすることができます。

プロセッサは、2MB の L2 システム SRAM を備えています。この L2 メモリはコア周波数の半分の周波数で動作し、任意の組み合わせの命令とデータを保持できます。この空間には、アプリケーション命令とリテラル（定数）データが格納されます。L2 メモリには、専用の 64 ビット・インターフェース（デュアル 64 ビット・ロード・インターフェースを持つ）と、システム・デバイス用の DMA 読出し／書込みアクセスを通じて、コアからアクセスできます。内部 128kB ROM（読出し専用メモリ）には、ブート・コードと汎用定数が格納されています。ブート ROM はシステム・リセット時に実行されます。

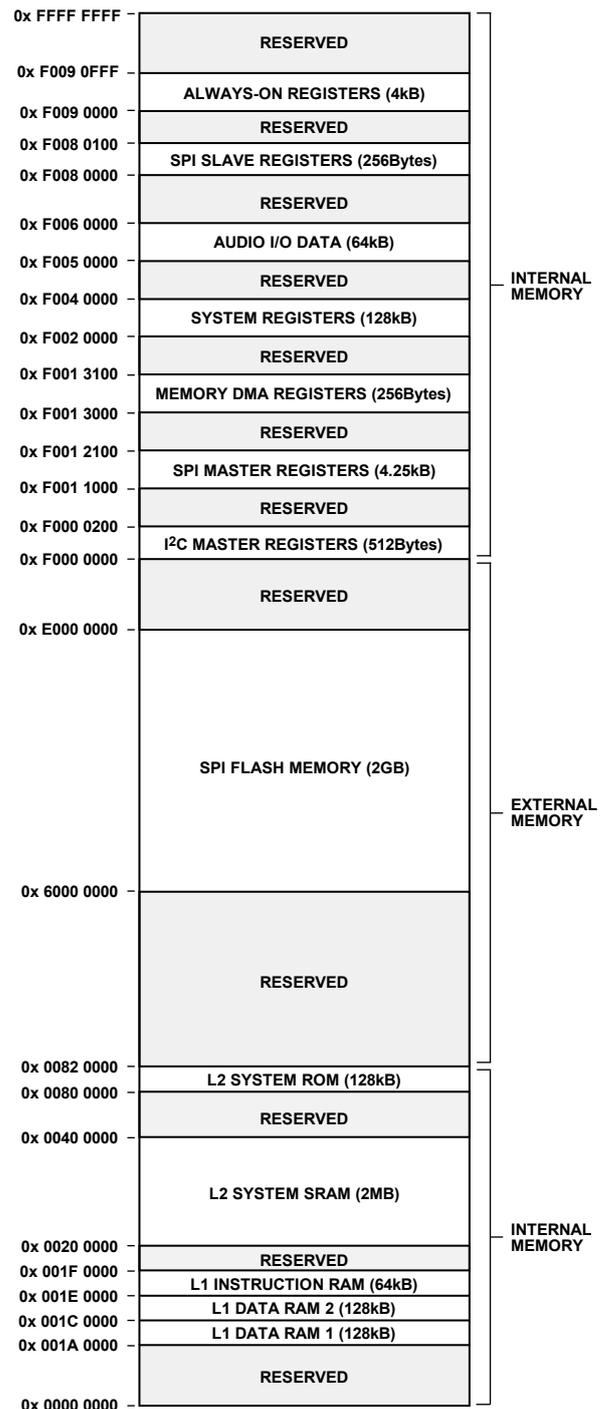


図 13. プロセッサのメモリ・マップ

20515-012

外部メモリ空間

プロセッサは入出力空間を個別に定義しません。すべてのメモリ・リソースは、32 ビットのアドレス空間を通じてマップされます。オンチップ入出力デバイスにはそれぞれ制御レジスタがあり、これらのレジスタは、4GB のアドレス空間の領域内にあるアドレスのメモリ・マップ・レジスタにマップされています。これらのアドレスは、常時オン機能、コアおよびオーディオ・ペリフェラルなどのより小さいブロックと、SPI/I²C ポート構成に分割されています。メモリ・マップ・レジスタには DSP コアからアクセスできるほか、外部から SPI スレーブ制御ポートを通じてアクセスできます。

外部 SPI フラッシュ領域

ADAU1472 のメモリ・アドレス空間は、プロセッサの SPI フラッシュ・ポートにオプションで接続される、最大 2GB の外部シリアル・クワッド・フラッシュ・メモリをサポートしています。フラッシュ・メモリからの DSP コア読出しは内部キャッシュを介して直接キャッシュされ、ダイレクト・メモリ・マップ読出しは SPI メモリ・マップ・プロトコルを介して行うことができます。SPI フラッシュ・ポートはセルフ・ブート・モード用に使われます。

ブート

プロセッサ・ブート・モードには 2 つの種類があります。セルフ・ブート・モードでは、プロセッサがシリアル・メモリから能動的にデータをロードします。ホスト・ブート・モードでは、プロセッサは外部のホスト・デバイスからデータを受け取りません。SELFBOOT 入力ピンはパワーオン・リセット時とソフトウェア・リセット時にサンプリングされ、ブート・モードを決定します。

セルフ・ブート動作を開始するには、SELFBOOT ピンをロジック・ハイ (IOVDD) に接続して、RESET ピンがハイになっている間に電源をオンにします。プロセッサは、専用の SPI フラッシュ・ホスト・ポートを通じて外部フラッシュ・メモリからブートします。セルフ・ブートに失敗した場合は、EVENT ピンがハイになります。

プロセッサの信頼性機能

このプロセッサは、信頼性に関して以下のセクションに示す機能を備えています。

バイト・パリティで保護されたメモリ

プロセッサの L2 システム RAM、L1 データ RAM、およびデータ・キャッシュ内の各バイトは、RAM 内のシングル・イベント・アップセットを検出するパリティ・ビットによって保護されています。L1 命令 RAM と命令キャッシュは、ワード・レベルでパリティ保護されています。パニック・マネージャは、パリティ・エラーを検出するとフラグを立てます。

ソフトウェア・ウォッチドッグ

オンチップのウォッチドッグ・タイマーは、ADAU1472 コアのソフトウェア・ベースの監視を行います。

MIPS 予測

完全ソフトウェア制御の 2 つの独立したハードウェア・サイクル・カウンタを使用して、控えめなソフトウェア性能プロファイリングと、使用している DSP クロック・サイクルの実行時モニタリングを行うことができます。各カウンタは、レジスタ制御によって停止、開始、および一時提示/一時停止解除を行うことができます。サイクル・カウンタに加えて、各ユニットには、複数の開始および停止シーケンスを通じて最大サイクル数を保存する、ピーク・サイクル・レジスタがあります。

パニック・マネージャ

パニック・マネージャはシステム・パニックの様々なソースを受信してそれらをマスクし、イベント出力ピン信号をトリガしてコア割込みを生成し、しかもデバイスをリブートするための内部リセットを生成することができます。パニック・マネージャはいくつかのパニック・チャンネルで構成されており、各チャンネルはパニック・イベントと 32 ビットのパニック・コード・レジスタを 1 つずつ記録できます。

タイマー

汎用タイマー

タイマー・ユニットは、ソフトウェアで設定できる 3 つの汎用タイマーを備えています。これらのタイマーはプロセッサ・コアへの割込みを生成して、システム・クロック信号と同期を取るための周期的イベントを発生させることができます。

ウォッチドッグ・タイマー

コアは、ソフトウェア・ウォッチドッグ機能を実装できる 32 ビット・タイマーを内蔵しています。ソフトウェア・ウォッチドッグは、ソフトウェアによるリセットの前にタイマーが終了した場合、ハードウェア・リセットまたはコア割込みの生成を介してプロセッサを既知の状態に強制することにより、システムの可用性を向上させることができます。プログラムはタイマーのカウント値を初期化して適切な割込みを可能にし、それからタイマーをイネーブルします。したがって、ソフトウェアは、プログラムされた値からゼロまでカウントする前にカウンタをリロードする必要があります。ウォッチドッグ・リセットは、システムが未知の状態のままとならないようにシステムを保護します。このような状態は、外的なノイズ条件やソフトウェア・エラーによって、DSP コア内で実行されているソフトウェア (通常、このソフトウェアがタイマーのリセットを行う) が停止してしまうことで発生します。リセット後は、パニック・マネージャ内のウォッチドッグ・エラー・フラグを確認することを通じ、ウォッチドッグがハードウェア・リセットの発生源であったかどうかをソフトウェアで判定することができます。

シリアル・ポート

6 つのシリアル・データ・インターフェースは、プロセッサおよびペリフェラルとの間のオーディオ入出力の機能を果たします。シリアル・ポート・データは、DSP オーディオ入出力レジスタとの間で直接転送されるほか、オーディオ DMA チャンネルを使ってシステム・メモリへ転送されます。オーディオ・データは、FARM を介してシリアル・ポート間で直接ルーティングできます。

シリアル・ポートは、以下の設定可能なデータ・フォーマットをサポートしています。

- I²S
- マルチチャンネル (TDM)
- バックド I²S
- 左詰め
- 右詰め
- 16、24、および 32 ビット TDM モード・スロット幅

各シリアル・ポートは、1 本のクロック・ライン、1 本のフレーム同期ライン、2 本のデータ・ラインで構成されています。常時オン領域のシリアル・ポート 1 とシリアル・ポート 2 は、専用の入力データ・ラインと出力データ・ラインを備えています。残り 4 つの DVDD 電力領域のシリアル・ポートは、送信または受信用に設定できる双方向性のデータ・ラインを備えています。

表 22. シリアル・データ・ピンとシリアル入出力ポートのマッピング

シリアル・データ・ピン	シリアル・ポート	機能
SIN1 ¹	シリアル入力ポート 1	入力
SIN2 ¹	シリアル入力ポート 2	入力
SOUT1 ¹	シリアル出力ポート 1	出力
SOUT2 ¹	シリアル出力ポート 2	出力
SIO3_D0	シリアル入出力ポート 3_0	双方向
SIO3_D1	シリアル・入出力ポート 3_1	双方向
SIO4_D0	シリアル入出力ポート 4_0	双方向
SIO4_D1	シリアル・入出力ポート 4_1	双方向
SIO5_D0	シリアル入出力ポート 5_0	双方向
SIO5_D1	シリアル・入出力ポート 5_1	双方向
SIO6_D0	シリアル入出力ポート 6_0	双方向
SIO6_D1	シリアル・入出力ポート 6_1	双方向

¹ IOVDD 電力領域。

80 チャンネルのシリアル・オーディオ・データ入力と 80 チャンネルのシリアル・オーディオ・データ出力があります。これらの 80 のオーディオ入力チャンネルと 80 のオーディオ出力チャンネルは、2 本の専用シリアル・データ入力ピン、2 本の専用シリアル・データ出力ピン、および 8 本の双方向シリアル入出力データ・ピンに分配されます。各データ・ピンは、2 チャンネル (I²S)、4 チャンネル、および 8 チャンネル (TDM) モードで使用できます。16 チャンネル TDM モードには、16 チャンネルのデータ転送用に 2 本のデータ・ピン (1 ピンあたり 8 チャンネル) を使用することで対応します。シリアル・ポート上でのシリアル・オーディオ・データの最大サンプル・レートは 192kHz、最小サンプル・レートは 8kHz です。

シリアル・ポートは柔軟に設定可能で、クロック波形タイプ、クロック極性、チャンネル数、ストリーム内のデータ・ビット位置、オーディオ・ワード長、スレーブまたはマスタ動作、およびサンプル・レートを互いに独立して設定することができます。

シリアル・クロック領域

6 つのシリアル・クロック領域はフレーム・クロック・ピン (LRCLKx) とビット・クロック・ピン (BCLKx) のペアで構成されており、デバイスとの間でオーディオ・データをやり取りするための同期を取ります。マスタ・モードの場合、各クロック領域は、厳密に 1 本の LRCLKx ピン、1 本の BCLKx ピン、および 1 組のデータ・ピンのペアに対応します。スレーブ・モードでは、シリアル・ポートは任意のクロック領域からクロックを供給できます。

ASRC

ADAU1472 は、異なるサンプル・レートで入出力信号を処理する 8 チャンネルの ASRC を内蔵しています。これらのサンプル・レート・コンバータは、オーディオ入力データ信号とクロックを受信して、データ・ストリームを任意の目標サンプル・レートに再同期できます。サンプル・レート・コンバータにはフィルタリング機能が含まれています。したがって、サンプル・レート・コンバータからのデータ出力は、データ入力を逐一正確に再現したものではありません。

サンプル・レート・コンバータは 4 組のステレオ・ペアにグループ分けされ、4 つのコンバータは、各 ASRC に属する 2 つの入出力チャンネルを使ってそれぞれ個別に設定することができます。ASRC は、DSP コア、PDM ポート、シリアル・ポート、およびオーディオ DMA との間で柔軟なルーティングを行うために FARM に接続されます。

サンプル・レート・コンバータの設定とルーティングは、ASRC 制御レジスタを使って行います。

ASRC の群遅延

サンプル・レート・コンバータの群遅延は、以下の式に示すように、入力と出力のサンプリング周波数に依存します。

S_OUT 信号周波数 (f_{S_OUT}) > S_IN 信号周波数 (f_{S_IN}) の場合は、次式のようになります。

$$GDS = \frac{16}{f_{S_IN}} + \frac{32}{f_{S_IN}}$$

ここで、GDS は秒単位の群遅延です。

$f_{S_OUT} < f_{S_IN}$ の場合は次式のようになります。

$$GDS = \frac{16}{f_{S_IN}} + \left(\frac{32}{f_{S_IN}} \right) \times \left(\frac{f_{S_IN}}{f_{S_OUT}} \right)$$

デジタル PDM マイクロフォン・インターフェース

4 つの専用デジタル・マイクロフォン・インターフェースには、最大で 14 個の PDM マイクロフォンを接続できます。各 PDM インターフェースは、1 本のクロック・ラインと 1 本のデータ・ラインで構成されています。2 つのマイクロフォンが 1 本のデータ・ラインを共有し、かつ 1 本のクロック・ラインを共有することで、デュアル入力マイクロフォン・ポートを構成できます。更に、2 本のデュアル入力ラインが 1 本のクロック・ラインを共有することによって、クワッド・マイクロフォン入力ポートを構成することができます。IOVDD 電力領域には 2 つの PDM マイクロフォン・インターフェースがあり (デュアル入力とクワッド入力が 1 つずつ)、通常消費電力領域には更に 2 つのクワッド PDM マイクロフォン・インターフェースがあります。PDM マイクロフォン・インターフェース・ビット・クロックは、24kHz または 48kHz のオーディオ・サンプリング・レートに対応する固定の周波数 (通常は 3.072MHz) で生成されます。PDM マイクロフォン入力には内部デシメーション・フィルタが含まれており、この入力は DSP コア (ASRC) への入力用に FARM を通じてルーティングされ、シリアル出力ポートへは直接ルーティングされます。

PDM 出力

2 つの PDM 出力インターフェースは、クラス D アンプやその他の PDM 入力デバイスへの直接接続を可能にします。PDM 出力ポートは 1 本のクロック・ラインと 1 本のデータ・ラインで構成され、ステレオ出力用に 2 つのチャンネルが 1 本のデータ・ラインを共有できます。PDM 出力クロックは、アプリケーションに応じてマスタ設定またはスレーブ設定で動作させることができます。

S/PDIF インターフェース

オンチップ S/PDIF レシーバー・ポートとトランスミッタ・ポートは、S/PDIF 互換機器へのステレオ・オーディオ接続を提供します。S/PDIF レシーバーは、1 本のハードウェア・ピン (SPDIF_RX) 上に 2 つのオーディオ・チャンネル入力で構成されています。S/PDIF トランスミッタは、1 本のハードウェア・ピン (SPDIF_TX) 上に 2 つのオーディオ・チャンネル出力で構成されています。クロック信号はバイフェーズ・マーク・コードを使ってデータに組み込まれます。S/PDIF の入力ワード長と出力ワード長は、個別に 16、20、または 24 ビットに設定できます。S/PDIF インターフェースは S/PDIF コンシューマ性能仕様を満たしていますが、オーディオ技術協会の業務用仕様 (AES3) に定めるジッタ許容誤差の要求は満たしていません。

S/PDIF レシーバー

通常、S/PDIF 入力データは DSP コアに同期していないので、入力データは ASRC を通じてルーティングする必要があります。S/PDIF レシーバーは、18kHz から 96kHz までの広範なサンプリング周波数範囲で機能します。

オーディオ・データに加えて、S/PDIF ストリームには、ユーザ・データ、チャンネル・ステータス、有効性ビット、仮想左右クロック (LRCLK)、およびブロック開始情報が含まれています。レシーバーはオーディオ・データをデコードしてそのデータを制御レジスタ・マップ内の対応レジスタへ送り、そこで情報が読み出されます。

S/PDIF ポートは、8kHz 以上におけるジッタが 0.25UIp-p、200Hz 未満におけるジッタが 10UIp-p、最小信号電圧が 200mV という AES と EBU (ヨーロッパ放送連合) の仕様を満たしています。

S/PDIF トランスミッタ

S/PDIF トランスミッタは、2 つのチャンネルのオーディオ・データを DSP コアからコア・レートで直接出力したり、S/PDIF レシーバーからのオーディオ・データを直接通過させたりすることができます。追加的な非オーディオ・データ・ビットは、S/PDIF レシーバーから直接コピーするか、制御レジスタ・マップ内の対応レジスタを使用することによって手動でプログラムできます。

SPI

プロセッサには 3 つの SPI 互換インターフェースが組み込まれており、プロセッサはこれによって複数の SPI 互換デバイスと通信することができます。SPI ボー・レートとクロックの位相および極性は、プログラム可能です。各 SPI 互換インターフェースは、データ・ストリームの送信および受信用の DMA チャンネルを内蔵しています。

ベースラインの SPI は、2 本のデータ・ピン、1 本のデバイス・セレクト・ピン、および 1 本のゲーテッド・クロック・ピンで構成される同期 4 線式インターフェースです。2 本のデータ・ピンにより、他の SPI 互換デバイスとの間で全二重動作が可能です。クワッド SPI 動作への対応用に 2 本の追加 (オプション) データ・ピンを備えています。

SPI スレーブ・インターフェース

SPI スレーブ・インターフェースは、ホスト・プロセッサがメモリへの直接書込みと制御レジスタの設定を行うことを可能にし、シングル・アドレス・モードとバースト・モードでのアクセスをサポートしています。スレーブ・インターフェースは IOVDD 電力領域の一部であり、低消費電力動作時に使用できます。SPI スレーブ・インターフェースは、SPI モード 1、クロック極性 0、およびクロック位相 1 だけで動作し、オプションでデュアルまたはクワッド SPI モード動作用に設定できます。最大クロック・ボー・レートはマスタ・クロック・レートによって制限され、最大読出し速度はマスタ・クロック周波数の半分です。

SPI マスタ・インターフェース

SPI マスタは、最大 4 つのスレーブ・デバイス (QMST_SSx ピンを経由) と、2.3kHz~25MHz の速度をサポートしています。SPI マスタ・インターフェースのデータ・レートが高い場合は (10MHz 以上)、電流量を最小限に抑えるために、PCB パターンをできるだけ短くなるように設計してください。SPI コマンドは、オプションでデュアルまたはクワッド SPI モードで動作させることができます。

SPI フラッシュ・インターフェース

プロセッサには、外部フラッシュ・メモリを 1 個接続するために専用の SPI フラッシュ・ホスト・インターフェースが 1 つ含まれており、このプロセッサは DSP コアから SPI フラッシュ・メモリの直接読出しをサポートするメモリ・マップ・レジスタを備えています。このホスト・インターフェースは、プリフェッチとキャッシングもサポートしています。セルフ・ブート動作には必ず SPI フラッシュ・インターフェースを使用してください。SPI フラッシュ・インターフェースは、オプションでデュアルまたはクワッド SPI モード動作用に設定できます。

I²C マスタ・インターフェース

プロセッサには、I²C バス規格互換のマスタ・モジュールが組み込まれています。I²C マスタは 7 ビットのアドレス指定が可能で、20kHz~500kHz の速度で標準および高速モードの動作をサポートしています。I²C インターフェースはクロック (SCL) とデータ (SDA) の転送用に 2 本の専用ピンを使用し、データ転送は 8 ビットでアラインされます。エラーの検出や訂正はサポートしておらず、シリアル・カメラ制御バス (SCCB) プロトコルとパワー・マネージメント・バス (PMBus) プロトコルもサポートしていません。

音声ディテクタ

ADAU1472 は、環境内の音声エネルギー検出用に、設定可能な音声開始ディテクタを内蔵しています。音声検出ユニットは DSP コアと独立して動作し、IOVDD 電力領域でわずかな電力しか消費しません。音声ディテクタの主な目的は、システムの消費電力を抑えることにあります。音声ディテクタは音声信号に応答し、低消費電力動作モードを終了して DSP コアの電源をオンにすることができます。更に、イベント・ピン (EVENT) 信号は、音声を検出されたことを外部ホストに通知できます。

デフォルトでは、音声ディテクタは音声開始検出モードに設定されており、音声の存在を検出します。検出閾値はプログラム可能です。音声ディテクタは、より高度な音声ウェイクアップ・アプリケーション用に、オプションで音声区間検出モードまたは音声フォーマット検出モードに設定することができます。音声ディテクタは、設定に応じて 1 つまたは 2 つのオーディオ入力を処理できます。低消費電力動作時は、PDM 入力 1 および PDM 入力 2、またはシリアル入力ポート 1 およびシリアル入力ポート 2、もしくはその両方からのオーディオ入力が可能です。音声ディテクタは FARM を介してすべてのオーディオ源に接続され、通常消費電力動作時も DSP 出力をすべてディテクタ入力にルーティングすることができます。ディテクタは、1 つの入力から最大 1024 サンプルのオーディオ・データを専用メモリにバッファリングできるため、コア・プロセッサが非アクティブ状態時に音声を含むものとして検出されたオーディオを、DSP コアが再分析できるようにします。

クロックとパワー・マネージメント

クロッキングの概要

プロセッサのクロックには、サイン波入力、外部クロック発振器から供給されてバッファリングと成形が行われたクロック、または外部水晶発振子を使うことができます。外部クロックを使用する場合、そのクロックは TTL 互換信号でなければならず、通常の動作中に、停止、変化、または指定周波数未満にならないようにする必要があります。マスタ・クロックを供給するには、クロック源を直接 MCLK_IN ピンに接続します。もしくは水晶発振子を外付けして、オンチップ発振回路からその水晶発振子を駆動します。

水晶発振器の使用

ADAU1472 は、XTAL_IN ピンと XTAL_OUT ピンに外付けされた水晶発振回路を使用してマスタ・クロックを生成するためのオンボード発振器を内蔵しています。この回路内の外付け水晶発振子には、12.288MHz または 24.576MHz の基本周波数で動作する AT カット型の並列共振素子を使用します。発振子には水晶発振子を使用することを推奨します。セラミック発振子では十分なジッタ性能が得られないので、セラミック発振子を使用しないでください。正確な動作をさせるために必要な外部水晶発振回路を図 14 に示します。

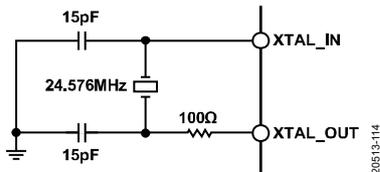


図 14. 外部水晶発振回路

図 14 に示すコンデンサと抵抗の値は、いずれも代表値です。必要なコンデンサの値は、水晶発振子メーカーの推奨する負荷容量と PCB の物理的レイアウトによって異なります。抵抗の値も、水晶発振子メーカーの指定する駆動レベルによって決まります。使用時は、必要とされる動作温度範囲にわたって収集した複数デバイスの測定値に基づいて値をカスタマイズし、更に検証を行う必要があります。

水晶発振子は XTAL_OUT ピンのできるだけ近くに配置して、発振回路の合計パターン長を最小限に抑えるようにしてください。これは浮遊容量を減らすための措置です。浮遊容量は、水晶発振子の起動時に問題を引き起こす恐れがあります。

直接駆動された水晶発振子信号を別の IC に供給する場合は、XTAL_OUT を使わないでください。そのような用途には別のピン (MCLK_OUT) が用意されています。MCLK_IN/XTAL_IN ピンに外部クロック信号を入力する場合、水晶発振回路は不要です。この場合、XTAL_OUT ピンは未接続のままにしておく必要があります。

マスタ・クロックと PLL モード

マスタ・クロック・ジェネレータは、すべてのオンチップ・クロックと同期信号を生成します。マスタ・クロック入力信号からコア・システム・クロックを生成するには、インテジャータ PLL を使用できます。通倍係数と分周係数を設定可能な 3 つのクロック・ジェネレータ・ユニットが、オーディオ・システム用クロックと出力クロックを生成します。

PLL は、DSP コアの実行用に、公称 (かつ最大値) 270.336MHz のシステム・クロックを生成します。PLL への公称入力周波数は 12.288MHz です。

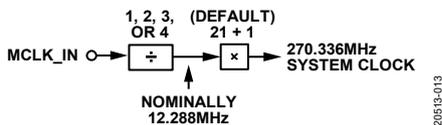


図 15. PLL の機能ブロック図

16kHz、48kHz、96kHz、または 192kHz のオーディオ・サンプル・レートで動作するシステムの場合、推奨されるマスタ・クロック入力周波数は 12.288MHz、16.384MHz、または 24.576MHz です。PLL は柔軟性が高いので、他のクロック周波数を使用することもできます。

通常、PLL は 500μs 未満でロックします。PLL が入力クロックにロックして安定した出力クロックを生成するようになると、ロック・フラグがセットされます。

マスタ・クロック・ジェネレータ

マスタ・クロック・ジェネレータは 3 つの分離したクロック・ジェネレータ・ユニットで構成されており、それぞれのクロック・ジェネレータが 1 つの基本周波数を生成できるほか、更にもその基本周波数から複数の周波数 (分周) を生成できるので、システム内では合計 15 種類のオーディオ・クロック・レートを使用することができます。

これら 15 のクロック領域は、それぞれが、シリアル・ポートに必要とされる適切なビット・クロック (BCLK) 信号とオーディオ・フレーム・クロック (LRCLK) 信号を生成できます。ビット・クロック信号は、サンプルあたり 32BCLK、サンプルあたり 64BCLK、サンプルあたり 128BCLK、サンプルあたり 256BCLK、およびサンプルあたり 512BCLK の周波数で生成され、様々なオーディオ・サンプリング・レートとマルチチャンネル TDM クロッキング条件に対応します。

各クロック・ジェネレータの公称オーディオ・サンプリング・レートは、次式を使って決定します。

$$\text{Output Frequency} = (\text{Input Frequency} \times N) / (512 \times M)$$

ここで、

Output Frequency はオーディオ・フレーム・クロックの出力周波数。

Input Frequency は PLL 出力 (代表値 270.336MHz)。

各クロック・ジェネレータは、分子 N と分母 M の値を設定可能なクロック分周器を備えています。

N と M は整数で、クロック・ジェネレータ設定レジスタへ書き込みを行うことによって設定できます。クロック・ジェネレータ 2 には、入力クロック用に固定の $2/3$ 分周器が追加されています。

クロック・ジェネレータ 1 とクロック・ジェネレータ 2 の整数分子 (N) と整数分母 (M) は、それぞれ 9 ビット長です。クロック・ジェネレータ 3 の N と M はそれぞれ 16 ビット長で、任意のクロック周波数を生成する場合に、より高い精度を実現できます。PLL とクロック・ジェネレータの基本的なブロック図を図 16 に示します。

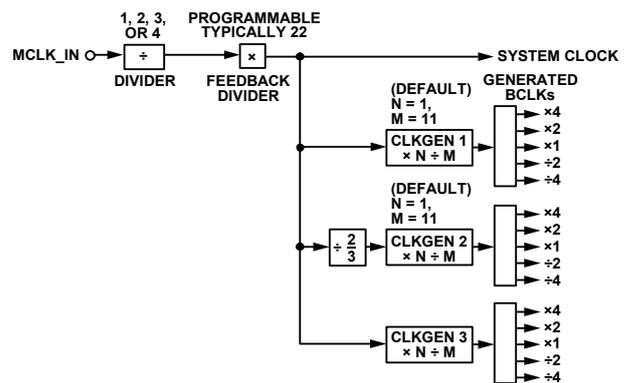


図 16. PLL とマスタ・クロック・ジェネレータのブロック図

MCLK_IN 入力の周波数が 24.576MHz のマスタ・クロック・ジェネレータの例と、その PLL 前置分周器、帰還分周器、および 3 つのクロック・ジェネレータのデフォルト設定を図 17 に示します。

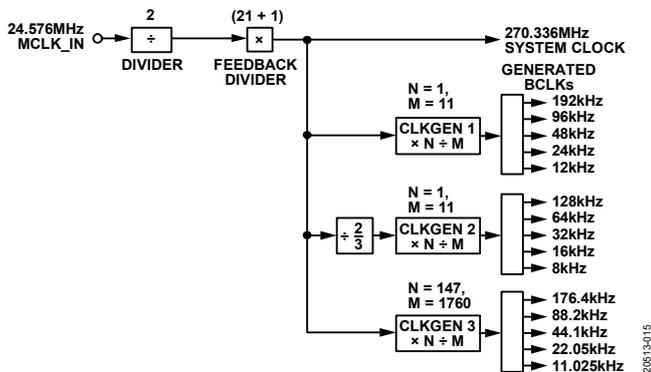


図 17. 代表的な PLL とマスタ・クロック・ジェネレータ、
MCLK_IN = 24.576MHz

オーディオ・クロック・ジェネレータ

オーディオ・クロック・ジェネレータは IOVDD 電力領域内にある独立したマスタ・クロック・ジェネレータ・ユニットで、常時オン・シリアル・ポートと PDM ポートにオーディオ・クロックを供給します。オーディオ・クロック・ジェネレータは MCLK_IN クロックを使って直接駆動される 2 つのクロック・ジェネレータ・ユニットを内蔵しており、フレーム・クロック (LRCLK) 信号およびビット・クロック (BCLK) 信号用に、最大で合計 10 種類のクロック・レートを生じます。オーディオ・クロック・ジェネレータが生成するビット・クロックの最大周波数は 3.072MHz に制限されているので、マスタ・モードにおけるシリアル・ポート 1 とシリアル・ポート 2 の最大シリアル・ポート・クロック・レートも制限されます (48kHz I^S)。オーディオ・クロック・ジェネレータのブロック図を図 18 に示します。

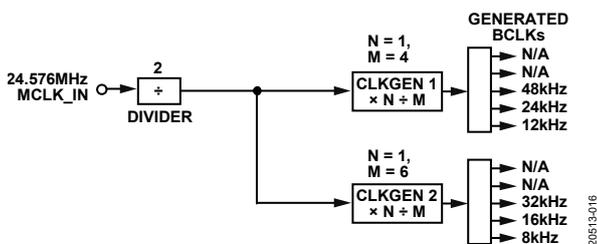


図 18. オーディオ・クロック・ジェネレータ、
MCLK_IN = 24.576MHz

マスタ・クロック出力

システム内の他の IC にマスタ・クロックを供給する必要がある場合に備えて、マスタ・クロック出力ピン (MCLK_OUT) が用意されています。マスタ・クロック出力ピンは、与えられた PLL リファレンス・クロックを分周して出力するためのプログラム可能なオプションを備えています。MCLK_OUT ピンは、その駆動強度がパターンと外部レシーバー回路を駆動するのに十分な値であれば複数の外部スレーブ IC を駆動できますが、MCLK_OUT ピンは、長いケーブルやその他の高インピーダンス伝送ラインを駆動するには設計されていません。MCLK_OUT は、PLL がイネーブルされている場合のみ機能します。次式により MCLK_OUT 周波数を決定してください。

$$MCLK\ Output\ Frequency = (PLL\ Nominal\ Input/4) \times N$$

ここで、

MCLK Output Frequency は MCLK_OUT クロックの周波数。

PLL Nominal Input は PLL 入力分周器通過後の PLL 入力クロック。

N は、MCLK_OUT 周波数選択レジスタで選択できます。

ジッタ除去回路

システム内にある IC 間のジッタを考慮に入れて内部クロックと外部クロック間のインターフェーシングを安全に処理し、ジッタに関係するクロック誤差を回避できるように、ジッタ除去回路が組み込まれています。ジッタ除去回路は自動化されており、ユーザによる介入や制御は必要ありません。

ピンの駆動強度、スルー・レート、プル設定

すべてのデジタル出力ピンは、駆動強度とスルー・レートを設定できます。このため、ドライバの電流ソーシング能力をアプリケーション回路に合わせて変更することが可能です。一般に、長い距離を介して高周波数クロックを駆動する際には、信号の完全性を向上させるために、より高い駆動強度が必要です。低周波数のクロック信号や距離が短いパターンを駆動する場合、あるいはシステムの電磁干渉 (EMI) を軽減したい場合には、低い駆動強度を使用します。クロック信号のエッジの上がり時間や立下がり時間が長すぎる場合は、スルー・レートを大きくすることができます。適切な信号完全性を実現して電磁放射を最小限に抑えるには、駆動強度およびスルー・レートの設定と、良好なミックスド・シグナル PCB 設計手法を組み合わせ使用します。

電源、電圧レギュレータ、ハードウェア・リセット

電源

ADAU1472 は、以下に示すように 4 系統の電源 (IOVDD、DVDD、CVDD、PVDD) を使用します。

- IOVDD (入出力電源) は、すべてのデジタル入力ピンとデジタル出力ピン用のリファレンス電圧を設定します。IOVDD は、1.8V - 5% から 3.3V + 10% までの任意の値とすることができます。IOVDD は、低消費電力動作をする常時オン領域の回路にも電力を供給します。
- DVDD (デジタル電源) は、DSP コアと、それを補助するデジタル・ロジック回路に電力を供給します。DVDD は 1.2V ± 5% とする必要があります。
- CVDD (メモリ電源) は、メモリとメモリ保持回路に電力を供給します。DVDD の供給中は、常に CVDD も供給されている必要があります。通常動作時は CVDD を 1.2V ± 5% とする必要がありますが、低消費電力スタンバイ時は消費電力を抑えてメモリを保持するために 0.8V まで下げることができます。
- PVDD (PLL 電源) は PLL に電力を供給し、電圧制御発振器 (VCO) 用のリファレンスとして機能します。PVDD は PLL 未使用時でも供給する必要があります。また、PVDD は 1.2V ± 5% とする必要があります。

表 23. 電源の詳細

電源	電圧	外部電源	説明
IOVDD (Input/Output)	1.8 V - 5% to 3.3 V + 10%	Yes	入出力サポートおよび常時オン電力領域用の電源
DVDD (Digital), CVDD (Analog), PVDD (PLL)	1.2 V ± 5%	Optional	内部 LDO レギュレータを使って IOVDD から生成可能

電圧レギュレータ

オンチップ・リニア・レギュレータは、DSP コアやその他の内部デジタル回路が必要とする 1.2V 電源を外部電源から生成することができます。最小限の消費電力でデバイスを動作させるには、オンチップ・レギュレータをオフにして外部スイッチング・レギュレータを使用します。リニア・レギュレータの電源は入出力電源 (IOVDD) から供給します。その範囲は 1.8 V - 5%~3.3V + 10%とすることができます。レギュレータ内部構造の簡略ブロック図を図 19 に示します。

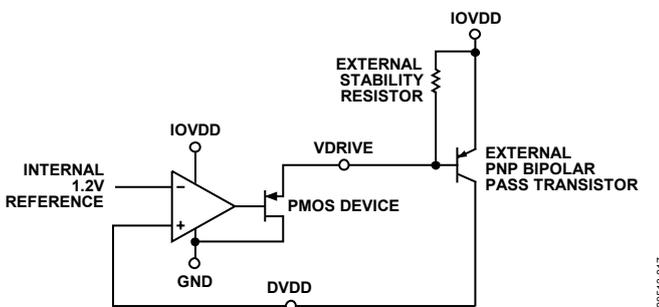


図 19. レギュレータ内部構造の簡略ブロック図 (外付け部品を含む)

リニア・レギュレータを正しく動作させるには、いくつかの外付け部品が必要です。PNP バイポーラ接合トランジスタは外部パス・デバイスとして動作し、高い IOVDD 電圧を低い DVDD 電圧に降圧するので、IC パッケージの電力が外部で消費されます。パス・トランジスタは、トランジスタの電流ゲイン (β) が 200 以上で、最も厳しい条件下で少なくとも 800mW を消費し、なおかつ IOVDD = 3.3V 時に 10mA の最大 VDRIVE 電流をシンクできるもの、あるいは IOVDD = 1.8V 時に 5mA の最大 VDRIVE 電流をシンクできるものを選んでください。トランジスタのエミッタとベースの間には 1k Ω の抵抗を配置して、負荷が変動してもレギュレータが安定するようにします。この抵抗は、最小レギュレータ負荷時でも、電流が常時 VDRIVE ピンに流れ込むようにする役割も果たします。外付け部品の接続を図 20 に示します。

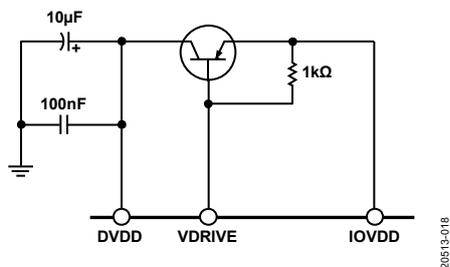


図 20. 電圧レギュレータ回路に必要な外付け部品

DVDD に外部電源を供給する場合は、VDRIVE ピンとグラウンドの間にプルダウン抵抗 (10k Ω 程度) を外付けします。電力設定レジスタを使って LDO をディスエーブルした場合を除き、レギュレータには IOVDD 電源から常にわずかな電流 (約 100 μ A) が流れ続けます。

レギュレータを使って外部 IC に電圧を供給しないでください。このレギュレータに対応する制御レジスタはありません。

電力モード

オンチップ・パワー・マネージャは、プロセッサの 4 つの代表的電力状態、つまりオフ、ハード・リセット、常時オン・モード、またはオンの各状態を管理します。メモリ・マップ・レジスタは、システムの電力状態とブート・モードを制御します。

常時オン動作

常時オン動作では、機能を制限して消費電力を抑えることができます。常時オン動作時に使用できる機能には、シリアル・ポート 1 とシリアル・ポート 2 の間のシリアル・オーディオ入出力ルーティング、6 つの PDM マイクロフォンの入力、および音声区間検出などがあります。

このモードでは IOVDD だけが供給され、DVDD はシャット・オフされます。最初の 2 つのシリアル・ポート、2 つの PDM マイクロフォン入力、音声検出、システム・イベント・コントローラ、オーディオ・クロック・ジェネレータ、SPI スレープ・インターフェースを含め、低消費電力のチップ・ペリフェラルだけに電力が供給されます。DSP コアを含む他のすべてのシステム・ブロックはシャット・オフされます。このモードでもオプションのシステム・メモリ電源 (CVDD) は供給可能で、システム・メモリをスリープ/ウェイク・サイクリングのシステム状態に維持します。

通常消費電力モードへ遷移するために、音声ディテクタによって内部でウェイクアップ信号を生成することができます。この動作モードでは、電力状態を遷移させる必要がある場合、2 本の専用ピンが外部電源へ信号を送ります。CVDD 電源がオンになると CVDD_ON ピンがハイになり、DVDD 電源がオンになると DVDD_ON ピンがハイになります。

消費電力の削減

IC のすべてのセクションはクロック・ゲート機能を備えており、消費電力を小さくするために個々の機能ブロックをディスエーブルできます。オプションでパワー・ダウンできる機能ブロックには以下のものが含まれます。

- マスタ・クロック・ジェネレータ・ユニット
- S/PDIF レシーバーとトランスミッタ
- シリアル・データ入出力ポート
- ASRC
- PDM マイクロフォン入出力

ハードウェア・リセット

アクティブ・ローのハードウェア・リセット・ピン (RESET) は、デバイスのリセットを外部からトリガするために使用できます。このピンをグラウンドに接続すると、デバイス内のすべての機能ブロックがディスエーブルされ、電流消費が劇的に減少します。RESETピンをIOVDDに接続すると、すべての制御レジスタがリセットされてパワーオン時のデフォルト値に戻ります。RAMの状態がリセット後にクリアされることは保証されていません。したがって、メモリのクリアは、外部のホスト・プロセッサや DSP プログラムを使用して手動で行う必要があります。

RESET信号ライン上にチャタリングが生じないように、システム・ハードウェア設計時には外部リセット生成回路を実装します。プッシュボタンを接続することにより、手動でクリーンなRESET信号を生成する方法を追加した ADM811 マイクロプロセッサ監視回路の例を図 21 に示します。アプリケーション・レベルの信頼性を確保するために、弱いプルダウン抵抗 (数 kΩ 程度) を RESETラインに配置して、リセット監視回路が故障した場合でもデバイスが確実にリセット状態に維持されるようにします。

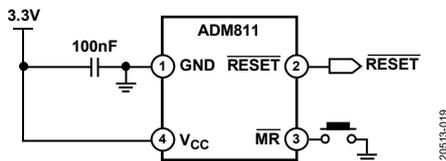


図 21. 手動リセット生成回路の例

システムにハードウェア・リセット機能が必要ない場合は、弱いプルアップ抵抗 (数 kΩ 程度) を使い、RESETピンをハイにしてIOVDD電源に接続します。このデバイスは、RESETピンが常時ハイになっている場合でも正常に起動するように設計されています。

ソフトウェア・リセット

ソフト・リセット信号はソフトウェアによって生成され、ハードウェア RESETピンをグラウンドに接続した場合と同様の状態

にデバイスを置くことができます。PLL レジスタ、消費電力制御レジスタ、およびパニック・マネージャ・レジスタを除き、すべての制御レジスタはデフォルト値にリセットされます。

リセットはパニック・マネージャによって生成することもでき、その場合はエラー発生後に自動的にリセットが行われます。

初期化

パワーアップ・シーケンス

まず、他のどの電源よりも先に IOVDD を供給します。IOVDD が安定したら、CVDD、DVDD、および PVDD を供給します。CVDD は、DVDD よりも先か同時に供給することができ、DVDD が供給されている間は常に CVDD も供給する必要があります。DVDD と PVDD は同時に供給することを推奨します。内部レギュレータを使用する場合は、IOVDD の供給後に、内部レギュレータが外部パス・トランジスタと連携して DVDD、CVDD、PVDD を生成します。詳細については、電源のセクションを参照してください。

各電源領域は、システム動作前に確実に各電源がその公称レベルに達するように、自前のパワーオン・リセット回路を備えています。デジタル回路は、IOVDD、DVDD、および CVDD 電源がパワーオン条件を満たすまでリセット状態に維持されます。

システム・デバッグ

JTAG デバッグ・ポートは、DSP コアの OCD 機能用の接続機能を提供します。サポートされている JTAG プロンプトの一覧は、Cadence Tensilica の Web サイトに掲載されています。チップのバウンダリ・スキャン機能用に、専用の JTAG テスト・ポートを使用することも可能です。

開発ツール

Xtensa® Xplorer IDE は Eclipse™ プラットフォームをベースとするグラフィック・インターフェースを備えており、最適化 Xtensa C/C++コンパイラが組み込まれています。詳細については、Cadence Tensilica 開発ツールのドキュメントを参照してください。

アプリケーション情報

PCB 設計時の考慮事項

グラウンド・プレーン

信号の完全性を維持して EMI 放射を最小限に抑えるには、グラウンド・プレーンが必要です。PCB にグラウンド・プレーンが 2 層ある場合は、ビアをボード全体に均等に配置して、それらのプレーン同士を接続できます。

電源プレーンとバイパス・コンデンサ

所定の名前が付いた電源 (IOVDD、DVDD、CVDD、PVDD) は、それぞれ分離したプレーンとする必要があります。

各電源ピンは、100nF のコンデンサ 1 個を介して、最も近い適切なグラウンド・ピンかグラウンド・プレーンにバイパスします。また、可能な場合は、常にコンデンサの両側接続部分をできるだけ短くし、ビアを使わないで 1 つのレイヤ上でパターンを続けてください。パッケージの 4 つのコーナーには、すべてバイパス・コンデンサを配置することが重要です。ボール・グリッドの外周部に配置された電源ピンについては、PCB の同じ側にコンデンサを置いて、電源ピンまたはグラウンド・ピンからの距離を等しくするか、等距離にできない場合は電源ピンまでの距離をわずかに短くします (図 22 を参照)。放熱のための接続はコンデンサの反対側のプレーンで行ってください。

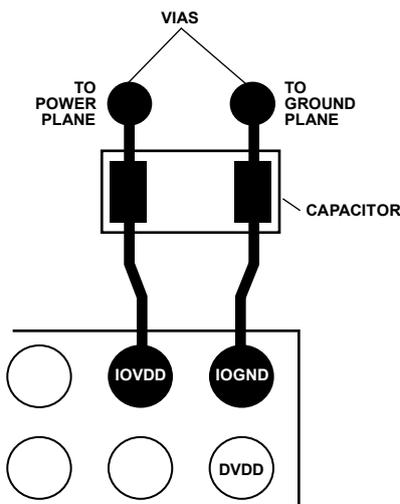


図 22. 電源バイパス・コンデンサの推奨レイアウト

ボール・グリッドの内側に配置された電源ピンについては、PCB の反対側にコンデンサを配置します。電源プレーンとの接続、およびグラウンド・プレーンとの接続にはパッド内のビアを使用します。バイパス・コンデンサの数は各電源レールあたり 2 個に減らせますが、コンデンサは電源ピン・クラスターの反対側に置く必要があります (図 23 を参照)。

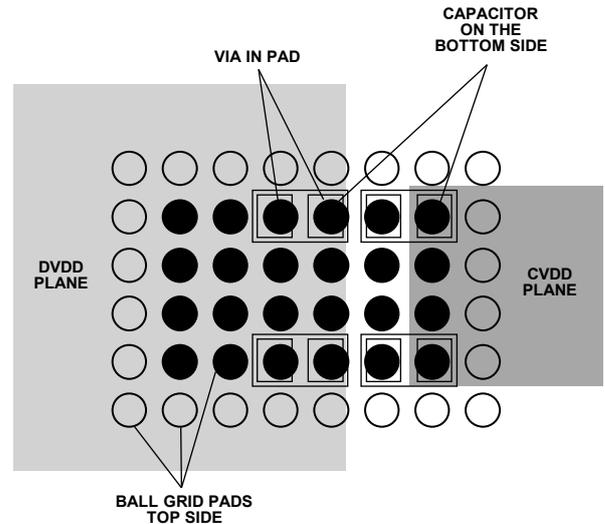


図 23. グリッド内電源用バイパス・コンデンサのレイアウト

通常は、電源ピンとグラウンド・ピンの各ペアに対して 100nF のコンデンサを 1 個配置すれば十分です。ただし、システム内の高周波ノイズが大きい場合は、更に 10nF のコンデンサを並列に追加してください。その場合は、ADAU1472 と 100nF のコンデンサの間に 10nF のコンデンサを配置し、100nF のコンデンサの反対側で放熱用の接続を行います。

突然の電流スパイク発生に備えて電流リザーバを確保するために、チップの各コーナーには、各電源レール用に 1 μ F のコンデンサを使用します。例えば、DVDD、IOVDD、PVDD、および CVDD 電源ピンはボール・グリッドの各象限に配置されているので、対応する電源プレーンごとに 1 μ F のバルク・コンデンサを 4 個使用します。

フェライト・ビーズによる電源絶縁

電源の絶縁にはフェライト・ビーズを使用できます。フェライト・ビーズ使用時は、図 24 に示すように、常にローカル高周波デカップリング・コンデンサの外側にビーズを配置します。電源ピンとデカップリング・コンデンサの間にフェライト・ビーズを置くと、グラウンドへの適切なリターン・パスがないので、高周波ノイズが反射されて IC 内に戻ってしまいます。結果として EMI が増加し、ノイズの多い電源となります。

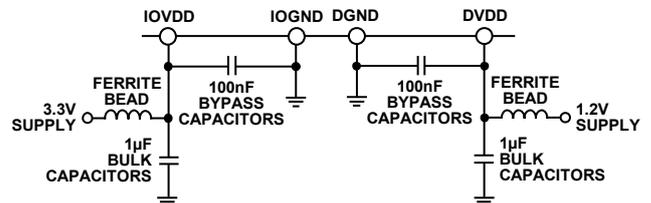


図 24. フェライト・ビーズを使用した電源絶縁回路

PCB 製造のガイドライン

ウェーハ・レベル・チップ・スケール・パッケージ (WLCSP) に関する推奨事項については、アプリケーション・ノート AN-617 を参照してください。アンダーフィルの使用を推奨します。アンダーフィルは WLCSP パッケージの信頼性を向上させます。

代表的アプリケーションのブロック図

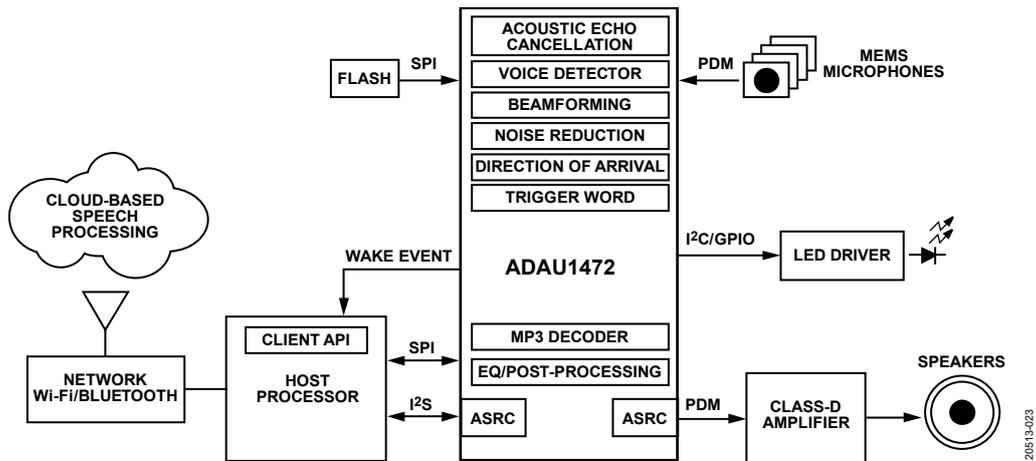


図 25. 音声インターフェース・システムの例 (PDM 入出力)

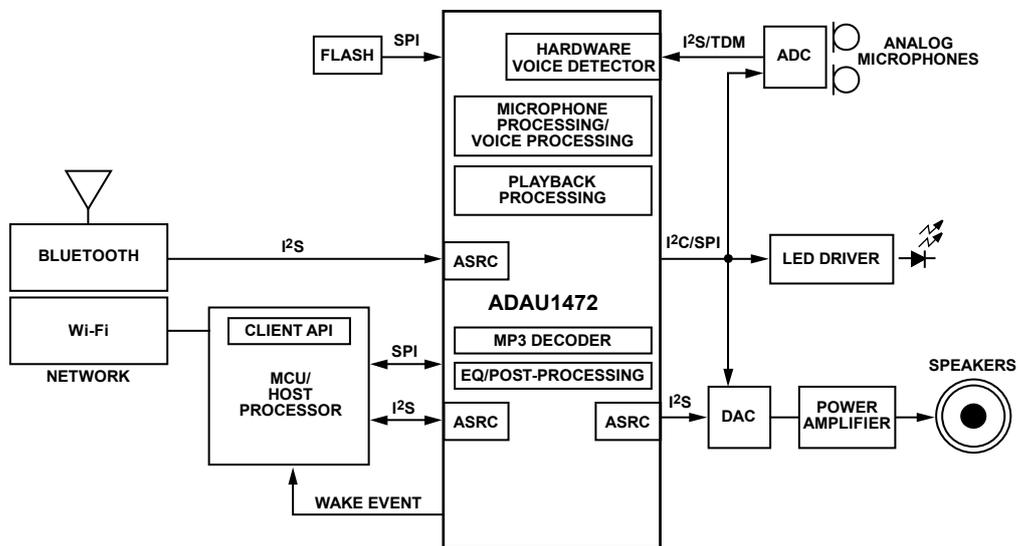


図 26. 音声インターフェース・システムの例 (外部 ADC/DAC)

外形寸法

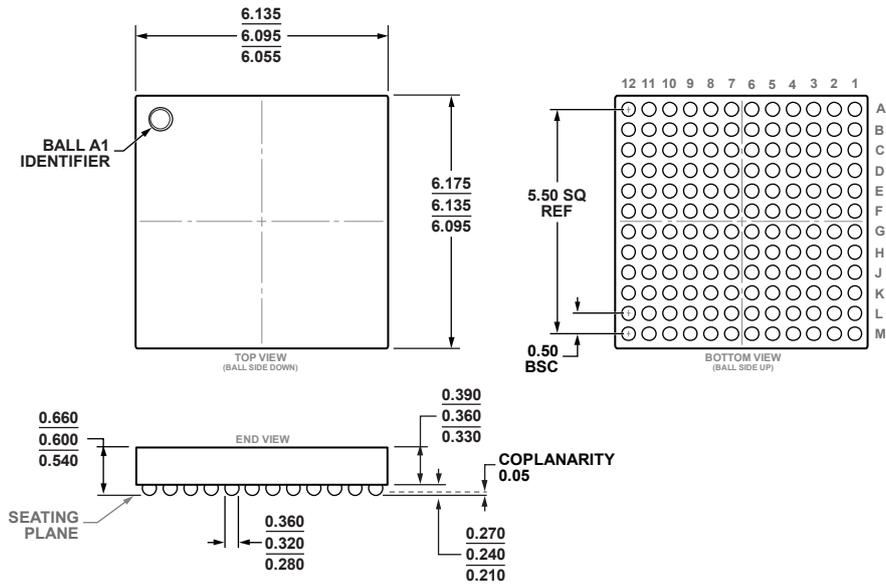


図 27. 144 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-144-2)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADAU1472BCBZRL	0°C to 85°C	144-Ball Wafer Level Chip Scale Package [WLCSP]	CB-144-2
EVAL-ADAU1472Z		Evaluation Board	

¹ Z = RoHS 準拠製品

PC は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。