

14ビット、105MSPSのμModule

特長

- ▶ デュアルチャンネル同時サンプリングADC
- ▶ 完全差動アンプ/ADCドライバを内蔵
- ▶ シングルエンド/差動変換
- ▶ パッケージ・フットプリントが7mm × 6mmの72ボール CSP_BGA
- ▶ ディスクリット・ソリューションと比較してフットプリントを1/6に削減
- ▶ V_{OCM} を生成する内蔵リファレンス回路
- ▶ CMOS、DDR CMOS、またはDDR LVDS出力
- ▶ オプションのデータ出力ランダムマイザ
- ▶ オプションのクロック・デューティ・サイクル・スタビライザ
- ▶ シャットダウンとナップ・モード
- ▶ 設定用のシリアルSPIポート

- ▶ GPSレシーバー
- ▶ 非破壊検査
- ▶ 携帯型医療イメージング
- ▶ マルチチャンネル・データ・アキュイジション

概要

ADAQ8092は、14ビット、105MSPSの高速デュアルチャンネル・データ・アキュイジション (DAQ) μModule®ソリューションです。このデバイスには、シグナル・コンディショニング、A/Dコンバータ (ADC) ドライバ、電圧リファレンス、およびADCが、システム・イン・パッケージ (SIP) 技術を用いて1つのパッケージに収められています。μModuleソリューションは、設計負荷、部品選択、最適化、レイアウトなどの作業を設計者からデバイスに移すことで、高速データ・アキュイジション・システムの開発を簡略化します。ADAQ8092により、フットプリントを6分の1に縮小できます。

内蔵の電源デカップリング・コンデンサにより電源除去性能が向上しているため、堅牢なDAQソリューションが実現できます。ADAQ8092の動作温度範囲は-40°C~+105°Cです。

アプリケーション

- ▶ 通信
- ▶ セルラ基地局

機能ブロック図

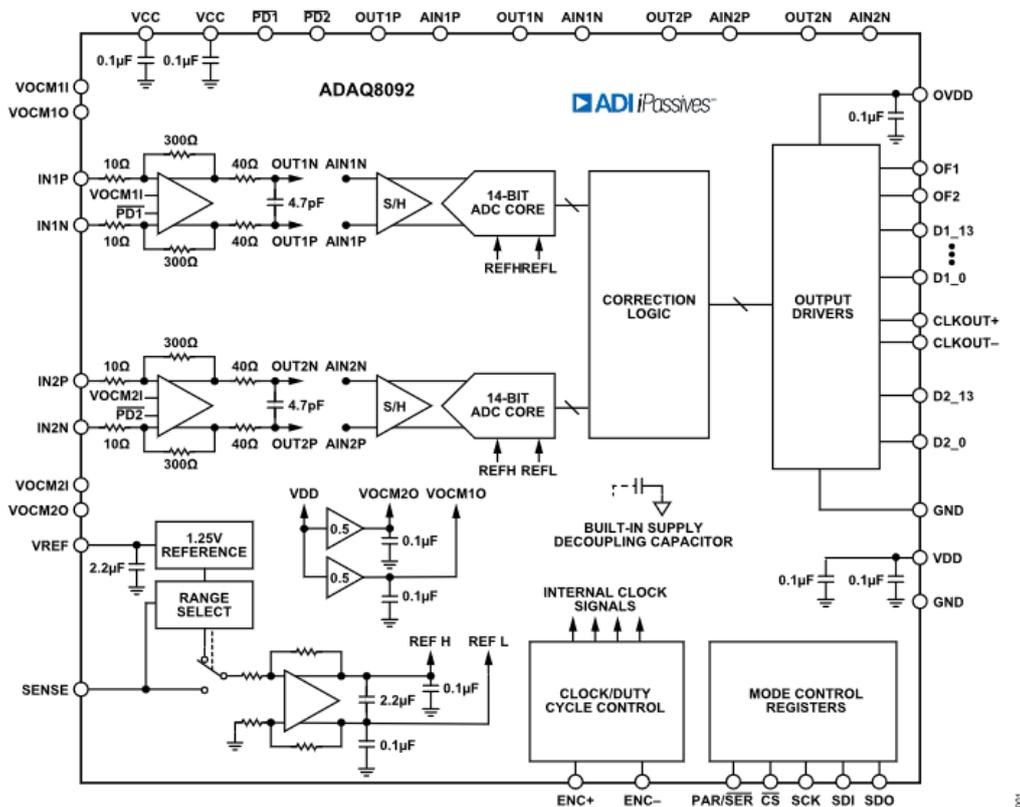


図 1.

Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社の提供する情報は、「そのまま」正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

目次

特長.....	1	アナログ入力.....	20
アプリケーション.....	1	ローパス・フィルタ.....	20
概要.....	1	エンコード入力.....	20
機能ブロック図.....	1	クロック・デューティ・サイクル・スタビライザ.....	21
仕様.....	3	出力モード.....	21
タイミング仕様.....	5	オーバーフロー・ビット.....	22
絶対最大定格.....	9	出力クロックの位相シフト.....	22
熱抵抗.....	9	データ・フォーマット.....	22
静電放電 (ESD) 定格.....	9	デジタル出力ランダムマイザ.....	22
ESDに関する注意.....	9	ビット極性の切替え.....	23
ピン配置およびピン機能の説明.....	10	デジタル出力テスト・パターン.....	23
フル・データ・レートCMOS出力モード.....	10	出力のディセーブブル.....	23
ダブル・データ・レートCMOS出力モード.....	12	スリープ・モード.....	23
ダブル・データ・レートLVDS出力モード.....	14	ナップ・モード.....	23
代表的な性能特性.....	16	シリアル・プログラミング・モード.....	23
用語の定義.....	19	パラレル・プログラミング・モード.....	24
積分非直線性 (INL).....	19	ソフトウェア・リセット.....	24
微分非直線性 (DNL).....	19	電源のデカップリング.....	24
オフセット誤差 (OE).....	19	パワーアップ・シーケンス.....	24
オフセット誤差ドリフト.....	19	シリアル・プログラミング・モードのレジスタ・マップ.....	25
ゲイン誤差.....	19	レジスタA0: リセット・レジスタ (アドレス0X00).....	25
ダイナミック・レンジ.....	19	レジスタA1: パワーダウン・レジスタ (アドレス0X01).....	25
スプリアスフリー・ダイナミック・レンジ (SFDR).....	19	レジスタA2: タイミング・レジスタ (アドレス0X02).....	25
相互変調歪み (IMD).....	19	レジスタA3: 出力モード・レジスタ (アドレス0X03).....	26
S/N比 (SNR).....	19	レジスタA4: データ・フォーマット・レジスタ (アドレス0X04).....	26
信号/ノイズ + 歪み (SINAD).....	19	アプリケーション情報.....	28
有効ビット数 (ENOB).....	19	外形寸法.....	30
同相ノイズ除去比 (CMRR).....	19	オーダー・ガイド.....	30
電源電圧変動除去比 (PSRR).....	19	評価用ボード.....	30
動作原理.....	20		
回路説明.....	20		
リファレンス.....	20		
SENSE.....	20		

改訂履歴

2022年7月 Revision 0: 初版

仕様

特に指定のない限り、VCC = 3.3V、VDD = OVDD = 1.8V、内部リファレンス、チャンネル1入力電圧 (V_{IN1P})、チャンネル2入力電圧 (V_{IN2P}) = 0.1V p-p (図33参照)、SENSE = 0V、サンプリング周波数 (f_s) = 90MSPS、すべての仕様値はT_{AMB} = 25°Cでの値。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位 ¹
RESOLUTION	ノー・ミス・コード	14			Bits
ANALOG INPUT					
Input Resistance (IN1P, IN1N, IN2P, IN2N)	差動 シングルエンド		20 19.4		Ω Ω
Input Capacitance	IN1P, IN1N, IN2P, IN2N		1		pF
Analog Input Voltage Range (V _{IN1P} , V _{IN2P})	図33および図34を参照			0.1	V p-p diff
Analog Input Common-Mode Voltage Range (V _{IN,CM})		0.3		1.2	V
THROUGHPUT					
Throughput Rate		1		105	MSPS
Sample-and-Hold Acquisition Delay Time			0		ns
Sample-and-Hold Jitter	シングルエンド・エンコード 差動エンコード		0.08 0.10		ps rms ps rms
DC ACCURACY					
Integral Linearity Error (INL)	入力トーン : 500kHzサイン波		-0.5~+1.7		LSB
Differential Linearity Error (DNL)	入力トーン : 500kHzサイン波		±0.3		LSB
Transition Noise			3.3		LSB _{RMS}
Gain Error	内部リファレンス		±6		%FS
Gain Error Drift			±25		ppm/°C
Offset Error			±3		mV
Offset Error Drift			±20		μV/°C
Common-Mode Rejection Ratio (CMRR)			84		dB
Power-Supply Rejection Ratio (PSRR)					
VCC			94		dB
OVDD			80		dB
VDD			59		dB
AC ACCURACY	入力周波数 (f _{IN}) = 65kHz				
Single-Ended Input Configuration	図33参照				
Effective Number of Bits (ENOB)			9.7		Bits
Signal-to-Noise Ratio (SNR)			60.3		dBFS
Signal-to-Noise-and-Distortion (SINAD)			60.2		dBFS
Spurious-Free Dynamic Range (SFDR)			80.8		dBFS
Differential Input Configuration	図34参照				
ENOB		9.3	9.7		Bits
SNR		57.8	60.5		dBFS
SINAD		57.3	60		dBFS
SFDR	65MHz		75		dBFS
Crosstalk			80		dBc
f _{3dB} , Analog Input to ADC	図33参照		186		MHz
REFERENCE					
VREF, Internal Reference Output Voltage	出力電流 (I _{OUT}) = 0mA	1.225	1.250	1.275	V
Output Temperature Drift			±25		ppm/°C
Output Impedance	-600μA < I _{OUT} < +1mA		4		Ω
Line Regulation	1.7V < VDD < 1.9V		0.6		mV/V
ENCODE INPUTS (ENC+, ENC-)					
Differential Encode Mode	ENC-はGNDに接続されていません				
Differential Input Voltage (V _{ID}) ²		0.2			V

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位 ¹
Common-Mode Input Voltage (V_{ICM})			1.2		V
	外部設定 ²	1.1		1.6	V
Input Voltage Range (V_{IN})	ENC+およびENC-とGNDの差	0.2		3.6	V
Input Resistance (R_{IN})			10		k Ω
Input Capacitance (C_{IN}) ²			3.5		pF
Single-Ended Encode Mode	ENC-はGNDに接続されています				
High Level Input Voltage (V_{IH})		1.2			V
Low Level Input Voltage (V_{IL})				0.6	V
Input Voltage Range (V_{IN})	ENC+とGNDの差	0		3.6	V
Input Resistance (R_{IN})			30		k Ω
Input Capacitance (C_{IN}) ²			3.5		pF
DIGITAL INPUT	\overline{CS} 、SDI、SCK				
High Level Input Voltage (V_{IH})	VDD = 1.8V	1.3			V
Low Level Input Voltage (V_{IL})	VDD = 1.8V			0.6	V
Input Current (I_{IN})	VIN = 0V~3.6V	-10		+10	μ A
Input Capacitance (C_{IN}) ²			3		pF
PAR/ \overline{SER} Input Leakage Current	0V < PAR/ \overline{SER} < VDD	-1.5		+1.5	μ A
SENSE Input Leakage Current	SENSE = 0Vまたは0.625V	-3		+3	μ A
SDO OUTPUT	シリアル・プログラミング・モード、オープンドレイン出力。SDO使用の場合は2k Ω のプルアップ抵抗が必要。				
Logic-Low Output Resistance to GND (R_{OL})	VDD = 1.8V、SDO = 0V		200		Ω
Logic-High Output Leakage Current (I_{OH})	SDO = 0V~3.6V	-10		+10	μ A
Output Capacitance (C_{OUT}) ²			3		pF
DIGITAL DATA OUTPUTS	フル・データ・レート・モードおよびダブル・データ・レート (DDR) モード				
Output Voltage					
High Level	OVDD = 1.8V、 I_{OUT} = -500 μ A	1.75	1.79		V
	OVDD = 1.5V、 I_{OUT} = -500 μ A		1.488		V
	OVDD = 1.2V、 I_{OUT} = -500 μ A		1.185		V
Low Level	OVDD = 1.8V、 I_{OUT} = 500 μ A		0.010	0.050	V
	OVDD = 1.5V、 I_{OUT} = 500 μ A		0.010		V
	OVDD = 1.2V、 I_{OUT} = 500 μ A		0.010		V
LVDS Mode					
Differential Output Voltage (V_{OD})	100 Ω 差動負荷、3.5mAモード	247	350	454	mV
	100 Ω 差動負荷、1.75mAモード		175		mV
Common-Mode Output Voltage (V_{OCM})	100 Ω 差動負荷、3.5mAモード	1.125	1.25	1.375	V
	100 Ω 差動負荷、1.75mAモード		1.25		V
On-Chip Termination (R_{TERM})	終端が有効、OVDD = 1.8V		100		Ω
POWER-DOWN MODE					
ADC Driver ($\overline{PD1}$ 、 $\overline{PD2}$)					
Low	パワーダウン・モード		<0.8		V
High	イネーブル、通常動作時		>1.3		V
Turn-Off Time			1		μ s
Turn-On Time			1		μ s
VCC Current (I_{VCC})	パワーダウン・モード		3.6		mA
ADC	スリープ・モード		1		mW
	ナップ・モード		16		mW
POWER REQUIREMENTS					
VDD	フル・データ・レート・モードおよびDDRモード	1.7	1.8	1.9	V
	LVDS出力モード	1.7	1.8	1.9	V

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位 ¹
VCC	全出力モード	3.2		5	V
OVDD	フル・データ・レート・モードおよびDDRモード	1.1	1.8	1.9	V
	LVDSモード	1.7	1.8	1.9	V
Total Standby Current	静的、すべてのデバイスがイネーブル		155		mA
ADAQ8092 Current Draw	サイン波入力				
VDD Current (I _{VDD})	フル・レートCMOSモード、DDR CMOSモード		83	92	mA
	LVDS 1.75mAモード		85		mA
	LVDS 3.5mAモード		86	97	mA
OVDD Current (I _{OVDD}) ³	フル・レートCMOSモード、DDR CMOSモード		10		mA
	LVDS 1.75mAモード		35		mA
	LVDS 3.5mAモード		66	76	mA
I _{VCC}	全出力モード		70		mA
Total Power Dissipation	フルCMOSおよびDDR CMOS		394		mW
OPERATING TEMPERATURE RANGE	T _{MIN} ~T _{MAX}	-40		+105	°C

1 FSはフルスケールを表します。

2 設計上の性能は確保していますが、テストの対象外です。

3 I_{OVDD}の実際の値はデータ・ラインの寄生容量の関数で、理想的にはグラウンドに対しラインあたり5pF未満です。

タイミング仕様

VDD = OVDD = 1.8V、f_s = 105MHz、LVDS出力、差動ENC+/ENC- = 2V p-pサイン波。特に指定のない限り、すべての仕様値はT_{AMB} = 25°Cでの値。

表 2. デジタル・インターフェースのタイミング

パラメータ	テスト条件/コメント	記号	最小値	代表値	最大値	単位
SAMPLING FREQUENCY ¹		f _s	1		105	MHz
ENC ²						
Low Time	デューティ・サイクル・スタビライザ・オフ	t _L	4.52	4.76	500	ns
	デューティ・サイクル・スタビライザ・オン		2	4.76	500	ns
High Time	デューティ・サイクル・スタビライザ・オフ	t _H	4.52	4.76	500	ns
	デューティ・サイクル・スタビライザ・オン		2	4.76	500	ns
SAMPLE-AND-HOLD ACQUISITION DELAY TIME		t _{AP}		0		ns
DIGITAL DATA OUTPUTS (CMOS MODES)	フル・データ・レートおよびダブル・データ・レート					
ENC± to Data Delay ²	負荷容量 (C _L) = 5pF	t _D	1.1	1.7	3.1	ns
ENC± to CLKOUT± Delay ²	C _L = 5pF	t _C	1	1.4	2.6	ns
DATA to CLKOUT± Skew ²	t _D - t _C	t _{SKEW}	0	0.3	0.6	ns
Pipeline Latency	フル・データ・レート・モード			6		Cycles
	ダブル・データ・レート・モード			6.5		Cycles
DIGITAL DATA OUTPUTS (LVDS Mode)						
ENC± to Data Delay ²	C _L = 5pF	t _D	1.1	1.8	3.2	ns
ENC± to CLKOUT± Delay ²	C _L = 5pF	t _C	1	1.5	2.7	ns
DATA to CLKOUT± Skew ²	t _D - t _C	t _{SKEW}	0	0.3	0.6	ns
Pipeline Latency				6.5		Cycles
SPI PORT TIMING ²						
SCK Period	書込みモード	t _{SCK}	40			ns
	リードバック・モード、SDO容量 (C _{SDO}) = 20pF、プルアップ抵抗 (R _{PULLUP}) = 2kΩ		250			ns
CS ⁻ to SCK Setup Time		t _S	5			ns

パラメータ	テスト条件/コメント	記号	最小値	代表値	最大値	単位
SCK to $\overline{\text{CS}}$ Setup Time		t_H	5			ns
SDI Setup Time		t_{DS}	5			ns
SDI Hold Time		t_{DH}	5			ns
SCK Falling to SDO Valid	リードバック・モード、 $C_{SDO} = 20\text{pF}$ 、 $R_{PULLUP} = 2\text{k}\Omega$	t_{DO}			125	ns

- 1 推奨動作条件。
- 2 設計上の性能は確保していますが、テストの対象外です。

タイミング図

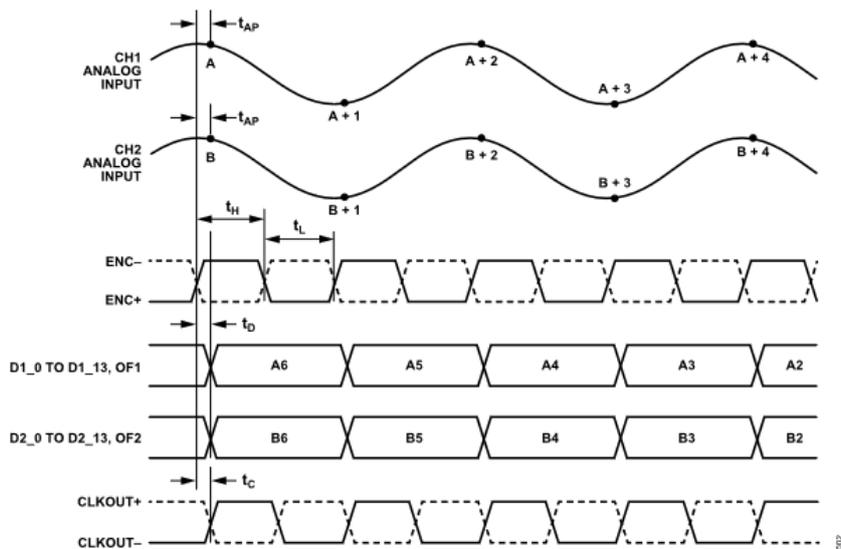


図 2. フル・レートCMOS出力モードのタイミング (全出力がシングルエンドかつCMOSレベル)

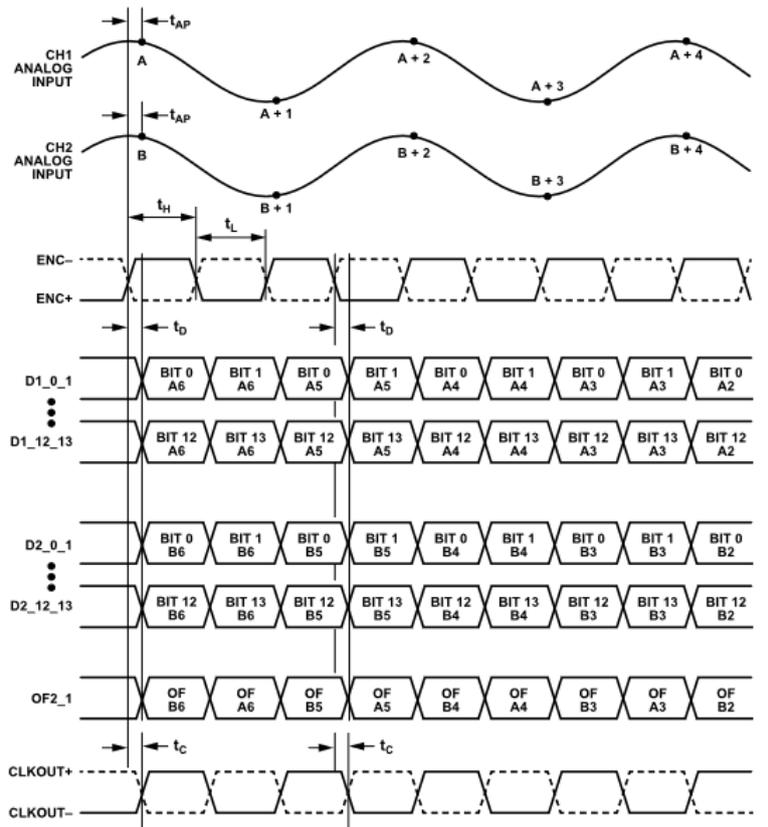


図 3. ダブル・データ・レートCMOS出力モードのタイミング（全出力がシングルエンドかつCMOSレベル）

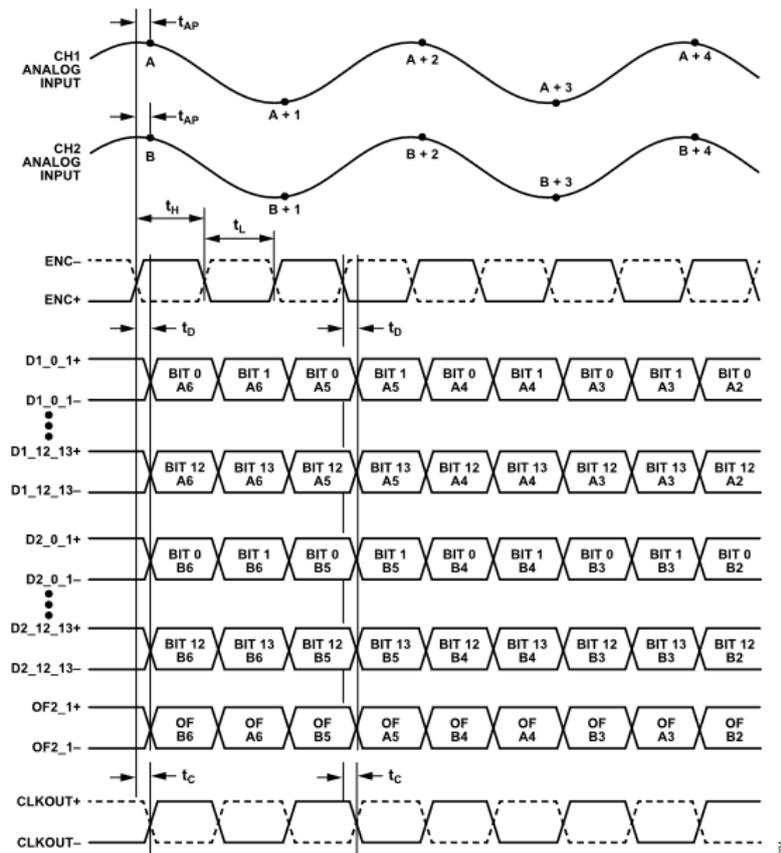


図 4. ダブル・データ・レートLVDS出力モードのタイミング（全出力が差動かつLVDSレベル）

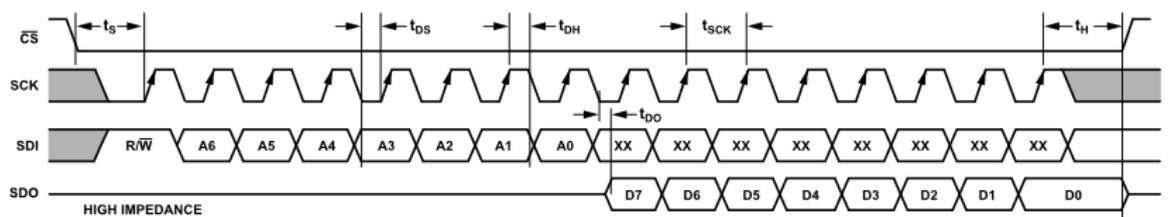


図 5. SPIポートのタイミング (リードバック・モード)

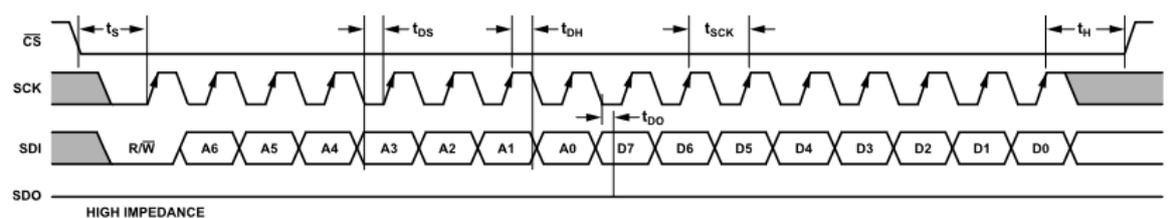


図 6. SPIポートのタイミング (書込みモード)

絶対最大定格

表 3.

Parameter	Rating
Analog Inputs	VCC + 0.8 V, or -0.8 V
INxP, INxN	2 V
INxP - INxN, INxN - INxP	VCC + 0.5 V
VOCMxI/VOCMxO	VDD + 0.2 V
AINx	VDD + 0.2 V
Digital Inputs	3.9 V
Supply Voltages	
VCC	5.5 V
VDD, VDDO	2 V
Storage Temperature Range	-55°C to +125°C
Junction Temperature	150°C
Lead Temperature Soldering as per JEDEC J-STD-020	260°C reflow

上記の絶対最大定格以上のストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。これはストレス定格のみに該当するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を意味するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

表 4. 熱抵抗

Package type ¹	θ_{JA}	θ_{JC_TOP}	θ_{JC_BOTTOM}	θ_{JB}	Ψ_{JT}	Ψ_{JB}	Unit
BC-72-5	41.8	31.8	17.5	21.9	12.9	21.6	°C/W

1 テスト条件1：熱抵抗のシミュレーション値は、1S0P JEDEC PCBを使用した θ_{JC_TOP} を除き、ビアを備えた2S2P JEDEC PCBを使用した場合の値です。

特に指定のない限り、表4に仕様規定されている熱抵抗値はJEDEC仕様に基づいて計算されており、JESD51-12に準拠して使用する必要があります。

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADAQ8092のESD定格

表 5. ADAQ8092、72ボールCSP_BGA

ESD Model	Withstand Voltage (V)	Class
HBM	±3000	2
FICDM	±1500	C3

ESDに関する注意



ESD（静電気放電）に敏感なデバイスです。帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。この製品は特許取得済みまたは独自の保護回路を備えていますが、高エネルギーESDにさらされるとデバイスに損傷が生じる可能性があります。したがって、性能低下や機能低下を避けるために、適切なESD予防措置を講じる必要があります。

ピン配置およびピン機能の説明

フル・データ・レートCMOS出力モード

ADAQ8092
TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9
A	IN1P	AIN1N	AIN1P	GND	SENSE	D1_13	D1_10	D1_7	D1_4
B	IN1N	OUT1N	OUT1P	VDD	VREF	D1_12	D1_9	D1_6	D1_3
C	$\overline{\text{PD1}}$	VOCM1I	VOCM1O	VCC	GND	D1_11	D1_8	D1_5	D1_2
D	PAR/ $\overline{\text{SER}}$	OF1	OF2	SDO	SCK	D1_0	D1_1	OVDD	CLKOUT+
E	$\overline{\text{PD2}}$	GND	GND	$\overline{\text{CS}}$	SDI	D2_13	D2_12	GND	CLKOUT-
F	IN2P	VOCM2I	VOCM2O	VCC	GND	D2_11	D2_10	D2_9	D2_8
G	IN2N	OUT2N	OUT2P	GND	ENC-	D2_7	D2_6	D2_5	D2_4
H	GND	AIN2N	AIN2P	VDD	ENC+	D2_0	D2_1	D2_2	D2_3

007

図 7. ピン配置 (フル・データ・レートCMOS出力モード)

表 6. ピン機能の説明 (フル・データ・レートCMOS出力モード)

ピン番号	記号	タイプ ¹	説明
A1	IN1P	AI	ADCドライバの非反転入力、チャンネル1。
A2	AIN1N	AI	ADCの反転アナログ入力、チャンネル1。
A3	AIN1P	AI	ADCの非反転アナログ入力、チャンネル1。
A4, C5, E2, E3, E8, F5, G4, H1	GND	P	VCC、VDD、OVDDのグラウンド・リファレンス。
A5	SENSE	AI	内部リファレンス。グラウンドに接続すると内部リファレンスが選択されます。あるいは、このピンに0.625Vを印加すると入力範囲が1V p-pになります。VDDに接続すると入力範囲が2V p-pになります。
B1	IN1N	AI	ADCドライバの反転入力、チャンネル1。
B2	OUT1N	AO	ADCドライバの反転出力、チャンネル1。
B3	OUT1P	AO	ADCドライバの非反転出力、チャンネル1。
B4, H4	VDD	P	ADCの電源ピン。VDDには0.1μFのデカップリング・コンデンサが2個あります。
B5	VREF	AO	リファレンス電圧出力。VREFは通常1.25Vで、2.2μFのバイパス・コンデンサが組み込まれています。
C1	$\overline{\text{PD1}}$	P	パワーダウン・ピン、チャンネル1。このピンがフロート状態またはVCCに直接接続されている場合、チャンネル1のADCドライバは通常（アクティブ）動作モードになります。このピンがGNDに接続されている場合、チャンネル1のADCドライバは高インピーダンス出力の低消費電力シャットダウン状態になります。
C2	VOCM1I	AI	ADCドライバ、チャンネル1コモンモード電圧、チャンネル1。
C3	VOCM1O	AO	コモンモード・バイアス出力、公称値はVDD/2。アナログ入力のコモンモードをバイアスするために使用。チャンネル1。
C4, F4	VCC	P	ADCドライバ電源。VCCには0.1μFのデカップリング・コンデンサが2個あります。
D1	PAR/ $\overline{\text{SER}}$	P	プログラミング・モード選択ピン。このピンをグラウンドに接続するとシリアル・プログラミング・モードが有効化されます。 $\overline{\text{CS}}$ 、SCK、SDI、SDOは共にシリアル・インターフェースとなり、アナログ/デジタル変換動作モードを制御します。PAR/ $\overline{\text{SER}}$ をVDDに接続するとパラレル・プログラミング・モードが有効化されます。この場合、 $\overline{\text{CS}}$ 、SCK、SDI、SDOはパラレル・ロジック入力となり、より少数のアナログ/デジタル変換動作モードを制御します。PAR/ $\overline{\text{SER}}$ はグラウンドまたはVDDに直接接続する必要があり、ロジック信号では駆動できません。
D2	OF1	DO	チャンネル1のオーバーフロー/アンダーフロー・デジタル出力。OF1はオーバーフローまたはアンダーフローが発生した場合にハイになります。
D3	OF2	DO	チャンネル2のオーバーフロー/アンダーフロー・デジタル出力。OF2はオーバーフローまたはアンダーフローが発生した場合にハイになります。
D4	SDO	DO/DI	シリアル・インターフェース・データ出力ピンまたはパワーダウン・ピン。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = 0V) の場合、SDOはオプションのシリアル・インターフェース・データ出力になります。SDOのデータはシリアル・プログラミング・モードのレジスタからリードバックされ、SCKの立下がりエッジでラッチできます。SDOはオープンドレインのNMOS出力で、2kΩの外部プルアップ

ピン番号	記号	タイプ ¹	説明
D5	SCK	DI	抵抗で1.8V~3.3Vに引き上げる必要があります。シリアル・プログラミング・モードのレジスタからのリードバックが不要な場合は、ブルアップ抵抗は不要で、SDOは未接続のままにできます。 パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}} = \text{VDD}$) の場合、SDOとSDIを併用してデバイスをパワーダウンできます (表11参照)。入力として使用する場合、SDOは1kΩの直列抵抗を介して1.8V~3.3Vのロジックで駆動できます。 シリアル・インターフェース・クロック入力またはデジタル出力モード制御。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}} = 0\text{V}$) の場合、SCKはシリアル・インターフェース・クロック入力となります。パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}} = \text{VDD}$) の場合、SCKはデジタル出力モードを制御します (表11参照)。SCKは1.8V~3.3Vのロジックで駆動できます。
D6, D7, C9, B9, A9, C8, B8, A8, C7, B7, A7, C6, B6, A6	D1_0, D1_1, D1_2, D1_3, D1_4, D1_5, D1_6, D1_7, D1_8, D1_9, D1_10, D1_11, D1_12, D1_13	DO	チャンネル1のデジタル出力。D1_13はMSBです。
D8	OVDD	DO	デジタル出力ドライバ電源。このピンは0.1μFのデカップリング・コンデンサを内蔵しています。
D9	CLKOUT+	DO	データ出カクロック。デジタル出力は通常、CLKOUT+の立下がりエッジで同時に遷移します。CLKOUT+の位相は、シリアル・プログラミング・モードのレジスタをプログラミングすることで、デジタル出力に対し遅延させることもできます。
E1	$\overline{\text{PD2}}$	AO	パワーダウン・ピン、チャンネル2。このピンがフロート状態またはVCCに直接接続されている場合、チャンネル2のADCドライバは通常 (アクティブ) 動作モードになります。このピンがGNDに接続されている場合、チャンネル2のADCドライバは高インピーダンス出力の低消費電力シャットダウン状態になります。
E4	$\overline{\text{CS}}$	DI	シリアル・インターフェースのチップ・セレクト入力またはクロック・デューティ・サイクル・スタビライザ制御。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}} = 0\text{V}$) の場合、 $\overline{\text{CS}}$ はシリアル・インターフェース・チップ・セレクト入力となります。 $\overline{\text{CS}}$ がローの場合、SCKがイネーブルされてSDIのデータをシリアル・プログラミング・モードのレジスタにシフトします。パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}} = \text{VDD}$) の場合、 $\overline{\text{CS}}$ はクロック・デューティ・サイクル・スタビライザ (表11参照) を制御します。 $\overline{\text{CS}}$ は1.8V~3.3Vのロジックで駆動できます。
E5	SDI	DI	シリアル・インターフェース・データ入力またはパワーダウン・ピン。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}} = 0\text{V}$) の場合、SDIはシリアル・インターフェース・データ入力になります。SDIのデータは、SCKの立下がりエッジでシリアル・プログラミング・レジスタにクロック同期入力されます。パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}} = \text{VDD}$) の場合、SDIとSDOを併用してデバイスをパワーダウンできます (表11参照)。SDIは1.8V~3.3Vのロジックで駆動できます。
E9	CLKOUT-	DO	CLKOUT+ピンの反転状態。
F1	IN2P	AI	ADCドライバの非反転入力、チャンネル2。
F2	VOCM2I	AI	ADCドライバ、チャンネル2コモンモード電圧。
F3	VOCM2O	AO	コモンモード・バイアス出力、公称値はVDD/2。アナログ入力のコモンモードをバイアスするために使用。チャンネル2。
G1	IN2N	AI	ADCドライバの反転入力、チャンネル2。
G2	OUT2N	AO	ADCドライバの反転出力、チャンネル2。
G3	OUT2P	AO	ADCドライバの非反転出力、チャンネル1。
G5	ENC-	DI	エンコードの補数入力。変換は立下がりエッジで開始します。ENC-をGNDに接続するとシングルエンド・エンコード・モードになります。
H2	AIN2N	AI	ADCの反転アナログ入力、チャンネル2。
H3	AIN2P	AI	ADCの非反転アナログ入力、チャンネル2。
H5	ENC+	DI	エンコード入力。変換は立下がりエッジで開始します。
H6, H7, H8, H9, G9, G8, G7, G6, F9, F8, F7, F6, E7, E6	D2_0, D2_1, D2_2, D2_3, D2_4, D2_5, D2_6, D2_7, D2_8, D2_9, D2_10, D2_11, D2_12, D2_13	DO	チャンネル2のデジタル出力。D2_13はMSBです。

1 AIはアナログ入力、AOはアナログ出力、Pは電源、DIはデジタル入力、DOはデジタル出力です。

ダブル・データ・レートCMOS出力モード

ADAQ8092 TOP VIEW (Not to Scale)

	1	2	3	4	5	6	7	8	9
A	IN1P	AIN1N	AIN1P	GND	SENSE	D1_12_13	DNC	D1_6_7	DNC
B	IN1N	OUT1N	OUT1P	VDD	VREF	DNC	D1_8_9	DNC	D1_2_3
C	$\overline{\text{PD1}}$	VOCM1I	VOCM1O	VCC	GND	D1_10_11	DNC	D1_4_5	DNC
D	PAR/ $\overline{\text{SER}}$	OF2_1	DNC	SDO	SCK	DNC	D1_0_1	OVDD	CLKOUT+
E	$\overline{\text{PD2}}$	GND	GND	$\overline{\text{CS}}$	SDI	D2_12_13	DNC	GND	CLKOUT-
F	IN2P	VOCM2I	VOCM2O	VCC	GND	D2_10_11	DNC	D2_8_9	DNC
G	IN2N	OUT2N	OUT2P	GND	ENC-	D2_6_7	DNC	D2_4_5	DNC
H	GND	AIN2N	AIN2P	VDD	ENC+	DNC	D2_0_1	DNC	D2_2_3

NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT ANYTHING TO THIS PIN.

008

図 8. ピン配置 (ダブル・データ・レートCMOS出力モード)

表 7. ピン機能の説明 (ダブル・データ・レートCMOS出力モード)

ピン番号	記号	タイプ ¹⁾	説明
A1	IN1P	AI	ADCドライバの非反転入力、チャンネル1。
A2	AIN1N	AI	ADCの反転アナログ入力、チャンネル1。
A3	AIN1P	AI	ADCの非反転アナログ入力、チャンネル1。
A4, C5, E2, E3, E8, F5, G4, H1	GND	P	VCC、VDD、OVDDのグラウンド・リファレンス。
A5	SENSE	AI	内部リファレンス。グラウンドに接続すると内部リファレンスが選択されます。あるいは、このピンに0.625Vを印加すると入力範囲が1V p-pになります。VDDに接続すると入力範囲が2V p-pになります。
A7, A9, B6, B8, C7, C9, D3, D6, E7, F7, F9, G7, G9, H6, H8	DNC	NC	接続しないでください。このピンには何も接続しないでください。
B1	IN1N	AI	ADCドライバの反転入力、チャンネル1。
B2	OUT1N	AO	ADCドライバの反転出力、チャンネル1。
B3	OUT1P	AO	ADCドライバの非反転出力、チャンネル1。
B4, H4	VDD	P	ADCの電源ピン。VDDには0.1μFのデカップリング・コンデンサが2個あります。
B5	VREF	AO	リファレンス電圧出力。VREFは通常1.25Vで、2.2μFのバイパス・コンデンサが組み込まれています。
C1	$\overline{\text{PD1}}$	P	パワーダウン・ピン、チャンネル1。このピンがフロート状態またはVCCに直接接続されている場合、チャンネル1のADCドライバは通常（アクティブ）動作モードになります。このピンがGNDに接続されている場合、チャンネル1のADCドライバは高インピーダンス出力の低消費電力シャットダウン状態になります。
C2	VOCM1I	AI	ADCドライバ、チャンネル1コモンモード電圧、チャンネル1。
C3	VOCM1O	AO	コモンモード・バイアス出力、公称値はVDD/2。アナログ入力のコモンモードをバイアスするために使用。チャンネル1。
C4, F4	VCC	P	ADCドライバ電源。VCCには0.1μFのデカップリング・コンデンサが2個あります。
D1	PAR/ $\overline{\text{SER}}$	P	プログラミング・モード選択ピン。このピンをグラウンドに接続するとシリアル・プログラミング・モードが有効化されます。 $\overline{\text{CS}}$ 、SCK、SDI、SDOは共にシリアル・インターフェースとなり、アナログ/デジタル変換動作モードを制御します。PAR/ $\overline{\text{SER}}$ をVDDに接続するとパラレル・プログラミング・モードが有効化されます。この場合、 $\overline{\text{CS}}$ 、SCK、SDI、SDOはパラレル・ロジック入力となり、より少数のアナログ/デジタル変換動作モードを制御します。PAR/ $\overline{\text{SER}}$ はグラウンドまたはVDDに直接接続する必要があり、ロジック信号では駆動できません。
D2	OF2_1	DO	オーバーフロー/アンダーフロー・デジタル出力。OF2_1はオーバーフローまたはアンダーフローが発生した場合にハイになります。両チャンネルのオーバーフローおよびアンダーフローがマルチプレクスされてこのピンに出力されます。CLKOUT+がローの場合チャンネル2が出力され、CLKOUT+がハイの場合チャンネル1が出力されます。
D4	SDO	DO/DI	シリアル・インターフェース・データ出力ピンまたはパワーダウン・ピン。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = 0V) の場合、SDOはオプションのシリアル・インターフェース・データ出力になります。SDOのデータはシリアル・プログラミング・モードのレジスタからリードバックされ、SCKの立下がりエッジでラッチできます。SDOはオ

ピン番号	記号	タイプ ¹	説明
D5	SCK	DI	一ブンドレインのNMOS出力で、2kΩの外部プルアップ抵抗で1.8V~3.3Vに引き上げる必要があります。シリアル・プログラミング・モードのレジスタからのリードバックが不要な場合は、プルアップ抵抗は不要で、SDOは未接続のままにできます。 パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = VDD) 場合、SDOとSDIを併用してデバイスをパワーダウンできます (表11参照)。入力として使用する場合、SDOは1kΩの直列抵抗を介して1.8V~3.3Vのロジックで駆動できます。 シリアル・インターフェース・クロック入力またはデジタル出力モード制御。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = 0V) の場合、SCKはシリアル・インターフェース・クロック入力となります。パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = VDD) の場合、SCKはデジタル出力モードを制御します (表11参照)。SCKは1.8V~3.3Vのロジックで駆動できます。
D7, B9, C8, A8, B7, C6, A6	D1_0_1, D1_2_3, D1_4_5, D1_6_7, D1_8_9, D1_10_11, D1_12_13	DO	チャンネル1のダブル・データ・レート・デジタル出力。2つのデータ・ビットがマルチプレクスされて各出力ピンに出力されます。CLKOUT+がローの場合、偶数のデータ・ビット (D0、D2、D4、D6、D8、D10、D12) が出力されます。CLKOUT+がハイの場合、奇数のデータ・ビット (D1、D3、D5、D7、D9、D11、D13) が出力されます。
D8	OVDD	DO	ADC出力ドライバ電源。OVDDには0.1μFのデカップリング・コンデンサがあります。
D9	CLKOUT+	DO	データ出力クロック。デジタル出力は通常、CLKOUT+の立下がりエッジで同時に遷移します。CLKOUT+の位相は、シリアル・プログラミング・モードのレジスタをプログラミングすることで、デジタル出力に対し遅延させることもできます。
E1	$\overline{\text{PD2}}$	AO	パワーダウン・ピン、チャンネル2。このピンがフロート状態またはVCCに直接接続されている場合、チャンネル2のADCドライバは通常 (アクティブ) 動作モードになります。このピンがGNDに接続されている場合、チャンネル2のADCドライバは高インピーダンス出力の低消費電力シャットダウン状態になります。
E4	$\overline{\text{CS}}$	DI	シリアル・インターフェースのチップ・セレクト入力またはクロック・デューティ・サイクル・スタビライザ制御。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = 0V) の場合、 $\overline{\text{CS}}$ はシリアル・インターフェース・チップ・セレクト入力となります。 $\overline{\text{CS}}$ がローの場合、SCKがイネーブルされてSDIのデータをシリアル・プログラミング・モード・レジスタにシフトします。パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = VDD) の場合、 $\overline{\text{CS}}$ はクロック・デューティ・サイクル・スタビライザ (表11参照) を制御します。 $\overline{\text{CS}}$ は1.8V~3.3Vのロジックで駆動できます。
E5	SDI	DI	シリアル・インターフェース・データ入力またはパワーダウン・ピン。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = 0V) の場合、SDIはシリアル・インターフェース・データ入力となります。SDIのデータは、SCKの立下がりエッジでシリアル・プログラミング・モードのレジスタにクロック同期入力されます。パラレル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = VDD) の場合、SDIとSDOを併用してデバイスをパワーダウンできます (表11参照)。SDIは1.8V~3.3Vのロジックで駆動できます。
E9	CLKOUT-	DO	CLKOUT+ピンの反転状態。
F1	IN2P	AI	ADCドライバの非反転入力、チャンネル2。
F2	VOCM2I	AI	ADCドライバ、チャンネル2コモンモード電圧。
F3	VOCM2O	AO	コモンモード・バイアス出力、公称値はVDD/2。アナログ入力のコモンモードをバイアスするために使用。チャンネル2。
G1	IN2N	AI	ADCドライバの反転入力、チャンネル2。
G2	OUT2N	AO	ADCドライバの反転出力、チャンネル2。
G3	OUT2P	AO	ADCドライバの非反転出力、チャンネル1。
G5	ENC-	DI	エンコードの補数入力。変換は立下がりエッジで開始します。ENC-をGNDに接続するとシングルエンド・エンコード・モードになります。
H2	AIN2N	AI	ADCの反転アナログ入力、チャンネル2。
H3	AIN2P	AI	ADCの非反転アナログ入力、チャンネル2。
H5	ENC+	DI	エンコード入力。変換は立下がりエッジで開始します。
H7, H9, G8, G6, F8, F6, E6	D2_0_1, D2_2_3, D2_4_5, D2_6_7, D2_8_9, D2_10_11, D2_12_13	DO	チャンネル2のダブル・データ・レート・デジタル出力。2つのデータ・ビットがマルチプレクスされて各出力ピンに出力されます。CLKOUT+がローの場合、偶数のデータ・ビット (D0、D2、D4、D6、D8、D10、D12) が出力されます。CLKOUT+がハイの場合、奇数のデータ・ビット (D1、D3、D5、D7、D9、D11、D13) が出力されます。

1 AIはアナログ入力、AOはアナログ出力、Pは電源、NCは接続なし、DIはデジタル入力、DOはデジタル出力です。

ダブル・データ・レートLVDS出力モード

ADAQ8092
TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9
A	IN1P	AIN1N	AIN1P	GND	SENSE	D1_12_13+	D1_10_11-	D1_6_7+	D1_4_5-
B	IN1N	OUT1N	OUT1P	VDD	VREF	D1_12_13-	D1_8_9+	D1_6_7-	D1_2_3+
C	$\overline{\text{PD1}}$	VOCM1I	VOCM1O	VCC	GND	D1_10_11+	D1_8_9-	D1_4_5+	D1_2_3-
D	PAR/SER	OF2_1+	OF2_1-	SDO	SCK	D1_0_1-	D1_0_1+	OVDD	CLKOUT+
E	$\overline{\text{PD2}}$	GND	GND	$\overline{\text{CS}}$	SDI	D2_12_13+	D2_12_13-	GND	CLKOUT-
F	IN2P	VOCM2I	VOCM2O	VCC	GND	D2_10_11+	D2_10_11-	D2_8_9+	D2_8_9-
G	IN2N	OUT2N	OUT2P	GND	ENC-	D2_6_7+	D2_6_7-	D2_4_5+	D2_4_5-
H	GND	AIN2N	AIN2P	VDD	ENC+	D2_0_1-	D2_0_1+	D2_2_3-	D2_2_3+

図 9. ピン配置 (ダブル・データ・レートLVDS出力モード)

表 8. ピン機能の説明 (ダブル・データ・レートLVDS出力モード)

ピン番号	記号	タイプ ¹⁾	説明
A1	IN1P	AI	ADCドライバの非反転入力、チャンネル1。
A2	AIN1N	AI	ADCの反転アナログ入力、チャンネル1。
A3	AIN1P	AI	ADCの非反転アナログ入力、チャンネル1。
A4, C5, E2, E3, E8, F5, G4, H1	GND	P	VCC、VDD、OVDDのグラウンド・リファレンス。
A5	SENSE	AI	内部リファレンス。グラウンドに接続すると内部リファレンスが選択されます。あるいは、このピンに0.625Vを印加すると入力範囲が1V p-pになります。VDDに接続すると入力範囲が2V p-pになります。
B1	IN1N	AI	ADCドライバの反転入力、チャンネル1。
B2	OUT1N	AO	ADCドライバの反転出力、チャンネル1。
B3	OUT1P	AO	ADCドライバの非反転出力、チャンネル1。
B4, H4	VDD	P	ADCの電源ピン。VDDには0.1μFのデカップリング・コンデンサが2個あります。
B5	VREF	AO	リファレンス電圧出力。VREFは通常1.25Vで、2.2μFのバイパス・コンデンサが組み込まれています。
C1	$\overline{\text{PD1}}$	P	パワーダウン・ピン、チャンネル1。このピンがフロート状態またはVCCに直接接続されている場合、チャンネル1のADCドライバは通常（アクティブ）動作モードになります。このピンがGNDに接続されている場合、チャンネル1のADCドライバは高インピーダンス出力の低消費電力シャットダウン状態になります。
C2	VOCM1I	AI	ADCドライバ、チャンネル1コモンモード電圧、チャンネル1。
C3	VOCM1O	AO	コモンモード・バイアス出力、公称値はVDD/2。アナログ入力のコモンモードをバイアスするために使用。チャンネル1。
C4, F4	VCC	P	ADCドライバ電源。VCCには0.1μFのデカップリング・コンデンサが2個あります。
D1	PAR/ $\overline{\text{SER}}$	P	プログラミング・モード選択ピン。このピンをグラウンドに接続するとシリアル・プログラミング・モードが有効化されます。 $\overline{\text{CS}}$ 、SCK、SDI、SDOは共にシリアル・インターフェースとなり、アナログ/デジタル変換動作モードを制御します。PAR/ $\overline{\text{SER}}$ をVDDに接続すると並列プログラミング・モードが有効化されます。この場合、 $\overline{\text{CS}}$ 、SCK、SDI、SDOはパラレル・ロジック入力となり、より少数のアナログ/デジタル変換動作モードを制御します。PAR/ $\overline{\text{SER}}$ はグラウンドまたはVDDに直接接続する必要があり、ロジック信号では駆動できません。
D2, D3	OF2_1+, OF2_1-	DO	オーバーフロー/アンダーフロー・デジタル出力。OF2_1+はオーバーフローまたはアンダーフローが発生した場合にハイになります。両チャンネルのオーバーフローおよびアンダーフローがマルチプレクスされてOF2_1+に出力されます。CLKOUT+がローの場合チャンネル2が出力され、CLKOUT+がハイの場合チャンネル1が出力されます。
D4	SDO	DO/DI	シリアル・インターフェース・データ出力ピンまたはパワーダウン・ピン。シリアル・プログラミング・モード (PAR/ $\overline{\text{SER}}$ = 0V) の場合、SDOはオプションのシリアル・インターフェース・データ出力になります。SDOのデータはシリアル・プログラミング・モードのレジスタからリードバックされ、SCKの立下がりエッジでラッチできます。SDOピンはオープンドレインのNMOS出力で、2kΩの外部プルアップ抵抗で1.8V~3.3Vに引き上げる必要があります。シリアル・プログラミング・モードのレ

ピン番号	記号	タイプ	説明
			ジスタからのリードバックが不要な場合は、プルアップ抵抗は不要で、SDOは未接続のままにできます。
D5	SCK	DI	<p>パラレル・プログラミング・モード ($\overline{\text{PAR/ SER}} = \text{VDD}$) 場合、SDOとSDIを併用してデバイスをパワーダウンできます (表11参照)。入力として使用する場合、SDOは1kΩの直列抵抗を介して1.8V~3.3Vのロジックで駆動できます。</p> <p>シリアル・インターフェース・クロック入力またはデジタル出力モード制御。シリアル・プログラミング・モード ($\overline{\text{PAR/ SER}} = 0\text{V}$) の場合、SCKはシリアル・インターフェース・クロック入力となります。シリアル・プログラミング・モード ($\overline{\text{PAR/ SER}} = \text{VDD}$) の場合、SCKはデジタル出力モードを制御します (表11参照)。SCKは1.8V~3.3Vのロジックで駆動できます。</p>
D6, D7, C9, B9, A9, C8, B8, A8, C7, B7, A7, C6, B6, A6	D1_0_1-, D1_0_1+, D1_2_3-, D1_2_3+, D1_4_5-, D1_4_5+, D1_6_7-, D1_6_7+, D1_8_9-, D1_8_9+, D1_10_11-, D1_10_11+, D1_12_13-, D1_12_13+	DO	チャンネル1のダブル・データ・レート・デジタル出力。2つのデータ・ビットがマルチプレクスされて各差動出力ペアに出力されます。CLKOUT+がローの場合、偶数のデータ・ビット (D0、D2、D4、D6、D8、D10、D12) が出力されます。CLKOUT+がハイの場合、奇数のデータ・ビット (D1、D3、D5、D7、D9、D11、D13) が出力されます。
D8	OVDD	DO	デジタル出力ドライバ電源。このピンには0.1μFのデカップリング・コンデンサが内蔵されています。
D9	CLKOUT+	DO	データ出力クロック。デジタル出力は通常、CLKOUT+の立下がりエッジで同時に遷移します。CLKOUT+の位相は、シリアル・プログラミング・モードのレジスタをプログラミングすることで、デジタル出力に対し遅延させることもできます。
E1	$\overline{\text{PD2}}$	AO	パワーダウン・ピン、チャンネル2。このピンがフロート状態またはVCCに直接接続されている場合、チャンネル2のADCドライバは通常 (アクティブ) 動作モードになります。このピンがGNDに接続されている場合、チャンネル2のADCドライバは高インピーダンス出力の低消費電力シャットダウン状態になります。
E4	$\overline{\text{CS}}$	DI	シリアル・インターフェースのチップ・セレクト入力またはクロック・デューティ・サイクル・スタビライザ制御。シリアル・プログラミング・モード ($\overline{\text{PAR/ SER}} = 0\text{V}$) の場合、 $\overline{\text{CS}}$ はシリアル・インターフェース・チップ・セレクト入力となります。 $\overline{\text{CS}}$ がローの場合、SCKがイネーブルされてSDIのデータをシリアル・プログラミング・モードのレジスタにシフトします。パラレル・プログラミング・モード ($\overline{\text{PAR/ SER}} = \text{VDD}$) の場合、 $\overline{\text{CS}}$ はクロック・デューティ・サイクル・スタビライザ (表11参照) を制御します。 $\overline{\text{CS}}$ は1.8V~3.3Vのロジックで駆動できます。
E5	SDI	DI	シリアル・インターフェース・データ入力またはパワーダウン・ピン。シリアル・プログラミング・モード ($\overline{\text{PAR/ SER}} = 0\text{V}$) の場合、SDIはシリアル・インターフェース・データ入力になります。SDIのデータは、SCKの立下がりエッジでシリアル・プログラミング・モードのレジスタにクロック同期入力されます。シリアル・プログラミング・モード ($\overline{\text{PAR/ SER}} = \text{VDD}$) の場合、SDIとSDOを併用してデバイスをパワーダウンできます (表11参照)。SDIは1.8V~3.3Vのロジックで駆動できます。
E9	CLKOUT-	DO	CLKOUT+ピンの反転状態。
F1	IN2P	AI	ADCドライバの非反転入力、チャンネル2。
F2	VOCM2I	AI	ADCドライバ、チャンネル2コモンモード電圧。
F3	VOCM2O	AO	コモンモード・バイアス出力、公称値はVDD/2。アナログ入力のコモンモードをバイアスするために使用。チャンネル2。
G1	IN2N	AI	ADCドライバの反転入力、チャンネル2。
G2	OUT2N	AO	ADCドライバの反転出力、チャンネル2。
G3	OUT2P	AO	ADCドライバの非反転出力、チャンネル1。
G5	ENC-	DI	エンコードの補数入力。変換は立下がりエッジで開始します。ENC-をGNDに接続するとシングルエンド・エンコード・モードになります。
H2	AIN2N	AI	ADCの反転アナログ入力、チャンネル2。
H3	AIN2P	AI	ADCの非反転アナログ入力、チャンネル2。
H5	ENC+	DI	エンコード入力。変換は立下がりエッジで開始します。
H6, H7, H8, H9, G9, G8, G7, G6, F9, F8, F7, F6, E7, E6	D2_0_1-, D2_0_1+, D2_2_3-, D2_2_3+, D2_4_5-, D2_4_5+, D2_6_7-, D2_6_7+, D2_8_9-, D2_8_9+, D2_10_11-, D2_10_11+, D2_12_13-, D2_12_13+	DO	チャンネル2のダブル・データ・レート・デジタル出力。2つのデータ・ビットがマルチプレクスされて各差動出力ペアに出力されます。CLKOUT+がローの場合、偶数のデータ・ビット (D0、D2、D4、D6、D8、D10、D12) が出力されます。CLKOUT+がハイの場合、奇数のデータ・ビット (D1、D3、D5、D7、D9、D11、D13) が出力されます。

1 AIはアナログ入力、AOはアナログ出力、Pは電源、DIはデジタル入力、DOはデジタル出力です。

代表的な性能特性

特に指定のない限り、VCC = 3.3V、VDD = OVDD = 1.8V、内部リファレンス、 $V_{IN1P}=V_{IN2P} = 0.1V$ p-p (図33参照)、SENSE = 0V、 $f_s = 90MSPS$ 、すべての仕様値は $T_{AMB} = 25^\circ C$ での値。

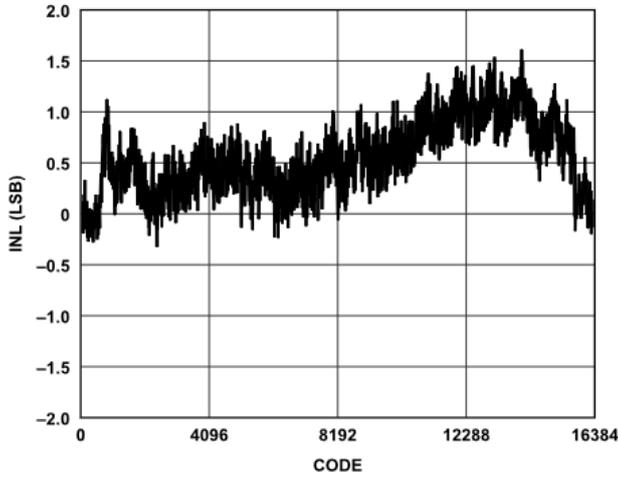


図 10. INLとコードの関係

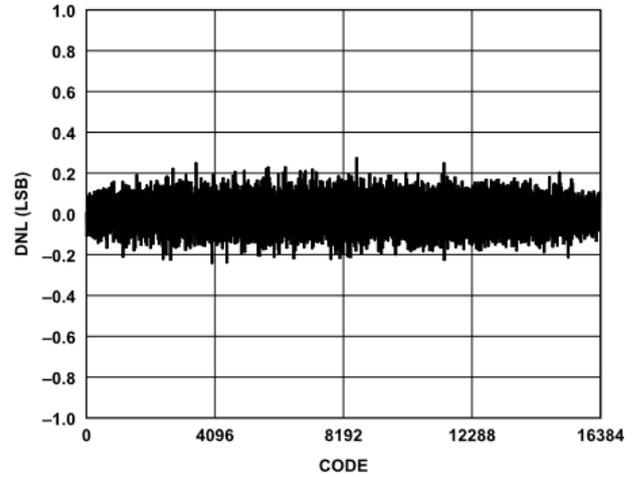


図 13. DNLとコードの関係

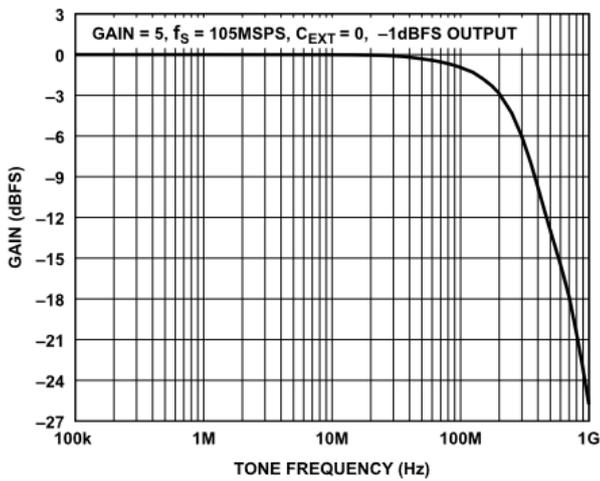


図 11. G = 5 の場合の周波数応答

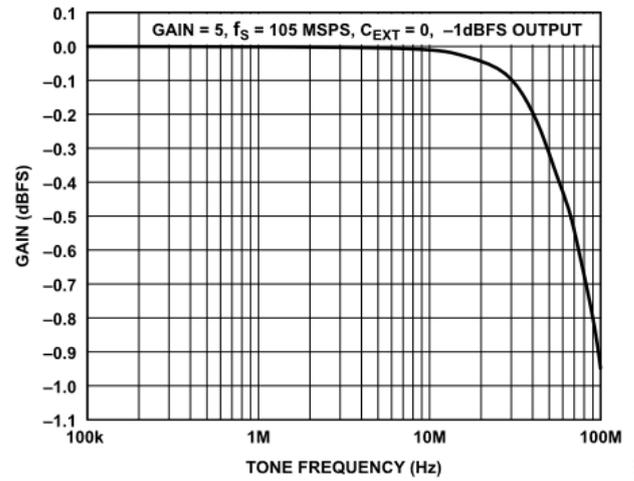


図 14. G = 5 の場合の0.1dB周波数応答

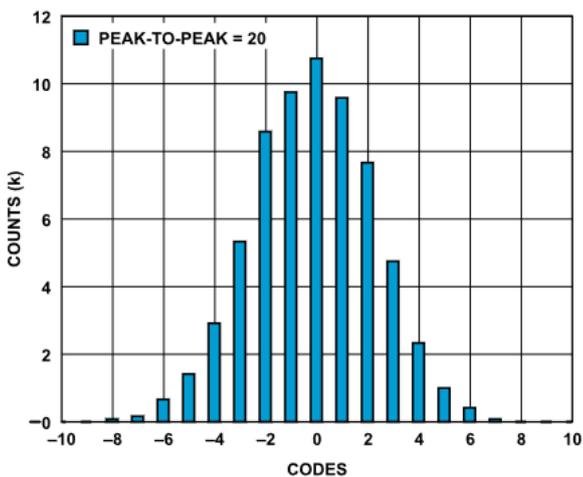


図 12. コード中心でのDC入力ヒストグラム

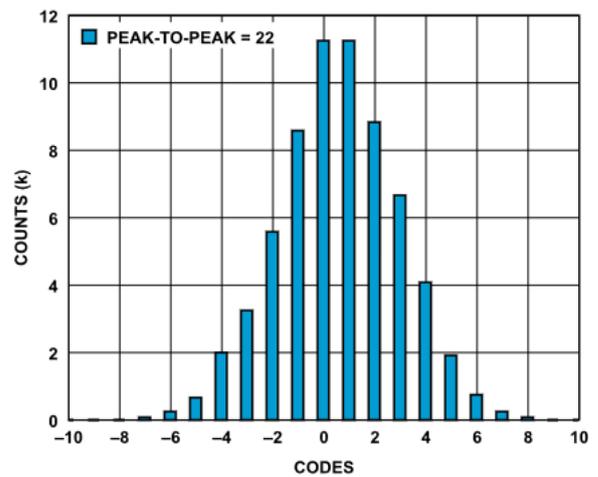


図 15. コード遷移でのDC入力ヒストグラム

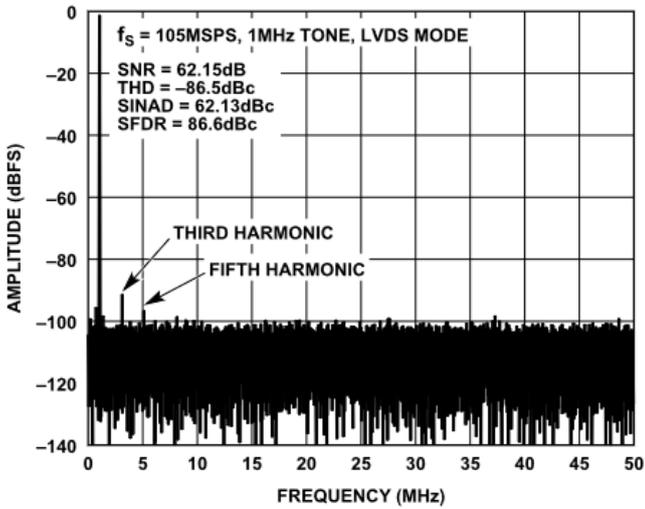


図 16. 1MHz FFT

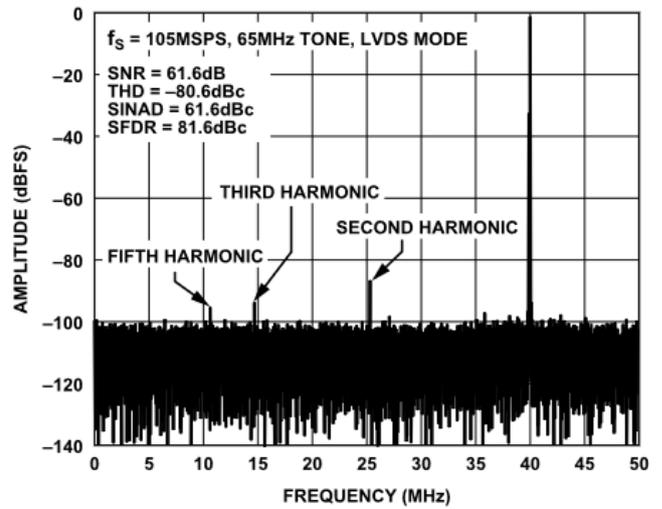


図 19. 65MHz FFT

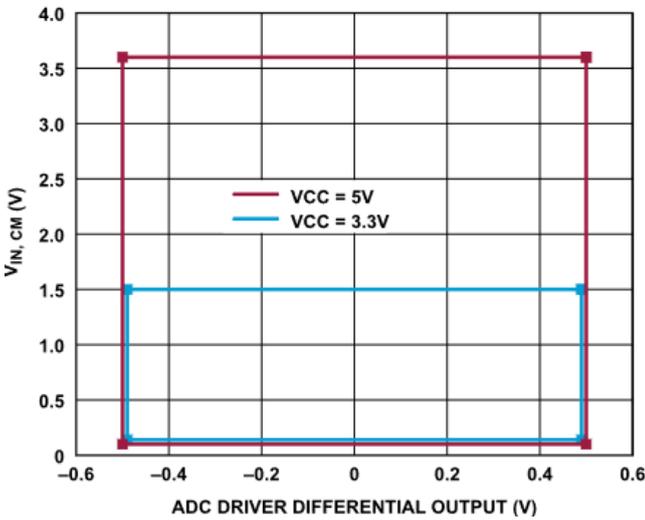


図 17. 入力コモンモード電圧 ($V_{IN,CM}$) とADCドライバ差動出力の関係

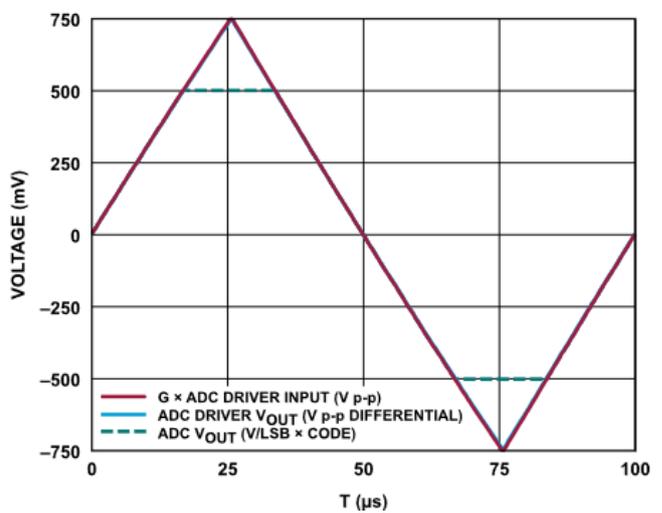


図 20. 出力オーバードライブの回復

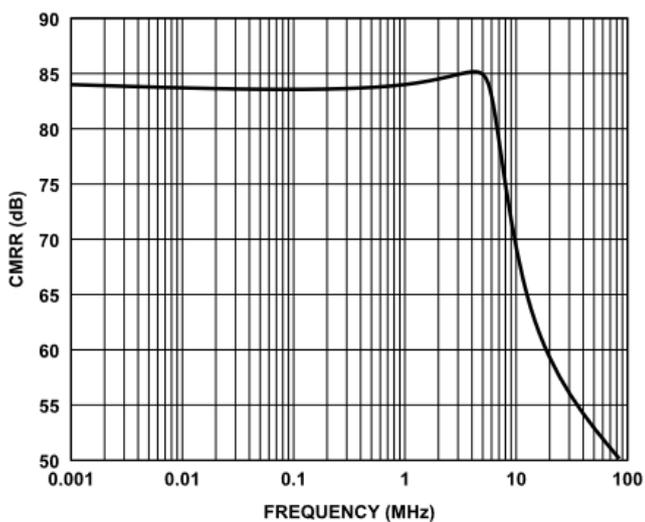


図 18. CMRRと周波数の関係

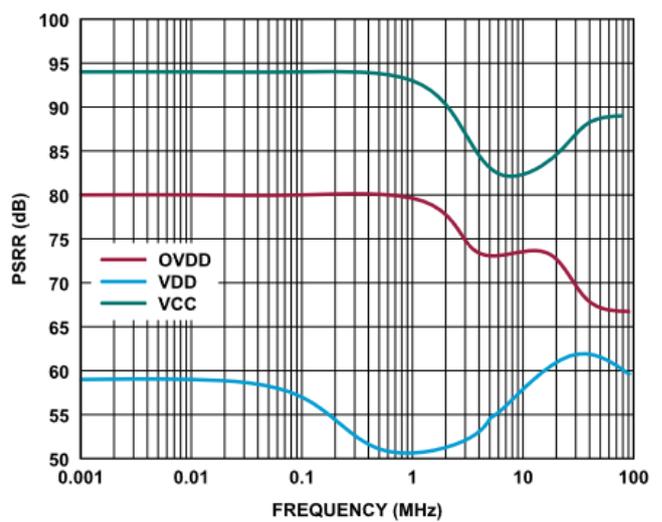


図 21. PSRRと周波数の関係

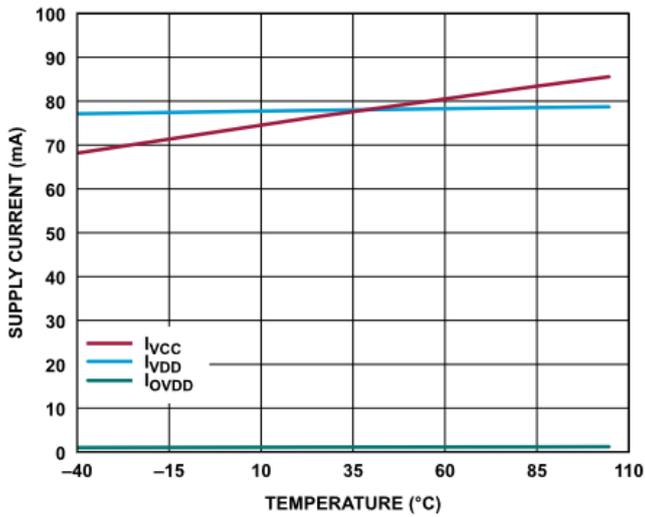


図 22. 電源電流と温度の関係、静的モード

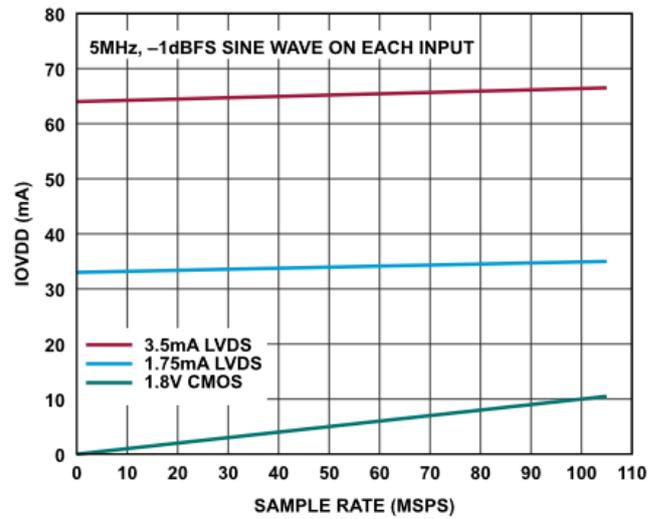


図 24. I_{OVDD} とサンプリング・レートの関係

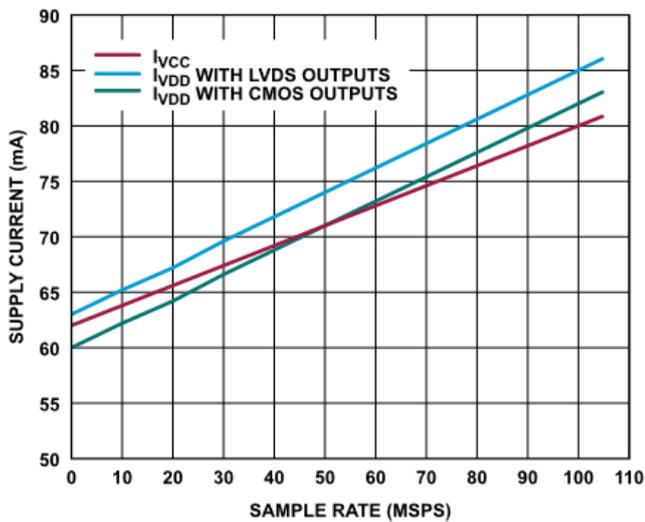


図 23. 電源電流とサンプリング・レートの関係

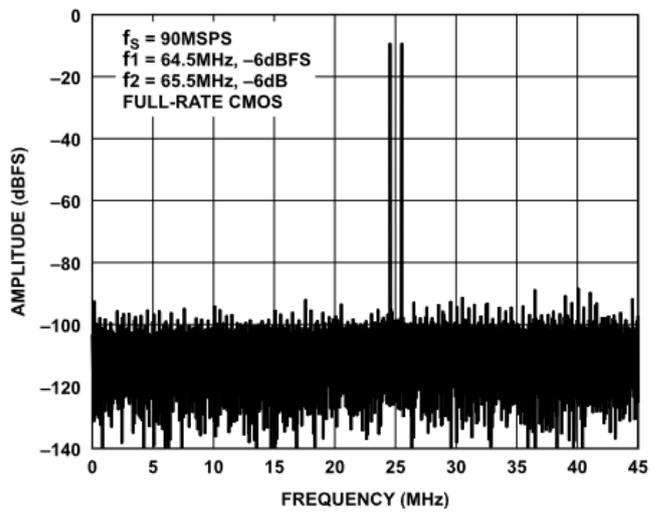


図 25. 2トーンIMD

用語の定義

積分非直線性 (INL)

INLは、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSBだけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $\frac{1}{2}$ LSB上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

微分非直線性 (DNL)

理想的な μ Moduleでは、コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差のことです。多くの場合、ノー・ミス・コードの分解能で仕様規定されます。

オフセット誤差 (OE)

オフセット誤差は、理想的なミッドスケール入力電圧と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

オフセット誤差ドリフトは、 1°C の温度変化に起因するオフセット誤差変化とフルスケール・コード範囲の比で、次式で表されます。

$$OE \text{ Drift} = (OE_{T_{MAX}} - OE_{T_{MIN}}) / (T_{MAX} - T_{MIN}) \quad (1)$$

ゲイン誤差

最初の遷移 (100...00から100...01) は負の公称フルスケールより $\frac{1}{2}$ LSB上のレベルで発生します。最後の遷移 (011...10から011...11) は、公称フルスケールより $\frac{1}{2}$ LSB低いアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際レベルと最初の遷移の実際レベルとの差と、オフセット誤差が除去された後の理論値レベル間の差との偏差です。 μ Moduleで使用されるリファレンスの絶対精度は、大きな誤差源となる可能性があります。このため、誤差の値を測定しそれを用いて実際のフルスケール (FS_{ACTUAL}) を決定してゲイン誤差計算を行い、誤差源を除去する必要があります。

この誤差は、次式のようにパーセント値で表されます。

$$Gain_Error (\%) = 100 \times (1 - FS_{ACTUAL} / FS_{IDEAL}) \quad (2)$$

ダイナミック・レンジ

ダイナミック・レンジは、測定した合計rmsノイズに対するフルスケールのrms値の比率です。ダイナミック・レンジの単位はデシベルです。すべてのノイズ・ソースとDNLアーティファクトが含まれるように、 -60dBFS の信号で測定されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRは、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

相互変調歪み (IMD)

周波数が f_1 と f_2 の2つのサイン波からなる入力に対し、非線形性を有するアクティブ・デバイスは、 mf_1 と nf_2 ($m, n = 0, 1, 2, 3, \dots$) の和と差の周波数で歪み積を生じます。

相互変調歪み項とは m も n も0ではない項です。例えば、2次の項は ($f_1 + f_2$) と ($f_1 - f_2$) を含み、3次の項は ($2f_1 + f_2$)、($2f_1 - f_2$)、($f_1 + 2f_2$)、および ($f_1 - 2f_2$) を含みます。IMDは、基本波の和のrms振幅に対する個々の歪み積のrms総和の比率で、デシベルで表します。

S/N比 (SNR)

S/N比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波成分と直流成分を除く) のrms総和に対する実際の入力信号のrms値の比です。S/N比の単位はデシベルです。

信号/ノイズ + 歪み (SINAD)

SINADは、ナイキスト周波数を下回るすべてのスペクトル成分のrms総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号のrmsの比です。SINADの単位はデシベルです。

有効ビット数 (ENOB)

ENOBは、サイン波入力による分解能の測定値です。ENOBとSINADの関係は次式で表されます。

$$ENOB = (SINAD - 1.76) / 6.02 \quad (3)$$

同相ノイズ除去比 (CMRR)

CMRRは、 μ Moduleのコモンモード入力に印加された電圧と出力の比です。

$$CMRR \text{ (dB)} = 20 \log(V_{CM_{\mu Module}} / V_{\mu Module_OUT}) \quad (4)$$

電源電圧変動除去比 (PSRR)

PSRRは、 μ Moduleの電源ラインに加わったわずかな電圧変化と μ Module出力で測定される電圧変化の比です。

$$PSRR \text{ (dB)} = 20 \log(\Delta V_{S_{\mu Module}} / \Delta V_{\mu Module_OUT}) \quad (5)$$

動作原理

回路説明

ADAQ8092は、14ビット、105MSPSの高速デュアルチャンネルDAQ μ Moduleソリューションです。このデバイスは、デュアルチャンネル差動ADCドライバ段、差動ローパス・フィルタ (LPF)、およびデュアルチャンネル同時サンプリングADCで構成されています。

LPFの出力にはOUTxP/OUTxNピン、ADCのアナログ入力にはAINxP/AINxNピンを使用します。

LPFの出力をADCの入力に接続すると、完全なシグナル・チェーンが形成されます。LPF出力の間にコンデンサを外付けすると、図27に示すようにアナログ帯域幅を調整できます。

外部ADCドライバをADCアナログ入力に接続することで内蔵のADCドライバおよびLPFをバイパスすれば、ユーザ定義のアナログ性能が可能となります。

ADAQ8092は、3.3V~5Vのアナログ電源と1.8Vのデジタル電源で動作します。デジタル出力は、CMOS、ダブル・データ・レートCMOS、ダブル・データ・レートLVDSのいずれかに設定できます。

リファレンス

ADAQ8092には、2.2 μ Fのバイパス・コンデンサを組み込んだ1.25Vの電圧リファレンス出力が内蔵されています。

SENSE

SENSEをVDDに接続することで、ADCに対する内部リファレンスと2Vの入力範囲が選択できます。SENSEをグラウンドに接続すると、ADCに対する内部リファレンスと1Vの入力範囲が選択できます。0.625V~1.3Vの外部リファレンスをSENSEに接続すると、 $\pm 0.8 \times V_{SENSE}$ の入力範囲が選択できます。

内部電圧リファレンスを使用する場合は、このピンをグラウンドに接続します。外部電圧リファレンスを使用する場合、0.625Vを印加すると、同じアナログ/デジタル入力範囲 (1V p-p) を供給できます。

アナログ入力

ADCドライバ入力

各チャンネルの内蔵ADCドライバは、300 Ω の帰還抵抗と10 Ω のゲイン抵抗によって、差動ゲインが30となるよう設定されます。ゲインを30未満にするには、外部抵抗 (R_{EXT}) を各入力 (IN1P、IN1N、IN2P、IN2N) に直列に接続します。

SENSE入力がグラウンドになっている場合は、最大の信号入力振幅を $(R_{EXT} + 10)/300V$ p-p (差動) に制限するために、内部ADCドライバのフルスケール出力振幅が1V p-p (差動) を超えないようにする必要があります。

VCC = 5VでSENSEがVDDに接続されている場合、ADCドライバのフルスケール出力は2V p-p (差動) となり、最大入力振幅は $(R_{EXT} + 10)/150V$ p-p (差動) に設定されます。

ADCアナログ入力

アナログ入力は、図26に示すように、差動CMOSサンプルアンドホールド回路です。これらの入力を、VOCM11およびVOCM21で設定されるコモンモード電圧 (公称値はVDD/2) を中心に差動で動作させます。これらの入力、共有のエンコード回路によって同時にサンプリングされます。

図26において、 $C_{PARASITIC}$ は寄生容量、 R_{ON} はオン抵抗、 C_{SAMPLE} はサンプリング・コンデンサです。

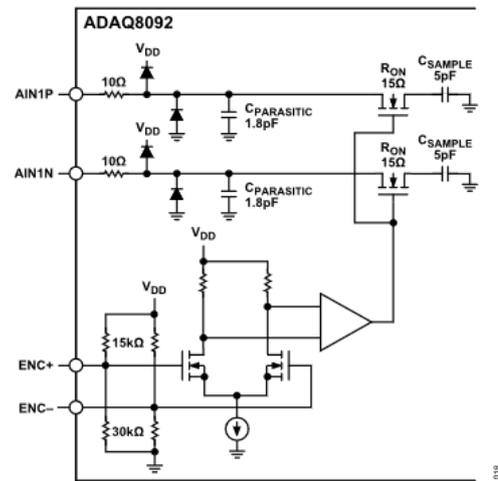


図 26. ADCアナログ入力の等価回路

ローパス・フィルタ

内蔵ローパス・フィルタ (LPF) は各ADCドライバ出力に直列に接続された40 Ω の抵抗と、ADC入力間に接続された4.7pFのコンデンサで構成されており、入力のシングルエンド・ゲインが5に設定されている場合、ADC入力の最大信号帯域幅が186MHzに設定されます。外部コンデンサ C_{EXT} をOUT1xとOUT2xの間に接続することで、信号帯域幅を下げるすることができます。図27を参照してください。

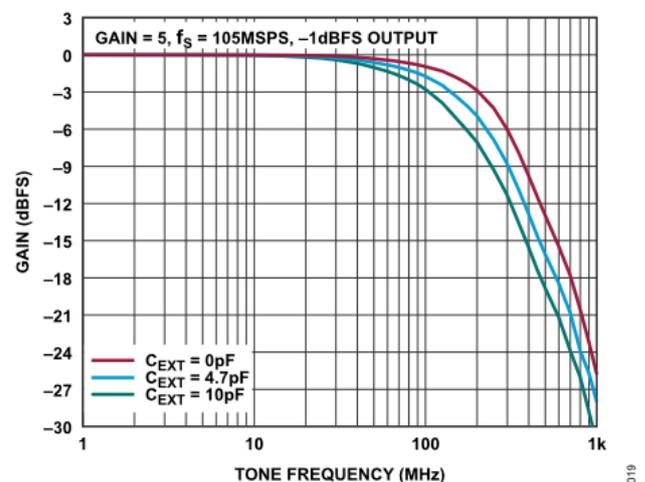


図 27. いくつかの C_{EXT} の値でのゲインとトーン周波数の関係 (ゲイン = 5の場合)

エンコード入力

エンコード入力の信号品質は、アナログ/デジタル変換のノイズ性能

に大きく影響します。エンコード入力はアナログ信号として処理する必要があります。また、回路基板上のデジタル・パターンに隣接して配線することのないようにしてください。

エンコード入力には、差動エンコード・モードとシングルエンド・エンコード・モードの2つの動作モードがあります。

差動エンコード・モードは、エンコード入力がサイン波、PECL、またはLVDSの場合に推奨されます。エンコード入力は、10kΩの等価抵抗を介して1.2Vに内部バイアスされています。エンコード入力はVDDより高い電圧に駆動でき、コモンモード電圧範囲は1.1V~1.6Vです。差動エンコード・モードの場合、誤ってシングルエンド・エンコード・モードをトリガすることのないよう、ENC-はグラウンドより200mV以上高い電圧となっている必要があります。ジッタ性能を最高のものにするには、ENC+およびENC-の立上がり/立下がり時間が短いことが必要です。

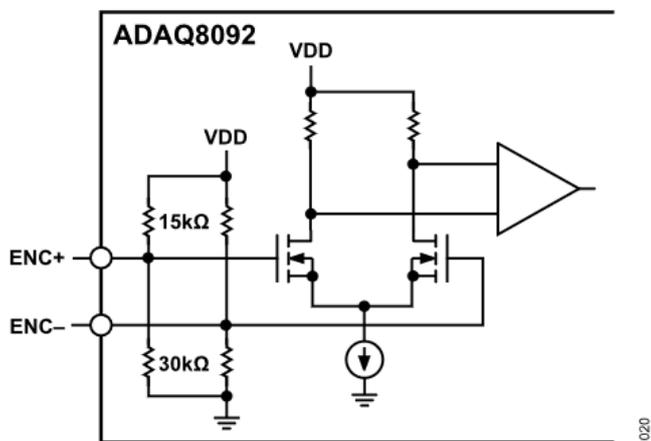


図 28. 差動エンコード・モードの等価エンコード入力

シングルエンド・エンコード・モードはCMOSエンコード入力の場合に推奨されます。このモードを選択するには、ENC-をグラウンドに接続し、ENC+を方形波のエンコード入力で駆動します。ENC+は、VDDより高い電圧に駆動できるため、1.8V~3.3VのCMOSロジック・レベルが使用できます。ENC+の閾値は0.9Vです。ジッタ性能を最高のものにするには、ENC+の立上がり/立下がり時間が短いことが必要です。エンコード信号がオフになる、GNDに接続される、あるいは、約500kHz未満に低下すると、アナログ/デジタル変換のコアは自動的にナップ・モードになります。

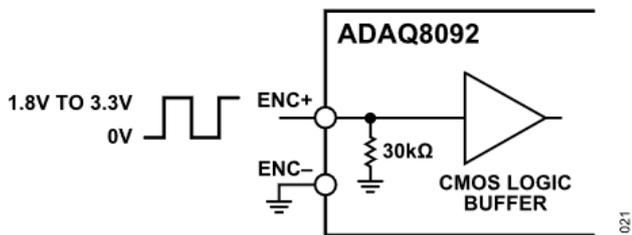


図 29. シングルエンド・エンコード・モードの等価エンコード入力

クロック・デューティ・サイクル・スタビライザ

最高性能を発揮するには、エンコード信号のデューティ・サイクルが50% (±5%) であることが必要です。オプションのクロック・デューティ・サイクル・スタビライザがイネーブルされていると、エンコード・デューティ・サイクルは30%~70%の間で変化させることができ、デューティ・サイクル・スタビライザが内部デューティ・サイクルを50%の一定値に維持します。エンコード信号の周波数が変化した場合、デューティ・サイクル・スタビライザ回路が入力クロックにロックするのに100クロック・サイクルを要します。デューティ・サイクル・スタビライザは、タイミング・レジスタA2 (シリアル・プログラミング・モード)、またはCS (パラレル・プログラミング・モード) によってイネーブルできます。サンプル・レートを即座に変更する必要があるアプリケーションでは、クロック・デューティ・サイクル・スタビライザをディスエーブルできます。デューティ・サイクル・スタビライザをディスエーブルする場合は、必ずサンプリング・クロックのデューティ・サイクルが50% (±5%) となるようにしてください。デューティ・サイクル・スタビライザは5MSPSよりも低いレートでは使用しないでください。

出力モード

ADAQ8092では3通りの出力モードを使用できます。出力モードは、出力モード・レジスタA3 (シリアル・プログラミング・モード)、または、SCK (パラレル・プログラミング・モード) で設定できます。パラレル・プログラミング・モードではダブル・データ・レートCMOSは選択できない点に注意してください。

フル・データ・レートCMOSモード

データ出力、オーバーフロー、データ出力クロックがCMOS出力レベルになります。出力は、電圧範囲が1.1V~1.9VのOVDDから給電され、1.2V~1.8VのCMOSロジック出力が可能です。

最高の性能を発揮するには、デジタル出力が駆動する容量性負荷を最小限に抑えることが必要です。容量性負荷が10pFを超える場合は、デジタル・バッファを用いる必要があります。

ダブル・データ・レートCMOSモード

このモードでは、2個のデータ・ビットがマルチプレクスされ、各データ・ピンに出力されます。これにより、デジタル・ラインの数が15減少するため、基板の配線を簡素化でき、また、データの受信に必要な入力ピンの数を減らすことができます。データ出力、オーバーフロー、データ出力クロックがCMOS出力レベルになります。出力は、電圧範囲が1.1V~1.9VのOVDDから給電され、1.2V~1.8VのCMOSロジック出力が可能です。なお、両方のADCチャンネルのオーバーフローはマルチプレクスされてOF2_1に出力されることに注意してください。

最高の性能を発揮するには、デジタル出力が駆動する容量性負荷を最小限に抑えることが必要です。容量性負荷が10pFを超える場合は、デジタル・バッファを用いる必要があります。

ダブル・データ・レートLVDSモード

このモードでは、2個のデータ・ビットがマルチプレクスされ、各差動ペアに出力されます。ADCチャンネルあたり7個のLVDS出力ペアがあり、デジタル出力データとなります。オーバーフローおよびデータ出力クロックにそれぞれLVDS出力ペアがあります。なお、両方のADCチャンネルのオーバーフローはマルチプレクスされてOF2_1/OF2_1-出力ペアに出力されることに注意してください。

デフォルトでは、出力は標準的なLVDSレベルで、出力電流が3.5mA、出力コモンモード電圧が1.25Vです。各LVDS出力ペアには100Ωの外部差動終端抵抗が必要です。終端抵抗はできるだけLVDSレシーバーの近くに配置する必要があります。

更に、出力モード・レジスタA3をシリアルにプログラミングすることで、オプションの100Ω内部終端抵抗を有効化することもできます。この内部終端は、レシーバーの終端が不完全な場合に生じる反射を吸収するのに役立ちます。終端抵抗が有効化されている場合、出力ドライバの電流は2倍になり、同じ出力電圧振幅を維持できます。

出力電流は出力モード・レジスタA3をシリアルにプログラミングすることで調整できます。使用可能な電流レベルは、1.75mA、2.1mA、2.5mA、3.0mA、3.5mA、4.0mA、4.5mAです。

出力はOVDDで給電され、電圧は1.8Vである必要があります。

オーバーフロー・ビット

オーバーフロー出力ビットは、アナログ入力の状態を示すビットです。オーバーフロー出力ビットが高い場合、アナログ入力はオーバーレンジまたはアンダーレンジになっています。このビットのパイプライン遅延は、データ・ビットと同じです。フル・レートCMOSモードでは、各ADCチャンネルに固有のオーバーフロー・ピン（チャンネル1にはOF1、チャンネル2にはOF2）があります。DDR CMOSモードまたはDDR LVDSモードでは、両ADCチャンネルのオーバーフローはマルチプレクスされてOF2_1出力に出力されます。

出力クロックの位相シフト

フル・レートCMOSモードでは、データ出力ビットは通常、CLKOUT+の立下がりエッジと同時に変化します。そのため、CLKOUT+の立下がりエッジを使用して出力データをラッチすることができます。ダブル・データ・レートCMOSおよびLVDSモードでは、データ出力ビットは通常、CLKOUT+の立下がりエッジおよび立下がりエッジと同時に変化します。データのラッチ時に適切なセットアップおよびホールド時間を確保するためには、CLKOUT+信号をデータ出力ビットに対し位相シフトさせる必要があります。ほとんどのフィールド・プログラマブル・ゲート・アレイ（FPGA）は、この位相シフト機能を備えています。FPGAは一般に、タイミングを調整するための最適な場所です。

CLKOUT+/CLKOUT-信号の位相シフトは、タイミング・レジスタA2をシリアルにプログラミングすることでも実行できます。出力クロックは、0°、45°、90°、または135°シフトできます。位相シフト機能を使用するには、クロック・デューティ・サイクル・スタビライザがオンになっている必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT+とCLKOUT-の極性を反転させることができます。これら2つの機能の組み合わせによって、45°～315°の位相シフトが可能になります（図30参照）。

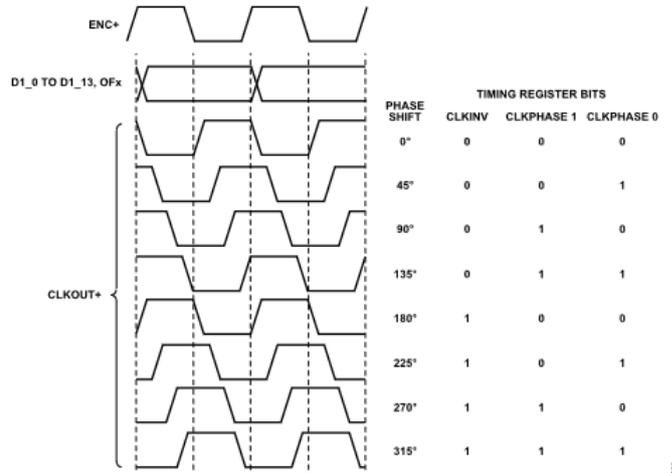


図 30. CLKOUT+の位相シフト

データ・フォーマット

ADAQ8092のデータ出力フォーマットは、オフセット・バイナリまたは2の補数フォーマットが可能です。デフォルトのデータ出力フォーマットはオフセット・バイナリです。2の補数フォーマットは、データ・フォーマット・レジスタA4をシリアルにプログラミングすることで選択できます。

表 9. 入力電圧と出力コードの関係

ADC Input Voltage (V)	OFx	D13 to D0 (Offset Binary)	D13 to D0 (Twos Complement)
		>0.500000	1
+0.499938	0	11 1111 1111 1111	01 1111 1111 1111
+0.499877	0	11 1111 1111 1110	01 1111 1111 1110
+0.000061	0	10 0000 0000 0001	00 0000 0000 0001
+0.000000	0	10 0000 0000 0000	00 0000 0000 0000
-0.000061	0	01 1111 1111 1111	11 1111 1111 1111
-0.000122	0	01 1111 1111 1110	11 1111 1111 1110
-0.499938	0	00 0000 0000 0001	10 0000 0000 0001
-0.500000	0	00 0000 0000 0000	10 0000 0000 0000
≤-0.500000	1	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダムマイザ

アナログ/デジタル変換出力での干渉が避けられない場合があります。デジタル干渉は、容量性や誘導性の結合、またはグラウンド・プレーンを通じた結合で生じる可能性があります。結合係数が小さくても、ADCの出力スペクトルに不要なトーンが生じることがあります。デジタル出力をチップから送出する前にランダム化することで、こうした不要なトーンをランダム化し、不要なトーン振幅を低減することができます。

デジタル出力をランダム化するには、LSBとそれ以外のすべてのデータ出力ビットとの間に排他的論理和のロジック操作を行います。デコードには、逆の操作を行います。排他的論理和操作は、LSBとそれ以外の全ビットの間で行われます。LSB、OFx、CLKOUT±の各出力は影響を受けません。この出力ランダムマイザは、データ・フォーマット・レジスタA4をシリアルにプログラミングすることでイネーブルできます。

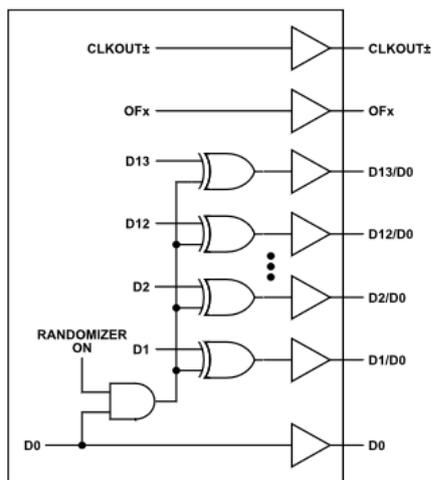


図 31. デジタル出力ランダムマイザの機能等価回路図

ビット極性の切替え

回路基板でのデジタル帰還を減らすもうひとつの機能として、ビット極性切替えモードがあります。このモードが有効になっている場合、すべての奇数ビット (D1、D3、D5、D7、D9、D11、D13) は、出力バッファの前段で反転されます。偶数ビット (D0、D2、D4、D6、D8、D10、D12)、OFx、CLKOUT±は、影響を受けません。このノードにより、回路基板のグランド・プレーンのデジタル電流を減らし、デジタル・ノイズを削減することができます。

ミッドスケールを中心とする非常に小さな信号がアナログ/デジタル変換コアの入力に存在する場合、デジタル出力ではほとんどが1とほとんどが0の間で切替わりが生じます。このように大半のビットが同時に切り替わることで、グランド・プレーンに大きな電流が発生します。ビット極性切替えモードは、ビットを1つおきに反転することで、半分のビットをハイに、半分のビットをローに遷移させます。これにより、グランド・プレーンの電流が打ち消し合い、デジタル・ノイズを削減できます。

このデジタル出力は、レシーバーで奇数ビット (D1、D3、D5、D7、D9、D11、D13) を反転することでデコードできます。ビット極性切替え機能とデジタル出力ランダムマイザ機能は、互いに独立して有効化または無効化できます。ビット極性切替えモードは、データ・フォーマット・レジスタA4をシリアルにプログラミングすることで有効化できます。

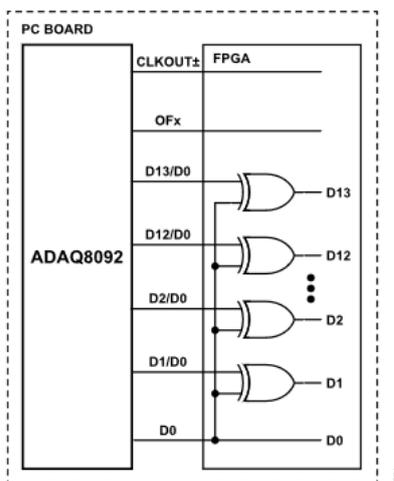


図 32. ランダム化されたデジタル出力信号のランダム化解除

デジタル出力テスト・パターン

ADAQ8092は、ADCのデータ出力 (オーバーフロー、D13~D0) を既知の値に設定し、これを利用してデバイス機能を手早くチェックすることができます。そのためにはデータ・フォーマット・レジスタA4をシリアルにプログラミングします。

表 10. レジスタA4のデジタル出力テスト・パターン設定

Pattern	Description
All 1s	All outputs are 1.
All 0s	All outputs are 0.
Alternating	Outputs change from all 1s to all 0s on alternating samples.
Checkerboard	Output change from 101010101010101 to 010101010101010 on alternating samples.

テスト・パターンがイネーブルされている場合、他のすべてのフォーマット・モード (2の補数、ランダムマイザ、ビット極性切替え) はオーバーライドされます。

出力のディスエーブル

ADAQ8092は、出力モード・レジスタA3をシリアルにプログラミングすることで、デジタル出力 (データ出力、オーバーフロー、CLKOUT±) をディスエーブルできます。出力がディスエーブルされている場合、どちらのチャンネルもスリープ・モードまたはナップ・モードになります。

スリープ・モード

スリープ・モードおよびパワーダウン・モードでは、ADAQ8092のアナログ/デジタル変換コアと内部リファレンス回路がパワーダウンし、消費電力 (P_{ADC}) は1mWとなります。スリープ・モードからの復帰には、2msより長い時間を要します。

スリープ・モードは、パワーダウン・レジスタA1 (シリアル・プログラミング・モード)、またはSDIとSDO (パラレル・プログラミング・モード) を使用して有効化できます。

ナップ・モード

ナップ・モードでは、ADAQ8092のアナログ/デジタル変換コアは、内部リファレンス回路がアクティブ状態のままパワーダウンし、スリープ・モードより短時間で復帰できます。ナップ・モードからの復帰に要する時間は、最小で100クロック・サイクルです。より高い精度のDC設定を必要とするアプリケーションの場合、アナログ/デジタル変換コアがナップ・モードから復帰する場合に電源電流が変化することで生じるわずかな温度シフトに対し内部リファレンスが安定できるように、50µsを追加することができます。チャンネル2または両チャンネルのいずれかをナップ・モードにできます。チャンネル1をナップ・モードにしてチャンネル2を通常動作させることはできません。

このモードは、パワーダウン・レジスタA1 (シリアル・プログラミング・モード)、またはSDIとSDO (パラレル・プログラミング・モード) を使用して有効化できます。

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使用するには、PAR/SERをグラウンドに接続します。CS、SCK、SDI、SDOは、アナログ/デジタル変換シリアル・プログラミング・モードのレジスタA0~A4をプログラミングするシリアル・インターフェースとなります。

データは、16ビットのシリアル・ワードでレジスタに書き込まれます。データをレジスタからリードバックしてその内容を確認することもできます。

シリアル・データの転送は $\overline{\text{CS}}$ がローになると開始されます。SDIピンのデータは、SCKの最初の16個の立上がりエッジでラッチされます。最初の16個以後のSCK立上がりエッジは無視されます。データ転送は $\overline{\text{CS}}$ が再度ハイになると終了します。

16ビットの入力ワードのうち最初のビットはR/Wビットです。次の7個のビットはレジスタのアドレスです。最後の8個のビットがレジスタ・データです。

R/ $\overline{\text{W}}$ ビットがローの場合、シリアル・データ (D7:D0) が、ビット [A4:A0] で指定されたアドレスのレジスタに書き込まれます。R/ $\overline{\text{W}}$ ビットがハイの場合、選択されたレジスタのデータがSDOピンにリードバックされます (タイミング図のセクションを参照)。リードバック・コマンドの間、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープンドレイン出力で、200Ωの抵抗でグラウンドに引き下げられます。SDOを通じてレジスタのデータを読み出す場合、外部に2kΩのプルアップ抵抗が必要です。シリアル・データが書込み専用でリードバックは不要の場合、SDOをフロート状態のままにすることができ、プルアップ抵抗は必要ありません。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用する場合、PAR/ $\overline{\text{SER}}$ をVDDに接続します。 $\overline{\text{CS}}$ 、SCK、SDI、SDOの各ピンは、特定の動作モードを選択するバイナリ・ロジック入力です。これらのピンは、VDDまたはグラウンドに接続することや、1.8V、2.5V、または3.3VのCMOSロジックで駆動することもできます。SDOを入力として使用する場合、1kΩの直列抵抗を用いて駆動する必要があります。表11に、PAR/ $\overline{\text{SER}}$ = VDDの場合に、 $\overline{\text{CS}}$ 、SCK、SDI、SDOによって設定されるモードを示します。

表 11. パラレル・プログラミング・モード制御ビット

Pin	Description
$\overline{\text{CS}}$	Clock duty cycle stabilizer control bit 0 = clock duty cycle stabilizer off 1 = clock duty cycle stabilizer on
SCK	Digital output mode control bit 0 = full rate CMOS output mode 1 = double data rate LVDS output mode (3.5 mA LVDS current, internal termination off)
SDI/SDO	Power-down control bit 00 = normal operation 01 = Channel 1 in normal operation, Channel 2 in nap mode 10 = Channel 1 and Channel 2 in nap mode 11 = sleep mode (entire device powered down)

ソフトウェア・リセット

シリアル・プログラミングを使用する場合、シリアル・プログラミング・モードのレジスタは電源がオンになり安定化した後、できるだけ早くプログラムする必要があります。最初のシリアル・コマンドは、ソフトウェア・リセットであることが必要で、これによりすべてのレジスタのデータ・ビットがロジック0にリセットされます。ソフトウェア・リセットを行うには、リセット・レジスタのビットD7にロジック1を書き込みます。リセットSPI書込みコマンドが終了すると、ビットD7は自動的に0に戻ります。

電源のデカップリング

ADAQ8092は、VCC、VDD、OVDDの各ピンにデカップリング・レジスタを内蔵しています。

パワーアップ・シーケンス

$\overline{\text{PD1}}$ および $\overline{\text{PD2}}$ を使用せず、VCCに接続している場合、次の手順に従います。

1. VCCをオンにします。
2. 約500ms待機します。
3. VDDをオンにします。

$\overline{\text{PD1}}$ および $\overline{\text{PD2}}$ がアクティブな場合、次の手順に従います。

1. $\overline{\text{PD1}}$ と $\overline{\text{PD2}}$ をオフに保ちGNDに接続します。
2. VCCとVDDをオンにします。
3. 約500ms待機します。
4. $\overline{\text{PD1}}$ と $\overline{\text{PD2}}$ をオンにし、VCCに接続します。

シリアル・プログラミング・モードのレジスタ・マップ

レジスタA0：リセット・レジスタ（アドレス0X00）

表 12. レジスタA0：リセット・レジスタ（アドレス0x00）のビット・マップ

D7	D6	D5	D4	D3	D2	D1	D0
Reset	X ¹						

1 Xは、ドント・ケアを意味します。

表 13. リセット・レジスタのビットの説明

ビット	ビット名	説明
7	Reset	ソフトウェア・リセット・ビット。 0 = 使用しない。 1 = ソフトウェア・リセット。すべてのシリアル・プログラミング・モードのレジスタは0x00にリセットされます。ADCは、一時的にスリープ・モードになります。このビットは、SPI書き込みコマンドの終了時に自動的に0に戻ります。リセット・レジスタは書き込み専用です。リセット・レジスタからのデータ・リードバックは、ランダムです。
[6:0]	Unused	ドント・ケア・ビット。

レジスタA1：パワーダウン・レジスタ（アドレス0X01）

表 14. レジスタA1：パワーダウン・レジスタ（アドレス0x01）のビット・マップ

D7	D6	D5	D4	D3	D2	D1	D0
X ¹	PWROFF1	PWROFF0					

1 Xは、ドント・ケアを意味します。

表 15. パワーダウン・レジスタのビットの説明

ビット	ビット名	説明
[7:2]	Unused	ドント・ケア・ビット。
[1:0]	PWROFF[1:0]	パワーダウン制御ビット。 00 = 通常動作。 01 = チャンネル1は通常動作、チャンネル2はナップ・モード。 10 = チャンネル1およびチャンネル2がナップ・モード。 11 = スリープ・モード。

レジスタA2：タイミング・レジスタ（アドレス0X02）

表 16. レジスタA2：タイミング・レジスタ（アドレス0x02）のビット・マップ

D7	D6	D5	D4	D3	D2	D1	D0
X ¹	X ¹	X ¹	X ¹	CLKINV	CLKPHASE1	CLKPHASE0	DCS

1 Xは、ドント・ケアを意味します。

表 17. タイミング・レジスタのビットの説明

ビット	ビット名	説明
[7:4]	Unused	ドント・ケア・ビット。
3	CLKINV	出カクロック反転ビット。 0 = 通常のCLKOUT±極性。 1 = 反転したCLKOUT±極性。
[2:1]	CLKPHASE[1:0]	出カクロックの位相遅延ビット。CLKOUT±位相遅延機能を使用する場合、クロック・デューティ・サイクル・スタビライザがオンになっている必要があります。 00 = CLKOUT遅延なし。 01 = CLKOUT+/CLKOUT- 45°の遅延（クロック周期 × 1/8）。 10 = CLKOUT+/CLKOUT- 90°の遅延（クロック周期 × 1/4）。

ビット	ビット名	説明
0	DCS	11 = CLKOUT+/CLKOUT- 135°の遅延 (クロック周期 × 3/8)。 クロック・デューティ・サイクル・スタビライザ・ビット。 0 = クロック・デューティ・サイクル・スタビライザをオフ。 1 = クロック・デューティ・サイクル・スタビライザをオン。

レジスタA3 : 出力モード・レジスタ (アドレス0X03)

表 18. レジスタA3 : 出力モード・レジスタ (アドレス0x03) のビット・マップ

D7	D6	D5	D4	D3	D2	D1	D0
X ¹	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF	OUTMODE1	OUTMODE0

1 Xは、ドント・ケアを意味します。

表 19. 出力モード・レジスタのビットの説明

ビット	ビット名	説明
7	Unused	ドント・ケア・ビット。
[6:4]	ILVDS[2:0]	LVDS出力電流ビット。 000 = 3.5mAのLVDS出力ドライバ電流。 001 = 4.0mAのLVDS出力ドライバ電流。 010 = 4.5mAのLVDS出力ドライバ電流。 011 = 使用しない。 100 = 3.0mAのLVDS出力ドライバ電流。 101 = 2.5mAのLVDS出力ドライバ電流。 110 = 2.1mAのLVDS出力ドライバ電流。 111 = 1.75mAのLVDS出力ドライバ電流。
3	TERMON	LVDS内部終端ビット。 0 = 内部終端をオフ。 1 = 内部終端をオン。LVDS出力ドライバ電流はビット[6:4] (ILVDSx) で設定された電流の2倍です。
2	OUTOFF	出力ディスエーブル・ビット。 0 = デジタル出力がイネーブル。 1 = デジタル出力がディスエーブルで高出力インピーダンス。デジタル出力がディスエーブルの場合、デバイスもスリープ・モードまたはナップ・モードにする必要があります (両チャンネル共)。
[1:0]	OUTMODE[1:0]	デジタル出力モード制御ビット。 00 = フル・レートCMOS出力モード。 01 = ダブル・データ・レートLVDS出力モード。 10 = ダブル・データ・レートCMOS出力モード。 11 = 使用しない。

レジスタA4 : データ・フォーマット・レジスタ (アドレス0X04)

表 20. レジスタA4 : データ・フォーマット・レジスタ (アドレス0x04) のビット・マップ

D7	D6	D5	D4	D3	D2	D1	D0
X ¹	X	OUTTEST2	OUTTEST1	OUTTEST0	ABP	RAND	TWOSCOMP

1 Xは、ドント・ケアを意味します。

表 21. データ・フォーマット・レジスタのビットの説明

ビット	ビット名	説明
[7:6]	Unused	ドント・ケア・ビット。

ビット	ビット名	説明
[5:3]	OUTTEST[2:0]	デジタル出力テスト・パターン・ビット。 000 = デジタル出力テスト・パターンをオフ。 001 = 全デジタル出力 = 0。 011 = 全デジタル出力 = 1。 101 = チェッカーボード出力パターン。OFxおよびD13~D0は、1 01 0101 0101 0101と0 10 1010 1010 1010が交互に切り替わります。 111 = 出力電流の切替え。OFxおよびD13~D0は、0 00 0000 0000 0000と1 11 1111 1111 1111が交互に切り替わります。 これ以外のビットの組合せは使用しません。
2	ABP	ビット極性切替えモード制御ビット。 0 = ビット極性切替えモードをオフ。 1 = ビット極性切替えモードをオン。出力フォーマットはオフセット・バイナリに設定されます。
1	RAND	データ出カランダマイザ・モード制御ビット。 0 = データ出カランダマイザ・モードをオフ。 1 = データ出カランダマイザ・モードをオン。
0	TWOSCOMP	2の補数モード制御ビット。 0 = オフセット・バイナリ・データ・フォーマット。 1 = 2の補数データ・フォーマット。

アプリケーション情報

図33に、シングルエンドIQ復調器とADAQ8092のインターフェース方法の一例を示します。ADAQ8092の入力でのDCブロッキング・コンデンサが、復調器のコモンモード・バイアスをADAQ8092から絶縁します。図33の入力回路は、コーナ周波数 (f_c) が27.4kHzのハイパス・フィルタを形成します。VIN1において27.4kHzを超える周波数で100mV p-pの信号が、ADC入力において1V p-pフルスケールを生成します。

図34に、バランスを用いたシングルエンド復調器とADAQ8092のインターフェース方法の一例を示します。図34の入力回路は、 f_c が33.5kHzのハイパス・フィルタを形成します。VIN1において33.5kHzを超える周波数で100mV p-pの信号が、ADC入力において1V p-pフルスケールを生成します。

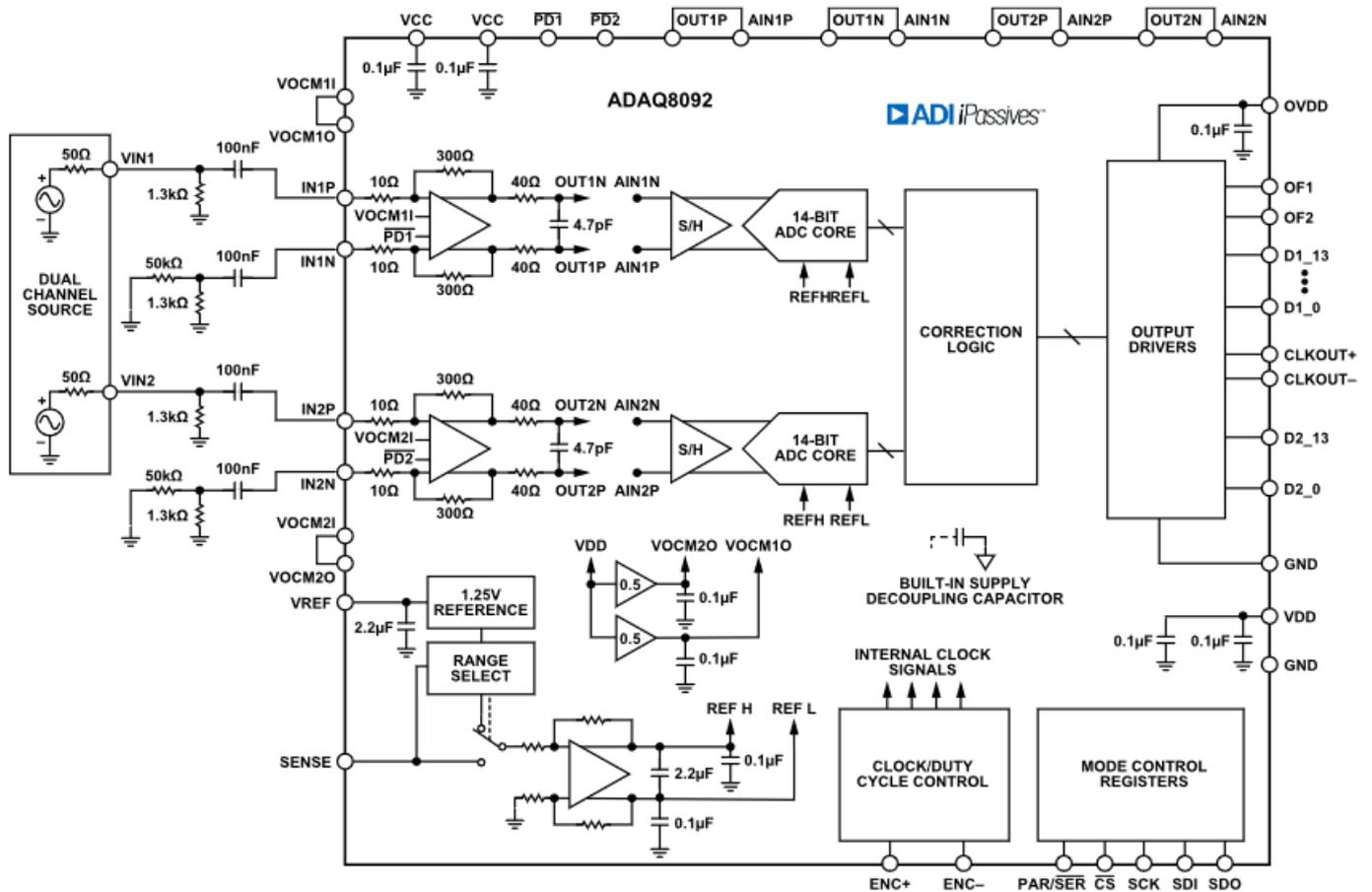


図 33. ADAQ8092へのデュアルチャンネル、シングルエンド入力

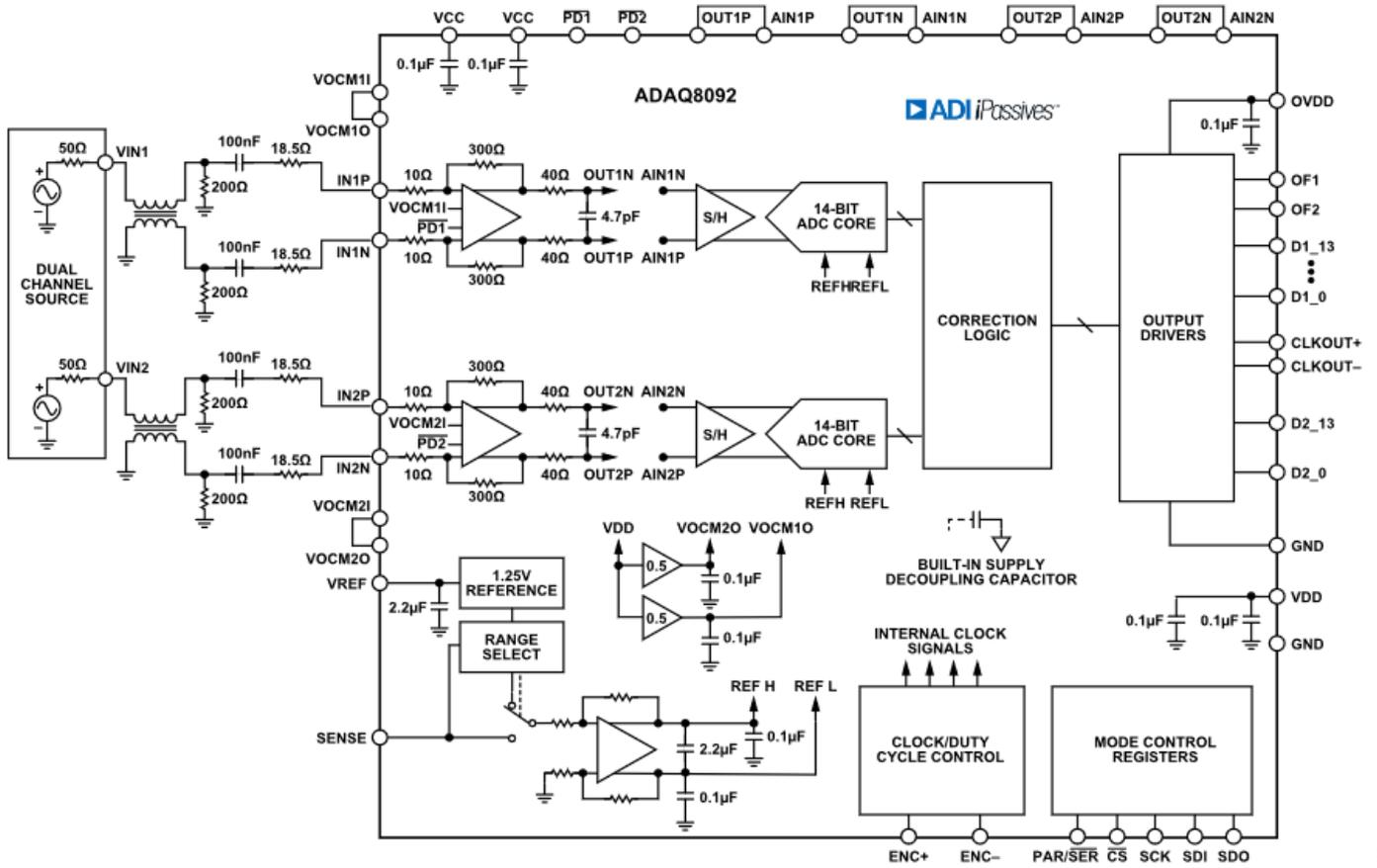


図 34. ADAQ8092へのデュアルチャンネル、差動入力

外形寸法

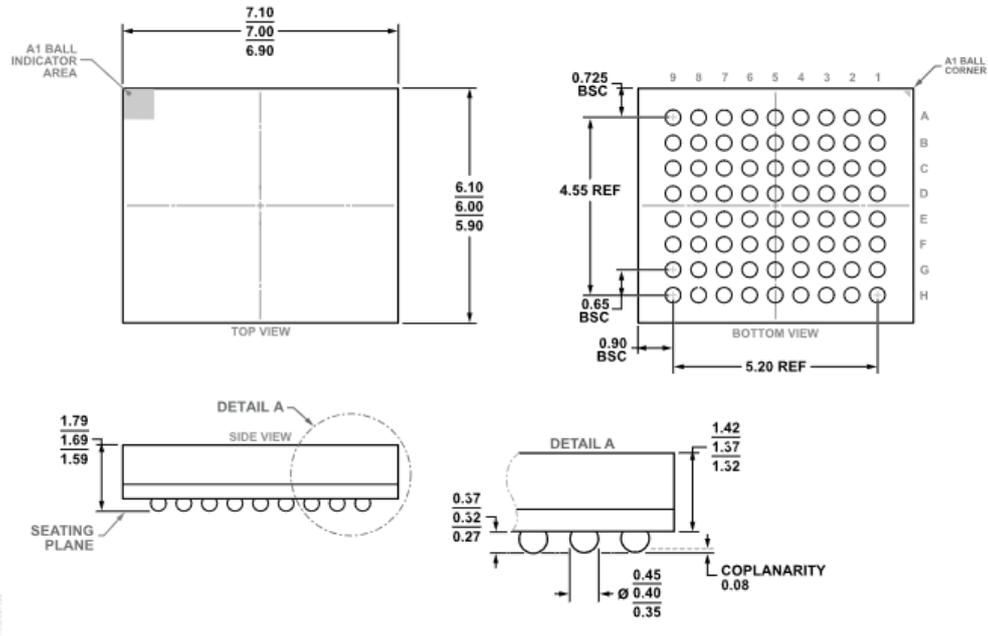


図 35. 72ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-72-5)
寸法 : mm

更新 : 2022年7月27日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADAQ8092BBCZ	-40°C to +105°C	CHIP SCALE BGA	Tray, 350	BC-72-5

1 Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADAQ8092-FMCZ	Evaluation Board

1 Z = RoHS準拠製品。