

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 9 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 9 月 5 日

製品名： ADAQ7768-1

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 52 ページ、左の段、最初の行

【誤】

「図 121 に、広帯域・・・」

【正】

「図 123 に、広帯域・・・」



データシート ADAQ7768-1

24ビット、シングルチャンネルの高精度μModule データ・アキュイジション・システム

特長

- ▶ 高集積データ・アキュイジション・ソリューション
- ▶ プログラマブルな7つのゲイン・オプション
 - ▶ $G = 0.325, 0.65, 1.3, 2.6, 5.2, 10.4, 20.8\text{V/V}$
- ▶ 最大差動入力範囲: $\pm 12.6\text{V}$
- ▶ 最大入力コモンモード電圧範囲: $-12\text{V} \sim +12\text{V}$
- ▶ 最大の平坦度と線形位相特性を持つ4次AAF
- ▶ 100dB (代表値) の除去によるエイリアシングからの完全保護
- ▶ デバイス間の優れた位相マッチングとドリフト
- ▶ ACとDCの高精度性能を両立:
 - ▶ システム全体のダイナミック・レンジ: 最大130dB
 - ▶ THD: 0.325V/V のゲインで -120dB (代表値)
 - ▶ DC CMRR: 20.8V/V のゲインで最小100dB
 - ▶ 最大入力バイアス電流: 25pA (25°C 時)
 - ▶ INL: $\pm 6\text{ppm}$ (代表値)
 - ▶ ゲイン誤差ドリフト: 最大 $5.5\text{ppm}/^\circ\text{C}$
 - ▶ デバイス間の最大位相不整合: 20kHz で $\pm 0.13^\circ$
- ▶ プログラマブルな出力データ・レート、フィルタ・タイプ、遅延
- ▶ 線形位相デジタル・フィルタ・オプション:
 - ▶ 広帯域低リップルFIRフィルタ (最大入力帯域幅 110kHz)
 - ▶ sinc5フィルタ (1.024MSPS 、最大入力帯域幅 198.4kHz 、最大群遅延 $4\mu\text{s}$)
 - ▶ sinc3フィルタ ($50\text{Hz}/60\text{Hz}$ 除去)
- ▶ LDO内蔵
- ▶ 電源デカップリング・コンデンサ内蔵
- ▶ ピン・ストラップまたはSPIを使用した設定
- ▶ 絶縁アプリケーションに最適化されたデジタル・インターフェース
- ▶ 一連の診断チェック・メカニズム
- ▶ 動作温度範囲: $-40^\circ\text{C} \sim +85^\circ\text{C}$
- ▶ パッケージング: $12.00\text{mm} \times 6.00\text{mm}$ の84ボールCSP_BGA (ボール・ピッチ 0.80mm)
- ▶ ディスクリット・ソリューションと比較してフットプリントを1/10に削減

アプリケーション

- ▶ 汎用入力測定プラットフォーム
- ▶ 電子テストおよび計測
- ▶ サウンドと振動、音響、および素材科学の研究開発
- ▶ 制御およびハードウェア・イン・ザ・ループ検証
- ▶ 予防メンテナンスのための状態監視
- ▶ オーディオ試験

機能ブロック図

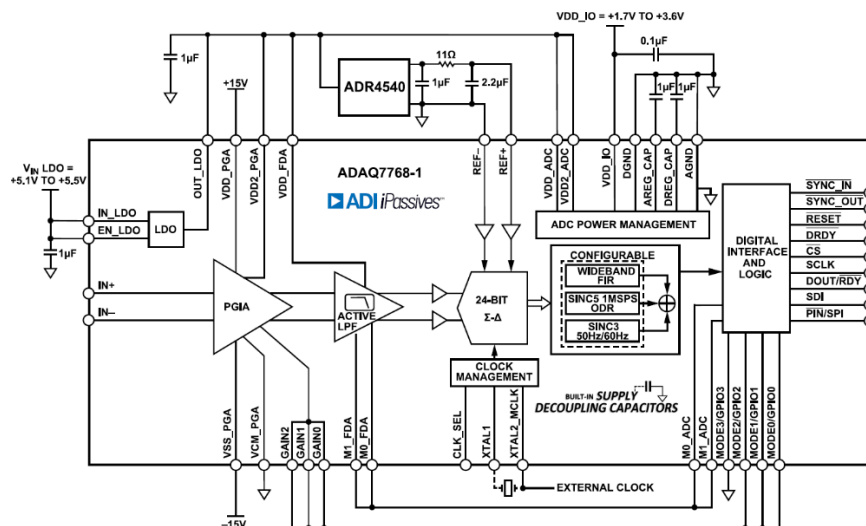


図 1. 機能ブロック図

米国特許10,680,633 B1および10,979,062 B2により保護されています。

Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	SPI制御エラーの処理.....	73
アプリケーション.....	1	シリアル・インターフェースでの巡回冗長検査（CRC）.....	73
機能ブロック図.....	1	変換読出しモード.....	74
概要.....	4	データ変換モード.....	77
仕様.....	5	連続変換モード.....	77
タイミング仕様.....	14	ワンショット変換モード.....	77
1.8Vタイミング仕様.....	15	複数のADAQ7768-1デバイスの同期.....	79
絶対最大定格.....	19	ADAQ7768-1のその他の機能.....	80
熱抵抗.....	19	リセット.....	80
静電放電（ESD）定格.....	19	ステータス・ヘッダ.....	80
ESDに関する注意.....	19	診断機能.....	80
ピン配置およびピン機能の説明.....	20	アプリケーション情報.....	81
代表的な性能特性.....	23	クイック・スタートアップ.....	81
用語の定義.....	37	センサーとのインターフェースおよびゲイン制御.....	81
動作原理.....	39	絶縁および電源ソリューション.....	81
アナログ入力.....	39	電源シーケンス.....	81
任意入力.....	40	リファレンス、リファレンス・バッファ、直線性向上バッファ.....	81
アナログ入力範囲.....	41	推奨インターフェース.....	81
アンチエイリアシング・フィルタ.....	43	プログラマブル・デジタル・フィルタ.....	83
FDAの消費電力モード.....	46	レイアウトのガイドライン.....	85
直線性向上バッファ.....	47	レジスタの一覧.....	86
リファレンス入力とバッファリング.....	47	レジスタの詳細.....	88
コア・コンバータ.....	48	コンポーネント・タイプ・レジスタ.....	88
電源.....	48	固有製品IDレジスタ.....	88
電源のデカップリング.....	49	デバイス・グレードおよびリビジョン・レジスタ.....	88
電源スタンバイ.....	50	ユーザ・スクラッチパッド・レジスタ.....	88
クロック供給とサンプリング・ツリー.....	50	デバイス・ベンダIDレジスタ.....	88
クロッキングとクロックの選択.....	50	インターフェース・フォーマット制御レジスタ.....	89
デジタル・フィルタ処理.....	50	消費電力およびクロック制御レジスタ.....	89
ADCの速度と性能.....	56	アナログ・バッファ制御レジスタ.....	90
デバイスの設定方法.....	56	変換ソース選択およびモード制御レジスタ.....	90
PIN制御モードの概要.....	56	デジタル・フィルタおよびデシメーション制御レジスタ.....	91
SPI制御の概要.....	60	sinc3デシメーション・レート（MSB）レジスタ.....	92
SPI制御モード.....	61	sinc3デシメーション・レート（LSB）レジスタ.....	92
クイック・スタートアップ・ガイド.....	64	周期的変換レート制御レジスタ.....	92
電源の接続.....	64	同期モードおよびリセット・トリガリング・レジスタ.....	92
デバイスの制御モード.....	64	GPIOポート制御レジスタ.....	93
入力範囲の選択.....	64	GPIO出力制御レジスタ.....	93
MCLKの分周器とソースの選択.....	65	GPIO入力読出しレジスタ.....	93
デジタル・フィルタの設定.....	66	オフセット・キャリブレーションMSBレジスタ.....	93
ADCの消費電力モード.....	66	オフセット・キャリブレーションMIDレジスタ.....	94
基本的なレジスタ・セットアップ.....	66	オフセット・キャリブレーションLSBレジスタ.....	94
ノイズ性能と分解能.....	67	ゲイン・キャリブレーションMSBレジスタ.....	94
デジタル・インターフェース.....	72	ゲイン・キャリブレーションMIDレジスタ.....	94
SPIでの読出しと書込み.....	72		

目次

ゲイン・キャリブレーションLSBレジスタ	95	MCLK診断出力レジスタ	97
SPI診断制御レジスタ	95	係数制御レジスタ	97
ADC診断機能制御レジスタ	95	係数データ・レジスタ	97
デジタル診断機能制御レジスタ	95	アクセス・キー・レジスタ	97
変換結果レジスタ	96	外形寸法	98
デバイス・エラー・フラグ・マスタ・レジスタ	96	オーダー・ガイド	98
SPIエラー・レジスタ	96	評価用ボード	98
ADC診断出力レジスタ	96		
デジタル診断出力レジスタ	97		

改訂履歴

3/2023—Revision 0: Initial Version

概要

ADAQ7768-1は、シグナル・コンディショニング、変換、処理ブロックを1つのシステム・イン・パッケージ (SiP) 設計に組み込んだ24ビット高精度データ・アキュイジション (DAQ) μ Module®システムです。このシステムにより、超小型で高性能な高精度DAQシステムを短時間で開発することができます。

ADAQ7768-1の構成要素は次のとおりです。

- ▶ 低ノイズ、低バイアス電流、広帯域幅のプログラマブル・ゲイン計装アンプ (PGIA)。高入力インピーダンスを維持しながら信号増幅と信号減衰にも対応します。
- ▶ 低ノイズ、線形位相の4次アンチエイリアス・フィルタ。
- ▶ 低ノイズ、低歪み、広帯域幅のADCドライバ、およびオプシオンの直線性向上バッファ。
- ▶ プログラマブルなデジタル・フィルタを備えた高性能、中帯域幅の24ビット Σ - Δ ADC。
- ▶ 低ノイズ、低ドロップアウトのリニア電圧レギュレータ。
- ▶ リファレンス・バッファ。
- ▶ シグナル・チェーンに必要な重要受動部品。

ADAQ7768-1は、最大 $\pm 12.6V$ の完全差動入力信号をサポートします。入力コモンモード電圧範囲は $\pm 12V$ で、優れた同相ノイズ除去比 (CMRR) を備えています。

入力信号は、2pA (代表値) という極めて低い入力バイアス電流で完全にバッファリングされます。これにより入力インピーダンスのマッチングが容易になり、高い出力インピーダンスを持つセンサーにADAQ7768-1を直接インターフェース接続できます。

ピン設定可能な7つのゲイン設定はシステムのダイナミック・レンジを拡張し、より低振幅の入力信号に対するシグナル・チェーンのノイズ性能を向上させます。

4次ローパス・アナログ・フィルタとユーザ設定可能なデジタル・フィルタを組み合わせることにより、入力ノードで発生する高周波ノイズと帯域外トーンがエイリアシングによって対象帯域に混ざるのが防ぎ、シグナル・チェーンを完全に保護します。アナログ・ローパス・フィルタは、位相直線性を高め、帯域内振幅応答を最大限に平坦化できるよう綿密に設計されています。アナログ・ローパス・フィルタ内で使用されている抵抗ネットワークは、アナログ・デバイセズのiPASSIVES™技術を用いて構築され、絶対値においても温度範囲全体においても優れた抵抗マッチング特性を備えています。その結果、温度変化によるドリフトを最小限に抑えながらシグナル・チェーンの性能が維持されます。またADAQ7768-1は、デバイス間での位相不整合がほとんどありません。

高性能ADCドライバ・アンプによって、最大サンプリング・レートにおけるADC入力完全なセトリングが確保されます。ドライバ回路は、安定性を維持しながら、付加ノイズ、誤差、歪みを最小限に抑えるように設計されています。完全差動アーキテクチャは、シグナル・チェーンのダイナミック・レンジを最大限に引き出します。

ADAQ7768-1内のA/Dコンバータ (ADC) は、高性能、24ビット精度、シングルチャンネルのシグマデルタ・コンバータで、優れたAC性能とDC精度を備え、16.384MHzのMCLKから256kSPSのスループット・レートを実現しています。

シグナル・チェーンの直線性は、オプシオンの直線性向上バッファによって更に向上します。

ADAQ7768-1は入力リファレンス電圧4.096Vで仕様規定されていますが、このデバイスは、VDD_ADCから1Vまでのリファレンス電圧に対応できます。

ADAQ7768-1には2種類のリファレンス・バッファがあります。1つはリファレンス入力の駆動条件を緩和するプリチャージ・リファレンス・バッファ、もう1つは高インピーダンスのリファレンス入力を提供するフル・リファレンス・バッファです。どちらのバッファもオプションであり、レジスタ設定でオフにすることができます。

ADAQ7768-1は、水晶発振器、相補型金属酸化膜半導体 (CMOS)、低電圧差動伝送 (LVDS) という3種類のクロック入力をサポートしています。

ADAQ7768-1には3種類のデジタル・ローパス・フィルタがあります。広帯域フィルタは、理想的なブリック・ウォール・フィルタと同様のフィルタ・プロファイルを備えており、周波数の分析に最適です。sinc5フィルタは、良好なエイリアシング除去レベルを維持しながら低遅延経路とスムーズなステップ応答を両立します。また、16.384MHzのMCLKで最大1.024MSPSの出力データ・レートをサポートしているため、sinc5フィルタは低遅延のデータ収集と時間領域分析に最適です。sinc3フィルタは幅広いデシメーション・レシオをサポートし、16.384MHzのMCLKで最小50SPSまでの出力データ・レートを生成できます。そのため、50Hz/60Hzの同時除去ポスト・フィルタと組み合わせることで、sinc3フィルタは高精度DC測定で特に有用なものとなります。ADAQ7768-1の3つのデジタル・フィルタはいずれも、線形位相応答を持つFIRフィルタです。フィルタの帯域幅は、DAQシグナル・チェーンの帯域幅と直接対応しており、レジスタを使用してすべて設定することができます。

また、ADAQ7768-1は、2つのデバイス設定方法もサポートしています。SPIを介したレジスタ書込みによってデバイスを設定する方法と、単純なハードウェア・ピン・ストラッピングにより、事前定義された複数のモードのいずれかで動作するようにデバイスを設定する方法です。

レジスタ・アクセスとサンプル・データ・リードバックの両方の機能が単一のSPIでサポートされます。ADAQ7768-1は常にSPIターゲットとして機能します。デバイスとの通信に3つ以上のIOチャンネルを用いれば、複数のインターフェース・モードに対応できます。

加えて、システムの信頼性を高めるために、ADAQ7768-1には、動作中の多様なエラーを検出する一連の内部診断機能が備わっています。

ADAQ7768-1デバイスは、動作温度範囲が $-40^{\circ}C \sim +85^{\circ}C$ で、12.00mm $\times$ 6.00mmの84ボールCSP_BGAパッケージ (ボール・ピッチ0.80mm) を採用しており、複数チャンネルのアプリケーションに最適です。ADAQ7768-1の基板スペースはわずか75mm²です。つまり、750mm²を使用するディスクリート・ソリューションの1/10の面積となっています。

仕様

特に指定のない限り、VDD_PGA = 15V、VSS_PGA = -15V、AGND = DGND = 0V、入力コモンモード電圧 = 0V、IN_LDO = 5.1V~5.5V、OUT_LDO = VDD2_PGA = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、50:50のデューティ・サイクル、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、 $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。代表値は $T_A = +25^{\circ}\text{C}$ での値です。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
ANALOG INPUT CHARACTERISTICS					
Input Bias Current	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		2	25 100	pA pA
Input Offset Current	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		2	25 60	pA pA
Input Voltage Range	各ピン、IN+およびIN-	VSS_PGA+ 3.25		VDD_PGA - 3	V
Input Common Mode Range ¹		-12		12	V
Analog Front-End Gain (AFE_GAIN)	ゲイン0モード		0.325		V/V
	ゲイン1モード		0.65		V/V
	ゲイン2モード		1.3		V/V
	ゲイン3モード		2.6		V/V
	ゲイン4モード		5.2		V/V
	ゲイン5モード		10.4		V/V
	ゲイン6モード		20.8		V/V
	差動 (IN+~IN-)				
Full-Scale Input Range (FSR)	FSR = $\pm V_{REF}/AFE_GAIN$				
	ゲイン0モード		± 12.603		V
	ゲイン1モード		± 6.302		V
	ゲイン2モード		± 3.151		V
	ゲイン3モード		± 1.575		V
	ゲイン4モード		± 0.788		V
	ゲイン5モード		± 0.394		V
	ゲイン6モード		± 0.197		V
Common-Mode Rejection DC					
Gain 0 Mode					
	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		92		dB
		71			
Gain 1 Mode					
	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		95		dB
		75			
Gain2 Mode					
	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		97		dB
		78			
Gain 3 Mode					
	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		102		dB
		84			
Gain 4 Mode					
	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		108		dB
		90			
Gain 5 Mode					
	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		114		dB
		95			
Gain 6 Mode					
	$T_A = 25^{\circ}\text{C}$ $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		120		dB
		100			
Common-Mode Rejection AC					
AC CMRR ($f = 1\text{kHz}$)、RTI					
	ゲイン0モード		63		dB
	ゲイン1モード		65		dB
	ゲイン2モード		78		dB
	ゲイン3モード		78		dB
	ゲイン4モード		90		dB
	ゲイン5モード		90		dB

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Input Current Noise	ゲイン6モード		113		dB
Spectral Density	f = 10 kHz		1		fA/√Hz
Peak-to-Peak	f = 0.1Hz~10Hz		100		fA p-p
Input Resistance	コモンモードおよび差動		5 × 10 ¹²		Ω
Input Capacitance			15		pF
OVERALL SYSTEM DC ACCURACY					
Gain Error	全ゲイン・モード、RTI、T _A = 25°C	-0.05	±0.005	+0.05	%
		-500	±50	+500	ppm
Gain Error Drift	全ゲイン・モード、RTI、エンドポイント法	-5.5	-1.6	+2.5	ppm/°C
Offset Error	RTI、T _A = 25°C				
	ゲイン0モード		±0.60	±5.8	mV
	ゲイン1モード		±0.30	±2.9	mV
	ゲイン2モード		±0.14	±2.1	mV
	ゲイン3モード		±0.06	±1.4	mV
	ゲイン4モード		±0.02	±1.0	mV
	ゲイン5モード		±0.01	±0.8	mV
	ゲイン6モード		±0.01	±0.7	mV
Offset Error Drift	RTI、エンドポイント法				
	ゲイン0モード	-61.0	-16.0	+29.0	μV/°C
	ゲイン1モード	-31.0	-8.0	+15.0	μV/°C
	ゲイン2モード	-16.0	-4.0	+8.0	μV/°C
	ゲイン3モード	-8.5	-2.2	+4.0	μV/°C
	ゲイン4モード	-5.0	-1.2	+2.5	μV/°C
	ゲイン5モード	-3.0	-0.7	+1.7	μV/°C
	ゲイン6モード	-2.2	-0.5	+1.3	μV/°C
Integral Nonlinearity (INL)	エンドポイント法				
Gain 0 Mode	T _A = 25°C		±6		ppm of FSR
	-40°C < T < +85°C			±18	ppm of FSR
Gain 1 Mode	T _A = 25°C		±6		ppm of FSR
	-40°C < T _A < +85°C			±17	ppm of FSR
Gain 2 Mode	T _A = 25°C		±6		ppm of FSR
	-40°C < T _A < +85°C			±17	ppm of FSR
Gain 3 Mode	T _A = 25°C		±6		ppm of FSR
	-40°C < T _A < +85°C			±18	ppm of FSR
Gain 4 Mode	T _A = 25°C		6		ppm of FSR
	-40°C < T _A < +85°C			±19	ppm of FSR
Gain 5 Mode	T _A = 25°C		±6		ppm of FSR
	-40°C < T _A < +85°C			±22	ppm of FSR
Gain 6 Mode	T _A = 25°C		±6.5		ppm of FSR
	-40°C < T _A < +85°C			±30	ppm of FSR
Low Frequency Noise	sinc3フィルタ、ODR = 50SPS、帯域幅 = 15Hz、入力を短絡、RTI、FDA = 低消費電力モード				
	ゲイン0モード		1.55		μV RMS
	ゲイン1モード		0.89		μV RMS
	ゲイン2モード		0.51		μV RMS
	ゲイン3モード		0.33		μV RMS
	ゲイン4モード		0.25		μV RMS
	ゲイン5モード		0.22		μV RMS

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Peak-to-Peak Resolution ²	ゲイン6モード		0.21		μV RMS
	sinc3フィルタ、ODR = 50SPS、帯域幅 = 15Hz、入力を短絡、RTI、FDA = 通常消費電力モード				
	ゲイン0モード		3.02		μV RMS
	ゲイン1モード		1.55		μV RMS
	ゲイン2モード		0.89		μV RMS
	ゲイン3モード		0.48		μV RMS
	ゲイン4モード		0.30		μV RMS
	ゲイン5モード		0.25		μV RMS
	ゲイン6モード		0.22		μV RMS
	sinc3フィルタ、ODR = 50SPS、帯域幅 = 15Hz、入力を短絡、RTI、FDA = 低消費電力モード				
	ゲイン0モード		21.2		Bits
	ゲイン1モード		21.0		Bits
	ゲイン2モード		20.8		Bits
	ゲイン3モード		20.5		Bits
	ゲイン4モード		19.9		Bits
	ゲイン5モード		19.0		Bits
	ゲイン6モード		18.1		Bits
	sinc3フィルタ、ODR = 50SPS、帯域幅 = 15Hz、入力を短絡、RTI、FDA = 通常消費電力モード				
	ゲイン0モード		20.3		Bits
	ゲイン1モード		20.2		Bits
	ゲイン2モード		20.0		Bits
	ゲイン3モード		19.9		Bits
	ゲイン4モード		19.6		Bits
	ゲイン5モード		18.9		Bits
	ゲイン6モード		18.0		Bits
OVERALL SYSTEM AC PERFORMANCE	広帯域低リップルFIRフィルタ、ODR = 256kSPS、帯域幅 = 110.8kHz、32でデシメーション				
Dynamic Range ³	入力を短絡				
Gain0 Mode		105.8	106.7		dB
	帯域幅 = 1Hz		157.2		dB
Gain 1 Mode		105.5	106.4		dB
	帯域幅 = 1Hz		156.9		dB
Gain 2 Mode		104.7	105.7		dB
	帯域幅 = 1Hz		156.1		dB
Gain 3 Mode		103.7	104.8		dB
	帯域幅 = 1Hz		155.3		dB
Gain 4 Mode		101.5	102.7		dB
	帯域幅 = 1Hz		153.1		dB
Gain 5 Mode		97.3	98.9		dB
	帯域幅 = 1Hz		149.3		dB
Gain6 Mode		92.1	93.8		dB
	帯域幅 = 1Hz		144.1		dB
	システム全体		130		dB

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Noise Spectral Density	RTI、入力を短絡、1kHz				
	ゲイン0モード		122		nV/√Hz
	ゲイン1モード		63.8		nV/√Hz
	ゲイン2モード		35		nV/√Hz
	ゲイン3モード		19		nV/√Hz
	ゲイン4モード		12.3		nV/√Hz
	ゲイン5モード		9.5		nV/√Hz
Integrated Voltage Noise	RTI、入力を短絡				
	ゲイン0モード		41.2		μV RMS
	ゲイン1モード		21.4		μV RMS
	ゲイン2モード		11.6		μV RMS
	ゲイン3モード		6.4		μV RMS
	ゲイン4モード		4.1		μV RMS
	ゲイン5モード		3.1		μV RMS
Signal-to-Noise Ratio (SNR)	ゲイン6モード		2.8		μV RMS
	-0.5dBFS、サイン波入力、1kHzの入力トーン				
	ゲイン0モード	103.9	105.9		dB
	ゲイン1モード	102.2	104.9		dB
	ゲイン2モード	101.8	104.4		dB
	ゲイン3モード	100.5	103.4		dB
	ゲイン4モード	98.5	100.8		dB
Total Harmonic Distortion (THD)	ゲイン5モード	96.1	98.0		dB
	ゲイン6モード	91.2	93.1		dB
	-0.5dBFS、サイン波入力、1kHzの入力トーン				
	ゲイン0モード		-120		dB
	ゲイン1モード		-120		dB
	ゲイン2モード		-120		dB
	ゲイン3モード		-120		dB
Signal-to-Noise and Distortion Ratio (SINAD)	ゲイン4モード		-120		dB
	ゲイン5モード		-120		dB
	ゲイン6モード		-115		dB
	-0.5dBFS、サイン波入力、1kHzの入力トーン				
	ゲイン0モード	103.8			dB
	ゲイン1モード	102.1			dB
	ゲイン2モード	101.7			dB
Spurious-Free Dynamic Range (SFDR)	ゲイン3モード	100.4			dB
	ゲイン4モード	98.4			dB
	ゲイン5モード	96.0			dB
	ゲイン6モード	91.1			dB
	-0.5dBFS、サイン波入力、1kHzの入力トーン				
	ゲイン0モード		121		dBc
	ゲイン1モード		121		dBc
	ゲイン2モード		121		dBc
	ゲイン3モード		121		dBc
	ゲイン4モード		121		dBc
	ゲイン5モード		121		dBc
	ゲイン6モード		116		dBc

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Intermodulation Distortion (IMD)	$f_{IN_A} = 19.5\text{kHz}$, $f_{IN_B} = 20.5\text{kHz}$				
	ゲイン0モード2次		-115		dB
	ゲイン0モード3次		-105		dB
	ゲイン2モード2次		-115		dB
	ゲイン2モード3次		-115		dB
	ゲイン6モード2次		-111		dB
	ゲイン6モード3次		-95		dB
ANALOG FRONT-END MAGNITUDE AND PHASE PERFORMANCE ⁴					
Analog Group Delay	$f_{IN} = 20\text{kHz}$, ゲイン0モード		1.011		μs
	$f_{IN} = 20\text{kHz}$, ゲイン6モード		1.070		μs
Phase Angle Mismatch Over Gain	サイン波, $f_{IN} = 20\text{kHz}$, 単一デバイス, ゲイン0で正規化, $T_A = 25^\circ\text{C}$				
	ゲイン1モード	-0.030	-0.019	-0.008	Degrees
	ゲイン2モード	-0.038	-0.007	0.024	Degrees
	ゲイン3モード	-0.055	-0.023	0.008	Degrees
	ゲイン4モード	0.000	0.031	0.062	Degrees
	ゲイン5モード	0.084	0.115	0.146	Degrees
	ゲイン6モード	0.363	0.427	0.491	Degrees
Phase Angle Drift	$f_{IN} = 20\text{kHz}$				
	ゲイン0モード	0.10	0.73	1.37	m°/C
	ゲイン1モード	0.16	0.77	1.39	m°/C
	ゲイン2モード	0.20	0.83	1.46	m°/C
	ゲイン3モード	0.25	0.88	1.51	m°/C
	ゲイン4モード	0.34	1.00	1.65	m°/C
	ゲイン5モード	0.55	1.24	1.94	m°/C
Device-to-Device Phase Angle Mismatch	$f_{IN} = 20\text{kHz}$, 代表値 = $\pm 1\sigma$, $T_A = 25^\circ\text{C}$				
	ゲイン0モード	-0.11	± 0.018	+0.11	Degrees
	ゲイン1モード	-0.11	± 0.017	+0.11	Degrees
	ゲイン2モード	-0.11	± 0.017	+0.11	Degrees
	ゲイン3モード	-0.11	± 0.017	+0.11	Degrees
	ゲイン4モード	-0.11	± 0.017	+0.11	Degrees
	ゲイン5モード	-0.11	± 0.017	+0.11	Degrees
Device-to-Device Phase Angle Mismatch Drift	$f_{IN} = 20\text{kHz}$, 代表値 = 1°C につき $ 1\sigma $ の変化				
	ゲイン0モード		-21	-126	μ°/C
	ゲイン1モード		-19	-112	μ°/C
	ゲイン2モード		-16	-97	μ°/C
	ゲイン3モード		-16	-98	μ°/C
	ゲイン4モード		-19	-114	μ°/C
	ゲイン5モード		-25	-149	μ°/C
Magnitude Flatness	$f_{IN} = 20\text{kHz}$		-2.3		mdB
	$f_{IN} = 100\text{kHz}$		-20		mdB
Alias Rejection	全ゲイン・モード, -20dBFSの入力信号		100		dB
	16.384MHz時 13.107MHz時		100		dB

仕様

表 1. (続き)

パラメータ	テスト条件／コメント	最小値	代表値	最大値	単位
ADC SPEED AND PERFORMANCE					
Output Data Rate (ODR) ⁵	広帯域低リップルFIR	1		256	kSPS
	Sinc5	1		1024	kSPS
	Sinc3	0.0125		256	kSPS
No Missing Codes	広帯域低リップルFIRフィルタ、デシメーション・レシオ≧32	24			Bits
	sinc5フィルタ、デシメーション・レシオ≧32	24			Bits
	sinc3フィルタ、デシメーション・レシオ≧64	24			Bits
Data Output Coding		Twos complement, MSB first			
REFERENCE INPUT CHARACTERISTICS					
REFIN Voltage	REFIN = (REF+) - (REF-)	1		VDD_ADC -AGND	V
Absolute REFIN Voltage Limit	リファレンス・バッファなし	AGND - 0.05		VDD_ADC +0.05	V
	リファレンス・バッファをオン	AGND		VDD_ADC	V
Average REFIN Current	リファレンス・プリチャージ・バッファをオン	AGND		VDD_ADC	V
	リファレンス・バッファなし		±80		uA/V
	リファレンス・バッファをオン		±300		nA
Average REFIN Current Drift	リファレンス・プリチャージ・バッファをオン		±20		uA
	リファレンス・バッファなし		±1.7		nA/V/C
	リファレンス・バッファをオン		125		nA/C
	リファレンス・プリチャージ・バッファをオン		4		nA/C
Common Mode Rejection	最大10MHz		100		dB
DIGITAL FILTER RESPONSE					
Wideband Low Ripple FIR Filter					
Decimation Rate	6個の選択可能なデシメーション・レート	32		1024	
Output Data Rate				256	kSPS
Group Delay	遅延		34/ODR		Sec
Settling Time	セトリング完了		68/ODR		Sec
Pass-Band Ripple				±0.005	dB
Pass-Band	-0.005 dB		0.4 × ODR		Hz
	-0.1dBの通過帯域		0.409 × ODR		
	-3dBの帯域幅		0.433 × ODR		Hz
Stop-Band Frequency	減衰 > 105dB		0.499 × ODR		Hz
Stop-Band Attenuation		105			dB
Sinc5 Filter					
Decimation Rate	8個の選択可能なデシメーション・レート	8		1024	
Output Data Rate				1.024	MSPS
Group Delay	遅延		< 3/ODR		Sec
Settling Time	セトリング完了		< 6/ODR		Sec
Pass Band	-0.1dBの帯域幅		0.0376 × ODR		Hz
	-3dBの帯域幅		0.204 × ODR		Hz
Sinc3 Filter					
Decimation Rate	1024個のデシメーション・レート	32		185,280	
Output Data Rate				256	kSPS
Group Delay	遅延		2/ODR		Sec

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Settling Time	50Hz除去へのセトリング完了		60		ms
Pass-Band	-0.1dBの帯域幅		0.0483 × ODR		Hz
	-3dBの帯域幅		0.2617 × ODR		Hz
CLOCK					
External Clock MCLK	ロジック入力パラメータ参照。 16.384 MHz MCLK	0.6	16.384	17	MHz
Internal Clock MCLK			16.384		MHz
Input High Voltage					
Duty Cycle		25:75	50:50	25:75	%
MCLK Logic Low Pulse Width		16			ns
MCLK Logic High Pulse Width		16			ns
Crystal Frequency		8	16	17	MHz
Crystal Start-Up Time	クロック出力有効		2		ms
ADC RESET					
ADC Start-Up Time after Reset	リセットの立ち上がりエッジから最初の DRDYまで、PINモード、デシメーション・レート=8		100		μs
Minimum RESET Low Pulse Width		0.0001		100	ms
LOGIC INPUTS	特に指定のない限り全ロジック入力に適用、電圧はAGND基準。				
Input High Voltage, VINH	1.7 V ≤ VDD_IO ≤ 1.9 V	0.65 × VDD_IO			V
	2.22 V ≤ VDD_IO ≤ 3.6 V	0.65 × VDD_IO V			V
Input Low Voltage, VINL	1.7 V ≤ VDD_IO ≤ 1.9			V 0.35 × VDD_IO	V
	2.22 V ≤ VDD_IO ≤ 3.6 V			0.7	V
Hysteresis	2.22 V ≤ VDD_IO ≤ 3.6V	0.08		0.25	V
	1.7 V ≤ VDD_IO < 1.9 V	0.04		0.2	V
Leakage Current	RESETピンを除く	-10	+0.05	+10	μA
	RESETピンのプルアップ抵抗		1		kΩ
GAIN0, GAIN1, GAIN2	電圧はAGND基準				
Input High Voltage	ゲイン0、ゲイン1、ゲイン2 = 5V 電圧はAGND基準	1.5			V
Input Low Voltage				0.6	V
Input Current			8	12	μA
EN_LDO					
Input High Voltage	5.1 V ≤ IN_LDO ≤ 5.5 V	1.2			V
Input Low Voltage	5.1 V ≤ IN_LDO ≤ 5.5 V			0.4	V
Input Current	EN_LDO = IN_LDOまたはGND		0.1		μA
LOGIC OUTPUTS					
Output High Voltage	2.2 V ≤ VDD_IO < 3.6 V, I _{SOURCE} = 500 μA, LV_BOOST_off	0.8 × VDD_IO			V
	1.7 V ≤ VDD_IO < 1.9 V, I _{SOURCE} = 200 μA, LV_BOOST_on	0.8 × VDD_IO			V
	2.2 V ≤ VDD_IO < 3.6 V, I _{SINK} = 1 mA, LV_BOOST_off			0.4	V
Output Low Voltage	1.7 V ≤ VDD_IO < 1.9 V, I _{SINK} = 400 μA, LV_BOOST_on			0.4	V
Leakage Current	フロート状態	-10		+10	μA
Output Capacitance	フロート状態		10		pF
LDO CHARACTERISTIC					
Input Voltage Range		5.1		5.5	V

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
IN_LDO Supply Current	OUT_LDO負荷電流 = 20mA		80		μA
OUT_LDO Voltage		4.80	4.90	5.03	V
Load Regulation	IOUT = 1mA~20mA		0.0005		%/mA
Dropout Voltage ⁶	IOUT = 20 mA		3		mV
Start-Up Time ⁷			350		μs
Current Limit Threshold			500		mA
Thermal Shutdown Threshold			150		°C
Thermal Shutdown Hysteresis			15		°C
POWER REQUIREMENTS					
VDD_PGA	AGND基準	4.5		16	V
VSS_PGA	AGND基準	-16		-4.5	V
VDD2_PGA	AGND基準	4.75		5.5	V
VDD_FDA	AGND基準	4.75	5	5.5	V
VDD_ADC	AGND基準	4.75	5	5.5	V
VDD2_ADC	AGND基準	2	2.5	5.5	V
VDD_IO	AGND基準	1.7	1.8	3.6	V
POWER SUPPLY REJECTION					
VDD_PGA and VSS_PGA	出力換算 (RTO) 、DC~100Hz、V _{STEP} = 0.4V p-p		112		dB
	ゲイン0モード		130		dB
VDD2_PGA	ゲイン6モード		124		dB
VDD_FDA			116		dB
VDD_ADC			105		dB
VDD2_ADC			124		dB
VDD_IO			104		dB
LDO			124		dB
POWER SUPPLY CURRENT					
VDD_PGA	IN+ = IN- = AGND		3.1		mA
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン0モード		6.5		mA
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン6モード		3.4		mA
	コモンモード = AGNDでフルスケールDC入力、ゲイン0モード		7.6		mA
	コモンモード = AGNDでフルスケールDC入力、ゲイン6モード		4.1		mA
	スタンバイ		230		μA
VDD2_PGA	IN+ = IN- = AGND		0.75		mA
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン0モード		2.4		mA
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン6モード		1.1		mA
	コモンモード = AGNDでフルスケールDC入力、ゲイン0モード		3.3		mA
	コモンモード = AGNDでフルスケールDC入力、ゲイン6モード		2		mA
	スタンバイ		1		μA
VSS_PGA	IN+ = IN- = AGND		-5.9		mA
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン0モード		-10.3		mA

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
VDD_FDA	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン6モード		-6.4		mA
	コモンモード = AGNDでフルスケールDC入力、ゲイン0モード		-13		mA
	コモンモード = AGNDでフルスケールDC入力、ゲイン6モード		-8		mA
	スタンバイ		-210		μA
	IN+ = IN- = AGND、低消費電力		3.4		mA
	IN+ = IN- = AGND、通常消費電力		5.6		mA
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、低消費電力		3.7		mA
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、通常消費電力		5.8		mA
	コモンモード = AGNDでフルスケールDC入力、低消費電力		4.2		mA
	コモンモード = AGNDでフルスケールDC入力、通常消費電力		6.3		mA
VDD_ADC	スタンバイ		90		μA
	直線性向上バッファをオン、リファレンス・プリチャージ・バッファをオン		6.3		mA
	直線性向上バッファをオフ、リファレンス・プリチャージ・バッファをオフ		2.4		mA
	スタンバイ		205		μA
VDD2_ADC			4.7		mA
VDD_IO	スタンバイ		30		μA
	Sinc3 Filter		3.7		mA
	Sinc5 Filter		3.7		mA
	Wideband Low Ripple FIR Filter		9.5		mA
	Standby		380		μA
POWER DISSIPATION	外部CMOS MCLK、VDD2_ADC = VDD_IO = 3.3V				
Full Operating Mode					
Sinc3 Filter	IN+ = IN- = AGND		223		mW
Sinc5 Filter	IN+ = IN- = AGND		224		mW
Wideband Low Ripple FIR Filter	IN+ = IN- = AGND		243		mW
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン0モード		359		mW
	コモンモード = AGNDで1kHzのフルスケール・サイン波入力、ゲイン6モード		277		mW
	コモンモード = AGNDでフルスケールDC入力、ゲイン0モード		455		mW
	コモンモード = AGNDでフルスケールDC入力、ゲイン6モード		312		mW
Standby Mode			0.96		mW

1 詳細については**コモンモード入力範囲**のセクションを参照してください。

2 ピークtoピーク分解能の**用語の定義**を参照してください。計算に用いたノイズは、「Low Frequency Noise」の仕様に記載されています。

3 異なるデシメーション係数とスループットにおけるダイナミック・レンジ性能については**ノイズ性能と分解能**のセクションを参照してください。

4 AFE性能、用語の定義、計算については、**AFEの位相性能の計算**のセクションを参照してください。

5 16.384MHzの固定MCLKの場合、出力データ・レート (ODR) の範囲は、ADAQ7768-1で使用可能なプログラマブル・デシメーション・レートを表します。MCLKを変えることで、ODRの範囲を広げることができます。最適性能を実現するODR速度の推奨値については、**ADCの速度と性能**のセクションを参照してください。

6 ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。これは、2.3Vを超える出力電圧に対してのみ適用されます。

7 スタートアップ時間は、ENの立上がりエッジからVOUTが公称値の90%になるまでの時間として定義されます。

仕様

タイミング仕様

特に指定のない限り、VDD_ADC = 4.5V~5.5V、VDD2_ADC = 2.0V~5.5V、VDD_IO = 2.2V~3.6V、AGND = DGND = 0V、入力ロジック0 = 0V、入力ロジック1 = VDD_IO、負荷容量 (C_{LOAD}) = 20pF、LV_BOOSTビット (ビット7、INTERFACE_FORMATレジスタ (レジスタ 0x14)) をディスエーブル。

これらの仕様は、初期リリース時のサンプル・テストにより適合性が確認されています。すべての入力信号はt_R = t_F = 5nsで仕様規定しています (VDD_IOの10%~90%、VDD_IO/2の電圧レベルから時間を測定)。タイミング図については図2~図8を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 2.

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
MCLK	Frequency			16.384	17	MHz
t _{MCLK_HIGH}	MCLK high time		16			ns
t _{MCLK_LOW}	MCLK low time		16			ns
f _{MOD}	Modulator frequency	MCLK_DIV[1:0] = 11		MCLK/2		Hz
		MCLK_DIV[1:0] = 10		MCLK/4		Hz
		MCLK_DIV[1:0] = 01		MCLK/8		Hz
		MCLK_DIV[1:0] = 00		MCLK/16		Hz
t _{DRDY}	Conversion period	DRDYの立上がりエッジから次のDRDYの立上がりエッジまで、連続変換モード		f _{MOD} /DEC_RATE		Hz
t _{DRDY_HIGH}	DRDY high time	t _{MCLK} = 1/MCLK	t _{MCLK} - 5	1 × t _{MCLK}		ns
t _{MCLK_DRDY}	MCLK to DRDY	MCLKの立上がりエッジからDRDYの立上がりエッジまで	10	13	18	ns
t _{MCLK_RDY}	MCLK to RDY indicator on the DOUT/RDY pin	MCLKの立上がりエッジからRDYの立下がりエッジまで	10	13	18	ns
t _{UPDATE}	ADC data update	ADC変換レジスタが更新されるDRDY立上がりエッジまでの時間、単一変換読出し		1 × t _{MCLK}		ns
t _{START}	START pulse width		1.5 × t _{MCLK}			ns
t _{MCLK_SYNC_OUT}	MCLK to SYNC_OUT	MCLKの立下がりエッジからSYNC_OUTの立下がりエッジまで			t _{MCLK} + 16	ns
t _{SCLK}	SCLK period		50			ns
t ₁	CS falling to SCLK falling		0			ns
t ₂	CS falling to data output enable				6	ns
t ₃	SCLK falling edge to data output valid			10	15	ns
t ₄	Data output hold time after SCLK falling edge		4			ns
t ₅	SDI setup time before SCLK rising edge		3			ns
t ₆	SDI hold time after SCLK rising edge		8			ns
t ₇	CS high time	4線式インターフェース	10			ns
t ₈	SCLK high time		20			ns
t ₉	SCLK low time		20			ns
t ₁₀	SCLK rising edge to DRDY high	単一変換読出しのみ。最後のSCLKの立上がりエッジからDRDYハイまでの時間。	1 × t _{MCLK}			ns
t ₁₁	SCLK rising edge to CS rising edge		6			ns
t ₁₂	CS rising edge to DOUT/RDY output disable		4		7	ns

仕様

表 2. (続き)

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
t ₁₃	DOUT/ $\overline{\text{RDY}}$ indicator pulse width	$\overline{\text{RDY}}$ オン、DOUTイネーブル、SCLKアイドリング・ハイでの連続読出しモード		1 × t _{MCLK}		ns
t ₁₄	CS falling edge to SCLK rising edge		2			ns
t ₁₅	SYNC_IN setup time before MCLK rising edge		2			ns
t ₁₆	SYNC_IN pulse width		1.5 × t _{MCLK}			ns
t ₁₇	SCLK rising edge to $\overline{\text{RDY}}$ indicator rising edge	$\overline{\text{RDY}}$ がDOUTでイネーブルされている連続読出しモード	1			ns
t ₁₈	DRDY rising edge to SCLK falling edge	DRDYがDOUTでイネーブルされている連続読出しモード	8			ns

1.8Vタイミング仕様

特に指定のない限り、VDD_ADC = 4.5V～5.5V、VDD2_ADC = 2V～5.5V、VDD_IO = 1.7V～1.9V、AGND = DGND = 0V、入力ロジック0 = 0V、入力ロジック1 = VDD_IO、C_{LOAD} = 20pF、LV_BOOSTビット（ビット7、INTERFACE_FORMATレジスタ（レジスタ0x14））をイネーブル。

これらの仕様は、初期リリース時のサンプル・テストにより適合性が確認されています。すべての入力信号はt_r = t_f = 5nsで仕様規定しています（VDD_IOの10%～90%、VDD_IO/2の電圧レベルから時間を測定）。タイミング図については図2～図8を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 3.

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
MCLK	Frequency			16.384	17	MHz
t _{MCLK_HIGH}	MCLK high time		16			ns
t _{MCLK_LOW}	MCLK low time		16			ns
f _{MOD}	Modulator frequency	MCLK_DIV[1:0] = 11 MCLK_DIV[1:0] = 10 MCLK_DIV[1:0] = 01 MCLK_DIV[1:0] = 00		MCLK/2 MCLK/4 MCLK/8 MCLK/16		Hz
t _{DRDY}	Conversion period	DRDYの立上がりエッジから次のDRDYの立上がりエッジまで、連続変換モード		fMOD/DEC_RATE		Hz
t _{DRDY_HIGH}	DRDY high time	t _{MCLK} = 1/MCLK	t _{MCLK} - 5	1 × t _{MCLK}		ns
t _{MCLK_DRDY}	MCLK to DRDY	MCLKの立上がりエッジからDRDYの立上がりエッジまで	13	19	25	ns
t _{MCLK_RDY}	MCLK to $\overline{\text{RDY}}$ indicator on the DOUT/ $\overline{\text{RDY}}$ pin	MCLKの立上がりエッジから $\overline{\text{RDY}}$ の立下がりエッジまで	13	19	25	ns
t _{UPDATE}	ADC data update	ADC変換レジスタが更新されるDRDY立上がりエッジまでの時間。		1 × t _{MCLK}		ns
t _{START}	START pulse width		1.5 × t _{MCLK}			ns
t _{MCLK_SYNC_OUT}	MCLK to SYNC_OUT	MCLKの立下がりエッジからSYNC_OUTの立下がりエッジまで。複数のADAQ7768-1デバイスの同期のセクションを参照してください。			t _{MCLK} + 31	ns
t _{SCLK}	SCLK period		50			ns
t ₁	$\overline{\text{CS}}$ falling to SCLK falling		0			ns
t ₂	$\overline{\text{CS}}$ falling to data output enable				11	ns
t ₃	SCLK falling edge to data output valid			14	19	ns
t ₄	Data output hold time after SCLK falling edge		7			ns
t ₅	SDI setup time before SCLK rising edge		3			ns

仕様

表 3. (続き)

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
t ₆	SDI hold time after SCLK rising edge		8			ns
t ₇	$\overline{\text{CS}}$ high time	4線式インターフェース	10			ns
t ₈	SCLK high time		23			ns
t ₉	SCLK low time		23			ns
t ₁₀	SCLK rising edge to $\overline{\text{DRDY}}$ high	最後のSCLKの立上がりエッジからDRDYハイまでの時間。この時間を超過すると変換N+1が行われません。単一変換読出し。	$1 \times t_{\text{MCLK}}$			ns
t ₁₁	SCLK rising edge to $\overline{\text{CS}}$ rising edge		6			ns
t ₁₂	$\overline{\text{CS}}$ rising edge to DOUT/ $\overline{\text{RDY}}$ output disable		7.5		13	ns
t ₁₃	DOUT/ $\overline{\text{RDY}}$ indicator pulse width	$\overline{\text{RDY}}$ オン、DOUTイネーブル、SCLKアイドリング・ハイでの連続読出しモード。		$1 \times t_{\text{MCLK}}$		ns
t ₁₄	$\overline{\text{CS}}$ falling edge to SCLK rising edge		2.5			ns
t ₁₅	SYNC_IN setup time before MCLK rising edge		2			ns
t ₁₆	SYNC_IN pulse width		$1.5 \times t_{\text{MCLK}}$			ns
t ₁₇	SCLK rising edge to $\overline{\text{RDY}}$ indicator rising edge	$\overline{\text{RDY}}$ オン、DOUTイネーブルでの連続読出しモード。	5.5			ns
t ₁₈	$\overline{\text{DRDY}}$ rising edge to SCLK falling edge	$\overline{\text{RDY}}$ オン、DOUTイネーブルでの連続読出しモード。	15			ns

タイミング図

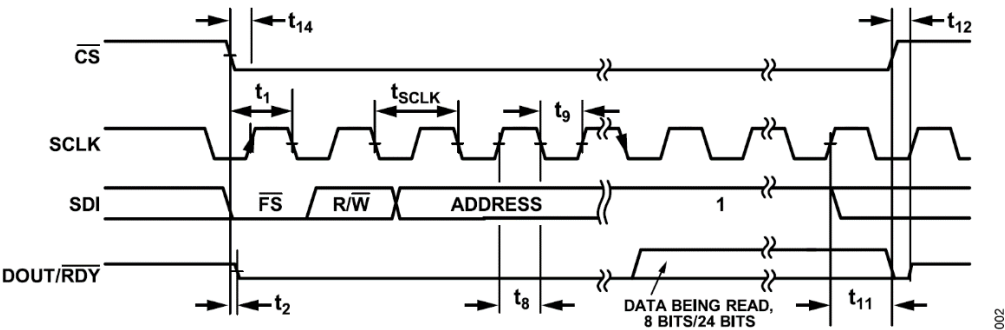


図 2. SPI読出しのタイミング図

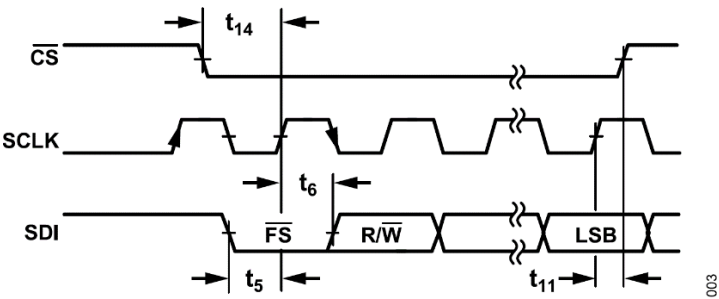


図 3. SPI書込みのタイミング図

仕様

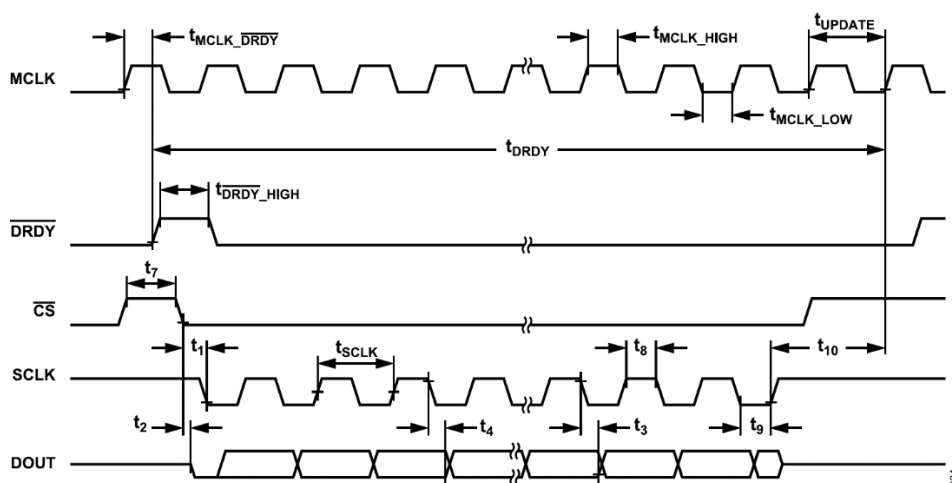
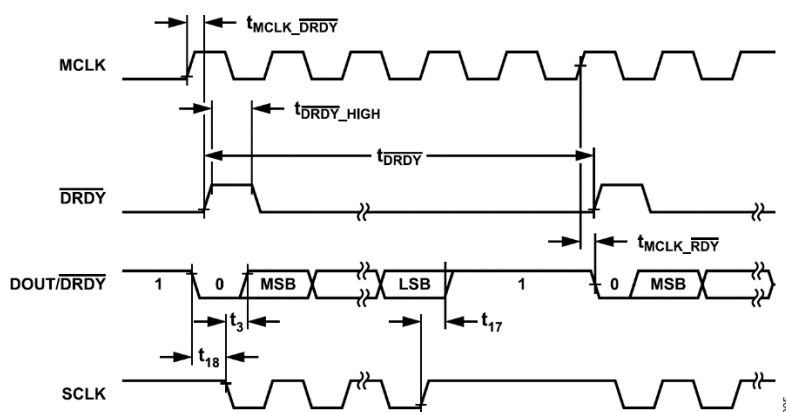
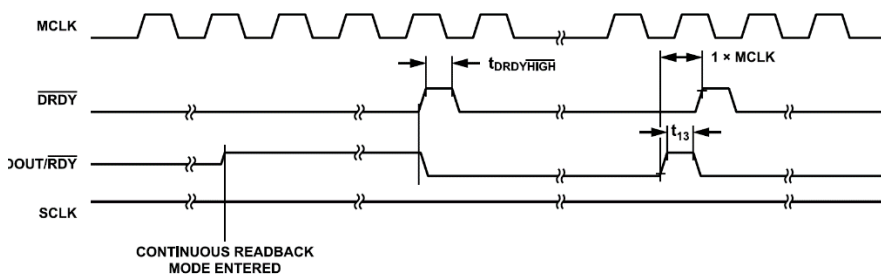
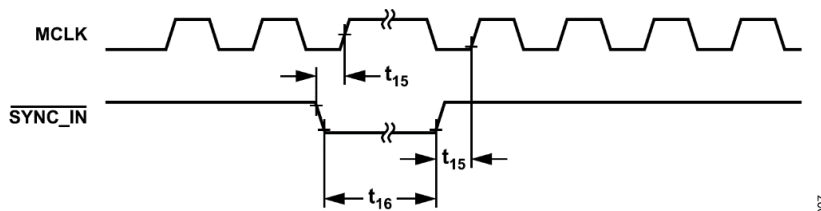
図 4. 連続変換モードでの変換結果の読み出し ($\overline{CS}$ のトグルリング)図 5. 連続変換モードでの変換結果の読み出し、 $\overline{RDY}$ をイネーブ爾 ($\overline{CS}$ をローに維持) した連続読み出しモード図 6. SCLK を使用しない場合の DOUT/ $\overline{RDY}$ の動作

図 7. 同期 SYNC_IN パルス

仕様

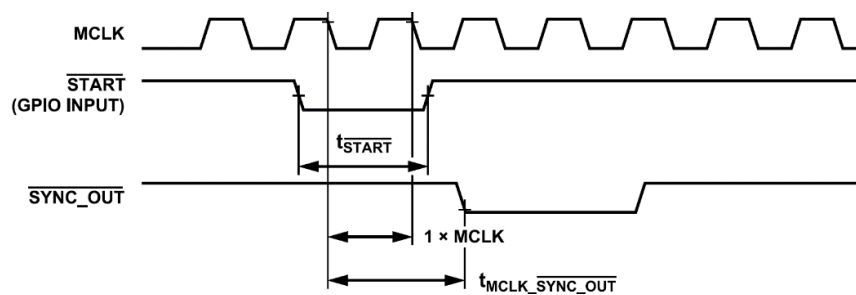


図 8. 非同期STARTおよびSYNC_OUT

008

絶対最大定格

表 4. 絶対最大定格

Parameter	Rating
VDD_PGA to AGND	+20 V
VSS_PGA to AGND	-20 V
VDD2_PGA to AGND	-0.3 V to +6.5 V
IN+, IN-	VSS_PGA to VDD_PGA
GAIN 0, GAIN 1, GAIN 2	VSS_PGA to VDD_PGA
VCM_PGA	VSS_PGA to VDD2_PGA
VDD_FDA to VDD_ADC	-0.3 V to +0.3 V
VDD_FDA to AGND	-0.3 V to +6.5 V
IN_LDO to AGND	-0.3 V to +6.5 V
EN_LDO to AGND	-0.3 V to +6.5 V
OUT_LDO to AGND	-0.3 V to IN_LDO
VDD_ADC to AGND	-0.3 V to +6.5 V
VDD2_ADC to AGND	-0.3 V to +6.5 V
VDD_IO to DGND	-0.3 V to +6.5 V
DGND to AGND	-0.3 V to +0.3V
VDD_IO, DREG_CAP to DGND (VDD_IO tied to DREG_CAP for 1.8 V operation)	-0.3 V to +2.25 V
REF+, REF- to AGND	-0.3 V to VDD_ADC + 0.3 V
Digital Input Voltage to DGND	-0.3 V to VDD_IO + 0.3 V
Digital Output Voltage to DGND	-0.3 V to VDD_IO + 0.3 V
XTAL1 to DGND	-0.3 V to +2.1 V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Pb-Free Temperature, Soldering Reflow (10 sec to 30 sec)	260°C
Maximum Package Classification Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

表 5. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC_TOP}	θ_{JC_BOTTOM}	θ_{JB}	Ψ_{JT}	Ψ_{JB}	Unit
BC-84-4	45.2	38.7	26.1	33.9	20.9	31.2	°C/W

¹ テスト条件1：熱抵抗のシミュレーション値は、1S0P JEDEC PCBを使用した θ_{JC_TOP} を除き、ビアを備えた2S2P JEDEC PCBを使用した場合の値です。

θ_{JA} は、1立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲の間の熱抵抗です。

θ_{JC_TOP} は、上部ジャンクションとケースの間の熱抵抗です。

θ_{JC_BOTTOM} は、下部ジャンクションとケースの間の熱抵抗です。

θ_{JB} は、ジャンクションとボードの間の熱抵抗です。

Ψ_{JT} は、ジャンクションと上面の間の熱特性です。

Ψ_{JB} はジャンクションとボードの間の熱特性です。

特に指定のない限り、表5に仕様規定されている熱抵抗値はJEDEC仕様に基づいてシミュレーションされており、JESD51-12に準拠して使用する必要があります。

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADAQ7768-1のESD定格

表 6. ADAQ7768-1、84ボールCSP_BGA

ESD Model	Withstand Voltage (V)	Class
HBM	±4000	3A
FICDM	±500	C2A

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

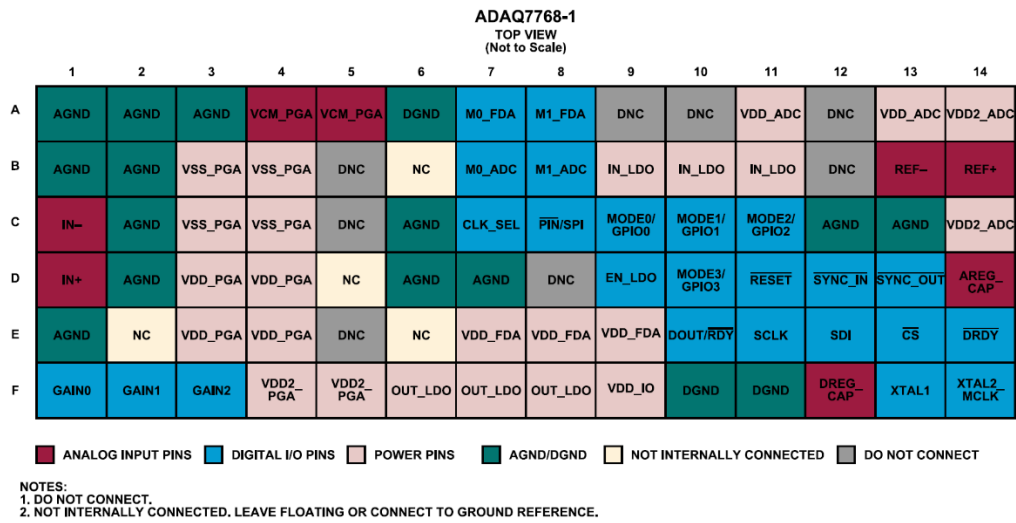


図 9. ピン配置

表 7. ADAQ7768-1のピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1, A2, A3	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
A4, A5	VCM_PGA	AI	PGIAの出力コモンモード電圧制御入力。通常動作ではAGNDに接続します。
A6	DGND	P	VDD_IO電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
A7	M0_FDA	DI	FDAモード制御入力0。通常動作ではM0_ADCに接続します。
A8	M1_FDA	DI	FDAモード制御入力1。通常動作ではM1_ADCに接続します。
A9, A10	DNC		「Do Not Connect」（接続しないでください）。
A11, A13	VDD_ADC	P	ADCアナログ電源電圧。AGNDを基準とします。内蔵LDOを用いる場合はOUT_LDOに接続し、それ以外の場合は、VDD2_PGAピンとVDD_FDAピンにも給電する単一の電源に接続します。
A12	DNC		「Do Not Connect」（接続しないでください）。
A14	VDD2_ADC	P	ADCの第2のアナログ電源電圧。AGNDを基準とします。
B1, B2	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
B3, B4	VSS_PGA	P	PGIA入出力段の負側電源。AGNDを基準とします。
B5	DNC		「Do Not Connect」（接続しないでください）。
B6	NC		内部接続なし。フロート状態のままにするかグラウンド・リファレンスに接続します。
B7	M0_ADC	DO	FDAモード制御出力0。FDAが通常消費電力モードの場合、M0_FDAに接続します
B8	M1_ADC	DO	FDAモード制御出力1。通常動作ではM1_FDAに接続します。
B9, B10, B11	IN_LDO	P	内蔵LDO電源入力。IN_LDOは、1μF以上のコンデンサを用いてAGNDにバイパスします。
B12	DNC		「Do Not Connect」（接続しないでください）。
B13	REF-	AI	ADCリファレンス入力負側ノード。通常動作ではAGNDに接続します。
B14	REF+	AI	ADCリファレンス入力正側ノード。
C1	IN-	AI	信号入力、反転。
C2	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
C3, C4	VSS_PGA	P	PGIA入出力段の負側電源。AGNDを基準とします。
C5	DNC		「Do Not Connect」（接続しないでください）。
C6	AGND		通常動作ではシステムのグラウンドに接続します。
C7	CLK_SEL	DI	ADCクロック源選択入力。 ピン制御モードでは、0に設定するとCMOSクロック・オプション。外部CMOSクロック信号をXTAL2_MCLKピンに印加し、XTAL1ピンをDGNDに接続し、1に設定すると水晶発振器オプション。外部水晶発振器は、XTAL1ピンとXTAL2_MCLK／CLKIOピンの間に接続します。 SPI制御モードでは、CLK_SELピンをDGNDに接続します。レジスタの読書きを通じてクロック源を選択します。LVDSクロック・オプションはSPI制御モードでのみ使用できます。

ピン配置およびピン機能の説明

表 7. ADAQ7768-1のピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
C8	PIN /SPI	DI	デバイス・モード選択入力。 0：ピン・モード動作。設定ピンのロジックを通じてデバイス動作の制御と設定を行います。 1：SPIによるレジスタ読書きを通じて制御と設定を行います。
C9	MODE0/GPIO0	DI/O	多機能ピン。 ピン制御モードでは、MODE0がピン制御動作プロファイル選択入力0となります。 SPI制御モードでは、GPIO0のロジック・レベルがVDD_IOピンおよびDGNDピン基準となります。
C10	MODE1/GPIO1	DI/O	多機能ピン。 ピン制御モードでは、MODE1がピン制御動作プロファイル選択入力1となります。 SPI制御モードでは、GPIO1のロジック・レベルがVDD_IOピンおよびDGNDピン基準となります。
C11	MODE2/GPIO2	DI/O	多機能ピン。 ピン制御モードでは、MODE2がピン制御動作プロファイル選択入力2となります。 SPI制御モードでは、GPIO2のロジック・レベルがVDD_IOピンおよびDGNDピン基準となります。
C12, C13	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
C14	VDD2_ADC	P	ADC2次アナログ電源電圧。AGNDを基準とします。
D1	IN+	AI	信号入力、非反転。
D2	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
D3, D4	VDD_PGA	P	PGA正側電源入力。AGNDを基準とします。
D5	NC		内部接続なし。フロート状態のままにするかグラウンド・リファレンスに接続します。
D6	AGND	P	通常動作ではシステムのグラウンドに接続します。
D7	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
D8	DNC		「Do Not Connect」（接続しないでください）。
D9	EN_LDO	DI	内蔵LDOイネーブル入力。アクティブ・ハイ。
D10	MODE3/GPIO3	DI/O	多機能ピン。 ピン制御モードでは、MODE3がピン制御動作プロファイル選択入力3となります。 SPI制御モードでは、GPIO3のロジック・レベルがVDD_IOピンおよびDGNDピン基準となります。
D11	RESET	DI	ADCハードウェア非同期リセット入力。デバイスが起動を完了した後に、ハード・リセットまたはソフト・リセットを実行することを推奨します。
D12	SYNC_IN	DI	SYNC_INは、SYNC_OUTまたはメイン・コントローラから同期信号を受信します。同期信号はMCLKと同期する必要があります。SYNC_INにより、複数のADAQ7768-1デバイスの同期と同時サンプリングが可能になります。
D13	SYNC_OUT	DO	MCLKに同期した同期パルス出力。このピンにより、1つまたは複数のADAQ7768-1デバイスをSPIを通じて同期させることができます。SYNC_OUTを発するには、SPIを介して同期コマンドを送信します。これを使用する場合、SYNC_OUT信号を同じデバイスのSYNC_INピンおよび他のADAQ7768-1デバイスのSYNC_INピンに接続すると、同時サンプリングができます。
D14	REG_CAP	AO	ADCの内部アナログLDOレギュレータ出力。このピンは、1μFのコンデンサを用いてAGNDとデカップリングします。AREG_CAPからの電圧出力は、ADAQ7768-1外部の回路では使用しないでください。
E1	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
E2	NC		内部接続なし。フロート状態のままにするかグラウンド・リファレンスに接続します。
E3, E4	VDD_PGA	P	PGA正側電源入力。AGNDを基準とします。
E5	DNC		「Do Not Connect」（接続しないでください）。
E6	NC		内部接続なし。フロート状態のままにするかグラウンド・リファレンスに接続します。
E7, E8, E9	VDD_FDA	P	ADCドライバ・アンプ正側電源。AGNDを基準とします。内蔵LDOを用いる場合はOUT_LDOに接続し、それ以外の場合は、VDD2_PGAピンとVDD_ADCピンにも給電する単電源に接続します。
E10	DOUTRDY	DO	シリアル・インターフェース・データ出力とデータ・レディ信号の組み合わせ。この出力データ・ピンは、DOUTピンのみで構成するか、SPI制御モードを通じて構成することができ、また、レディ信号（RDY）を含みます。このデバイスはDOUTとRDYの組み合わせ信号を使用するようにプログラムできるので、必要なインターフェース入出力ラインの数を減らすことができます。
E11	SCLK	DI	シリアル・インターフェース・クロック。
E12	SDI	DI	シリアル・インターフェース・データ入力。
E13	CS	DI	シリアル・インターフェースのチップ・セレクト入力。アクティブ・ロー。

ピン配置およびピン機能の説明

表 7. ADAQ7768-1のピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
E14	$\overline{\text{DRDY}}$	DO	ADC変換データ・レディ出力。変換結果が使用可能であることを示すための周期的信号出力。
F1	GAIN0	DI	PGIAゲイン制御ロジック入力0。
F2	GAIN1	DI	PGIAゲイン制御ロジック入力1。
F3	GAIN2	DI	PGIAゲイン制御ロジック入力2。
F4, F5	VDD2_PGA	P	PGIA出力段正側電源。AGNDを基準とします。内蔵LDOを用いる場合はOUT_LDOに接続し、それ以外の場合は、VDD_FDAピンとVDD_ADCピンにも給電する単電源に接続します。VDD2_PGAは、1μFのデカップリング・コンデンサを用いてAGNDにバイパスします。
F6, F7, F8	OUT_LDO	P	内蔵LDO出力。OUT_LDOは、1μF以上のコンデンサを用いてAGNDにバイパスします。
F9	VDD_IO	P	デジタル電源。VDD_IOピンは、すべてのインターフェース・ピンのロジック・レベルを設定します。このピンは、内部のデジタルLDOを介してデジタル処理の電源を供給します。DGNDを基準とします。VDD_IOは、1μF以上のコンデンサを用いてDGNDにバイパスします。
F10, F11	DGND	P	VDD_IO電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
F12	DREG_CAP	AO	ADCの内部デジタルLDOレギュレータ出力。このピンは、1μFのコンデンサを使用してDGNDからデカップリングします。VDD_IO ≤ 1.8Vの場合は10μFのコンデンサを使用してください。AREG_CAPからの電圧出力は、ADAQ7768-1外部の回路では使用しないでください。
F13	XTAL1	DI	ADCクロック入力1。 外部水晶発振器：外部水晶発振器の1つのノードに接続します。 LVDS：LVDSクロック源の1つのノードに接続します。 CMOSクロック：DGNDに接続。
F14	XTAL2_MCLK	DI	ADCクロック入力2。 外部水晶発振器：外部水晶発振器の2つ目のノードに接続します。 LVDS：LVDSクロック源の2つ目のノードに接続します。 CMOSクロック：CMOSクロック源に接続します。VDD_IOおよびDGNDを基準とするロジック・レベル。

¹ AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DI/O = 双方向デジタル、P = 電源またはグラウンド。

代表的な性能特性

特に指定のない限り、VDD_PGA = 15V、VSS_PGA = -15V、AGND = DGND = 0V、入力コモンモード電圧 = 0V、IN_LDO = 5.1V~5.5V、OUT_LDO = VDD2_PGA = VDD_FDA = VDD_ADC、VDD2_ADC = 2V~5.5V、VDD_IO = 1.7V~3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、50:50のデューティ・サイクル、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = 通常消費電力モード、 $T_A = -40^{\circ}\text{C}$ ~ 85°C 。代表値は $T_A = +25^{\circ}\text{C}$ での値です。

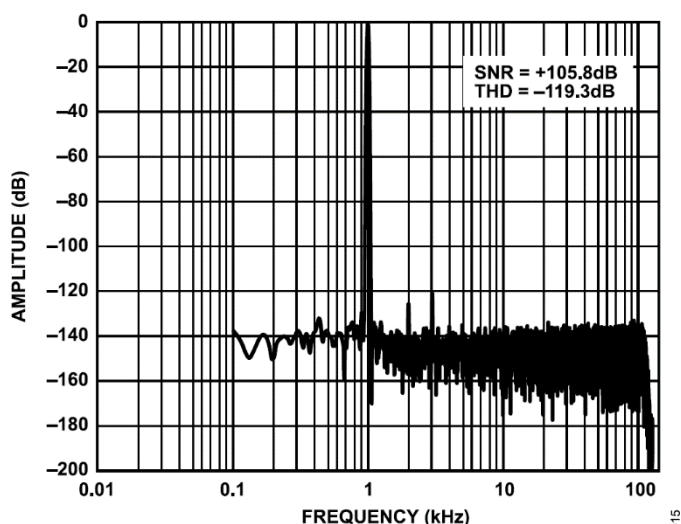


図 10. 完全差動入力、-0.5dBFSで1kHzのサイン波、ODR = 256kSPS、AFE_GAIN = 0.325V/V (ゲイン0モード)

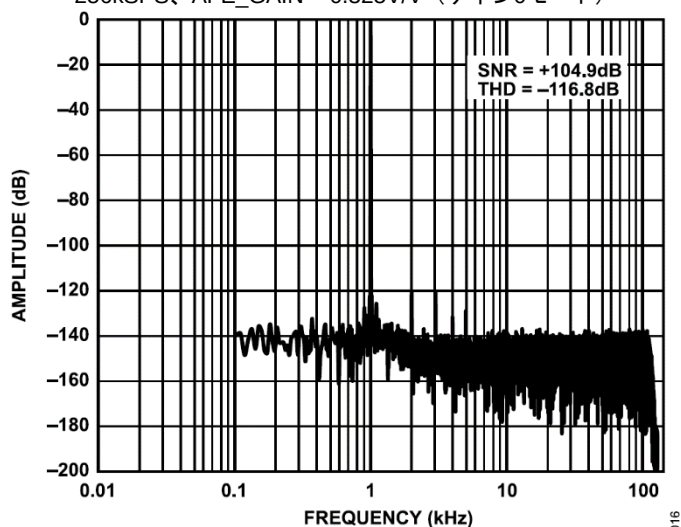


図 11. 完全差動入力、-0.5dBFSで1kHzのサイン波、ODR = 256kSPS、AFE_GAIN = 0.65V/V (ゲイン1モード)

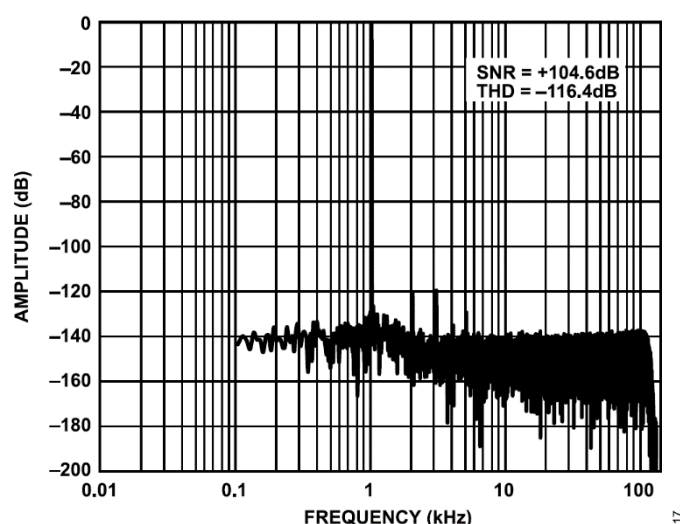


図 12. 完全差動入力、-0.5dBFSで1kHzのサイン波、ODR = 256kSPS、AFE_GAIN = 1.3V/V (ゲイン2モード)

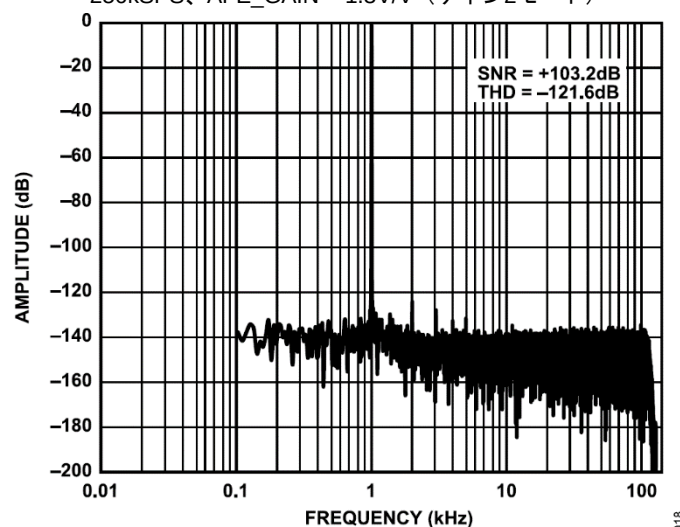


図 13. 完全差動入力、-0.5dBFSで1kHzのサイン波、ODR = 256kSPS、AFE_GAIN = 2.6V/V (ゲイン3モード)

代表的な性能特性

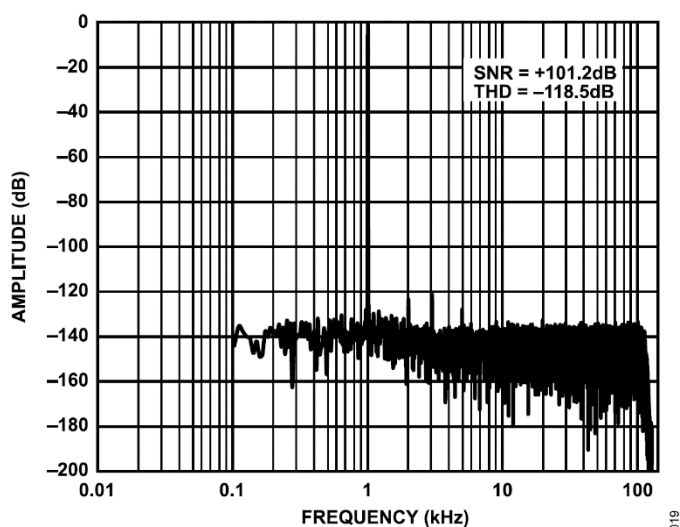


図 14. 完全差動入力、-0.5dBFSで1kHzのサイン波、ODR = 256kSPS、AFE_GAIN = 5.2V/V（ゲイン4モード）

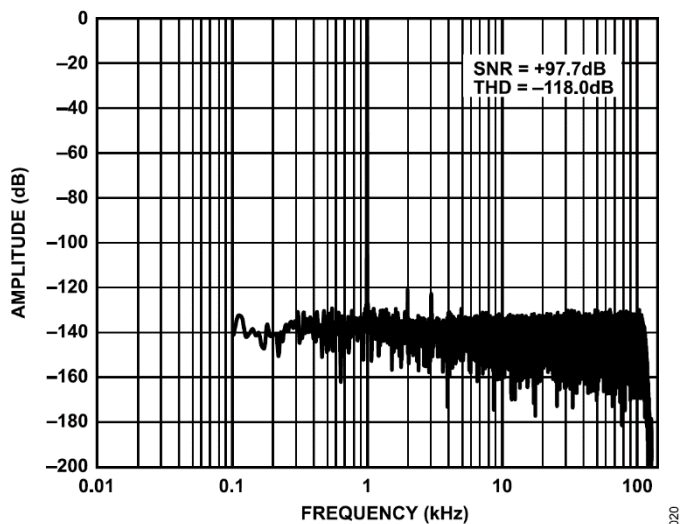


図 15. 完全差動入力、-0.5dBFSで1kHzのサイン波、ODR = 256kSPS、AFE_GAIN = 10.4V/V（ゲイン5モード）

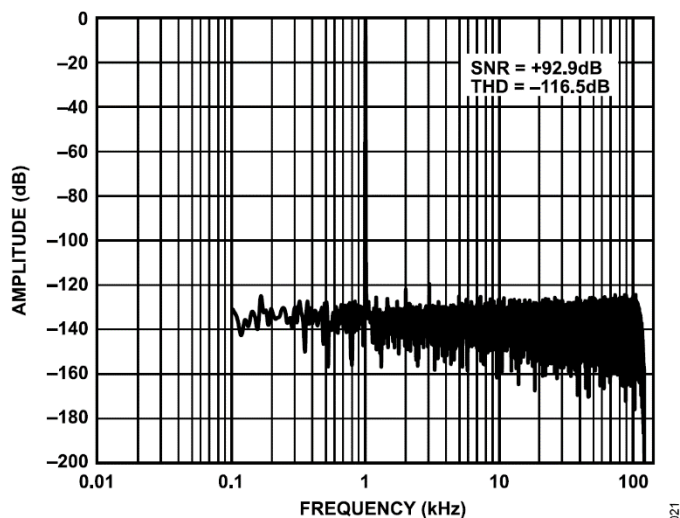


図 16. 完全差動入力、-0.5dBFSで1kHzのサイン波、ODR = 256kSPS、AFE_GAIN = 20.8V/V（ゲイン6モード）

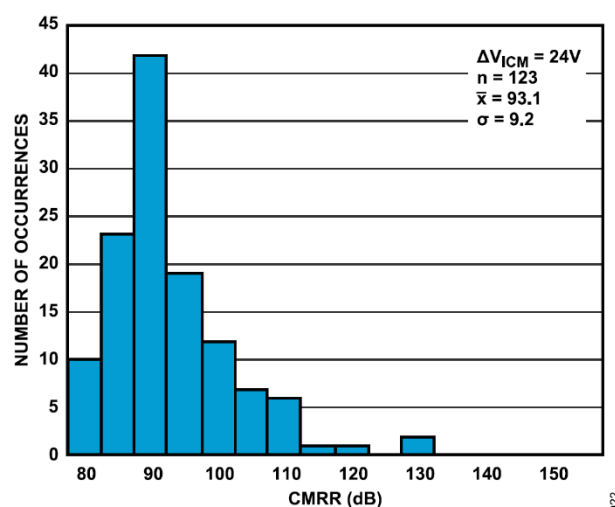


図 17. DC CMRRの分布、 V_{ICM} のフル・レンジは±12V（ ΔV_{ICM} は24V）、AFE_GAIN = 0.325V/V（ゲイン0モード）

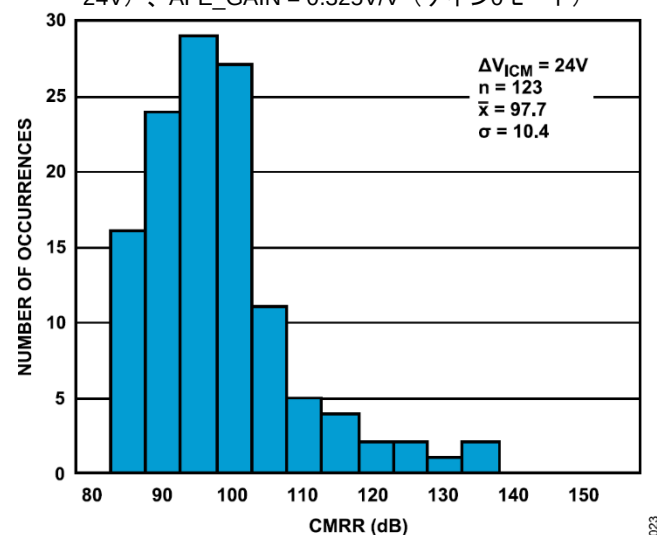


図 18. DC CMRRの分布、VICMのフル・レンジは±12V（ $\Delta VICM$ は24V）、AFE_GAIN = 0.65V/V（ゲイン1モード）

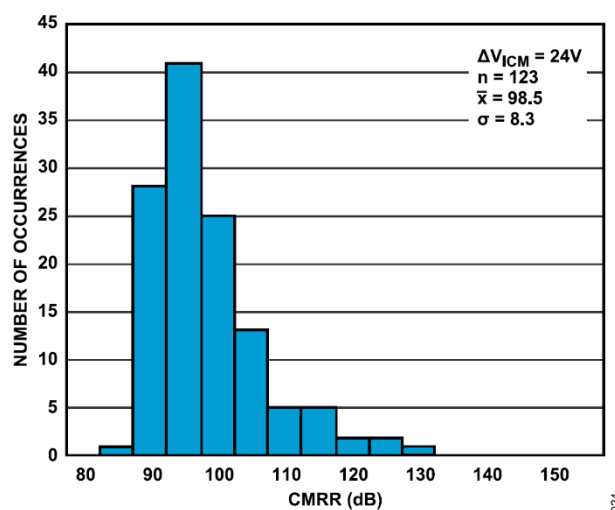


図 19. DC CMRRの分布、 V_{ICM} のフル・レンジは±12V（ ΔV_{ICM} は24V）、AFE_GAIN = 1.3V/V（ゲイン2モード）

代表的な性能特性

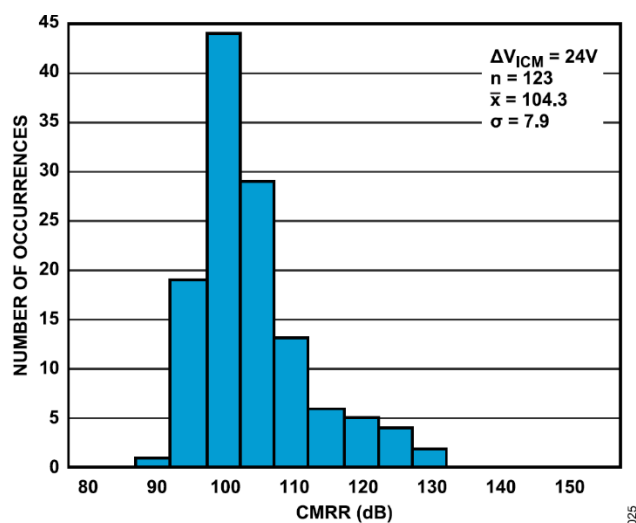


図 20. DC CMRRの分布、 V_{ICM} のフル・レンジは±12V (ΔV_{ICM} は24V)、AFE_GAIN = 2.6V/V (ゲイン3モード)

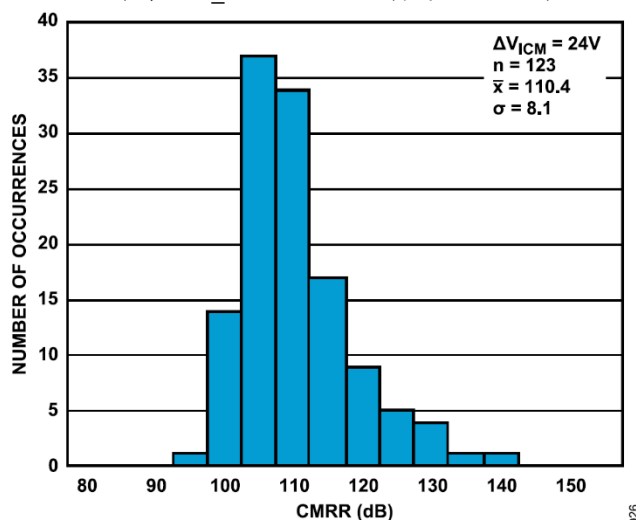


図 21. DC CMRRの分布、 V_{ICM} のフル・レンジは±12V (ΔV_{ICM} は24V)、AFE_GAIN = 5.2V/V (ゲイン4モード)

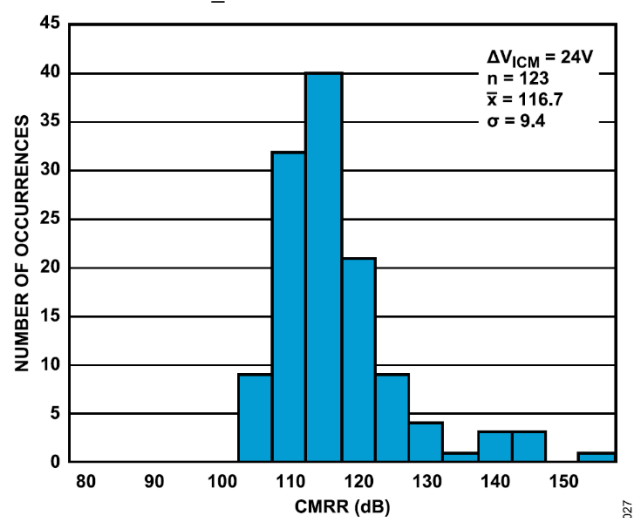


図 22. DC CMRRの分布、 V_{ICM} のフル・レンジは±12V (ΔV_{ICM} は24V)、AFE_GAIN = 10.4V/V (ゲイン5モード)

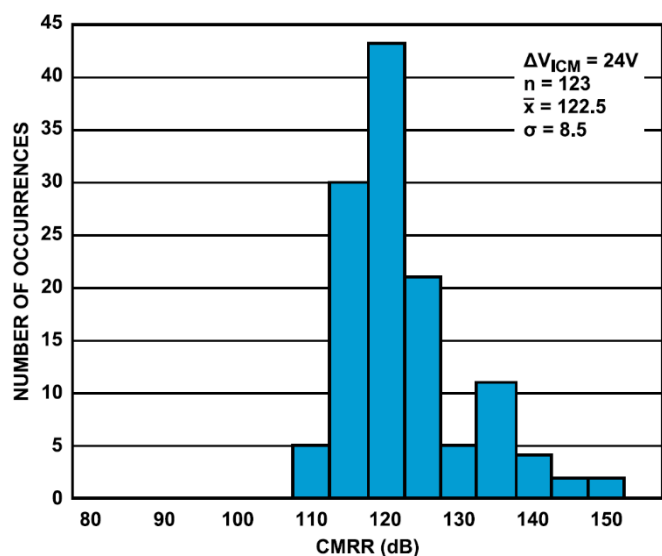


図 23. DC CMRRの分布、 V_{ICM} のフル・レンジは±12V (ΔV_{ICM} は24V)、AFE_GAIN = 20.8V/V (ゲイン6モード)

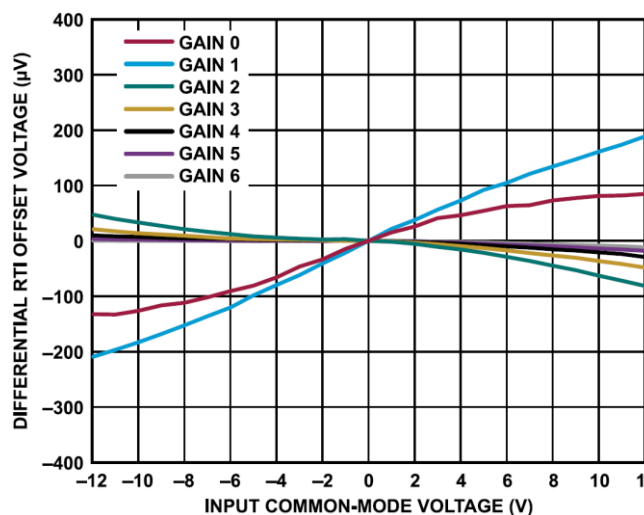


図 24. 全ゲイン・モードでの差動RTIオフセット電圧と入力共通モード電圧の関係

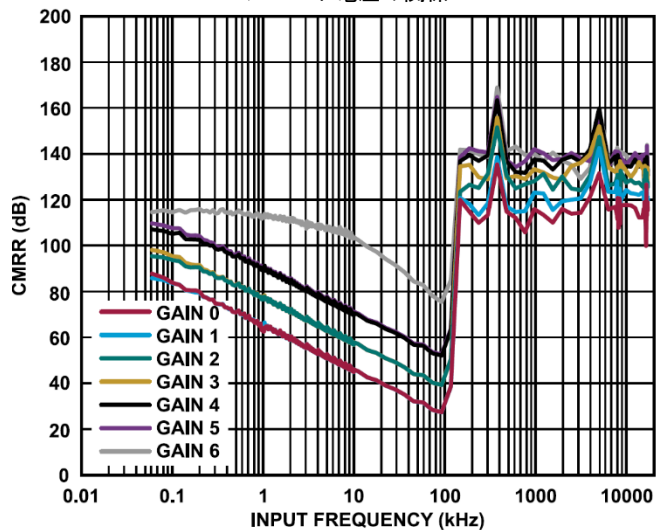


図 25. 全ゲイン・モードでのAC CMRRと入力周波数の関係

代表的な性能特性

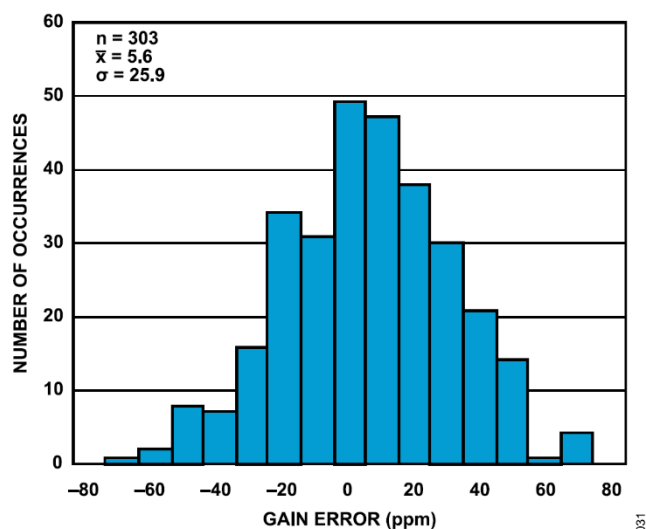


図 26. ゲイン誤差の分布、AFE_GAIN = 0.325V/V (ゲイン0モード)

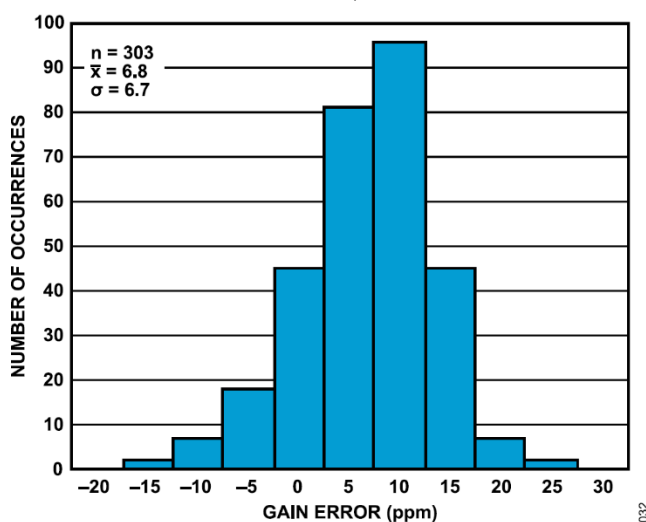


図 27. ゲイン誤差の分布、AFE_GAIN = 1.3V/V (ゲイン2モード)

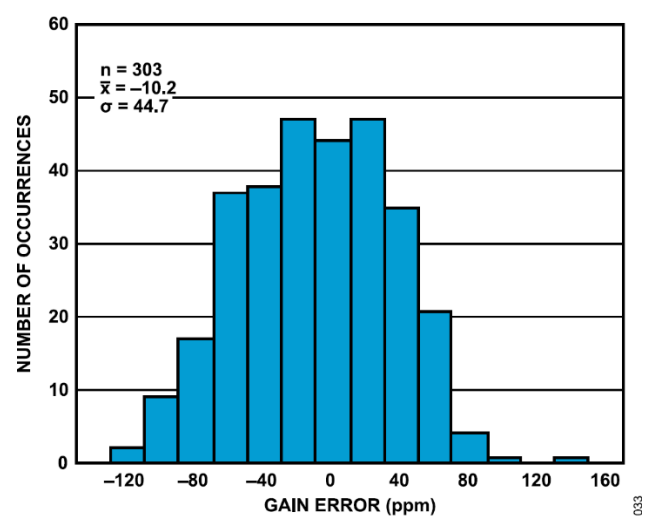


図 28. ゲイン誤差の分布、AFE_GAIN = 20.8V/V (ゲイン6モード)

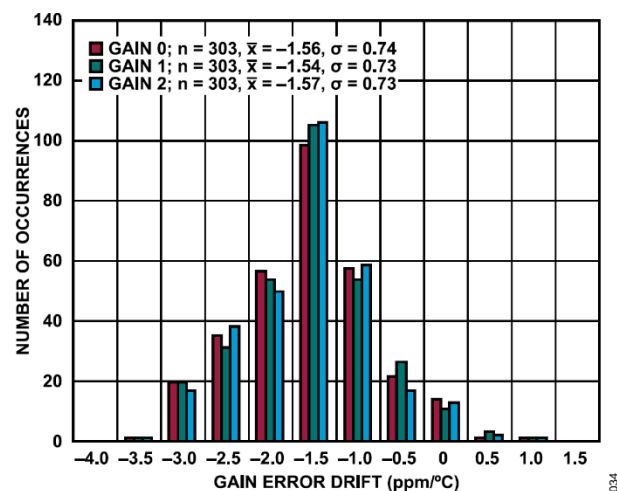


図 29. 異なるゲイン・モードでのゲイン誤差ドリフトの分布

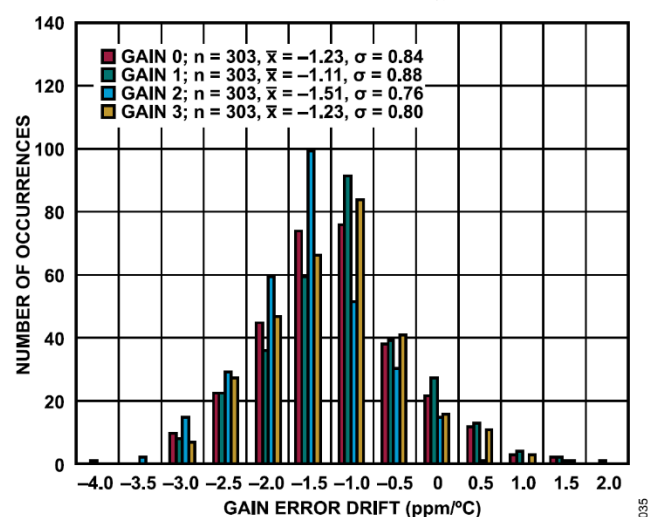


図 30. 異なるゲイン・モードでのゲイン誤差ドリフトの分布

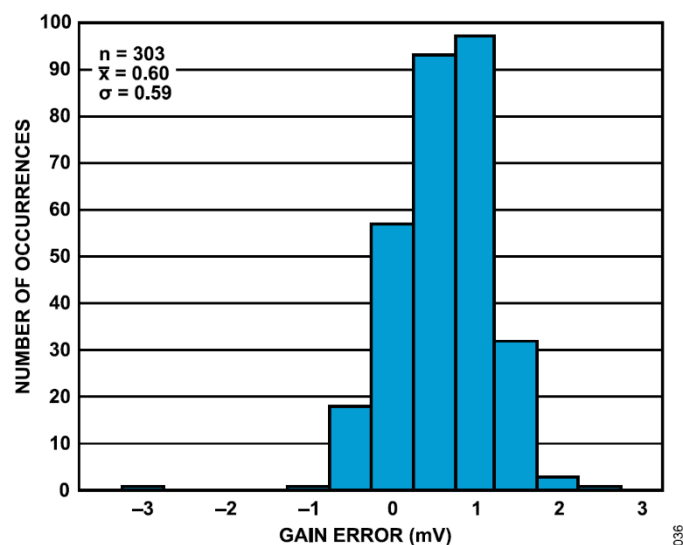


図 31. オフセット誤差の分布、AFE_GAIN = 0.325V/V (ゲイン0モード)

代表的な性能特性

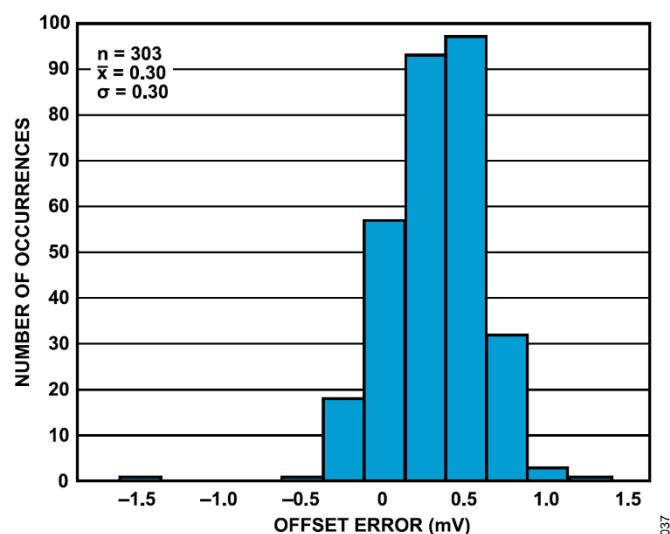


図 32. オフセット誤差の分布、AFE_GAIN = 0.65V/V (ゲイン1モード)

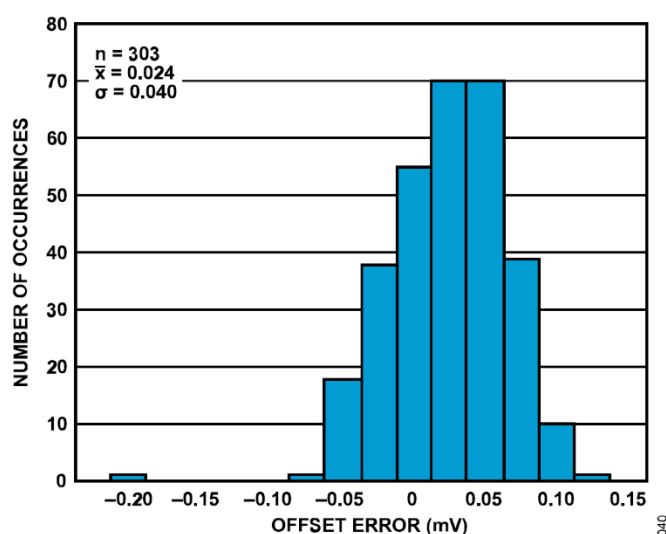


図 35. オフセット誤差の分布、AFE_GAIN = 5.2V/V (ゲイン4モード)

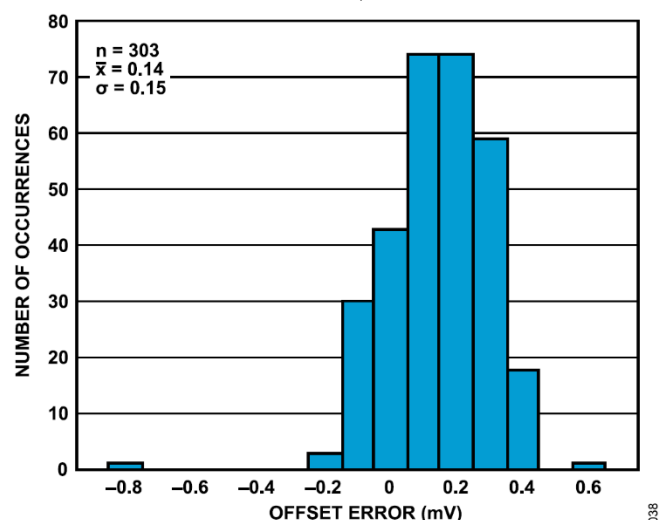


図 33. オフセット誤差の分布、AFE_GAIN = 1.3V/V (ゲイン2モード)

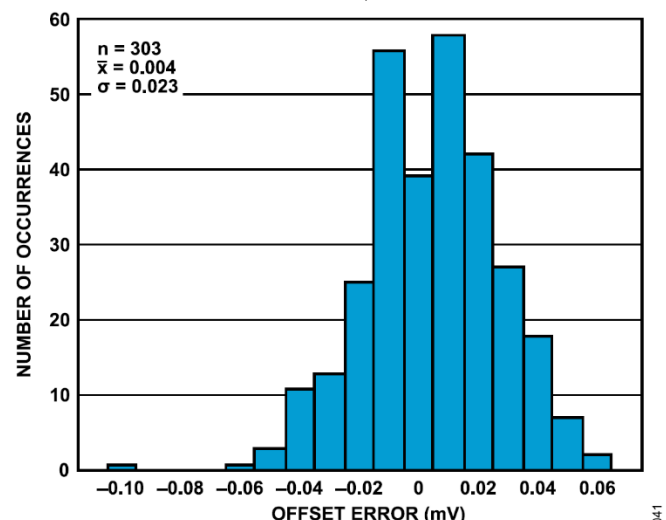


図 36. オフセット誤差の分布、AFE_GAIN = 10.4V/V (ゲイン5モード)

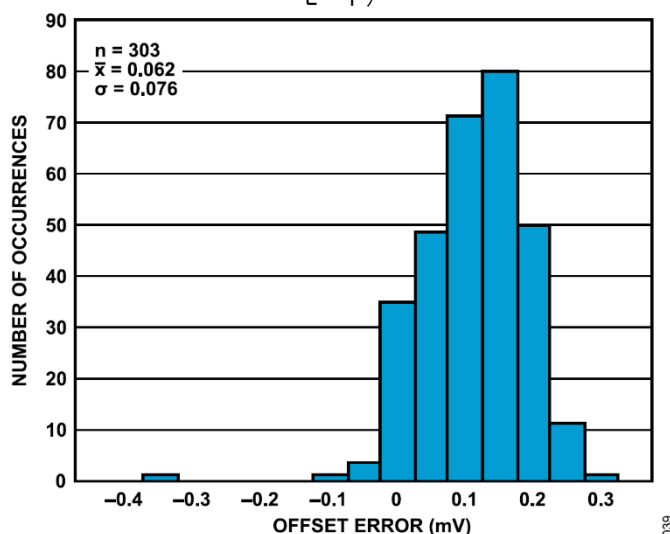


図 34. オフセット誤差の分布、AFE_GAIN = 2.6V/V (ゲイン3モード)

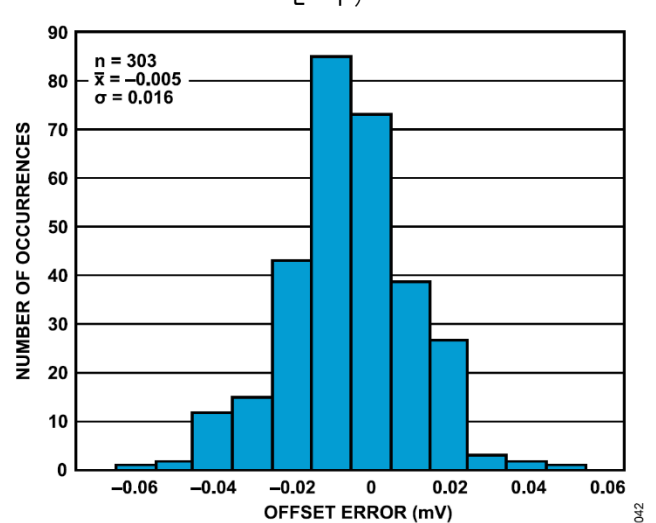


図 37. オフセット誤差の分布、AFE_GAIN = 20.8V/V (ゲイン6モード)

代表的な性能特性

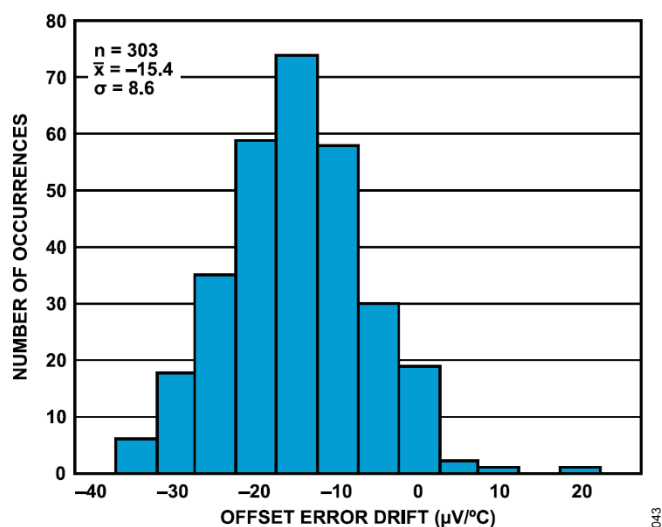


図 38. オフセット誤差ドリフトの分布、AFE_GAIN = 0.325V/V (ゲイン0モード)

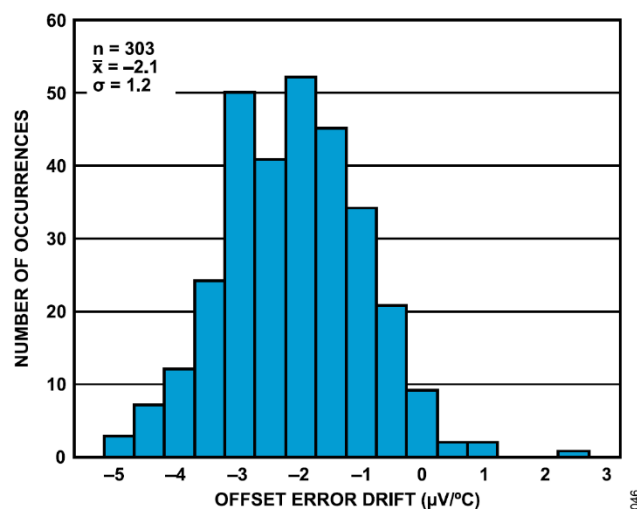


図 41. オフセット誤差ドリフトの分布、AFE_GAIN = 2.6V/V (ゲイン3モード)

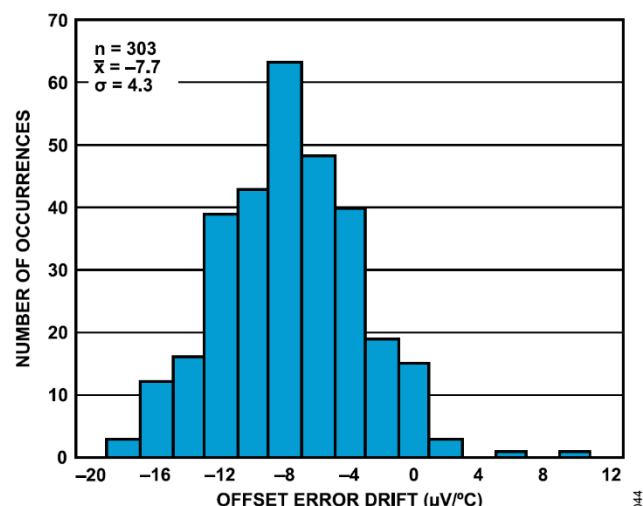


図 39. オフセット誤差ドリフトの分布、AFE_GAIN = 0.65V/V (ゲイン1モード)

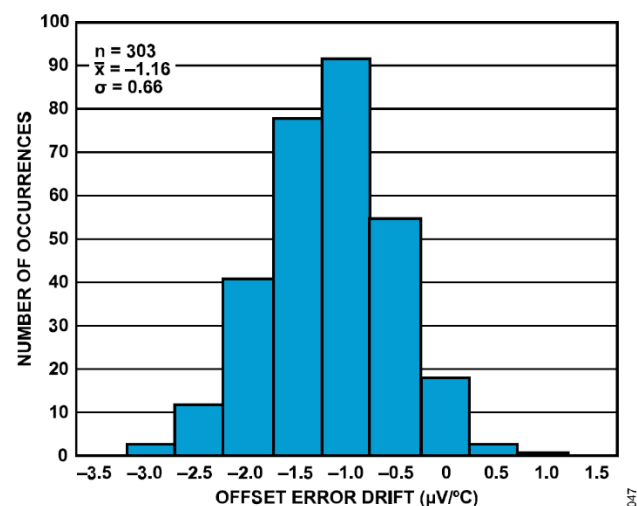


図 42. オフセット誤差ドリフトの分布、AFE_GAIN = 5.2V/V (ゲイン4モード)

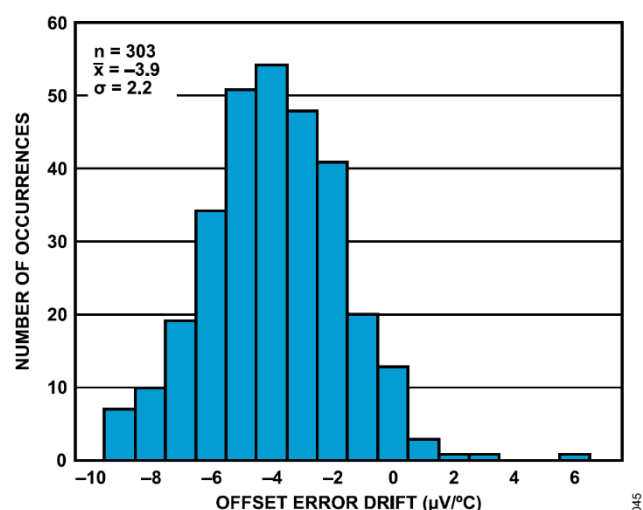


図 40. オフセット誤差ドリフトの分布、AFE_GAIN = 1.3V/V (ゲイン2モード)

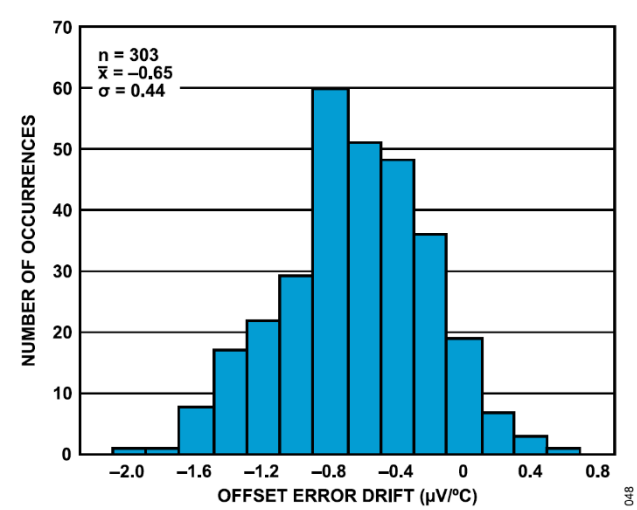


図 43. オフセット誤差ドリフトの分布、AFE_GAIN = 10.4V/V (ゲイン5モード)

代表的な性能特性

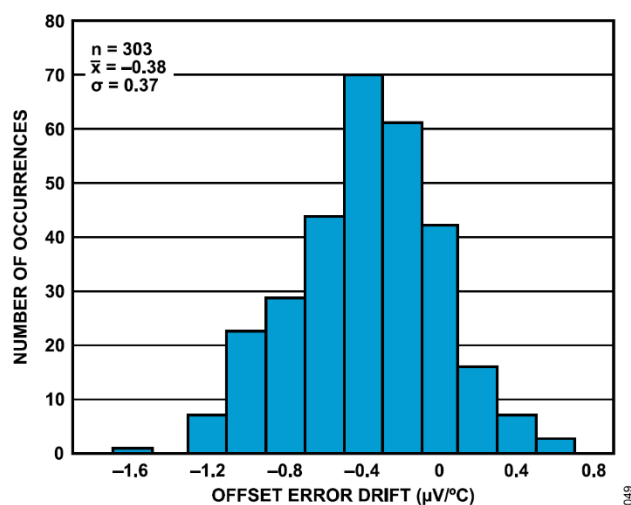


図 44. オフセット誤差ドリフトの分布、AFE_GAIN = 20.8V/V (ゲイン6モード)

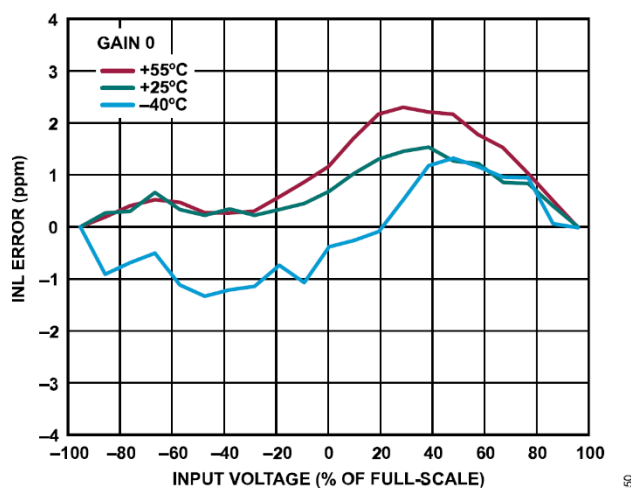


図 45. 異なる温度でのINL誤差と入力電圧の関係、差動入力、AFE_GAIN = 0.325V/V (ゲイン0モード)

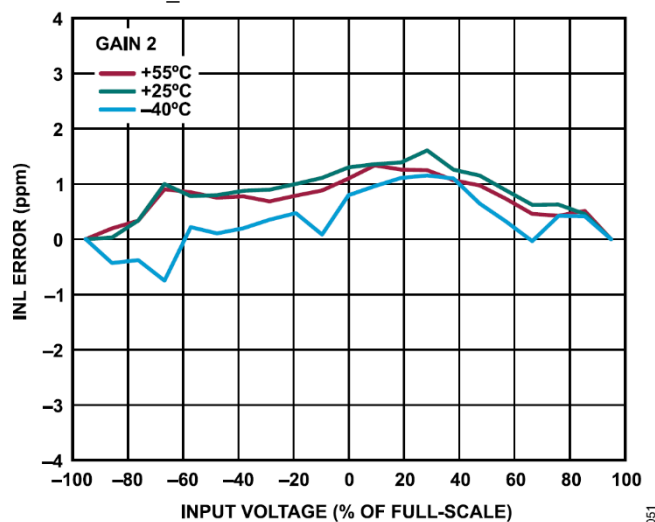


図 46. 異なる温度でのINL誤差と入力電圧の関係、差動入力、AFE_GAIN = 1.3V/V (ゲイン2モード)

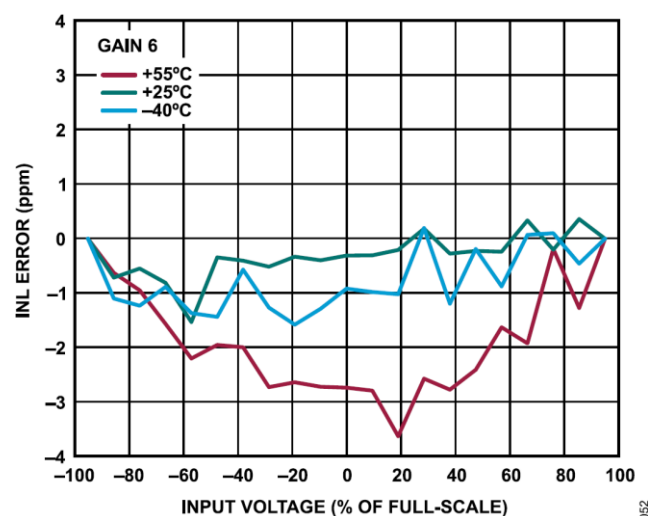


図 47. 異なる温度でのINL誤差と入力電圧の関係、差動入力、AFE_GAIN = 20.8V/V (ゲイン6モード)

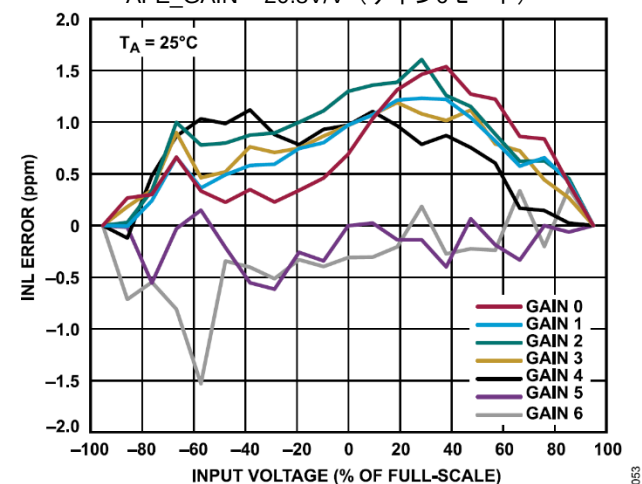


図 48. 全ゲイン・モードでのINL誤差と入力電圧の関係、差動入力、温度 = +25°C

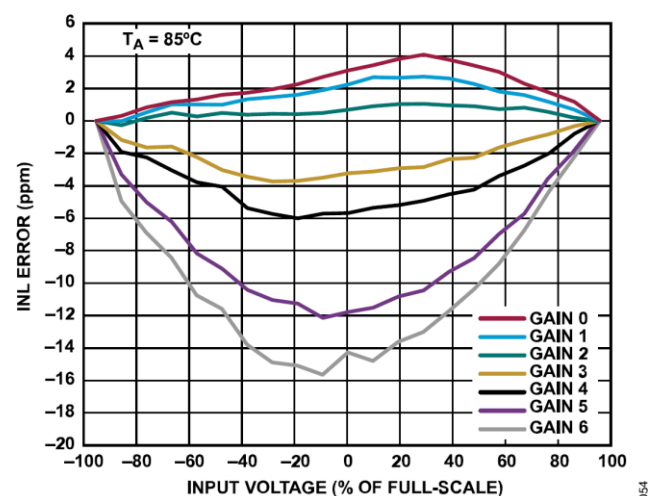


図 49. 全ゲイン・モードでのINL誤差と入力電圧の関係、差動入力、温度 = +85°C

代表的な性能特性

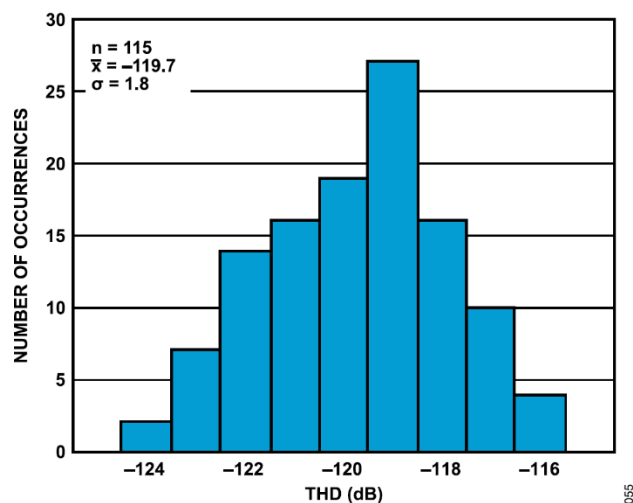


図 50. THDの分布、AFE_GAIN = 0.325V/V (ゲイン0モード)

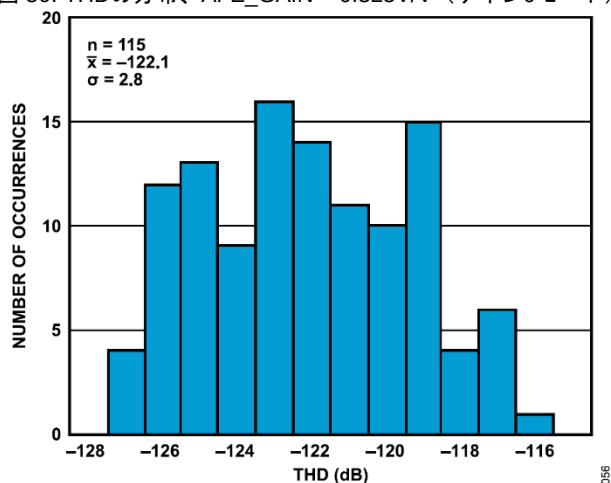


図 51. THDの分布、AFE_GAIN = 1.3V/V (ゲイン2モード)

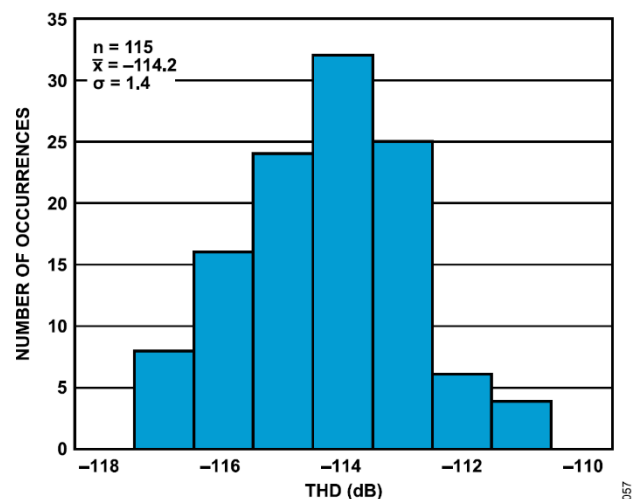


図 52. THDの分布、AFE_GAIN = 20.8V/V (ゲイン6モード)

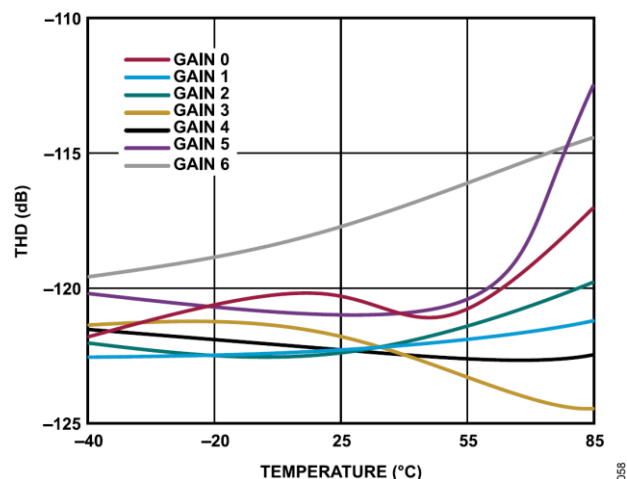


図 53. 全ゲイン・モードでのTHDと温度の関係、-0.5dBFS、1kHz

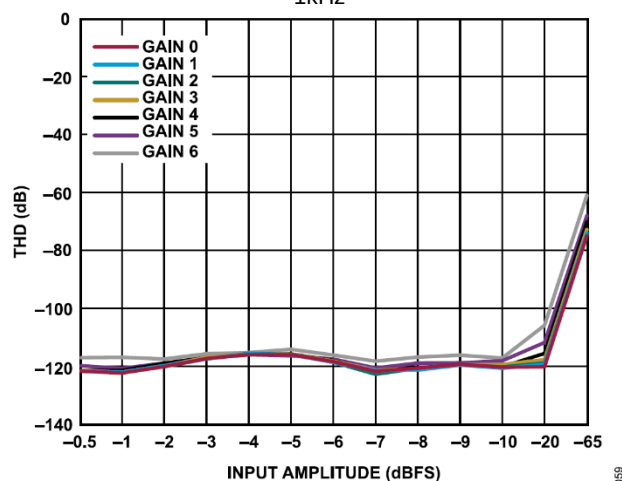


図 54. 全ゲイン・モードでのTHDと入力振幅の関係、1kHz

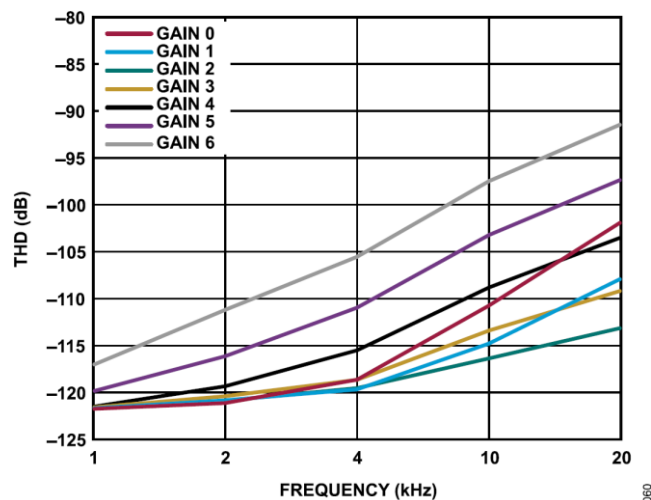


図 55. 全ゲイン・モードでのTHDと入力周波数の関係、-0.5dBFS

代表的な性能特性

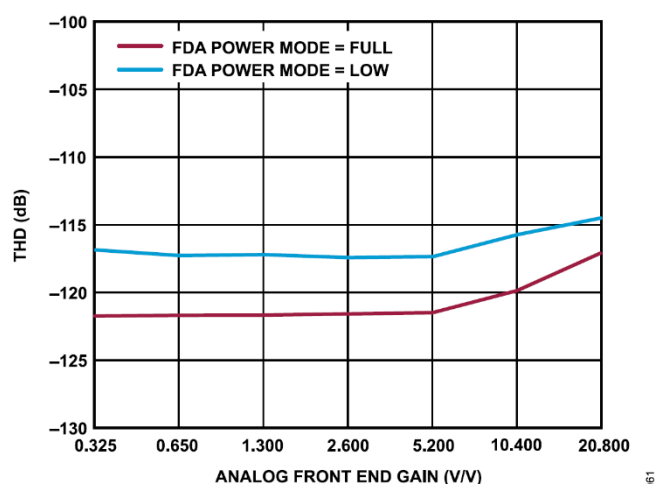


図 56. 2つのFDAパワー・モードでのTHDとアナログ・フロントエンド (AFE) ゲインの関係、-0.5dBFS、1kHz

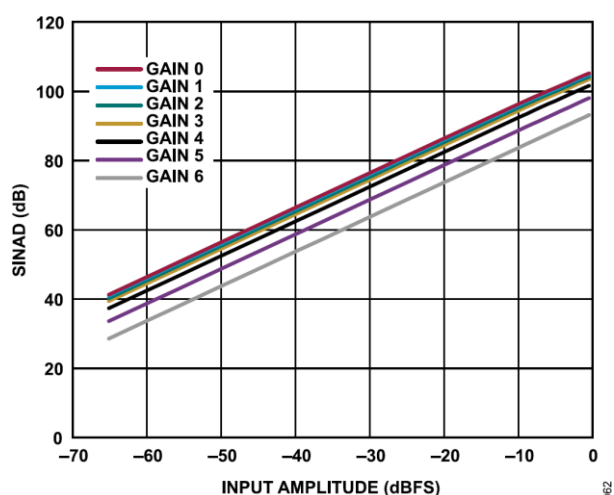


図 57. 全ゲイン・モードでのSINADと入力振幅の関係、1kHz

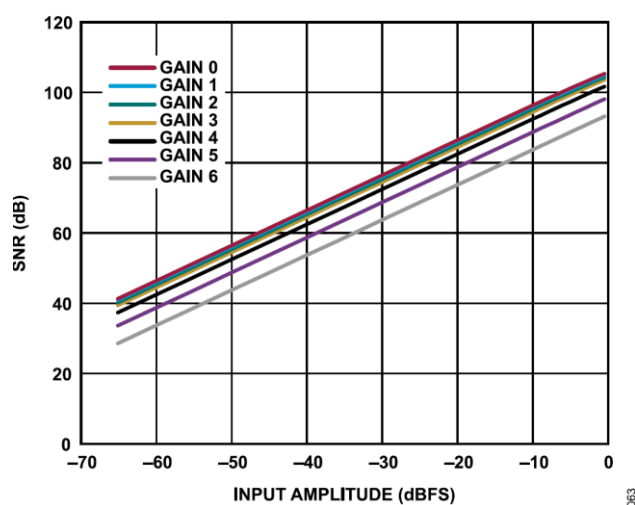


図 58. 全ゲイン・モードでのS/N比と入力振幅の関係、1kHz

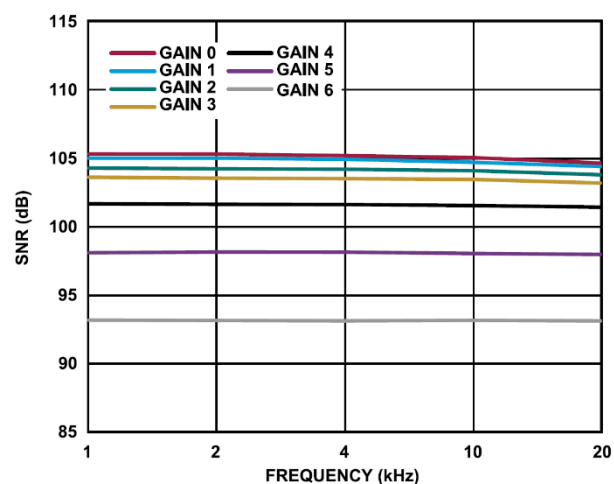


図 59. 全ゲイン・モードでのS/N比と入力周波数の関係、1kHz

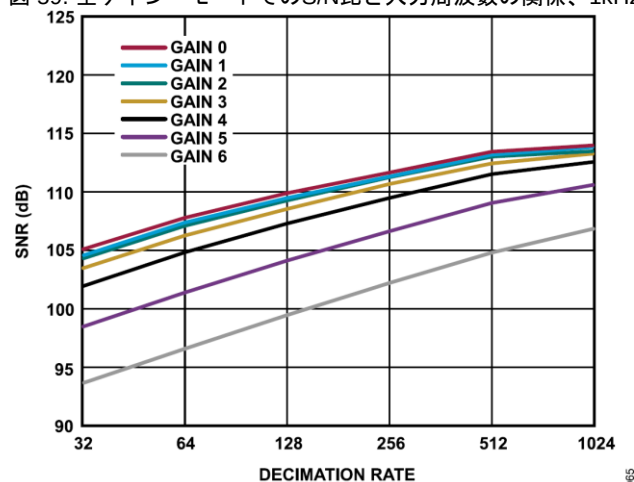


図 60. 全ゲイン・モードでのS/N比とデシメーション・レートの関係、広帯域低リップル・フィルタ、-0.5dBFS、1kHz

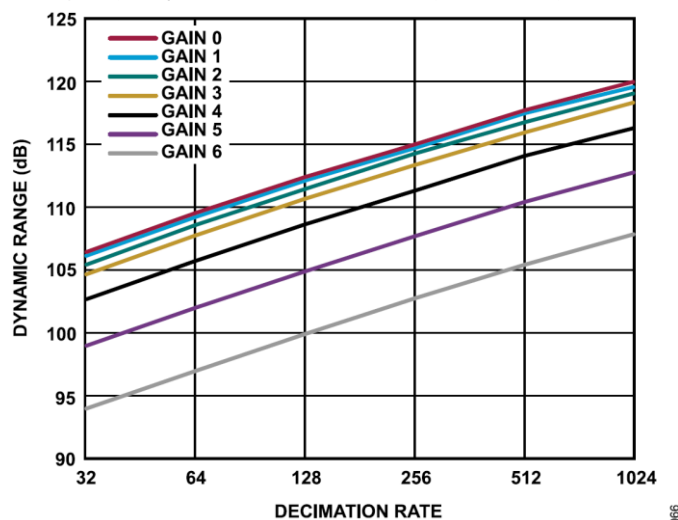


図 61. 全ゲイン・モードでのダイナミック・レンジとデシメーション・レートの関係、広帯域低リップル・フィルタ、入力を短絡

代表的な性能特性

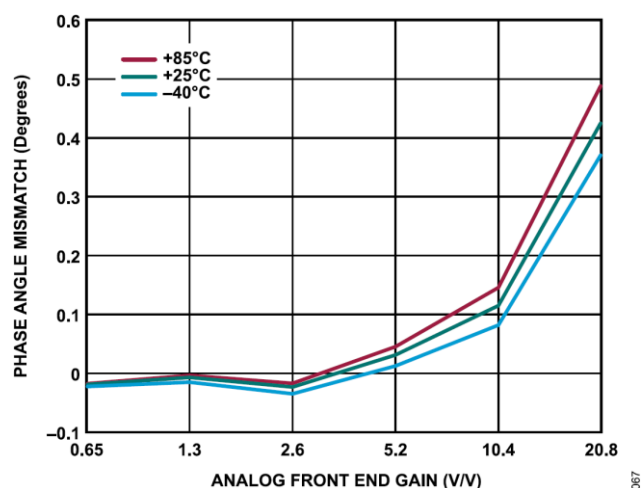


図 62. 異なる温度での位相角不整合とアナログ・フロントエンド (AFE) ゲインの関係、AFE_GAIN = 0.325V/V で正規化 (ゲイン 0 モード)

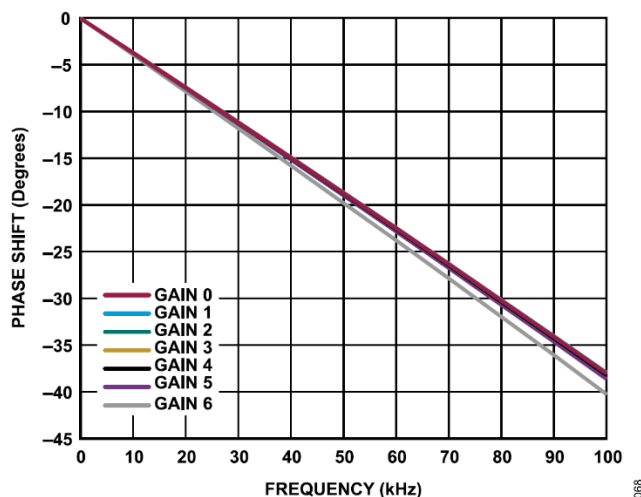


図 63. 25°Cにおける全ゲイン・モードでのアナログ・フロントエンド (AFE) 位相応答

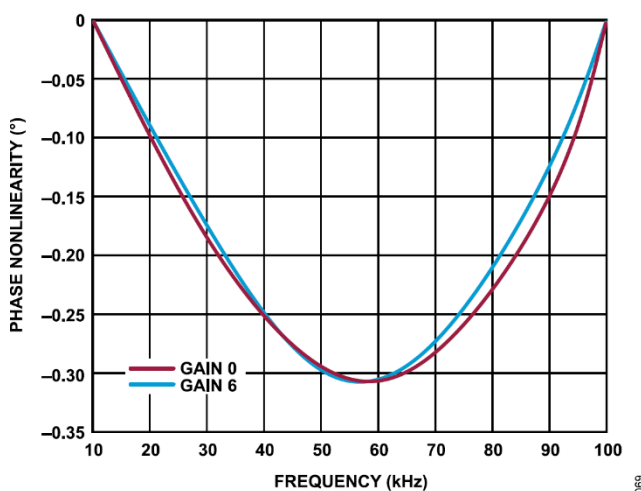


図 64. ゲイン0およびゲイン6におけるアナログ・フロントエンド (AFE) 位相非直線性とパスバンド周波数の関係、エンドポイント法 (10kHz~100kHz)

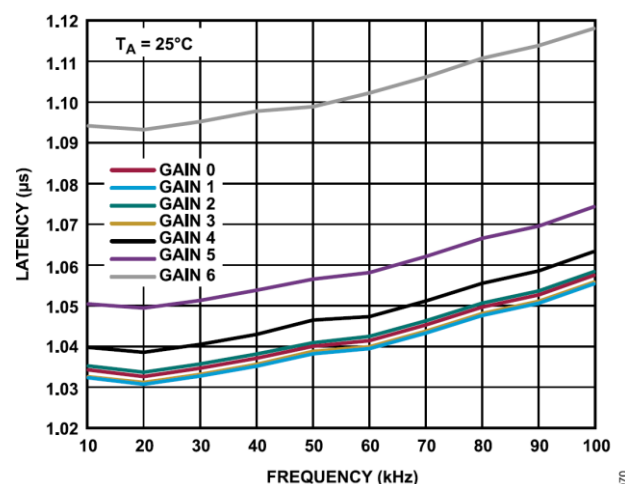


図 65. 25°Cにおける全ゲイン・モードでのアナログ・フロントエンド (AFE) 遅延とパスバンド周波数の関係

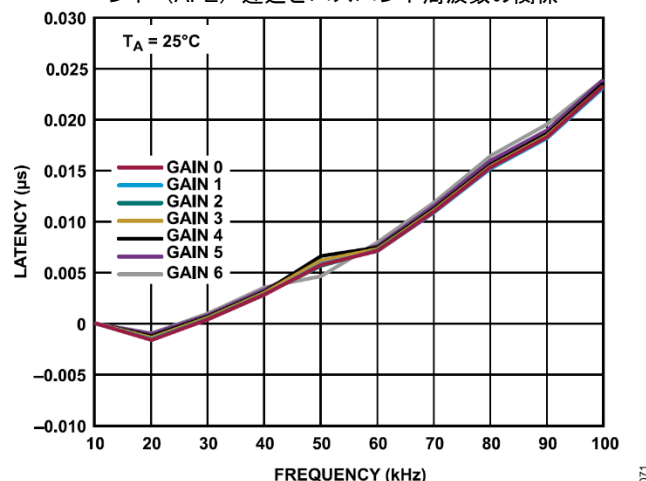


図 66. 25°Cにおける全ゲイン・モードでのアナログ・フロントエンド (AFE) 遅延とパスバンド周波数の関係、10kHzでの遅延で正規化

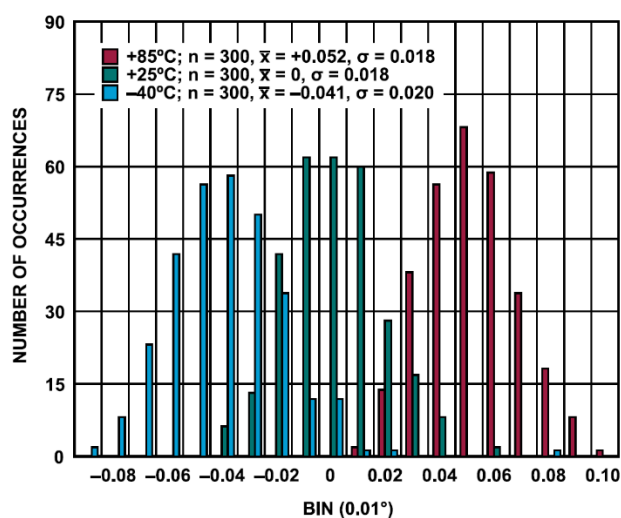


図 67. デバイス間の位相角不整合、20kHz、AFE_GAIN = 0.325V/V (ゲイン0モード)、25°Cでの平均値で正規化

代表的な性能特性

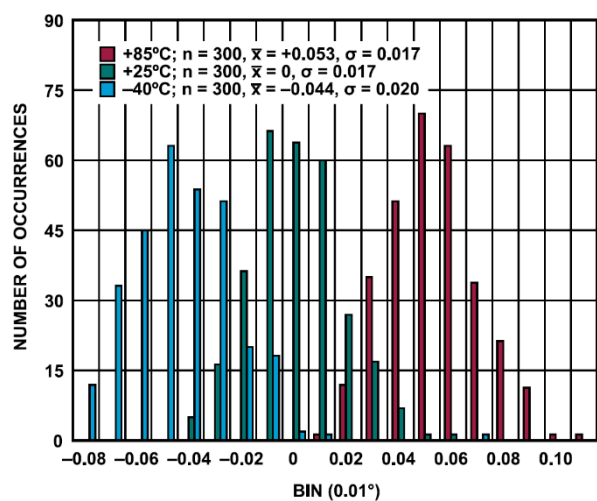


図 68. デバイス間の位相角不整合、20kHz、AFE_GAIN = 0.65V/V
(ゲイン1モード)、25°Cでの平均値で正規化

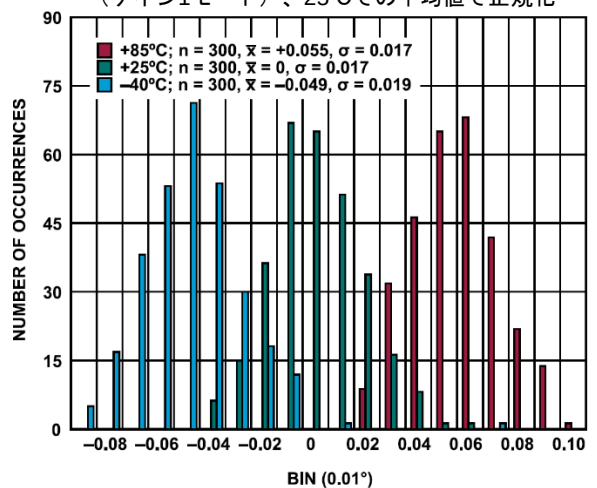


図 69. デバイス間の位相角不整合、20kHz、AFE_GAIN = 1.3V/V
(ゲイン2モード)、25°Cでの平均値で正規化

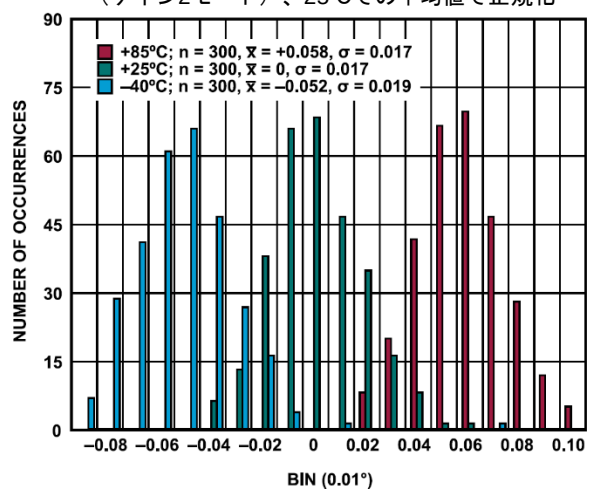


図 70. デバイス間の位相角不整合、20kHz、AFE_GAIN = 2.6V/V
(ゲイン3モード)、25°Cでの平均値で正規化

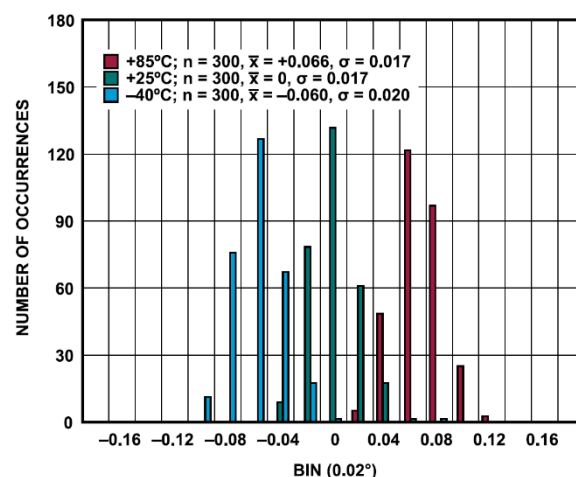


図 71. デバイス間の位相角不整合、20kHz、AFE_GAIN = 5.2V/V
(ゲイン4モード)、25°Cでの平均値で正規化

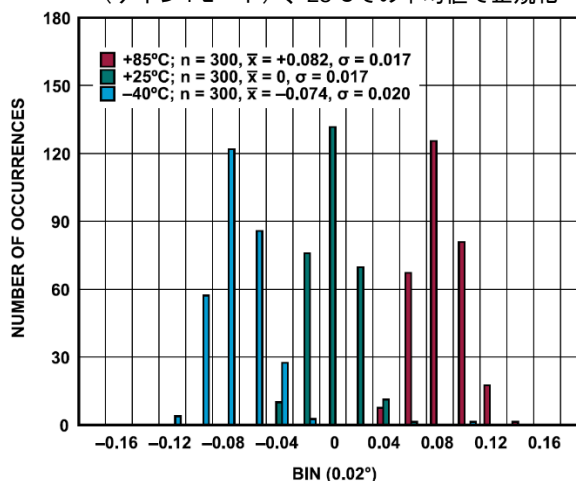


図 72. デバイス間の位相角不整合、20kHz、AFE_GAIN = 10.4V/V
(ゲイン5モード)、25°Cでの平均値で正規化

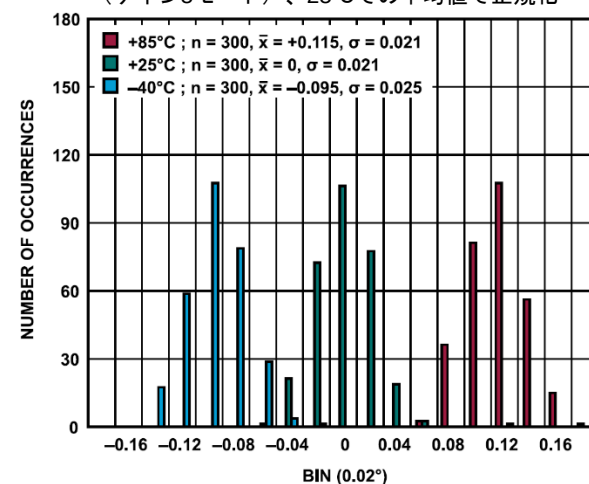


図 73. デバイス間の位相角不整合、20kHz、AFE_GAIN = 20.8V/V
(ゲイン6モード)、25°Cでの平均値で正規化

代表的な性能特性

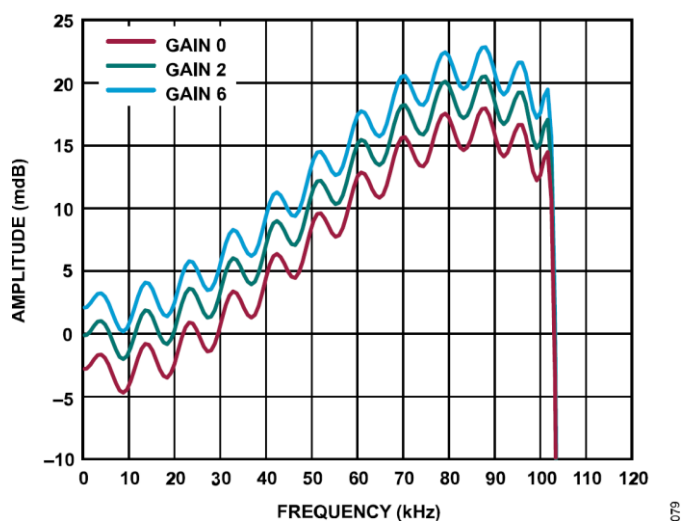


図 74. 低リップルFIRフィルタのパスバンド・リップル、ODR = 256kSPS、AFE_GAIN = 1.3V/Vで正規化（ゲイン2モード）

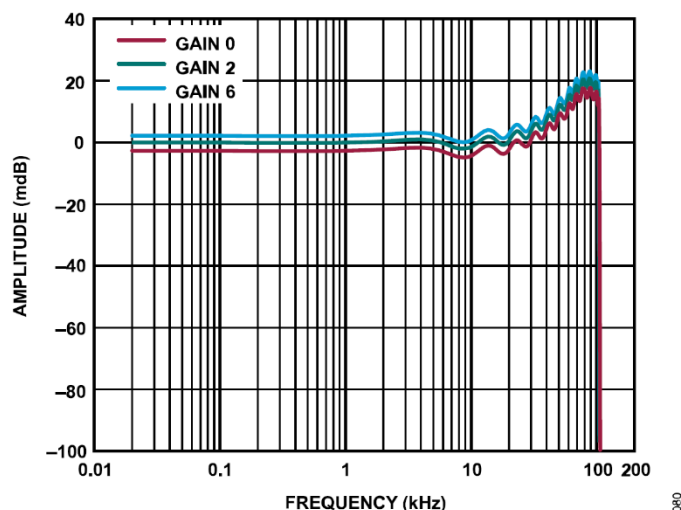


図 75. 振幅平坦性応答、広帯域低リップルFIRフィルタ、ODR = 256kSPS、AFE_GAIN = 1.3V/Vで正規化（ゲイン2モード）

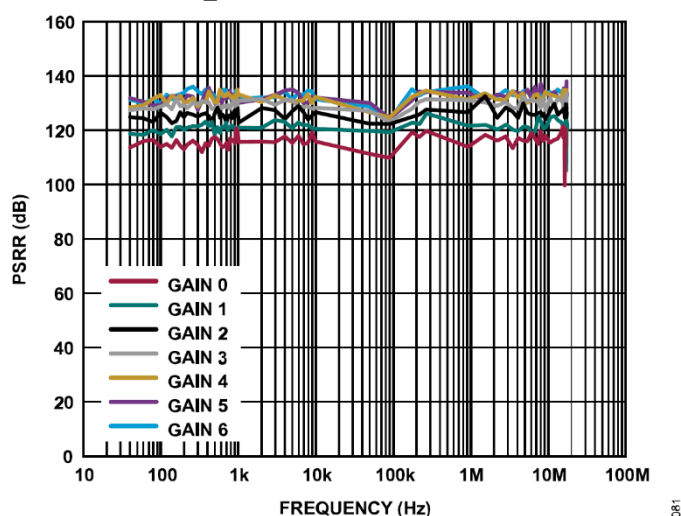


図 76. 全ゲイン・モードでのLDOのAC PSRR、OUT_LDOに1 μ Fの外付け電源デカップリング・コンデンサを使用してVDD2_PGA、VDD_FDA、VDD_ADC、VDD2_ADCに接続

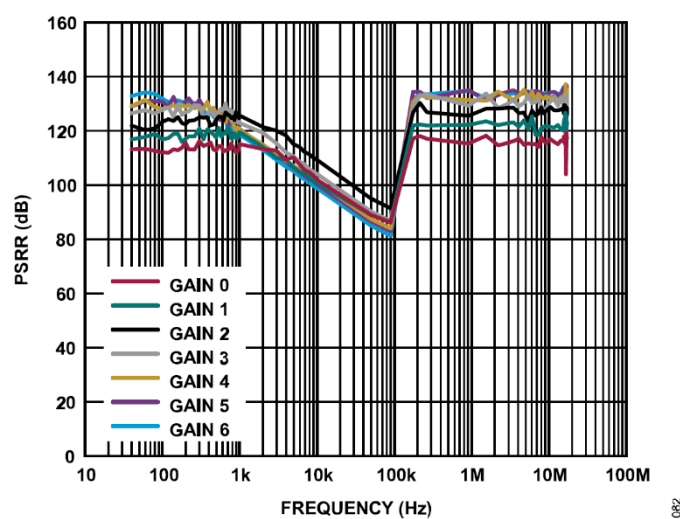


図 77. 全ゲイン・モードでのVDD_PGAのAC PSRR、内蔵の電源デカップリング・コンデンサのみを使用

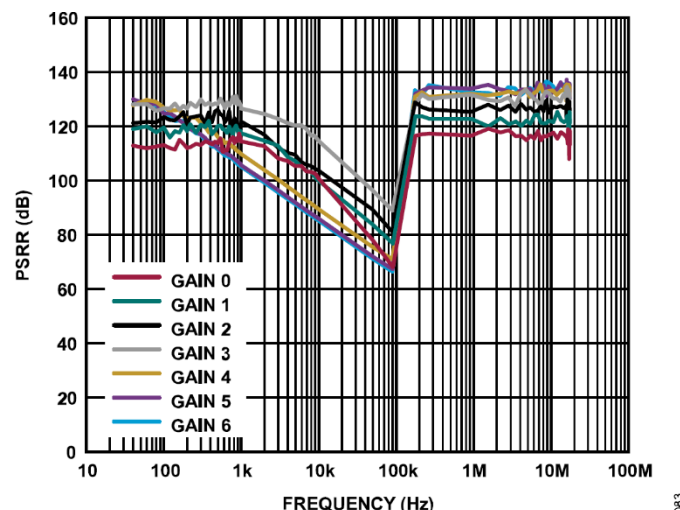


図 78. 全ゲイン・モードでのVSS_PGAのAC PSRR、内蔵の電源デカップリング・コンデンサのみを使用

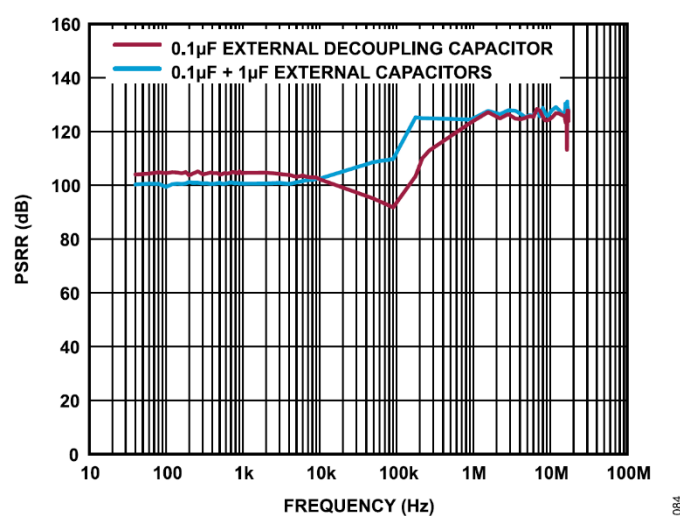


図 79. VDD_IOのAC PSRR、外付けの電源デカップリング・コンデンサを使用

代表的な性能特性

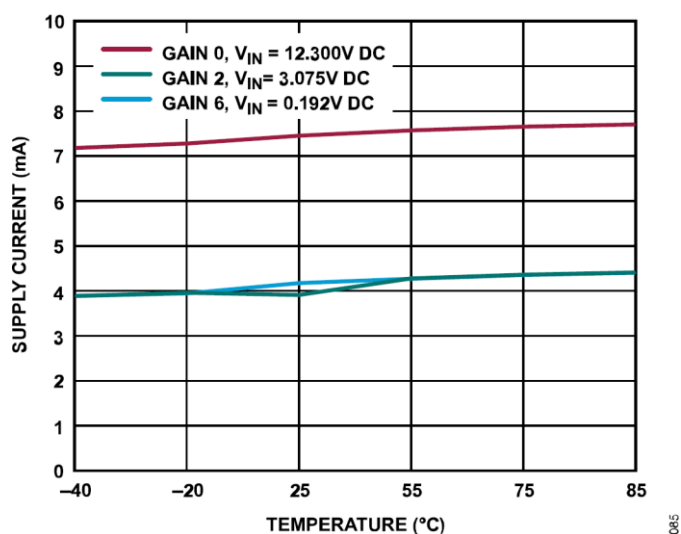


図 80. 異なるゲイン・モードでのVDD_PGA電源電流と温度の関係、DC入力

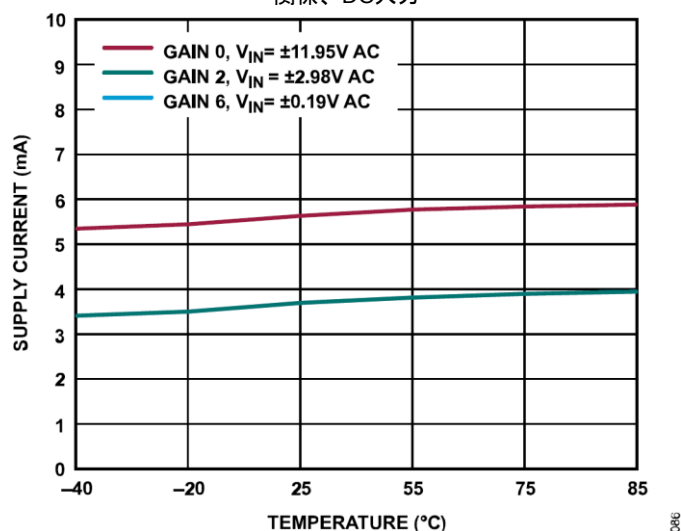


図 81. 異なるゲイン・モードでのVDD_PGA電源電流と温度の関係、AC入力

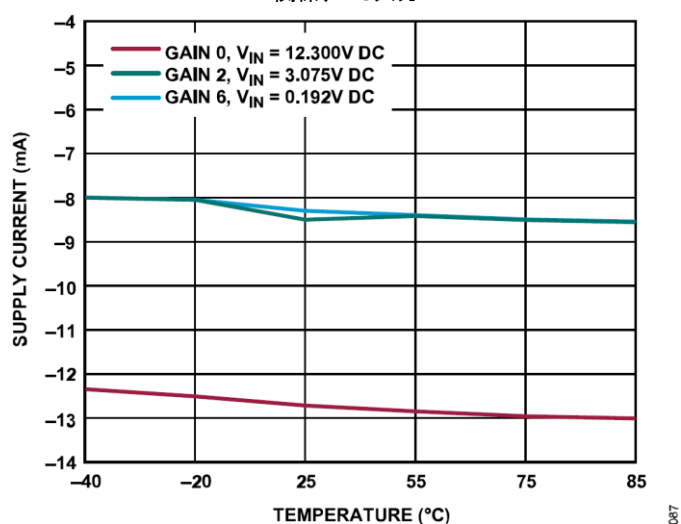


図 82. 異なるゲイン・モードでのVSS_PGA電源電流と温度の関係、DC入力

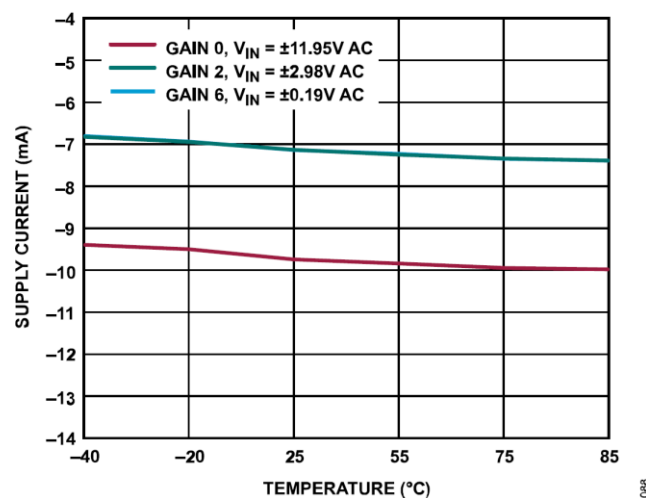


図 83. 異なるゲイン・モードでのVSS_PGA電源電流と温度の関係、AC入力

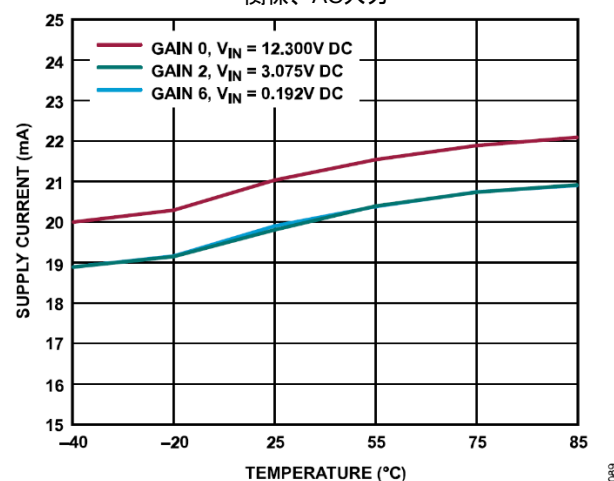


図 84. 異なるゲイン・モードでのLDO電源電流と温度の関係、DC入力、FDA = 通常消費電力、OUT_LDOをVDD2_PGA、VDD_FDA、VDD_ADC、VDD2_ADCに接続

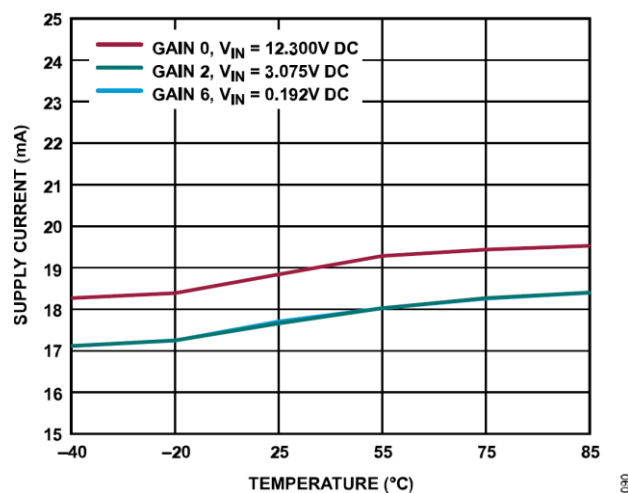


図 85. 異なるゲイン・モードでのLDO電源電流と温度の関係、DC入力、FDA = 低消費電力、OUT_LDOをVDD2_PGA、VDD_FDA、VDD_ADC、VDD2_ADCに接続

代表的な性能特性

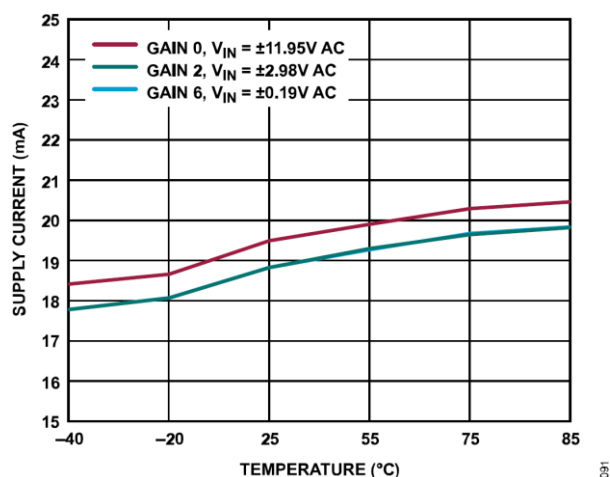


図 86. 異なるゲイン・モードでのLDO電源電流と温度の関係、AC入力、FDA = 通常消費電力、OUT_LDOをVDD2_PGA、VDD_FDA、VDD_ADC、VDD2_ADCに接続

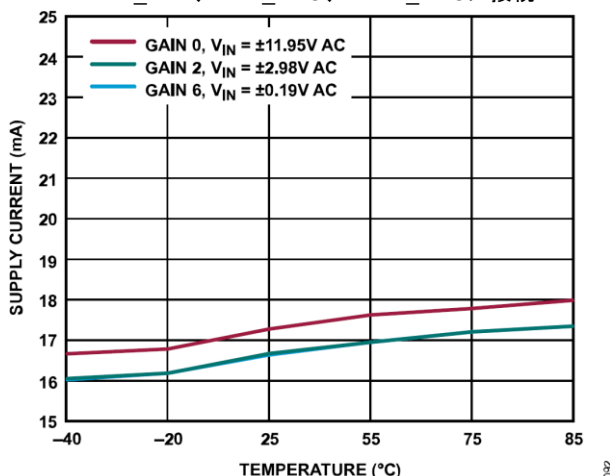


図 87. 異なるゲイン・モードでのLDO電源電流と温度の関係、AC入力、FDA = 低消費電力、OUT_LDOをVDD2_PGA、VDD_FDA、VDD_ADC、VDD2_ADCに接続

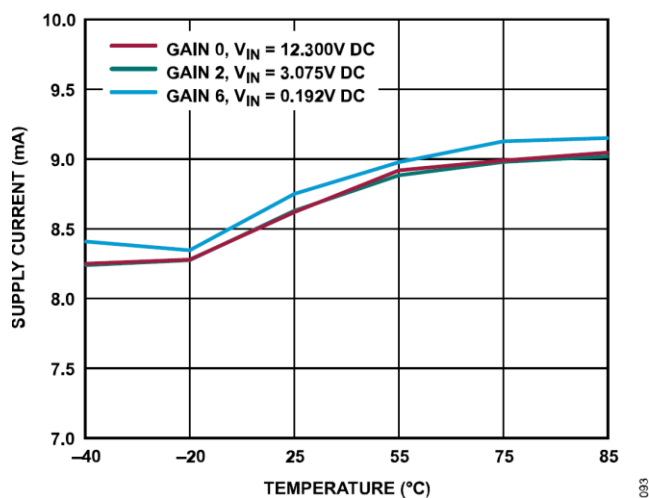


図 88. 異なるゲイン・モードでのVDD_IO電源電流と温度の関係、DC入力

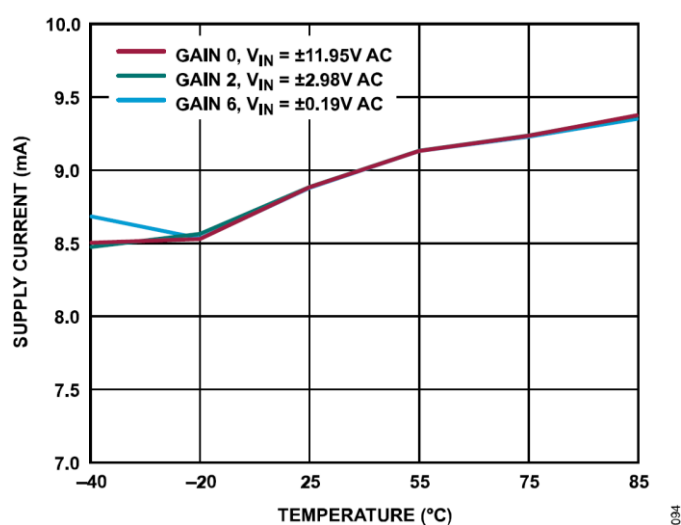


図 89. 異なるゲイン・モードでのVDD_IO電源電流と温度の関係、AC入力

用語の定義

AC同相ノイズ除去比 (CMRR)

IN+とIN-のコモンモード電圧に印加される周波数 f_s 、振幅600mV p-pのサイン波で表される電力に対する、周波数 f のADC出力の比です。

$$CMRR \text{ (dB)} = 10 \log \left(\frac{P_f}{P_{f_s}} \right) \quad (1)$$

ここで、

P_f はADC出力における周波数 f の電力。

P_{f_s} はADC出力における周波数 f_s の電力。

最下位ビット (LSB)

コンバータで表現できる最小のインクリメントです。分解能がNビットの完全差動入力ADCの場合、電圧を単位とするLSBは次式で求めることができます。

$$LSB \text{ (V)} = \frac{V_{REF} \times 2}{2^N \times AFE_GAIN} \quad (2)$$

ゲイン誤差

最初の遷移 (100...000から100...001) は負の公称フルスケールより $\frac{1}{2}$ LSB上のレベルで発生します。最後の遷移 (011...110から011...111) は、公称フルスケールより $\frac{1}{2}$ LSB低いアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

ゲイン誤差ドリフト

1°Cの温度変化に起因するゲイン誤差変化とフルスケール・レンジ (2N) の比です。ppmで表します。

オフセット誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

1°Cの温度変化に起因するオフセット誤差変化とフルスケール・コード・レンジ (2^N) の比です。ppmで表します。

微分非直線性 (DNL) 誤差

理想的なADCでは、コード遷移は1LSBだけ離れた位置で発生します。DNLはこの理想値からの最大偏差で、ノー・ミス・コードが確保される分解能で仕様規定されます。

積分非直線性 (INL) 誤差

負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSBだけ手前の点を負のフルスケールとして使います。

正のフルスケールは、最後のコード遷移を $\frac{1}{2}$ LSB上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ダイナミック・レンジ

入力ピンを短絡して測定した二乗平均平方根 (実効値) ノイズに対するフルスケールの実効値の比率です。単位はデシベルです。

全システム・ダイナミック・レンジ

ゲイン6モードで入力ピンを互いに短絡して測定した入力換算実効値ノイズに対するゲイン0モードでのフルスケールの実効値との比です。単位はデシベルです。

ピークtoピーク分解能

ピークtoピーク・ノイズすなわちフリッカの影響を受けないビット数です。「フリッカフリー分解能」または「ノイズフリー・コードの分解能」とも呼ばれます。次式に従います。

$$\log_2 \left(\frac{\text{Full Scale Range}}{6.6 \times \text{RMS Noise}} \right) \quad (3)$$

S/N比 (SNR)

ナイキスト周波数を下回るすべてのスペクトル成分 (高調波成分と直流成分を除く) の実効値総和に対する実際の入力信号の実効値の比です。単位はデシベルです。

全高調波歪み (THD)

高調波の実効値総和と基本波の比です。単位はデシベルです。ADAQ7768-1の場合、THDは次のように定義されます。

$$THD \text{ (dB)} = 20 \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \right) \quad (4)$$

ここで、

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2次から6次までの高調波の実効値振幅。

V_1 は基本波の実効値振幅。

信号/ノイズ+歪み (SINAD) 比

ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の実効値の比です。単位はデシベルです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力信号の実効値振幅と、高調波を含むピーク・スプリアス信号との差で、単位はデシベル (dB) です。

用語の定義

相互変調歪み

入力が2つの周波数 f_a と f_b のサイン波で構成される場合、非直線性を備えたアクティブ・デバイスは $m f_a$ と $n f_b$ （ここで、 $m, n = 0, 1, 2, 3, \dots$ ）の和周波と差周波に歪みの積を生成します。相互変調歪み項とは m も n も0ではない項です。例えば、2次の項は $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3次の項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、および $(f_a - 2f_b)$ を含みます。

相互変調歪みの計算はTHD仕様に従います。これは、基本波の和の実効値振幅に対する個々の歪み積の実効値総和の比率で、デシベルで表します。

デバイス間位相不整合

所定の入力信号周波数において、複数のADAQ7768-1デバイスからなるグループの平均位相遅延に対する単独のADAQ7768-1デバイスの位相遅延差を表す尺度です。データ・アキュイジション・シグナル・チェーンの位相応答がチャンネル間でどの程度良く一致しているかを示すものです。代表的な仕様は、分布の $\pm 1\sigma$ （標準偏差）です。

デバイス間位相不整合ドリフト

デバイス間位相不整合の分布が温度に応じてどの程度広がるか、あるいは狭まるかを表す量です。正の符号は、温度上昇と共に位相不整合の分布が広がることを示し、負の符号は、温度上昇と共に位相不整合の分布が狭まることを示します。代表的な仕様は、図90に示すように計算されますが、最大値はこの6倍になります。

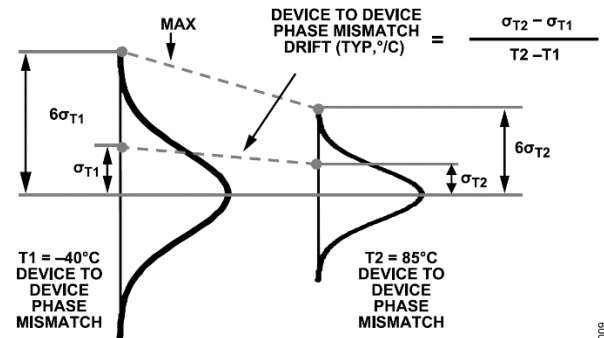


図 90. デバイス間位相不整合ドリフトの計算

電源電圧変動除去比（PSRR）

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。PSRRは、電源電圧の公称値からの変化による、フルスケール遷移ポイントでの最大変化です。

動作原理

アナログ入力

ADAQ7768-1は広いコモンモード入力範囲と高いCMRRを備えているため、IN+ピンとIN-ピンの電圧が互いに任意の関係で振幅可能

で、それによって、デバイスは図91に示すように、ユニポーラおよびバイポーラのシングルエンド信号、疑似差動信号、完全差動信号などの幅広い信号の電圧振幅を受け入れることができます。

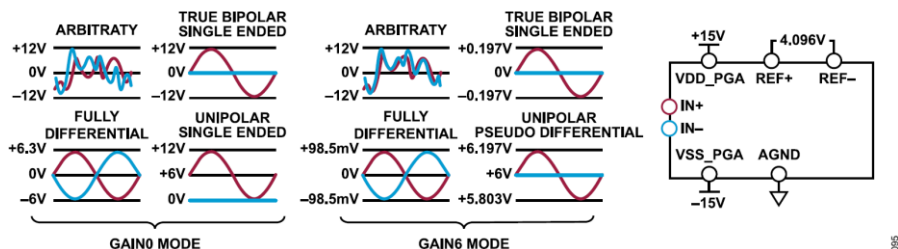


図 91. 入力信号の例

動作原理

任意入力

図92に示す2トーン・テストは、ADAQ7768-1の任意入力駆動能力を示しています。このテストは、IN+を-6.5dBFS、19.5kHzのシングルエンド・サイン波、IN-を-6.5dBFS、20.5kHzのシングルエンド・サイン波で同時に駆動します。これらの信号は共に、より一般的な任意入力信号の場合と同様に、コモンモードおよび差動モードの電圧の幅広い組み合わせでアナログ入力を掃引します。また、これらは単純なスペクトルとなっています。コモンモードの影響を受けない理想的な差動コンバータは、信号を各サイン波周波数に1つずつ、合計2つの-6.5dBFSのスペクトル・トーンとしてデジタル化します。図92のFFTプロットは、ADAQ7768-1の応答と、それが理想的な形に処理されていることを示しています。

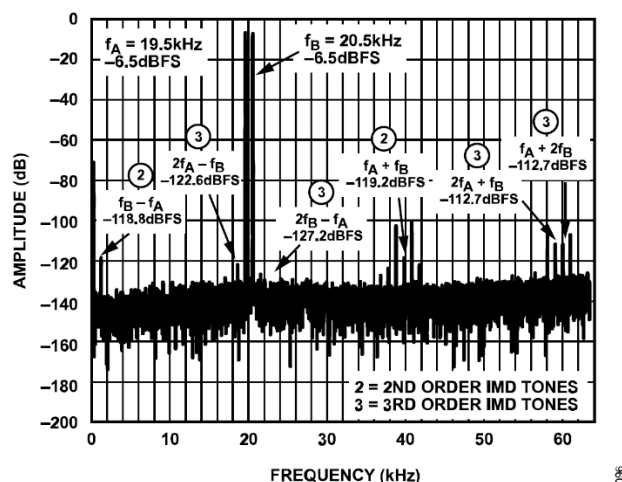


図 92. 2 トーン入力、IN+ = -6.5dBFS、19.5kHzのサイン波、IN- = -6.5dBFS、20.5kHzのサイン波、ODR = 256kSPS、 $V_{REF} = 4.096V$ 、AFE_GAIN = 0.325V/V (ゲイン0モード)

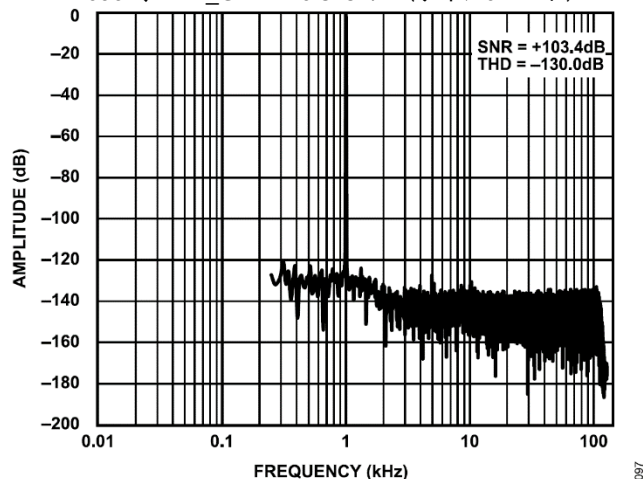


図 93. パイポラのシングルエンド入力、IN+ = -0.5dBFS、1kHzのサイン波、IN- = 0V、ODR = 256kSPS、 $V_{REF} = 4.096V$ 、AFE_GAIN = 1.3V/V (ゲイン2モード)

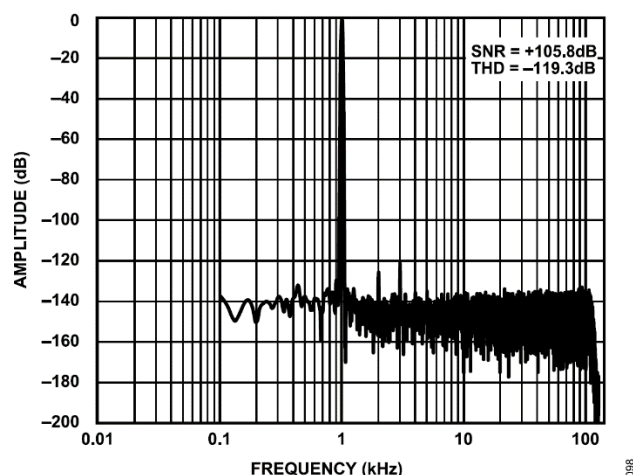


図 94. 完全差動入力、-0.5dBFS、1kHzのサイン波、 $V_{CM} = 0V$ 、ODR = 256kSPS、 $V_{REF} = 4.096V$ 、AFE_GAIN = 0.325V/V (ゲイン0モード)

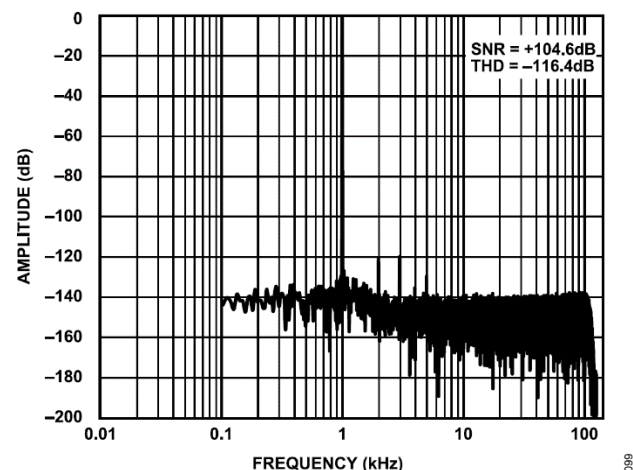


図 95. 完全差動入力、-0.5dBFS、1kHzのサイン波、 $V_{CM} = 0V$ 、ODR = 256kSPS、 $V_{REF} = 4.096V$ 、AFE_GAIN = 1.3V/V (ゲイン2モード)

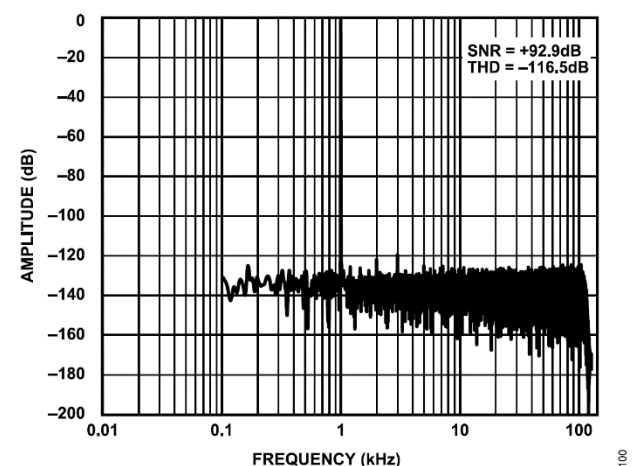


図 96. 完全差動入力、-0.5dBFS、1kHzのサイン波、 $V_{CM} = 0V$ 、ODR = 256kSPS、 $V_{REF} = 4.096V$ 、AFE_GAIN = 20.8V/V (ゲイン6モード)

動作原理

アナログ入力範囲

入力電圧範囲

IN+ピンおよびIN-ピンの絶対電圧は、全ゲイン・モードでVDD_PGA -3VおよびVSS_PGA + 3.25Vに限定されています。

差動入力範囲

差動信号振幅は、フロントエンドの信号ゲインとリファレンス電圧レベルによって異なります。最大差動入力電圧は次式で計算できます

$$V_{IN+} - V_{IN-} = \frac{\pm V_{REF}}{AFE_GAIN} \quad (5)$$

$$AFE_GAIN = PGIA_GAIN \times FDA_GAIN \quad (6)$$

ここで、FDA_GAIN = 1.3V/Vです。

コモンモード入力範囲

入力信号のコモンモード電圧範囲は、PGIAの電源電圧およびゲイン・モードによって異なります。従来、計装アンプでは、有効な入力コモンモード電圧範囲と出力振幅範囲の仕様を規定しています。しかし、多くの場合、内部ノードに関連する振幅制限は特定されません。内部ノードの信号は、ゲインにより増幅された差動信号やコモンモード信号が組み合わさったものであるためです。

図97および図98は、ADAQ7768-1の様々なゲイン・モードについて有効な出力が生成される動作領域を示したものです。

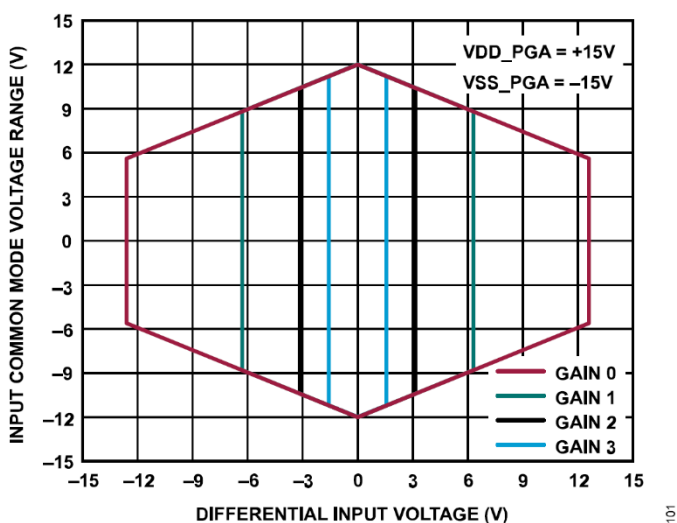


図 97. 様々なゲインに対する入力範囲のダイヤモンド・プロット

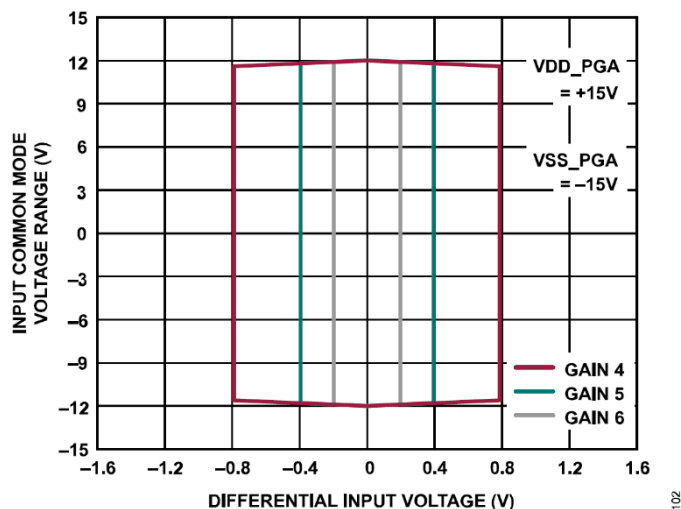


図 98. 様々なゲインに対する入力範囲のダイヤモンド・プロット

入力範囲の選択

ADAQ7768-1の入力範囲は、そのフロントエンドPGIAのゲインで制御され、目的とする設定値のプログラミングは、デジタル・インターフェースとGAIN0、GAIN1、GAIN2の3つのゲイン制御ピンを用いて行うことができます。ゲイン制御ピンのロジック閾値は、AGNDピンを基準として指定されます。ゲイン制御ピンの電圧範囲がAGND～AGND + 0.6Vである場合は、そのピンに対しロジック・ロー (L) を生成し、ゲイン制御ピンの電圧範囲がAGND + 1.5V～VDD_PGAである場合は、そのピンに対しロジック・ハイ (H) を生成します。PGIAのゲインとADAQ7768-1の入力範囲は、表8に従ってプログラムされます。

動作原理

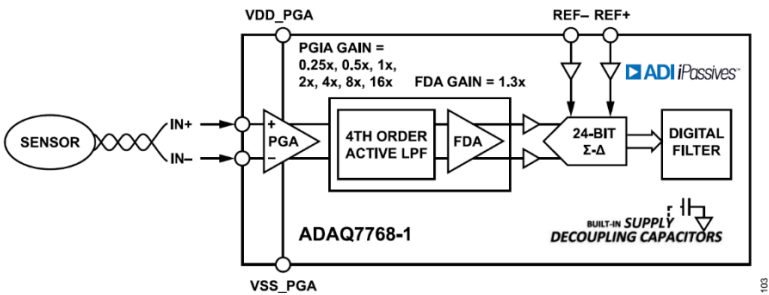


図 99. ADAQ7768-1の最上位レベルのコア・シグナル・チェーン

表8. 入力範囲選択用の真理値表

Gain Mode	GAIN 2 Pin Logic	GAIN 1 Pin Logic	GAIN 0 Pin Logic	PGIA Gain (V/V)	FDA Gain (V/V)	Total Signal Chain Gain (V/V)	Differential Input Range with $V_{REF} = 4.096\text{ V (V)}$	Common-Mode Input Range with Full Scale Input Signal $V_{REF} = 4.096\text{ V (V)}$
Gain 0	High	High	Low	0.25	1.3	0.325	± 12.603	± 5.6
Gain 1	High	Low	High	0.5	1.3	0.65	± 6.302	± 8.8
Gain 2	High	Low	Low	1	1.3	1.3	± 3.151	± 10.4
Gain 3	Low	High	High	2	1.3	2.6	± 1.575	± 11.2
Gain 4	Low	High	Low	4	1.3	5.2	± 0.788	± 11.6
Gain 5	Low	Low	High	8	1.3	10.4	± 0.394	± 11.8
Gain 6	Low	Low	Low	16	1.3	20.8	± 0.197	± 11.9

動作原理

アンチエイリアシング・フィルタ

ADAQ7768-1の入力信号帯域幅は、デジタル・フィルタによって左右されます。ユーザは、デシメーション・レシオを設定することで、デジタル・フィルタの帯域幅を調整できます。フィルタの帯域幅は、MCLK周波数の変更によって微調整することもできます。例えば、広帯域低リップルFIRフィルタ・オプションを用いてODR = 256kSPSとした場合は、シグナル・チェーン全体の-3dB帯域幅は、 $0.433 \times \text{ODR} = 110.85\text{kHz}$ のデジタル・フィルタ帯域幅に等しくなります。同じフィルタの阻止帯域は $0.499 \times \text{ODR}$ 、阻止帯域減衰は-100dBとなります。他のサンプリングされるシステムと同様、ADAQ7768-1のデジタル・フィルタは、シグナル・サンプリング周波数 f_s の周囲の信号は除去しません。図100は、 f_s

の周囲の信号を除去して帯域外の信号が対象帯域へフォールド・バックされるのを防ぐためには、アナログ・アンチエイリアシング・フィルタを追加する必要があることを示しています。

デジタル・フィルタでは、 $f_s \pm f_{3\text{dB}}$ の周波数範囲の信号は除去しません。ADAQ7768-1のコアADCは $2 \times f_{\text{MOD}}$ の周波数でサンプリングします。 $f_{\text{MOD}} = \text{MCLK}/2$ の通常動作モードでは、ADCのサンプリング周波数 f_s はMCLKに等しい値です。

ADAQ7768-1には、16.384MHzで100dBの除去を達成できるよう設計された、4次のアナログ・アンチエイリアシング・フィルタが備わっています。このアナログ・アンチエイリアシング・フィルタと広帯域低リップル・フィルタを組み合わせることで、ADAQ7768-1は帯域外信号のすべてを105dB以上除去できます。

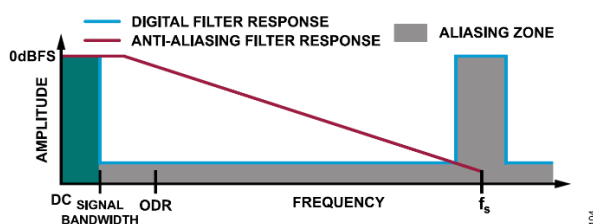


図 100. 全体的な周波数応答を示す簡略図

動作原理

振幅および位相応答

アンチエイリアシング・フィルタは、帯域内の信号に対し振幅と位相の歪みを最小限に抑えて最適なエイリアシング除去を実現するよう設計されています。代表的な振幅ドロープは、20kHzで2.3m dB、100kHzで20m dBです。パスバンドにおけるフィルタのパスバンド位相応答も高い直線性を有しています。アナログ・デバイスのiPASSIVES™技術を援用することで、フィルタの-3dBコーナ周波数は330kHzに厳密に制御されており、図105に示すように、デバイス間の位相不整合は最小限に抑えられています。この性能は、X、Y、Z軸用の3つの加速度センサーを用いて装置の状態監視アプリケーションでの故障箇所を特定する場合などの、同時サンプリング・アプリケーションに非常に適しています。許容誤差や温度ドリフト特性にばらつきがあるディスクリートな抵抗およびコンデンサを用いたシグナル・チェーンでこれを行うのは、困難で高コストとなる可能性があるため、この性能はシグナル・チェーン μ Moduleの大きな長所となります。

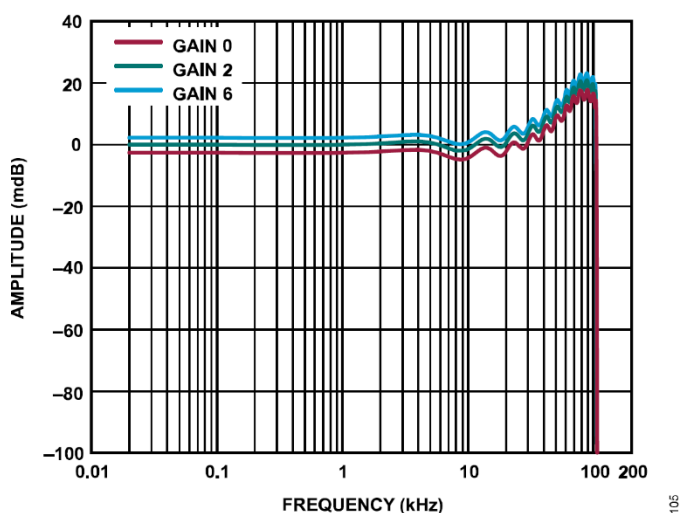


図 101. 異なるゲイン・モードでのAAFの周波数応答

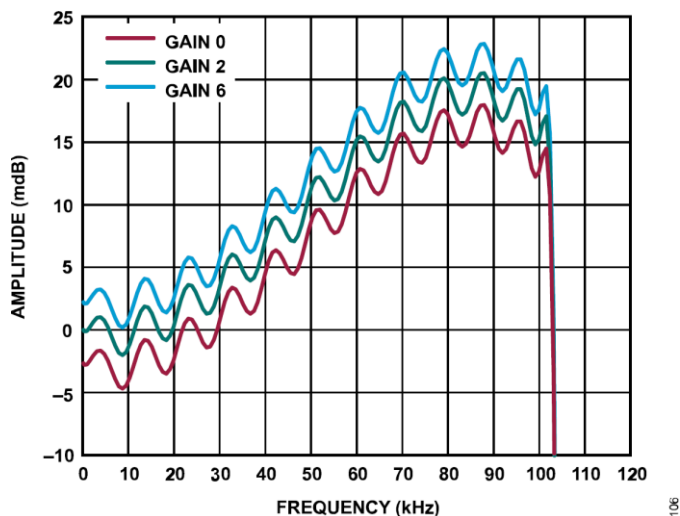


図 102. 異なるゲイン・モードでのAAFのパスバンド・ドロープ

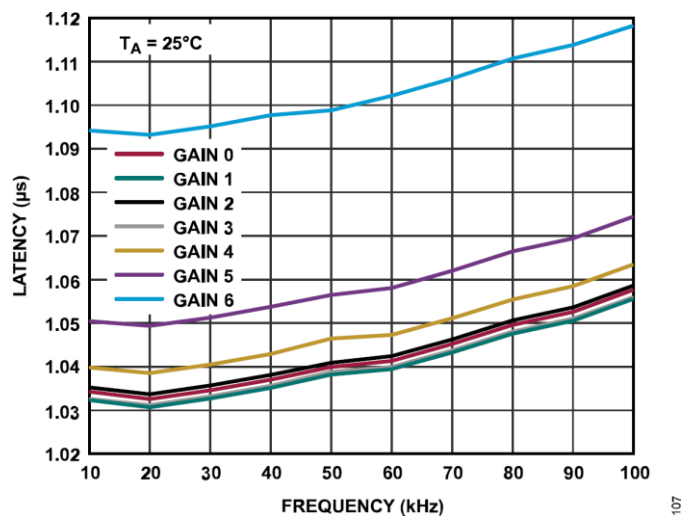


図 103. 全ゲイン・モードでの25°Cにおける群遅延と周波数の関係

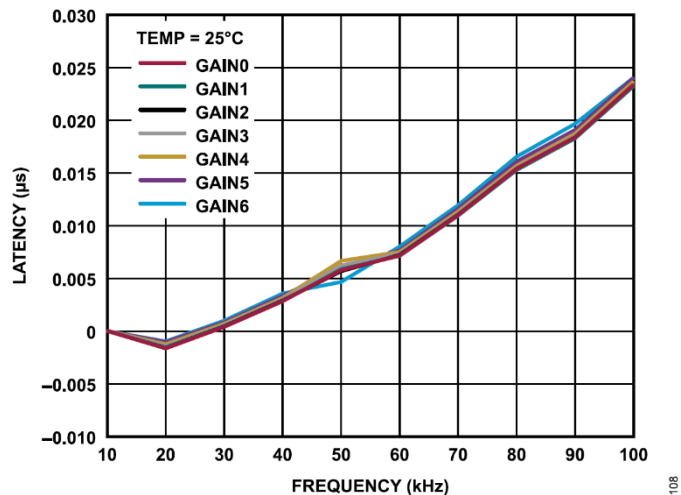


図 104. 全ゲイン・モードでの25°Cにおける群遅延と周波数の関係、10kHzでの遅延で正規化

動作原理

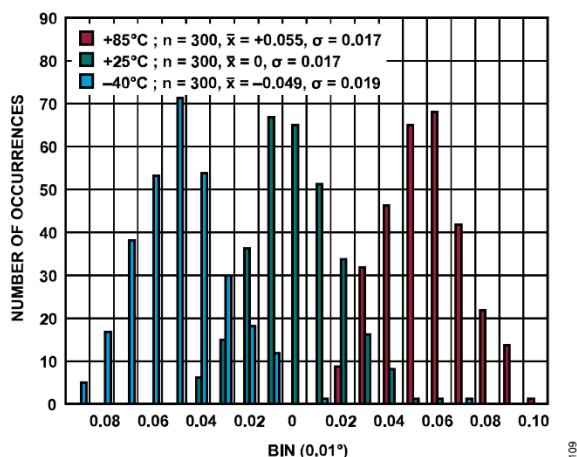


図 105. デバイス間の位相不整合ヒストグラム、20kHz、AFE_GAIN = 1.3V/V（ゲイン2モード）、25°Cでの平均値で正規化

AFEの位相性能の計算

デジタル・フィルタの群遅延は一定であるため、異なるゲインまたは温度における位相角不整合、あるいはデバイス間の位相角不整合は、すべて、アナログ・フロントエンドとそのフィルタによるものです。

位相角の周波数依存性

ADAQ7768-1の位相応答は直線的です。ある周波数と別の周波数との間の位相遅延を補間する理想的な式は、次のとおりです。

$$\frac{\theta_1}{f_{IN_1}} = \frac{\theta_2}{f_{IN_2}} \quad (7)$$

ここで、 θ_x は入力周波数 f_{IN_x} を用いたAFEの位相遅延です。

ただし、わずかに非直線性があるため、傾きと切片の項により上式を補正します。

$$\theta = m \times f_{IN} + b + \text{nonlinearity} \quad (8)$$

ここで、

m は傾き、

b は、図106に示すように、エンドポイント法を用いたパスバンド周波数範囲全体にわたる入力周波数に関する位相遅延の線形方程式の y 切片です。

10kHz～100kHzの位相遅延をエンドポイントとして用いると、代表的なデバイスの最も厳しい場合の非直線性は、図107に示すように、約-0.3°となります。

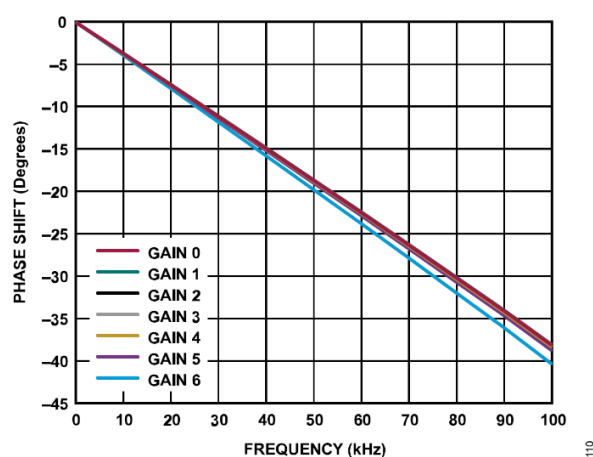


図 106. 全ゲイン・モードでのアナログ・フロントエンド（AFE）の位相応答

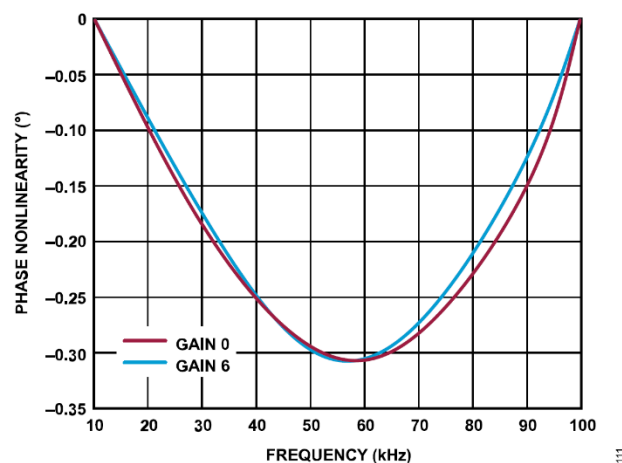


図 107. アナログ・フロントエンド（AFE）の位相非直線性とパスバンド周波数の関係、エンドポイント法（10kHz～100kHz）

位相角不整合のゲイン依存性

位相角不整合のゲイン依存性は、同一デバイスにおけるゲイン・モード0での位相遅延を基準としたゲイン・モード1～6の位相遅延です。代表的な仕様は、多数のデバイスにわたる平均の位相角不整合のゲイン依存性ですが、最大（最小）仕様は代表値のシックス・シグマ（標準偏差： σ ）です。

例えば、代表的なデバイスAがゲイン0モードで20kHzの場合に入力から出力までの位相遅延が7.4°であるとします。ゲイン6モードの場合、同じデバイスAの位相遅延の代表値は、次のようになります。

$$7.4^\circ + 0.427^\circ \text{（代表的な仕様）} = 7.827^\circ \text{の位相遅延}$$

デバイスBは、全ゲイン仕様にわたり最大位相角不整合で動作している場合、同じデバイスBのゲイン6モードでの位相遅延は次のようになります。

$$7.4^\circ + 0.491^\circ \text{（最大仕様）} = 7.891^\circ \text{の位相遅延}$$

動作原理

位相角ドリフト

位相角ドリフトは、与えられた入力信号周波数における単一デバイスの温度に伴う位相遅延変化の割合を表します。 $^{\circ}/^{\circ}\text{C}$ を単位とするドリフトは、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の全動作温度範囲にわたりエンドポイント法を用いて計算できます。代表的な仕様値は、多数のデバイスの平均位相角ドリフトですが、最大（最小）仕様は代表値からのシックス・シグマ（標準偏差： σ ）です。

例えば、 $T_A = 25^{\circ}\text{C}$ において、代表的なデバイスAがゲイン0モードで20kHzの場合に入力から出力までの位相遅延が 7.4° であるとし、 $T_A = 85^{\circ}\text{C}$ の場合、同じデバイスAの位相遅延の代表値は、次のようになります。

$7.4^{\circ} + 0.00073^{\circ}/^{\circ}\text{C}$ （代表的な仕様） $\times (85^{\circ}\text{C} - 25^{\circ}\text{C}) = 7.4438^{\circ}$ の位相遅延

デバイスBは、最大位相角ドリフト仕様で動作している場合、同じデバイスBの位相遅延は次のようになります。

$7.4^{\circ} + 0.00137^{\circ}/^{\circ}\text{C}$ （最大仕様） $\times (85^{\circ}\text{C} - 25^{\circ}\text{C}) = 7.4822^{\circ}$ の位相遅延

デバイス間の位相角不整合

デバイス間の位相角不整合は、所定の入力信号周波数において、複数のADAQ7768-1デバイスからなるグループの平均位相遅延に対する単一のADAQ7768-1デバイスの位相遅延差を表す尺度です。データ・アキュイジション・シグナル・チェーンの位相応答がチャンネル間でどの程度良く一致しているかを示すものです。代表的な仕様は、分布の $\pm 1\sigma$ （標準偏差）ですが、最大値（最小値）はこの値の6倍です。

例えば、入力が20kHzでゲイン0モードの多数のデバイスの位相遅延を求める場合、デバイスCが位相遅延の分布の最小値側にある、つまり、平均よりも $(-)0.11^{\circ}$ 進んでいるとします。同様に、デバイスDが分布の最大値側にある、つまり平均よりも $(+)0.11^{\circ}$ 遅れているとします。デバイスCとデバイスDの間の位相角不整合は次のようになります。

$+0.11^{\circ}$ （最大値） $- (-)0.11^{\circ}$ （最小値） $= 0.22^{\circ}$

これは2個のADAQ7768-1デバイス（ゲイン0モード、 $T_A = 25^{\circ}\text{C}$ 、20kHzの入力）間の最も厳しい場合の位相角不整合です。

デバイス間の位相角不整合ドリフト

デバイス間の位相角不整合ドリフトは、デバイス間の位相角不整合の標準偏差（ σ ）が、与えられた入力信号周波数において温度と共にどの程度広がるか、あるいは狭まるかを表します。正の符号は、温度上昇と共に位相不整合の分布が広がることを示し、負の符号は、温度上昇と共に位相不整合の分布が狭まることを示します。この仕様は、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の全動作温度範囲にわたりエンドポイント法を用いて計算されます。図108に示すように、代表的な仕様値は 1°C あたり 1σ の変化ですが、最大値はこの値の6倍となります。

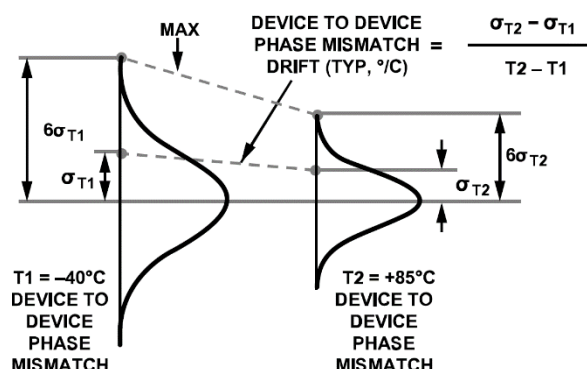


図 108. デバイス間位相不整合ドリフトの計算

ゲイン0モードで入力周波数が20kHzの場合に 25°C で多数のデバイスによるデバイス間位相角不整合の標準偏差（ σ ）を測定すると、分布の σ が 0.018° であったとします。別の温度における標準偏差を補間するには、次式を用います。

$$\sigma_{T2} = \sigma_{T1} + \text{デバイス間の位相角不整合ドリフト} \times (T2 - T1)$$

例： $\sigma_{-40^{\circ}\text{C}} = 0.018^{\circ} + (-21 \mu^{\circ}/^{\circ}\text{C}) \times (-40^{\circ}\text{C} - 25^{\circ}\text{C}) = 0.019365^{\circ}$

FDAの消費電力モード

ADAQ7768-1の完全差動アンプ（FDA）は、高分解能かつ高性能の Σ - Δ A/Dコンバータ（ADC）を駆動できる、低ノイズ、低歪みのアンプです。

FDAでは、低消費電力モードと通常消費電力モードの2つの電力モードが選択できます。FDAの低消費電力モードは、低ゲイン設定時（ 0.325V/V および 0.65V/V のシステム・ゲイン）に1/fノイズが小さいため、DC入力アプリケーションに最適です。通常消費電力モードでは、消費電流が大きい場合に直線性が向上します。

図109にM0_FDA、M1_FDAとM0_ADC、M1_ADCの接続関係を示します。この接続では、FDAは通常消費電力モードになります。FDAを低消費電力モードにするには、図110に示すように、M0_FDAをグラウンドにプルダウンし、M1_FDAとM1_ADCは接続されたままにすることが必要です。

動作原理

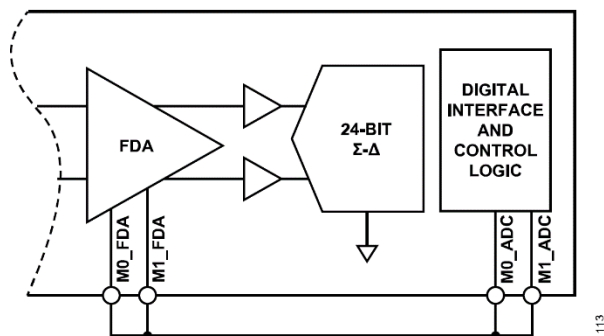


図 109. FDAの通常消費電力モードの接続

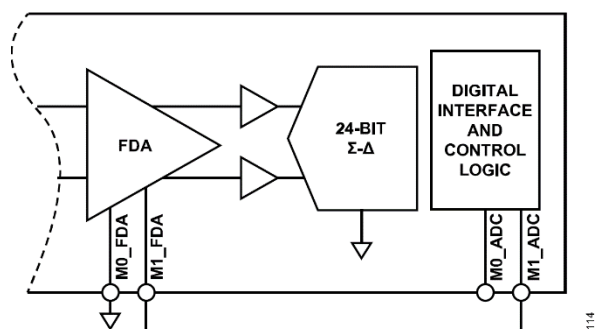


図 110. FDAの低消費電力モードの接続

直線性向上バッファ

ADAQ7768-1には、ドライバ・アンプとコアADCの間に、1対の直線性向上バッファが配置されています。これらをオンにすることでデバイスの直線性を向上させることができます。直線性向上バッファは、シグナル・チェーン性能にノイズを加えることはありませんが、VDD_ADC電源で2mA（代表値）の電流（1対ごと）を追加で消費します。

直線性向上バッファはデフォルトでイネーブルされています。SPI制御モードでこれらのバッファをオフにするには、[LINEARITY_BOOST_A_OFF](#)および[LINEARITY_BOOST_B_OFF](#)（レジスタ0x16のビット[1:0]）をゼロにセットします。 $\overline{\text{PIN}}$ 制御モードでは、直線性向上バッファは常にイネーブルされています。

リファレンス入力とバッファリング

ADAQ7768-1には差動リファレンス入力REF+とREF-があります。絶対入力リファレンスの電圧範囲は、1V～VDD_ADC－AGNDです。

リファレンス入力、REF+ピンとREF-ピンそれぞれについてのフル・バッファ入力またはプリチャージ・バッファ入力として設定するか、両方のバッファをバイパスするように設定することができます。

フル・バッファまたはプリチャージ・バッファを使用すると、大きな負荷や複数のデバイスを駆動するときに外部リファレンスにかかる負荷が軽減されます。リファレンス・ピンへのフル・バッファ入力を使用すると入力ノードが高インピーダンスになり、従来の外部リファレンスの超低ソース・インピーダンスを利用できないレシオメトリック・アプリケーションに、ADAQ7768-1を使用することができます。

$\overline{\text{PIN}}$ 制御モードの場合は、リファレンス・プリチャージ・バッファがデフォルトでオフになります。SPIモードでは、フル・バッファかプリチャージ・バッファを選ぶことができます。

リファレンス入力電流は変調器のクロック・レートに比例します。

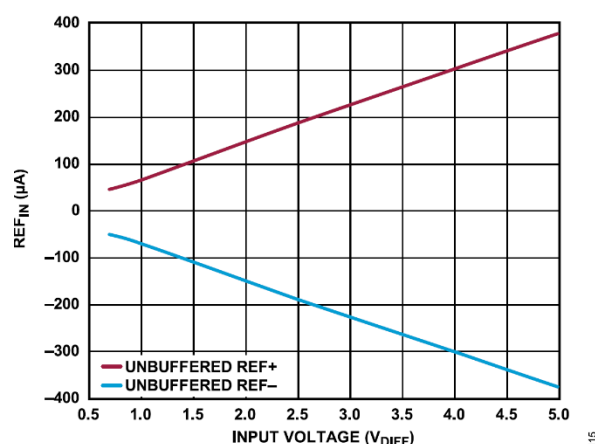
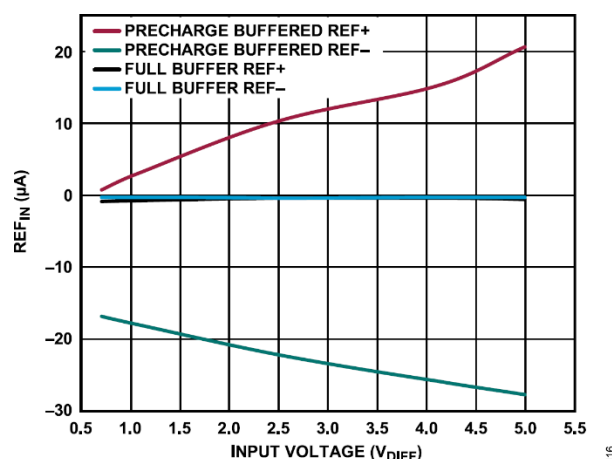
高速モードでMCLK = 16.384MHzの場合、リファレンス入力電流はバッファなしで約80μA/V、プリチャージ・バッファをイネーブルして約20μAです。

プリチャージ・バッファがオフで、REF+ = 5V、REF- = 0Vの場合：

$$\text{REF}_{\pm} = 5\text{V} \times 80\mu\text{A/V} = +400\mu\text{A}$$

プリチャージ・バッファがオンで、REF+ = 5V、REF- = 0Vの場合：

$$\text{REF}_{\pm} \approx 20\mu\text{A}$$

図 111. リファレンス入力電流（REF_{IN}）と入力電圧の関係、バッファなしのREF+とREF-図 112. リファレンス入力電流（REF_{IN}）と入力電圧の関係、プリチャージ・バッファ使用時のREF+とREF-、およびフル・バッファ使用時のREF+とREF-

最大限の性能とヘッドルームを確保するには、[ADR444](#)や[ADR4540](#)のような4.096Vリファレンスを使用します。これらのリファレンスは5Vレールで電源供給することも、VDD_ADC電源を共用することもできます。

動作原理

SPI制御モードでは、リファレンス検出機能を使用できます。詳細については、[リファレンス検出](#)のセクションを参照してください。

コア・コンバータ

ADAQ7768-1は、最大5Vのリファレンスを使用でき、差動入力範囲が $\pm V_{REF}/AFE_GAIN$ のアナログ入力間の差動電圧をデジタル出力に変換できます。24ビットの変換結果はMSBファーストで、2の補数フォーマットで表されます。[図113](#)にADAQ7768-1の理想的な伝達関数を示します。

コードを電圧に変換するには次の式を用います。コードは最初に2の補数フォーマットからストレート・バイナリに変換されているものとします。

$$Voltage = \frac{(Code - MidscaleCode) \times 2 \times V_{REF}}{2^{24} \times AFE_GAIN}$$

ここで、Midscale Codeはストレート・バイナリの0x800000です。[表9](#)の0x7FFFFFFFは、ストレート・バイナリの0xFFFFFFFFに変換されます。

$V_{REF} + V_{REF}$ の範囲の電圧を計算するには、前出の式を使用します。

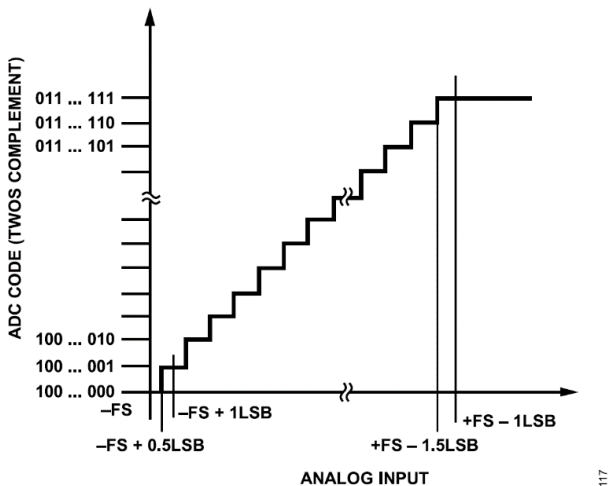


図 113. ADCの理想的な伝達関数（FSはフルスケール）

表9. 出力コードと入力電圧の理論値

Description	Analog Input (IN+ - IN-) (V)	Digital Output Code, Twos Complement (Hex)
FS - 1 LSB	$+V_{REF}/AFE_GAIN \times (1-1/2^{23})$	0x7FFFFFFF
Midscale + 1 LSB	$+V_{REF}/AFE_GAIN/2^{23}$	0x000001
Midscale	0	0x000000
Midscale - 1 LSB	$-V_{REF}/AFE_GAIN/2^{23}$	0xFFFFF
-FS + 1 LSB	$-V_{REF}/AFE_GAIN \times (1-1/2^{23})$	0x800001
-FS	$-V_{REF}/AFE_GAIN$	0x800000

電源

ADAQ7768-1には、アナログ・フロントエンドおよびADCに給電するいくつかの電源があります。接続を簡略化するため、ADAQ7768-1には、VDD_ADC、VDD2_ADC、VDD2_PGA、

VDD_FDAの電圧を供給するために使用できるLDOが内蔵されています（[図114](#)参照）。このLDOは、REF+ピンとREF-ピン用のADR4540リファレンスにも給電します。LDOの入力は、5.1V～5.5Vの入力範囲を処理できます。最適な動作のために、LDOの入力および出力には1μFのコンデンサを用いることを推奨します。

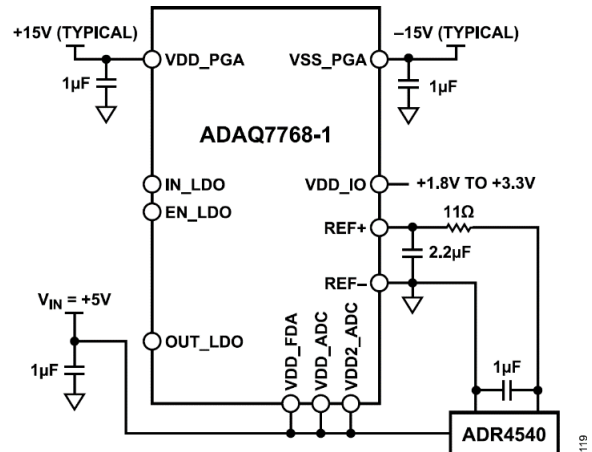


図 114. 内部LDOを使用するADAQ7768-1の電源接続

通常動作時にLDOを使用しない場合、すべてのLDOピンはフロート状態にしておくことを推奨します。[図115](#)は、内部LDOを使用できない場合に、VDD_ADC、VDD2_ADC、VDD2_PGA、VDD_FDA、およびリファレンスに外部電源を使用する方法を示しています。

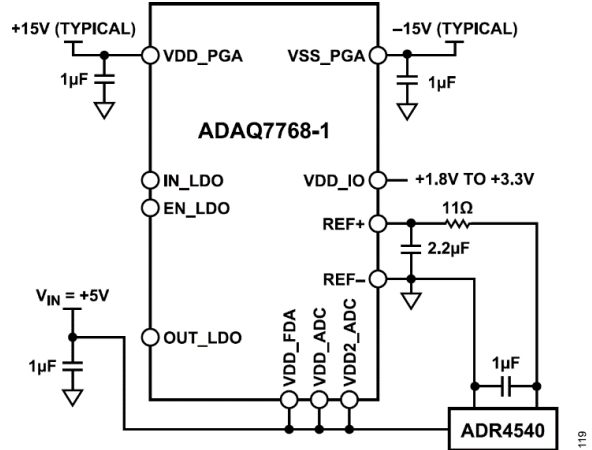


図 115. 5V外部電源を用いるADAQ7768-1の電源接続

VDD_PGAおよびVSS_PGAはPGAのフロントエンド・アンプに給電します。

VDD2_PGAは正電源でPGAの出力ドライバに給電します。出力ドライバの戻り電流は、VSS_PGAを通じて還流されます。

VDD_FDA電源はADCドライバに給電します。

VDD_ADC電源は、直線性向上バッファ、コアADCフロントエンド、リファレンス入力に給電します。

動作原理

VDD2_ADC電源は、内部1.8VアナログLDOレギュレータに接続します。このレギュレータはADCコアに給電します。VDD2_ADCとAGND間の電圧範囲は5.5V（最大値）～2.0V（最小値）です。

VDD_IOは内部の1.8VデジタルLDOレギュレータに電力を供給し、このレギュレータはADCのデジタル・ロジックに電力を供給します。VDD_IOにより、ADCのSPIの電圧レベルが設定されます。VDD_IOはDGNDを基準としており、VDD_IOとDGND間の電圧範囲は3.6V（最大値）～1.7V（最小値）です。

電源のデカップリング

ADAQ7768-1は、VDD_PGA、VSS_PGA、VDD2_PGA、VDD_FDA、VDD_ADC、VDD2_ADCの各電源ピンに0.1μFの電源デカップリング・コンデンサを内蔵しています。内部LDOと合わせ、これらの機能はADAQ7768-1を動作させるのに必要な部品数を最小限に抑えます。

図116に、内部LDOのAC PSRRを示します。このLDOは内蔵の電源デカップリング・コンデンサとOUT_LDOピンに推奨される1μFデカップリング・コンデンサ（図114参照）を用いて、VDD2_PGA、VDD_FDA、VDD_ADCに接続されています。

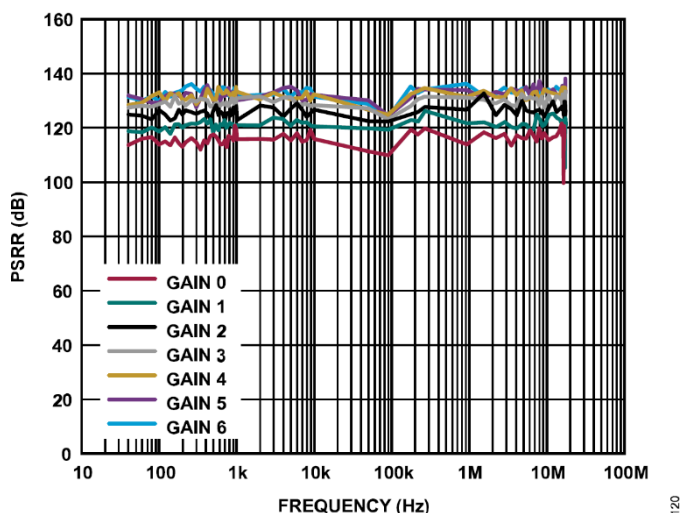


図 116. LDO AC PSRR。VDD2_PGA、VDD_FDA、VDD_ADC、VDD2_ADCの0.1μF内蔵デカップリング・コンデンサとOUT_LDOの推奨1μF外部デカップリング・コンデンサを使用

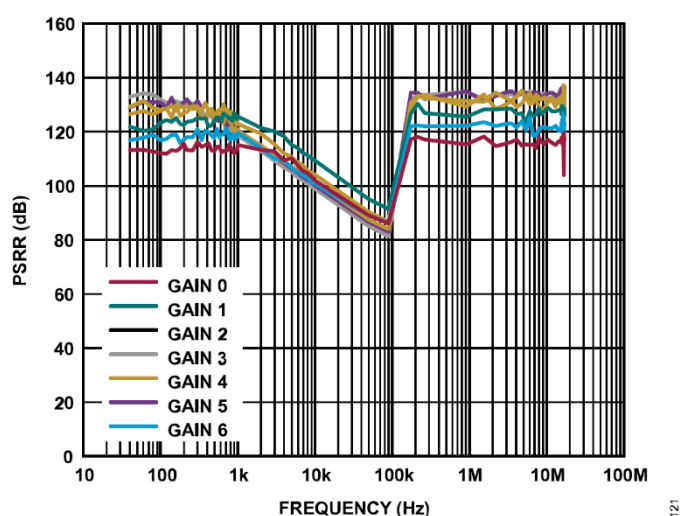


図 117. VDD_PGA AC PSRRと全ゲインの関係。内蔵の0.1μF電源デカップリング・コンデンサのみを使用

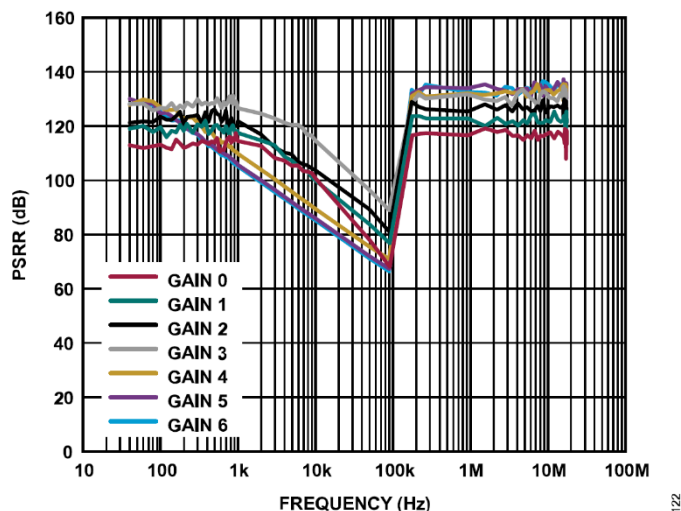


図 118. VSS_PGA AC PSRRと全ゲインの関係。内蔵の0.1μF電源デカップリング・コンデンサのみを使用

VDD_IOのみ、外部デカップリング・コンデンサが必要です。図119に、0.1μF外部電源デカップリング・コンデンサを使用したVDD_IO電源ピンのAC電源電圧変動除去比（PSRR）と1μF電源デカップリング・コンデンサを追加した場合のAC PSRRを示します。

動作原理

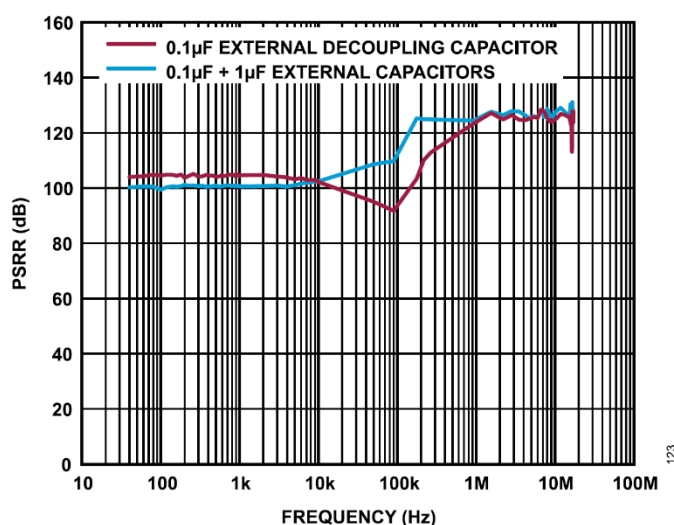


図 119. 外部0.1μFと追加の1μF電源デカップリング・コンデンサを用いたVDD_IOのAC PSRR

電源スタンバイ

ADAQ7768-1の各機能ブロックは、スタンバイ・モードにすることができます。すべての機能ブロックをスタンバイ・モードにすると、デバイスの全消費電力を0.96mWにできます。

クロック供給とサンプリング・ツリー

ADAQ7768-1のコアADCには、コントローラ・クロック（MCLK）信号が供給されます。MCLK信号は、4つのオプションから1つを選択することができます。すなわち、CMOSクロック、XTAL1ピンとXTAL2ピン間に接続された水晶発振器、LVDS信号、または内部クロックです。ADAQ7768-1が受信するMCLK信号により、コアADCのシグマ・デルタ変調器クロック・レート（ f_{MOD} ）が定まり、これにより、 $2 \times f_{MOD}$ の変調器のサンプリング周波数が定まります。

$$f_{MOD} = \frac{MCLK}{MCLK_DIV}$$

f_{MOD} を決定するには、4つあるクロック分周設定、MCLK/2、MCLK/4、MCLK/8、MCLK/16のいずれかを選択します。例えば、ODRまたは入力帯域幅を最大にするには、16.384MHzのMCLKレートが必要です。変調器周波数を8.192MHzにするには、分周比2のMCLK分周器（MCLK_DIV）を選択してください。

変調器周波数の設定を制御する方法は、 $\overline{PIN}$ 制御モードとSPI制御モードで異なります。

$\overline{PIN}$ 制御モードでは、MODExピンが変調器周波数を決定します。MODExピンはフィルタ・タイプとデシメーション・レートの選択にも使われます。MODExピン用の $\overline{PIN}$ 制御モード設定については、表17を参照してください。

フロントエンドのアンチエイリアシング・フィルタから帯域外トーンを最大限に除去するには、 f_{MOD} 周波数を高い値に維持することを推奨します。入力帯域幅を狭くする必要がある場合は、デシメーション・レシオを増加します。

クロッキングとクロックの選択

ADAQ7768-1は、デバイスの初期起動用に内部発振器を備えています。ADAQ7768-1がスタートアップ・ルーチンを完了すると、クロックが外部MCLKに切り替わります。ADAQ7768-1は特定の内部クロック・サイクル数にわたって外部MCLKの立下がりエッジをカウントして、クロックが有効であること、および周波数が600kHz以上であることを確認します。外部MCLKに問題がある場合、クロックの切替えは行われず、ADAQ7768-1のクロック・エラー・ビットがセットされて、ADAQ7768-1は内部クロックによる動作を続けます。

SPI制御モードでは、POWER_CLOCKレジスタ（レジスタ0x15）のクロック源ビットを使用して外部MCLK源を設定します。内部発振器、外部CMOS、水晶発振器、またはLVDSの4つのクロック・オプションがあります。LVDSクロック・オプションを選択した場合は、CLOCK_SELビット（レジスタ0x15のビット[7:6]）を使用してクロック源を選択する必要があります。

$\overline{PIN}$ 制御モードでは、CLK_SELピンが外部MCLK源を設定します。 $\overline{PIN}$ 制御モードでは、内部発振器、外部CMOS、または水晶発振器の3つのクロック・オプションを使用できます。CLK_SELピンは起動時にサンプリングされます。

クロックの品質評価チェックをオフにするには、EN_ERR_EXT_CLK_QUALビット（レジスタ0x29のビット0）をセットします。クロック品質評価チェックをオフにすると、推奨MCLK周波数の範囲より低い外部MCLKクロック・レートを使用できるようになります。

CLK_SELピン

$\overline{PIN}$ 制御モードでCLK_SEL = 0にした場合は、CMOSクロック・オプションを選択してMCLKピンに使用する必要があります。この場合はXTAL1ピンをDGNDに接続します。

$\overline{PIN}$ 制御モードでCLK_SEL = 1にした場合は、水晶発振器オプションを選択してXTAL1ピンとXTAL2ピンの間に接続する必要があります。

SPI制御モードでは、CLK_SELピンは使用するMCLK源を選択しないので、CLK_SELをDGNDに接続する必要があります。

内部発振器の使用

DC入力電圧を測定する必要がある絶縁アプリケーションなどのように、場合によっては内部クロック発振器を使用する変換のほうがいいことがあります。しかし、内部クロックを使用するとジッタのためにS/N比が低下することがあるので、内部クロックを使ってAC信号を変換することは推奨できません。

デジタル・フィルタ処理

ADAQ7768-1では次の3種類のデジタル・フィルタを使用できます。

- ▶ 広帯域低リップルFIRフィルタ、 $0.433 \times ODR$ で-3dB（6レート）
- ▶ sinc5低遅延フィルタ、 $0.204 \times ODR$ で-3dB（8レート）
- ▶ sinc3低遅延フィルタ、 $0.2617 \times ODR$ で-3dB、データ・レートは広範囲にプログラム可能

動作原理

デシメーション・レート制御

ADAQ7768-1は、sinc3、sinc5、広帯域低リプルFIRの各デジタル・フィルタ用に、プログラマブルなデシメーション・レートを備えています。デシメーション・レートによって、測定帯域を制限することができます。これは速度と入力帯域幅を低下させますが、デジタル・フィルタ内で更に平均化が行われるので、分解能は向上します。SPI制御使用時のADAQ7768-1上でのデシメーション・レート制御は、sinc5および広帯域低リプルFIRフィルタ用のDIGITAL_FILTERレジスタ（レジスタ0x19）で設定します。

sinc3フィルタのデシメーション・レートは、SINC3_DEC_RATE_LSBレジスタ（レジスタ0x1A）とSINC3_DEC_RATE_MSBレジスタ（レジスタ0x1B）を使用して制御します。これらのレジスタにより、合わせて13ビットのプログラムが可能になります。デシメーション・レートは、これらのレジスタの値に1を加算して、その値に32を乗じることによって設定します。例えば、SINC3_DEC_RATE_LSBレジスタの値を0x5に設定すると、sinc3フィルタのデシメーション・レートは192になります。

PIN制御モードでは、MODE0ピンがデシメーション・レートを制御します。sinc5オプションと広帯域フィルタ・オプションに使用できるデシメーション・レートは、32と64だけです。PIN制御モードで使用できる全てのオプションについては、表17を参照してください。

表10. デシメーション・レート・オプション

Filter Option	Available Decimation Rates	
	SPI Control Mode	Pin Control Mode
Wideband Low Ripple FIR	×32, ×64, ×128, ×256, ×512, ×1024	×32, ×64
Sinc5	×8, ×16, ×32, ×64, ×128, ×256, ×512, ×1024	×8, ×32, ×64
Sinc3	Programmable decimation rate	50 Hz and 60 Hz output only, based on a 16.384 MHz MCLK.

広帯域低リプルFIRフィルタ

FIRフィルタは $0.433 \times \text{ODR}$ までの広帯域低リプルの入力パスバンドです。この広帯域低リプルFIRフィルタでは $0.5 \times \text{ODR}$ （ナイキスト）でのほぼ完全な減衰により、最大限のアンチエイリアス保護が実現されます。図121にADAQ7768-1の広帯域低リプルFIRフィルタのパスバンド・リップルを示します。20kHz以下では2.3m dB、100kHz以下では20m dBとなっています。広帯域低リプルFIRフィルタは64次のデジタル・フィルタです。フィルタの群遅延は $34/\text{ODR}$ です。同期パルスの後、SYNC_INの立上がりエッジからデータが完全にセトリグされるまでに遅延が追加されます。SYNC_INパルスから最初のDRDYまでの時間とデータが完全にセトリグするまでの時間を、様々なODR値について表11に示します。

広帯域低リプルFIRフィルタは6つのデシメーション・レートのいずれか1つで選択して、必要な分解能に対して最適な入力帯域幅と変換速度を選ぶことができます。

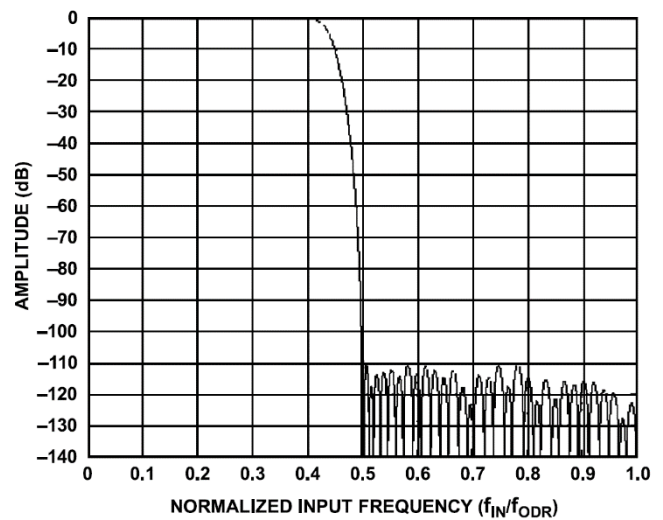


図 120. 低リプルFIRフィルタの周波数応答

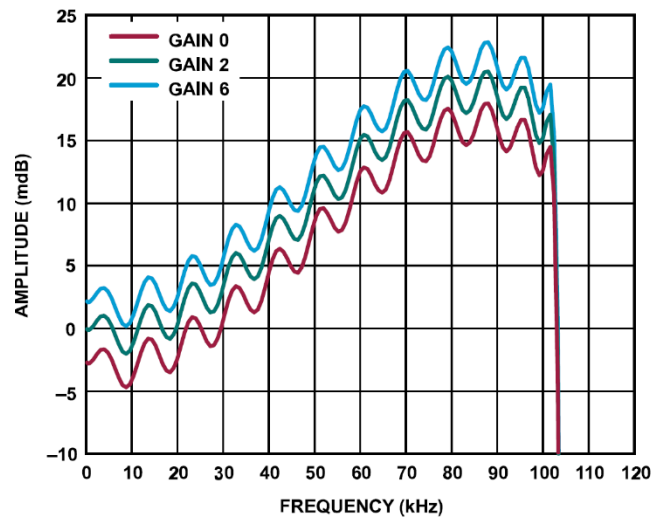


図 121. 広帯域低リプルFIRフィルタのパスバンド・リップル。
ゲイン2モードで正規化

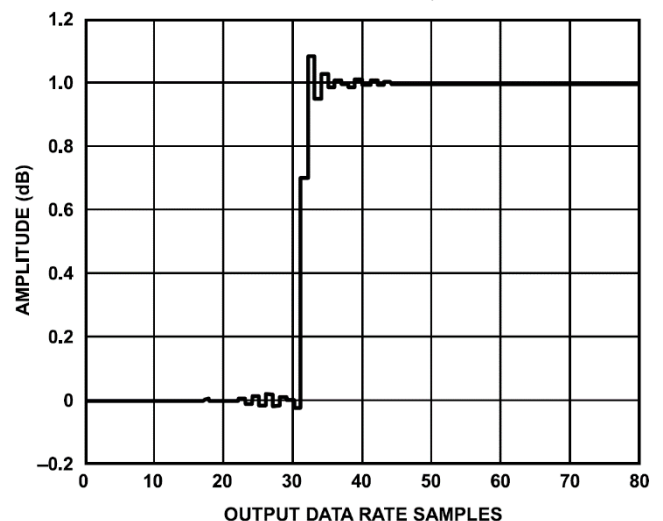


図 122. 広帯域低リプルFIRフィルタのステップ応答

動作原理

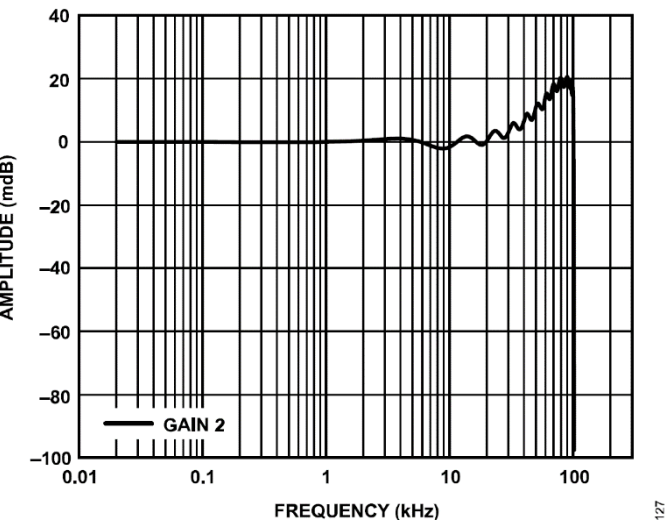


図 123. 広帯域低リップルFIRフィルタの振幅平坦性応答。ODR = 256kSPS、ゲイン2モードで正規化

図121に、広帯域低リップルFIRフィルタを256kSPSのODRで使用した場合のADAQ7768-1の振幅平坦性応答を示します。次の計算により、広帯域低リップルFIRフィルタは最大104.7kHzで-0.1dBの減衰能力があることがわかります（図124参照）。

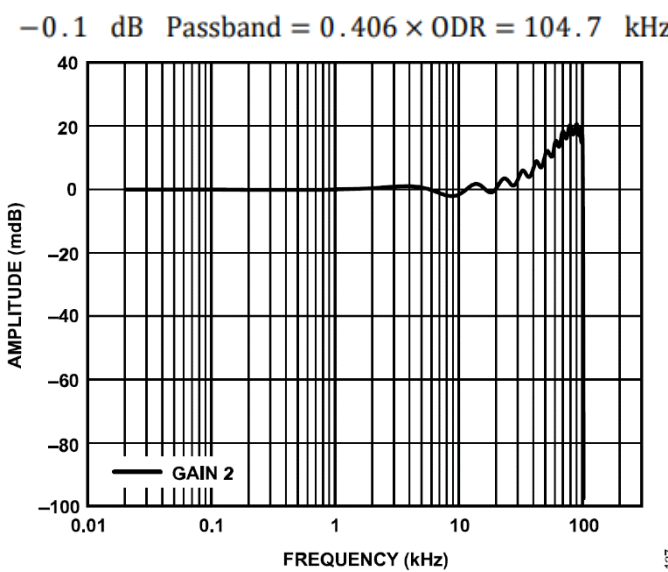


図 124. 広帯域低リップルFIRフィルタ。-0.1dBパスバンド

表11. 低リップルFIRフィルタからデータ・セトリングまで

ODR (kSPS)				MCLK Periods	
MCLK Divide Setting	Decimation Ratio	MCLK = 16.384 MHz	MCLK = 13.107 MHz	Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	256	204.8	284	4,252
	64	128	102.4	413	8,349
	128	64	51.2	797	16,669
	256	32	25.6	1,565	33,309
	512	16	12.8	3,101	66,589
	1024	8	6.4	6,157	133,133
MCLK/4	32	128	102.4	428	8,364
	64	64	51.2	812	16,684
	128	32	25.6	1,580	33,324
	256	16	12.8	3,116	66,604
	512	8	6.4	6,188	133,164
	1024	4	3.2	12,300	266,252
MCLK/16	32	32	25.6	1,674	33,418
	64	16	12.8	3,202	66,690
	128	8	6.4	6,274	133,250
	256	4	3.2	12,418	266,370
	512	2	1.6	24,706	532,610
	1024	1	0.8	49,154	1,064,962

動作原理

sinc5フィルタ

ADAQ7768-1のsinc5フィルタを使用すると、制御ループのDC入力や、ユーザ指定の後処理が必要な場合に有用な低遅延の信号パスを使用できるようになります。出力データ・レートが512kSPS以下の場合、sinc5フィルタの-3dB帯域幅は $0.204 \times \text{ODR}$ です。sinc5フィルタの出力データ・レートを1.024MSPSに設定すると、-3dB帯域幅はアナログ・アンチエイリアシング・フィルタのカットオフに近くなります。アンチエイリアシング・フィルタの影響により、sinc5フィルタの-3dB帯域幅はわずかに低下して198.4kHzになります。表21に、異なる消費電力モードとデシメーション・レシオにおけるsinc5フィルタのノイズ性能を示します。

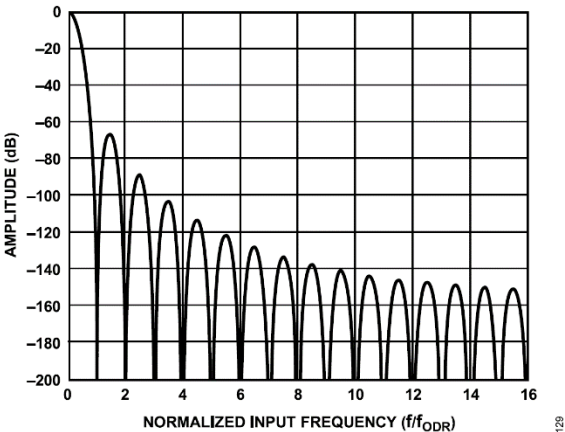


図 125. sinc5フィルタの周波数応答

フィルタのインパルス応答はODRの5倍です。ODRが250kSPSの場合、データの完全なセトリングに要する時間は20μsです。ODRが1MSPSの場合、データの完全なセトリングに要する時間は5μsです。

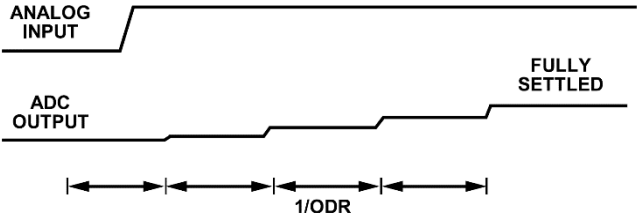


図 126. sinc5フィルタのステップ応答

sinc5フィルタのSYNC_INパルスから最初のDRDYまでの時間とデータが完全にセトリングするまでの時間を、様々なODR値について表12に示します。

表12. sinc5フィルタからデータ・セトリングまで

		ODR (kSPS)		MCLK Periods	
MCLK Divide Setting	Decimation Ratio	MCLK = 16.384 MHz	MCLK = 13.107 MHz	Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	8	1024	819.2	46	110
	16	512	409.6	62	190
	32	256	204.8	94	350
	64	128	102.4	162	674
	128	64	51.2	295	1,319
	256	32	25.6	561	2,609
	512	16	12.8	1,093	5,189
	1024	8	6.4	2,173	10,365
MCLK/4	8	512	409.6	79	207
	16	256	204.8	111	367
	32	128	102.4	175	687
	64	64	51.2	310	1,334
	128	32	25.6	576	2,624
	256	16	12.8	1,108	5,204
	512	8	6.4	2,172	10,364
	1024	4	3.2	4,332	20,716
MCLK/16	8	128	102.4	278	790
	16	64	51.2	406	1,430
	32	32	25.6	662	2,710

動作原理

表12. sinc5フィルタからデータ・セトリングまで（続き）

MCLK Divide Setting	Decimation Ratio	ODR (kSPS)		MCLK Periods	
		MCLK = 16.384 MHz	MCLK = 13.107 MHz	Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
	64	16	12.8	1,194	5,290
	128	8	6.4	2,258	10,450
	256	4	3.2	4,386	20,770
	512	2	1.6	8,642	41,410
	1024	1	0.8	17,282	82,818

出力データ・レートを1.024MSPSとするためのプログラミング

1.024MSPSのsinc5フィルタ・パスは、広帯域低リップルFIRフィルタを使用して達成できるODRより更に高いODRを求めるユーザ向けに用意されています。このパスでは量子化ノイズが制限されています。したがって、制御ループでの遅延を最小限にする必要がある場合や、外部フィールド・プログラマブル・ゲート・アレイ（FPGA）またはデジタル・シグナル・プロセッサ（DSP）にカスタム・デジタル・フィルタ処理を実装する必要がある場合に最適です。

sinc5フィルタを1.024MSPSの出力データ・レートに設定するには、DIGITAL_FILTERレジスタ（レジスタ0x19）のFILTERビット[6:4]に001を書き込みます。ADAQ7768-1はデシメーション・レートを自動的に8に変更し、出力データ長は、デジタル・シリアル・インターフェースの最大速度制限により、24ビットから16ビットに短縮されます。

例えば、CMOS_MCLKをクロック源として用いると同時に16.384MHzのMCLKを用いて、ADAQ7768-1を起動時から1.024MSPSの出力データ・レートに設定するには、次のSPI書き込みを使用します。

- ▶ レジスタ0x15にデータ0x33を書き込みます
- ▶ レジスタ0x19にデータ0x10を書き込みます

sinc3フィルタ

ADAQ7768-1のsinc3フィルタを使用すると、制御ループのDC入力に有用な低遅延の信号パスを使用できるようになり、特定周波数における不要な既知の干渉を除去することができます。sinc3フィルタ・パスには、既知の干渉を除去できるように、プログラマブル・デシメーション・レートが組み込まれています。sinc3フィルタの使用時は、32から185,280までのデシメーション・レートを設定することができます。sinc3フィルタの-3dB帯域幅は $0.2617 \times \text{ODR}$ です。ODRを50Hzとして、目的の周波数で測定した最小除去比を表13と表14に示します。

例えば、sinc3フィルタのDEC_RATEを16.384 MHzのMCLK、50HzのODR、MCLK_DIV = 2の条件で計算するには、次の式を用います。

$$\text{DEC_RATE} = \frac{\text{MCLK}}{\text{MCLK_DIV} \times \text{ODR}}$$

$$\text{DEC_RATE} = \frac{16.384\text{MHz}}{2 \times 50} = 163,840$$

sinc3のデシメーション・レートを設定するには、まず次式を用いて等価sinc3デシメーション・レートを計算して

SINC3_DECIMATION_RATEレジスタ（レジスタ0x1Aおよび0x1B）に書き込みます。

$$\text{Value} = \frac{\text{DEC_RATE}}{32} - 1 = 5119$$

レジスタの値を1だけインクリメントしてから32を乗じることで実際のデシメーション・レートが与えられるため、デシメーション・レートを163,840に設定するには、等価バイナリ値5119をSINC3_DECIMATION_RATEレジスタ（レジスタ0x1Aおよび0x1B）に書き込みます。

表13. sinc3フィルタの50Hz除去、ODR = 50Hz、デシメーション・レート = 163,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	101
100 ± 2	102
150 ± 3	102
200 ± 4	102

動作原理

表14. sinc3フィルタの50Hzおよび60Hz除去、ODR = 50Hz、デシメーション・レート = 163,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	81
60 ± 1	67
100 ± 2	83
120 ± 2	72
150 ± 3	86
180 ± 3	78
200 ± 4	90
240 ± 4	87

フィルタのインパルス応答はODRの3倍です。ODRが250kSPSの場合、データの完全なセトリングに要する時間は12μsです。

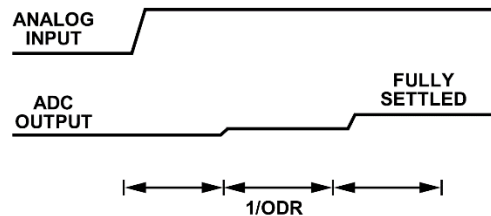


図 127. sinc3フィルタのステップ応答

50Hz除去、60Hz除去、および50Hz/60Hz除去のプログラミング

表15. sinc3フィルタからデータ・セトリングまで

MCLK Divide Setting	Decimation Ratio	Equivalent Sinc3 Decimation Ratio	ODR (kSPS)		MCLK Periods	
			MCLK = 16.384 MHz	MCLK = 13.107 MHz	Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	0	256	204.8	127	255
	64	1	128	102.4	191	447
	128	3	64	51.2	319	831
	256	7	32	25.6	575	1,599
	512	15	16	12.8	1,087	3,135
	1024	31	8	6.4	2,111	6,207
	163,840	5119	0.05	0.04	327,743	983,103
MCLK/4	32	0	128	102.4	241	497
	64	1	64	51.2	369	881
	128	3	32	25.6	625	1,649
	256	7	16	12.8	1,137	3,185
	512	15	8	6.4	2,161	6,257
	1024	31	4	3.2	4,209	12,401
	81,920	2559	0.05	0.04	327,793	983,153
MCLK/16	32	0	32	25.6	926	1,950
	64	1	16	12.8	1,438	3,486
	128	3	8	6.4	2,462	6,558
	256	7	4	3.2	4,510	12,702
	512	15	2	1.6	8,606	24,990
	1024	31	1	0.8	16,798	49,566
	20,480	639	0.05	0.04	328,094	983,454

50Hz トーンを除去するには、sinc3フィルタのODRを50Hzにプログラムします (図128参照)。DIGITAL_FILTERレジスタ (レジスタ0x19) のビット7をセットすることによって、50Hzと60Hzの両方を同時に除去することも可能です。この構成では、50Hzと60Hz両方のライン周波数を除去できます (図128参照)。

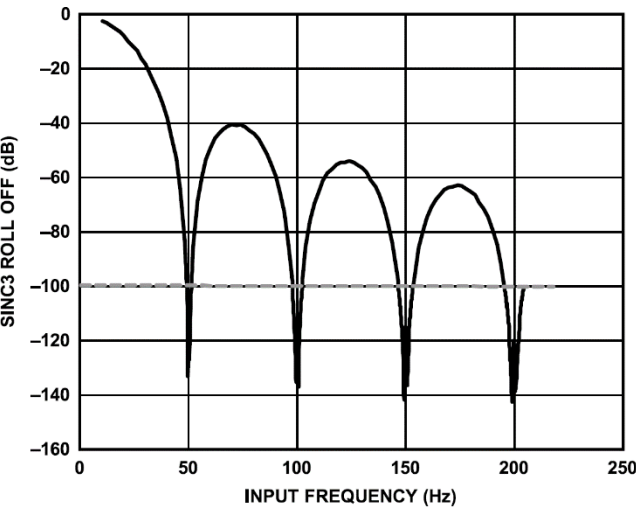


図 128. 50Hz除去を示すsinc3フィルタの周波数応答、ODR = 50Hz、デシメーション・レート = 163,840

動作原理

ADCの速度と性能

ADAQ7768-1では、使用するデジタル・フィルタに応じて、広い範囲のODRを選択できます。広帯域低リップルFIRフィルタやsinc5フィルタを用いた場合1kSPS、sinc3フィルタを用いた場合0.0125kSPSという低いODRが可能です。これは、高いデシメーション・レシオを用い、できるだけ低いサンプリング・レートで変調器を動作させることで実現できます。例えば、広帯域低リップルFIRフィルタ・オプションでは、1kSPSのODRは、 $MCLK = 16.384\text{MHz}$ 、デシメーション・レート = 1024、 $f_{MOD} = MCLK/16$ の条件で実現できます。

ADAQ7768-1の変調器では、 f_{MOD} の立上がりエッジと立下がりエッジでサンプリングを行い、 f_{MOD} のレートでデジタル・フィルタにデータを出力することに注意する必要があります。変調器の周波数応答プロファイルの中には、 f_{MOD} の奇数倍の位置を中心とするゼロが存在しますが、これは f_{MOD} レートとこのレートの奇数倍の位置にある周波数からのフォールド・バックがないことを意味します。一方で、変調器は f_{MOD} の偶数倍においてはノイズの影響を受けやすくなります。これらの領域では減衰がありません。

最高性能を発揮するために、 $MCLK = 16.384\text{MHz}$ 、 $MCLK_DIV = 2$ とすることを推奨します。これにより、 f_{MOD} が8.192MHzに設定され、この f_{MOD} 周波数を高い値に維持することで、フロントエンドのアンチエイリアシング・フィルタから帯域外トーンを除去できます。

ADAQ7768-1でのデフォルトのコントローラ・クロック分周器の設定は、 $MCLK_DIV = 16$ です。 $MCLK$ 分周器を $MCLK = 2$ に設定するには、起動後にPOWER_CLOCKレジスタ（レジスタ0x15）のMCLK_DIVビット[5:4]に11を書き込みます。

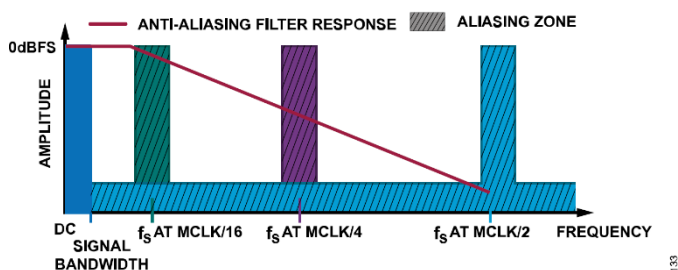


図 129. アンチエイリアス・フィルタの応答とMCLK分周器の関係

図129に、サンプリング周波数に対するAAF除去を示します。 $MCLK$ 分周器の値が高いほうが、サンプリング周波数は低下し、アンチエイリアス・フィルタからの除去は減少します。

デバイスの設定方法

ADAQ7768-1には、デバイス機能を制御するためのオプションが2つあります。このモードは、起動時に $\overline{PIN}$ /SPIピンの状態によって決定されます。2つの設定モードは、以下のとおりです。

- ▶ SPI : 3線または4線式SPI（すべての設定が可能）
- ▶ $\overline{PIN}$: ピン・ストラップ構成のデジタル・ロジック入力（一部の設定が可能）

どちらの制御モードを使用する場合も、起動時にデバイスをソフト・リセットまたはハード・リセットする必要があります。リセット後やデバイス設定に何らかの変更を加えた後は、 $\overline{SYNC_IN}$ パルスを供給することも推奨されます。制御と設定をSPIを介して行

うか、ピン接続のみで行うかを選択してください。

設計では、まず、ADAQ7768-1の設定にSPIモードと $\overline{PIN}$ モードのどちらを使用するかを決定します。どちらのモードでも、デジタル・ホストはSPIポート・ラインを介してADCデータを読み出します。

$\overline{PIN}$ 設定

$\overline{PIN}$ 制御モードの機能の概要を以下に示します。

- ▶ デバイスへのSPI書き込みアクセスはなし。
- ▶ すべての機能をピンで制御。
- ▶ SPIピンによりADCの結果をリードバック。
- ▶ ADCの結果には各変換結果後の8ビット・ステータス・ヘッダ出力を含む。
- ▶ SDIピンを使い、 $\overline{PIN}$ モードで動作する複数デバイスのデジチェーン接続が可能。

SPI制御

SPI制御モードの機能の概要を以下に示します。

- ▶ レジスタ・アクセス用の標準SPIモード3インターフェース。ADCは常にSPIターゲットとして動作します。
- ▶ $\overline{DRDY}$ ピン出力を介した新しい変換の指示。
- ▶ 2番目の方法によってDOUT出力カストリーム内のレディ信号をマージすることができ、更にそれにより絶縁バリア越しのライン数を減らすことが可能になります。
- ▶ 8ビットを書き込んでADCレジスタのアドレスを指定し、そのレジスタから結果をリードバックすることによって変換をリードバック。
- ▶ SPI書き込みを介してイネーブルされる連続リードバック・モード。ADC_DATAレジスタ（レジスタ0x2C）のアドレスを設定するためにこの8ビットを使用する必要はありません。SCLKを入力するとデータ・リードバックが行われます。 $\overline{DRDY}$ ピンは変換結果が完了したことを示し、変換結果のリードバックをトリガするために使用できます。
- ▶ 連続リードバック・モードには、8ビットのステータス・ヘッダまたは8ビットのCRCチェック、もしくはその両方を追加するオプションがあります。

$\overline{PIN}$ 制御モードの概要

$\overline{PIN}$ 制御モードでは、SPI通信を必要な動作モードに設定する必要がありません。単一かつ既知の構成が必要とされる状況では、デジタル・ホストへのルーティング信号が少なくなります。 $\overline{PIN}$ 制御モードは、必要な構成が最小限で済むデジタル絶縁されたアプリケーションに有効です。 $\overline{PIN}$ 制御モードは、コア機能の一部を提供し、起動、リセット、または電源フォルトの後に既知の動作状態を確保します。 $\overline{PIN}$ 制御モードでは、最高の性能を発揮できるように、直線性向上バッファとリファレンス入力プリチャージ・バッファがデフォルトでイネーブルになります。

動作原理

PIN制御モードでは、デバイスを最初に起動したとき、もしくはデバイスをリセットしたときに、SYNC_OUTピンに自動同期パルスが出力されます。SYNC_OUTパルスはGPIOxピンをトグルしたときも発生しますが、これは、デバイスの設定をPIN制御モードに変更した後で自動的に同期が行われることを意味します。この同期を行う場合は、SYNC_OUTをSYNC_INに接続することで、同期SYNC_INパルスを供給する必要があるようにします。複数のデバイスを同期させる必要があるときは、1つのデバイスのSYNC_OUTを複数デバイスのSYNC_INに接続することもできます。複数デバイスの同期が必要な場合は、すべてのデバイスが同じMCLKを共有する必要があります。

データ出力フォーマット

PIN制御モードには、変換データ用に設定された出力フォーマットがあります。DRDYの立上がりエッジは、新しい変換の準備ができたことを示します。次の24個のシリアル・クロックの立下がりエッジで、24ビットADCの結果がクロック出力されます。その後の8個のシリアル・クロックで、ADAQ7768-1のステータス・ビットが出力されます。ADCデータは、2の補数フォーマットを使

いMSBファーストで出力されます。ステータス・ビットのクロック出力後、更にSCLKの立下がりエッジをADCに入力する場合は、デジタイゼーション接続の場合と同様、SDIに加えるロジック・レベルがクロック出力されます。図130には、余分なシリアル・クロック・エッジ（33番目の立下がりエッジ）が示されています。余分なシリアル・クロック・エッジが生じた場合は、SDIピンのロジック・レベルがクロック出力されます。

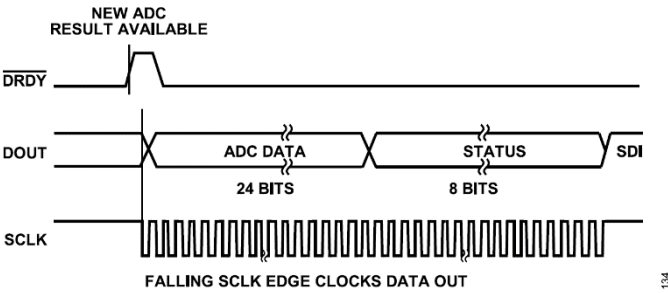


図 130. PINモードのデータ出力フォーマット（CS信号は表示なし）

表16. PIN制御モードとSPI制御モードでの制御ピン機能とインターフェース・ピン機能の違い

Name	Pin Function	
	PIN Control Mode	SPI Control Mode
MODE0/GPIO0	MODE0 configuration pin	GPIO0 pin
MODE1/GPIO1	MODE1 configuration pin	GPIO1 pin
MODE2/GPIO2	MODE2 configuration pin	GPIO2 pin
MODE3/GPIO3	MODE3 configuration pin	GPIO3 pin
$\overline{CS}$	SPI pin for readback of ADC conversion results.	SPI for full configuration of the ADAQ7768-1 through a register read/write and readback of the ADC conversion results.
SCLK	SPI pin for readback of ADC conversion results.	SPI for full configuration of the ADAQ7768-1 through a register read/write and readback of the ADC conversion results.
SDI	SPI pin for readback of ADC conversion results.	SPI for full configuration of the ADAQ7768-1 through a register read/write and readback of the ADC conversion results.
DOUT/RDY	SPI pin for readback of ADC conversion results.	SPI for full configuration of the ADAQ7768-1 through a register read/write and readback of the ADC conversion results.

動作原理

診断ビットとステータス・ビット

$\overline{\text{PIN}}$ 制御モードでは、診断機能の一部を提供します。内部エラーは、各チャンネルのデータ変換結果と共にステータス・ヘッダ出力で報告されます。

ステータス・ヘッダは、内部CRCエラー、メモリ・マップのフリップ・ビット、未検出の外部クロックを報告します。これは、リセットが必要であることを示しています。ステータス・ヘッダは、フィルタ・セトリング信号とフィルタ飽和信号も報告します。これらのエラー・フラグを監視することで、データを見捨てるタイミングを決定できます。

ステータス・ビットが深刻なエラーを示しているときは、 $\overline{\text{PIN}}$ モードのような場合、特定のエラーについて更に情報を得る方法がないので、RESETピンを使ってADCをリセットすることを推奨します。

デジチェーン接続（ $\overline{\text{PIN}}$ 制御モードのみ）

デバイスをデジチェーン接続すると、別々のADAQ7768-1デバイスからの複数のADC出力をカスケード接続することによって、複数のデバイスが同じデータ・インターフェース・ラインを使用することができます。デバイスのデジチェーン接続は、 $\overline{\text{PIN}}$ 制御モードでのみ可能です。

デジチェーン接続用に構成されている場合は、1つのADAQ7768-1デバイスのデータ・インターフェースのみがデジタル・ホストに直接接続されます。

ADAQ7768-1では、チェーン内の上流側にあるADAQ7768-1デバイスのDOUT/RDYピンを、その次の下流側ADAQ7768-1デバイスのSDIピンにカスケード接続することで、このデジチェーン接続を行うことができます。デバイスのデジチェーン接続の可否と、デジチェーン接続で扱うことのできるデバイスの数は、使用するシリアル・クロックの周波数と、次の変換が完了する前に複数の32ビット変換出力（24ビット変換+8ビット・ステータス）を通じてクロックできる時間によって決まります。

デジチェーン接続機能は、部品数とコントローラへのワイヤ接続を減らすのに有効です。

複数のADAQ7768-1デバイスをデジチェーン接続した場合の例を図131に示します。

デジチェーン接続法では、同じMCLKとSCLKを受け取るすべてのデバイスが同期され、同じデシメーション・レートで設定されている必要があります。チップ・セレクト信号（ $\overline{\text{CS}}$ ）はデータの各変換チェーンをゲートして、各変換結果の伝達後に、その立上がりエッジがSPIを既知の状態にリセットします。コントローラから最も遠いADAQ7768-1デバイスは、そのSDIピンをVDD_IO（ロジック・ハイ）に接続する必要があります。

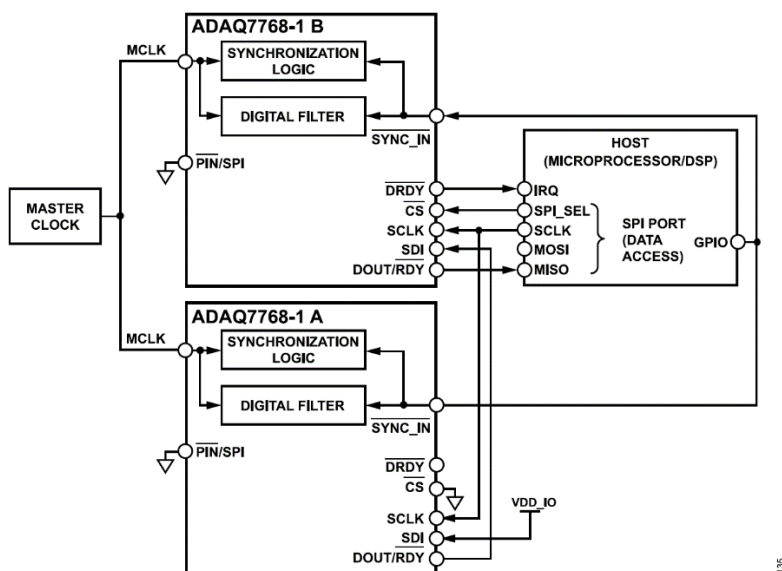


図 131. 複数のADAQ7768-1デバイスのデジチェーン接続

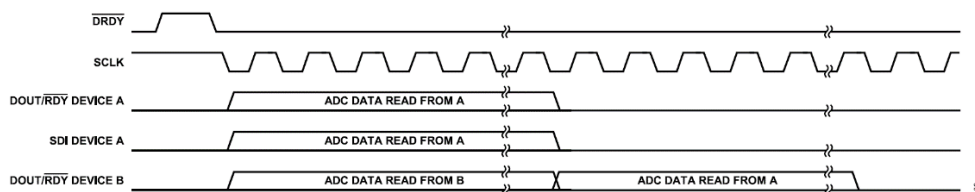


図 132. デバイスをデジチェーン接続した場合のデータ出力フォーマット（ $\overline{\text{PIN}}$ 制御モードのみ）

動作原理

表17. MODExピンのPIN制御設定

MODEx Pin Settings					ADC Configuration			MCLK = 16.384 MHz
MODEx (Hex)	MODE3/ GPIO3	MODE2/ GPIO2	MODE1/ GPIO1	MODE0/ GPIO0	f _{MOD} Frequency	Filter	Decimation	ODR
0	0	0	0	0	MCLK/2	Low ripple FIR	×32	256 kHz
1	0	0	0	1	MCLK/2	Low ripple FIR	×64	128 kHz
2	0	0	1	0	MCLK/2	Sinc5	×32	256 kHz
3	0	0	1	1	MCLK/2	Sinc5	×64	128 kHz
4	0	1	0	0	MCLK/4	Low ripple FIR	×32	128 kHz
5	0	1	0	1	MCLK/4	Low ripple FIR	×64	64 kHz
6	0	1	1	0	MCLK/4	Sinc5	×32	128 kHz
7	0	1	1	1	MCLK/4	Sinc5	×64	64 kHz
8	1	0	0	0	MCLK/16	Low ripple FIR	×32	32 kHz
9	1	0	0	1	MCLK/16	Low ripple FIR	×64	16 kHz
A	1	0	1	0	MCLK/16	Sinc5	×32	32 kHz
B	1	0	1	1	MCLK/16	Sinc5	×64	16 kHz
C	1	1	0	0	MCLK/2	Sinc5	×8	1 MHz
D	1	1	0	1	MCLK/2	Sinc3 50 Hz and 60 Hz rejection ¹	×163,840	50 Hz
E	1	1	1	0	MCLK/16	Sinc3 50 Hz and 60 Hz rejection. ¹	×20,480	50 Hz
F	1	1	1	1	ADC Standby			

1 sinc3フィルタ、50Hzおよび60Hzの除去。50Hzと60Hzを除去できるのは、PIN制御モードで使用するMCLKが16.384MHzの場合に限られます。デシメーション・レートは、sincフィルタのノッチが50Hzと60Hzに一致するように、これらのピン・モード設定に合わせて内部で調整されます。

動作原理

SPI制御の概要

SPI制御では、柔軟性および診断機能のスーパーセットを提供しま

す。表18に示すカテゴリは、SPI制御モードで有効にできる主な制御、変換モード、および診断モニタリング機能を示したものです。

表18. SPI制御機能

SPI Control	Capabilities	Meaning for the User
MCLK Division	MCLK/2 to MCLK/16	Customize clock frequency relating to the bandwidth of interest.
MCLK Source	CMOS, crystal, LVDS, and internal clock	Allows a distributed or local clock capability.
Digital Filter Style	Wideband low ripple FIR, Sinc5, Sinc3 (programmable)	Customize the latency and frequency response to the measurement target of the user and its bandwidth.
Interface Format	Bit length Status bits CRC Data streaming	Change between a 24-bit and a 16-bit conversion length in the continuous read mode. View output device status bits with the ADC conversion results. Implement error checking when transmitting data. Stream conversion of data, eliminating interface write overhead.
Analog Buffers	Linearity boost buffer Reference input precharge Reference input full buffer	Boost the linearity performance. Reduces reference input current, making it easier to filter the reference. This full high-impedance buffer enables filtering of reference source and enables high-impedance sources, that is, reference resistors.
Conversion Modes	Single conversion One shot Continuous conversion Duty-cycled conversion Calibration	Return to standby after one conversion. Perform a conversion similar to a timed successive approximation register (SAR) conversion, in which the ADAQ7768-1 converts on a timed pulse. Normal operation keeps the modulator continually converting, offering the fastest response to a change on the input. Save more power for point conversions. Times the rate of conversion and sets the time for the ADC to remain in standby after the conversion completes. Run a calibration of the system and save gain calibration or offset calibration results to the system settings of the user by reading back from the gain/offset registers.
Conversion Targets	ADC inputs Temperature sensor Diagnostic sources	Measure the input signal applied at the ADC input. Measure local temperatures with an on-chip temperature sensor. Used for relative temperature measurement. Measure reference inputs and internal voltages for periodic functional safety checking.
GPIO Control	Up to four GPIOx pins	Control other local hardware (such as gain stages), to power down other blocks in the signal chain, or read local status signals over the SPI of the ADAQ7768-1.
System Offset and Gain Correction	System calibration routines	Correct offset and/or gain by writing to registers when the environment changes (that is, the temperature increases). Requires characterization of system errors to feed these registers.
Diagnostics	Internal checks and flags	Users can have the highest confidence in the conversion results.

動作原理

SPI制御モード

MCLKのソースと分周

(レジスタ0x15)のMCLK分周(MCLK_DIV)ビット[5:4]は、ADAQ7768-1に入力されるMCLKとADC変調器が使用するクロックの分周比を制御します(消費電力およびクロック制御レジスタのセクションを参照)。クロックの構成に最も適した分周比を選択してください。

SPI制御モードでは、MCLK入力ソースに対する次のオプションが使用できます。これらのオプションは(レジスタ0x15の)CLOCK_SELビット[7:6]で設定できます(消費電力およびクロック制御レジスタのセクションを参照)：

- ▶ CLOCK_SELビット = 00 → CMOS入力MCLK
- ▶ CLOCK_SELビット = 01 → 外部水晶発振器
- ▶ CLOCK_SELビット = 10 → LVDS (SPI制御モード専用)
- ▶ CLOCK_SELビット = 11 → 内部クロック

1つのクロック源から別のクロック源に切り替える場合、デバイスをソフト・リセットする必要があります。

ADCパワーダウン・モード

コアADC上のすべてのブロックがオフになります。ADCの動作を再開させるには、特定のコードが必要です。パワーダウン・モードになると、レジスタの内容はすべて失われます。FDAがパワーダウンしているのを確認してからADCをパワーダウン・モードにしてください。

スタンバイ・モード

コアADCのアナログ・クロック機能と電源機能がパワーダウンされます。スタンバイ・モードでは、デジタルLDOとレジスタの設定は維持されます。このモードは、ADCを一時的に使用せず、その間に消費電力を抑えたい場合に最適です。

SPIの同期

ADAQ7768-1はSPIを介して同期できます。コマンドの最後のSCKL立上がりエッジが同期の最初のステップです。このコマンドは最初にSYNC_OUTピンからアクティブ・ローをパルス出力して、再びアクティブ・ハイに戻します。SYNC_OUTはADCのMCLKに内部的に同期された信号です。SYNC_OUTの出力をSYNC_IN入力に接続することによって、個々のADCを同期できます。SYNC_OUTを他のADAQ7768-1デバイスに接続した場合は、MCLK源を共有している限りそれらのデバイスを同期できます(図133参照)。

同期機能は、DRDYパルスの直後に実行することを推奨します。ADAQ7768-1のSYNC_INパルスの発生位置が次のDRDYパルス・エッジに近すぎる場合、SYNC_INパルスがまだデバイス内に伝達されていないため、次のDRDYパルスがそのまま出力されることがあります。

1.8VのVDD_IO電圧でSYNC_OUT機能を使用する場合は、SYNC_OUT_POS_EDGEビットを1に設定することを推奨します(レジスタ0x1D、ビット6)。

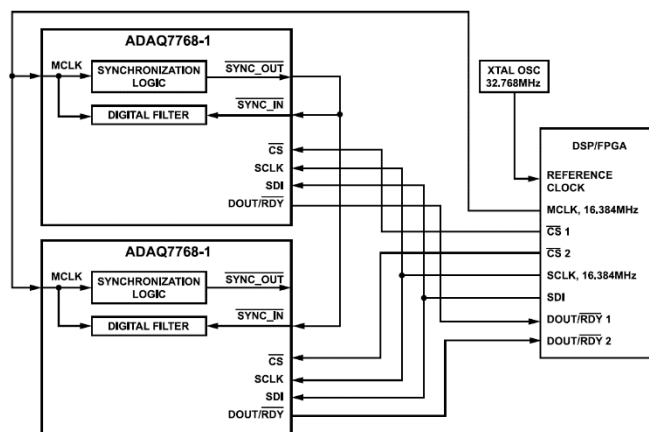


図 133. 基本的なSPI同期の概略図

オフセット・キャリブレーション

SPI制御モードの場合、ADAQ7768-1はオフセットとゲインを補正できます。ユーザは、ADAQ7768-1とそのサブシステムのゲインとオフセットを変更することができます。これらのオプションはSPI制御モードでのみ利用できます。

オフセット補正レジスタは、チャンネル・オフセット調整用の24ビット符号付き2の補数レジスタです。チャンネルのゲイン設定が理想的な公称値0x555555の場合、オフセット・レジスタを1LSB調整すると、デジタル出力は-4/3LSBだけ変化します。例えば、オフセット・レジスタを0から100に変えると、デジタル出力が-133LSB変化します。オフセット・キャリブレーションはゲイン・キャリブレーションの前に行われるため、-4/3のLSB比率はゲイン・キャリブレーション・レジスタを介したゲイン調整と比例して変化します。

オフセット・キャリブレーション・レジスタのセクションで、レジスタ情報とキャリブレーション命令についての詳細を説明しています。

ゲイン・キャリブレーション

SPI制御モードでは、ADAQ7768-1とそのサブシステムのゲインとオフセットを変更することができます。これらのオプションはSPI制御モードでのみ利用できます。

ADCには対応するゲイン係数があり、これは出荷設定後、ADCごとに保存されます。通常、このゲインは0x555555付近の値になっています(ADCチャンネルの場合)。ゲイン・レジスタ設定は上書きできます。ただし、リセット後または電源再投入後、ゲイン・レジスタ値はハード・コードされた出荷時設定に戻ります。

$$ADC_DATA = \left[\frac{3 \times V_{IN} \times AFE_GAIN}{V_{REF}} \times 2^{21} - (OffsetCal) \right] \times \frac{GainCal}{4} \times \frac{4,194,300}{2^{42}} \quad (9)$$

ここで、

ADC_DATAは2の補数フォーマット、

動作原理

OffsetCalはオフセット・キャリブレーション・レジスタの10進数値、GainCalはゲイン・キャリブレーション・レジスタの10進数値です。

ゲイン・キャリブレーション・レジスタのセクションで、レジスタ情報とキャリブレーション命令についての詳細を説明しています。

SPI制御を介したリセット

ADAQ7768-1のリセット・コマンドは、同期モードおよびリセット・トリガリング・レジスタ（レジスタ0x1D）のSPI_RESETビット[1:0]に書き込みを行うことによって発行できます。デバイスのリセットを開始するには、これらのビットに2回連続して書き込みを行う必要があります。

シャットダウンからの再起動

シャットダウン・モードでは、標準SPIインターフェースを含め、デバイス上のすべてのブロックをオフにして電流消費を最小限に抑えます。したがって、このモードからADCの動作を再開させるには、RESETピンでハードウェア・リセットを行うか、SPI SDI入力から特定のコードを実行する必要があります。SDIに必要なとされる特別なシーケンスは、CSがローの間にSCLKによってクロック入力される1と、その後続く63個の0で構成され、システムはこれにより、RESETピンを使用することなくシャットダウン状態からADAQ7768-1の動作を再開させることができます。このリセット機能は、絶縁バリア越しに配線するピンの数を最小限に抑える必要のある絶縁アプリケーションに有効です。

GPIOおよびSTART機能

ADAQ7768-1をSPIモードで動作させる場合は、追加のGPIO機能を使用することができます。このすべてを設定可能なモードにより、デバイスは4個のGPIOを動作させることができます。これらのピンは、任意の順序で読み出したり書き込みしたりして設定できます。

GPIO読み出しを使用すると、周辺機器から入力GPIOへ情報を送ることができるので便利です。更にこの情報は、ADAQ7768-1のSPIから読み出すことができます。

GPIOxピンはピンごとに入力または出力として設定することが可能で、更に出力をオープンドレインとして設定するオプションがあります。

SPI制御モードでは、GPIOxピンの1つにSTART入力の機能を割り当てることができます。START機能を使用すると、MCLKに同期していない信号を使ってSYNC_OUT信号を生成し、ADAQ7768-1のデジタル・フィルタ・パスをリセットできます。STARTピン機能は、同期モードおよびリセット・トリガリング・レジスタ（レジスタ0x1D）のEN_GPIO_STARTビット[3]を介し、GPIO3で有効化できます。

SPIモードの診断機能

ADAQ7768-1には、コアADCの内部ブロックを対象とする診断機能が組み込まれています。以下に示した診断機能によって、ADCをモニタして、取得したデータの忠実度における信頼性を高めることができます。

- ▶ リファレンス検出
- ▶ クロックの品質評価

- ▶ SPIトランザクションのCRC
- ▶ 不正なレジスタ書き込みの検出フラグ
- ▶ CRCチェック
- ▶ PORモニタ
- ▶ MCLKカウンタ

更にこれらの診断機能は、計測器がその初期化段階において電源とリファレンスのリモート・チェックを必要とするような状況でも有用です。

診断機能は、イネーブル・レジスタを介して選択できます。パワーオン・リセット（POR）用のフラグとクロックの品質評価は、デフォルトでオンになっています。フラグはレジスタを介して読み出せますが、トップ・レベル・ステータス・ビットにも伝達されます。これは、必要に応じて各ADC変換と共に出力できます。

リファレンス検出

SPI制御モードでリファレンス検出ブロックをイネーブルするには、ADC_DIAG_ENABLEレジスタ（レジスタ0x29）のビット3に1を書き込みます。イネーブルされると、ADC_DIAG_STATUSレジスタ（アドレス0x2F）にエラーがフラグされます。その後はすべてのエラー・フラグがMASTER_STATUSレジスタ（レジスタ0x2D）に伝達されます。REF+ピンに加えられるリファレンスが(VDD_ADC - AGND)の1/3未満になると、リファレンス・エラーがフラグされます。

クロックの品質評価

クロック品質評価チェックでは、有効なMCLKの検出を確認します。加えられるMCLKが600kHzを超えていれば、クロック品質評価は合格です。エラーは、ADC_DIAG_STATUSレジスタ（レジスタ0x2F）とMASTER_STATUSレジスタ（レジスタ0x2D）の両方にフラグされます。検出されたクロックが600kHzの周波数閾値未満の場合、あるいは外部MCLKが検出されない場合は、クロック品質評価エラー・ビットが1に設定されます。クロック品質評価チェックを無効にするには、ADC_DIAG_ENABLEレジスタ（レジスタ0x29）のビット0に0を書き込みます。

SPIトランザクションのCRC

詳細については、シリアル・インターフェースでの巡回冗長検査（CRC）のセクションを参照してください。

不正なレジスタ書き込みの検出フラグ

詳細については、SPI制御エラーの処理のセクションを参照してください。

CRCチェック

ADAQ7768-1のメモリ・マップ、内部ランダム・アクセス・メモリ（RAM）、およびヒューズ設定の状態をチェックするには、DIG_DIAG_ENABLEレジスタ（レジスタ0x2A）のCRCチェックを有効にします。デバイスにこれらいずれかのエラーがフラグされたら、リセットを行ってデバイスを有効な状態に戻してください。

動作原理

PORモニタ

PORモニタ・フラグは、出力時にMASTER_STATUSレジスタとステータス・ビットの両方にセットされます。PORフラグは、リセットが行われたか、一時的な電源喪失が発生したことを示します。

MCLKカウンタ

MCLK_COUNTERレジスタ（アドレス0x31）は64MCLKごとに更新されます。MCLKカウンタ・レジスタでは、ADAQ7768-1に有効なMCLKが供給されていることを検証します。有効な読出しを行うには、特定のMCLK/SCLK比に従ってMCKLカウンタ・レジスタを読み出します。MCLK_COUNTERレジスタの読出しに使用するSCLKは、 $2.1 \times \text{MCLK}$ 未満であってはならず、 $4.6 \times \text{MCLK}$ を超えてもなりません。例えば、MCLK = 2MHzの場合、使用するSCLKを4.2MHz～9.2MHzの範囲とすることはできません。

表19. 製品識別レジスタ

Register Address (Hex)	Name	Bit Fields	
0x03	Chip type	Reserved	Class
0x04	Product ID [7:0]	PRODUCT_ID[7:0]	
0x05	Product ID [15:8]	PRODUCT_ID[15:8]	
0x06	Grade and revision	Grade	DEVICE_REVISION
0x0A	Scratch pad	Value	
0x0C	Vendor ID	VID[7:0]	
0x0D		VID[15:8]	

MCLKとSCLKの比が守られていない場合は、レジスタの読出し中にMCLKが更新されるため、読出しを行うことができません。

製品識別（ID）番号

ADAQ7768-1には、ソフトウェアによる半導体の識別を可能にするIDレジスタが組み込まれています。製品のクラス（高精度ADC）、製品ID、デバイス・リビジョン、デバイスの等級のすべてを、SPIを介してレジストリから読み出すことができます。リードバック用レジストリには、アナログ・デバイセズのベンダIDも含まれています。これらのレジスタは、特定のレジスタ・アドレスへの自由な読出しと書込みが可能なスクラッチ・パッドに加えて、シリアル制御インターフェースの正常な動作を検証する方法として使用できます。

クイック・スタートアップ・ガイド

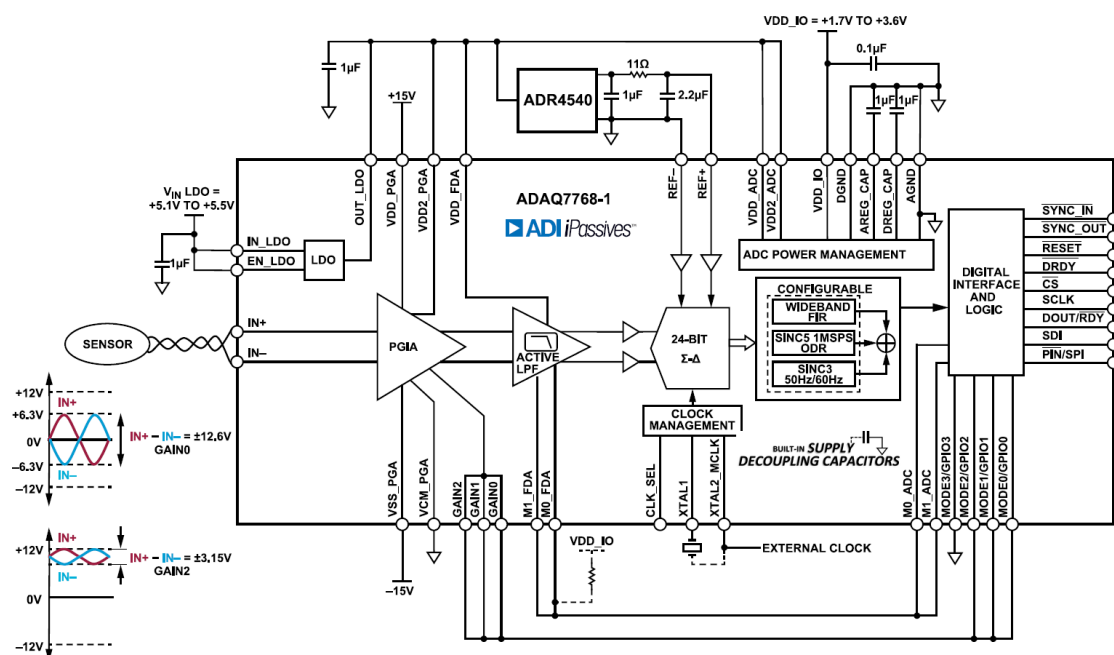


図 134. 代表的な接続図

電源の接続

ADAQ7768-1には、アナログ・フロントエンドおよびADCに給電するいくつかの電源があります。接続を簡略化するため、ADAQ7768-1には、VDD_ADC、VDD2_PGA、VDD_FDAの電圧を供給するために使用できるLDOが内蔵されています。このLDOは、REF+ピンとREF-ピン用のADR4540リファレンスにも給電します。LDOの入力は、5.1V～5.5Vの入力範囲を処理できます。最適な動作のために、LDOの入力および出力には1μFのコンデンサを用いることを推奨します。通常動作時にLDOを使用しない場合、すべてのLDOピンはフロート状態にしておくことを推奨します。

入力信号レールに応じ、VDD_PGAを4.5V～18V、VSS_PGAを-4.5V～-18Vに設定できます。VDD_IOはADCのデジタル・ロジックに必要な内部レギュレータに給電します。VDD_IOはDGNDを基準とし、1.7V～3.6Vの範囲が可能です。

ADAQ7768-1には、VDD_IO以外の各電源に対し0.1μFのデカップリング・コンデンサが内蔵されています。電源の接続と電源のデカップリングについての詳細は、[電源](#)のセクションおよび[電源のデカップリング](#)のセクションを参照してください。

デバイスの制御モード

ADAQ7768-1には、デバイス機能を制御するためのオプションが2つあります。このモードは、起動時にPIN/SPIピンの状態によって決定されます。2つの設定モードは、以下のとおりです。

- ▶ $\overline{\text{PIN}}/\text{SPI} = \text{VDD_IO} = \text{SPI}$ 制御モード：3線式または4線式SPIインターフェース（すべての設定オプションを使用可能）、推奨制御モード。
- ▶ $\overline{\text{PIN}}/\text{SPI} = \text{DGND}$ = ピン制御モード：ピン・ストラップ構成のデジタル・ロジック入力（設定オプションの1つのサブセットを使用可能、デイジーチェーンはこのモードでのみ使用可能）。

設計では、まず、ADAQ7768-1の設定にSPIモードと $\overline{\text{PIN}}$ モードのどちらを使用するかを決定します。

どちらの制御モードを使用する場合も、起動時にデバイスをソフト・リセットまたはハード・リセットする必要があります。リセット後やデバイス設定に何らかの変更を加えた後は、SYNC_INパルスを供給することも推奨します。制御と設定をSPIを介して行うか、ピン接続のみで行うかを選択してください。

2つの制御モード・オプションの機能と制限については、[デバイスの設定方法](#)のセクションで詳しく説明しています。

入力範囲の選択

ADAQ7768-1の入力は、信号の減衰と増幅が可能な、低ノイズ、低バイアス電流、広帯域幅のプログラマブル・ゲイン計装アンプ（PGA）です。このPGAは7通りのゲイン設定を備えており、入力範囲を $\pm 0.197\text{V}$ ～ $\pm 12.603\text{V}$ の様々な完全差動入力信号に変更できます。

PGAのゲインはGAIN 0、GAIN 1、GAIN 2の各ピンを用いて制御できます。ゲイン・ピンは、[図135](#)に示すように、AGNDとVDD_IOの間に接続したプルアップ抵抗またはプルダウン抵抗を用いて設定できます。

クイック・スタートアップ・ガイド

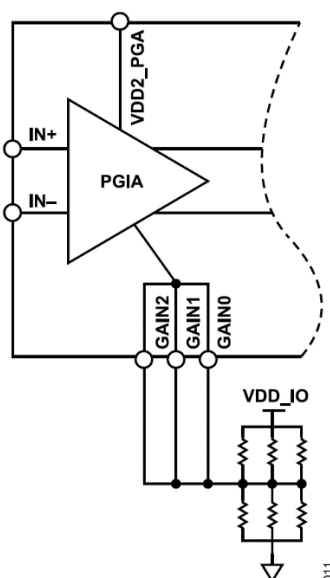


図 135. 外部抵抗によるPGIAのゲイン制御

ゲイン・ピンの組み合わせとそれによるPGIAゲイン設定値の真理値表については、[入力範囲の選択](#)のセクションで説明しています。

PGIAゲイン・ピンは、[図134](#)に示すように、ADAQ7768-1のGPIOピンにも接続できるため、SPIを介してPGIAのゲインを制御することもできます。GPIOピンをPGIAゲインの制御に用いる場合、[GPIOポート制御レジスタ](#)（レジスタ0x1E）でGPIOポートを出力に設定する必要があります。[GPIO出力制御レジスタ](#)（レジスタ0x1F）は、GPIOピンに必要な出力ロジックを設定します。

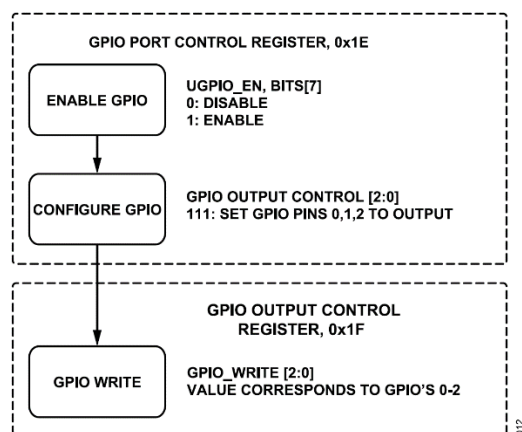


図 136. GPIOのゲイン制御フローチャート

[GPIOポート制御レジスタ](#)（レジスタ0x1E）のGPIOx_OP_ENビット[2:0]に111を書き込むと、GPIO0、GPIO1、GPIO2がイネーブルになります。[GPIO出力制御レジスタ](#)（レジスタ0x1F）のデフォルト出力ロジック（000）を用いると、ADAQ7768-1は、システム・ゲインが20.8V/Vに設定され、+0.197Vの入力電圧に対応可能となります。

MCLKの分周器とソースの選択

MCLK源の選択

ADAQ7768-1は、デバイスの初期起動に使用される内部発振器を備えています。ADAQ7768-1がスタートアップ・ルーチンを完了

すると、クロックが外部MCLKに切り替わります。MCLK源は、ピン制御モードとSPI制御モードの2つの制御モード・オプションを用いて設定できます。

PIN制御モードでは、CLK_SELピンが外部MCLK源を設定します。PIN制御モードでは、内部発振器、外部CMOS、または水晶発振器の3つのクロック・オプションを使用できます。

- ▶ PIN制御モードでCLK_SEL = 0にした場合は、CMOSクロック・オプションを選択してMCLKピンに使用する必要があります。この場合はXTAL1ピンをDGNDに接続します。
- ▶ PIN制御モードでCLK_SEL = 1にした場合は、水晶発振器オプションを選択してXTAL1ピンとXTAL2ピンの間に接続する必要があります。
- ▶ 外部クロックが検出されない状態では、ADAQ7768-1は内部クロックをデフォルトのクロック源として使用します。

SPI制御モードでは、以下のオプションがMCLK入力源に使用可能で、[消費電力およびクロック制御レジスタ](#)（レジスタ0x15）のCLOCK_SELビット[7:6]で設定できます。

- ▶ CLOCK_SELビット = 00 → CMOS入力のMCLK
- ▶ CLOCK_SELビット = 01 → 外部水晶発振器
- ▶ CLOCK_SELビット = 10 → LVDS（SPI制御モード専用）
- ▶ CLOCK_SELビット = 11 → 内部クロック

1つのクロック源から別のクロック源に切り替える場合、デバイスをソフト・リセットする必要があります。

AC性能を最高のものにするために、内部クロックをMCLK源として使用することは推奨しません。

MCLK分周器

ADAQ7768-1が受信するMCLK信号により、コアADCのシグマ・デルタ変調器クロック・レート（ f_{MOD} ）が定まり、これにより、 $2 \times f_{MOD}$ の変調器のサンプリング周波数が定まります。最高性能を発揮するために、MCLK = 16.384MHz、MCLK_DIV = 2とすることを推奨します。これにより f_{MOD} が8.192MHzに設定されます。 f_{MOD} 周波数を高い値に維持すると、フロントエンドのアンチエイリアシング・フィルタから帯域外トーンを最大限に除去できます。

$$f_{MOD}(Hz) = \frac{MCLK}{MCLK_DIV} \quad (10)$$

ADAQ7768-1でのデフォルトのコントローラ・クロック分周器の設定は、MCLK_DIV = 16です。MCLK分周器をMCLK = 2に設定するには起動後に[消費電力およびクロック制御レジスタ](#)（レジスタ0x15）のMCLK_DIVビット[5:4]に11を書き込みます。

PIN制御モードで動作させる場合のMCLKの設定方法を、[表17](#)に示します。

MCLKとSCLKのアライメント

ADAQ7768-1のインターフェースは柔軟で、様々なデジタル・シグナル・プロセッサ（DSP）やマイクロコントローラ・ユニット（MCU）の数多くの動作モードとデータ出力フォーマットに対応可能です。

クイック・スタートアップ・ガイド

最高性能を発揮するために、同期SCLKとMCLKは同じクロック源から得ることを推奨します。SCLKはMCLKを分周したものとすることも可能です。推奨インターフェースのセクションで、デジタル・インターフェースの詳細を説明しています。

デジタル・フィルタの設定

ADAQ7768-1では次の3種類のデジタル・フィルタを備えています。

- ▶ 広帯域低リプルFIRフィルタ、 $0.433 \times \text{ODR}$ で-3dB（6レート）
- ▶ sinc5低遅延フィルタ、 $0.204 \times \text{ODR}$ で-3dB（8レート）
- ▶ sinc3低遅延フィルタ、 $0.2617 \times \text{ODR}$ で-3dB、データ・レートは広範囲にプログラム可能

デジタル・フィルタのセクションで、デジタル・フィルタの設定の詳細を説明しています。

デシメーション・レートと出力データ・レート

ADAQ7768-1は、sinc5、sinc3、広帯域低リプルFIRの各デジタル・フィルタ用にプログラマブルなデシメーション・レートを備えています。デシメーション・レートによって、測定帯域を制限することができます。これは速度と入力帯域幅を低下させますが、デジタル・フィルタ内で更に平均化が行われるので、分解能は向上します。 $\overline{\text{PIN}}$ 制御モードを用いる場合のフィルタの選択とデシメーション・レートの設定を表17に示しています。一方、SPI制御モードでは、デジタル・フィルタおよびデシメーション制御レジスタ（レジスタ0x19）にレジスタ書込みが必要です。SPIを用いてsinc3用にデシメーション・レートを設定するには、別のレジスタ（sinc3デシメーション・レート（LSB）レジスタ）が必要です。

ADAQ7768-1のODRは次式で計算できます。

$$\text{ODR} = \frac{f_{\text{MOD}}}{\text{DEC_RATE}} \quad (11)$$

ADCの消費電力モード

ADCコアの消費電力モードはMCLK_DIVの設定と一致する必要があります。最高性能を発揮するにはMCLK_DIV = 2を用いることを推奨します。これにより、ADAQ7768-1は高性能モード（高速モード）に設定されます。起動すると、ADAQ7768-1のADC消費電力モードはデフォルトで低消費電力モードに設定される点に注意してください。ADCの消費電力モードを高性能モードに変更するには、消費電力およびクロック制御レジスタ（レジスタ0x15）のADC_MODEビット[1:0]に11を書き込みます。

基本的なレジスタ・セットアップ

起動時におけるADAQ7768-1のレジスタ書込みの基本的な流れを図137に示します。

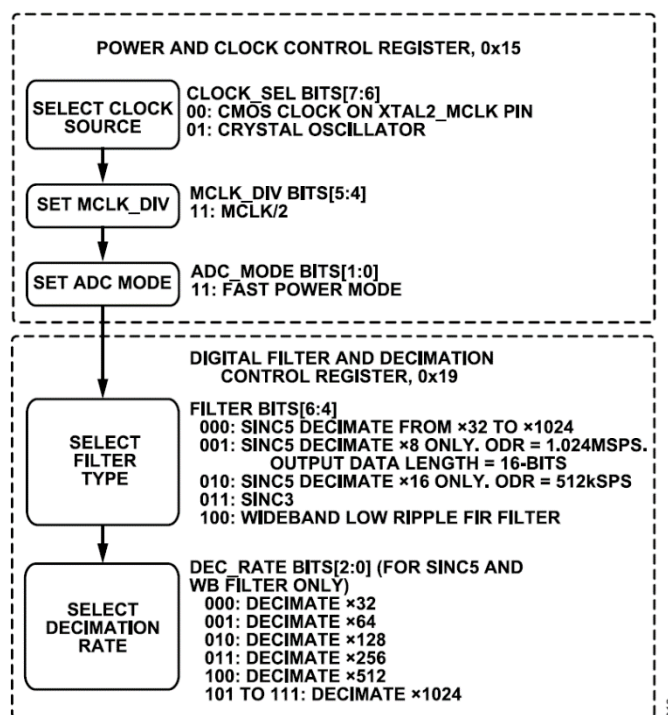


図 137. ADAQ7768-1の基本的なレジスタ・セットアップ

起動時には更に続けてSPI書込みを行い、ADAQ7768-1を以下の状態に設定する必要があります。

- ▶ CMOSクロックをMCLK源に設定。
- ▶ MCLK分周器を2に設定（推奨）。
- ▶ ADCの消費電力モードは高性能モード（つまり高速モード）に設定（推奨）。
- ▶ 広帯域低リプル・フィルタ
- ▶ デシメーション・レートを32に設定

これに相当するSPI書込みは次のとおりです。

- ▶ 消費電力およびクロック制御レジスタ（レジスタ0x15）にデータ0x33
- ▶ デジタル・フィルタおよびデシメーション制御レジスタ（レジスタ0x19）にデータ0x40

ノイズ性能と分解能

シグナル・チェーンのノイズ性能は、アプリケーションの入力範囲およびADAQ7768-1に必要な出力データ・レート（ODR）に強く依存します。

デバイスのODRはMCLKと設定したデシメーション・レートによって決まります。どのデジタル・フィルタであっても、ODRは次式で計算できます。

$$f_{\text{MOD}} = \frac{\text{MCLK}}{\text{MCLK_DIV}} \quad (12)$$

$$\text{ODR} = \frac{f_{\text{MOD}}}{\text{DEC_RATE}} \quad (13)$$

ここで、

f_{MOD} はADC変調器の周波数、

DEC_RATEは、デシメーション・レート、

MCLKはコントローラのクロック周波数。

MCLK_DIVは、ADAQ7768-1に入力されるMCLKとADC変調器が使用するクロックの分周比です。

ノイズ性能も、それぞれ異なる-3dB帯域幅を持つデジタル・フィルタの使用するタイプによって変わります。ADAQ7768-1で選択可能なデジタル・フィルタは、以下のとおりです。

- ▶ 広帯域低リップル・FIRフィルタ、 $0.433 \times \text{ODR}$ で-3dB
- ▶ sinc5低遅延フィルタ、 $0.204 \times \text{ODR}$ で-3dB
- ▶ sinc3低遅延フィルタ、 $0.2617 \times \text{ODR}$ で-3dB

DEC_RATE、MCLK、MCLK_DIV、デジタル・フィルタのタイプは、ユーザーによって異なる場合があります、設定方法にもPINモードかSPIモードかの違いがあります（[デバイスの設定方法](#)のセクションを参照）。

表20、表21、表22に、各種ODR値におけるADAQ7768-1の広帯域低リップル、sinc5、sinc3の各デジタル・フィルタのノイズ性能を示します。仕様規定されているノイズ値とダイナミック・レンジは、4.096Vの外部リファレンス（ V_{REF} ）でのバイポーラ入力範囲の代表値です。実効値ノイズは、アナログ入力をグラウンド・リファレンスに短絡して測定しています。ダイナミック・レンジ（DR）は、入力ピンを互いに短絡して測定した実効値ノイズに対するフルスケール・レンジ（FSR）の実効値の比率です。FSRはアクティブなゲイン・モードに依存します。デシベルを単位とするとDRは次式で求められます。

$$\text{Dynamic Range} = 20 \log \left(\frac{\text{FSR (in V p-p)}}{2\sqrt{2} \times \text{RMS Noise}} \right) \quad (14)$$

表20. 広帯域低リップルFIRフィルタのノイズ性能とODRの関係（ $V_{\text{REF}} = 4.096\text{V}$ 、 $f_{\text{MOD}} = \text{MCLK}/2$ ）

MCLK (MHz)	Decimation Rate	ODR (kSPS)	-3 dB Bandwidth (kHz)	Gain Mode	Full-Scale Input Range (V)	Shorted Input Dynamic Range (dB)	Input Referred RMS Noise (μV)
16.384	32	256	110.8	GAIN 0	±12.603	106.7	41.2
16.384	32	256	110.8	GAIN 1	±6.302	106.4	21.4
16.384	32	256	110.8	GAIN 2	±3.151	105.7	11.6
16.384	32	256	110.8	GAIN 3	±1.575	104.8	6.4
16.384	32	256	110.8	GAIN 4	±0.788	102.7	4.1
16.384	32	256	110.8	GAIN 5	±0.394	98.9	3.1
16.384	32	256	110.8	GAIN 6	±0.197	93.8	2.8
16.384	64	128	55.4	GAIN 0	±12.603	109.5	29.8
16.384	64	128	55.4	GAIN 1	±6.302	109.2	15.4
16.384	64	128	55.4	GAIN 2	±3.151	108.6	8.31
16.384	64	128	55.4	GAIN 3	±1.575	107.7	4.57
16.384	64	128	55.4	GAIN 4	±0.788	105.7	2.88
16.384	64	128	55.4	GAIN 5	±0.394	102.0	2.22
16.384	64	128	55.4	GAIN 6	±0.197	97.0	1.98
16.384	128	64	27.7	GAIN 0	±12.603	112.4	21.4
16.384	128	64	27.7	GAIN 1	±6.302	112.1	11.0
16.384	128	64	27.7	GAIN 2	±3.151	111.4	5.97
16.384	128	64	27.7	GAIN 3	±1.575	110.7	3.26
16.384	128	64	27.7	GAIN 4	±0.788	108.6	2.06
16.384	128	64	27.7	GAIN 5	±0.394	104.9	1.59
16.384	128	64	27.7	GAIN 6	±0.197	99.9	1.41
16.384	256	32	13.9	GAIN 0	±12.603	115.0	15.9
16.384	256	32	13.9	GAIN 1	±6.302	114.7	8.20
16.384	256	32	13.9	GAIN 2	±3.151	114.3	4.31
16.384	256	32	13.9	GAIN 3	±1.575	113.4	2.39

ノイズ性能と分解能

表20. 広帯域低リップルFIRフィルタのノイズ性能とODRの関係 ($V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$) (続き)

MCLK (MHz)	Decimation Rate	ODR (kSPS)	-3 dB Bandwidth (kHz)	Gain Mode	Full-Scale Input Range (V)	Shorted Input Dynamic Range (dB)	Input Referred RMS Noise (μV)
16.384	256	32	13.9	GAIN 4	± 0.788	111.3	1.51
16.384	256	32	13.9	GAIN 5	± 0.394	107.7	1.15
16.384	256	32	13.9	GAIN 6	± 0.197	102.7	1.01
16.384	512	16	6.9	GAIN 0	± 12.603	117.7	11.6
16.384	512	16	6.9	GAIN 1	± 6.302	117.5	5.96
16.384	512	16	6.9	GAIN 2	± 3.151	116.8	3.24
16.384	512	16	6.9	GAIN 3	± 1.575	115.9	1.78
16.384	512	16	6.9	GAIN 4	± 0.788	114.1	1.10
16.384	512	16	6.9	GAIN 5	± 0.394	110.4	0.84
16.384	512	16	6.9	GAIN 6	± 0.197	105.4	0.75
16.384	1024	8	3.5	GAIN 0	± 12.603	120.0	8.94
16.384	1024	8	3.5	GAIN 1	± 6.302	119.6	4.69
16.384	1024	8	3.5	GAIN 2	± 3.151	119.0	2.49
16.384	1024	8	3.5	GAIN 3	± 1.575	118.3	1.35
16.384	1024	8	3.5	GAIN 4	± 0.788	116.3	0.85
16.384	1024	8	3.5	GAIN 5	± 0.394	112.8	0.64
16.384	1024	8	3.5	GAIN 6	± 0.197	107.9	0.56
13.107	32	204.8	88.7	GAIN 0	± 12.603	106.8	40.8
13.107	32	204.8	88.7	GAIN 1	± 6.302	106.5	21.1
13.107	32	204.8	88.7	GAIN 2	± 3.151	105.8	11.4
13.107	32	204.8	88.7	GAIN 3	± 1.575	105.1	6.22
13.107	32	204.8	88.7	GAIN 4	± 0.788	103.2	3.84
13.107	32	204.8	88.7	GAIN 5	± 0.394	99.7	2.88
13.107	32	204.8	88.7	GAIN 6	± 0.197	94.7	2.55
13.107	64	102.4	44.3	GAIN 0	± 12.603	110.1	28.0
13.107	64	102.4	44.3	GAIN 1	± 6.302	109.8	14.3
13.107	64	102.4	44.3	GAIN 2	± 3.151	109.0	7.88
13.107	64	102.4	44.3	GAIN 3	± 1.575	108.3	4.29
13.107	64	102.4	44.3	GAIN 4	± 0.788	106.4	2.68
13.107	64	102.4	44.3	GAIN 5	± 0.394	102.8	2.02
13.107	64	102.4	44.3	GAIN 6	± 0.197	97.8	1.79
13.107	128	51.2	22.2	GAIN 0	± 12.603	113.2	19.5
13.107	128	51.2	22.2	GAIN 1	± 6.302	112.9	10.1
13.107	128	51.2	22.2	GAIN 2	± 3.151	112.1	5.51
13.107	128	51.2	22.2	GAIN 3	± 1.575	111.3	3.03
13.107	128	51.2	22.2	GAIN 4	± 0.788	109.4	1.89
13.107	128	51.2	22.2	GAIN 5	± 0.394	105.8	1.44
13.107	128	51.2	22.2	GAIN 6	± 0.197	100.7	1.28
13.107	256	25.6	11.1	GAIN 0	± 12.603	116.2	13.9
13.107	256	25.6	11.1	GAIN 1	± 6.302	115.7	7.35
13.107	256	25.6	11.1	GAIN 2	± 3.151	114.8	4.04
13.107	256	25.6	11.1	GAIN 3	± 1.575	114.1	2.20
13.107	256	25.6	11.1	GAIN 4	± 0.788	112.2	1.37
13.107	256	25.6	11.1	GAIN 5	± 0.394	108.6	1.04
13.107	256	25.6	11.1	GAIN 6	± 0.197	103.5	0.93

ノイズ性能と分解能

表21. sinc5フィルタのノイズ性能とODRの関係 ($V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$)

MCLK (MHz)	Decimation Rate	ODR (kSPS)	-3 dB Bandwidth (kHz)	Gain Mode	Input Range (V)	Shorted Input Dynamic Range (dB)	Input Referred RMS Noise (μV)
16.384	8	1024 (16-bit)	198.4	GAIN 0	± 12.603	93.3	192.0
16.384	8	1024 (16-bit)	198.4	GAIN 1	± 6.302	93.3	96.7
16.384	8	1024 (16-bit)	198.4	GAIN 2	± 3.151	93.2	48.5
16.384	8	1024 (16-bit)	198.4	GAIN 3	± 1.575	93.1	24.7
16.384	8	1024 (16-bit)	198.4	GAIN 4	± 0.788	92.8	12.8
16.384	8	1024 (16-bit)	198.4	GAIN 5	± 0.394	91.6	7.29
16.384	8	1024 (16-bit)	198.4	GAIN 6	± 0.197	89.1	4.89
16.384	16	512	104.4	GAIN 0	± 12.603	105.8	45.9
16.384	16	512	104.4	GAIN 1	± 6.302	105.5	23.8
16.384	16	512	104.4	GAIN 2	± 3.151	104.8	12.8
16.384	16	512	104.4	GAIN 3	± 1.575	104.0	7.01
16.384	16	512	104.4	GAIN 4	± 0.788	102.1	4.35
16.384	16	512	104.4	GAIN 5	± 0.394	98.6	3.27
16.384	16	512	104.4	GAIN 6	± 0.197	93.7	2.87
16.384	32	256	52.2	GAIN 0	± 12.603	109.8	28.7
16.384	32	256	52.2	GAIN 1	± 6.302	109.5	14.9
16.384	32	256	52.2	GAIN 2	± 3.151	108.7	8.17
16.384	32	256	52.2	GAIN 3	± 1.575	107.9	4.50
16.384	32	256	52.2	GAIN 4	± 0.788	105.8	2.86
16.384	32	256	52.2	GAIN 5	± 0.394	102.1	2.19
16.384	32	256	52.2	GAIN 6	± 0.197	97.0	1.96
16.384	64	128	26.1	GAIN 0	± 12.603	113.0	20.0
16.384	64	128	26.1	GAIN 1	± 6.302	112.7	10.4
16.384	64	128	26.1	GAIN 2	± 3.151	111.8	5.70
16.384	64	128	26.1	GAIN 3	± 1.575	111.0	3.14
16.384	64	128	26.1	GAIN 4	± 0.788	108.9	2.00
16.384	64	128	26.1	GAIN 5	± 0.394	105.1	1.55
16.384	64	128	26.1	GAIN 6	± 0.197	100.0	1.39
16.384	128	64	13.1	GAIN 0	± 12.603	115.9	14.3
16.384	128	64	13.1	GAIN 1	± 6.302	115.6	7.41
16.384	128	64	13.1	GAIN 2	± 3.151	114.9	4.01
16.384	128	64	13.1	GAIN 3	± 1.575	113.9	2.24
16.384	128	64	13.1	GAIN 4	± 0.788	111.8	1.43
16.384	128	64	13.1	GAIN 5	± 0.394	108.0	1.10
16.384	128	64	13.1	GAIN 6	± 0.197	102.9	1.00
16.384	256	32	6.5	GAIN 0	± 12.603	118.8	10.2
16.384	256	32	6.5	GAIN 1	± 6.302	118.6	5.26
16.384	256	32	6.5	GAIN 2	± 3.151	117.7	2.89
16.384	256	32	6.5	GAIN 3	± 1.575	116.8	1.61
16.384	256	32	6.5	GAIN 4	± 0.788	114.6	1.04
16.384	256	32	6.5	GAIN 5	± 0.394	110.8	0.80
16.384	256	32	6.5	GAIN 6	± 0.197	105.6	0.73
13.107	32	204.8	41.8	GAIN 0	± 12.603	110.1	27.8
13.107	32	204.8	41.8	GAIN 1	± 6.302	109.8	14.4
13.107	32	204.8	41.8	GAIN 2	± 3.151	109.1	7.80
13.107	32	204.8	41.8	GAIN 3	± 1.575	108.4	4.23

ノイズ性能と分解能

表21. sinc5フィルタのノイズ性能とODRの関係 ($V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$) (続き)

MCLK (MHz)	Decimation Rate	ODR (kSPS)	-3 dB Bandwidth (kHz)	Gain Mode	Input Range (V)	Shorted Input Dynamic Range (dB)	Input Referred RMS Noise (μV)
13.107	32	204.8	41.8	GAIN 4	± 0.788	106.5	2.63
13.107	32	204.8	41.8	GAIN 5	± 0.394	102.9	1.99
13.107	32	204.8	41.8	GAIN 6	± 0.197	97.9	1.77
13.107	64	102.4	20.9	GAIN 0	± 12.603	113.0	19.9
13.107	64	102.4	20.9	GAIN 1	± 6.302	112.9	10.1
13.107	64	102.4	20.9	GAIN 2	± 3.151	112.1	5.53
13.107	64	102.4	20.9	GAIN 3	± 1.575	111.4	2.99
13.107	64	102.4	20.9	GAIN 4	± 0.788	109.5	1.87
13.107	64	102.4	20.9	GAIN 5	± 0.394	105.9	1.42
13.107	64	102.4	20.9	GAIN 6	± 0.197	100.9	1.26
13.107	128	51.2	10.4	GAIN 0	± 12.603	116.0	14.2
13.107	128	51.2	10.4	GAIN 1	± 6.302	115.7	7.30
13.107	128	51.2	10.4	GAIN 2	± 3.151	115.1	3.94
13.107	128	51.2	10.4	GAIN 3	± 1.575	114.2	2.17
13.107	128	51.2	10.4	GAIN 4	± 0.788	112.3	1.34
13.107	128	51.2	10.4	GAIN 5	± 0.394	108.7	1.02
13.107	128	51.2	10.4	GAIN 6	± 0.197	103.8	0.90
13.107	256	25.6	5.2	GAIN 0	± 12.603	118.7	10.3
13.107	256	25.6	5.2	GAIN 1	± 6.302	118.5	5.33
13.107	256	25.6	5.2	GAIN 2	± 3.151	117.7	2.89
13.107	256	25.6	5.2	GAIN 3	± 1.575	117.0	1.57
13.107	256	25.6	5.2	GAIN 4	± 0.788	115.0	0.99
13.107	256	25.6	5.2	GAIN 5	± 0.394	111.4	0.75
13.107	256	25.6	5.2	GAIN 6	± 0.197	106.4	0.67

表22. sinc3フィルタのノイズ性能とODRの関係 ($V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$)

MCLK (MHz)	Decimation Rate	ODR (kSPS)	-3 dB Bandwidth (kHz)	Gain Mode	Input Range (V)	Shorted Input Dynamic Range (dB)	Input Referred RMS Noise (μV)
16.384	32	256	67	GAIN 0	± 12.603	102.9	63.7
16.384	32	256	67	GAIN 1	± 6.302	102.8	32.3
16.384	32	256	67	GAIN 2	± 3.151	102.6	16.6
16.384	32	256	67	GAIN 3	± 1.575	102.3	8.51
16.384	32	256	67	GAIN 4	± 0.788	101.4	4.73
16.384	32	256	67	GAIN 5	± 0.394	99.3	3.02
16.384	32	256	67	GAIN 6	± 0.197	95.2	2.43
16.384	128	64	16.7	GAIN 0	± 12.603	116.5	13.4
16.384	128	64	16.7	GAIN 1	± 6.302	116.3	6.86
16.384	128	64	16.7	GAIN 2	± 3.151	115.6	3.69
16.384	128	64	16.7	GAIN 3	± 1.575	114.8	2.04
16.384	128	64	16.7	GAIN 4	± 0.788	112.1	1.38
16.384	128	64	16.7	GAIN 5	± 0.394	107.9	1.12
16.384	128	64	16.7	GAIN 6	± 0.197	102.6	1.03
16.384	512	16	4.2	GAIN 0	± 12.603	120.5	8.38
16.384	512	16	4.2	GAIN 1	± 6.302	120.2	4.36
16.384	512	16	4.2	GAIN 2	± 3.151	119.5	2.35
16.384	512	16	4.2	GAIN 3	± 1.575	118.5	1.32

ノイズ性能と分解能

表22. sinc3フィルタのノイズ性能とODRの関係 ($V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$) (続き)

MCLK (MHz)	Decimation Rate	ODR (kSPS)	-3 dB Bandwidth (kHz)	Gain Mode	Input Range (V)	Shorted Input Dynamic Range (dB)	Input Referred RMS Noise (μV)
16.384	512	16	4.2	GAIN 4	± 0.788	116.3	0.85
16.384	512	16	4.2	GAIN 5	± 0.394	112.1	0.69
16.384	512	16	4.2	GAIN 6	± 0.197	107.0	0.62
16.384	2048	4	1.05	GAIN 0	± 12.603	126.1	4.42
16.384	2048	4	1.05	GAIN 1	± 6.302	125.4	2.38
16.384	2048	4	1.05	GAIN 2	± 3.151	123.8	1.43
16.384	2048	4	1.05	GAIN 3	± 1.575	121.3	0.96
16.384	2048	4	1.05	GAIN 4	± 0.788	117.3	0.76
16.384	2048	4	1.05	GAIN 5	± 0.394	111.6	0.74
16.384	2048	4	1.05	GAIN 6	± 0.197	105.8	0.71
16.384	8192	1	0.26	GAIN 0	± 12.603	128.4	3.40
16.384	8192	1	0.26	GAIN 1	± 6.302	128.0	1.78
16.384	8192	1	0.26	GAIN 2	± 3.151	127.6	0.93
16.384	8192	1	0.26	GAIN 3	± 1.575	126.4	0.53
16.384	8192	1	0.26	GAIN 4	± 0.788	124.0	0.35
16.384	8192	1	0.26	GAIN 5	± 0.394	119.4	0.30
16.384	8192	1	0.26	GAIN 6	± 0.197	114.3	0.27
16.384	163840	0.05	0.013	GAIN 0	± 12.603	135.5	1.50
16.384	163840	0.05	0.013	GAIN 1	± 6.302	134.0	0.89
16.384	163840	0.05	0.013	GAIN 2	± 3.151	132.3	0.54
16.384	163840	0.05	0.013	GAIN 3	± 1.575	130.6	0.33
16.384	163840	0.05	0.013	GAIN 4	± 0.788	127.0	0.25
16.384	163840	0.05	0.013	GAIN 5	± 0.394	122.0	0.22
16.384	163840	0.05	0.013	GAIN 6	± 0.197	116.4	0.21

デジタル・インターフェース

ADAQ7768-1には4線式SPIがあります。このインターフェースはSPIモード3で動作します。SPIモード3ではSCLKがアイドル・ハイになり、最初のデータはSCLKの最初の立下がりエッジ（起動エッジ）に同期して出力され、立上がりエッジ（サンプル・エッジ）に同期して入力されます。SPIモード3の動作を図139に示します。この図ではSCLKの立下がりエッジでデータを出し、SCLKの立上がりエッジでデータをサンプリングします。

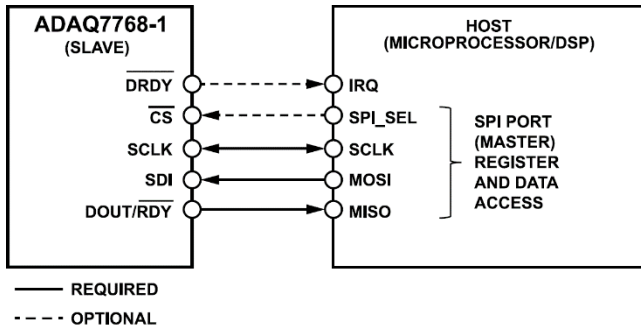


図 138. シリアル・ポートの基本接続図



図 139. SPIモード3

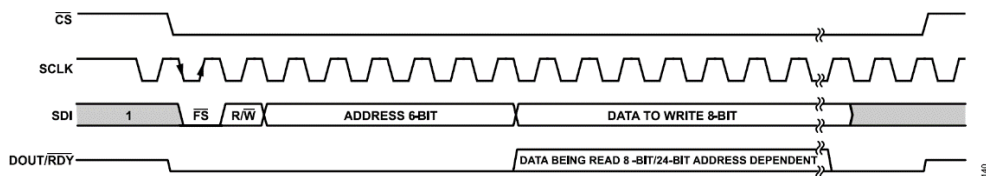


図 140. SPIの基本的読出し／書込みフレーム

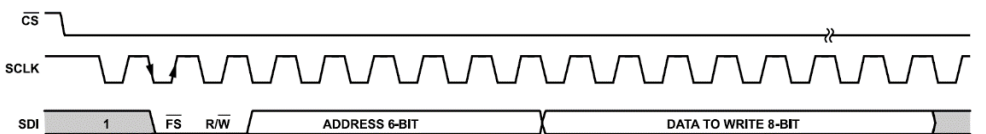


図 141. 3線式SPI書込みフレーム（ $\overline{CS} = 0$ ）

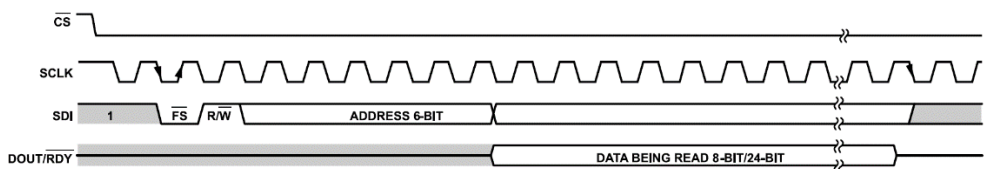


図 142. 3線式SPI読出しフレーム（ $\overline{CS} = 0$ ）

SPIでの読出しと書込み

SPI制御モードを使用するには、 $\overline{PIN}/SPI$ ピンをハイに設定します。SPI制御は4線式インターフェースとして動作し、読出し／書込みアクセスが可能になります。絶縁を必要とするシステムなどのように $\overline{CS}$ がローに接続されることがある場合は、3線式構成でADAQ7768-1を使用することができます。

図138に、ADAQ7768-1とデジタル・ホストの代表的な接続例を示します。対応する3線式インターフェースでは $\overline{CS}$ ピンをローに接続して、SCLK、SDI、およびDOUT/RDYを使用する必要があります。

図140に、SPI読み出しまたは書込みのフォーマットを示します。読出し動作でも書込み動作でもMSBが最初のビットです。アクティブ・ローのフレーム開始信号（ $\overline{FS}$ ）がトランザクションを開始し、その後にR/Wビットが続きます。R/Wビットは、実行するトランザクションが読出し（1）か書込み（0）かを決定します。その次の6ビットはアドレスに使われ、その後に書込み対象である8ビットのデータが続きます。ADAQ7768-1内のレジスタは、24ビット幅のADC_DATAレジスタ（レジスタ0x2C）を除いてすべて8ビット幅です。 $\overline{CS}$ をローに接続した場合は最後のSCLK立上がりエッジでSPIトランザクションを完了し、インターフェースをリセットします。 $\overline{CS}$ をローに維持してデータをリードバックする場合は、デバイスを誤ってリセットしてSCLKが自走クロックとして動作するのを避けるために、SDIをアイドル・ハイにすることを推奨します（リセットのセクションを参照）。

デジタル・インターフェース

SPI制御エラーの処理

ADAQ7768-1のSPI制御は、不正なコマンドの受信を検出します。不正なコマンドとは、読出し専用レジスタへの書込み、存在しないレジスタ・アドレスへの書込み、または存在しないレジスタ・アドレスからの読出しです。ADAQ7768-1がこれらの不正なコマンドのいずれかを受信すると、SPI_DIAG_STATUSレジスタ（レジスタ0x2E）にエラー・ビットがセットされます。

検出できるSPIエラーのソースは5つです。これらの検出可能エラー・ソースは、SPI_DIAG_ENABLEレジスタ（レジスタ0x28）で有効にしておく必要があります。起動時にはEN_ERR_SPI_IGNORE（ビット4）エラーだけが有効になります。

検出可能な5つのSPIエラー・ソースを以下に示します。

- ▶ SPI CRCエラー。受信CRC/XORが計算CRC/XORと一致しないときに発生します。
- ▶ SPI読出しエラー。誤った読出しアドレスが検出されたときに発生します（例えば、存在しないレジスタにアクセスしようとした場合）。
- ▶ SPI書込みエラー。誤ったアドレスへの書込みが検出されたときに発生します（例えば、存在しないレジスタに書込みをしようとした場合）。
- ▶ SPIクロック・カウント・エラー。SPIトランザクションが $\overline{\text{CS}}$ によって制御されている場合に、フレームの間のSPIクロック・カウントが8、16、24、32、または40のいずれでもない場合、このエラーがフラグされます。このエラーは、連続読出しモードと通常のSPIモードの両方で検出することができます。
- ▶ SPI無視エラー。初期起動の完了前にSPIトランザクションを実行しようとすると、このエラーがフラグされます。

すべてのSPIエラー・ビットはスティッキー・ビットです。つまり、該当するエラー位置にそのユーザが1を書き込んだ場合にのみクリア可能です。

シリアル・インターフェースでの巡回冗長検査 (CRC)

ADAQ7768-1では、各変換結果に最大40ビットを含めることができます。これらのビットは24ビットのデータと8個のステータス・ビットで構成され、SPIモードの場合のみ、8個のCRC/XORチェック・ビットをオプションで追加できます。

ステータス・ビットのデフォルト設定については、[ステータス・ヘッダ](#)のセクションを参照してください。CRC機能は、SPI制御モードで動作している場合にのみ使用できます。CRC機能の使用時は、CRCメッセージがADAQ7768-1によって内部で計算されます。次に、変換結果とオプションのステータス・ビットの末尾にCRCが追加されます。

ADAQ7768-1はCRC多項式を使用してCRCメッセージを計算します。使用する8ビットのCRC多項式は $x^8 + x^2 + x + 1$ です。

チェックサムを生成するには、データを8ビットシフトして8個のロジック0で終わる値を作成します。

多項式のMSBが、「コマンド・ビットおよびレジスタ・データ」の最も左にあるロジック1と隣り合うように、多項式の値の位置決めを実行します。例えば、0xABCDEFからなるADC_DATAデータを読み出すとします。

初期値 = フレーム開始ビット + R/Wビット + ADDR[5:0] + ADC_DA- TA[23:0]

初期値 = 0x6CABCDEF

排他的論理和（XOR）関数をデータに適用して短い数値を新たに生成します。多項式のMSBが新たなデータの最も左にあるロジック1と隣り合うように、多項式の値の位置決めをし直します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが8ビット・チェックサムです。この例では、CRCチェックサムは0x9Eです。

SPI書込みが有効な場合は、INTERFACE_FORMATレジスタ（レジスタ0x14）でXORオプションが選択されているかどうかに関わらず、SPI書込みには常にCRCが使われます。連続読出しモードでデータをリードバックする場合の初期CRCは0x03ですが、この場合を除いてSPIトランザクションの初期CRCチェックサムは0x00です。

連続読出しモードでXORオプションを使用する場合、初期値は0x6Cに設定されます。XORオプションはSPI読出しでのみ使用できます。

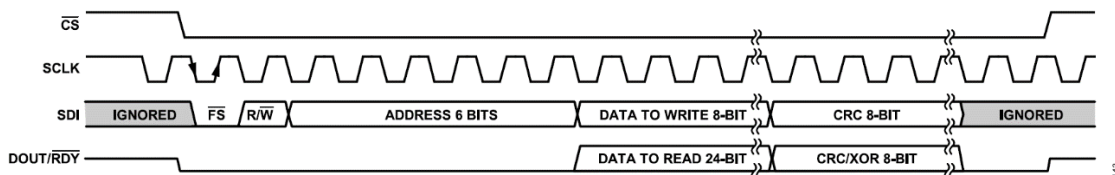


図 143. CRC使用時のデータ出力フォーマット

デジタル・インターフェース

多項式CRC計算の例（24ビット・ワード：0x654321（8ビット・コマンドと16ビット・データ））

多項式ベースのチェックサムを使用した8ビット・チェックサムの生成例を以下に示します。

```

011001010100001100100001    = Initial Value
01100101010000110010000100000000    left shifted eight bits
100000111    = x^8 + x^2 + x + 1 polynomial value
100100100000110010000100000000    XOR result
100000111    polynomial value
1000110001100100001000000000    XOR result
100000111    polynomial value
111111100100001000000000    XOR result
100000111    polynomial value
111110111000010000000000    XOR result
100000111    polynomial value
1111000000001000000000    XOR result
100000111    polynomial value
11100111000100000000    XOR result
100000111    polynomial value
11001001001000000000    XOR result
100000111    polynomial value
100101010100000000    XOR result
100000111    polynomial value
1011011000000000    XOR result
100000111    polynomial value
110101100000    XOR result
100000111    polynomial value
101010110000    XOR result
100000111    polynomial value
1010001000    XOR result
100000111    polynomial value
10000110    XOR result; checksum = 0x86

```

XOR計算の例（24ビット・ワード：0x654321（8ビット・コマンドと16ビット・データ））

前の例と同じ例を使うとして、次のように3バイト（0x65、0x43、0x21）に分割できます。

```

01100101 0x65
01000011 0x43
00100110 XOR result
00100001 0x21
00000111 XOR result; checksum = 0x07

```

変換読出しモード

ADAQ7768-1のデジタル・インターフェースは、SPIモード3で動作する4線式SPIを実装しています。メモリ・マップ・アドレス空間にアクセスするには、8ビットの書き込み命令が必要です。ADCデータ・レジスタを除き、レジスタはすべて8ビット幅です。ADAQ7768-1のデフォルト動作モードは連続変換モードです。データを読み出すかどうかはユーザが決定する必要があります。ADCの変換結果へのアクセスには、シングル変換読出しモードと連続読出しモードの2つの読出しモードを使用できます。

シングル読出しモードが基本的なSPI読出しサイクルで、ADCデータ・レジスタを読み出すには8ビットの命令を書き込む必要があります。ステータス・レジスタは、必要に応じて個別に読み出さなければなりません。

連続読出しモードにするには、INTERFACE_FORMATレジスタのLSBに1を書き込みます。その後のデータ読出しでは、ADC_DATAレジスタへのクエリを行うために最初に8ビットを書き込む必要はありません。データの連続リードバックを行うために必要なのは、必要な数のSCLKを入力することだけです。連続モードでのSPI読出しを[図144](#)に示します。

インターフェースに関して考慮すべき重要な点は、以下のとおりです。

デジタル・インターフェース

- ▶ 変換データは、 $\overline{\text{DRDY}}$ の立上がりエッジ後にリードバック可能な状態になります。連続読出しモードでは、 $\overline{\text{RDY}}$ 機能は有効にして $\overline{\text{DRDY}}$ 機能は無視することができます。データは $\overline{\text{RDY}}$ の立下がりエッジでリードバック可能な状態になります。
- ▶ ADC変換データ・レジスタは、 $\overline{\text{DRDY}}$ の立上がりエッジよりも1MCLK周期分だけ前の時点で内部で更新されます。
- ▶ MCLKの最大周波数は16.384MHzです。
- ▶ SCLKの最大周波数は20MHzです。
- ▶ $\overline{\text{DRDY}}$ のハイ時間は $1 \times t_{\text{MCLK}}$ です。
- ▶ 高速消費電力モードでは、デシメーション・レートは32です。 $\overline{\text{DRDY}}$ の周期は約4 μs で、最速の変換の $\overline{\text{DRDY}}$ 周期は1 μs とすることができます。

- ▶ $\overline{\text{CS}}$ の立上がりエッジで、シリアル・データ・インターフェースがリセットされます。 $\overline{\text{CS}}$ をローに接続した場合は、SPIトランザクションの最後のSCLK立上がりエッジで、シリアル・インターフェースがリセットされます。インターフェースがリセットされるポイントは、通常読出し動作で $16 \times \text{SCLK}$ 、ADC変換データおよびステータス・ヘッダとCRCヘッダをリードバックする場合で最大40SCLKに相当します。

シングル変換読出しモード

シングル変換読出しモードを使用する場合、ADC_DATAレジスタへのアクセスは、通常のSPI読出しトランザクションと同様の方法で行うことができます。ADC_DATAレジスタ（レジスタ0x2C）は24ビット幅です。したがって、変換結果を読み出すには32SCLKサイクルが必要です。

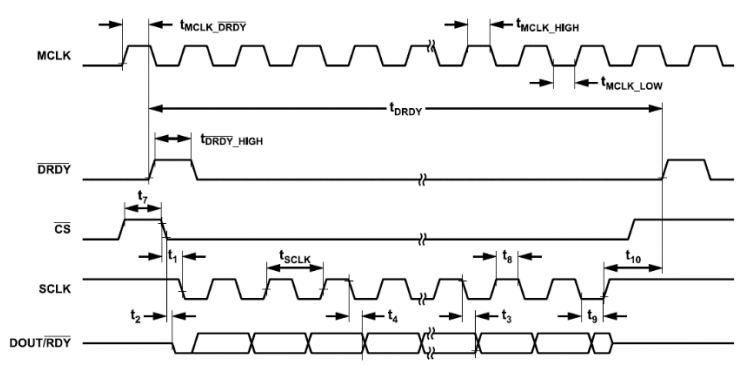


図 144. シリアル・インターフェースのタイミング図（連続読出しモードでのADC変換結果読出しを例示）

連続読出しモード

ADCデータ・レジスタの読み出しのたびにコマンドを書き込まなければならないというオーバーヘッドをなくすため、データ・レディ信号がパルス出力された後にADCレジスタを直接読み出せるように、ADCを連続読出しモードにすることができます。連続読出しモードでは、受信した最初のSCLKの立下がりエッジでデータが出力されます。したがって、変換結果を読み出すのに必要なSCLKサイクルは24サイクルだけです。この連続読出しモードでは、ステータス・ヘッダもしくはCRCヘッダ（それぞれ8ビット）の一方または両方を変換結果に追加することも可能です。ステータス・ヘッダとCRCヘッダの両方がイネーブルされている場合、データ・フォーマットは「ADCデータ+ステータス・ビット+CRC」です。

図145に示すように、 $\overline{\text{RDY}}$ 機能を使用しない場合は、 $\overline{\text{DRDY}}$ 周期内でADC変換結果を複数回読み出すことができます。 $\overline{\text{RDY}}$ 機能が有効な場合は、ADAQ7768-1の変換結果を読み出した後にDOUT/ $\overline{\text{RDY}}$ ピンがハイになるので、データを複数回読み出すことはできません（図146参照）。

連続リードバックは、 $\overline{\text{PIN}}$ 制御モードで使用するリードバック・モードです。ただしこのモードでは、データ出力フォーマットが固定されます。DOUTピンに $\overline{\text{RDY}}$ 用のオプションはありません。詳細については、 $\overline{\text{PIN}}$ 制御モードの概要のセクションを参照してください。

LV_BOOSTビット（INTERFACE_FORMATレジスタ、アドレス0x14のビット7）をイネーブルして連続読出しモードを使用する場合は、連続読出しモードを終了するごとにLV_BOOSTをイネーブルし直す必要があります。

連続読出しモードの終了

連続読出しモードを終了するには、キー0x6CをSDIに書き込みます。このキーは、レジスタ・マップへのアクセスをもう一度可能にしてデバイスの追加設定を行えるようにします。通常のSPI書き込みに従うために、このキーの入力後に $\overline{\text{CS}}$ 信号を使用してSPIインターフェースをリセットします（図147参照）。 $\overline{\text{CS}}$ を制御できずローに固定されている場合は、SPIインターフェースの同期を保てるようにトランザクションを完了させるのに16SCLKが必要です。例えば $\overline{\text{CS}}$ がローに固定されている場合、3線式インターフェースを使用するときは0x006Cを書き込んで連続読出しモードを終了します（図148参照）。デバイスが連続読出しモードを正常に終了できるようにするには、2つの $\overline{\text{DRDY}}$ パルスの間に終了コマンドを書き込む必要があります。

このモードではソフトウェア・リセットも終了コマンドと同じ方法で書き込むことができます。この場合、0x6Cではなく0xADを書き込みます。

デジタル・インターフェース

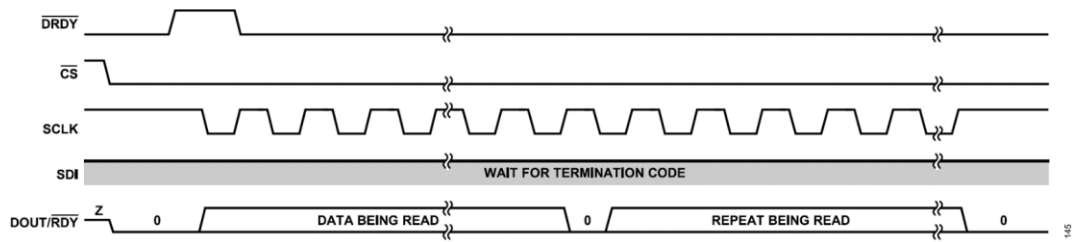


図 145. RDY機能を無効にした場合の連続ADC読出しデータ・フォーマット

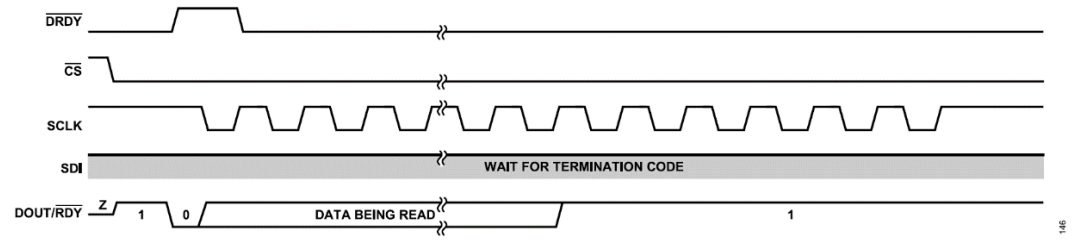


図 146. DOUT/RDYピンのRDY機能を有効にした場合の連続ADC読出しデータ・フォーマット

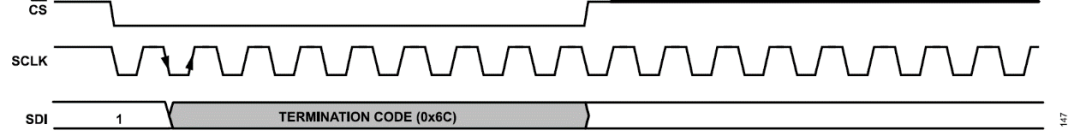


図 147. 連続読出しモードの終了

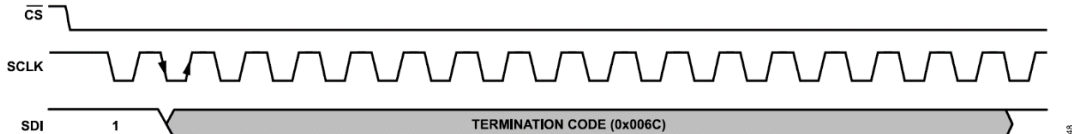


図 148. 連続読出しモードの終了 (CS = 0)

データ変換モード

SPI制御モードでは次の2つのデータ変換モードが使用できます。

- ▶ 連続変換
- ▶ ワンショット変換

デフォルトの変換モードは連続変換です。フィルタ設定やデータ変換モードなどの変更を含め、ADAQ7768-1の設定に何らかの変更を加えた場合は、**SYNC_IN**パルスをデバイスに入力する必要があります。

連続変換モード

連続変換モードでは、ADCが連続的に変換を行い、ODRによって決まる間隔で新しいADC結果を使用できるようになります。これは、SPI制御モードのデフォルト変換動作です。また、このモードは広帯域低リップルFIRフィルタを使用できる唯一のデータ変換モードです。SPI制御モードでは2つのデータ・リードバック方法を使用できますが、これらについては**変換読出しモード**のセクションで説明しています。

ワンショット変換モード

図149に、ワンショット変換モードでのデバイス動作を示します。このモードでは、例えば、デジタル信号処理（DSP）やフィールド・プログラマブル・ゲート・アレイ（FPGA）などの、コントローラ・デバイスのリクエストによって変換が行われます。**SYNC_IN**ピンが、データ出力を開始するコマンドを受信します。

ワンショット変換モードでは、ADCは連続して動作します。ただし、**SYNC_IN**ピンの立上がりで、データ出力を開始する時間的ポイントを抑えます。

データを受信するには、コントローラ・デバイスが**SYNC_IN**ピンにパルスを入力して、フィルタをリセットし**DRDY**をロー・レベルにする必要があります。その後**DRDY**がハイ・レベルになって、セトリングされた有効なデータをデバイスで使用できることをコントローラ・デバイスに示します。

コントローラが**SYNC_IN**をアサートしてADAQ7768-1がこの信号の立上がりエッジを受信すると、デジタル・フィルタがリセットされ、フィルタの全セトリング・タイム経過後にデータが安定して、出力が使用可能になります。セトリング・タイムの期間は、フィルタ・パスとデシメーション・レートによって決まります。ワンショット変換モードはsinc5またはsinc3フィルタとのみ使用可能です。これは、これらのフィルタのセトリング時間が最も短いことによります。ワンショット変換モードを、広帯域低リップルFIRフィルタを使用するオプションとして使用することはできません。

セトリングしたデータが使用できるようになると、**DRDY**信号がパルス出力されます。**SYNC_IN**信号からADCパスのデータのセトリングが完了するまでの時間（ t_{SETTLE} ）を図149に示します。セトリングしたデータが使用できるようになると、**DRDY**がハイにアサートされて変換結果を読み出せるようになります。その後、デバイスは別の**SYNC_IN**信号を待機してから、更にデータを出力します。

セトリング時間は使用フィルタのセトリング時間を基準に計算され、ワンショット変換を開始するためにある程度の遅延が追加されます。このセトリング時間が、ワンショット変換モードにおける実現可能な全体的スループットを制限します。

ADCは連続的にサンプリングを行うので、ワンショット変換モードはADAQ7768-1のサンプリング規則に影響を与えます。

SYNC_INパルスをデバイスに定期的送信することは、ADC出力をサブサンプリングすることになります。ここで、このサブサンプリング・レートを中心とする帯域幅が、ベースバンドにエイリアスとして現れる可能性があります。サンプリングをコヒーレントなものとし、周波数応答へのジッタの影響を軽減するために、**SYNC_IN**パルスをコントローラ・クロック（MCLK）と同期させ続けることを考えてください。これを行わないと、出力に大きな歪みが生じます。

連続変換モードでADAQ7768-1の必要なSPI設定を実行してから、ワンショット変換モードへの切替えを行います。

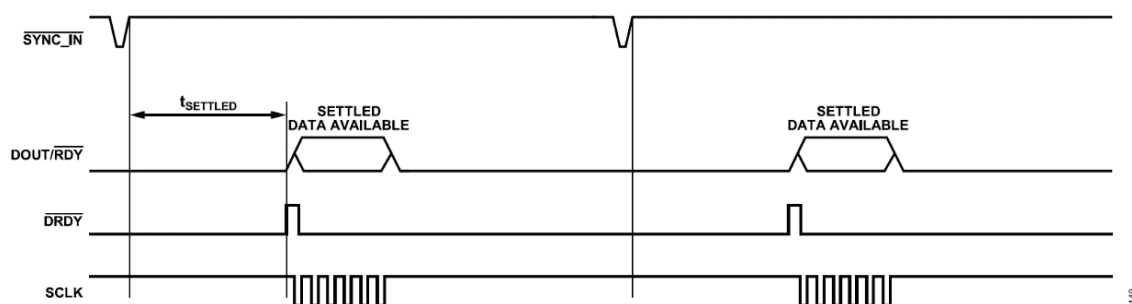


図 149. ワンショット変換モード、外部ソースで**SYNC_IN**ピンを駆動

データ変換モード

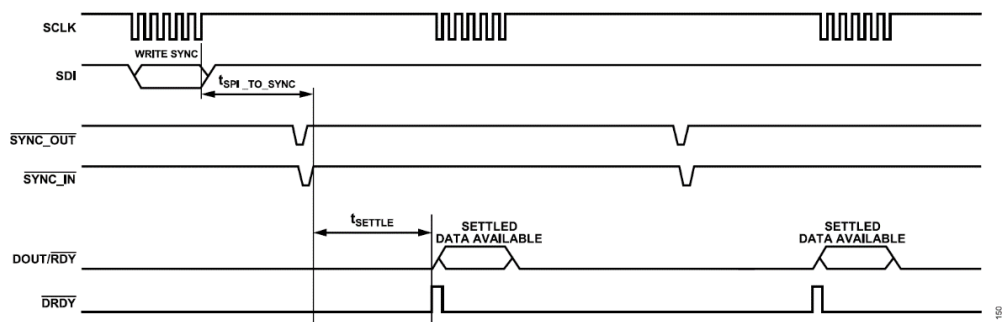


図 150. ワンショット変換モード、レジスタ書込みによってSYNC_INパルスを開始

複数のADAQ7768-1デバイスの同期

1つのシステム内で複数のADAQ7768-1デバイスを使用する場合、同期が重要となります。各デバイスが同じベースMCLK信号でクロックされていることが、複数のデバイスを同期させるための基本的な条件です。ADAQ7768-1の起動後、およびその設定に何らかの変更を加えた後は、いずれもデバイスに $\overline{\text{SYNC_IN}}$ パルスを入力する必要があります。このパルスはデジタル・フィルタをフラッシュ・アウトしてデバイスを既知の設定とし、システム内の複数のデバイスを同期させる役割を果たします。

ADAQ7768-1は、システムの同期を容易にする3つのオプションを備えています。どのオプションを選択するかはシステムによって決まります。ただし、考慮すべき最も基本的な事項は、ベースのMCLK信号と完全に同期した同期パルスを供給できるかどうかということです。

ベースのMCLK信号に同期した信号を使用できない場合は、以下のいずれかの方法を使用します。

- ▶ システム内にあるADAQ7768-1のうちの1つのデバイスのGPIOxピンを $\overline{\text{START}}$ 入力として設定し、設定したGPIOxピンに $\overline{\text{START}}$ パルスを入力します。 $\overline{\text{SYNC_OUT}}$ ピンの出力を、同じデバイスの $\overline{\text{SYNC_IN}}$ 入力および同期する他のすべてのデバイスに接続してください。
- ▶ ADAQ7768-1は非同期 $\overline{\text{START}}$ パルスをサンプリングし、ベースMCLK信号を基準にローカル配布用の $\overline{\text{SYNC_OUT}}$ パルスを生成します。
- ▶ SPIを介して同期を行います（SPI制御モードでのみ使用可能）。予め決められたADCデバイスの1つに同期コマンドを書

き込んでください。このデバイスの $\overline{\text{SYNC_OUT}}$ ピンを、同じデバイスの $\overline{\text{SYNC_IN}}$ ピンおよび他のデバイスの $\overline{\text{SYNC_IN}}$ ピンにローカルで接続します。 $\overline{\text{START}}$ ピンによる方法と同様に、1つのデバイスによってSPI同期が受信され、続いて、 $\overline{\text{SYNC_OUT}}$ 信号がローカル・デバイスに送られて同期できるようになります。

ベースMCLKに同期した $\overline{\text{SYNC_IN}}$ 信号を提供できる場合は、 $\overline{\text{SYNC_IN}}$ 同期信号をスター・ポイントから $\overline{\text{SYNC_IN}}$ ピンに入力して、それぞれのADAQ7768-1デバイスのピンに直接接続します。 $\overline{\text{SYNC_IN}}$ 信号はMCLKの立上がりエッジでサンプリングされます。したがって、セットアップ・タイムとホールド・タイムは、ADAQ7768-1のMCLK立上がりエッジを基準とした $\overline{\text{SYNC_IN}}$ 入力に関連付けられています（図7参照）。

この場合 $\overline{\text{SYNC_OUT}}$ は不要なので、未接続のままにするかVDD_IOに接続することができます。GPIOxは $\overline{\text{START}}$ 機能には必要ないので、別の目的に使用できます。図151は、チャンネル間が絶縁されたシステムでの同期を示しています。

同期機能は、 $\overline{\text{DRDY}}$ パルスの直後に実行してください。ADAQ7768-1の $\overline{\text{SYNC_IN}}$ パルスの発生位置が次の $\overline{\text{DRDY}}$ パルス・エッジに近すぎる場合、 $\overline{\text{SYNC_IN}}$ パルスがまだデバイス内に伝達されていないため、次の $\overline{\text{DRDY}}$ パルスがそのまま出力されることがあります。

1.8VのVDD_IO電圧で $\overline{\text{SYNC_OUT}}$ 機能を使用する場合は、 $\overline{\text{SYNC_OUT_POS_EDGE}}$ ビット（レジスタ0x1D、ビット6）を1に設定することを推奨します。

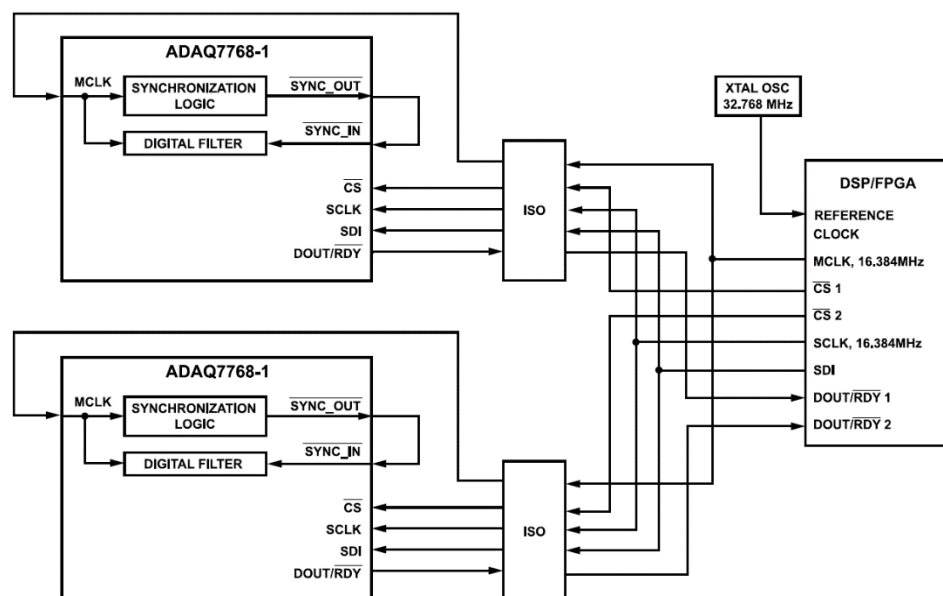


図 151. チャンネル間が絶縁されたシステムでの同期

ADAQ7768-1のその他の機能

リセット

デバイスを起動した後は、フル・リセットを行うことを推奨します。ADAQ7768-1でリセットを行うときは、例えば以下に示すような複数のオプションを使用できます。

- ▶ 専用の`RESET`ピンを使用する方法。ピン配置およびピン機能の説明のセクションを参照してください。
- ▶ 連続読出しモードでは、ADAQ7768-1は0xADの終了コマンドまたはリセット・コマンドをモニタします。詳細については、連続読出しモードの終了のセクションを参照してください。
- ▶ `SYNC_RESET`レジスタ（レジスタ0x1D）に連続で書込みを行うことによって、ソフトウェア・リセットを行うことができます。
- ▶ `CS`がローに維持されているときは、1とその後に続く63個の0をSDIにクロック入力することにより、リセットを行うことができます。これは、パワーダウン・モードを終了するために使用するSPIレジューム・コマンドのリセット機能です。

`RESET`からSPI書込みまでには、少なくとも200 μ sの時間が必要です。

ステータス・ヘッダ

SPI制御モードでは、ADAQ7768-1が連続リードバック・モードで動作しているときに、変換結果の後にステータス・ヘッダを出力することができます。ステータス・ヘッダは、`MASTER_STATUS`レジスタ（レジスタ0x2D）をミラーします。

`PIN`制御モードでは、デフォルトで変換結果の後にステータス・ヘッダが出力されます。ステータス・ヘッダには以下のビットと機能が含まれます。

- ▶ `MASTER_ERROR`ビットは発生した他のすべてのエラーのORで、これをモニタすれば問題が発生したことを短時間で示すことができます。
- ▶ `ADC_DIAG_STATUS`レジスタ（レジスタ0x2F）内に何らかのエラーが発生すると、`ADC_ERROR`ビットが1に設定されます。このビットは、`ADC_DIAG_STATUS`レジスタ内のエラー・ビットのORです。
- ▶ `DIG_DIAG_STATUS`レジスタ（レジスタ0x30）内に何らかのエラーが発生すると、`DIG_ERROR`ビットが1に設定されます。このビットは、`DIG_DIAG_STATUS`レジスタ内のエラー・ビットのORです。
- ▶ 有効なクロックが検出されなかった場合は、`ADC_ERR_EXT_CLK_QUAL`ビットがセットされます（[クロックの品質評価](#)のセクションを参照）。
- ▶ デジタル・フィルタが正または負のフルスケールにクリップされた場合は、`ADC_FILT_SATURATED`ビットが1に設定されます。クリッピングは、アナログ入力範囲を超えるアナログ入力、またはデジタル・フィルタに大きなオーバーシュートを発生させる大きなステップ入力デバイスに入力されることによって発生します。更に、`ADC`ゲイン・レジスタの設定が正しくない場合は、フィルタが飽和することがあります。フルスケール信号と大ゲインの組み合わせは、デジタル・フィルタを飽和させます。

- ▶ デジタル・フィルタの出力がセトリングしていない場合は、`ADC_FILT_NOT_SETTLED`ビットが1に設定されます。デジタル・フィルタは`RESET`パルスの後、または`SYNC_IN`コマンドの受信後にクリアされます。
- ▶ `SYNC_IN`からデータがセトリングするまでの時間を、フィルタ・タイプごとに表11、表12、および表15に示します。広帯域低リップルFIRフィルタを使用する場合、フィルタのセトリングが未完了であることを示すビットを更新してデバイス全体にその結果が伝達されるまでには、ステータス・ヘッダを読み出すよりも時間がかかります。このフィルタ未セトリング・ビットは、実際にはデータ出力がセトリングしている時点でもセットされたままのことがあります。デシメーション・レート1024に設定された広帯域低リップルの広帯域フィルタ使用時の更新遅延は、最も長い場合で128MCLKサイクルです。この場合、リードバックが128MCLKサイクル遅延したとすると、フィルタ未セトリング・ビットを更新する時間が生じます。データがセトリングを完了するまでの時間は、表11、表12、および表15に示すデータと同じです。
- ▶ `SPI_DIAG_STATUS`レジスタ（アドレス0x2E）内に何らかのエラーが発生すると、`SPI_ERROR`ビットが1に設定されます。このビットは、`SPI_DIAG_STATUS`レジスタ内のエラー・ビットのORです。
- ▶ `POR_FLAG`ビットは、リセットが行われるか、一時的な電源喪失が発生するとセットされます。`PIN`制御モードでは、`POR`フラグではなく常にこのビットを1に設定することによって、インターフェースが正常に動作しているかどうかを示します。

診断機能

ADAQ7768-1は内部診断機能を備えており、ADCの機能とADCの動作環境の両方をチェックすることができます。内部診断機能は、変換レジスタ（レジスタ0x18）で有効にします。診断機能を使用するには、デバイスを低消費電力モードで`MCLK_DIV = MCLK/16`に設定して、直線性向上バッファをイネーブルする必要があります。使用可能な診断機能は次のとおりです。

- ▶ 温度センサーはオンチップ温度センサーで、およそその温度を測定します。測定された温度変化に対するDC変換電圧の変化率は、約0.6mV/°Cです。例えば、室温における変換結果は約180mVです。温度が50°C上昇すると指示値は約210mVとなり、例えば信号生成に不具合が生じたり、システム補正の必要が生じたりする可能性があります。
- ▶ アナログ入力を短絡させるとコアADCの入力ピンと外部入力の接続が解除され、アナログ入力ピン同士の内部短絡が形成されて不具合を検出することができます。
- ▶ 正のフルスケールが選択されている場合、変換される電圧は V_{REF+} です。
- ▶ 負のフルスケールが選択されている場合、変換される電圧は V_{REF-} です。

アプリケーション情報

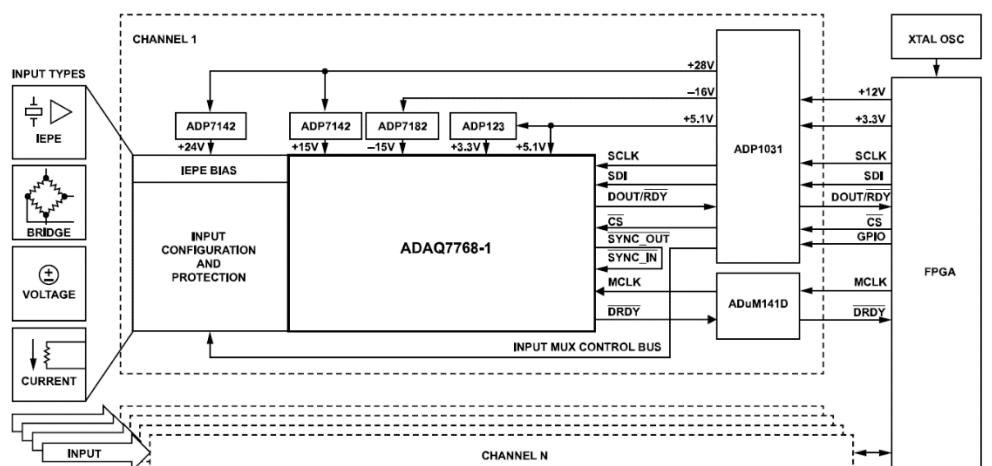


図 152. チャンネルごとに絶縁されたDAQシステムの代表的なアプリケーション図

クイック・スタートアップ

前出のクイック・スタートアップ・ガイドでは、起動およびデバイスからデータを取得するための必要最低限の条件について説明しました。これには電源接続、クロック処理、基本的なレジスタ書き込みなどが含まれます。以降のセクションはこのクイック・スタートアップ・ガイドを参照した上でお読みください。これらのセクションでは、システム・レベルのアプリケーションと更なる性能向上について説明します。

センサーとのインターフェースおよびゲイン制御

ADAQ7768-1は、図152に示すように、IEPEセンサー、抵抗ブリッジ、電圧および電流入力など、幅広い入力タイプに対応できます。電子回路内蔵圧電 (IEPE) センサーの場合、機能的動作を実現するには適切なバイアスを提供する必要があります。

まず入力をフォルト保護機能のあるスイッチまたはマルチプレクサに接続してから、ADAQ7768-1に接続することを推奨します。フォルト・フラグ・ピンは、LEDと併用することや、デジタル・ラインを介してFPGAに接続することで、入力フォルト信号を発生させることができます。

スイッチングされる入力またはマルチプレクスされる入力には、入力を選択する個別のMUX制御バスが必要となる場合もあります。これにより、絶縁システムに別のデジタル絶縁されたラインを追加することが必要になります。

ADAQ7768-1のGPIOがGAINピンに接続されている場合、AFE_GAINはGPIOポート制御レジスタおよびGPIO出力制御レジスタへのSPI書き込みを通じて容易に設定でき、FPGAに接続するデジタル・ラインの数を減らすことができます。これは絶縁システムにおいて特に有用です。

絶縁および電源ソリューション

図152は、ADP1031およびADuM142を用いて電源アイソレーションとデジタル・アイソレーションを行う、チャンネル間絶縁ソリューションを示しています。

ADP1031は、フライバック・コンバータ、降圧コンバータ、反転スイッチング・コンバータを内蔵し、必要な電源レールを供給します。これらは更に、LDO (ADP7142, ADP7182, ADP123, およびADAQ7768-1の内蔵5V LDO) によってレギュレーションさ

れ、電源ノイズを低減します。VDD_IOを除くすべての電源ピンには0.1μFのデカップリング・コンデンサも内蔵されており、PCBのフットプリントを削減できます。

ADuM142Dは、ADP1031の補助としてデジタル・アイソレーション・ラインを追加するために使用されています。

電源シーケンス

ADAQ7768-1のすべてのAGNDピンが1つのグランド・プレーンに接続されていれば、デバイスの起動時に特定の電源シーケンスは不要です。

リファレンス、リファレンス・バッファ、直線性向上バッファ

ADCのリファレンスの範囲はVDD_ADCから1Vまでにわたっていますが、ADAQ7768-1の代表的なアプリケーションや仕様は、4.096Vの入力リファレンスで設定されています。この電圧は、内蔵の5V LDOの出力を4.096Vの電圧リファレンスを出力するADR4540に接続することで得ることができます。

リファレンス入力とバッファリングのセクションで説明したように、ADCの内蔵リファレンス・プリチャージ・バッファを用いて外部リファレンスの負荷を低減することを推奨します。

また、直線性向上バッファもイネーブルすることを推奨します。これにより、差動アンプとコアADC入力間の駆動が容易になります。

PINモードでは、性能が向上するよう、リファレンス・プリチャージ・バッファと直線性向上バッファはデフォルトでイネーブルされていますが、SPIモードでこれらをイネーブルするには、アナログ・バッファ制御レジスタにレジスタ書き込みを行う必要があります。

推奨インターフェース

ADAQ7768-1のインターフェースは柔軟で、様々なDSPとマイクロコントローラ・ユニット (MCU) の数多くの動作モードとデータ出力フォーマットに対応可能です。性能を最大限に発揮するために、図153に変換結果を読み出すための推奨インターフェース設定を示します。この推奨設定は、同期されたSCLKとMCLKの関係を使用します。

アプリケーション情報

推奨動作を実現するには、以下に従ってインターフェースを設定してください。

1. 変換リードバック時は $\overline{\text{CS}}$ 信号をローに接続します。
2. ADC_DATAレジスタのアドレス・ビットを提供する必要がないように、連続リードバック・モードにします。連続リードバック・モードは、 $\overline{\text{PIN}}$ モードにおけるデフォルトのリードバック・モードです。
3. 32ビットのデータがクロック出力されますが、これは24ビットの変換結果とそれ以外の8ビットで構成されます。この8ビットには、ステータス・ビットまたはCRCビットのどちらかを選択できます。 $\overline{\text{PIN}}$ モードでは、常に変換結果と8個のステータス・ビットになります。
4. SCLKはMCLKと位相が一致したものを使用します。SCLKはMCLKと同じもの（ $\text{SCLK} = \text{MCLK}$ ）とすること、あるいは、MCLKを分周したもの（ $\text{SCLK} = \text{MCLK}/N$ ）とすることができます。例えば、デシメーション・レートを32にした場合は $\text{SCLK} = \text{MCLK}/2$ とします。
5. 32ビットでクロッキングすると、 $\text{SCLK} = \text{MCLK}/2$ の場合は、 $\overline{\text{DRDY}}$ 周期全体を使ってデータ・リードバック動作を行うことができます。SCLKは連続的に動作します。リードバック動作は $\overline{\text{DRDY}}$ の周期全体を使って行われるので、VDD_IOでの電流によるノイズ・カップリングがODRの周期全体に広がります。
6. $\overline{\text{DRDY}}$ 信号は、ホスト・コントローラに読み出すデータと同期させることができます。

推奨インターフェース動作を図153に示します。データ・リードバックは $\overline{\text{DRDY}}$ 周期全体にわたって行われ、LSBは、次の変換のために $\overline{\text{DRDY}}$ がハイになるまでそのまま残ります。

推奨インターフェースの初期化

推奨インターフェースを設定するには以下の手順に従います。

1. 消費電力モード、デシメーション・レシオ、フィルタ・タイプなどのデバイス設定を行います。
2. 連続リードバック・モードにします。
3. 変更をデジタル領域に適用してデジタル・フィルタをリセットするために、同期パルスを送出します。パルスは、 $\overline{\text{DRDY}}$ がハイになった直後に送じます。

データ読出しのための推奨インターフェース

データ読出しのための推奨インターフェースは以下のとおりです。

1. ホスト・コントローラを $\overline{\text{DRDY}}$ パルスまたは $\overline{\text{RDY}}$ パルスに同期させます。データをクロック出力する前の $\overline{\text{RDY}}$ の動作の詳細については、図6を参照してください。
2. $\overline{\text{DRDY}}$ または $\overline{\text{RDY}}$ のタイミングに基づいてSCLKを生成します。 $\overline{\text{DRDY}}$ 信号がハイのときにSCLKがハイで、MCLK立下がりエッジで遷移することにより（図153参照）、LSBを正しく読み込むことができます。これは、DOUT/ $\overline{\text{RDY}}$ 出力が $\overline{\text{DRDY}}$ の立上がりエッジでリセットされることによります。しかし、SCLKの立上がりエッジはこの移行の前に発生します。
3. MSBはSCLKの次の立下がりエッジでクロック出力されます。
4. $\overline{\text{PIN}}$ 制御モードでは、変換出力のLSBはステータス出力の最終ビットです。 $\overline{\text{PIN}}$ 制御モードではこのビットが常に1なので、読み出す必要はありません。

推奨インターフェースの再同期

データのクロッキングはODRの周期全体を使って行われるので、LSB出力ごとに $\overline{\text{RDY}}$ 信号がフラグされることはなくなります。この信号は、ADAQ7768-1が連続リードバック・モードにある場合、あるいは図153に示すように、ADAQ7768-1が $\overline{\text{DRDY}}$ の前 $1 \times t_{\text{MCLK_DRDY}}$ 以内に32個のSCLKをカウントしない場合にのみフラグされます。

$\overline{\text{RDY}}$ 機能は連続リードバック・モードでのみ使用できます。ADC_DATAレジスタのアドレスを毎回指定しなければならない通常のリードバック時には、タイミング仕様のセクションの t_{10} に示すように、 $\overline{\text{DRDY}}$ より $1 \times t_{\text{MCLK}}$ 前にDOUTラインがリセットされます。 $\overline{\text{DRDY}}$ を使用する場合、デバイスは通常どおり動作し、変換リードバックの時間は $\overline{\text{DRDY}}$ パルスから計時されます。 $\overline{\text{RDY}}$ が各サンプルの開始を検出する場合で、データ・リードバックが同期されていない場合は、以下に示す2つの方法のどちらかによってSCLKタイミングが回復されます。

- ▶ $\overline{\text{CS}}$ を使用してインターフェースをリセットし、 $\overline{\text{RDY}}$ の遷移を監視する。
- ▶ もう一度 $\overline{\text{RDY}}$ の遷移が検出されるまでSCLKトグルングを停止する。

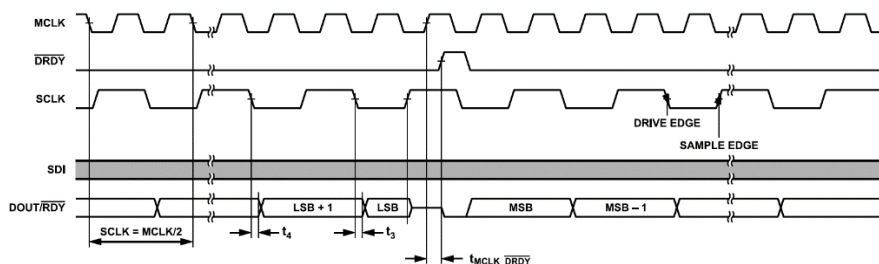


図 153. SPI制御、連続リードバック・モードでの変換読出しのための推奨インターフェース

アプリケーション情報

プログラマブル・デジタル・フィルタ

ADAQ7768-1においてデフォルトで利用できるデジタル・フィルタの他に追加的なフィルタが必要な場合は、カスタム・デジタル・フィルタを設計してメモリにアップロードするための追加オプションがあります。このアップロードを行うと、デフォルトの広帯域低リップルFIRフィルタ係数が上書きされて、一連のユーザ定義係数に置き換えられます。

ADAQ7768-1のフィルタ・パスには、3つの異なる段があります。

- ▶ 初期sincフィルタ
- ▶ sinc補償フィルタ
- ▶ 広帯域低リップルFIRフィルタ

最初の2段は変更できません。プログラム可能な段は3つ目の段だけで、デフォルトの広帯域低リップルFIRフィルタ係数を一連のユーザ定義係数に置き換えることができます。

第3段へのデータ・レートは最終的なODRの2倍ですが、これは、フィルタの最終段の後のデシメーションが2に固定されているためです。したがって、プログラマブルFIR段は、f_{MOD}から16、32、64、128、256、および512のレートでデシメートされたレートでデータを受け取ります。

最後にレート2でデシメーションした後は、全体的なデシメーション値は32～1024の範囲のデシメーション・レートで与えられます。表23に最終FIR入力段へのデータ・レートを示します。表23は各消費電力モードにおける最終フィルタ段へのデータ・レートを示すものですが、これは、それぞれの消費電力モードに対してMCLK_DIVが正しく設定されていることを前提としています。

フィルタの係数

ADAQ7768-1の広帯域低リップルFIRフィルタは112個の係数のセットを使用します。これらの係数は、適切なキーをADAQ7768-1に書き込むことによって上書きできます。上書き後は、カスタマイズされたフィルタ係数をメモリにアップロードしてロックできます。ADAQ7768-1をリセットする場合は、これらの係数を再度書き込む必要があります。

アップロードした係数には以下の必要条件が適用されます。

- ▶ フルセットの係数は112個で、56個の係数がミラーされて合計112個となります。したがって、1個のフィルタをアップロードするときは56個の係数だけが書き込まれます。
- ▶ 書き込む係数は整数形式でなければなりません。使用フォーマットは2の補数です。
- ▶ 書き込み対象の係数データ・レジスタは24ビット幅で、ADAQ7768-1では24ビットのレジスタ書き込みだけが使われます。係数に使用するのは23ビットだけで、残りのMSBは制御ビットです。詳細についてはレジスタ0x33を参照してください。
- ▶ フィルタ係数は、56個の係数の合計が必ず2²²となるようにスケーリングされます。したがって、係数全体（112個）としての合計は2²³となります。

例えば、書き込まれるフィルタ係数が-0.0123だとすると、この値が-0.0123 × 2²² = -51,590にスケーリングされます。2の補数形式でこの値を表すと、0x7F367Aになります。

各フィルタ係数は、最初に係数のアドレスを選択することによって書き込まれます。次にデータの書き込みが個別に行われ、それが56個の係数すべてについてアドレス0からアドレス55まで繰り返されます。

FIRのサイズは変更できないので、プログラマブル・フィルタ・オプション使用時もフィルタの群遅延は34/ODRに固定されたままです。係数の数を減らす必要がある場合は、末尾の係数にゼロをパディングすることによってこの要求を満たすことができます。アップロードされたフィルタの群遅延は、常にADAQ7768-1のデフォルトのFIRフィルタの群遅延（34/ODR）と等しくなければなりません。

係数アドレス・レジスタまたは係数データ・レジスタ（COEFF_CONTROLまたはCOEFF_DATA）へのアクセスがあった場合は、その都度、別の読出しや書き込みを行う前に一定の待機時間を置く必要があります。待機時間は次式によります。

t_{WAIT} = 512/MCLK

この待機時間は、レジスタの内容を更新する時間を提供します。次いで、係数がメモリに書き込まれます。

表23. 最終FIR入力段へのデータ・レート

Power Mode	Input to Third Stage, Programmable FIR (MCLK = 16.384 MHz)								
	512 kHz	256 kHz	128 kHz	64 kHz	32 kHz	16 kHz	8 kHz	4 kHz	2 kHz
High Performance (Fast)	Yes	Yes	Yes	Yes	Yes	Yes		Not applicable	Not applicable
Eco Mode	Not applicable	Not applicable	Not applicable	Yes	Yes	Yes	Yes	Yes	Yes

アプリケーション情報

アップロード・シーケンス

ユーザ定義のフィルタ係数セットをプログラムするには、以下の手順のシーケンスを実行します。

1. DIGITAL_FILTERレジスタのフィルタ・ビット（レジスタ0x19、ビット[6:4]）に0x4を書き込みます。
2. フィルタ・アップロードにアクセスするには、以下のキーを書き込む必要があります。最初に、ACCESS_KEYレジスタ（レジスタ0x34）に0xACを書き込みます。次に、ACCESS_KEYレジスタに0x45を書き込みます。ACCESS_KEYレジスタのビット0（キー・ビット）は、キーが正しく入力されたかどうかを確認するためにリードバックできます。
3. COEFF_CONTROLレジスタ（レジスタ0x32）に0xC0を書き込みます。t_{WAIT}秒待つ以下操作を実行します。
 - a. 係数アドレスをアドレス0に設定します。
 - b. メモリへのアクセスを有効にします（COEFFACCESSEN=1）。
 - c. 係数メモリへの書き込みができるようにします（COEFFWRITEEN=1）。
4. 最初の係数のアドレスを選択します。必要な係数をCOEFF_DATAレジスタ（レジスタ0x33）に書き込み、t_{WAIT}秒間待機します。レジスタ0x32への書き込みとレジスタ0x33への書き込みの間は常にt_{WAIT}秒間待機します。
5. 56個の係数のそれぞれについて、手順4と手順5を繰り返します。例えば、係数アドレス1を選択するにはCOEFF_CONTROLに0xC1を書き込み、t_{WAIT}秒間待ってから係数データを入力します。係数55になるまでデータを加算してください（係数55では、COEFF_CONTROLに0xF7を書き込みます）。
6. 最初にCOEFF_CONTROLに0x80を書き込むことによって、係数への書き込みを無効にします。次にt_{WAIT}秒間待機します。次にCOEFF_CONTROLに0x00を書き込み、係数アクセスを無効にします。
7. COEFF_DATAに0x800を書き込むことによってUSERCOEFFEN=1に設定し、同期パルスをつぐルしてデータを読み出せるようにします。
8. ACCESS_KEYレジスタ（レジスタ0x34）に0x55を書き込むことによって、フィルタ・アップロードを終了します。
9. ADAQ7768-1に同期パルスを送ります。このパルスを送る方法の1つは、SYNC_RESETレジスタ（レジスタ0x1D）に書き込みを行うことです。以上でフィルタ・アップロードは完了です。

デジタル・フィルタのアップロード時には、RAM CRCエラー・チェックを行ってもエラーになります。このチェックを無効にするには、DIG_DIAG_ENABLEレジスタ（レジスタ0x2A）を使用します。

レジスタ・ビットの詳細については、[レジスタの詳細](#)のセクションを参照してください。

フィルタ・アップロードの例

以下に示すシーケンスによりsinc1フィルタをプログラムします。アドレス0からアドレス23の係数は0です。アドレス24からアドレス55の係数は131,072（2²²/32）です。MCLK = 16.384MHzでODR = 256kHzの場合は、8kHzと8kHzの整数倍の位置にフィルタ・ノッチが現れます。このフィルタは低ノイズで、[図154](#)に示す特徴的なフィルタ・プロファイルによって識別できます。

次の手順を実行してフィルタを設定します。

1. DIGITAL_FILTERレジスタのフィルタ・ビット（レジスタ0x19、ビット[6:4]）に0x4を書き込みます。
2. ACCESS_KEYレジスタ（レジスタ0x34）への書き込みによってキーを入力します。
3. COEFF_CONTROLレジスタ（レジスタ0x32）に0xC0を書き込みます（COEFFADDR = 0、COEFFACCESSEN = 1、およびCOEFFWRITEEN = 1）。t_{WAIT}秒間待機します。
4. COEFF_DATA（レジスタ0x33）に0x000000を書き込みます。t_{WAIT}秒間待機します。
5. COEFF_CONTROLレジスタに0xC1を書き込みます（COEFFADDR = 1）。t_{WAIT}秒間待機します。この場合はアドレス0とアドレス1の係数が等しいので、COEFF_DATAの値は変わりません。
6. COEFF_CONTROLレジスタに0xC2を書き込みます（COEFFADDR = 2）。t_{WAIT}秒間待機します。
7. 書き込み値が0xD7になるまでCOEFF_CONTROLレジスタのアドレスを加算していきます（COEFFADDR = 23）。t_{WAIT}秒の待機時間を維持してください。
8. COEFF_CONTROLに0xD8を書き込みます（COEFFADDR = 24）。
9. COEFF_DATAに0x010000を書き込みます。t_{WAIT}秒間待機します。
10. COEFF_CONTROLに0xD9を書き込みます（COEFFADDR = 25）。t_{WAIT}秒間待機します。
11. COEFF_CONTROLに0xDAを書き込み（COEFFADDR = 26）、t_{WAIT}秒間待機します。
12. 書き込み値が0xF7になるまでCOEFF_CONTROLレジスタのアドレスを加算していきます（COEFFADDR = 55）。t_{WAIT}秒間待機します。
13. 最初にCOEFF_CONTROLレジスタに0x80を書き込むことによって、係数メモリへの書き込みとアクセスを無効にします。t_{WAIT}秒間待機します。次いで、COEFF_CONTROLレジスタに0x00を書き込みます。
14. USERCOEFFEN = 1に設定して、デフォルトの係数を再度読み出すことなく同期をつぐルします（COEFF_DATAに0x800000を書き込む）。
15. ACCESS_KEYレジスタに0x55を書き込むことによって、書き込みを終了します。
16. 同期をつぐルします。
17. データを収集します。[図154](#)に結果のフィルタ・プロファイルを示します。

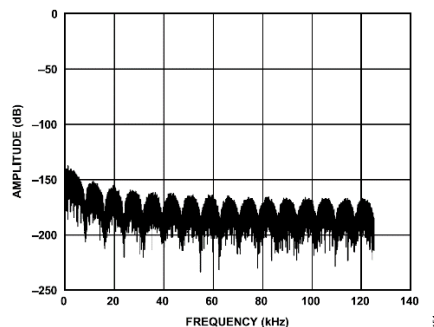


図 154. フィルタ・プロファイルのアップロード例

アプリケーション情報

フィルタ・アップロードの検証

フィルタ係数が正常にアップロードされたことをチェックするために、COEFF_DATAレジスタに書き込んだ値をリードバックすることができます。この読出しは、アップロード後に以下の手順に従って行うことができます。

1. ACCESS_KEYレジスタ（レジスタ0x34）への書き込みによってキーを入力します。最初にACCESS_KEYレジスタに0xACを書き込み、次にACCESS_KEYレジスタに0x45を書き込みます。
2. COEFF_CONTROLレジスタ（レジスタ0x32）に0x80を書き込みます（COEFFADDR = 0、COEFFACCESSEN = 1、COEFFWRITEEN = 0）。t_{WAIT}秒間待機します。
3. 24ビットのCOEFF_DATAレジスタ（レジスタ0x33）の内容をリードバックします。係数が、アップロードした値と一致していることを確認してください。
4. COEFF_CONTROLレジスタに0x81を書き込みます（COEFFADDR = 1）。t_{WAIT}秒間待機します。
5. アドレス1の24ビットCOEFF_DATAレジスタを読み出します。アドレス値を加算してデータのリードバックを続けます。COEFF_CONTROLレジスタの更新から次の更新までの間には、常にt_{WAIT}秒の待機時間を置いてください。
6. COEFF_CONTROLレジスタに0x00を書き込むことによって、係数へのアクセスを無効にします。
7. ACCESS_KEYレジスタに0x55を書き込むことによって、リードバック・プロセスを終了します。

レイアウトのガイドライン

ADAQ7768-1が高い信頼性と最高の性能を発揮できるようにするため、プリント回路基板（PCB）に関していくつかのガイドラインがあります。

PCBには非はんだマスク定義（NSMD）パッドを設けることを推奨します。これにより、接合するはんだのための金属領域が大きくなり、はんだ接合の信頼性が高くなります。

ADAQ7768-1を実装するPCBでは、アナログ・セクションとデジタル・セクションを分離し、基板の特定の領域に収納するように設計する必要があります。ADAQ7768-1の各ピンは、アナログ・ピン領域とデジタル・ピン領域でレイアウトされています。配線が容易になるよう、アナログ入力ピン（IN-およびIN+）はC1およびD1に配置されています。

少なくとも1層のグラウンド・プレーンを使用してください。デジタル・セクションとアナログ・セクションの間で共通のプレーンとして使用するも、別々に分割することもできます。分割する場合は、できるだけADAQ7768-1に近い位置を選び、デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンを1箇所だけで接合してください。

複数のデバイスがA/Dグラウンド接続を必要とするようなシステムにADAQ7768-1を使用する場合も、接続は1箇所だけで行ってください（できるだけADAQ7768-1に近い位置にスター・グラウンド・ポイントを設けます）。グラウンド・プレーンとの接続は確実に行う必要があります。複数のグラウンド・ピンで1つの接続を共有することは避け、各グラウンド・ピンとグラウンド・プレーンへの接続には個別のビア、または複数のビアを使用してください。

ダイにノイズが混入するので、デバイスの下にはデジタル・ラインを配置しないでください。ノイズの混入を回避するために、ADAQ7768-1の下にはアナログ・グラウンド・プレーンを配置できるようにします。MCLKなどの高速スイッチング信号はデジタル・グラウンドでシールドし、基板の他の部分へのノイズ放射を防止します。また、これらの信号パスをアナログ信号パスの近くに配置しないでください。デジタル信号とアナログ信号は交差させないでください。基板内の近接する層にあるパターンは互いに直角になるように配置し、基板全体でのフィードスルーの影響を減少させてください。

ADAQ7768-1のVDD_PGA、VSS_PGA、IN_LDO、VDD_IOの各ピンへの電源ラインには、可能な限り幅の広いパターンを使用して低インピーダンスの経路を確保し、電源ラインへのグリッチの影響を軽減してください。可能であれば電源プレーンを使用し、ADAQ7768-1の電源ピンと基板の電源パターン間の接続を安定したものにします。各電源ピンには1つ以上のビアを使用してください。

リファレンス・デカップリング・セラミック・コンデンサをREFピンとGNDピンの近く（理想的には真上）に配置し、幅の広い、低インピーダンス・パターンに接続することで、最低限の寄生インダクタンスでREF、AREG_CAP、DREG_CAPの各ピンをデカップリングできます。

ADAQ7768-1のレイアウト例を図155に示します。

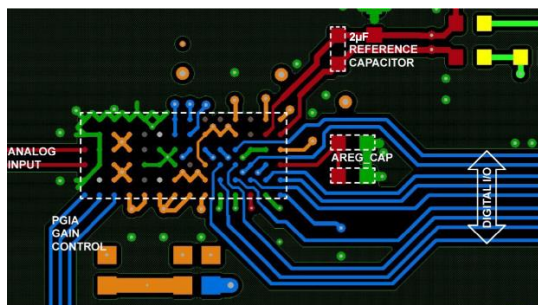


図 155. ADAQ7768-1（表面層）のレイアウト例

レジスタの一覧

表24. ADAQ7768-1のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x03	CHIP_TYPE	[7:0]	RESERVED				CLASS				0x07	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x01	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x00	R
0x0A	SCRATCH_PAD	[7:0]	VALUE								0x00	R/W
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R
0x14	INTERFACE_FORMAT	[7:0]	LV_BOOST	EN_SPI_CRC	CRC_TYPE	STATUS_EN	CONVLEN	EN_RDY_DOUT	RESERVED	EN_CONT_READ	0x00	R/W
0x15	POWER_CLOCK	[7:0]	CLOCK_SEL		MCLK_DIV		ADC_POWER_DOWN	RESERVED	ADC_MODE		0x00	R/W
0x16	ANALOG	[7:0]	REF_BUF_POS		REF_BUF_NEG		RESERVED		LINEARITY_BOOST_A_OFF	LINEARITY_BOOST_B_OFF	0x00	R/W
0x18	CONVERSION	[7:0]	DIAG_MUX_SELECT				CONV_DIAG_SELECT	CONV_MODE			0x00	R/W
0x19	DIGITAL_FILTER	[7:0]	EN_60HZ_REJ	FILTER			RESERVED	DEC_RATE			0x00	R/W
0x1A	SINC3_DEC_RATE_MSB	[7:0]	RESERVED			SINC3_DEC[12:8]					0x00	R/W
0x1B	SINC3_DEC_RATE_LSB	[7:0]	SINC3_DEC[7:0]								0x00	R/W
0x1C	DUTY_CYCLE_RATIO	[7:0]	IDLE_TIME								0x00	R/W
0x1D	SYNC_RESET	[7:0]	SPI_START	SYNC_OUT_POS_EDGE	RESERVED		EN_GPIO_START	RESERVED	SPI_RESET		0x80	R/W
0x1E	GPIO_CONTROL	[7:0]	UGPIO_EN	GPIO2_OPERATION_DRAIN_EN	GPIO1_OPERATION_DRAIN_EN	GPIO0_OPERATION_DRAIN_EN	GPIO3_OPERATION_EN	GPIO2_OPERATION_EN	GPIO1_OPERATION_EN	GPIO0_OPERATION_EN	0x00	R/W
0x1F	GPIO_WRITE	[7:0]	RESERVED				GPIO_WRITE_3	GPIO_WRITE_2	GPIO_WRITE_1	GPIO_WRITE_0	0x00	R/W
0x20	GPIO_READ	[7:0]	RESERVED				GPIO_READ_3	GPIO_READ_2	GPIO_READ_1	GPIO_READ_0	0x00	R
0x21	OFFSET_HI	[7:0]	OFFSET[23:16]								0x00	R/W
0x22	OFFSET_MID	[7:0]	OFFSET[15:8]								0x00	R/W
0x23	OFFSET_LO	[7:0]	OFFSET[7:0]								0x00	R/W
0x24	GAIN_HI	[7:0]	GAIN[23:16]								0x00	R/W
0x25	GAIN_MID	[7:0]	GAIN[15:8]								0x00	R/W
0x26	GAIN_LO	[7:0]	GAIN[7:0]								0x00	R/W
0x28	SPI_DIAG_ENABLE	[7:0]	RESERVED			EN_ERR_SPI_IGNORE	EN_ERR_SPI_CLK_CNT	EN_ERR_SPI_RD	EN_ERR_SPI_WR	RESERVED	0x10	R/W
0x29	ADC_DIAG_ENABLE	[7:0]	RESERVED		EN_ERR_DLD_PSM	EN_ERR_ALD_PSM	EN_ERR_REF_DET	EN_ERR_FILTER_SATURATED	EN_ERR_FILTER_NOT_SETTLED	EN_ERR_EXT_CLK_QUAL	0x07	R/W
0x2A	DIG_DIAG_ENABLE	[7:0]	RESERVED			EN_ERR_MAP_CRC	EN_ERR_RAM_CRC	EN_ERR_FUSE_CRC	RESERVED	EN_FREQ_COUNT	0x0D	R/W
0x2C	ADC_DATA	[23:16]	ADC_READ_DATA[23:16]								0x000000	R

レジスタの一覧

表24. ADAQ7768-1レジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
		[15:8]	ADC_READ_DATA[15:8]									
		[7:0]	ADC_READ_DATA[7:0]									
0x2D	MASTER_STATU S	[7:0]	MASTER_E RROR	ADC_ERRO R	DIG_ERRO R	ERR_EXT_ CLK_QUAL	FILT_SATU RATED	FILT_NOT_ SETTLED	SPI_ERRO R	POR_FLAG	0x00	R
0x2E	SPI_DIAG_STAT US	[7:0]	RESERVED			ERR_SPI_I GNORE	ERR_SPI_C LK_CNT	ERR_SPI_R D	ERR_SPI_ WR	ERR_SPI_C RC	0x00	R/W
0x2F	ADC_DIAG_STA TUS	[7:0]	RESERVED		ERR_DLDO _PSM	ERR_ALDO _PSM	ERR_REF_ DET	FILT_SATU RATED	FILT_NOT_ SETTLED	ERR_EXT_ CLK_QUAL	0x00	R
0x30	DIG_DIAG_STAT US	[7:0]	RESERVED			ERR_MEM MAP_CRC	ERR_RAM_ CRC	ERR_FUSE _CRC	RESERVED		0x00	R
0x31	MCLK_COUNT ER	[7:0]	MCLK_COUNTER								0x00	R
0x32	COEFF_CONTR OL	[7:0]	COEFF_AC CESS_EN	COEFF_WR ITE_EN	COEFF_ADDR						0x00	R/W
0x33	COEFF_DATA	[23:16]	USER_COE FF_EN	COEFF_DATA[22:16]							0x00000 0	R/W
		[15:8]	COEFF_DATA[15:8]									
		[7:0]	COEFF_DATA[7:0]									
0x34	ACCESS_KEY	[7:0]	RESERVED							KEY	0x00	R/W

レジスタの詳細

コンポーネント・タイプ・レジスタ

レジスタ：0x03、リセット：0x07、レジスタ名：CHIP_TYPE

表25.CHIP_TYPEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CLASS	チップ・タイプ 111：A/Dコンバータ。	0x7	R

固有製品IDレジスタ

レジスタ：0x04、リセット：0x01、レジスタ名：PRODUCT_ID_L

表26.PRODUCT_ID_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品ID:	0x1	R

レジスタ：0x05、リセット：0x00、レジスタ名：PRODUCT_ID_H

表27.PRODUCT_ID_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品ID:	0x0	R

デバイス・グレードおよびリビジョン・レジスタ

レジスタ：0x06、リセット：0x00、レジスタ名：CHIP_GRADE

表28.CHIP_GRADEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイスのグレード	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョンID	0x0	R

ユーザ・スクラッチパッド・レジスタ

レジスタ：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

表29.SCRATCH_PADのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VALUE	スクラッチ・パッド - 読出し／書込み領域通信／PORチェック	0x0	R/W

デバイス・ベンダIDレジスタ

レジスタ：0x0C、リセット：0x56、レジスタ名：VENDOR_L

表30.VENDOR_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	ベンダID	0x56	R

レジスタ：0x0D、リセット：0x04、レジスタ名：VENDOR_H

表31.VENDOR_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	ベンダID	0x4	R

レジスタの詳細

インターフェース・フォーマット制御レジスタ

レジスタ：0x14、リセット：0x00、レジスタ名：INTERFACE_FORMAT

表32.INTERFACE_FORMATのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LV_BOOST	1.8VのIOVDDレベルの場合、あるいはDOUT/RDYピン上に大容量性負荷が存在する場合に使用するために、SPI出力の駆動強度を上げます。PIN制御モード時のデフォルトはLV_BOOSTがイネーブルされた状態です。 0：LV_BOOSTをディスエーブル。 1：LV_BOOSTをイネーブル。このビットは、連続読出しモード終了後に再度イネーブルにする必要があります（該当の場合）。	0x0	R/W
6	EN_SPI_CRC	すべてのSPIトランザクションのCRCを有効にします。 0：すべてのSPI転送でCRC機能を無効化。 1：すべてのSPI転送でCRC機能を有効化。	0x0	R/W
5	CRC_TYPE	CRCをXORとして行うか、8ビット多項式で行うかを選択します。 1：CRCに代えてXORを使用します（読出しトランザクションにのみ適用）。 0：CRCビットはCRC-8多項式に基づきます。	0x0	R/W
4	STATUS_EN	ステータス・ビット出力をイネーブルします。SPI制御モードでは、このビット・フィールドのビットをセットすることによって、ADC変換結果の後にステータス・ビットを出力することができます。PIN制御モードでは、ADC変換結果の後にステータス・ビットが出力されます。 0：連続読出しモードにおけるADC変換結果後のSTATUSビットの出力をディスエーブルします。 1：連続読出しモードでADC変換結果後にSTATUSビットを出力します。	0x0	R/W
3	CONVLEN	変換結果の出力長。 0：フル24ビット。 1：ADC結果の16MSBのみを出力。	0x0	R/W
2	EN_RDY_DOUT	DOUT/RDYピンのRDY信号を有効にします。連続読出しモードでDOUT/RDYピンのRDYインジケータをイネーブルします。デフォルトでは、新しいADC変換データが使用可能になっても、DOUT/RDYピンは信号を発しません。このビットをセットすると、DOUT/RDYはADC変換データが使用であることを示す信号を発します。 0：結果がクロック出力された後、連続読出しモードにおいてDOUT/RDYのRDY機能を無効化します。 1：結果がクロック出力された後、連続読出しモードにおいてDOUT/RDYのRDY機能を有効化します。	0x0	R/W
1	RESERVED	予備。	0x0	R
0	EN_CONT_READ	連続読出しイネーブル・ビット 0：連続読出しモードを無効化。 1：連続読出しモードを有効化。	0x0	R/W

消費電力およびクロック制御レジスタ

レジスタ：0x15、リセット：0x00、レジスタ名：POWER_CLOCK

表33.POWER_CLOCKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CLOCK_SEL	デバイスが使用するクロックの設定オプション。 00：XTAL2_MCLKIにCMOSクロックを使用。 01：水晶発振器。 10：LVDS入力をイネーブル。 11：内部粗調整RCクロック（診断機能）。	0x0	R/W
[5:4]	MCLK_DIV	ADCの変調器周波数（ f_{MOD} ）を生成するためのMCLKの分周を設定します。 00：変調器CLK = コントローラ・クロックを16分周。 01：変調器CLK = コントローラ・クロックを8分周。 10：変調器CLK = コントローラ・クロックを4分周。 11：変調器CLK = コントローラ・クロックを2分周。	0x0	R/W
3	ADC_POWER_DOWN	ADCをパワーダウン状態にします。SPIを含むすべてのブロックがパワーダウンされます。この状態では標準SPIは機能しません。パワーダウンは消費電力が最も小さいモードです。パワーダウン・モードにするには、このレジスタに0x08を書き込みます。このレジスタ内の他のビットと同時にビット3をセットしようとすると、SPI書き込みコマンドが無視されてデバイスはパワーダウン状態にならず、他のビットもセットされません。パワーダウン・モードを終了する方法は3つあります。RESETピンを使ってリセットする方法、SDIとSCLKを介してSPIレジューム・コマンドを発行する方法、またはデバイスを一度パワーダウンしてから再度パワーオンする方法です。	0x0	R/W

レジスタの詳細

表33.POWER_CLOCKのビットの説明

ビット	ビット名	説明	リセット	アクセス
2	RESERVED	予備。	0x0	R/W
[1:0]	ADC_MODE	ADCコアの動作モードを設定します。この設定は、MCLK_DIVと共に、ADCのパワー・スケーリングと入力帯域幅／スループットの関係に関する条件を設定します。 00：低消費電力モード。 11：高性能モード。	0x0	R/W

アナログ・バッファ制御レジスタ

レジスタ：0x16、リセット：0x00、レジスタ名：ANALOG

表34.ANALOGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	REF_BUF_POS	リファレンス正入力のバッファリング・オプション。00：プリチャージ・リファレンス・バッファをオン。 01：非バッファ・リファレンス入力。 10：フル・リファレンス・バッファをオン。	0x0	R/W
[5:4]	REF_BUF_NEG	リファレンス負入力のバッファリング・オプション。00：プリチャージ・リファレンス・バッファをオン。 01：非バッファ入力。 10：フル・リファレンス・バッファをオン。	0x0	R/W
[3:2]	RESERVED	予備。	0x0	R
1	LINEARITY_BOOST_A_OFF	直線性向上バッファAディスエーブル制御。このビットをセットすると、直線性向上バッファAがディスエーブルされます。 LINEARITY_BOOST_B_OFFと共に使用します。 0：直線性向上バッファAをイネーブル。 1：直線性向上バッファAをディスエーブル。	0x0	R/W
0	LINEARITY_BOOST_B_OFF	直線性向上バッファBディスエーブル制御。このビットをセットすると、直線性向上バッファBがディスエーブルされます。 LINEARITY_BOOST_A_OFFと共に使用します。 0：直線性向上バッファBをイネーブル。 1：直線性向上バッファBをディスエーブル。	0x0	R/W

変換ソース選択およびモード制御レジスタ

レジスタ：0x18、リセット：0x00、レジスタ名：CONVERSION

表35.CONVERSIONのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DIAG_MUX_SELECT	診断マルチプレクサを介して送る信号を選択します。低消費電力モードでのみ診断チェックを行います。0000：温度センサー。 1000：ADC入力短絡（ゼロ・チェック）。 1001：正のフルスケール。 1010：負のフルスケール。	0x0	R/W
3	CONV_DIAG_SELECT	通常または診断マルチプレクサとして変換するためのADCの入力を選択します。 0：通常のシグナル・チェーンを介して信号を変換。 1：ADC変換（およびターン・オン）診断サブブロック。	0x0	R/W
[2:0]	CONV_MODE	ADCの変換モードを設定します。 000：連続変換モード。変調器は連続的に変換を行います。あらゆるフィルタ変換用の連続DRDYパルス。 001：連続ワンショット・モード。ワンショットは、 $\overline{\text{SYNC_IN}}$ 時間を使用して変換を開始する方法です。これは、ワンショット・モード使用時の変換開始信号と同じです。ADC変調器は、連続して動作しながら $\overline{\text{SYNC_IN}}$ の立上がりエッジを待ちます。 $\overline{\text{SYNC_IN}}$ ピンにパルスが送られると（ローからハイへの遷移）新しい変換が開始され、選択したフィルタのセトリング時間にわたり変換と積分が行われます。変換が完了するとDRDYがトグルして、SPI経由のリードバックに使用できることを示します。	0x0	R

レジスタの詳細

表35.CONVERSIONのビットの説明

ビット	ビット名	説明	リセット	アクセス
		010 : シングル変換スタンバイ・モード。シングル変換スタンバイ・モードでは、ADCは選択したフィルタを使って変換を1回行い、フィルタのフル・セトリング時間にわたリサンプリングと積分を行った後、シングル変換結果を提供します。 変換が完了すると、ADCはスタンバイ状態になります。スタンバイ状態からもう一度シングル変換を行うということは、ADCが変換を開始してシングル変換を行う前に、スタンバイを終了して起動するための時間があることを意味します。このモードは低消費電力モードで使用する場合に推奨します。 011 : デューティ・サイクル変換スタンバイ・モード。低消費電力の周期的変換は、時限ループ内でのシングル変換実行を設定する方法です。独立したレジスタを使ってスタンバイと変換の時間比率を設定します。ADCは一定の間隔で自動的にスタンバイ状態を終了し、シングル変換を行って再びスタンバイに戻ります。ユーザがSPIを介してシングル変換を開始する必要はありません。 100 : スタンバイ。		

デジタル・フィルタおよびデシメーション制御レジスタ

レジスタ : 0x19、リセット : 0x00、レジスタ名 : DIGITAL_FILTER

表36.DIGITAL_FILTERのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_60HZ_REJ	sinc3フィルタでのみ使用します。最初に、50Hzで出力するようにsinc3フィルタをプログラムします。その後EN_60HZ_REJビットを選択すれば、sinc3フィルタの1つのゼロを60Hzとすることができます。50Hz ODR用sinc3フィルタのプログラミングと組み合わせてこのビットがセットされた場合、このビットは50Hzと60Hz両方の除去だけを有効にします。 0 : 単一周波数（50Hzまたは60Hz）除去に合わせてsinc3フィルタを最適化します。 1 : 50Hzと60Hzの両方を除去できるようにフィルタ動作を変更します。	0x0	R/W
[6:4]	FILTER	使用するフィルタのスタイルを選択します。 000 : sinc5フィルタ。デシメーション・レートは32~1024。DEC_RATEビットを使用して、32から1024まで6種類あるデシメーション・レートから1つを選択します。 001 : sinc5フィルタ。デシメーション・レートは8のみ。1MHzの最大データ・レートを可能にします。このパスはより広い帯域幅を表示できますが、量子化ノイズによる制限があるため出力データが16ビットに減少します。 010 : sinc5フィルタ。デシメーション・レートは16のみ。512kHzの最大データ・レートを可能にします。このパスはより広い帯域幅を表示できます。 011 : sinc3フィルタ。プログラマブルなデシメーション・レート。デシメーション・レートは、sinc3デシメーション・レート（MSB）レジスタとsinc3デシメーション・レート（LSB）レジスタのSINC3_DECビットで選択します。sinc3フィルタは、50Hzまたは60Hzを除去するよう調整できます。16.384MHzのMCLKと共に使用する場合は、EN_60HZ_REJビットをセットすることで50Hzと60Hzの両方を除去することができます。 100 : 広帯域低リップルFIRフィルタ。広帯域低リップルのパスバンドと急峻な遷移帯域を持つFIRフィルタ。DEC_RATEビットを使用して、32から1024まで6種類あるデシメーション・レートから1つを選択します。	0x0	R/W
3	RESERVED	予備。	0x0	R
[2:0]	DEC_RATE	sinc5フィルタと広帯域低リップルFIRフィルタのデシメーション・レートを選択します。 000 : デシメーション・レート : 32 001 : デシメーション・レート : 64 010 : デシメーション・レート : 128 011 : デシメーション・レート : 256 100 : デシメーション・レート : 512 101 : デシメーション・レート : 1024 110 : デシメーション・レート : 1024 111 : デシメーション・レート : 1024	0x0	R/W

レジスタの詳細

sinc3デシメーション・レート（MSB）レジスタ

レジスタ：0x1A、リセット：0x00、レジスタ名：SINC3_DEC_RATE_MSB

表37.SINC3_DEC_RATE_MSBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備	0x0	R
[4:0]	SINC3_DEC[12:8]	sinc3フィルタに使用するデシメーション・レートを決定します。入力値に1を加算して32を乗じることにより、実際のデシメーション・レートが決定されます。	0x0	R/W

sinc3デシメーション・レート（LSB）レジスタ

レジスタ：0x1B、リセット：0x00、レジスタ名：SINC3_DEC_RATE_LSB

表38.SINC3_DEC_RATE_LSBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SINC3_DEC[7:0]	sinc3フィルタに使用するデシメーション・レートを決定します。入力値に1を加算して32を乗じることにより、実際のデシメーション・レートが決定されます。	0x0	R/W

周期的変換レート制御レジスタ

レジスタ：0x1C、リセット：0x00、レジスタ名：DUTY_CYCLE_RATIO

表39.DUTY_CYCLE_RATIOのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	IDLE_TIME	スタンバイ時における周期的変換のアイドル時間を設定します。このレジスタ内の1は、選択したフィルタからの1出力の時間に相当します。このレジスタ内の値は1加算されて2倍されます。	0x0	R/W

同期モードおよびリセット・トリガリング・レジスタ

レジスタ：0x1D、リセット：0x80、レジスタ名：SYNC_RESET

表40.SYNC_RESETのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SPI_START	START信号をトリガします。SPI上でSYNC_OUTパルスを開始します。このビットをローに設定すると、SYNC_OUTにロー・パルスを生産できます。これは、同じデバイスと、同期サンプリングを必要とする他のADAQ7768-1デバイスへのSYNC_IN信号として使用できます。このビットは使用後自動的にクリアされます。	0x1	R
6	SYNC_OUT_POS_EDGE	SYNC_OUT駆動エッジの選択。このビットをセットすると、MCLKの立上がりエッジでSYNC_OUTがローになります。デバイスのデフォルトでは、MCLKの立下がりエッジでSYNC_OUTがローになります。	0x0	R/W
[5:4]	RESERVED	予備。	0x0	R
3	EN_GPIO_START	GPIO入力のSTART機能を有効にします。GPIOピンのどれか1つをSTART入力ピンとして使用できます。有効にすると、START入力のロー・パルスによってSYNC_OUTにロー・パルスを生産できます。これは、同じデバイスと、同期サンプリングを必要とする他のADAQ7768-1デバイスへのSYNC_IN信号として使用できます。有効にすると、GPIO3がSTART入力になります。START機能を有効にすると、GPIOxピンを汎用入出力の読み出しと書き込みには使用することはできなくなります。残りのGPIOは出力に設定されます。 0：無効 1：有効	0x0	R/W
2	RESERVED	予備。	0x0	R
[1:0]	SPI_RESET	SPIを介したデバイスのリセットを有効にします。リセットを開始するには、これらのビットに書き込みを2回行う必要があります。最初にこれらのビットを11に設定し、その後10に設定してください。これら2つのビットでこのシーケンスが検出されると、リセットが行われます。このレジスタの他のビットがセットされるかクリアされるかには依存しません。	0x0	R/W

レジスタの詳細

GPIOポート制御レジスタ

レジスタ : 0x1E、リセット : 0x00、レジスタ名 : GPIO_CONTROL

表41.GPIO_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	UGPIO_EN	GPIOピンをすべてイネーブルします。このビットをハイに設定すると、GPIOの設定が変更できます。	0x0	R/W
6	GPIO2_OPEN_DRAIN_EN	GPIO2出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
5	GPIO1_OPEN_DRAIN_EN	GPIO1出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
4	GPIO0_OPEN_DRAIN_EN	GPIO0出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
3	GPIO3_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
2	GPIO2_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
1	GPIO1_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W
0	GPIO0_OP_EN	GPIOピンの出力をイネーブル。0 = 入力、1 = 出力。	0x0	R/W

GPIO出力制御レジスタ

レジスタ : 0x1F、リセット : 0x00、レジスタ名 : GPIO_WRITE

表42.GPIO_WRITEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	GPIO_WRITE_3	このビットに書き込むと、GPIO[3]がハイにセットされます。	0x0	R/W
2	GPIO_WRITE_2	このビットに書き込むと、GPIO[2]がハイにセットされます。	0x0	R/W
1	GPIO_WRITE_1	このビットに書き込むと、GPIO[1]がハイにセットされます。	0x0	R/W
0	GPIO_WRITE_0	このビットに書き込むと、GPIO[0]がハイにセットされます。	0x0	R/W

GPIO入力読出しレジスタ

レジスタ : 0x20、リセット : 0x00、レジスタ名 : GPIO_READ

表43.GPIO_READのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	GPIO_READ_3	GPIO[3]から値を読み出します。	0x0	R
2	GPIO_READ_2	GPIO[2]から値を読み出します。	0x0	R
1	GPIO_READ_1	GPIO[1]から値を読み出します。	0x0	R
0	GPIO_READ_0	GPIO[0]から値を読み出します。	0x0	R

オフセット・キャリブレーションMSBレジスタ

レジスタ : 0x21、リセット : 0x00、レジスタ名 : OFFSET_HI

表44.OFFSET_HIのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[23:16]	ユーザ・オフセット・キャリブレーション係数。オフセット補正レジスタは、チャンネル・オフセット調整用の24ビット符号付き2の補数レジスタです。チャンネルのゲイン設定が理想的な公称値0x555555の場合、オフセット・レジスタを1LSB調整すると、デジタル出力は-4/3LSBだけ変化します。例えば、オフセット・レジスタを0から100に変えると、デジタル出力が-133LSB変化します。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって、上記の比率はゲイン・キャリブレーション・レジスタを介したゲイン調整に比例して変化します。	0x0	R/W

レジスタの詳細

オフセット・キャリブレーションMIDレジスタ

レジスタ : 0x22、リセット : 0x00、レジスタ名 : OFFSET_MID

表45.OFFSET_MIDのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[15:8]	ユーザ・オフセット・キャリブレーション係数。オフセット補正レジスタは、チャンネル・オフセット調整用の24ビット符号付き2の補数レジスタです。チャンネルのゲイン設定が理想的な公称値0x555555の場合、オフセット・レジスタを1LSB調整すると、デジタル出力は-4/3LSBだけ変化します。例えば、オフセット・レジスタを0から100に変えると、デジタル出力が-133LSB変化します。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって、上記の比率はゲイン・キャリブレーション・レジスタを介したゲイン調整に比例して変化します。	0x0	R/W

オフセット・キャリブレーションLSBレジスタ

レジスタ : 0x23、リセット : 0x00、レジスタ名 : OFFSET_LO

表46.OFFSET_LOのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[7:0]	ユーザ・オフセット・キャリブレーション係数。オフセット補正レジスタは、チャンネル・オフセット調整用の24ビット符号付き2の補数レジスタです。チャンネルのゲイン設定が理想的な公称値0x555555の場合、オフセット・レジスタを1LSB調整すると、デジタル出力は-4/3LSBだけ変化します。例えば、オフセット・レジスタを0から100に変えると、デジタル出力が-133LSB変化します。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって、上記の比率はゲイン・キャリブレーション・レジスタを介したゲイン調整に比例して変化します。	0x0	R/W

ゲイン・キャリブレーションMSBレジスタ

レジスタ : 0x24、リセット : 0x00、レジスタ名 : GAIN_HI

表47.GAIN_HIのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[23:16]	ユーザ・ゲイン・キャリブレーション係数。ADCには、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場でのプログラミング時にADCに保存され、公称値は0x555555付近です。ユーザは出荷設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

ゲイン・キャリブレーションMIDレジスタ

レジスタ : 0x25、リセット : 0x00、レジスタ名 : GAIN_MID

表48.GAIN_MIDのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[15:8]	ユーザ・ゲイン・キャリブレーション係数。ADCには、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場でのプログラミング時にADCに保存され、公称値は0x555555付近です。ユーザは出荷設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

レジスタの詳細

ゲイン・キャリブレーションLSBレジスタ

レジスタ：0x26、リセット：0x00、レジスタ名：GAIN_LO

表49.GAIN_LOのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[7:0]	ユーザ・ゲイン・キャリブレーション係数。ADCには、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場でのプログラミング時にADCに保存され、公称値は0x555555付近です。ユーザは出荷設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

SPI診断制御レジスタ

レジスタ：0x28、リセット：0x10、レジスタ名：SPI_DIAG_ENABLE

表50.SPI_DIAG_ENABLEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	EN_ERR_SPI_IGNORE	SPI無視エラーをイネーブル	0x1	R/W
3	EN_ERR_SPI_CLK_CNT	SPIクロック・カウント・エラーをイネーブル。SPIクロック・カウント・エラーはCSを使用するSPIトランザクションに対してのみ有効です。	0x0	R/W
2	EN_ERR_SPI_RD	SPI読み出しエラーをイネーブル	0x0	R/W
1	EN_ERR_SPI_WR	SPI書き込みエラーをイネーブル	0x0	R/W
0	RESERVED	予備。	0x0	R

ADC診断機能制御レジスタ

レジスタ：0x29、リセット：0x07、レジスタ名：ADC_DIAG_ENABLE

表51.ADC_DIAG_ENABLEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	EN_ERR_DLDO_PSM	DLDOのPSMエラーをイネーブル	0x0	R/W
4	EN_ERR_ALDO_PSM	ALDOのPSMエラーをイネーブル	0x0	R/W
3	EN_ERR_REF_DET	REFのDETエラーをイネーブル	0x0	R/W
2	EN_ERR_FILTER_SATURATED	フィルタの飽和エラーをイネーブル	0x1	R/W
1	EN_ERR_FILTER_NOT_SETTLED	フィルタ未セトリング・エラーをイネーブル	0x1	R/W
0	EN_ERR_EXT_CLK_QUAL	外部クロックの品質評価チェックをイネーブル。	0x1	R/W

デジタル診断機能制御レジスタ

レジスタ：0x2A、リセット：0x0D、レジスタ名：DIG_DIAG_ENABLE

表52.DIG_DIAG_ENABLEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	EN_ERR_MEMMAP_CRC	メモリ・マップのCRCエラーをイネーブル	0x0	R/W
3	EN_ERR_RAM_CRC	RAMのCRCエラーをイネーブル	0x1	R/W
2	EN_ERR_FUSE_CRC	ヒューズのCRCエラーをイネーブル	0x1	R/W
1	RESERVED	予備。	0x0	R/W
0	EN_FREQ_COUNT	MCLKカウンタをイネーブル。	0x1	R/W

レジスタの詳細

変換結果レジスタ

レジスタ：0x2C、リセット：0x000000、レジスタ名：ADC_DATA

表53.ADC_DATAのビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:16]	ADC_READ_DATA[23:16]	ADC読出しデータ	0x0	R
[15:8]	ADC_READ_DATA[15:8]	ADC読出しデータ	0x0	R
[7:0]	ADC_READ_DATA[7:0]	ADC読出しデータ	0x0	R

デバイス・エラー・フラグ・マスタ・レジスタ

レジスタ：0x2D、リセット：0x00、レジスタ名：MASTER_STATUS

表54.MASTER_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MASTER_ERROR	マスタ・エラー	0x0	R
6	ADC_ERROR	任意のADCエラー（OR）	0x0	R
5	DIG_ERROR	任意のデジタル・エラー（OR）	0x0	R
4	ERR_EXT_CLK_QUAL	クロック・エラーなし - マスタ・ステータス・レジスタにのみ適用	0x0	R
3	FILT_SATURATED	フィルタ飽和状態	0x0	R
2	FILT_NOT_SETTLED	フィルタの未セトリング	0x0	R
1	SPI_ERROR	任意のSPIエラー（OR）	0x0	R
0	POR_FLAG	PORフラグ	0x0	R

SPIエラー・レジスタ

レジスタ：0x2E、リセット：0x00、レジスタ名：SPI_DIAG_STATUS

表55.SPI_DIAG_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	ERR_SPI_IGNORE	SPI無視エラー	0x0	R/W1C
3	ERR_SPI_CLK_CNT	SPIクロック・カウンタ・エラー	0x0	R
2	ERR_SPI_RD	SPI読出しエラー	0x0	R/W1C
1	ERR_SPI_WR	SPI書き込みエラー	0x0	R/W1C
0	ERR_SPI_CRC	SPI CRCエラー	0x0	R/W1C

ADC診断出力レジスタ

レジスタ：0x2F、リセット：0x00、レジスタ名：ADC_DIAG_STATUS

表56.ADC_DIAG_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	ERR_DLDO_PSM	DLDO PSMエラー	0x0	R
4	ERR_ALDO_PSM	ALDO PSMエラー	0x0	R
3	ERR_REF_DET	REF DETエラー	0x0	R
2	FILT_SATURATED	フィルタ飽和状態	0x0	R
1	FILT_NOT_SETTLED	フィルタの未セトリング	0x0	R
0	ERR_EXT_CLK_QUAL	クロック・エラーなし - マスタ・ステータス・レジスタにのみ適用	0x0	R

レジスタの詳細

デジタル診断出力レジスタ

レジスタ : 0x30、リセット : 0x00、レジスタ名 : DIG_DIAG_STATUS

表57.DIG_DIAG_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	ERR_MEMMAP_CRC	メモリ・マップのCRCエラー	0x0	R
3	ERR_RAM_CRC	RAMのCRCエラー	0x0	R
2	ERR_FUSE_CRC	ヒューズのCRCエラー	0x0	R
[1:0]	RESERVED	予備。	0x0	R

MCLK診断出力レジスタ

レジスタ : 0x31、リセット : 0x00、レジスタ名 : MCLK_COUNTER

表58.MCLK_COUNTERのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MCLK_COUNTER	MCLKカウンタ。このレジスタは64MCLKごとに1ずつ加算されます。	0x0	R

係数制御レジスタ

レジスタ : 0x32、リセット : 0x00、レジスタ名 : COEFF_CONTROL

表59.COEFF_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	COEFF_ACCESS_EN	このビットを1に設定すると、係数メモリへのアクセスが可能になります。	0x0	R/W
6	COEFF_WRITE_EN	係数メモリへの書き込みを有効にします。有効にするには1を書き込んでください。	0x0	R/W
[5:0]	COEFF_ADDR	係数メモリにアクセスするためのアドレス。112個の係数を構成する2つの対称部分に含まれる各56個の係数のアドレス範囲は0～55です。	0x00	R/W

係数データ・レジスタ

レジスタ : 0x33、リセット : 0x00、レジスタ名 : COEFF_DATA

表60.COEFF_DATAのビットの説明

ビット	ビット名	説明	リセット	アクセス
23	USER_COEFF_EN	このビットを1に設定すると、同期トリグル後にROMの係数でユーザ定義係数を上書きすることができなくなります。カスタマイズ・フィルタのアップロードを含め、ADAQ7768-1のデジタル・フィルタ構成に変更を加えた場合は、その都度同期パルスが必要になります。	0x0	R/W
[22:0]	COEFF_DATA	係数メモリとの間で読書きされるデータ。これらのビットの幅は23ビットです。	0x000000	R/W

アクセス・キー・レジスタ

レジスタ : 0x34、リセット : 0x00、レジスタ名 : ACCESS_KEY

表61.ACCESS_KEYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	KEY	フィルタをアップロードする前に、ACCESS_KEYレジスタに特定のキーを書き込む必要があります。正しく書き込まれれば、キー・ビット値1をリードバックできます。	0x0	R/W

