

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 9 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 9 月 12 日

製品名： ADAQ23878

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 26 ページ、表 8、下から 2 行目、ゲイン 1.38 のテスト条件欄

【誤】

・・・ (図 74 と 図 79 を参照)

【正】

・・・ (図 74 と 図 80 を参照)



データシート ADAQ23878

18ビット、15MSPS、μModuleデータ・アキュイジション・ソリューション

特長

- ▶ 信号スケーリング機能付きの完全差動ADCドライバを内蔵
 - ▶ 広い入力コモンモード電圧範囲
 - ▶ 高い同相ノイズ除去性能
- ▶ シングルエンド／差動変換
- ▶ ピンで入力範囲を選択可能、オーバーレンジ機能付き
 - ▶ $REFBUF = 4.096V$ 時の入力範囲： $\pm 10V$ 、 $\pm 5V$ 、 $\pm 4.096V$ 、 $\pm 2.5V$ 、 $\pm 1.5V$
- ▶ ゲイン／減衰のオプション：0.37、0.73、0.87、1.38、2.25
 - ▶ 重要な受動部品
 - ▶ FDA用の0.005%の高精度整合抵抗アレイ
- ▶ 9mm × 9mm、0.8mmピッチ、100ボールCSP_BGAパッケージ
 - ▶ ディスクリット・ソリューションと比較してフットプリントを1/2.5に削減
- ▶ 低消費電力、ダイナミック・パワー・スケーリング、パワーダウン・モード
 - ▶ 15MSPSで143mW（代表値）
- ▶ スループット：15MSPS、パイプライン遅延なし
- ▶ INL誤差：代表値 $\pm 3.1ppm$ 、最大値 $\pm 6.2ppm$
 - ▶ （ゲイン= 0.73、ゲイン= 0.87、ゲイン= 1.38、ゲイン= 2.25）
- ▶ SINAD：20kHzで90.4dB（代表値）（ゲイン= 0.73）
- ▶ THD：1kHzで-117dB、100kHzで-110dB（ゲイン= 0.73）
- ▶ ゲイン誤差： $\pm 0.005\%FS$ （代表値）
- ▶ ゲイン誤差ドリフト：代表値 $\pm 0.13ppm/^{\circ}C$
- ▶ VCMO生成機能付きのリファレンス・バッファを内蔵
- ▶ シリアルLVDSインターフェース
- ▶ 広い動作温度範囲： $-40^{\circ}C \sim +85^{\circ}C$

アプリケーション

- ▶ ATE（自動試験装置）
- ▶ データ・アキュイジション
- ▶ ハードウェア・イン・ザ・ループ（HiL）

機能ブロック図

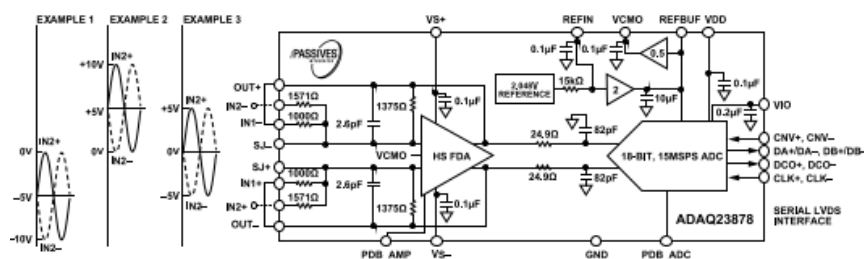


図 1. ゲイン = 0.37、 $\pm 10V$ の差動入力範囲に設定されたADAQ23878

Rev. A

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	アプリケーション情報.....	26
アプリケーション.....	1	代表的なアプリケーション図.....	26
概要.....	1	電圧リファレンス入力.....	30
機能ブロック図.....	1	コモンモード出力.....	30
仕様.....	3	電源.....	30
タイミング仕様.....	7	デジタル・インターフェース.....	32
絶対最大定格.....	9	1レーン出力モード.....	32
熱抵抗.....	9	2レーン出力モード.....	32
静電放電（ESD）定格.....	9	出力テスト・パターン.....	35
ESDに関する注意.....	9	PCBレイアウト.....	36
ピン配置およびピン機能の説明.....	10	機械的ストレスによるシフト.....	36
代表的な性能特性.....	12	外形寸法.....	37
用語の定義.....	23	オーダー・ガイド.....	37
動作原理.....	25	評価用ボード.....	37
回路説明.....	25		
伝達関数.....	25		

改訂履歴

2/2023—Rev. 0 to Rev. A

Changes to Transition Noise Parameter; Dynamic Range Parameter; Total RMS Noise, Referred to Output (RTO) Parameter; and Input Voltage Noise Parameter, Table 1.....	3
Change to Figure 82.....	30
Change to Figure 83.....	30

12/2021—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 5V±5%、VS+ = 5V±5%、VS- = -1V±5%、VS- = 0V (VINの95%)、VIO = 2.375V~2.625V、REFBUF = 4.096V、サンプリング周波数 (fs) = 15MSPS、ゲイン = 0.37、0.73、0.87、1.38、および2.25、すべての仕様はTMIN~TMAXで規定。すべてのゲイン値において差動入力範囲VINを95%以内に制限することで、VS- = 0VでADCドライバに十分なフットルームを確保し、仕様規定された性能を達成できます。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位 ¹
RESOLUTION		18			Bits
ANALOG INPUT IMPEDANCE, ZIN	IN1+, IN1-, IN2+, IN2-, SJ+, SJ-はシングルエンド/差動変換構成 ゲイン = 0.37 (帰還抵抗 (RF) = 1375Ω 1000Ω)、VIN = 20V p-p ゲイン = 0.73 (RF = 1571Ω 1375Ω)、VIN = 10V p-p ゲイン = 0.87、VIN = 8.1912V p-p ゲイン = 1.38、VIN = 5V p-p ゲイン = 2.25 (RF = 1571Ω 1000Ω)、VIN = 3V p-p 完全差動構成 ゲイン = 0.37 (RF = 1375Ω 1000Ω)、VIN = 20V p-p ゲイン = 0.73 (RF = 1571Ω 1375Ω)、VIN = 10V p-p ゲイン = 0.87、VIN = 8.1912V p-p ゲイン = 1.38、VIN = 5V p-p ゲイン = 2.25 (RF = 1571Ω 1000Ω)、VIN = 3V p-p		1816 1268 2050 1407 935		Ω Ω Ω Ω Ω
Input Capacitance	IN1+, IN1-		3.3		pF
Differential Input Voltage Range, VIN ³	ゲイン = 0.37、VIN = 22.141V p-p ゲイン = 0.73、VIN = 11.222V p-p ゲイン = 0.87、VIN = 9.416V p-p ゲイン = 1.38、VIN = 5.936V p-p ゲイン = 2.25、VIN = 3.64V p-p	-11 -5.6 -4.7 -2.9 -1.8		+11 +5.6 +4.7 +2.9 +1.8	V V V V V
THROUGHPUT					
Complete Cycle		66.6			ns
Conversion Time		54	58	63	ns
Acquisition Phase ⁴			Time between conversions (tcvc) - 39		ns
Throughput Rate ⁵		0.02		15	MSPS
Transient Response ⁶	フルスケール・ステップ		52		ns
DC ACCURACY	シングルエンドおよび差動構成				
No Missing Codes		18			Bits
Integral Nonlinearity (INL) Error	ゲイン = 0.37、シングルエンド ゲイン = 0.37、差動 ゲイン = 0.73、ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25	-7.5 -23.4 -2.5 -7.8 -2.0 -6.2	-7, +1.5 -21.8, +4.6 ±1.5 ±4.6 ±1.0 ±3.1	+2.5 +7.8 +2.5 +7.8 +2.0 +6.2	LSB ppm LSB ppm LSB ppm
Differential Nonlinearity (DNL) Error	すべてのゲイン	-0.9	±0.5	+0.9	LSB
Transition Noise	ゲイン = 0.37、ゲイン = 0.73 ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25		2.46 2.77		LSBRMS LSBRMS
Gain Error	すべてのゲイン	-0.025	±0.005	+0.025	%FS

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位 ¹
Gain Error Drift		-0.36	±0.13	+0.36	ppm/°C
Offset Error		-2.1		+2.1	mV
Offset Error Drift		-12	±2.2	+12	ppm/°C
Common-Mode Rejection Ratio (CMRR), Input Referred	$\Delta V_{ICM}/\Delta V_{OSDIFF}$				
	すべてのゲイン		100		dB
Power Supply Rejection Ratio (PSRR)					
Positive	VDD = 4.75V~5.25V すべてのゲイン		107		dB
Negative	VS+ = +5V、VS- = -0.75V~-1.25V すべてのゲイン		105		dB
1/f Noise ⁷	帯域幅 = 0.1Hz~10Hz		9		μV p-p
Input Current Noise	f = 100kHz		1		pA/√Hz
AC ACCURACY ⁸	シングルエンドおよび差動構成				
Dynamic Range	入力周波数 (f _{IN}) = 1kHz、-60dB入力 ゲイン = 0.37、ゲイン = 0.73	89.5	91.5		dB
	ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25		90.5		dB
Total RMS Noise, Referred to Output (RTO)	ゲイン = 0.37、ゲイン = 0.73		77		μV _{RMS}
	ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25		86.47		μV _{RMS}
Input Voltage Noise	ゲイン = 0.37、ゲイン = 0.73		9.49		nV/√Hz
	ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25		10.64		nV/√Hz
Signal-to-Noise Ratio (SNR)	f _{IN} = 1kHz、-1dBFS	85.5			dB
	ゲイン = 0.37、ゲイン = 0.73		91		dB
	ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25		90		dB
	f _{IN} = 100kHz				
	ゲイン = 0.37、ゲイン = 0.73		90.5		dB
	ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25		89.5		dB
	f _{IN} = 1MHz				
	ゲイン = 0.73		83.2		dB
	ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25		80		dB
Signal-to-Noise-and-Distortion (SINAD)	f _{IN} = 1kHz	85.4			dB
	ゲイン = 0.37、ゲイン = 0.87		90.4		dB
	ゲイン = 1.38、ゲイン = 2.25		88.7		dB
	f _{IN} = 100kHz				
	ゲイン = 0.37、ゲイン = 0.73		89.3		dB
	ゲイン = 0.87、ゲイン = 1.38		88.4		dB
	ゲイン = 2.25		87.7		dB
	f _{IN} = 1MHz				
	ゲイン = 0.73		67.7		dB
	ゲイン = 0.87		65.6		dB
	ゲイン = 1.38		63.8		dB
	ゲイン = 2.25		61.7		dB
Total Harmonic Distortion (THD)	f _{IN} = 1kHz				
	ゲイン = 0.37		-109.9		dB
	ゲイン = 0.73、ゲイン = 87、ゲイン = 1.38		-117		dB
	ゲイン = 2.25		-114.3		dB
	f _{IN} = 100kHz				
	ゲイン = 0.37		-107.8		dB
	ゲイン = 0.73、ゲイン = 2.25		-110		dB
	ゲイン = 0.87、ゲイン = 1.38		-111.4		dB

仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位 ¹
Spurious-Free Dynamic Range (SFDR)	$f_{IN} = 1\text{MHz}$				
	ゲイン = 0.73		-67.9		dB
	ゲイン = 0.87		-65.8		dB
	ゲイン = 1.38		-63.9		dB
	ゲイン = 2.25		-61.8		dB
	$f_{IN} = 1\text{kHz}$				dB
	ゲイン = 0.37、ゲイン = 0.87		110.1		dB
	ゲイン = 0.73、ゲイン = 1.38、ゲイン = 2.25		117.5		dB
	$f_{IN} = 100\text{kHz}$				dB
	ゲイン = 0.37、ゲイン = 0.87		104.1		dB
	ゲイン = 0.73、ゲイン = 1.38、ゲイン = 2.25		105.8		dB
	$f_{IN} = 1\text{MHz}$				dB
	ゲイン = 0.73		68.7		dB
	ゲイン = 0.87		66.5		dB
	ゲイン = 1.38		64.6		dB
	ゲイン = 2.25		62.5		dB
-3 dB Input Bandwidth, RC Filter	出力電圧 (V_{OUT}) 差動 ($V_{OUTDIFF}$) = 2V p-p		42		MHz
Aperture Delay ⁹			0		ns
Aperture Jitter ¹⁰			0.25		psRMS
REFERENCE					
REFIN, Internal Reference Output Voltage	出力電流 (I_{OUT}) = 0 μ A	2.028	2.048	2.068	V
Temperature Coefficient			± 5	± 20	ppm/ $^{\circ}\text{C}$
Output Impedance			15		k Ω
Line Regulation	$V_{DD} = 4.75\text{V} \sim 5.25\text{V}$		0.3		mV/V
Input Voltage Range	REFINをオーバードライブ	2.028	2.048	2.068	V
Reference Buffer Output Voltage, REFBUF	REFIN = 2.048V	4.056	4.096	4.136	V
Input Voltage Range	REFBUFをオーバードライブ ¹⁰	4.056	4.096	4.136	V
Load Current	REFBUF = 4.096V (REFBUFをオーバードライブ)		1.75	1.95	mA
	REFBUF = 4.096V (REFBUFをオーバードライブ)		0.5		mA
VCMO ¹¹					
Common-Mode Output Voltage	REFBUF = 4.096V、 $I_{OUT} = 0\mu\text{A}$	2.028	2.048	2.028	V
Output Impedance	-1mA < I_{OUT} < +1mA		15		Ω
DIGITAL INPUTS					
Logic Levels					
Input Low Voltage, V_{IL}	$V_{IO} = 2.5\text{V}$			0.6	V
Input High Voltage, V_{IH}	$V_{IO} = 2.5\text{V}$	1.7			V
Digital Input Current	$V_{IN} = 0\text{V} \sim 2.5\text{V}$	-10		+10	μA
Input Pin Capacitance			3		pF
CNV+/CNV- and CLK+/CLK- (LVDS Clock Input)					
Differential Input Voltage, V_{ID}		175	350	650	mV
Common-Mode Input Voltage, V_{ICM}		0.8	1.25	1.7	V
DCO+/DCO-, DA+/DA-, DB+/DB- (LVDS Outputs)					
Differential Output Voltage, V_{OD}	100 Ω 差動負荷	247	350	454	mV
Common-Mode Output Voltage, V_{OS}	100 Ω 差動負荷	1.125	1.25	1.375	V
POWER-DOWN MODE					
ADC Driver (PDB_AMP)/ADC (PDB_ADC)					
Low	パワーダウン・モード		<1		V

仕様

表 1. (続き)

パラメータ	テスト条件／コメント	最小値	代表値	最大値	単位 ¹
High	イネーブル、通常動作時		>1.7		V
POWER REQUIREMENTS					
VDD		4.75	5	5.25	V
VS+		3	5	VS- + 10	V
VS-		VS+ - 10	0	+0.1	V
VIO		2.375	2.5	2.625	V
Total Standby Current ^{12, 13}	静的、すべてのデバイスがイネーブル		45	52	mA
	静的、すべてのデバイスがディスエーブル		0.1	0.4	μA
ADAQ23878 Current Draw					
VDD			4.6	5.5	mA
VS+/VS-			4	5.5	mA
VIO			40	42	mA
ADAQ23878 Power Dissipation	VDD = 5V、VS+ = 5V、VS- = 0V				
VDD			19	26.25	mW
VS+/VS-	ゲイン = 0.37		24	28.875	mW
VIO	1レーン・モード ¹⁴		100	110.25	mW
Total			143	165.375	mW
TEMPERATURE RANGE					
Specified Performance	T _{MIN} ~ T _{MAX}	-40		+85	°C

1 LSBは最下位ビットを意味します。入力に換算したLSBの重みは、入力電圧範囲に応じて変化します。

2 IN2±のiPassive抵抗の正確な値を求めるには、ゲイン抵抗 (R_G) = 1.571.4286とします。

3 差動入力範囲V_{IN}は、図61～図65により許容される入力コモンモード電圧範囲内に収める必要があります。V_{IN}は、使用するVS+/VS-電源レールに依存します。

4 アクイジション・フェーズとは、ADAQ23878が15MSPSのスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。

5 f_S = 15MHzの場合です。REFBUF電流 (I_{REFBUF}) はスループット・レートに対し直線的に変化します。

6 過渡応答は、ADAQ23878が±1LSB以内の精度でフルスケール入力ステップを達成するのに必要な時間です。設計上の性能は確保していますが、テストの対象外です。

7 図66の1/fノイズ・プロットを参照してください。

8 特に指定のない限り、デシベルで表記されるすべてのAC仕様はフルスケール入力レンジ (FSR) を基準とし、フルスケールより1dB低い入力信号でテストされます。

9 設計上の性能は確保していますが、テストの対象外です。

10 REFBUFをオーバードライブする場合は、REFIN = 0Vに設定して内部リファレンス・バッファをオフにします。詳細については、電圧リファレンス入力のセクションを参照してください。

11 VCMO電圧は、他の回路に使用できます。ただし、仕様規定された範囲でVCMO電圧が安定な状態を維持するように、バッファを使用して電圧を駆動してください。

12 必要に応じてすべてのデジタル入力をVIOまたはGNDに接続します。

13 アクイジション・フェーズ時。

14 2レーン・モードでは、VIOの消費電力は1レーン・モードより約10mW高くなります。

仕様

タイミング仕様

特に指定のない限り、VDD = 5V±5%、VS+ = 5V±5%、VS- = -1V±5%、VS- = 0V（VINの95%）、VIO = 2.375V～2.625V、REFBUF = 4.096V、サンプリング周波数（fs） = 15MSPS、ゲイン = 0.37、0.73、0.87、1.38、および2.25、すべての仕様はTMIN～TMAXで規定。

表 2. デジタル・インターフェースのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
Sampling Frequency	f _{SMPL}	0.02		15	MSPS
Conversion Time—CNV± Rising Edge to Data Available	t _{CONV}	54	58	63	ns
Acquisition Phase	t _{ACQ}		t _{CYC} - 39		ns
Time Between Conversions	t _{CYC}	66.6		50,000	ns
CNV± High Time	t _{CNVH}	5			ns
CNV± Low Time	t _{CNVL}	8			ns
CNV± Rising Edge to First CLK± Rising Edge from the Same Conversion	t _{FIRSTCLK}	65			ns
CNV± Rising Edge to Last CLK± Falling Edge from the Previous Conversion	t _{LASTCLK}			49	ns
CLK± to DCO± Delay	t _{CLKDCO}	0.7	1.3	2.3	ns
CLK± Low Time	t _{CLKL}	1.25			ns
CLK± High Time	t _{CLKH}	1.25			ns
CLK± to DA±/DB± Delay	t _{CLKD}	0.7	1.3	2.3	ns
DCO± to DA±/DB± Skew	t _{SKEW}	-200	0	+200	ps
Sampling Delay Time	t _{AP}		0		ns
Sampling Delay Jitter	t _{JITTER}		0.25		ps _{RMS}

タイミング図

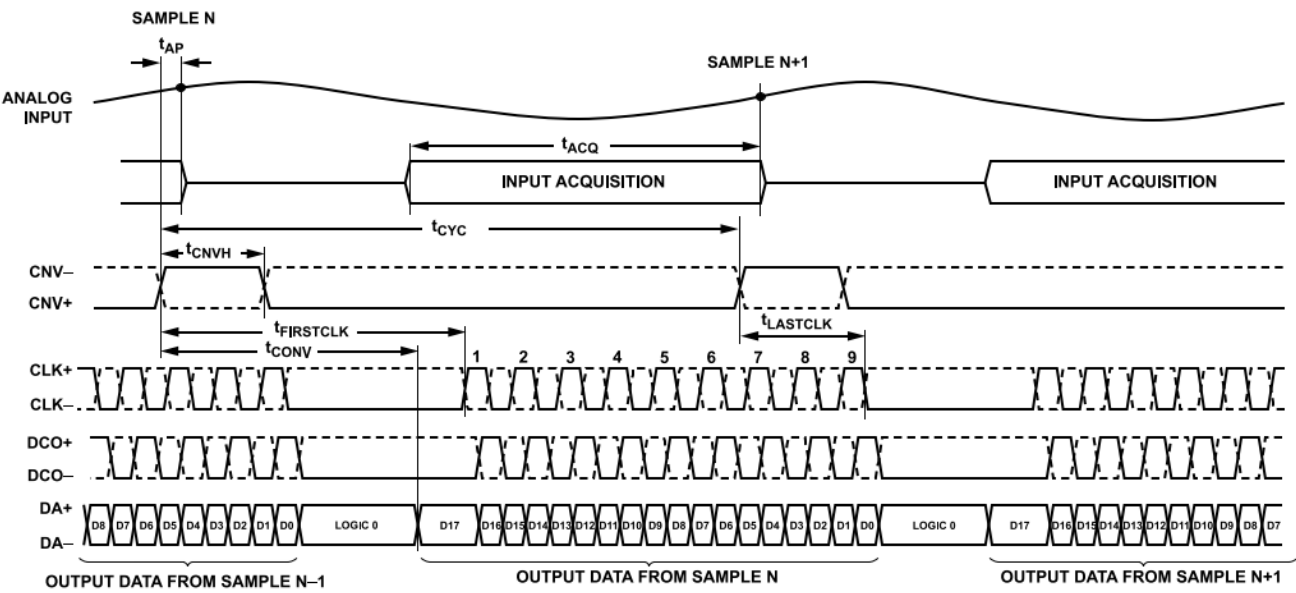


図 2. 1レーン出力モードのタイミング図

仕様

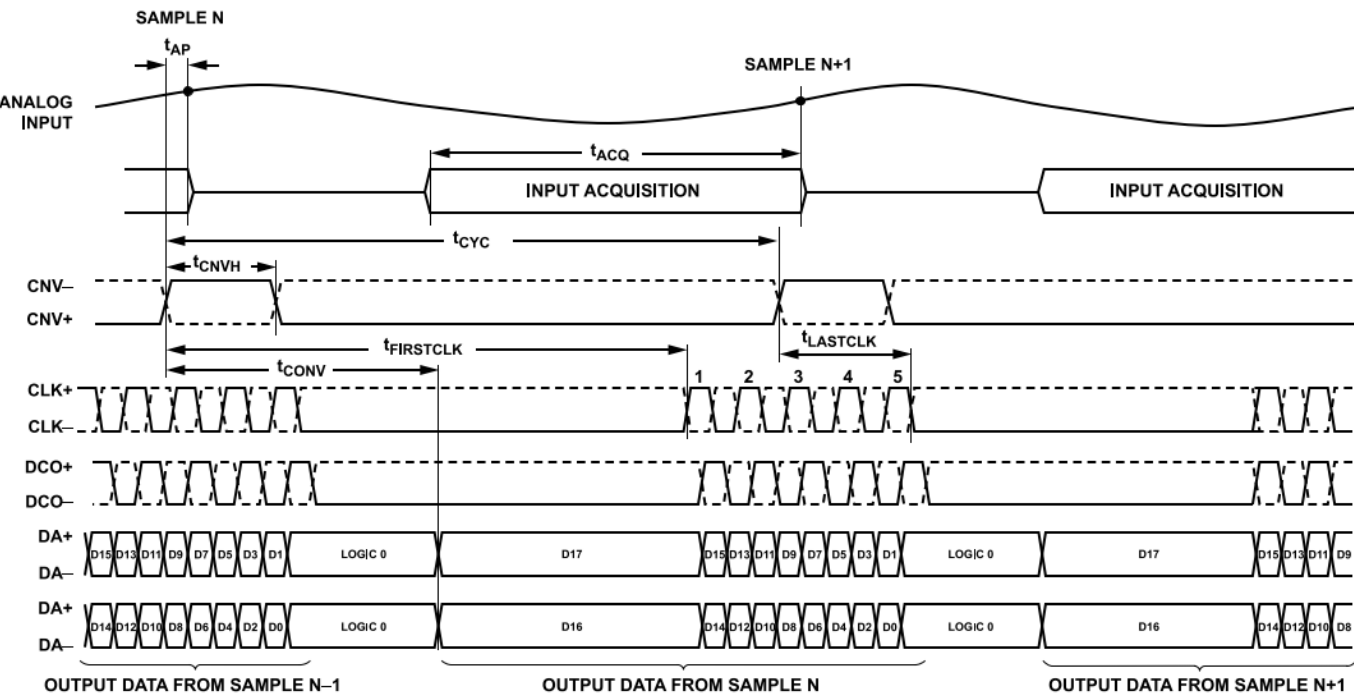


図 3. 2レーン出力モードのタイミング図

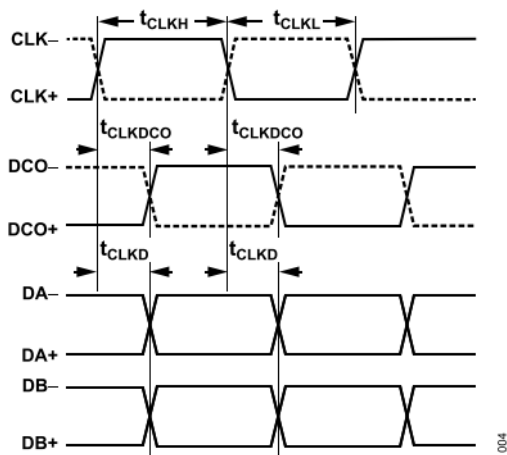


図 4. データ出力のタイミング図

絶対最大定格

表 3.

Parameter	Rating
Analog Inputs	
IN1+, IN1- to GND	-12 V to +12 V or 8 mA
IN2+, IN2- to GND	-12 V to +12 V or 12 mA
Supply Voltage	
VDD to GND	6 V
VIO to GND	2.8 V
VS+ to VS-	11 V
VS+ to GND	-0.3 V to +11 V
VS- to GND	-11 V to +0.3 V
REFBUF to GND	-0.3 V to VDD + 0.3 V
REFIN to GND	-0.3 V to +2.8 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperature Soldering	260°C reflow as per JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

表 4. 熱抵抗

Package Type ¹	θ_{JA}	Ψ_{JT}	Ψ_{JB}	θ_{JC} BOTTOM	θ_{JC} TOP	θ_{JB}	Unit
BC-100-7	48.43	4.64	27.89	9.9	35.15	33.24	°C/W

1 テスト条件1：熱抵抗のシミュレーション値は、1S0P JEDEC PCBを使用した θ_{JC} TOPを除き、ビアを備えた2S2P JEDEC PCBを使用した場合の値です。

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを、ESDから保護された環境で取り扱う場合にのみ適用されます。

人体モデル（HBM）はANSI/ESDA/JEDEC JS-001に準拠しています。

電界誘導帯電デバイス・モデル（FICDM）はANSI/ESDA/JEDEC JS-002に準拠しています。

ADAQ23878のESD定格

表 5. ADAQ23878、100ボールCSP_BGA

ESD Model	Withstand Threshold (V)
HBM	2250
FICDM	1000

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

	1	2	3	4	5	6	7	8	9	10
A	GND	IN1-	IN1+	IN2-	IN2+	SJ-	GND	VIO	GND	CNV+
B	PDB_AMP	IN1-	IN1+	IN2-	IN2+	SJ+	GND	TWOLANES	GND	CNV-
C	OUT+	VS+	OUT-	VS+	VS-	GND	GND	GND	GND	GND
D	OUT+	GND	OUT-	GND	GND	VCMO	GND	GND	GND	CLK+
E	GND	GND	GND	VS+	GND	GND	GND	GND	GND	CLK-
F	NC	NC	GND	GND	GND	GND	GND	GND	GND	GND
G	GND	GND	GND	GND	GND	GND	GND	GND	GND	DCO+
H	VS+	GND	GND	GND	GND	GND	GND	GND	GND	DCO-
J	VS-	GND	REFBUF	REFBUF	GND	GND	GND	GND	GND	DA+
K	GND	GND	REFIN	GND	PDB_ADC	VDD	TESTPAT	DB-	DB+	DA-

図 5. 100ボールCSP_BGAのピン配置、上面図

表 6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1, A7, A9, B7, B9, C6, C7, C8, C9, C10, D2, D4, D5, D7, D8, D9, E1, E2, E3, E5, E6, E7, E8, E9, F3, F4, F5, F6, F7, F8, F9, F10, G1, G2, G3, G4, G5, G6, G7, G8, G9, H2, H3, H4, H5, H6, H7, H8, H9, J2, J5, J6, J7, J8, J9, K1, K2, K4	GND	P	電源グラウンド。
A2, B2	IN1-	AI	1000Ωの抵抗に接続されたFDAの負入力。
A3, B3	IN1+	AI	1000Ωの抵抗に接続されたFDAの正入力。
A4, B4	IN2-	AI	1571Ωの抵抗に接続されたFDAの負入力。
A5, B5	IN2+	AI	1571Ωの抵抗に接続されたFDAの正入力。
A6	SJ-	AI	FDAの負入力。
B6	SJ+	AI	FDAの正入力。
A8	VIO	P	2.5Vアナログおよび出力電源。VIOの範囲は2.375V～2.625Vです。このピンは2.2μF以上（0402、X5R）のセラミック・コンデンサを使ってGNDにバイパスします。
A10	CNV+	DI	変換開始のLVDS入力。CNV+の立上がりエッジで内部サンプル&ホールドがホールド・モードになり、変換サイクルが開始されます。CNV+がGNDに接続されている場合は、CNV+を2.5VのCMOS信号で駆動することもできます。
B1	PDB_AMP	DI	アクティブ・ロー。完全差動ADCドライバをパワーダウンするには、このピンをGNDに接続します。それ以外の場合は、VS+に接続してください。
B8	TWOLANES	DI	2レーン出力モードを有効化するデジタル入力。TWOLANESがハイのとき（2レーン出力モード）、ADAQ23878は一度に2ビットをDA-/DA+とDB-/DB+に出力します。TWOLANESがローのとき（1レーン出力モード）、ADAQ23878は一度に1ビットをDA-/DA+に出力し、DB-/DB+はディスエーブルされます。ロジック・レベルはVIOによって決まります。

ピン配置およびピン機能の説明

表 6. ピン機能の説明

ピン番号	記号	タイプ	説明
B10	CNV-	DI	変換開始のLVDS入力。CNV+の立上がりエッジで内部サンプル&ホールドがホールド・モードになり、変換サイクルが開始されます。CNV-がGNDに接続されている場合は、CNV+を2.5VのCMOS信号で駆動することもできます。
C1, D1	OUT+	AO	FDAの正出力。
C2, C4, E4, H1	VS+	P	FDAとリファレンス・バッファの正側（供給）電源。μModuleのVS+電源を生成するLDOの出力は、2.2μF以上（0402、X5R）のセラミック・コンデンサを使用してGNDにバイパスする必要があります。
C3, D3	OUT-	AO	FDAの負出力。
C5, J1	VS-	P	FDAの負電源。このピンは、2.2μF以上（0402、X5R）のセラミック・コンデンサを使用してGNDからデカップリングします。
D6	VCMO	AO	FDA出力コモンモード電圧。このピンの公称値はREFBUF/2です。
D10	CLK+	DI	LVDSクロック入力。このピンには、変換結果をシリアル形式でシフト・アウトするクロックを外部から入力します。
E10	CLK-	DI	LVDSクロック入力。これは、変換結果をシリアル形式でシフト・アウトするために外部から入力するクロックです。
F1, F2	NC		接続なし。
G10	DCO+	DO	LVDSデータ・クロック出力。これはCLK+/CLK-のエコーで、データ出力をラッチするために使用できます。
H10	DCO-	DO	LVDSデータ・クロック出力。これはCLK+/CLK-のエコーで、データ出力をラッチするために使用できます。
J3, J4	REFBUF	AO	リファレンス・バッファ出力電圧。ADAQ23878には、SARアーキテクチャに必要な部品として10μFのセラミック・バイパス・コンデンサがREFBUFとGNDの間に既に配置されています。したがって、10μFのコンデンサと並列に小型コンデンサをもう1個追加すると性能が低下する可能性があるため、この追加は推奨しません。VCMOピンとLVDSピンのコモンモード電圧はREFBUFから得られます。したがって、ADAQ23878のパワー・オン後やパワーダウン・モード終了後に変換サイクルを開始するときは、REFBUFピンの電圧が安定していなければなりません。
J10	DA+	DO	シリアルLVDSデータ出力。1レーン出力モードではDB-/DB+を使用しないで、これらのLVDSドライバをディスエーブルすると消費電力を低減できます。
K3	REFIN	P	内部リファレンス出力／リファレンス・バッファ入力。内部リファレンスの出力電圧は公称2.048Vで、このピンから出力されます。高精度なリファレンスが必要な場合は、REFINに外部リファレンスを印加することができます。内部リファレンス・バッファを使用しない場合は、REFINをGNDに接続してバッファをパワーダウンし、バッファ付きの外部リファレンスをREFBUFに接続します。
K5	PDB_ADC	DI	パワーダウン・モードをイネーブルするデジタル入力。PDB_ADCをローにすると内部ADCコアがパワーダウン・モードに入り、すべての回路（LVDSインターフェースを含む）がシャットダウンします。PDB_ADCをハイにすると、デバイスは通常の動作をします。ロジック・レベルはVIOによって決まります。
K6	VDD	P	5Vアナログ電源。VDDの範囲は4.75V～5.25Vです。VDDピンは2.2μF以上（0402、X5R）のセラミック・コンデンサを使ってGNDにバイパスします。
K7	TESTPAT	DI	LVDSデータ出力を強制的にテスト・パターンにするデジタル入力。TESTPATをハイにすると、デジタル出力はテスト・パターンになります。TESTPATをローにすると、デジタル出力はADAQ23878の変換結果になります。ロジック・レベルはVIOによって決まります。
K8	DB-	DO	シリアルLVDSデータ出力。1レーン出力モードではDA-/DA+を使用しないで、これらのLVDSドライバをディスエーブルすると消費電力を低減できます。
K9	DB+	DO	シリアルLVDSデータ出力。1レーン出力モードではDA-/DA+を使用しないで、これらのLVDSドライバをディスエーブルすると消費電力を低減できます。
K10	DA-	DO	シリアルLVDSデータ出力。1レーン出力モードではDB-/DB+を使用しないで、これらのLVDSドライバをディスエーブルすると消費電力を低減できます。

1 AIはアナログ入力、AOはアナログ出力、Pは電源、DIはデジタル入力、NCは接続なし、DOはデジタル出力です。

代表的な性能特性

特に指定のない限り、 $V_{DD} = 5V \pm 5\%$ 、 $V_{S+} = 5V \pm 5\%$ 、 $V_{S-} = -1V \pm 5\%$ 、 $V_{S-} = 0V$ (V_{IN} の95%)、 $V_{IO} = 2.375V \sim 2.625V$ 、 $REF_{BUF} = 4.096V$ 、サンプリング周波数 (f_s) = 15MSPS、ゲイン = 0.37、0.73、0.87、1.38、および2.25、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

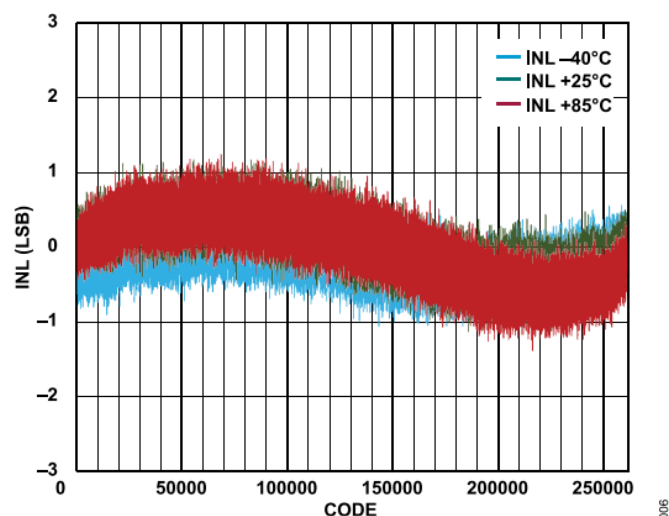


図 6. 様々な温度でのINLとコードの関係、ゲイン = 2.25、ゲイン = 1.38、ゲイン = 0.87、ゲイン = 0.73、差動、シングルエンド

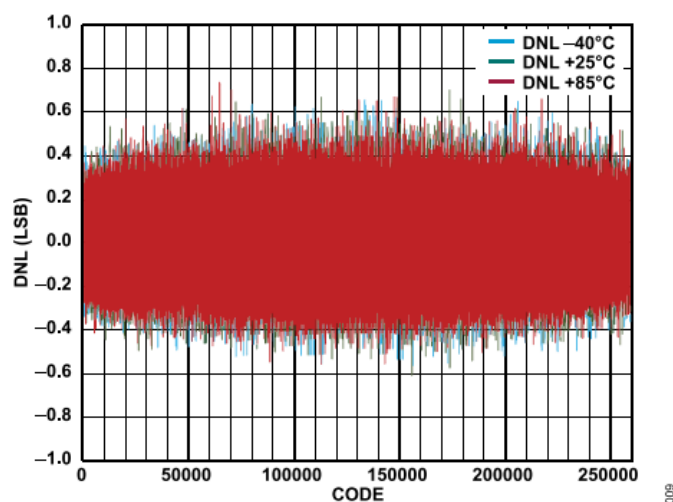


図 9. 様々な温度でのDNLとコードの関係

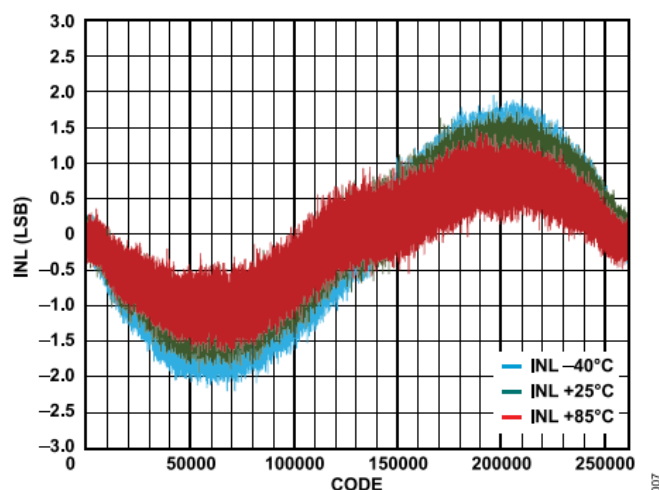


図 7. 様々な温度でのINLとコードの関係、ゲイン = 0.37、差動

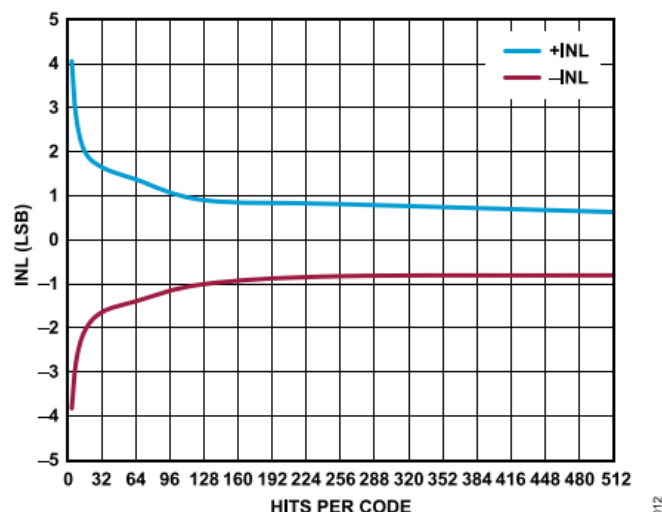


図 10. INLとコードあたりヒット数の関係、ゲイン = 2.25、差動

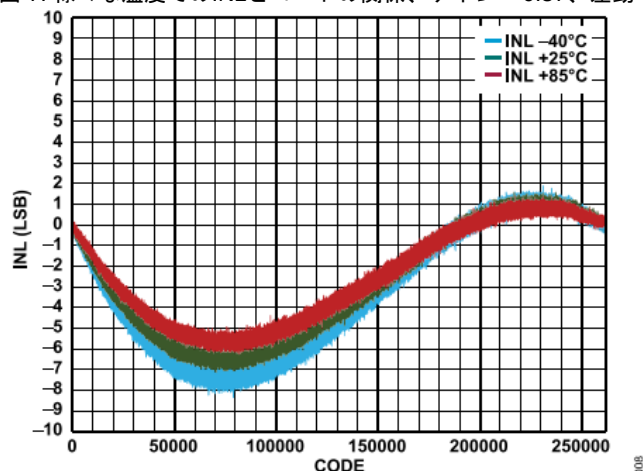


図 8. 様々な温度でのINLとコードの関係、ゲイン = 0.37、シングルエンド

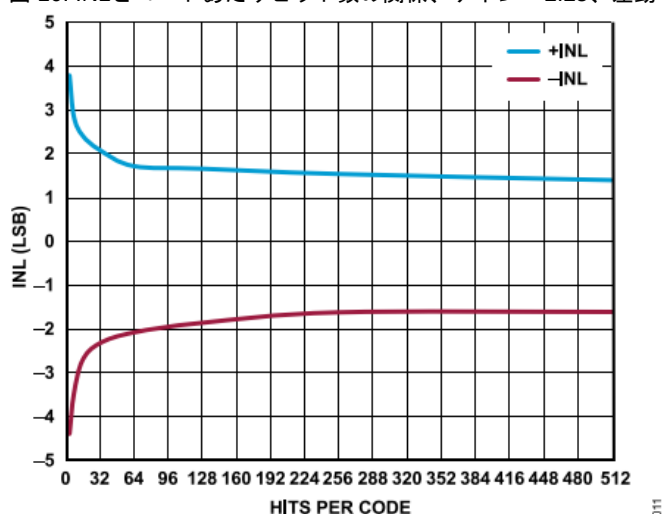


図 11. INLとコードあたりヒット数の関係、ゲイン = 0.37、差動

代表的な性能特性

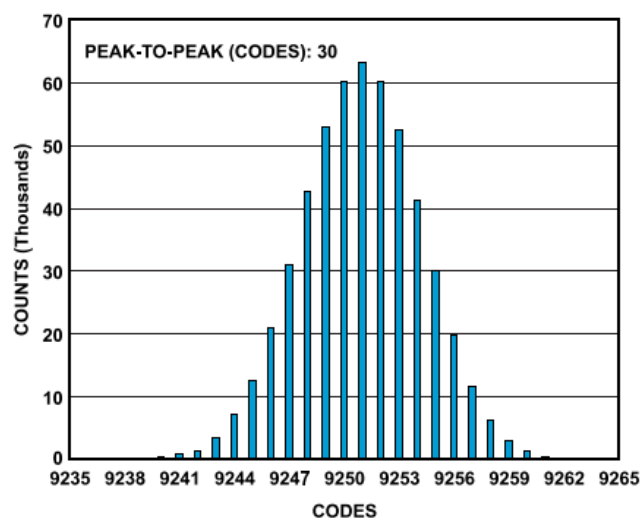


図 12. コード遷移時のDC入力のヒストグラム

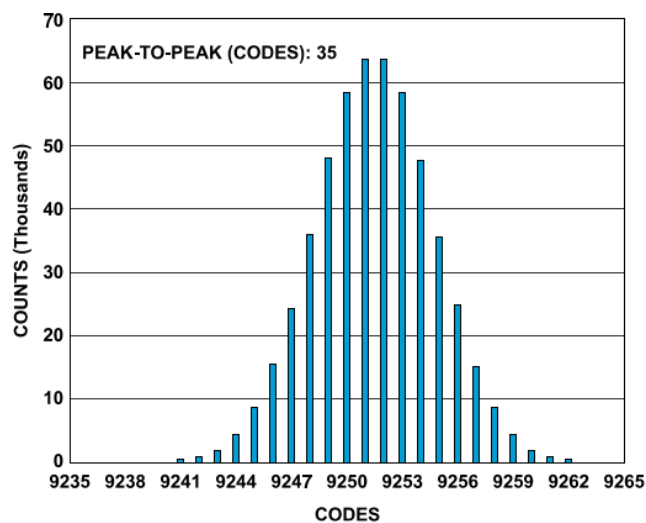


図 15. コード中心でのDC入力のヒストグラム

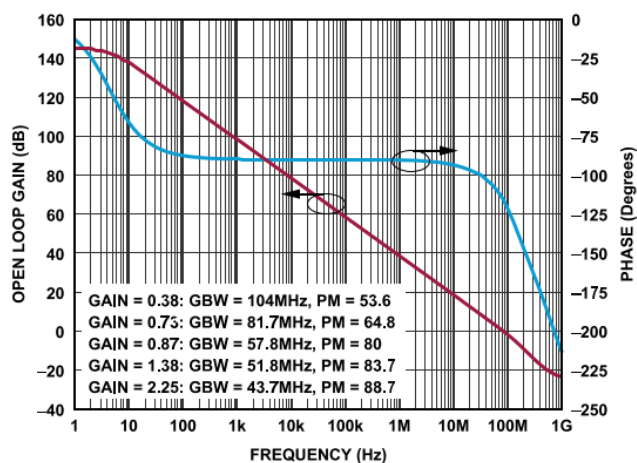


図 13. ADCドライバのオープンループ・ゲインおよび位相と周波数の関係 (GBWはゲイン帯域幅、PMは位相マージン)

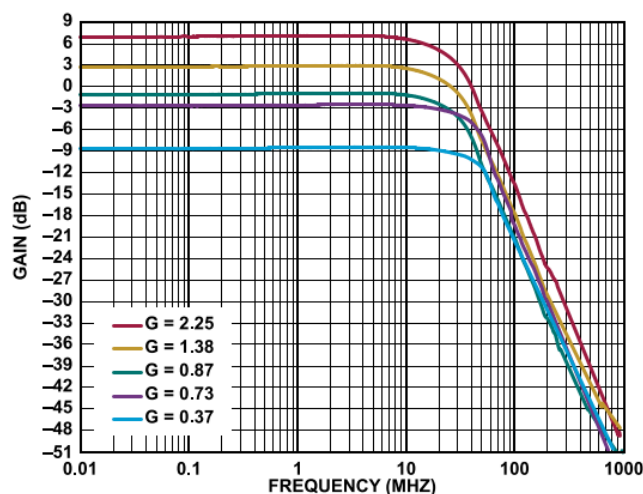


図 16. ADCドライバの周波数応答

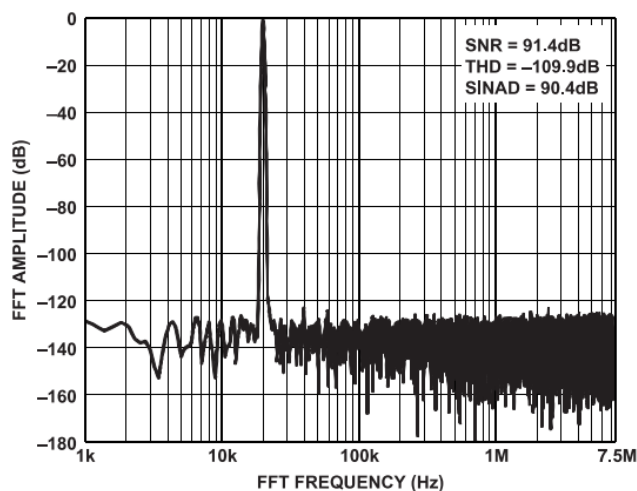


図 14. 20kHz、-1dBFS入力トーンの高速フーリエ変換 (FFT)、広帯域表示、ゲイン = 0.37、差動

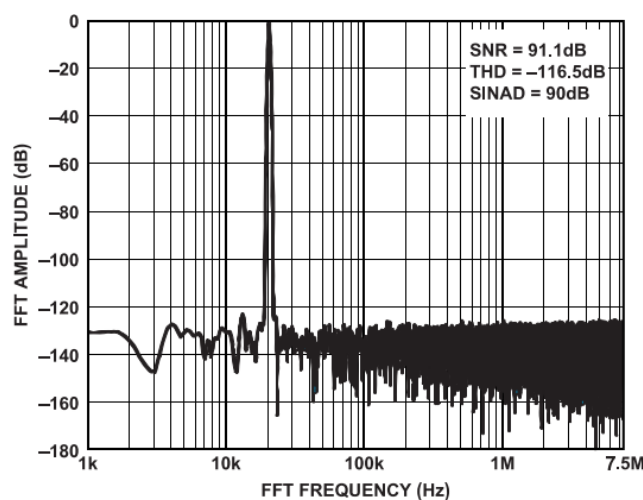


図 17. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.73、差動

代表的な性能特性

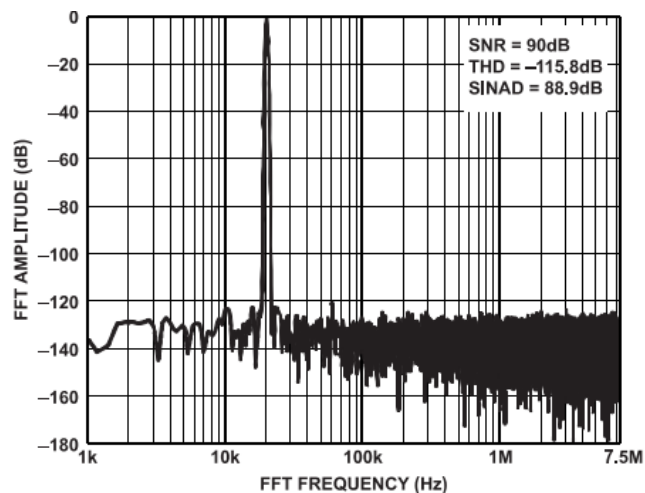


図 18. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.87、差動

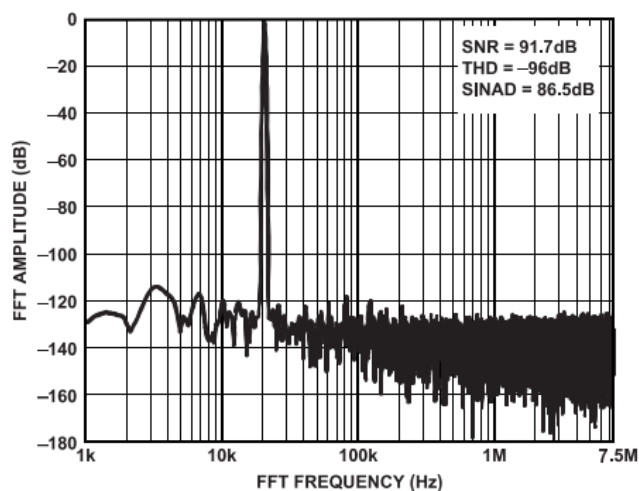


図 21. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.37、シングルエンド、VCMO = 0V

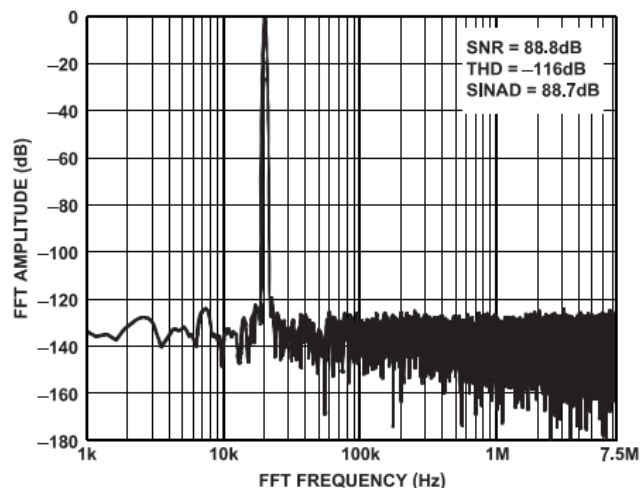


図 19. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 1.38、差動

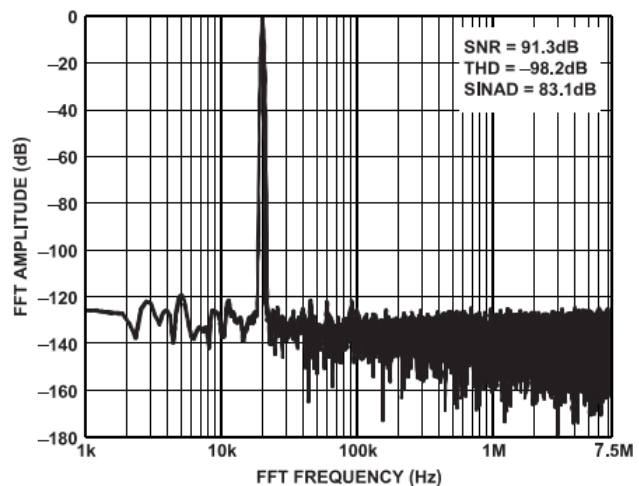


図 22. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.73、シングルエンド、VCMO = 0V

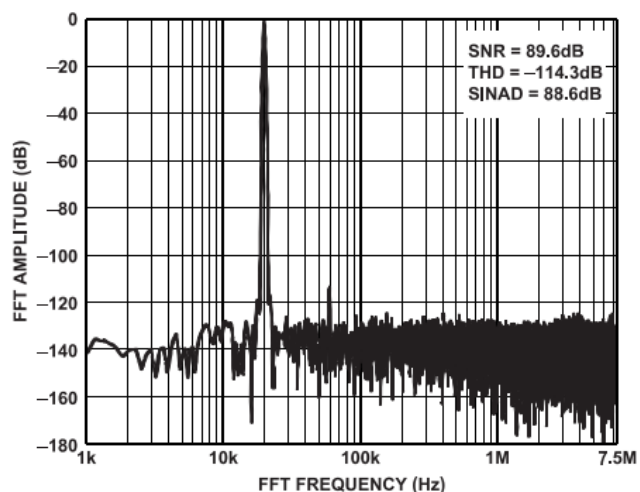


図 20. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 2.25、差動

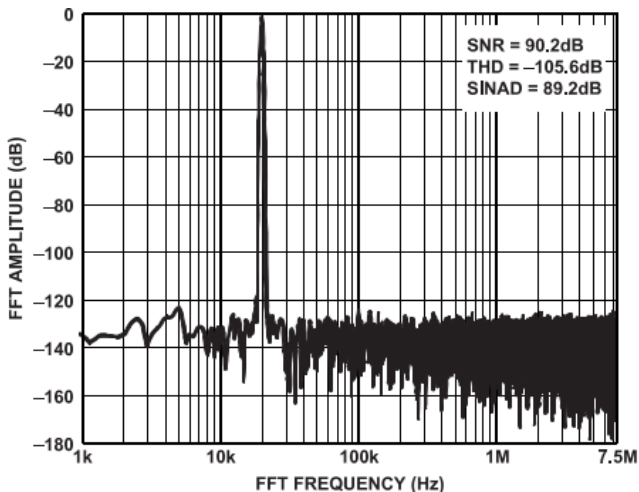


図 23. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.87、シングルエンド、VCMO = 0V

代表的な性能特性

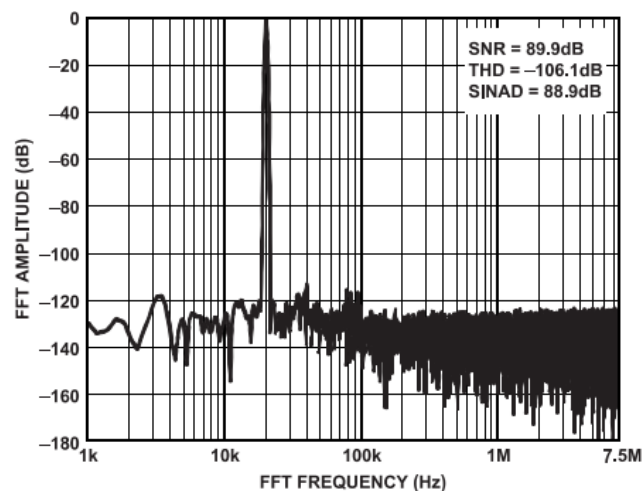


図 24. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 1.38、シングルエンド、VCMO = 0V

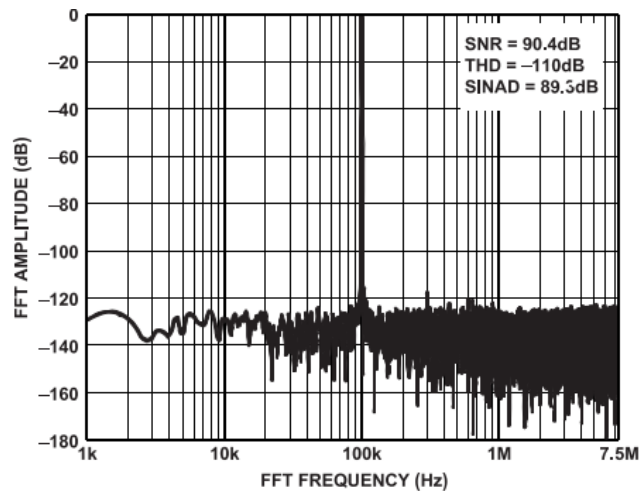


図 27. 100kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.73、差動

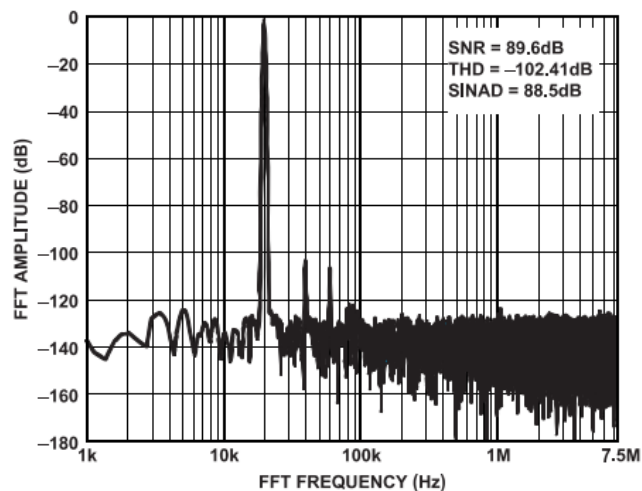


図 25. 20kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 2.25、シングルエンド、VCMO = 0V

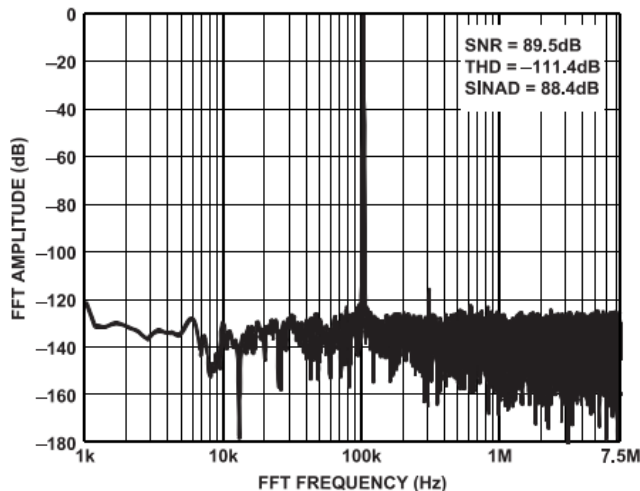


図 28. 100kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.87、差動

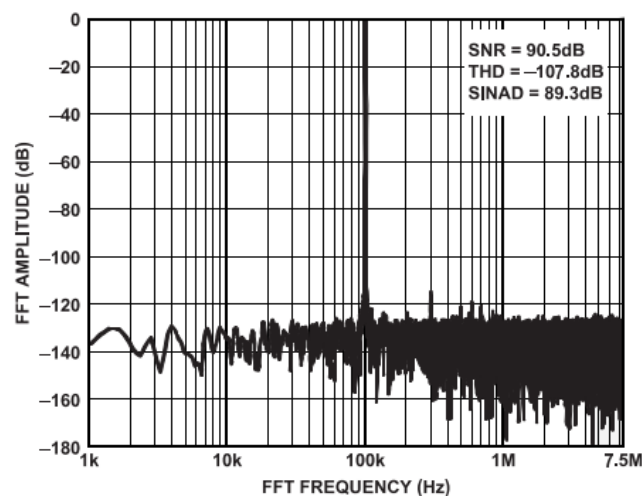


図 26. 100kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.37、差動

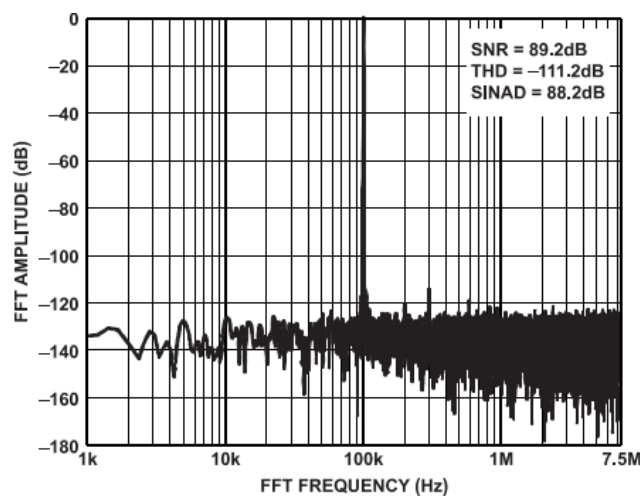


図 29. 100kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 1.38、差動

代表的な性能特性

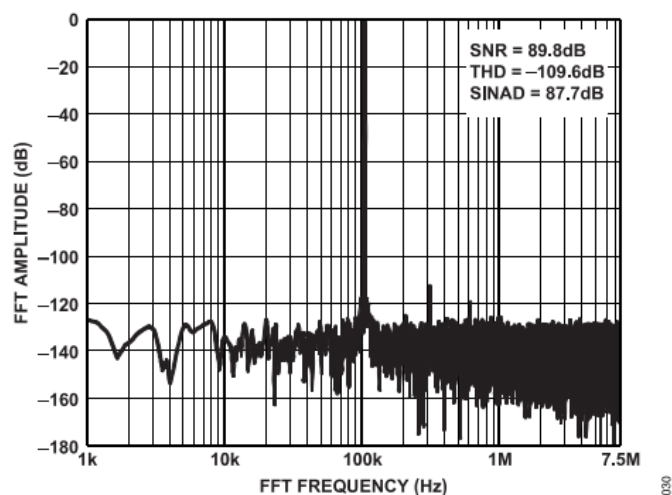


図 30. 100kHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 2.25、差動

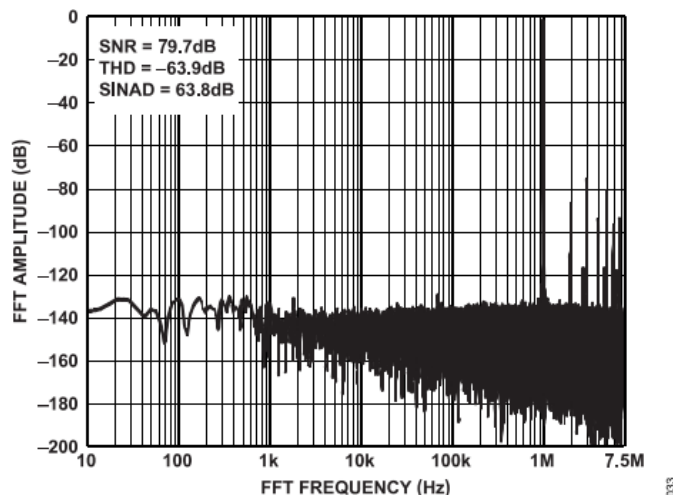


図 33. 1MHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 1.38、差動

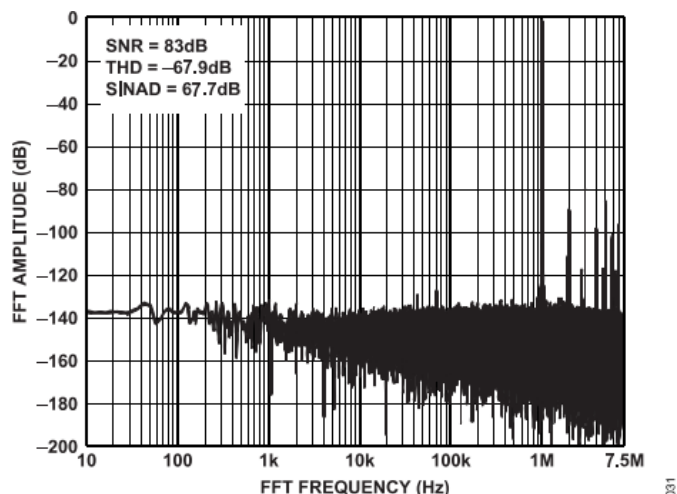


図 31. 1MHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.73、差動

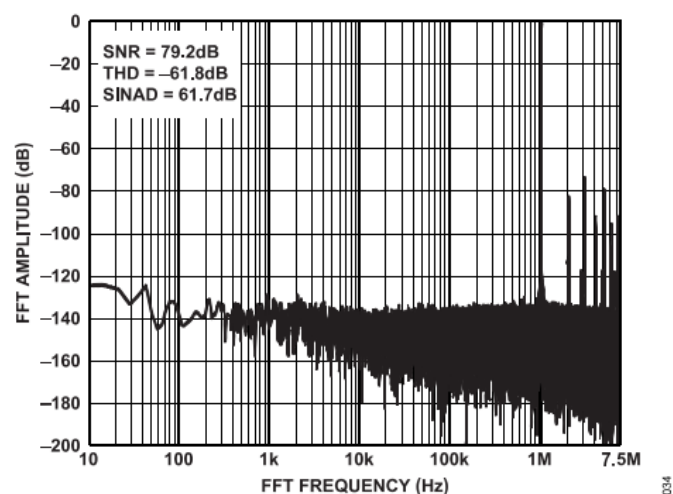


図 34. 1MHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 2.25、差動

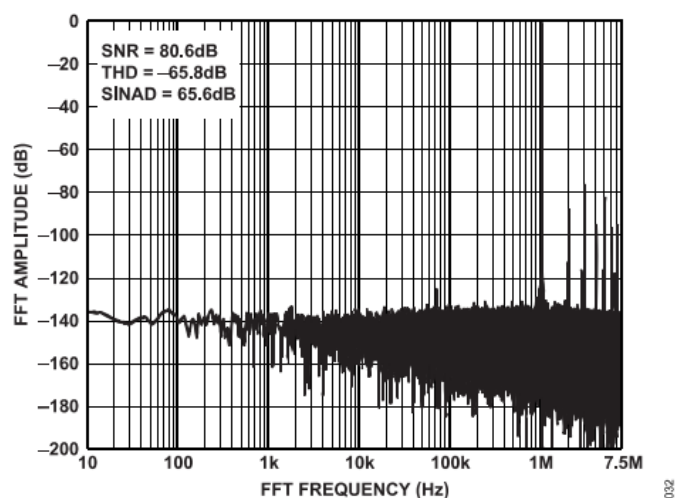


図 32. 1MHz、-1dBFS入力トーンのFFT、広帯域表示、ゲイン = 0.87、差動

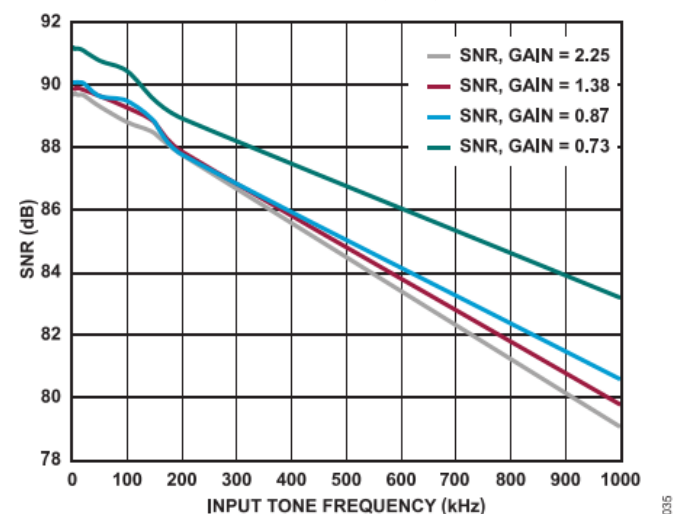


図 35. S/N比と入力トーン周波数の関係、ゲイン = 0.73、ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25

代表的な性能特性

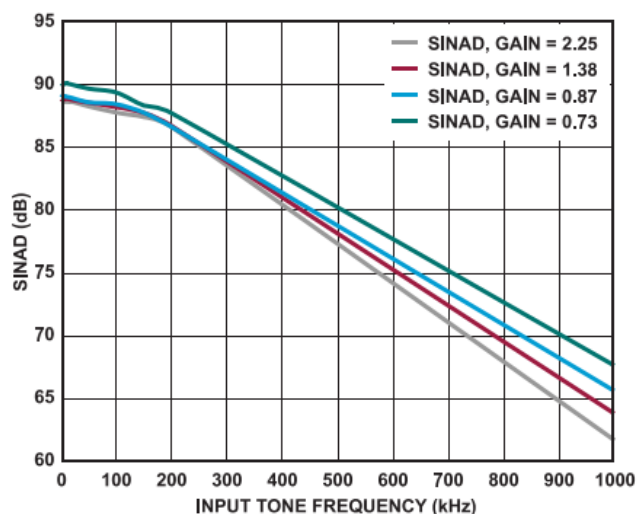


図 36. SINADと入力トーン周波数の関係、ゲイン = 0.73、ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25

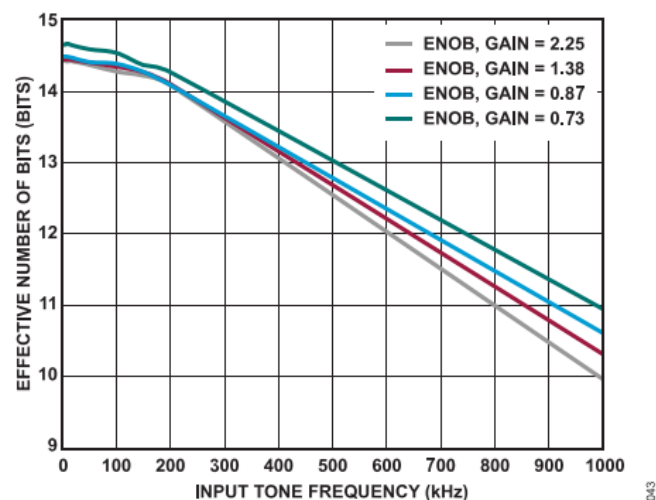


図 39. 有効ビット数と入力トーン周波数の関係、ゲイン = 0.73、ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25

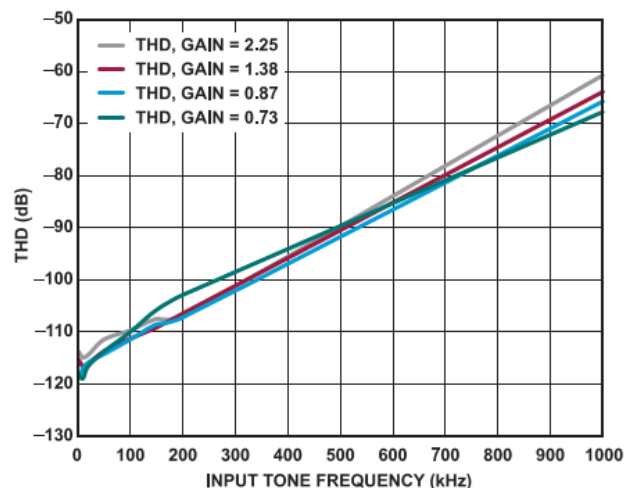


図 37. THDと入力トーン周波数の関係、ゲイン = 0.73、ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25

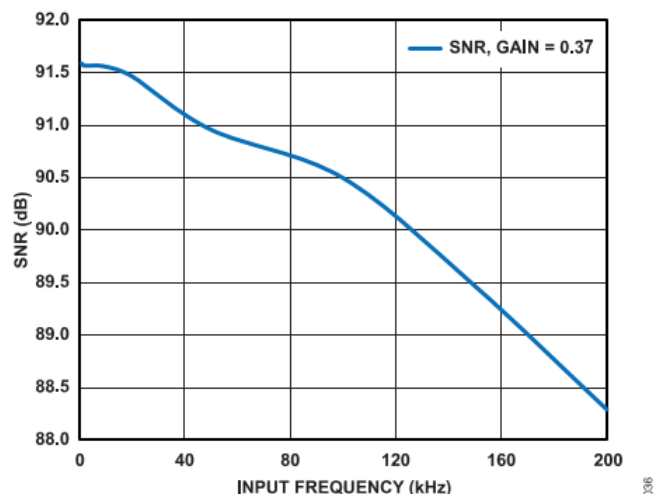


図 40. S/N比と入力周波数の関係、ゲイン = 0.37

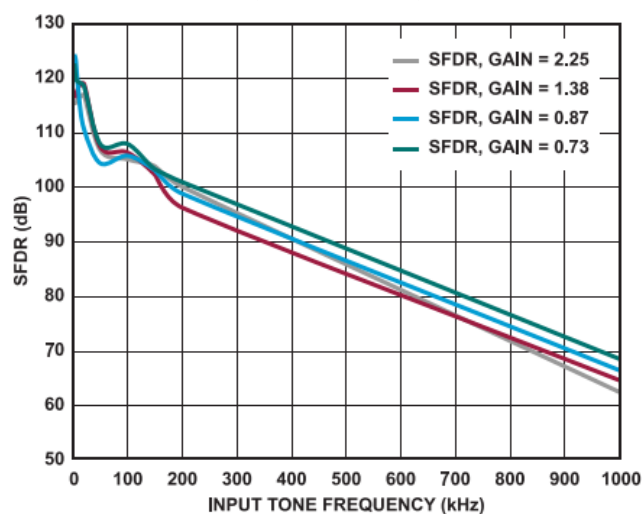


図 38. SFDRと入力トーン周波数の関係、ゲイン = 0.73、ゲイン = 0.87、ゲイン = 1.38、ゲイン = 2.25

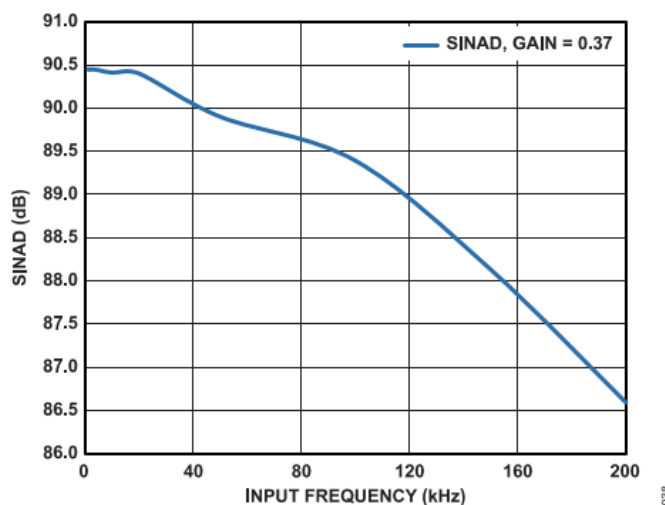


図 41. SINADと入力周波数の関係、ゲイン = 0.37

代表的な性能特性

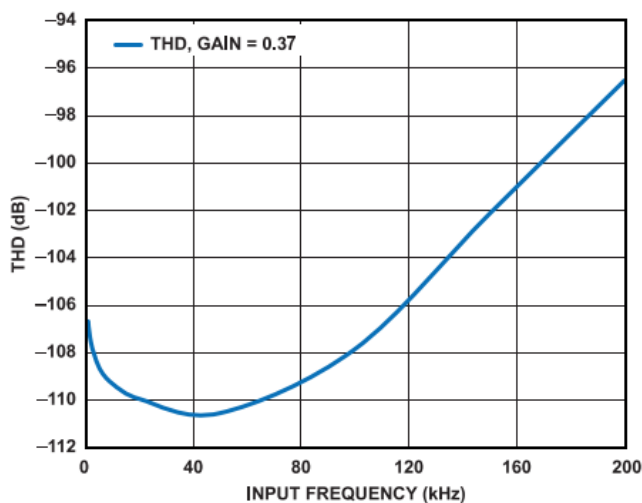


図 42. THDと入力周波数の関係、ゲイン = 0.37

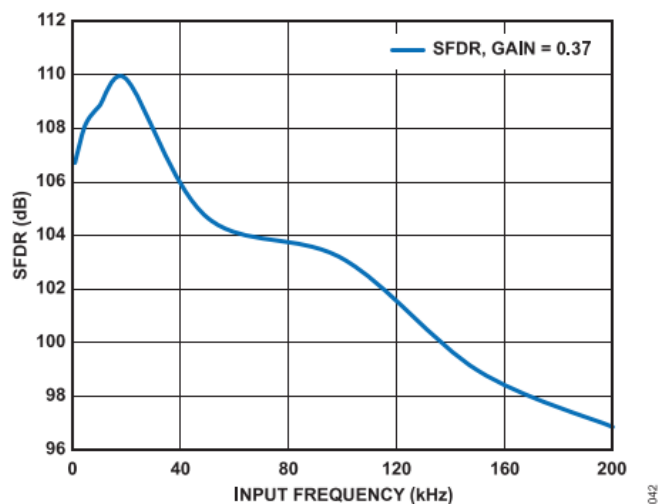


図 43. SFDRと入力周波数の関係、ゲイン = 0.37

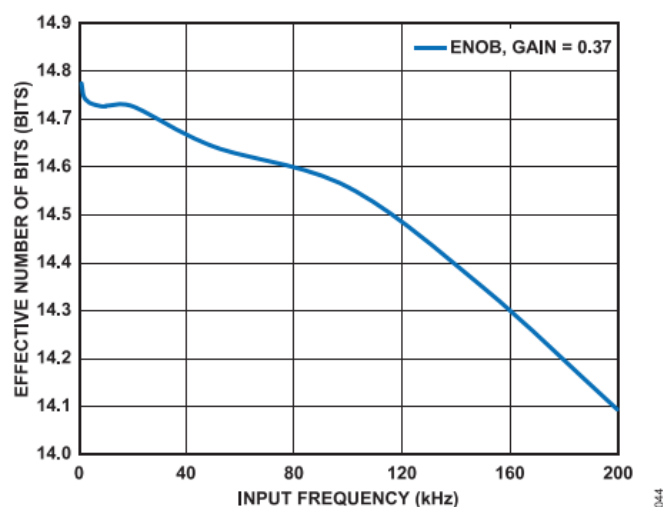
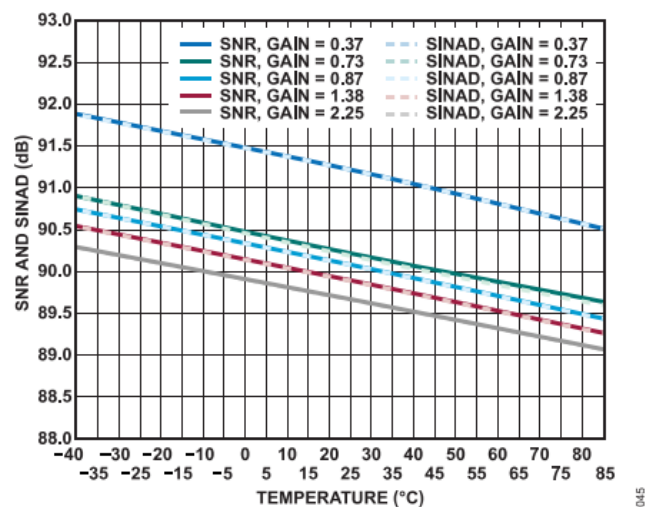
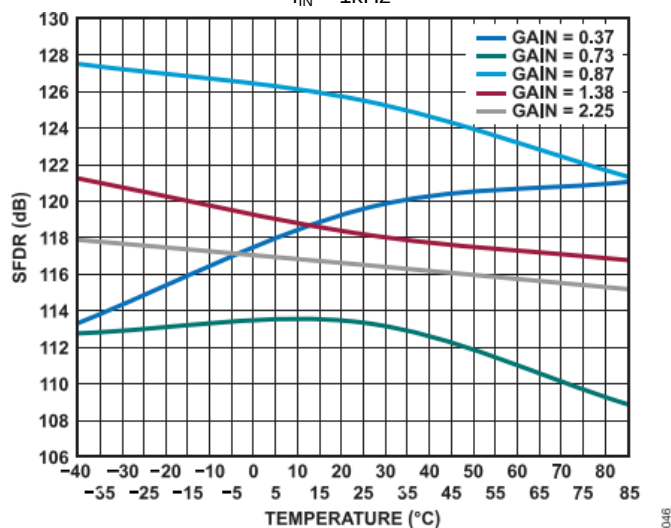
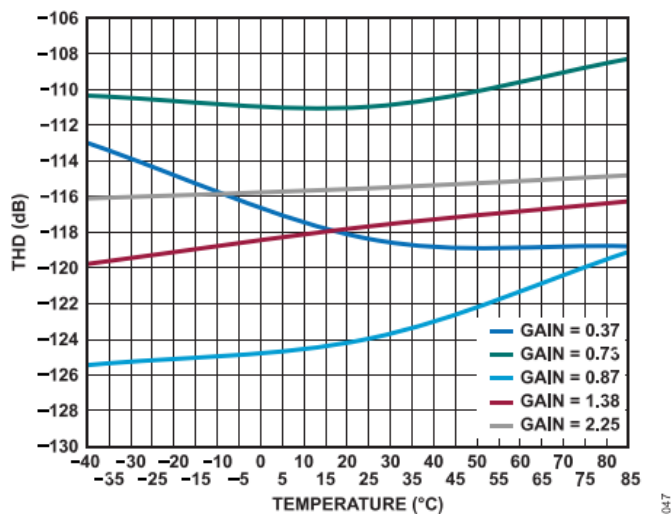


図 44. 有効ビット数と入力周波数の関係、ゲイン = 0.37

図 45. 様々なゲインでのS/N比およびSINADと温度の関係、 $f_{IN} = 1\text{kHz}$ 図 46. 様々なゲインでのSFDRと温度の関係、 $f_{IN} = 1\text{kHz}$ 図 47. 様々なゲインでのTHDと温度の関係、 $f_{IN} = 1\text{kHz}$

代表的な性能特性

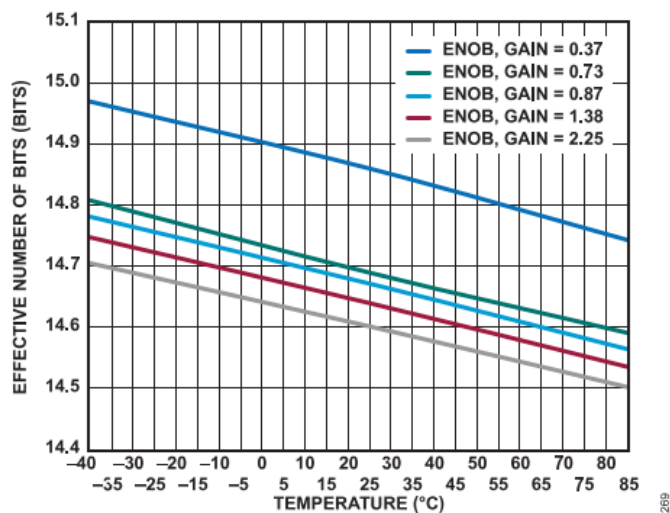
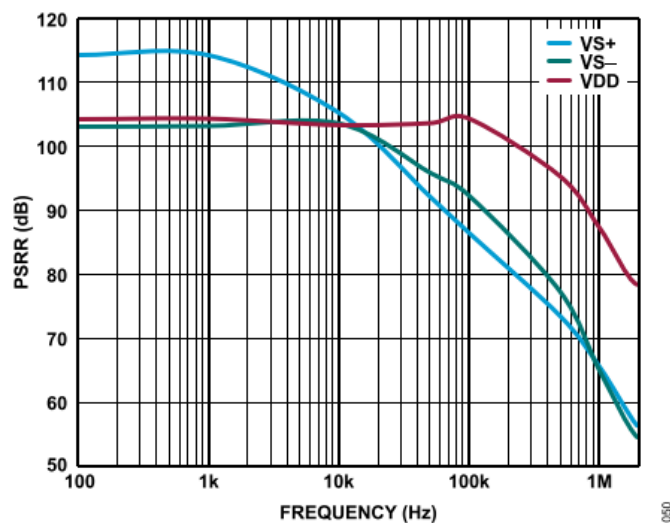
図 48. 様々なゲインでの有効ビット数と温度の関係、 $f_{IN} = 1\text{kHz}$ 

図 51. PSRRと周波数の関係

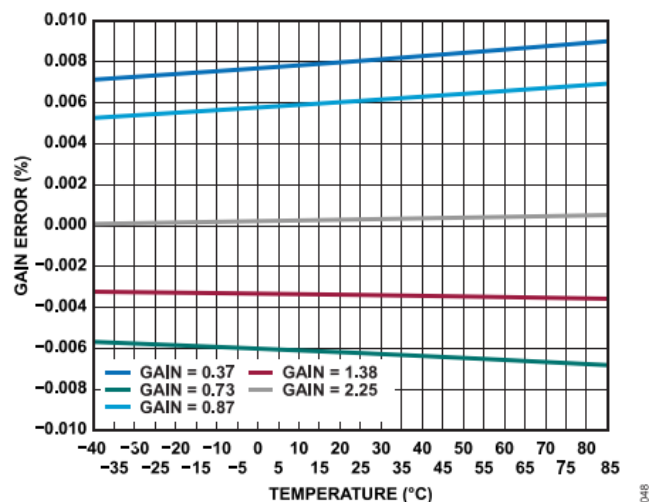


図 49. ゲイン誤差と温度の関係

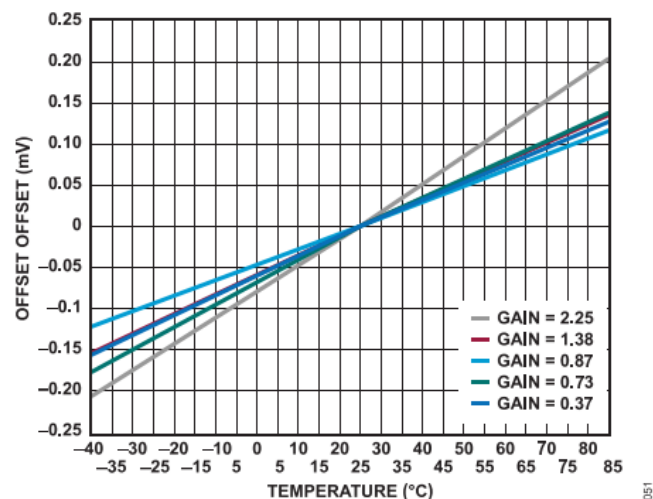


図 52. オフセット誤差と温度の関係

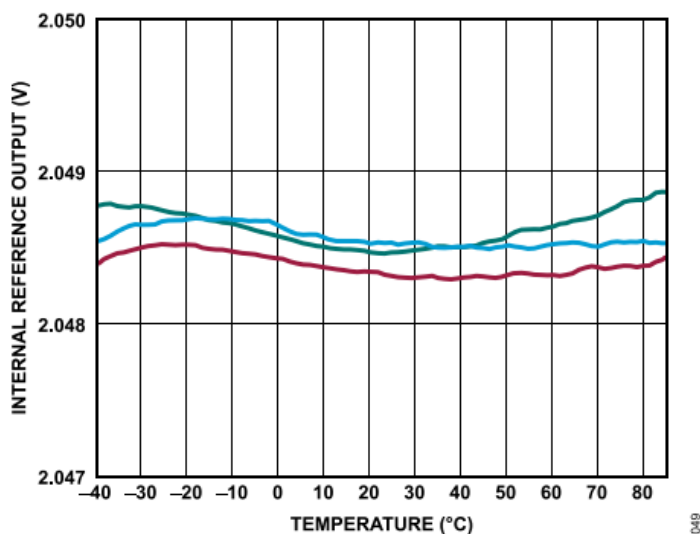


図 50. 内部リファレンス出力と温度の関係

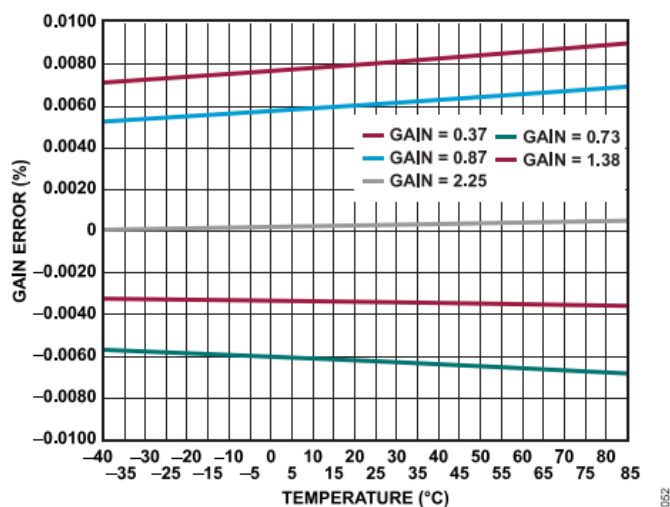


図 53. ゲイン誤差と温度の関係

代表的な性能特性

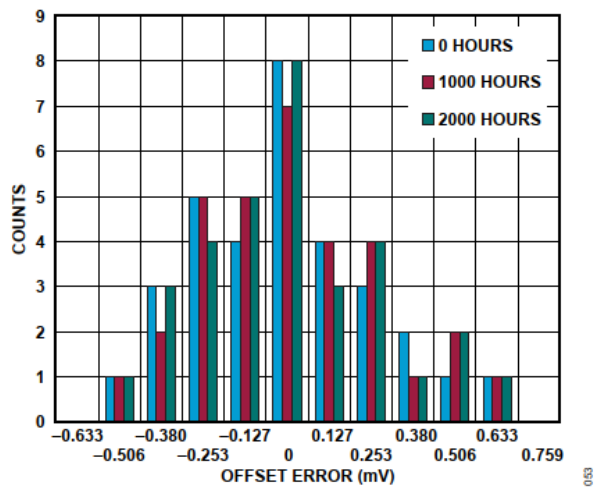


図 54. 長期的なドリフト・オフセット誤差、ゲイン = 1.38

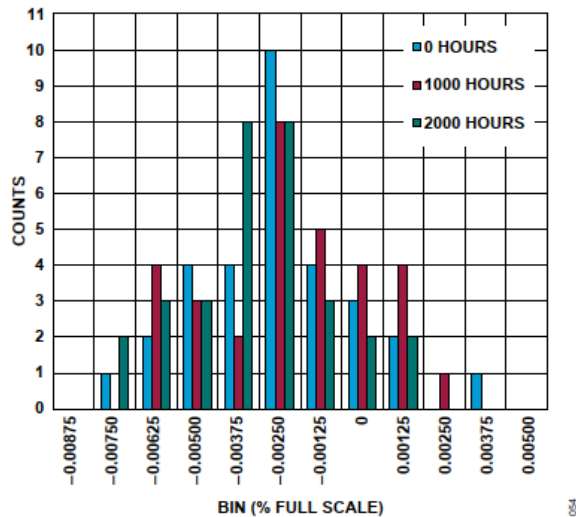


図 55. 長期的なドリフト・ゲイン誤差、ゲイン = 0.37

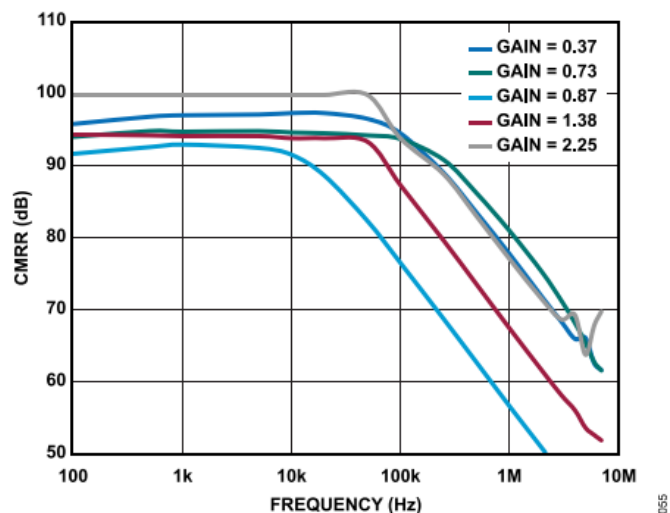


図 56. CMRRと周波数の関係

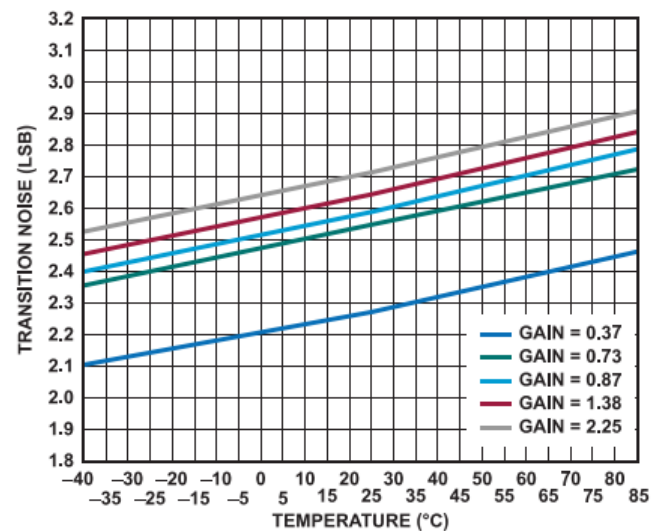


図 57. 様々なゲインでの遷移ノイズと温度の関係

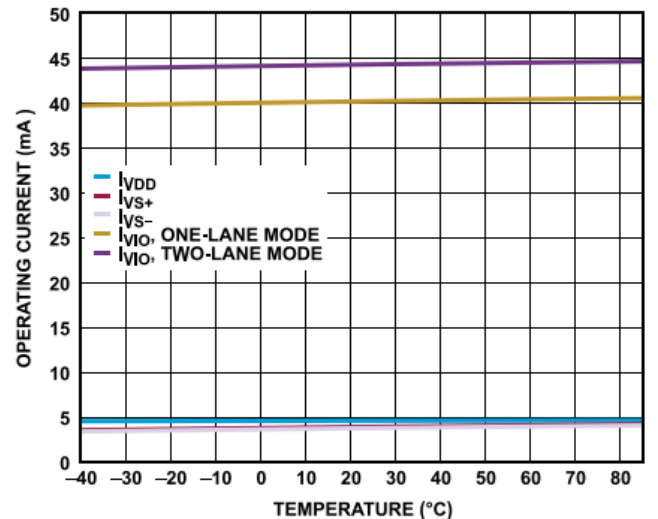
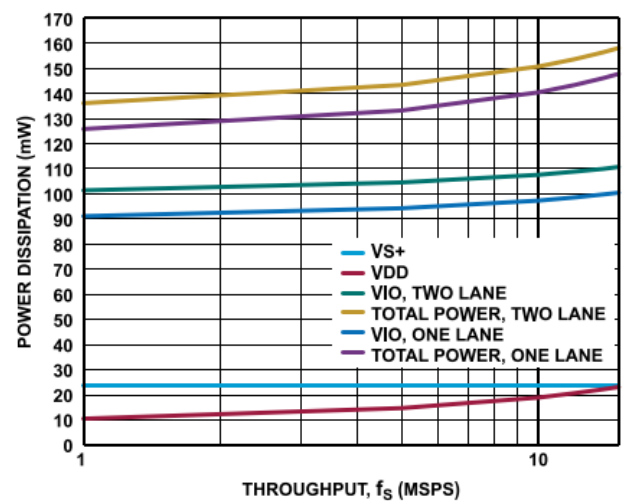
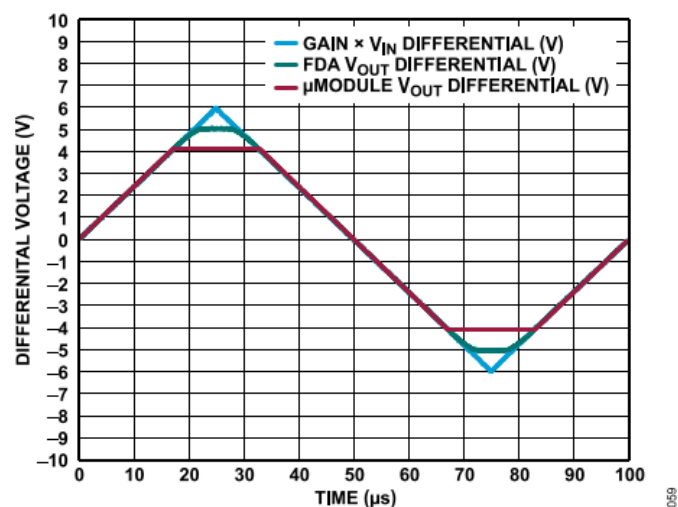
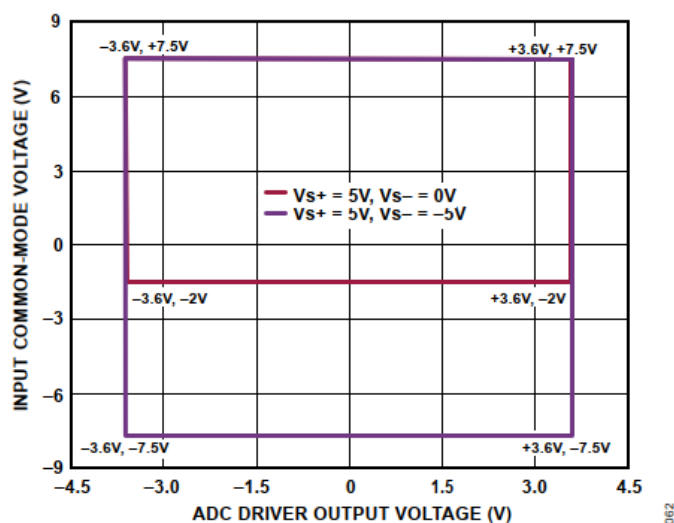
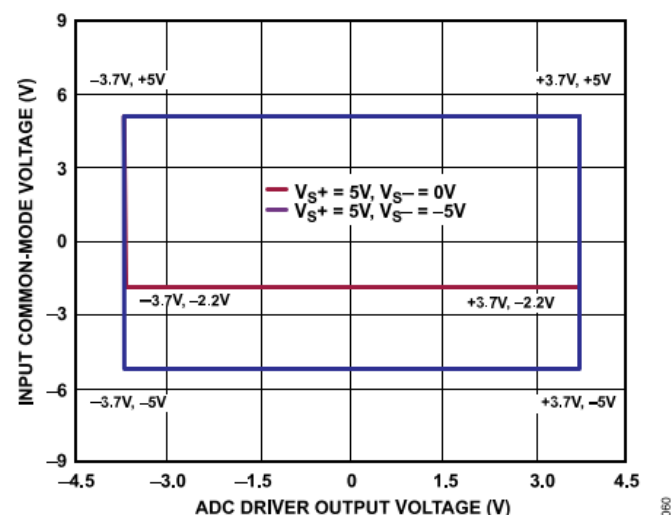
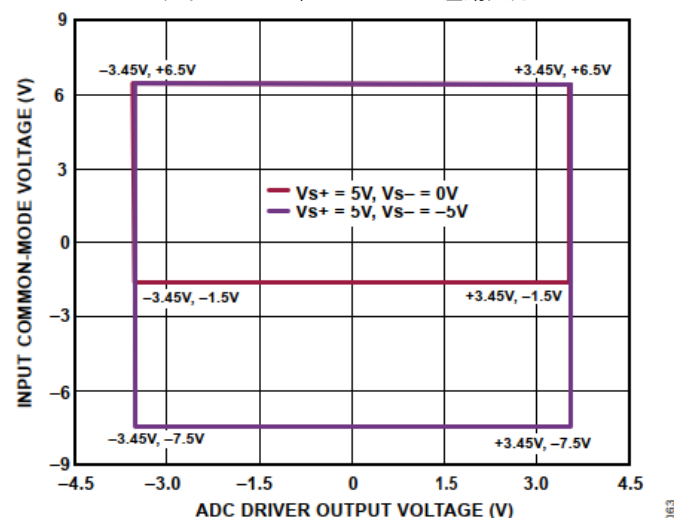
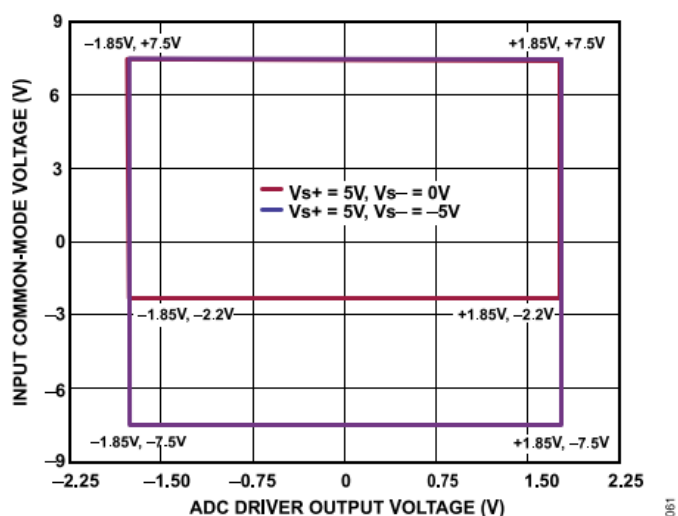
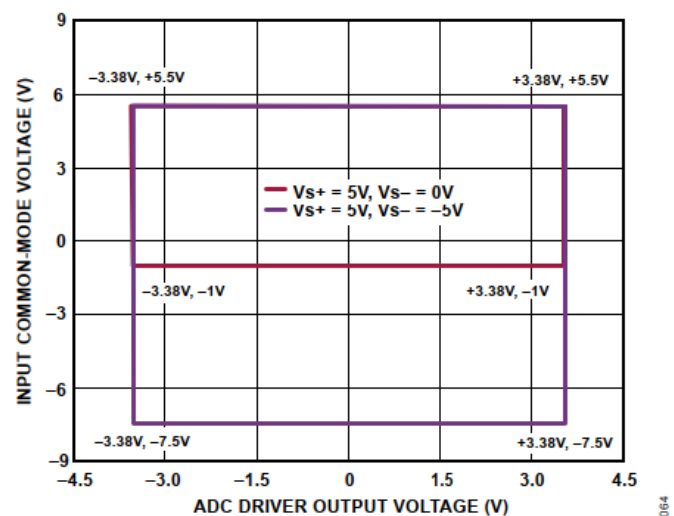
図 58. 動作電流と温度の関係 (I_{VDD} = VDD電流、 I_{VS+} = VS+電流、 I_{VS-} = VS-電流、 I_{VIO} = VIO電流)

図 59. 消費電力とスループットの関係、25 °C

代表的な性能特性

図 60. 差動電圧と時間の関係、 $f_{IN} = 10\text{kHz}$ 図 63. 入力コモンモード電圧とADCドライバ出力電圧の関係、ゲイン = 0.87、 $\pm 4.096\text{ V}$ の差動入力図 61. 入力コモンモード電圧とADCドライバ出力電圧の関係、ゲイン = 0.37、 $\pm 10\text{ V}$ の差動入力図 64. 入力コモンモード電圧とADCドライバ出力電圧の関係、ゲイン = 1.38、 $\pm 2.5\text{ V}$ の差動入力図 62. 入力コモンモード電圧とADCドライバ出力電圧の関係、ゲイン = 0.73、 $\pm 5\text{ V}$ の差動入力図 65. 入力コモンモード電圧とADCドライバ出力電圧の関係、ゲイン = 2.25、 $\pm 1.5\text{ V}$ の差動入力

代表的な性能特性

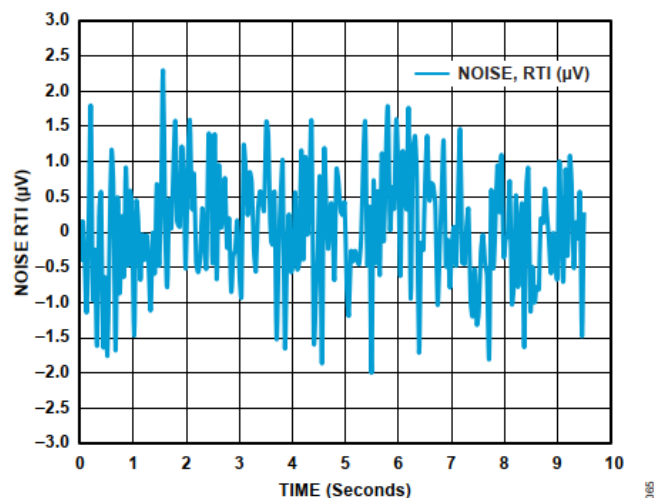


図 66. 帯域幅0.1Hz~10Hzにおける電圧ノイズ、 $f_s = 100\text{kSPS}$ 、1回の読出しで256個のサンプルを平均化、OSR = 4096

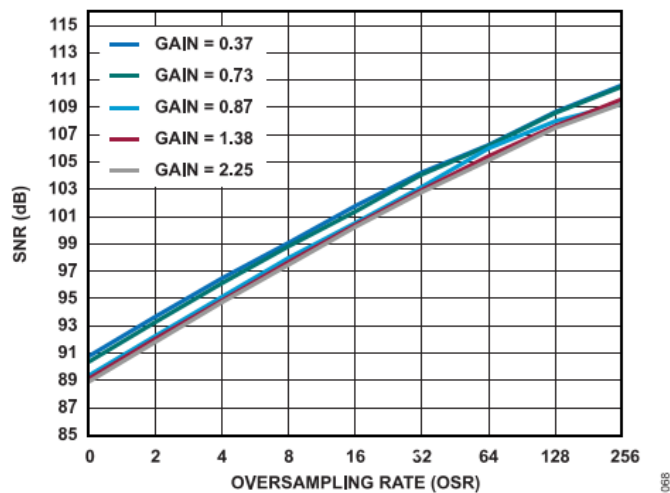


図 69. S/N比とオーバーサンプリング・レートの関係、入力周波数 $f_{IN} = 10\text{kHz}$

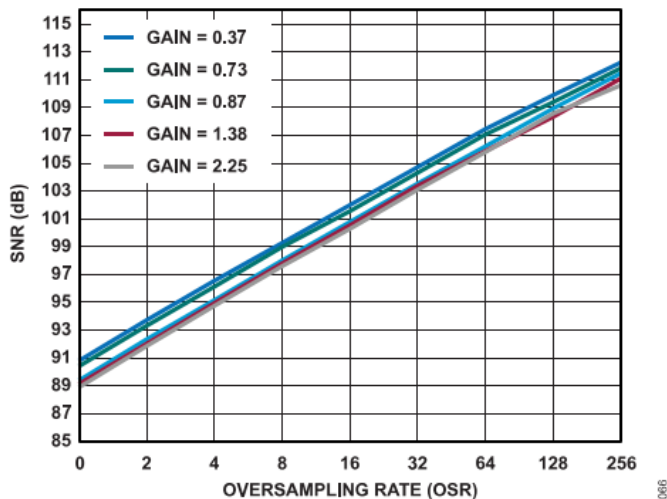


図 67. S/N比とオーバーサンプリング・レートの関係、入力周波数 $f_{IN} = 1\text{kHz}$

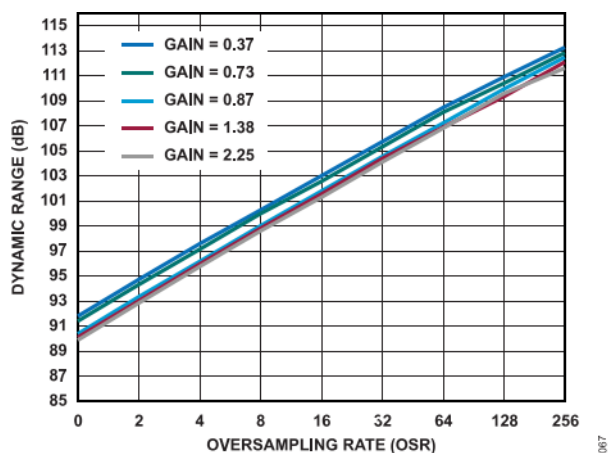


図 68. ダイナミック・レンジとオーバーサンプリング・レートの関係

用語の定義

積分非直線性 (INL)

INLは、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSBだけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を1LSB上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

微分非直線性 (DNL)

理想的な μ Moduleでは、コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差のことです。ノイズ・コードの分解能で仕様規定されます。

オフセット誤差

最初の遷移は、アナログ・グラウンドより $\frac{1}{2}$ LSB高いレベルで発生します（ゲイン=1.38、 $\pm 2.5V$ の範囲で $15.625\mu V$ ）。オフセット誤差は、理想的なミッドスケール入力電圧（0V）と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

オフセット誤差ドリフトは、 $1^{\circ}C$ の温度変化に起因するオフセット誤差変化とフルスケール・コード範囲（ゲイン=1.38、 $\pm 2.5V$ の範囲）の比です。このドリフトは、次式のように $1^{\circ}C$ あたりのppm値で表されます。

$$\text{オフセット誤差ドリフト (ppm/}^{\circ}C) = 106 \times (\text{Offset Error}_{T_{MAX}} - \text{Offset Error}_{T_{MIN}}) / (T_{MAX} - T_{MIN})$$

ここで、 $T_{MAX} = 85^{\circ}C$ 、 $T_{MIN} = -40^{\circ}C$ です。

ゲイン誤差

最初の遷移（100...000から100...001）は負の公称フルスケールより $\frac{1}{2}$ LSB上のレベルで発生し、最後の遷移（011...110から011...111）は正の公称フルスケールより $\frac{1}{2}$ LSB低いアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際レベルと最初の遷移の実際レベルとの差と、オフセット誤差が除去された後の理論レベル間の差との偏差です。さらに、 μ Moduleで使用されるリファレンスの絶対精度は大きな誤差源となる可能性があります。このため、誤差の値を測定し、それを用いて正のフルスケール（PFS）と負のフルスケール（NFS）を決定してゲイン誤差計算を行うことにより、この誤差源を除去する必要があります。使用するリファレンスを測定できない場合は、その理想値からの偏差をゲイン誤差計算時に考慮する必要があります。

この誤差は、次式のようにパーセント値で表されます。

$$\text{ゲイン誤差 (\%)} = 100 \times ((PFS - NFS)_{ACTUAL_CODE} - (PFS - NFS)_{IDEAL_CODE}) / (PFS - NFS)_{IDEAL_CODE})$$

ここで、
PFSは正のフルスケール、
NFSは負のフルスケールです。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、 $1^{\circ}C$ の温度変化に起因するゲイン誤差変化とフルスケール・レンジ（ゲイン=0.37、 $\pm 10V$ の範囲）の比です。このドリフトは、次式のように $1^{\circ}C$ あたりのppm値で表されます。

$$\text{ゲイン誤差ドリフト (ppm/}^{\circ}C) = 106 \times (\text{Gain Error}_{T_{MAX}} - \text{Gain Error}_{T_{MIN}}) / (T_{MAX} - T_{MIN})$$

ここで、 $T_{MAX} = 85^{\circ}C$ 、 $T_{MIN} = -40^{\circ}C$ です。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRは、ADC出力スペクトラム（DCを除いて $f_s/2$ まで）に含まれるピーク・スプリアスまたは高調波成分と基本波の実効値の差を、dBで表した値として定義されます。

有効ビット数 (ENOB)

ENOBは、サイン波入力による分解能の測定値です。ENOBとSINADは次式のような関係があり、単位はビットで表されます。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

全高調波歪み (THD)

THDは、フルスケール入力信号の実効値に対する最初の5次高調波成分の実効値総和の比率で、単位はデシベルです。

ダイナミック・レンジ

ダイナミック・レンジは、測定した合計rmsノイズに対するフルスケールのrms値の比率です。ダイナミック・レンジの単位はデシベルです。すべてのノイズ・ソースとDNLアーティファクトが含まれるように、 $-60dBFS$ の信号で測定されます。

S/N比 (SNR)

S/N比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）のrms総和に対する実際の入力信号のrms値の比です。S/N比の単位はデシベルです。

信号／ノイズ+歪み (SINAD) 比

SINADは、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和（高調波成分は含むが、直流成分は除く）に対する実際の入力信号の実効値の比です。SINADの単位はデシベルです。

アパーチャ遅延

アパーチャ遅延は、アクイジション性能の測定値です。CNV入力の立上がりエッジから入力信号が変換のために保持されるまでの時間です。

過渡応答

過渡応答は、 μ Moduleが $\pm 1LSB$ の精度でフルスケール入力ステップを達成するのに必要な時間です。

用語の定義

同相ノイズ除去比 (CMRR)

CMRRは、入力にコモンモード電圧として印加された周波数 f 、振幅1.3V p-pのサイン波の電力と、 μ Moduleの出力に現れた周波数 f の電力との比です。

$$CMRR (dB) = 10 \log(P_{\mu Module_IN} / P_{\mu Module_OUT})$$

ここで、

$P_{\mu Module_IN}$ は入力に印加された周波数 f のコモンモード電力、

$P_{\mu Module_OUT}$ は μ Moduleの出力に現れた周波数 f の電力です。

電源電圧変動除去比 (PSRR)

PSRRは、5Vを中心とするVDDとVS+の電源電圧に印加された周波数 f 、振幅500mV p-pのサイン波の電力、および-1Vを中心とするVS-の電源電圧に印加された周波数 f 、振幅100mV p-pのサイン波の電力と、 μ Moduleの出力に現れた周波数 f の電力との比です。

$$PSRR (dB) = 10 \log(P_{\mu Module_IN} / P_{\mu Module_OUT})$$

ここで、

$P_{\mu Module_IN}$ はVDD、VS+、VS-の各電源ピンの周波数 f における電力、

$P_{\mu Module_OUT}$ は μ Moduleの出力に現れた周波数 f の電力です。

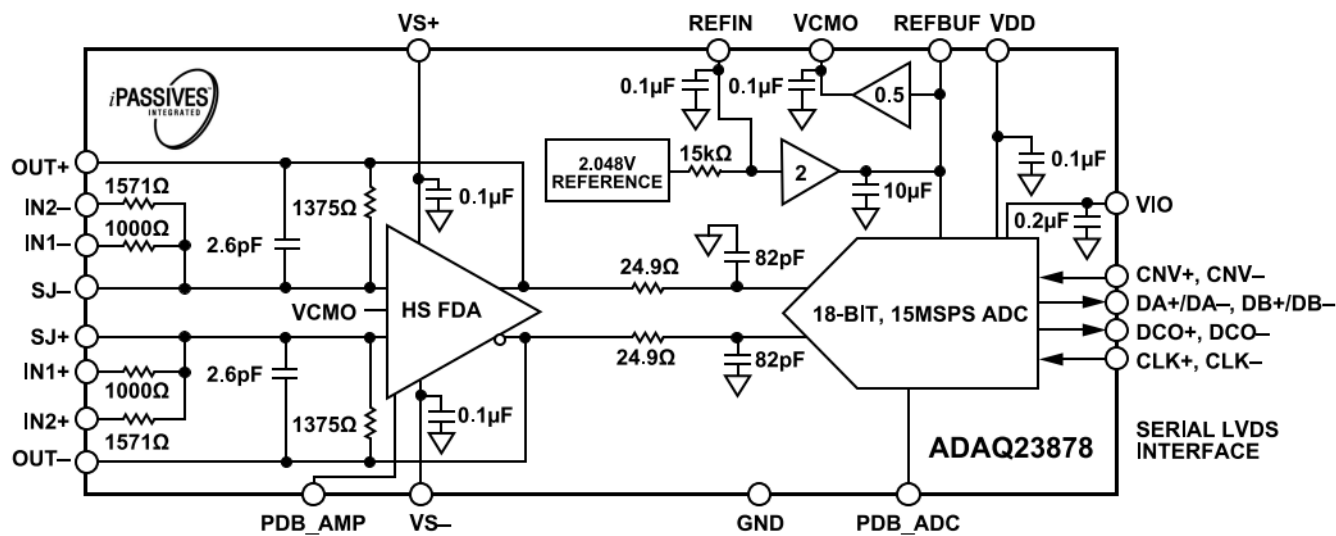


図 70. ADAQ23878 μModuleの簡略ブロック図

回路説明

ADAQ23878は、部品選定、最適化、レイアウトといった設計上の負担を設計者からデバイスに移すことで、高精度測定システムの開発サイクルを短縮する、高精度で高速のμModuleデータ・アクイジション・ソリューションです。ADAQ23878は、低ノイズの完全差動ADCドライバ、安定したリファレンス・バッファ、高速18ビット15MSPS SAR ADCなど、複数の共通信号処理および調整ブロックを1つのデバイスに統合することで、エンド・システムの部品点数を削減します。また、このデバイスは、最適な性能を得るために必要な、アナログ・デバイセズ独自のiPassive技術を使用した部品も内蔵しています。この内蔵抵抗が持つ優れたマッチングおよびドリフト特性によって、誤差源の温度依存性が最小限に抑えられています。

ADAQ23878は、2.048Vの高精度リファレンスとリファレンス・バッファを内蔵しています。また、ADAQ23878は高速シリアルLVDSインターフェースも搭載しており、同時に1ビットまたは2ビットの出力が可能です。パイプライン遅延なしに15MSPSの高速スループットを実現できるため、幅広い高速アプリケーションに最適です。ADAQ23878の消費電力は15MSPS時でわずか143mWです。

伝達関数

ADAQ23878 μModuleは、2 × VREFのフルスケール電圧を218レベルにデジタル化します。その結果、REFBUF = 4.096Vの場合にLSBのサイズは31.25μVになります。出力データは2の補数フォーマットです。理想的な伝達関数を図71に示します。理想的なオフセット・バイナリの伝達関数は、2の補数表示された伝達関数の各出力コードのMSBを反転することによって得られます。

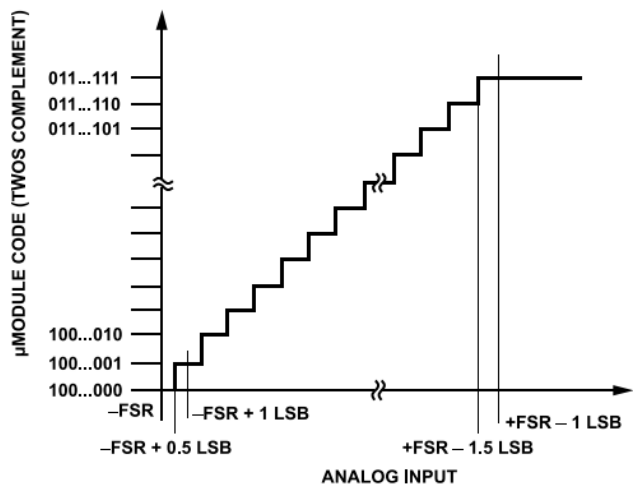


図 71. ADAQ23878の伝達関数（FSRはフルスケール・レンジ）

表 7. 出力コードと入力電圧の理論値

Description	Inputs Voltages	Digital Output Code (Twos Complement, Hex)
FSR - 1 LSB	$(131,071 \times V_{REF}) / (131,072 \times \text{gain})$	0x1FFFF
Midscale + 1 LSB	$V_{REF} / (131,072 \times \text{gain})$	0x00001
Midscale	0 V	0x00000
Midscale - 1 LSB	$-V_{REF} / (131,072 \times \text{gain})$	0x3FFFF
-FSR + 1 LSB	$-(131,071 \times V_{REF}) / (131,072 \times \text{gain})$	0x20001
-FSR	$-V_{REF} \times \text{gain}$	0x20000

アプリケーション情報

代表的なアプリケーション図

図72～図76は、差動信号をADAQ23878の各入力に印加する場合の代表的なアプリケーション例で、ゲイン一定でコモンモード電圧を変化させた例を示しています。図77～図81は、シングルエンド信号をADAQ23878の入力の1つに印加する場合の代表的なアプリ

ケーション例で、ゲイン一定でコモンモード電圧を0Vに固定した例を示しています。

表8は、所定のゲインまたは入力範囲オプションに対して入力信号をどのように加えるかを示しています。

表 8. ゲイン設定と入力範囲

ゲイン	入力範囲	各ピンの入力信号	テスト条件
0.37	±10V	IN2+, IN2-	OUT+, IN1-, OUT-, IN1+ピンはまとめて接続します (図72と図77を参照)。
0.73	±5V	IN1+, IN1-	OUT+, IN2-, OUT-, IN2+ピンはまとめて接続します (図73と図78を参照)。
0.87	±4.096V	IN2+, IN2-	IN1+ピンとIN1-ピンはフロート状態のままにします (図74と図79を参照)。
1.38	±2.5V	IN1+, IN1-	IN2+ピンとIN2-ピンはフロート状態のままにします (図75と図79を参照)。
2.25	±1.5V	IN2+/IN1+, IN2-/IN1-	IN2-, IN1-, IN2+, IN1+ピンはまとめて接続します (図76と図81を参照)。

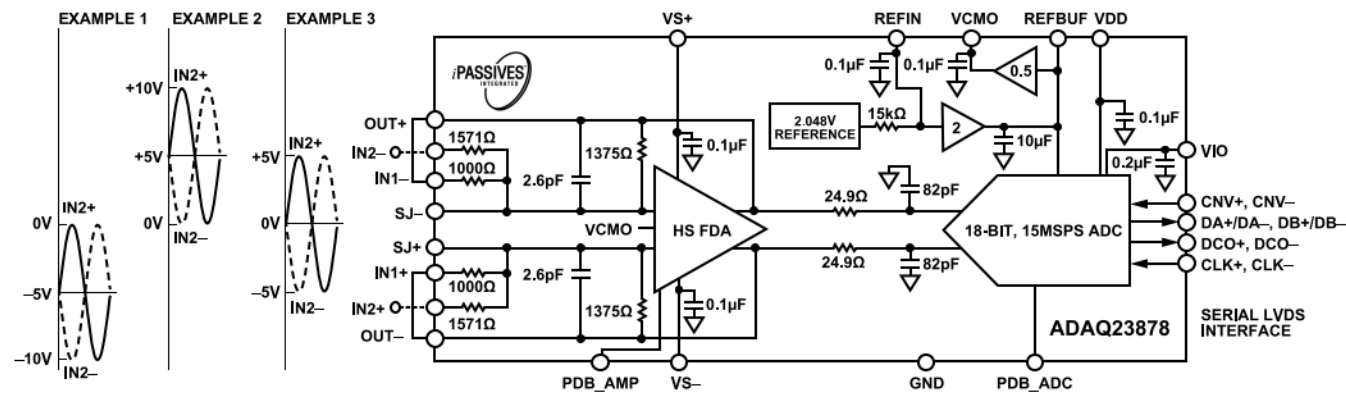


図 72. 差動入力構成のADAQ23878、ゲイン = 0.37、±10 Vの入力範囲

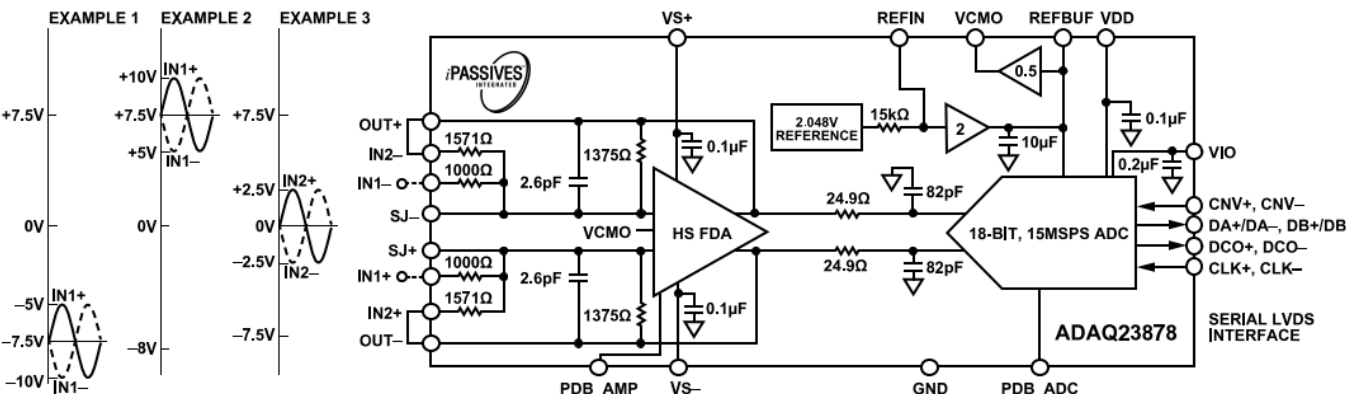
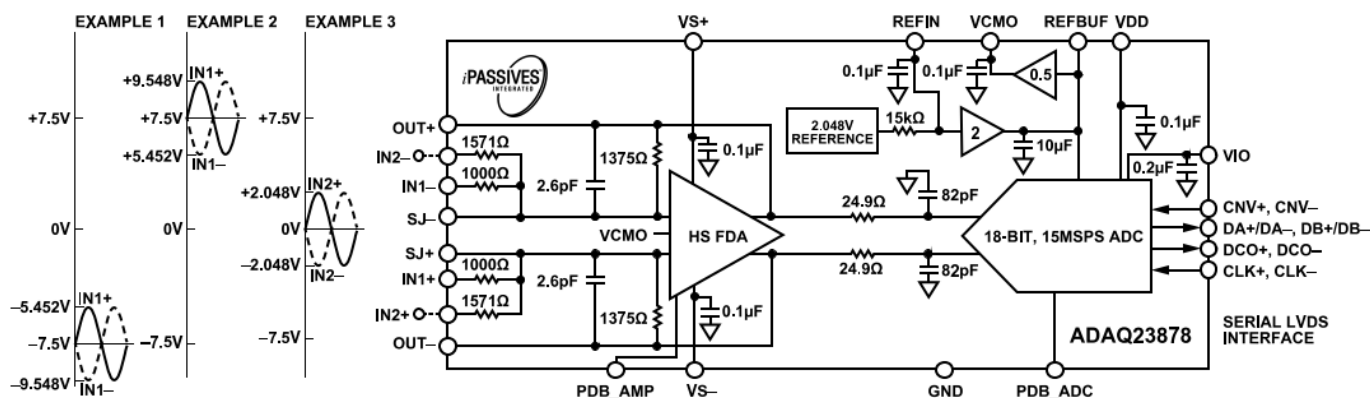
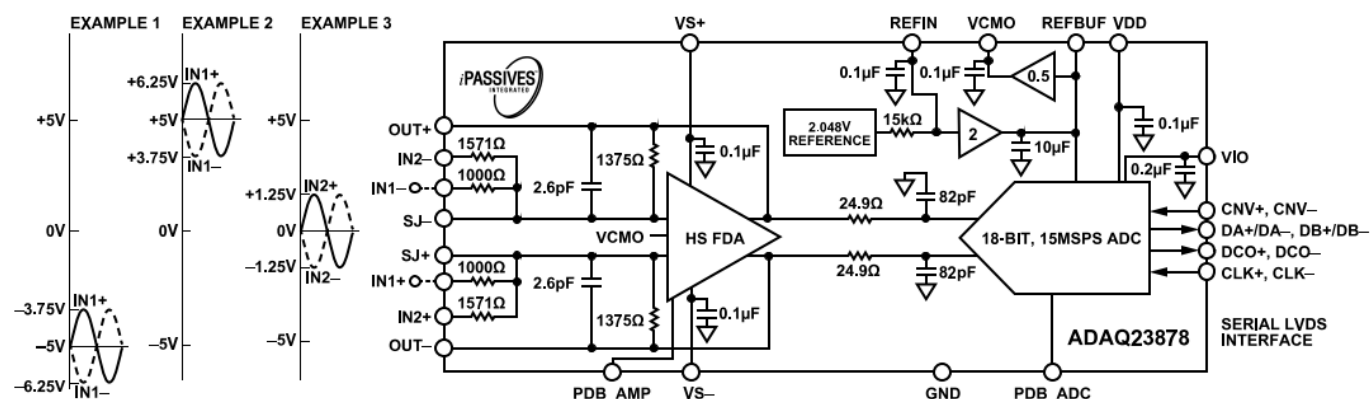
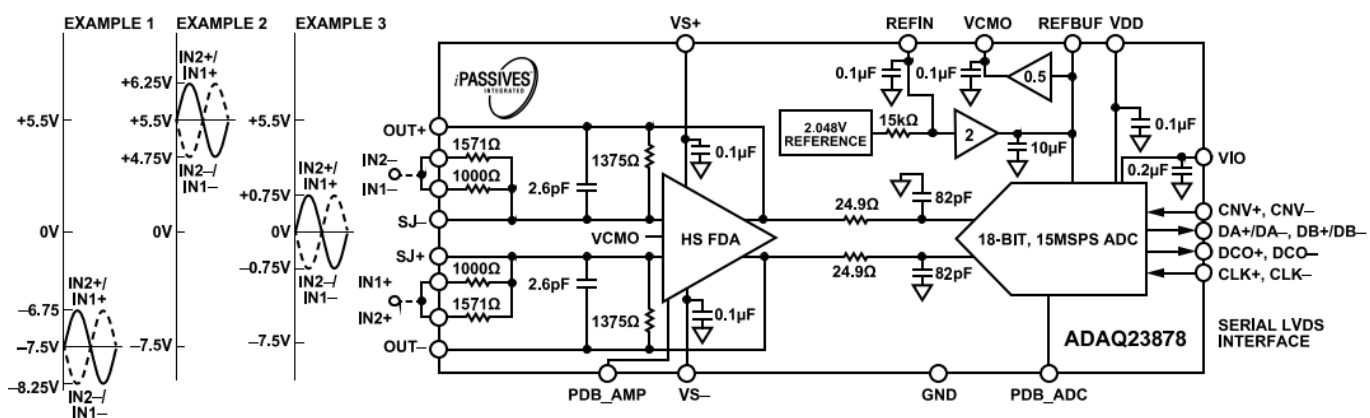


図 73. 差動入力構成のADAQ23878、ゲイン = 0.73、±5 Vの入力範囲

アプリケーション情報

図 74. 差動入力構成のADAQ23878、ゲイン = 0.87、 ± 4.096 Vの入力範囲図 75. 差動入力構成のADAQ23878、ゲイン = 1.38、 ± 2.5 Vの入力範囲図 76. 差動入力構成のADAQ23878、ゲイン = 2.25、 ± 1.5 Vの入力範囲

アプリケーション情報

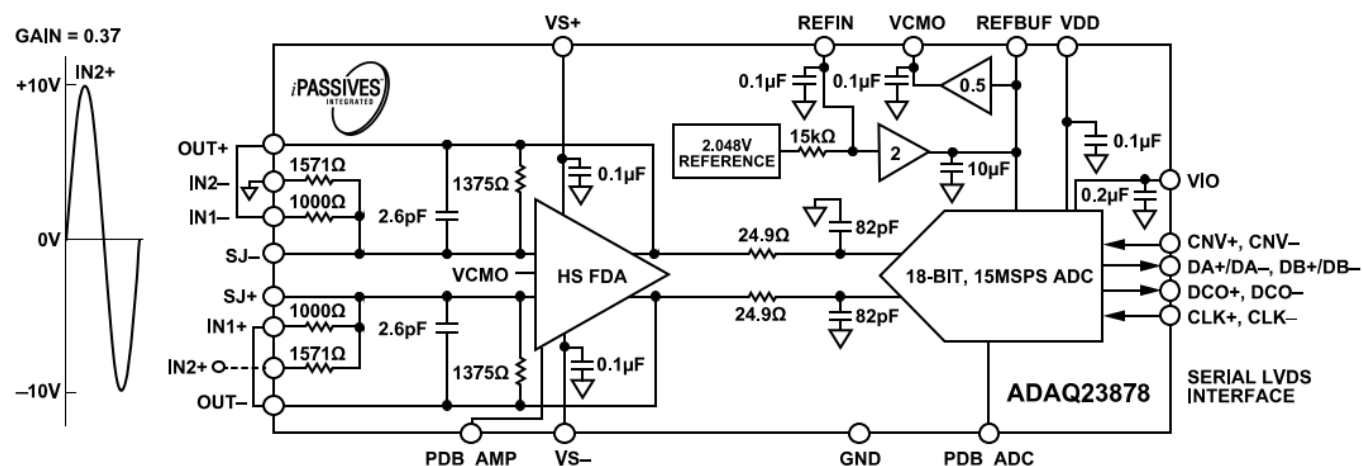


図 77. シングルエンド入力構成のADAQ23878、ゲイン = 0.37

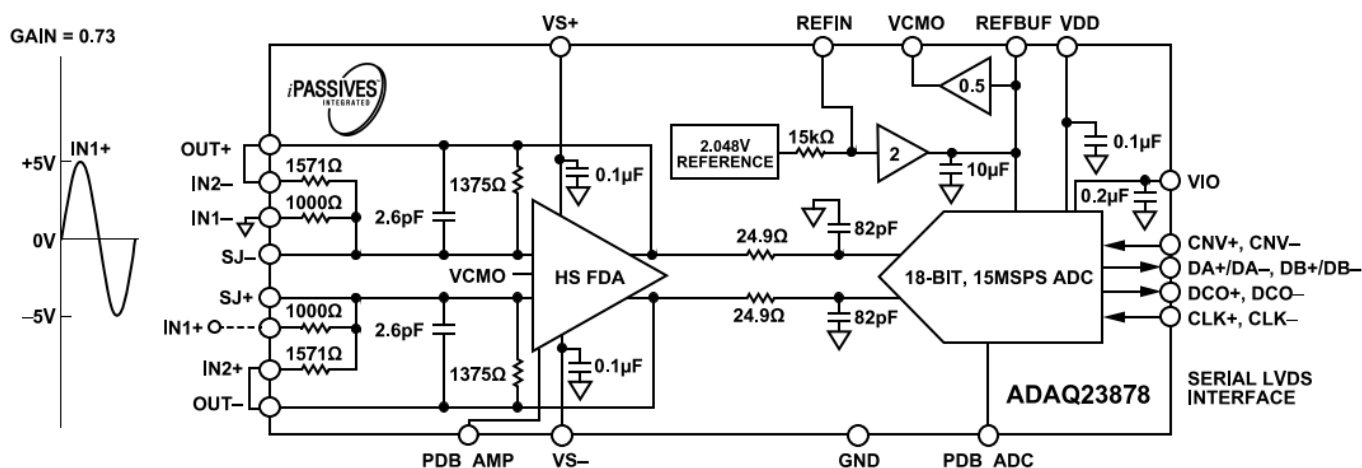


図 78. シングルエンド入力構成のADAQ23878、ゲイン = 0.73

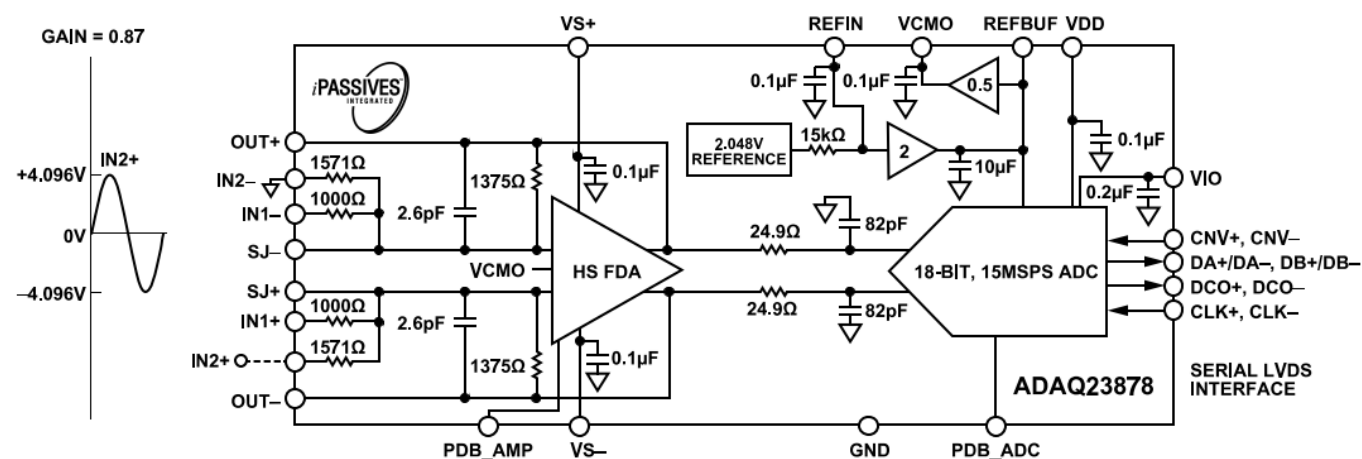


図 79. シングルエンド入力構成のADAQ23878、ゲイン = 0.87

アプリケーション情報

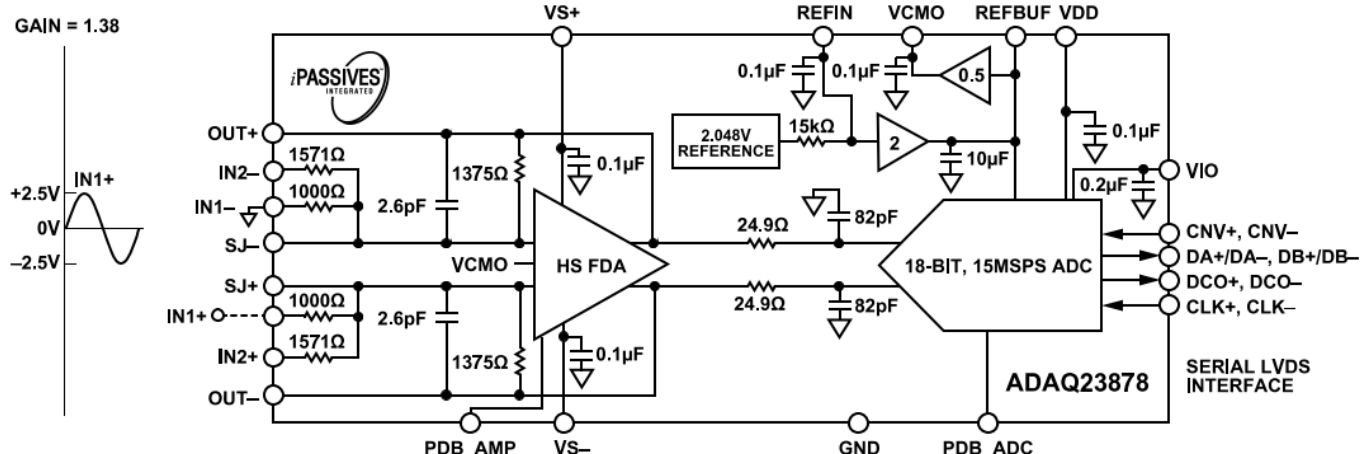


図 80. シングルエンド入力構成のADAQ23878、ゲイン = 1.38

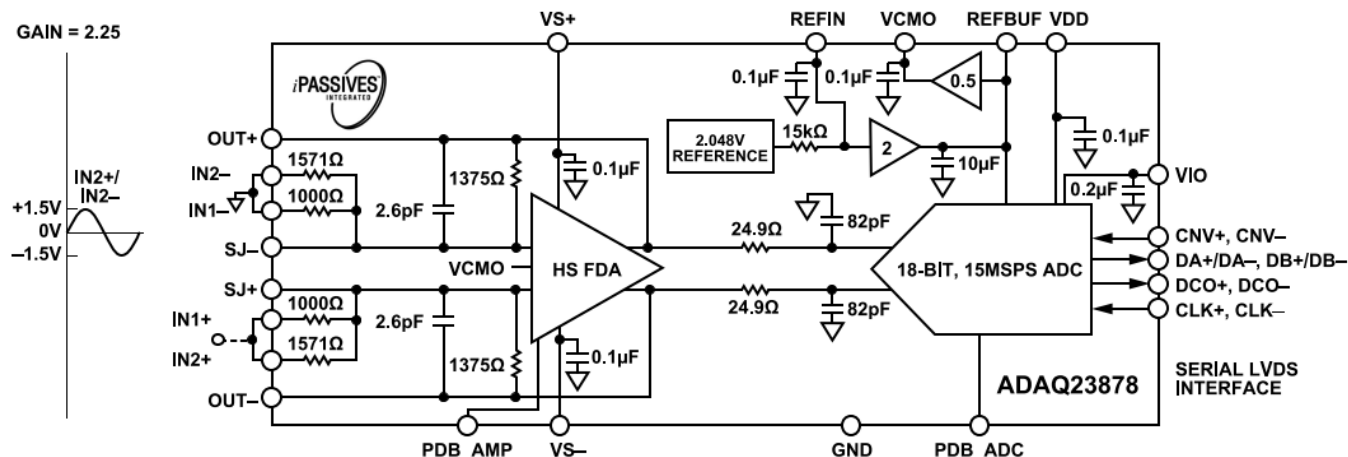


図 81. シングルエンド入力構成のADAQ23878、ゲイン = 2.25

アプリケーション情報

電圧リファレンス入力

ADAQ23878 μ Moduleは、低ノイズ、低ドリフト（20ppm/°C）のバンドギャップ・レファレンスを内蔵しており、このリファレンスはREFINに接続されています。内部レファレンス・バッファはREFIN電圧を2倍に増幅するため、REFBUFピンでは4.096Vになります。REFBUFとGNDの間の電圧差によって、ADAQ23878のフルスケール入力レンジが決まります。VCMOピンとLVDSピンの共通モード電圧はREFBUFから得られます。したがって、ADAQ23878のパワー・オン後やパワーダウン・モード終了後に変換サイクルを開始するときは、REFBUFピンの電圧が安定していなければなりません。リファレンスとレファレンス・バッファは、必要に応じて外部から駆動することもできます。また、ADAQ23878はREFBUFとGNDの間に10 μ Fのデカップリング・コンデンサを内蔵しており、デバイス内で最適に配置されています。このデカップリング・コンデンサは、SARアーキテクチャに不可欠な部品です。したがって、10 μ Fのコンデンサと並列に小型コンデンサをもう1個追加すると性能が低下する可能性があるため、この追加は推奨しません。

内部リファレンス・バッファを使用した内部リファレンス

内部リファレンスと内部レファレンス・バッファを使用するには、0.1 μ Fのセラミック・コンデンサをREFINピンとGNDの間に配置してバイパスを行ってください。

内部リファレンス・バッファを使用した外部リファレンス

更に高精度や低ドリフトが求められる場合は、図82に示すように2.048Vの外部リファレンスによってREFINを直接オーバードライブできます。アナログ・デバイセズは、多くのアプリケーションの要求を満たすように設計された高性能リファレンスを用意しています。ADAQ23878の内部リファレンスをオーバードライブする場合は、小型、低消費電力、高精度のLTC6655の使用が最適です。LTC6655は高精度アプリケーションを対象としており、0.025%（最大値）の初期精度と2ppm/°C（最大値）の温度係数を備えています。

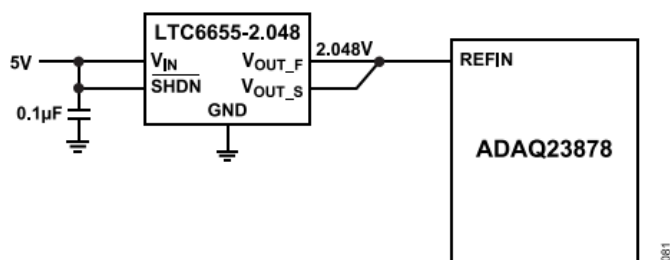


図 82. 外部リファレンスとしてLTC6655を使用

外部リファレンス・バッファ

4.096Vの外部リファレンスをREFBUFピンに接続して、内部リファレンス・バッファをオーバードライブすることもできます（図83参照）。これを実行するには、REFINをグラウンドに接続してリファレンス・バッファをディスエーブルする必要があります。外部リファレンスは、高速過渡応答性能を備えていることが必須であるため、REFBUFピンで0.5mA～1.6mAの負荷を駆動できます。REFBUFをオーバードライブする場合は、LTC6655の使用を推奨します。

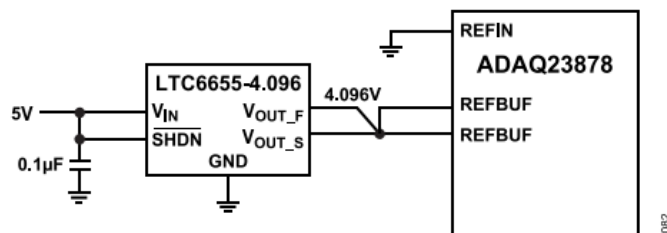


図 83. LTC6655を使用したREFBUFのオーバードライブ

コモンモード出力

VCMOピンは、REFBUFピンに現れる電圧の2分の1の電圧を供給するための出力です。この電圧は、アナログ入力を駆動する差動アンプのコモンモードを設定するために使われます。VCMOを使用しない場合はフロート状態のままにできますが、ピンの寄生容量を10pF未満に抑える必要があります。

電源

ADAQ23878では、内部のADCコア用の電源（VDD）、デジタル入出力インターフェース用の電源（VIO）、完全差動ADCドライバ用の正電源（VS+）および負電源（VS-）の4系統の電源を使用します。図59に、VS+、VDD、VIOの各電源の消費電力をはじめとする代表的な総消費電力を示します。各電源ピン（VDD、VIO、VS+、VS-）は、2.2 μ F（0402、X5R）のセラミック製デカップリング・コンデンサを介してGNDにバイパスすることを推奨します。レイアウトのガイドラインについては、PCBレイアウトのセクションを参照してください。

電源シーケンス

ADAQ23878には、電源シーケンスに関して特定の条件はありません。ADAQ23878内部のADCコアはパワーオン・リセット（POR）回路を搭載しており、最初のパワーアップ時、あるいはVDDが最小値を大きく下回ったときは、常にPOR回路がADAQ23878をリセットします。電源電圧が再び公称電源電圧範囲に入ると、PORはADAQ23878を再度初期化します。ADAQ23878の起動後またはパワーダウン・モード終了後、最初に行われる2回の変換サイクルで変換されたデータは無効です。その後の変換結果は、変換間隔が t_{CYC} の仕様を満たしている限り有効です。

パワーダウン・モード

PDB_AMPピンに低ロジック・レベル（GND）を印加して完全差動ADCドライバのパワーダウン・モードをアサートすると、ADAQ23878未使用時に消費される静止電流が最小限に抑えられます。PDB_AMPピンがGNDに接続されている場合は、完全差動ADCドライバの出力が高インピーダンス状態になります。PDB_ADCが低ロジック・レベルになると内部のADCコアがパワーダウン・モードに入り、すべての回路（LVDSインターフェースを含む）がシャットダウンします。PDB_AMPとPDB_ADCが高ロジック・レベルに接続されている場合、ADAQ23878は通常の動作をします。PDB_AMPピンのロジック・レベルはVS+で決まり、PDB_ADCピンのロジック・レベルはVIOで決まります。

アプリケーション情報

パワーダウン・モードでは、リファレンス出力とLVDS出力を含む全ての内部ADC機能がオフになり、以降の変換リクエストは無視されます。このモードは、ADAQ23878が長時間非アクティブになる場合や、消費電力を最小限に抑えたい場合に使用できます。パワーダウン・モードからの復帰に要する時間は、REFBUFの設定によって異なります。内部リファレンス・バッファを用いる場合、内部ADCコアは20msで安定します。REFBUFを外部から駆動する場合は、復帰時間を大幅に短縮できます。

デジタル・インターフェース

ADAQ23878の変換は、CNV+入力とCNV-入力によって制御します。これらの入力は、LVDS信号を使用して直接駆動することができます。また、CNV-がGNDに接続されている場合は、0V～2.5VのCMOS信号を使用してCNV+ピンを駆動することもできます。CNV+の立上がりエッジでアナログ入力信号がサンプリングされ、変換が開始されます。CNV+のパルス幅は、タイミング表（表2）に示す t_{CNVH} と t_{CNVL} の仕様を満たす必要があります。

ADAQ23878の起動後またはパワーダウン・モード終了後に行われた最初の2回の変換サイクルにおいて、変換されたデータは無効です。その後の変換結果は、変換間隔が t_{CYC} の仕様を満たしている限り有効です。サンプリング中、アナログ入力信号が完全にセトリングされていない場合、ADAQ23878のノイズ性能はCNV+の立上がりエッジにおけるジッタの影響を受けます。この場合、クリーンで低ジッタの信号によってCNV+の立上がりエッジを駆動してください。ADAQ23878は、CNV+の立下がりエッジのジッタの影響はほとんど受けないことに注目してください。ジッタの影響を受けないアプリケーションでは、CNVをFPGA（フィールド・プログラマブル・ゲート・アレイ）から直接駆動することができます。

ADAQ23878は、最大変換時間が63nsになるように調整された内部クロックを生成します。標準的なアキュイジション時間（27.7ns）では、15MSPSのスループット性能が得られます。

ADAQ23878はシリアルLVDSデジタル・インターフェースを備えており、FPGAに簡単に接続できます。3組のLVDSペアが必要です（CLK±、DCO±、DA±）。4組目のLVDSペアであるDB±はオプションです（図84参照）。PCB上のLVDS信号は100Ωの差動伝送ラインとして配線し、100Ωの抵抗を使いレシーバーで終端してください。オプションのLVDS出力であるDB±をイネーブルすると、データはDA±とDB±から同時に2ビット出力されます。DB±出力をイネーブルすると、VIOの電源電流が約3.6mA増加します。2レーン・モードの場合、必要なCLK±の数は4クロック・パルスになります（図88参照）。

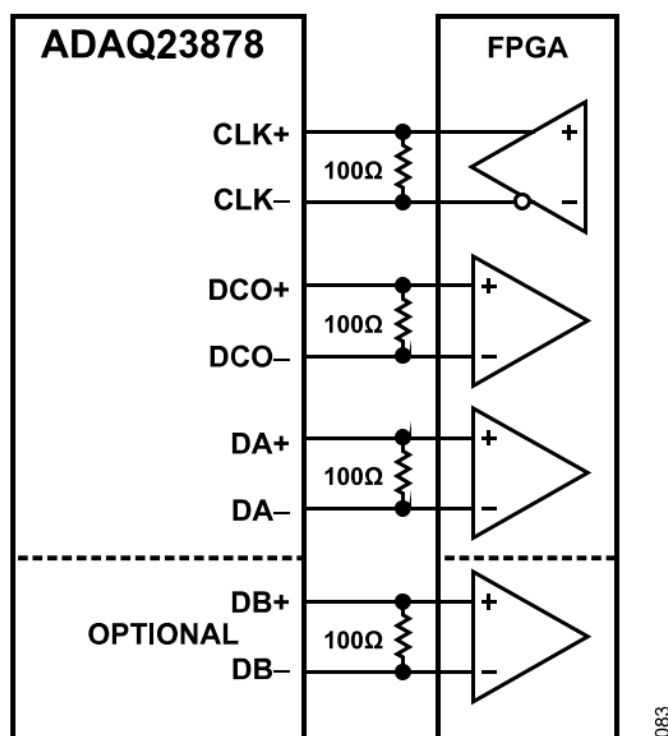


図 84. FPGAとのデジタル出力インターフェース

1レーン出力モード

変換はCNV+の立上がりエッジで開始されます。変換が完了すると、最上位データ・ビットがDA±上に出力されます。その後、データの準備ができて、CLK±入力に8クロック・パルスのバーストが印加されると、データがシフト・アウトされます。DA±上のデータは、CLK±の各エッジで更新されます。CLK±のエコーは、DCO±に出力されます。DA±のエッジとDCO±のエッジは、揃えられて出力されます。これにより、DCO±はFPGAでDA±をラッチするために使用することができます。1回の変換でのタイミング図を図85と図86に示します。現在の変換が完了した後で、かつ次の変換が終わる前に、データをクロック・アウトする必要があります。データのクロック・アウトが可能な有効時間のウィンドウを図87に示します。次の変換が開始されても、データは引き続きクロック・アウトできることに注意してください。

2レーン出力モード

サンプル・レートが高い場合、LVDSインターフェースに必要なデータ・レートが400Mbpsを超えることがあります。ほとんどのFPGAはこのレートに対応できますが、これより低いデータ・レートにする必要がある場合は2レーン出力モードを使用できます。TWOLANES入力ピンをハイ（VIO）に接続することで、ADAQ23878はDA-/DA+とDB-/DB+から同時に2ビットを出力します（図88参照）。

デジタル・インターフェース

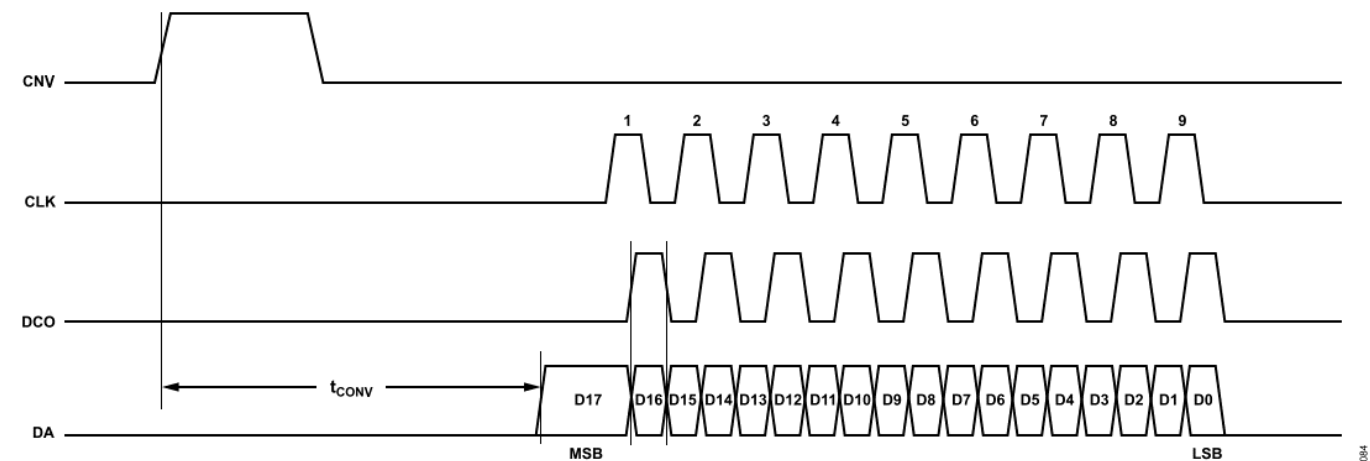


図 85. 1レーン・モードでの1回の変換のタイミング図

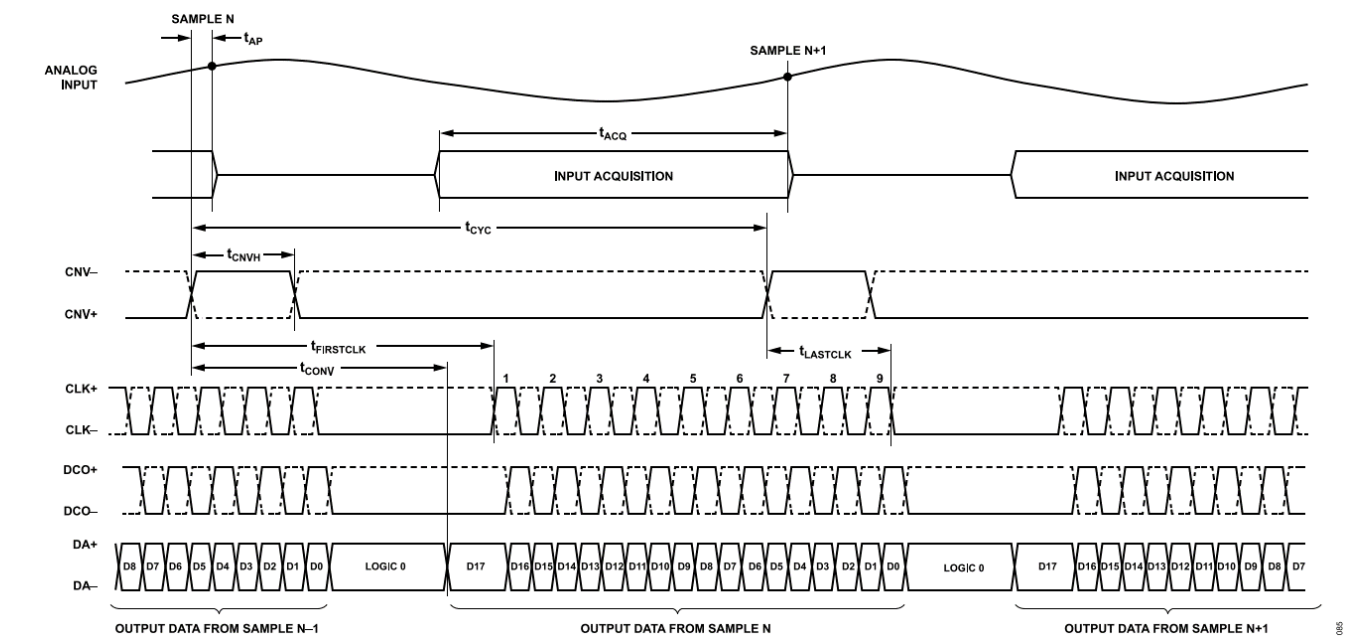


図 86. 1レーン出力モードでの複数回の変換のタイミング図

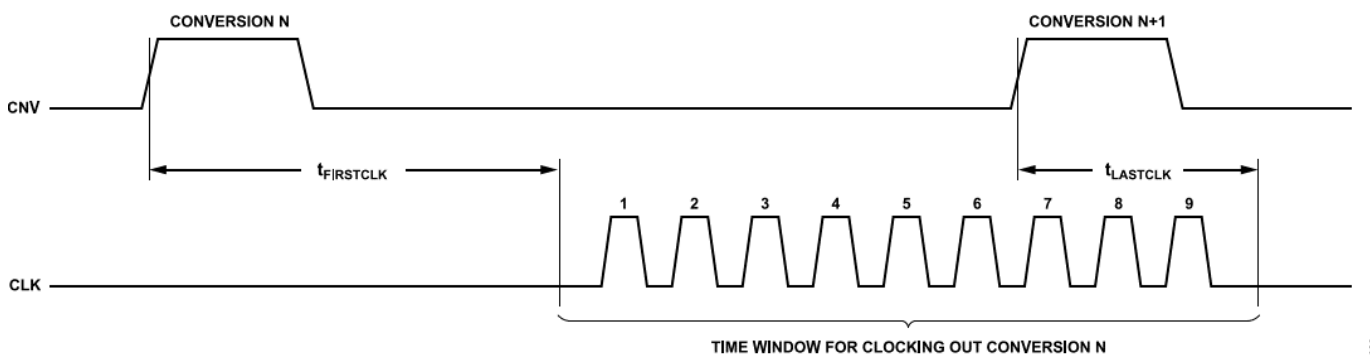


図 87. データのクロック・アウトが可能な有効時間のウィンドウ

デジタル・インターフェース

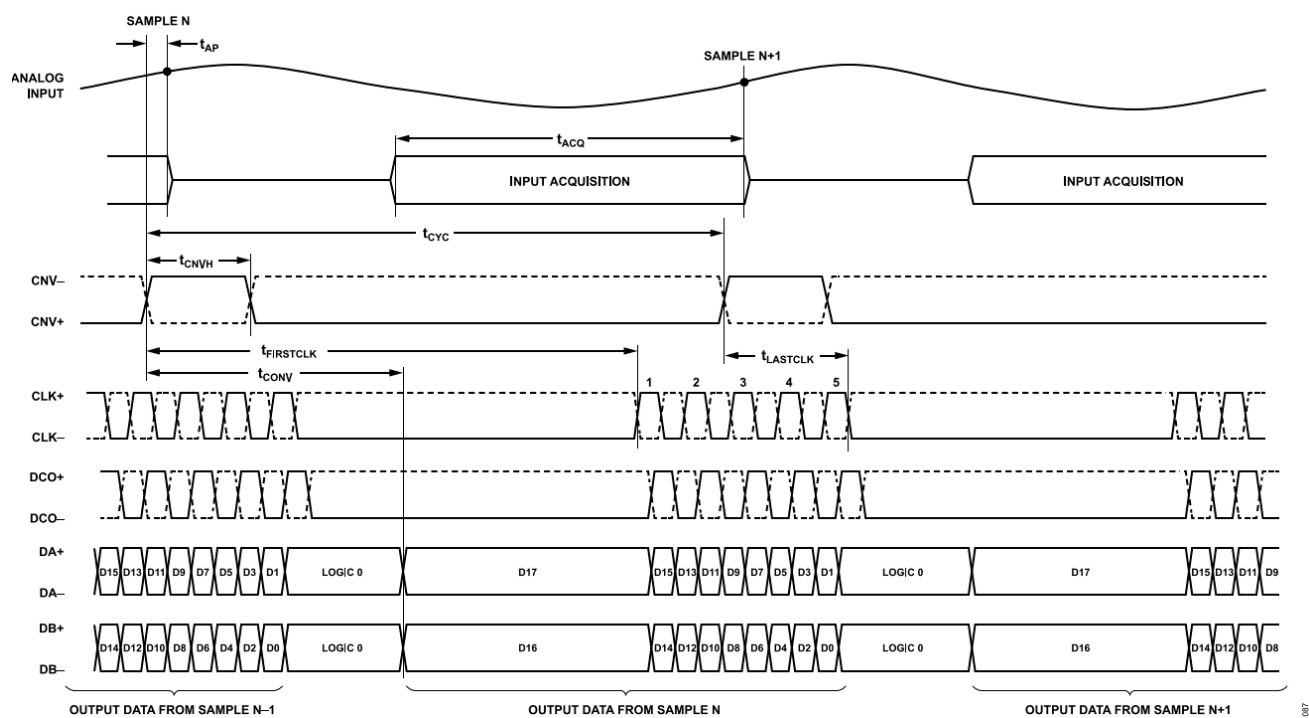


図 88. 2レーン出力モード

デジタル・インターフェース

出力テスト・パターン

TESTPATピンをハイ（VIO）に接続するとテスト・パターンがイネーブルされ、ADAQ23878のデジタル・インターフェースのインサキット・テストが可能になり、LVDSのデータ出力はテスト・パターンになります。ADAQ23878のデジタル・データには、次のような既知の値のテスト・パターンが出力されます。

- ▶ 1レーン・モード：1010 0000 0111 1111
- ▶ 2レーン・モード：1100 1100 0011 1111

TESTPATピンがロー（GND）に接続されているときは、ADAQ23878のデジタル・データには変換結果が出力されます。

PCBレイアウト

信号の完全性を保ち、ADAQ23878から期待どおりの性能を引き出すには、PCBレイアウトが重要です。ADAQ23878直下の多層PCBの第1内層には、クリーンなグランド・プレーンを形成することを推奨します。PCB上での個々の部品の配置や様々な信号の配線については、注意が必要です。入力信号と出力信号を対称に配線することを強く推奨します。ADAQ23878のグランド・ピンは、複数のビアを介してPCBのグランド・プレーンに直接ハンダ付けしてください。不要な寄生容量を生じさせないように、ADAQ23878の入力ピンおよび出力ピンの下にはグランド・プレーンと電源プレーンを配置しないでください。不要な寄生容量は、ADAQ23878の歪みや直線性に影響を与える可能性があります。

ADAQ23878のピン配置はレイアウトが容易で、左側にアナログ信号、右側にデジタル信号を配置できるようになっています。アナログ部とデジタル部は、互いに影響を及ぼさないようにPCB上で分離し、電源回路はアナログ信号パスから離してください。ADAQ23878にノイズがカップリングするのを防ぐため、CNV $\pm$ やCLK $\pm$ などの高速スイッチング信号とデジタル出力DA $\pm$ およびDB $\pm$ は、アナログ信号パスの近くに配線したり交差させたりしないでください。

ADAQ23878の各電源ピン（VDD、VIO、VS+、VS-）とGNDの間には、2.2 μ F以上（0402、X5R）の高品質のセラミック・バイパス・コンデンサを配置し、電磁干渉（EMI）による影響を最小限に抑えるとともに、グリッチが電源ラインに与える影響を緩和する必要があります。他に必要なバイパス・コンデンサはすべてADAQ23878に内蔵されているため、基板面積とコストを削減することができます。

図89に、ADAQ23878のREFIN、VDD、VIOの各ピンの近くにデカップリング・コンデンサを外付けしない状態で入力を短絡して、15MSPSでFFTサンプリングしたときの結果を示します。この結果は、 μ Moduleが電源ノイズを除去したり、電源電圧変動の影響を低減したりする性能が優れていることを示しています。この性能評価はEVAL-ADAQ23878FMCZを使用して検証しました。デカップリング・コンデンサを外付けするかしないかに関わらず、ノイズ・フロアにスプリアスは存在しません。推奨するPCBレイアウトは、EVAL-ADAQ23878FMCZのユーザ・ガイドに記載されています。

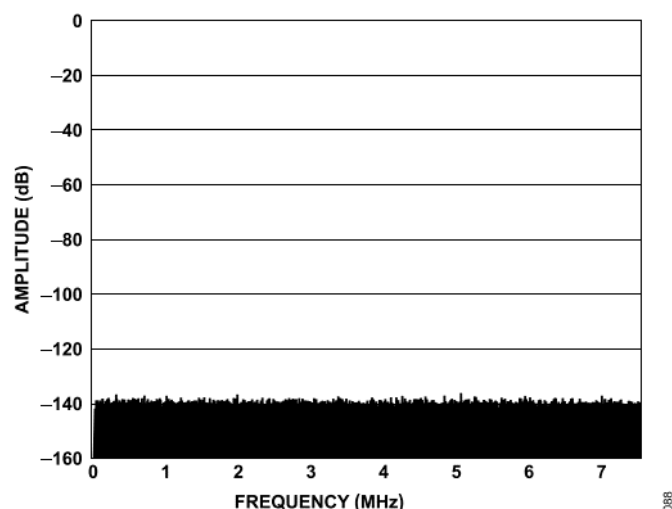


図 89. 入力を短絡したときのFFT

機械的ストレスによるシフト

デバイスを基板に取り付けたときの機械的ストレスが、S/N比と内部電圧リファレンスをわずかに変化させることがあります。ハンダ付けの最も良い方法は、温度プロファイルが制御されたIRリフローまたは対流式ソルダーリング装置を使用することです。ヒート・ガンやハンダコテを使用した手作業によるハンダ付けは推奨しません。

