正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 3 月 3 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 3 月 2 日
製品名： ADAQ23875
対象となるデータシートのリビジョン(Rev)： Rev.0
訂正箇所： 5 ページ

表の下、フットノートの 3 番の内容
【誤】
「差動入力範囲 VIN は、図 3～図 7・・・」
【正】
「差動入力範囲 VIN は、図 31・・・」

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

日本語参考資料
最新版英語データシートはこちら

16 ビット、15MSPS μModule データ・アクイジション・ソリューション

データシート

ADAQ23875

特長

信号スケーリング機能付きの完全差動 ADC ドライバを内蔵
　広い入力コモンモード電圧範囲
　高い同相ノイズ除去性能
シングルエンド／差動変換
　4.096V の REFBUF で±2.048V の入力範囲
重要な受動部品
　FDA 用 0.005%の高精度整合抵抗アレイ
9mm × 9mm、0.80mm ピッチ、100 ボール CSP_BGA パッケージ
　ディスクリート・ソリューションと比べて 4 倍のフットプリント削減
低消費電力、ダイナミック・パワー・スケーリング、パワーダウン・モード
　15MSPS で 143mW（代表値）
スループット：15MSPS、パイプライン遅延なし
INL：±0.6LSB（代表値）、±1LSB（最大値）
SINAD：1kHz で 89dB（代表値）
THD：1kHz で−115dB、400kHz で−106dB
ゲイン誤差：0.005%FS（代表値）
ゲイン誤差ドリフト：最大±1ppm/ºC
VCMO 生成機能付きのリファレンス・バッファを内蔵
シリアル LVDS インターフェース
広い動作温度範囲：−40ºC～+85ºC

アプリケーション

ATE
データ・アクイジション
ハードウェア・イン・ザ・ループ（HiL）
パワー・アナライザ
非破壊検査（音響放射）
質量分析
進行波故障点測定
医療用画像処理および計測器
超音波流量計

概要

ADAQ23875 は、部品選定、最適化、レイアウトといった設計負荷を設計者からデバイスに移すことで、高精度測定システムの開発サイクルを短縮する、高精度で高速の μModule®データ・アクイジション・ソリューションです。

ADAQ23875 は、システム・イン・パッケージ（SIP）技術を採用しており、複数の共通信号処理およびコンディショニング・ブロックを 1 つのデバイスに統合することで、エンド・システムの部品点数を削減し、設計上の多くの課題を解決します。これらのブロックには、低ノイズの完全差動 A/D コンバータ（ADC）ドライバ（FDA）、安定したリファレンス・バッファ、および高速、16 ビット、15MSPS の逐次比較レジスタ（SAR）ADC が内蔵されています。

ADAQ23875 は、アナログ・デバイセズの iPassives®技術を採用しており、優れたマッチングおよびドリフト特性を備えた重要な受動部品も内蔵しています。これにより、誤差源の温度依存性を最小限に抑え、最適な性能を実現します（図 1 参照）。ADC ドライバ段の高速セトリングと共に、完全差動またはシングルエンド／差動入力構成、および遅延のない SAR ADC により、多チャンネルのマルチプレクス・シグナル・チェーン・アーキテクチャと制御ループ・アプリケーション向けに比類のないソリューションを提供します。

小型フットプリントの 9mm × 9mm CSP_BGA パッケージを採用しているため、計測器を性能の損失なしに小型化できます。5V 単電源で動作可能であると同時に、この電源でデバイスの最適な性能を発揮させることができます。ADAQ23875 には、1 レーンまたは 2 レーンの出力モードを備えたシリアル低電圧差動伝送（LVDS）デジタル・インターフェースが装備されており、ユーザーはアプリケーションごとにインターフェース・データ・レートを最適化できます。この μModule は、−40ºC～+85ºC の動作温度範囲で仕様規定されています。

機能ブロック図

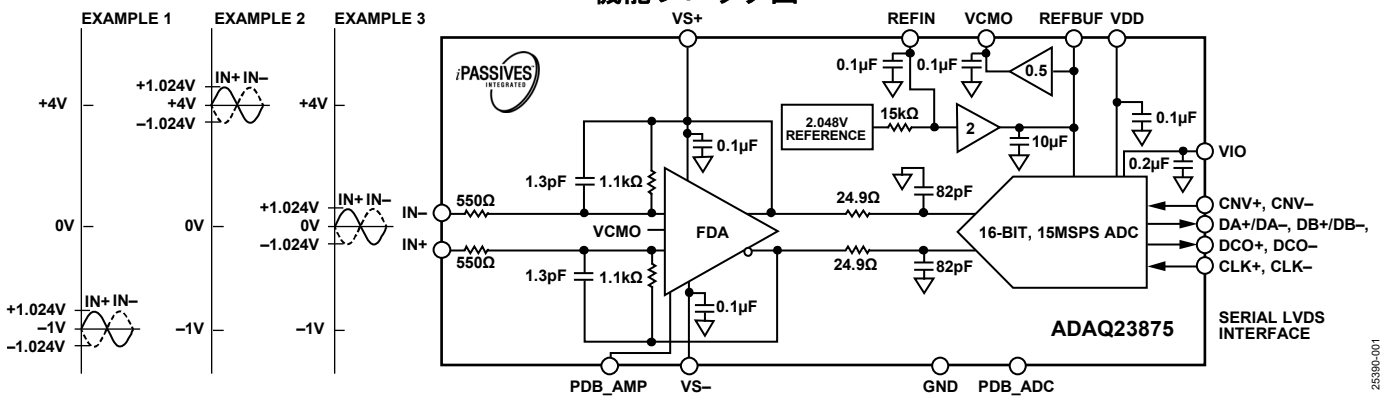

図 1. ゲイン = 2、±2.048V の差動入力範囲に設定された ADAQ23875

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大　阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038　愛知県名古屋市西区牛島町 6-1　名古屋ルーセントタワー 38F
電話 052（569）6300

目次

特長 1
アプリケーション 1
機能ブロック図 1
改訂履歴 2
仕様 3
　タイミング仕様 5
絶対最大定格 7
　熱抵抗 7
　静電放電（ESD）定格 7
　ESD に関する注意 7
ピン配置およびピン機能の説明 8
代表的な性能特性 10
用語の定義 15
動作原理 17
　回路説明 17
　伝達関数 17
アプリケーション情報 18
　代表的アプリケーション 18
　電圧リファレンス入力 19
　コモンモード出力 19
　電源 19
デジタル・インターフェース 20
　PCB レイアウト 22
外形寸法 23
　オーダー・ガイド 23

改訂履歴

11/2020—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 5V ±5%、VS+ = 5V ±5%、VS− = −1V ±5%、VS− = 0V[1]（V_{IN}の 95%）、VIO = 2.375V～2.625V、REFBUF = 4.096V、サンプリング周波数（f_S）= 15MSPS、ゲイン = 2、すべての仕様は T_{MIN}～T_{MAX}で規定。

表 1.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位[2]
RESOLUTION		18			Bits
ANALOG INPUT IMPEDANCE, Z_{IN}	V_{IN} = 4.096V p-p				
	シングルエンド／差動構成		550		Ω
	差動構成		1100		Ω
Input Capacitance	IN1+、IN1−		3.3		pF
Differential Input Voltage Range, V_{IN}[3]	ゲイン = 2、V_{IN} = 4.096V p-p	−2.048		+2.048	V
THROUGHPUT					
Complete Cycle		66.6			ns
Conversion Time		54	58	63	ns
Acquisition Phase[4]			t_{CYC} − 39		ns
Throughput Rate[5]		0.02		15	MSPS
Transient Response[6]	フルスケール・ステップ		52		ns
DC ACCURACY	シングルエンドおよび差動構成				
No Missing Codes		16			Bits
Integral Linearity Error		−1	±0.6	+1	LSB
		−12.5	±7.5	+12.5	ppm
Differential Linearity Error		−1	±0.25	+1	LSB
		−12.5	±3.125	+12.5	ppm
Transition Noise			0.73		LSB_{RMS}
Gain Error		−0.045	±0.005	+0.045	%FS
Gain Error Drift		−1	±0.05	+1	ppm/°C
Offset Error		−1.5		+1.5	mV
Offset Error Drift		−1.8	±0.25	+1.8	ppm/°C
Common Mode Rejection Ratio (CMRR), Input Referred	$\Delta V_{ICM}/\Delta V_{OSDIFF}$		96		dB
Power Supply Rejection Ratio (PSRR)					
Positive	VDD = 4.75V～5.25V		105		dB
	VS+ = 4.75V～5.25V、VS− = −1V		115		dB
Negative	VS+ = +5V、VS− = −0.75V～−1.25V		103		dB
1/f Noise[7]	帯域幅 = 0.1Hz～10Hz		9		µV p-p
Input Current Noise	f = 100kHz		1		pA/√Hz
AC ACCURACY[8]	シングルエンドおよび差動構成				
Dynamic Range	入力周波数（f_{IN}）= 1kHz、−60dB 入力	88	90		dB
Total RMS Noise			91.6		μV_{RMS}
Signal-to-Noise Ratio	f_{IN} = 1kHz	87.5	89.5		dB
	f_{IN} = 100kHz		88.5		dB
	f_{IN} = 400kHz		88		dB
	f_{IN} = 1MHz		87.5		dB
Signal-to-Noise + Distortion (SINAD)	f_{IN} = 1kHz	87.3	89		dB
	f_{IN} = 100kHz		88		dB
	f_{IN} = 400kHz		87.5		dB
	f_{IN} = 1MHz		87		dB
Total Harmonic Distortion (THD)	f_{IN} = 1kHz		−115		dB
	f_{IN} = 100kHz		−111		dB
	f_{IN} = 400kHz		−106		dB
	f_{IN} = 1MHz		−90		dB

パラメータ	テスト条件／コメント	Min	Typ	Max	単位 [2]
Spurious-Free Dynamic Range	f_{IN} = 1kHz		114		dB
	f_{IN} = 100kHz		110		dB
	f_{IN} = 400kHz		105		dB
	f_{IN} = 1MHz		91		dB
−3 dB Input Bandwidth, RC Filter			42		MHz
Aperture Delay[9]			0		ns
Aperture Jitter[9]			0.25		ps_{RMS}
REFERENCE					
REFIN, Internal Reference Output Voltage	出力電流（I_{OUT}）= 0µA	2.028	2.048	2.068	V
Temperature Coefficient			±5	±20	ppm/°C
Output Impedance			15		kΩ
Line Regulation	VDD = 4.75V～5.25V		0.3		mV/V
Input Voltage Range	REFIN をオーバードライブ	2.028	2.048	2.068	V
REFBUF, Reference Buffer Output Voltage	REFIN = 2.048V	4.056	4.096	4.136	V
Input Voltage Range	REFBUF をオーバードライブ [10]	4.056	4.096	4.136	V
Load Current	REFBUF = 4.096V（REFBUF をオーバードライブ時）		1.6	1.8	mA
			0.5		mA
VCMO[11]					
Common-Mode Output Voltage	REFBUF = 4.096V、I_{OUT} = 0µA	2.028	2.048	2.028	V
Output Impedance	−1mA < I_{OUT} < +1mA		15		Ω
DIGITAL INPUTS					
Logic Levels					
Input Low Voltage, V_{IL}	VIO = 2.5V			0.6	V
Input High Voltage, V_{IH}	VIO = 2.5V	1.7			V
Digital Input Current	VIN = 0V～2.5V	−10		+10	µA
Input Pin Capacitance			3		pF
CNV+/CNV– and CLK+/CLK– (LVDS Clock Input)					
Differential Input Voltage, V_{ID}		175	350	650	mV
Common-Mode Input Voltage, V_{ICM}		0.8	1.25	1.7	V
DCO+/DCO–, DA+/DA–, and DB+/DB– (LVDS Outputs)					
Differential Output Voltage, V_{OD}	100Ω 差動負荷	247	350	454	mV
Common-Mode Output Voltage, V_{OS}	100Ω 差動負荷	1.125	1.25	1.375	V
POWER-DOWN MODE					
ADC Driver (PDB_AMP)/ ADC (PDB_ADC)					
Low	パワーダウン・モード		<1		V
High	イネーブル、通常動作時		>1.7		V
POWER REQUIREMENTS					
VDD		4.75	5	5.25	V
VS+		3	5	VS− + 10	V
VS−		VS+ − 10	0	+0.1	V
VIO		2.375	2.5	2.625	V
Total Standby Current[12, 13]	スタティック、すべてのデバイスがイネーブル		45	52	mA
	スタティック、すべてのデバイスがイネーブル		0.1	0.4	µA
ADAQ23875 Current Draw					
VDD			4.6	5	mA
VS+/VS−			4	5.5	mA
VIO			40	42	mA

パラメータ	テスト条件／コメント	Min	Typ	Max	単位 [2]
ADAQ23875 Power Dissipation	VDD = 5V、VS+ = 5V、VS− = 0V				
VDD			23	26.25	mW
VS+/VS−			20	28.875	mW
VIO	1 レーン・モード [14]		100	110.25	mW
Total			143	165.375	mW
TEMPERATURE RANGE					
Specified Performance	T_{MIN}～T_{MAX}	−40		+85	°C

[1] ゲイン = 2 の場合は、差動入力範囲 V_{IN} を 95%以内に制限することで、ADC ドライバには VS− = 0V で十分なフットルームが確保され、仕様規定された性能を達成することができます。
[2] LSB は最下位ビットを意味します。入力に換算した LSB の重みは、入力電圧範囲に応じて変化します。
[3] 差動入力範囲 V_{IN} は、図 3～図 7 により許容される入力コモンモード電圧範囲内に収める必要があります。V_{IN} は、使用する電源レール VS+および VS−に依存します。
[4] アクイジション・フェーズとは、ADAQ23875 が 15MSPS のスループット・レートで動作している場合に、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間です。
[5] f_S = 15MHz の場合です。また、REFBUF 電流（I_{REFBUF}）はスループット・レートに対して直線的に変化します。
[6] この過渡応答は、ADAQ23875 が±1LSB の精度でフルスケール入力ステップを達成するのに必要な時間です。設計上の性能は確保していますが、テストの対象外です。
[7] 図 25 の 1/f ノイズ・プロットを参照してください。
[8] 特に指定のない限り、デシベルで表記されるすべての AC 仕様は、フルスケール入力レンジ（FSR）を基準とし、フルスケールより 1dB 低い入力信号でテストされます。
[9] 設計上の性能は確保していますが、テストの対象外です。
[10] REFBUF をオーバードライブする場合は、REFIN = 0V に設定して内部リファレンス・バッファをオフにする必要があります。詳細については、電圧リファレンス入力のセクションを参照してください。
[11] VCMO 電圧は、他の回路に使用できます。ただし、VCMO 電圧が仕様規定された範囲で安定な状態を維持するように、バッファを使用して電圧を駆動してください。
[12] 必要に応じて、すべてのデジタル入力を VIO または GND に接続しています。
[13] アクイジション・フェーズ時。
[14] 2 レーン・モードでは、VIO の消費電力は 1 レーン・モードより約 10mW 高くなります。

タイミング仕様

特に指定のない限り、VDD = 5V ±5%、VS+ = 5V ±5%、VS− = −1V ±5%、VS− = 0V[1]（V_{IN} の 95%）、VIO = 2.375V～2.625V、REFBUF = 4.096V、f_S = 15MSPS、ゲイン = 2、すべての仕様は T_{MIN}～T_{MAX} で規定。

表 2. デジタル・インターフェースのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
Sampling Frequency	f_{SMPL}	0.02		15	MSPS
Conversion Time—CNV± Rising Edge to Data Available	t_{CONV}	54	58	63	ns
Acquisition Phase	t_{ACQ}		t_{CYC} − 39		ns
Time Between Conversions	t_{CYC}	66.6		50,000	ns
CNV± High Time	t_{CNVH}	5			ns
CNV± Low Time	t_{CNVL}	8			ns
CNV± Rising Edge to First CLK± Rising Edge from the Same Conversion	$t_{FIRSTCLK}$	65			ns
CNV± Rising Edge to First CLK± Falling Edge from the Previous Conversion	$t_{LASTCLK}$			49	ns
CLK± to DCO± Delay	t_{CLKDCO}	0.7	1.3	2.3	ns
CLK± Low Time	t_{CLKL}	1.25			ns
CLK± High Time	t_{CLKH}	1.25			ns
CLK± to DA± and DB± Delay	t_{CLKD}	0.7	1.3	2.3	ns
DCO± to DA± and DB± Skew[1]	t_{SKEW}	−200	0	+200	ns
Sampling Delay Time	t_{AP}		0		ns
Sampling Delay Jitter	t_{JITTER}		0.25		ns

[1] 図 4 を参照してください（$t_{SKEW} = t_{CLKD} - t_{CLKDCO}$）。

タイミング図

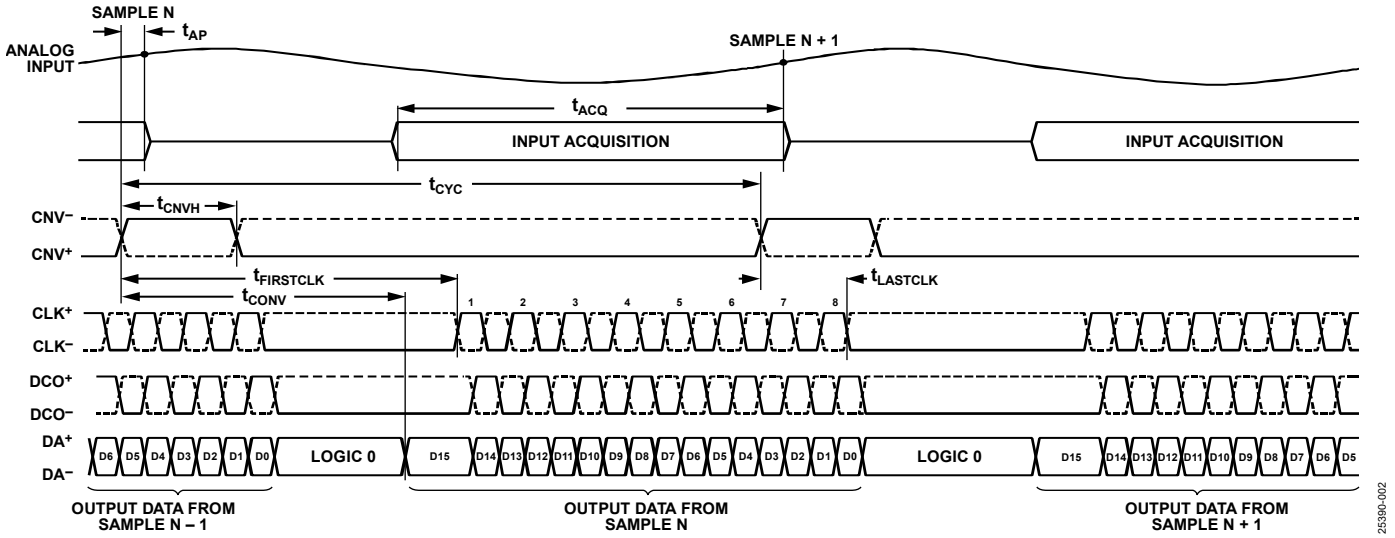

図 2. 1 レーン出力モードのタイミング図

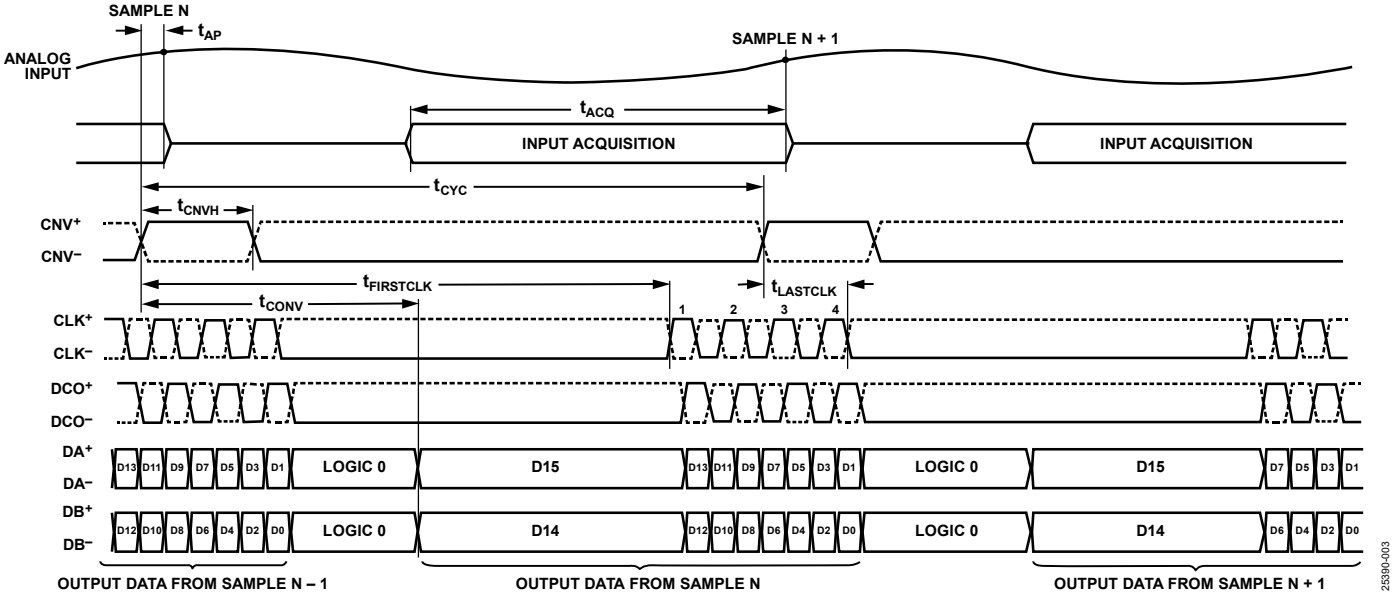

図 3. 2 レーン出力モードのタイミング図

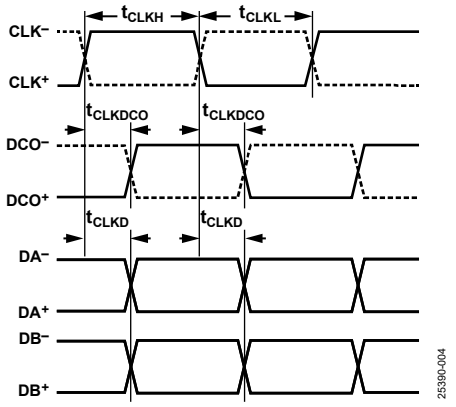

図 4. データ出力のタイミング図

絶対最大定格

表 3.

Parameter	Rating
Analog Inputs	
IN1+, IN1− to GND	−12 V to +12 V or ±24 mA
Supply Voltage	
VDD to GND	6 V
VIO to GND	2.8 V
VS+ to VS−	11 V
VS+ to GND	−0.3 V to +11 V
VS− to GND	−11 V to +0.3 V
REFBUF to GND	−0.3 V to VDD + 0.3 V
REFIN to GND	−0.3 V to +2.8 V
Digital Inputs to GND	−0.3 V to VIO + 0.3 V
Storage Temperature Range	−65°C to +150°C
Junction Temperature	150°C
Lead Temperature Soldering	260°C reflow as per JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type[1]	θ_{JA}	θ_{JC}	Unit
BC-100-7	48.4	35.1	°C/W

[1] テスト条件 1：熱抵抗のシミュレーション値は、2S2P JEDEC PCB の使用に基づく値です。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

人体モデル（HBM）は ANSI/ESDA/JEDEC JS-001 に準拠しています。

電界誘導帯電デバイス・モデル（FICDM）は ANSI/ESDA/JEDEC JS-002 に準拠しています。

表 5. ADAQ23875、100 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	3000	2
FICDM	1500	C3

ESD に関する注意

ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

	1	2	3	4	5	6	7	8	9	10
A	GND	IN1−	IN1+	GND	GND	GND	GND	VIO	GND	CNV+
B	PDB_AMP	IN1−	IN1+	GND	GND	GND	GND	TWOLANES	GND	CNV−
C	GND	VS+	GND	VS+	VS−	GND	GND	GND	GND	GND
D	GND	GND	GND	GND	GND	VCMO	GND	GND	GND	CLK+
E	GND	GND	GND	VS+	GND	GND	GND	GND	GND	CLK−
F	NC	NC	GND	GND	GND	GND	GND	GND	GND	GND
G	GND	GND	GND	GND	GND	GND	GND	GND	GND	DCO+
H	VS+	GND	GND	GND	GND	GND	GND	GND	GND	DCO−
J	VS−	GND	REFBUF	REFBUF	GND	GND	GND	GND	GND	DA+
K	GND	GND	REFIN	GND	PDB_ADC	VDD	TESTPAT	DB−	DB+	DA−

25390-005

図 5. 100 ボール CSP_BGA のピン配置、上面図

表 6. ピン機能の説明

ピン番号	記号	タイプ[1]	説明
A1, A4 to A7, A9, B4 to B7, B9, C1, C3, C6 to C10, D1 to D5, D7 to D9, E1 to E3, E5 to E8, E9, F3 to F10, G1 to G9, H2 to H9, J2, J5 to J9, K1, K2, K4	GND	P	電源グラウンド。
A2, B2	IN1−	AI	550Ω の抵抗が接続された FDA の負入力。
A3, B3	IN1+	AI	550Ω の抵抗が接続された FDA の正入力。
A8	VIO	P	2.5V アナログおよび出力電源。VIO の範囲は 2.375V～2.625V です。µModule の VIO 電源を生成する低ドロップアウト（LDO）レギュレータの出力は、2.2µF（0402、X5R）以上のセラミック・コンデンサを使用して GND にバイパスする必要があります。
A10	CNV+	DI	変換開始の LVDS 入力。CNV+の立上がりエッジでサンプル&ホールドはホールド・モードになり、変換サイクルを開始します。CNV−が GND に接続されている場合は、CNV+を 2.5V の CMOS 信号で駆動することもできます。

ピン番号	記号	タイプ[1]	説明
B1	PDB_AMP	DI	アクティブ・ロー。PDB_AMP ピンを GND に接続すると、FDA をパワーダウンします。そうでない場合は、PDB_AMP ピンを VS+に接続してください。
B8	TWOLANES	DI	2 レーン出力モードを有効化するデジタル入力。TWOLANES がハイのとき（2 レーン出力モード）、ADAQ23875 は一度に 2 ビットを DA−/DA+と DB−/DB+に出力します。TWOLANES がローのとき（1 レーン出力モード）、ADAQ23875 は一度に 1 ビットを DA−/DA+に出力し、DB−/DB+はディスエーブルされます。ロジック・レベルは VIO によって決まります。
B10	CNV−	DI	変換開始の LVDS 入力。CNV+の立上がりエッジでサンプル&ホールドはホールド・モードになり、変換サイクルを開始します。CNV−が GND に接続されている場合は、CNV+を 2.5V の CMOS 信号で駆動することもできます。
C2, C4, E4, H1	VS+	P	FDA とリファレンス・バッファの正側（供給）電源。µModule の VS+電源を生成する LDO の出力は、2.2µF（0402、X5R）以上のセラミック・コンデンサを使用して GND にバイパスする必要があります。
C5, J1	VS−	P	FDA の負電源。µModule の VS−電源を生成する LDO の出力は、2.2µF（0402、X5R）以上のセラミック・コンデンサを使用して GND にバイパスする必要があります。
D6	VCMO	AO	FDA 出力コモンモード電圧。VCMO ピンは公称 REFBUF/2 です。
D10	CLK+	DI	LVDS クロック入力。CLK+ピンには、変換結果をシリアルにシフト・アウトするために、クロックを外部から印加します。
E10	CLK−	DI	LVDS クロック入力。CLK−ピンには、変換結果をシリアルにシフト・アウトするために、クロックを外部から印加します。
F1, F2	NC		接続なし。不要な寄生容量を生じさせないように、NC ピンの下には電源プレーンとグランド・プレーンを配置しないでください。PCB レイアウトのセクションを参照してください。
G10	DCO+	DO	LVDS データ・クロック出力。DCO+ピンは、CLK+/CLK−のエコーで、データ出力をラッチするために使用できます。
H10	DCO−	DO	LVDS データ・クロック出力。DCO−ピンは、CLK+/CLK−のエコーで、データ出力をラッチするために使用できます。
J3, J4	REFBUF	AO	リファレンス・バッファ出力電圧。ADAQ23875 には、SAR アーキテクチャに必要な部品として 10µF のセラミック・バイパス・コンデンサが REFBUF と GND の間に既に配置されています。したがって、10µF のコンデンサと並列に小型コンデンサをもう 1 個追加すると性能が低下する可能性があるため、この追加は推奨しません。
J10	DA+	DO	シリアル LVDS データ出力。1 レーン出力モードでは DB−/DB+は使用しないため、これらの LVDS ドライバをディスエーブルすると、消費電力を低減できます。
K3	REFIN	P	内部リファレンス出力／リファレンス・バッファ入力。内部リファレンスの出力電圧は公称 2.048V で、REFIN ピンから出力されます。高精度なリファレンスが必要な場合は、REFIN に外部リファレンスを印加することができます。内部リファレンス・バッファを使用しない場合は、REFIN を GND に接続してバッファをパワーダウンし、バッファ付きの外部リファレンスを REFBUF に接続します。
K5	PDB_ADC	DI	パワーダウン・モードを有効化するデジタル入力。PDB_ADC をローにすると、内部 ADC コアがパワーダウン・モードに入り、すべての回路（LVDS インターフェースを含む）はシャットダウンします。PDB_ADC をハイにすると、デバイスは通常の動作をします。ロジック・レベルは VIO によって決まります。
K6	VDD	P	5V アナログ電源。VDD の範囲は 4.75V～5.25V です。µModule の VDD 電源を生成する LDO 出力は、2.2µF（0402、X5R）以上のセラミック・コンデンサを使用して GND にバイパスする必要があります。
K7	TESTPAT	DI	LVDS データ出力を強制的にテスト・パターンにするデジタル入力。TESTPAT をハイにすると、デジタル出力はテスト・パターンになります。TESTPAT をローにすると、デジタル出力は ADAQ23875 の変換結果になります。ロジック・レベルは VIO によって決まります。
K8	DB−	DO	シリアル LVDS データ出力。1 レーン出力モードでは DA−/DA+は使用しないため、これらの LVDS ドライバをディスエーブルすると、消費電力を低減できます。
K9	DB+	DO	シリアル LVDS データ出力。1 レーン出力モードでは DA−/DA+は使用しないため、これらの LVDS ドライバをディスエーブルすると、消費電力を低減できます。
K10	DA−	DO	シリアル LVDS データ出力。1 レーン出力モードでは DB−/DB+は使用しないため、これらの LVDS ドライバをディスエーブルすると、消費電力を低減できます。

[1] P は電源、AI はアナログ入力、DI はデジタル入力、AO はアナログ出力、DO はデジタル出力、NC は未接続を表します。AI、AO、DI、DO の各ピンの下には電源プレーンとグランド・プレーンの配置を避け、不要な寄生容量を削減すると共に性能に悪影響が及ばないようにしてください。PCB レイアウトのセクションを参照してください。

代表的な性能特性

特に指定のない限り、VDD = 5V ±5%、VS+ = 5V ±5%、VS− = −1V ±5%、VS− = 0V（V_{IN} の 95%）、VIO = 2.375V～2.625V、REFBUF = 4.096V、f_S = 15MSPS、ゲイン = 2、すべての仕様は T_A = 25ºC で規定。

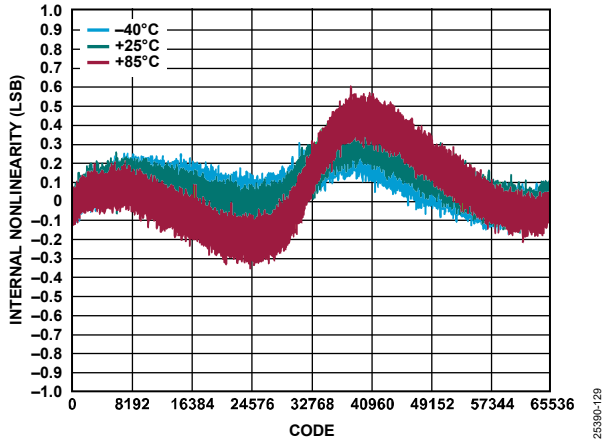

図 6. 様々な温度での INL とコードの関係、f_S = 15MSPS

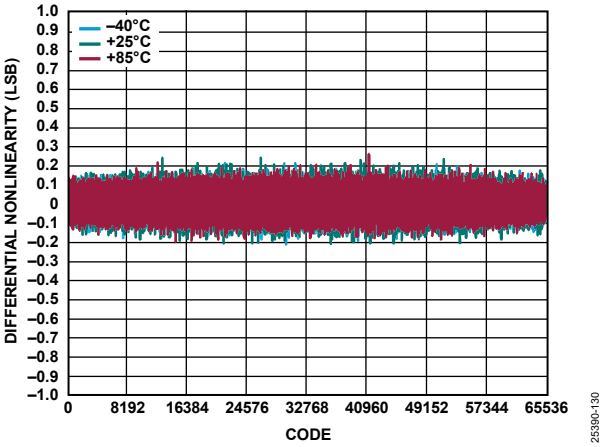

図 9. 様々な温度での DNL とコードの関係、f_S = 15MSPS

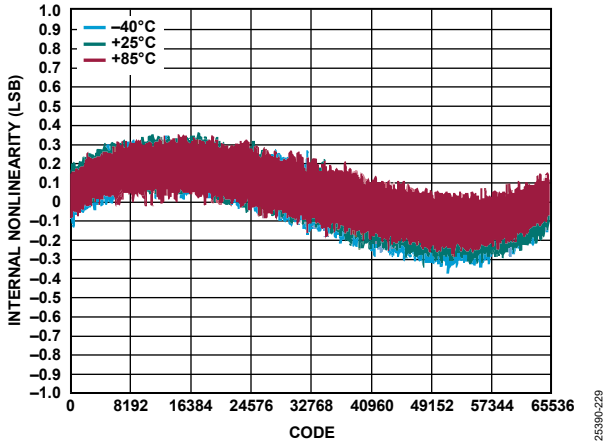

図 7. 様々な温度での INL とコードの関係、f_S = 10MSPS

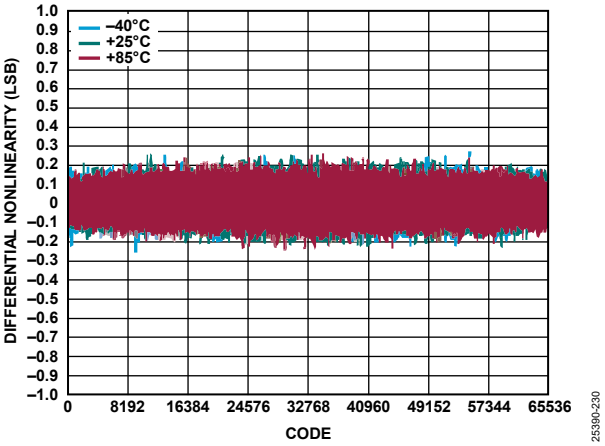

図 10. 様々な温度での DNL とコードの関係、f_S = 10MSPS

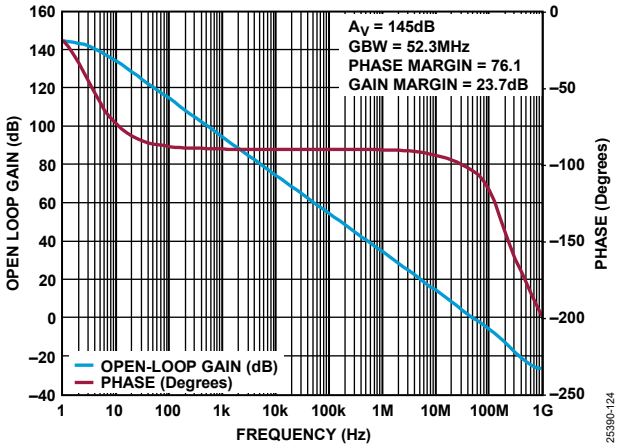

図 8. ADC ドライバのオープンループ・ゲインと位相の周波数特性

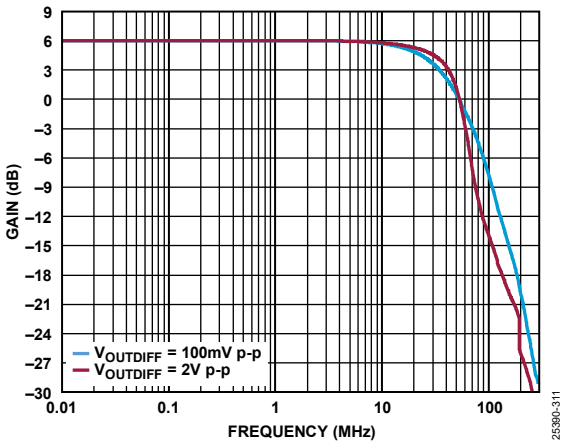

図 11. ADC ドライバの周波数応答（$V_{OUTDIFF}$ は差動出力電圧）

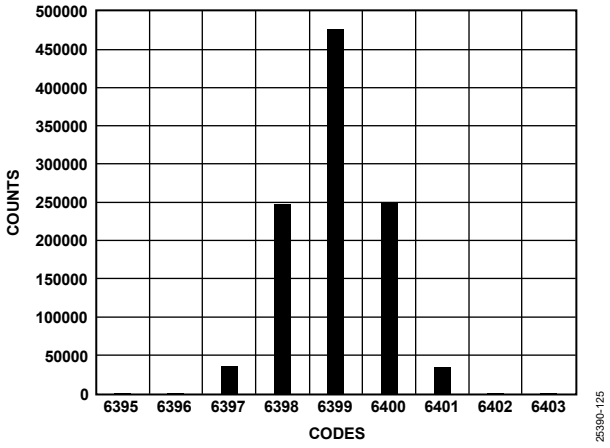

図 12. コード中心での DC 入力のヒストグラム

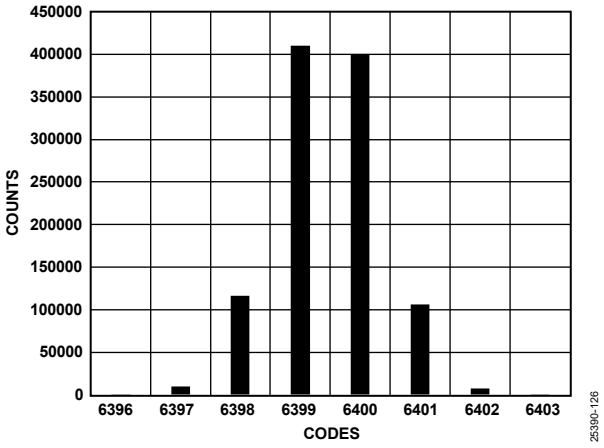

図 15. コード遷移での DC 入力のヒストグラム

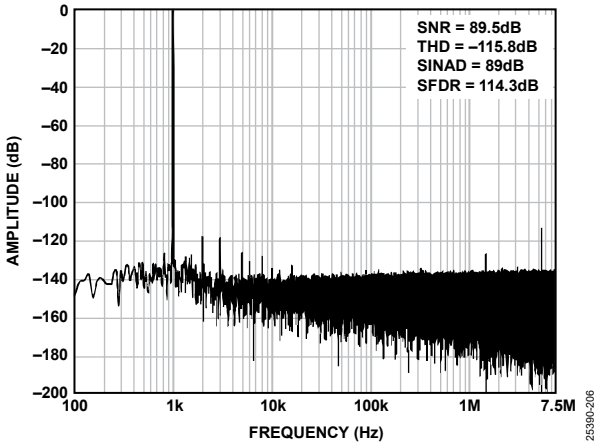

図 13. 1kHz、−1dBFS 入力トーンの FFT、広視野、差動、f_S = 15MSPS

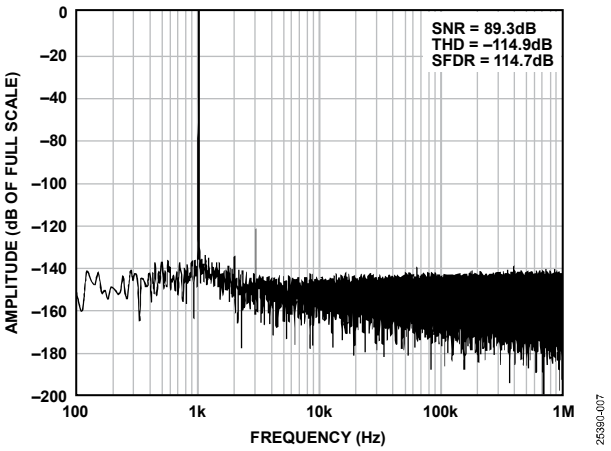

図 16. 1kHz、−1dBFS 入力トーンの FFT、広視野、差動、f_S = 10MSPS

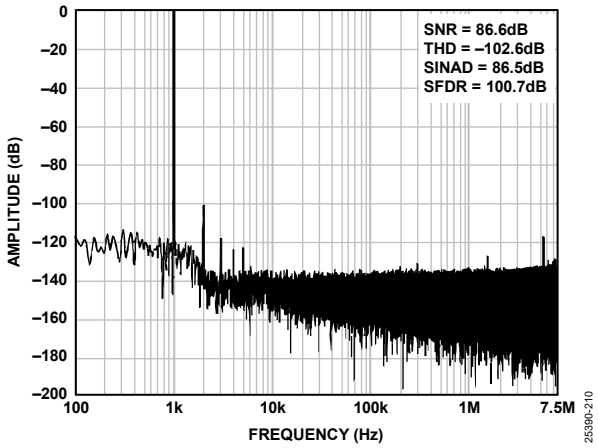

図 14. 1kHz、−1dBFS 入力トーンの FFT、広視野、シングルエンド、VCMO = 0V

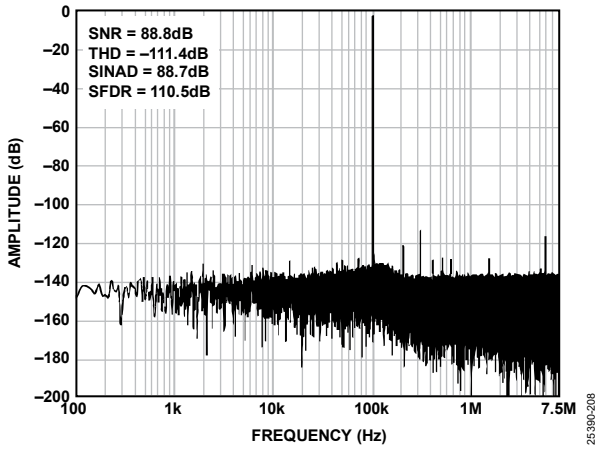

図 17. 100kHz、−3dBFS 入力トーンの FFT、広視野、差動

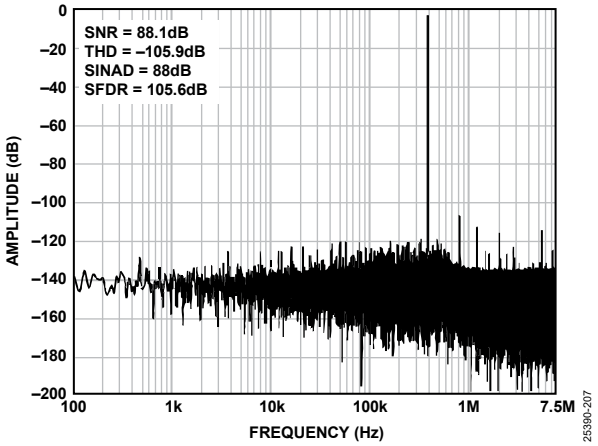

図 18. 400kHz、−3dBFS 入力トーンの FFT、広視野、差動

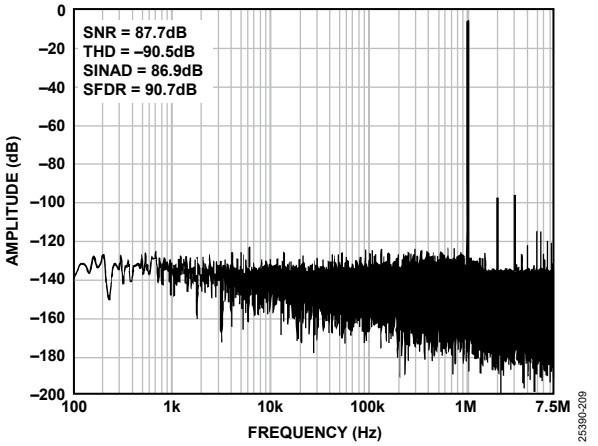

図 21. 1MHz、−6dBFS 入力トーンの FFT、広視野、差動

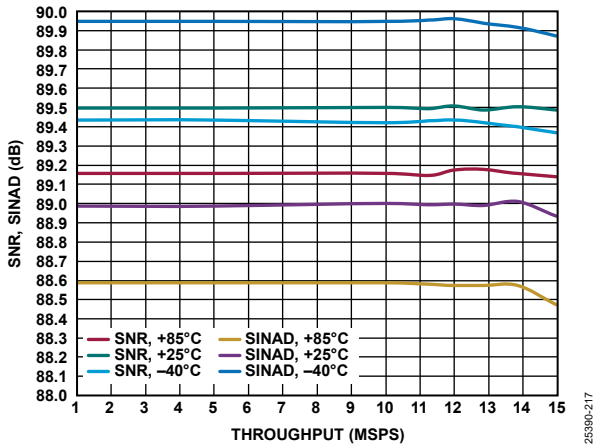

図 19. 様々な温度での S/N 比および SINAD とスループットの関係、f_{IN} = 1kHz

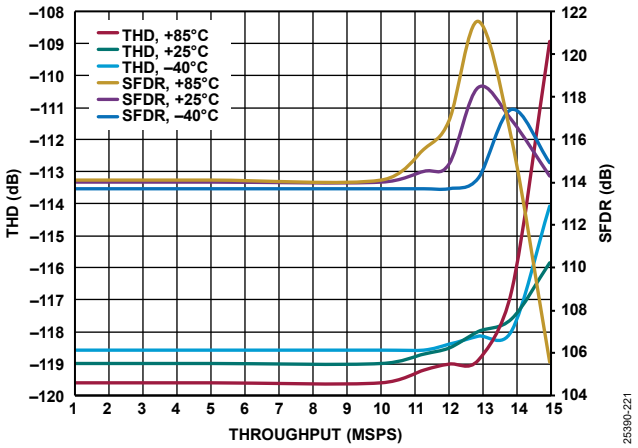

図 22. 様々な温度での THD および SFDR とスループットの関係、f_{IN} = 1kHz

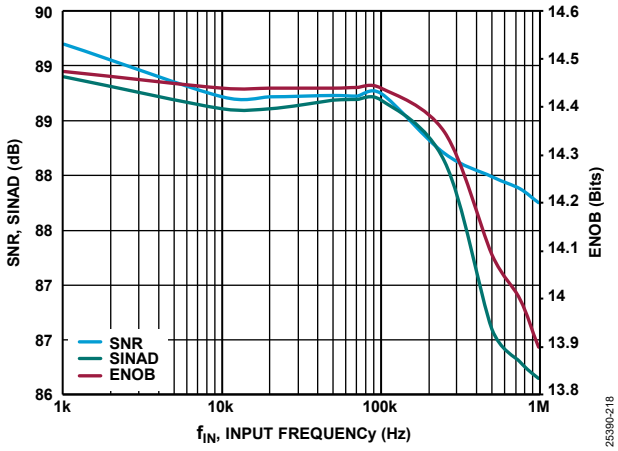

図 20. S/N 比、SINAD、ENOB と入力周波数の関係

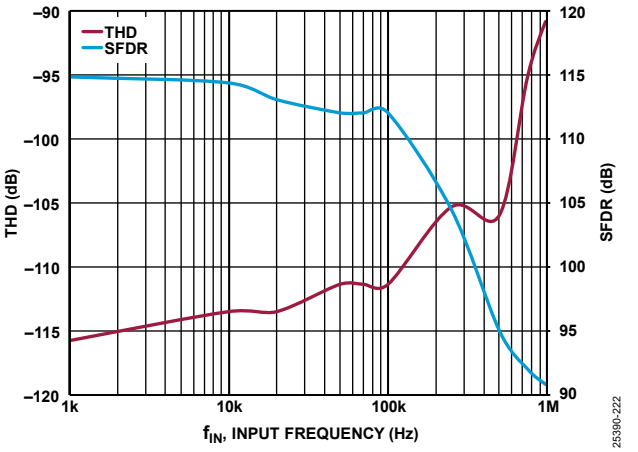

図 23. THD、SFDR と f_{IN} の関係

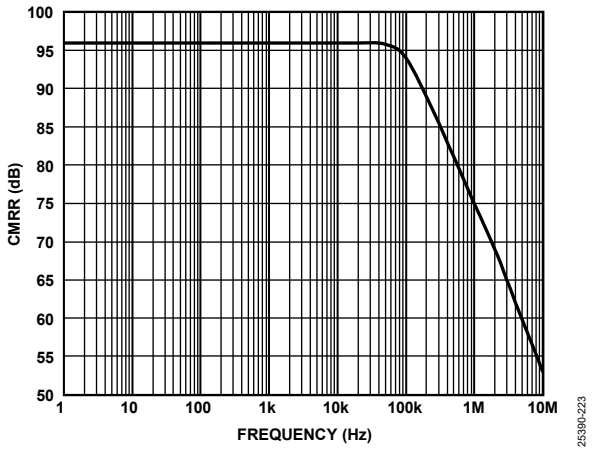

図 24. CMRR の周波数特性

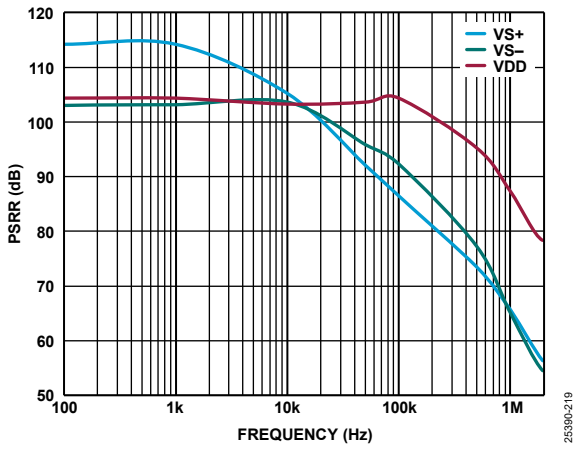

図 27. PSRR の周波数特性

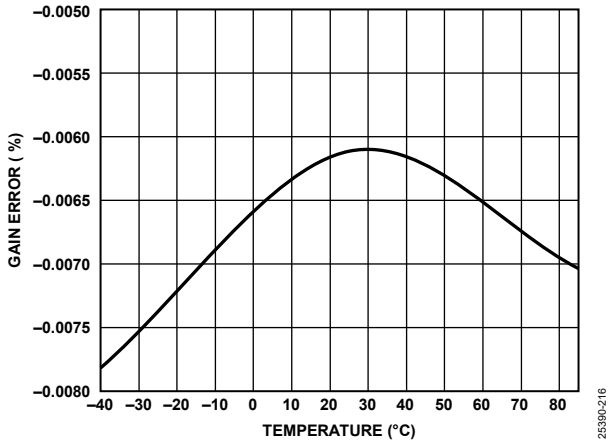

図 25. ゲイン誤差の温度特性

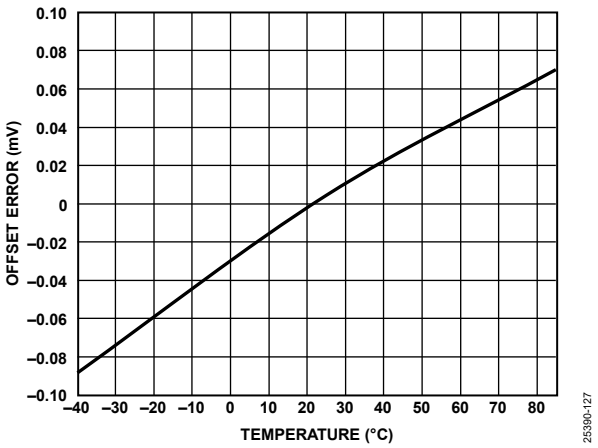

図 28. オフセット誤差の温度特性

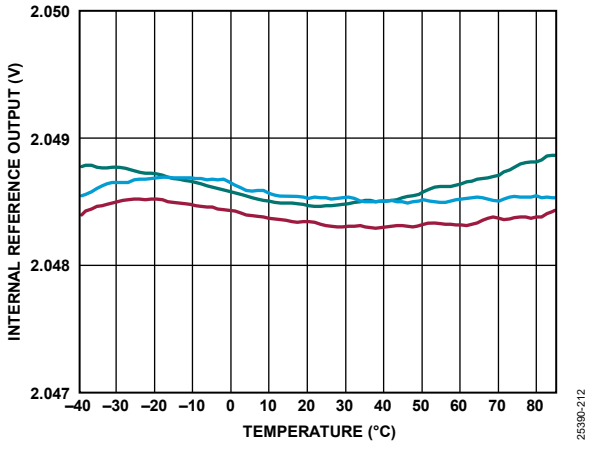

図 26. 内部リファレンス出力の温度特性

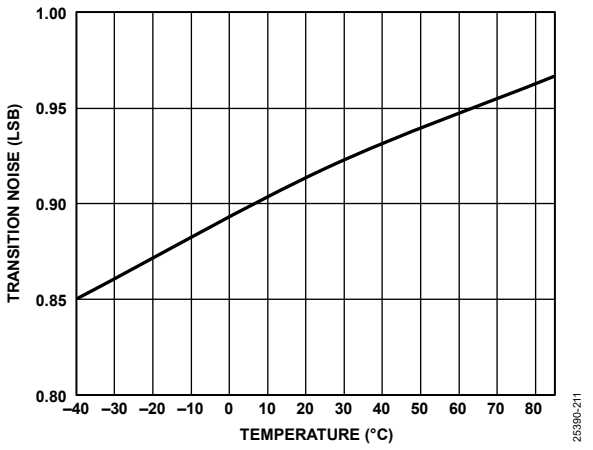

図 29. 遷移ノイズの温度特性

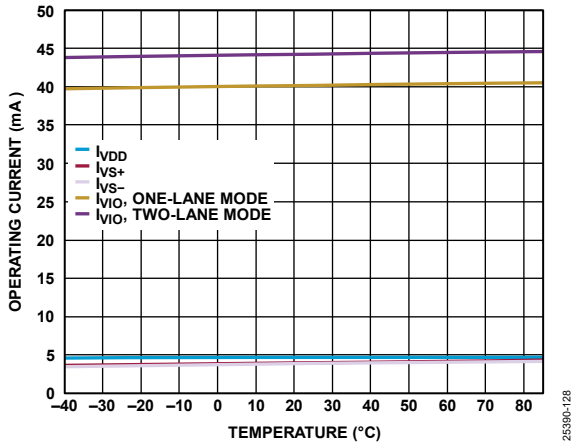

図 30. 動作電流の温度特性

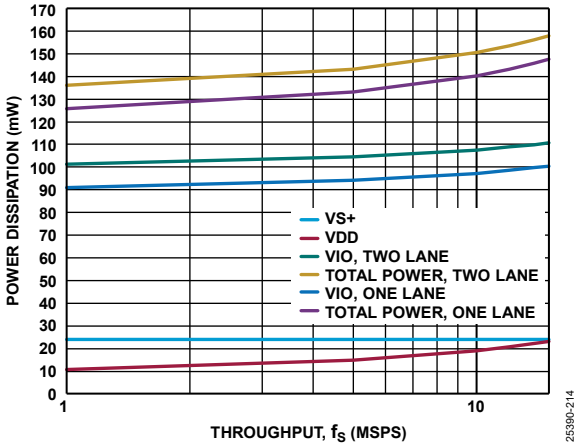

図 33. 消費電力とスループットの関係、25ºC

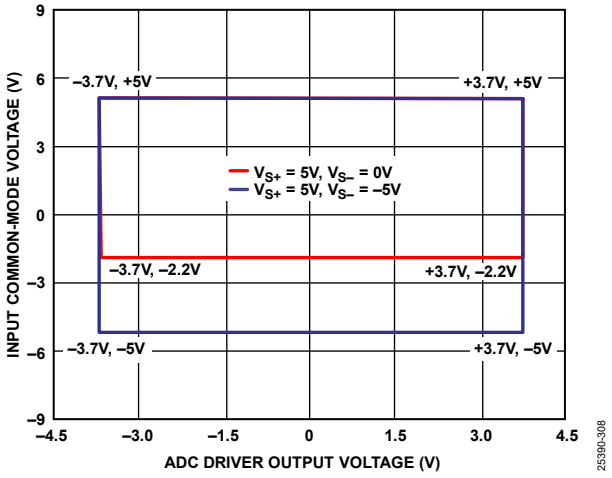

図 31. 入力コモンモード電圧と ADC ドライバ出力電圧の関係、ゲイン = 2、±1.024V の差動入力

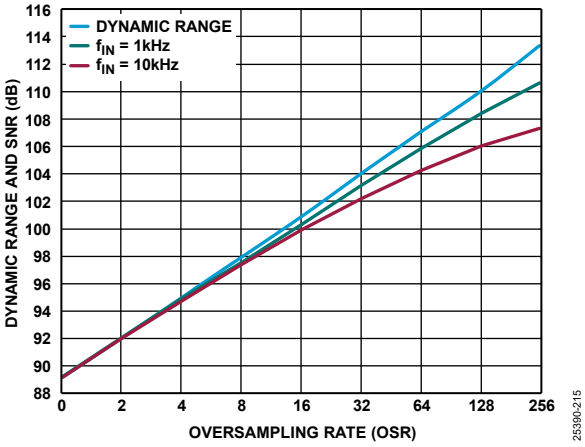

図 34. 様々な入力周波数でのダイナミック・レンジおよび S/N 比とオーバーサンプリング・レートの関係

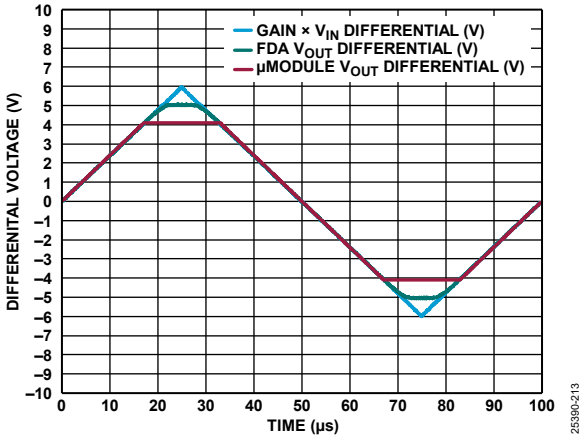

図 32. 出力オーバードライブ回復の時間変化、f_{IN} = 10kHz

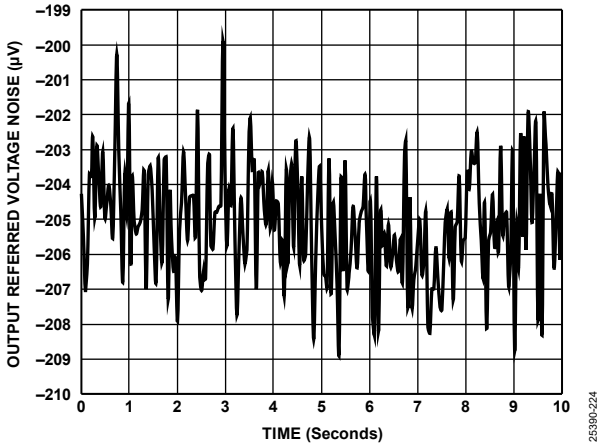

図 35. 帯域幅 0.1Hz～10Hz における 1/f ノイズ、f_S = 100kSPS、1 回の読出しで 256 個のサンプルを平均化、OSR = 4096

用語の定義

積分非直線性（INL）
INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より½LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を 1½LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

微分非直線性（DNL）
理想的な µModule では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

オフセット誤差

最初の遷移は、アナログ・グラウンドより½LSB 高いレベルで発生します（ゲイン＝2、±2.048V の範囲で 62.5µV）。オフセット誤差は、理想的なミッドスケール入力電圧（0V）と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

オフセット誤差ドリフトは、1ºC の温度変化に起因するオフセット誤差変化とフルスケール・コード範囲（ゲイン ＝ 2、±2.048V の範囲）の比です。このドリフトは、次式のように 1ºC あたりの ppm 値で表されます。

$$\textit{オフセット誤差ドリフト}\ (\text{ppm/ºC}) = 10^6 \times (\textit{オフセット誤差_}T_{MAX} - \textit{オフセット誤差_}T_{MIN}) / (T_{MAX} - T_{MIN})$$

ここで、T_{MAX} = 85ºC および T_{MIN} = −40ºC

ゲイン誤差

最初の遷移（100 … 000 から 100 … 001）は負の公称フルスケールより½LSB 上のレベル（ゲイン ＝ 2、±2.048V の範囲では −4.0959375V）で発生します。最後の遷移（011 … 110 から 011 … 111）は、公称フルスケールより 1½LSB 低いアナログ電圧（ゲイン ＝ 2、±2.048V の範囲では+4.0958125V）で発生します。ゲイン誤差は、最後の遷移の実際レベルと最初の遷移の実際レベルとの差と、オフセット誤差が除去された後の理論値レベル間の差との偏差です。この誤差は、次式のようにパーセント値で表されます。

$$\textit{ゲイン誤差}\ (\%) = 100 \times ((PFS–NFS)_{ACTUAL_CODE} - (PFS–NFS)_{IDEAL_CODE}) / (PFS–NFS)_{IDEAL_CODE}$$

ここで、
PFS は正のフルスケール、
NFS は負のフルスケールです。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、1ºC の温度変化に起因するゲイン誤差変化とフルスケール・レンジ（ゲイン＝2、±2.048V の範囲）の比です。このドリフトは、次式のように 1ºC あたりの ppm 値で表されます。

$$\textit{ゲイン誤差ドリフト}\ (\text{ppm/ºC}) = 10^6 \times (\textit{ゲイン誤差_}T_{MAX} - \textit{ゲイン誤差_}T_{MIN}) / (T_{MAX} - T_{MIN})$$

ここで、T_{MAX} = 85ºC および T_{MIN} = −40ºC。

スプリアスフリー・ダイナミック・レンジ（SFDR）
SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル（dB）です。

有効ビット数（ENOB）
ENOB は、サイン波入力による分解能の測定値です。ENOB と SINAD は次式のような関係があり、単位はビットで表わされます。

$$ENOB\ (\textit{ビット}) = (SINAD_{dB} - 1.76)/6.02$$

全高調波歪み（THD）
THD は、フルスケール入力信号の rms 値に対する最初の 5 次高調波成分の rms 総和の比率で、単位はデシベルです。

ダイナミック・レンジ
ダイナミック・レンジは、測定した合計 rms ノイズに対するフルスケールの rms 値の比率です。ダイナミック・レンジの単位はデシベルです。ダイナミック・レンジは、すべてのノイズ・ソースと DNL アーティファクトが含まれるように、−60dBFS の信号で測定されます。

S/N 比（SNR）
S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の rms 総和に対する実際の入力信号の rms 値の比です。S/N 比の単位はデシベルです。

信号／ノイズ＋歪み（SINAD）
SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和（高調波成分は含むが、直流成分は除く）に対する実際の入力信号の実効値の比です。SINAD の単位はデシベルです。

アパーチャ遅延
アパーチャ遅延は、アクイジション性能の測定値です。CNV 入力の立上がりエッジと入力信号が変換のために保持される間の時間です。

過渡応答
過渡応答は、µModule が±1LSB の精度でフルスケール入力ステップを達成するのに必要な時間です。

同相ノイズ除去比（CMRR）
CMRR は、入力にコモンモード電圧として印加された周波数 f、振幅 1.3V p-p のサイン波の電力と、µModule の出力に現れた周波数 f の電力との比です。

$$CMRR(\text{dB}) = 10\log(P_{\mu Module_IN}/P_{\mu Module_OUT})$$

ここで、
$P_{\mu Module_IN}$ は入力に印加された周波数 f のコモンモード電力、
$P_{\mu Module_OUT}$ は、µModule の出力に現れた周波数 f の電力です。

電源電圧変動除去比（PSRR）

PSRR は、5V を中心とする VDD と VS+の電源電圧に印加された周波数 f、振幅 500mV p-p のサイン波の電力、および-1V を中心とする VS−の電源電圧に印加された周波数 f、振幅 100mV p-p のサイン波の電力と、µModule の出力に現れた周波数 f の電力との比です。

$$PSRR(\text{dB}) = 10\log(P_{\mu Module_IN}/P_{\mu Module_OUT})$$

ここで、

$P_{\mu Module_IN}$ は VDD、VS+、および VS−の各電源ピンでの周波数 f の電力、

$P_{\mu Module_OUT}$ は、µModule の出力に現れた周波数 f の電力です。

動作原理

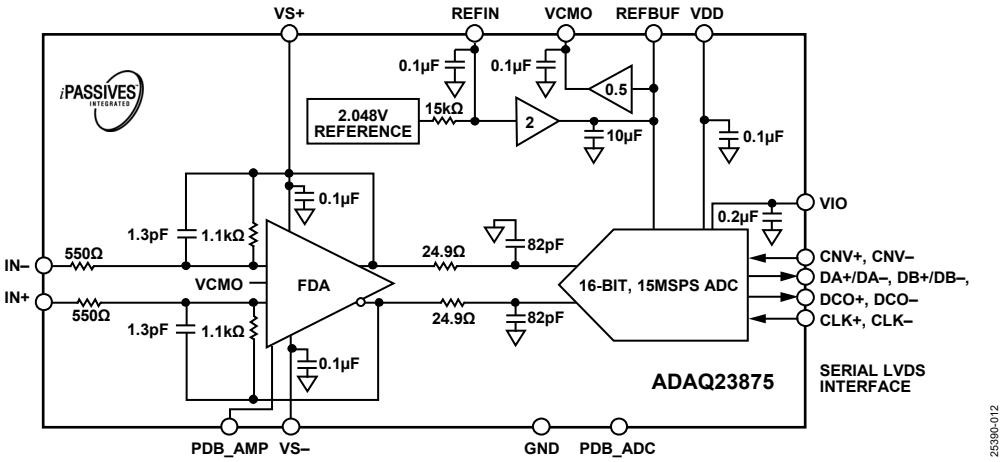

図 36. ADAQ23875 µModule の簡略ブロック図

回路説明

ADAQ23875 は、部品選定、最適化、レイアウトといった設計負荷を設計者からデバイスに移すことで、高精度測定システムの開発サイクルを短縮する、高精度で高速の µModule データ・アクイジション・ソリューションです。ADAQ23875 は、低ノイズ FDA、安定したリファレンス・バッファ、高速 16 ビット 15MSPS の SAR ADC など、複数の共通信号処理およびコンディショニング・ブロックを 1 つのデバイスに統合することでエンド・システムの部品点数を削減します。また、このデバイスは、最適な性能を得るために必要なアナログ・デバイセズ独自の iPassive 技術部品も内蔵しています。この内蔵抵抗が持つ優れたマッチングおよびドリフト特性によって、誤差源の温度依存性が最小限に抑えられています。

ADAQ23875 は、2.048V の高精度リファレンスとリファレンス・バッファを内蔵しています。また、高速シリアル LVDS インターフェースを搭載しており、同時に 1 ビットまたは 2 ビットの出力が可能です。パイプライン遅延なしに 15MSPS の高速スループットを実現できるため、幅広い高速アプリケーションに最適です。15MSPS での消費電力はわずか 143mW（代表値）です。FDA の出力は、図 31 に示すように ADC のフルスケール・レンジ（±4.096V）内で完全に回復するため、ADAQ23875 の出力は常に有効です。

伝達関数

ADAQ23875 µModule は、2× REFBUF のフルスケール電圧を 2^{16} のレベルにデジタル化します。その結果、REFBUF = 4.096V の場合に LSB のサイズは 125µV になります。出力データは 2 の補数フォーマットです。理想的な伝達関数を図 37 に示します。理想的なオフセット・バイナリの伝達関数は、2 の補数表示された伝達関数の各出力コードの MSB を反転することによって得られます。

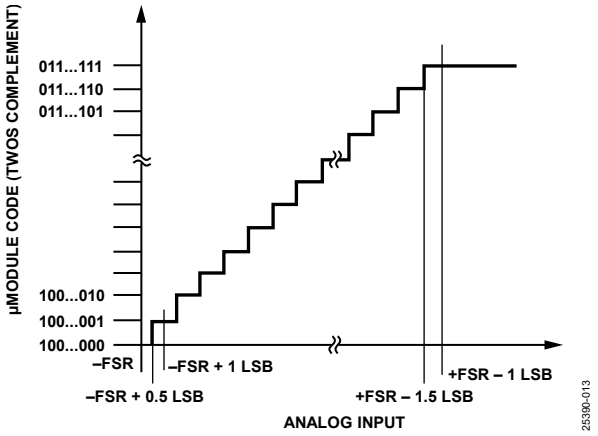

図 37. ADAQ23875 の理想的な伝達関数
（FSR はフルスケール・レンジ）

表 7. 出力コードと入力電圧の理論値

Description	Inputs Voltages	Digital Output Code (Twos Complement, Hex.)
FSR − 1 LSB	$(32{,}767 \times V_{REF})/(32{,}768 \times gain)$	0x7FFF
Midscale + 1 LSB	$V_{REF}/(32{,}768 \times gain)$	0x0001
Midscale	0 V	0x0000
Midscale − 1 LSB	$-V_{REF}/(32{,}768 \times gain)$	0xFFFF
−FSR + 1 LSB	$-(32{,}767 \times V_{REF})/(32{,}768 \times gain)$	0x8001
−FSR	$-V_{REF} \times gain$	0x8000

アプリケーション情報

代表的アプリケーション

図 38 は、差動信号を ADAQ23875 の各入力に印加する場合の代表的なアプリケーション例で、ゲインが一定でコモンモード電圧を変化させた例を示しています。図 39 は、シングルエンド信号を ADAQ23875 の入力の 1 つに印加する場合の代表的なアプリケーション例で、ゲインが一定でコモンモード電圧を 0V に固定した例を示しています。

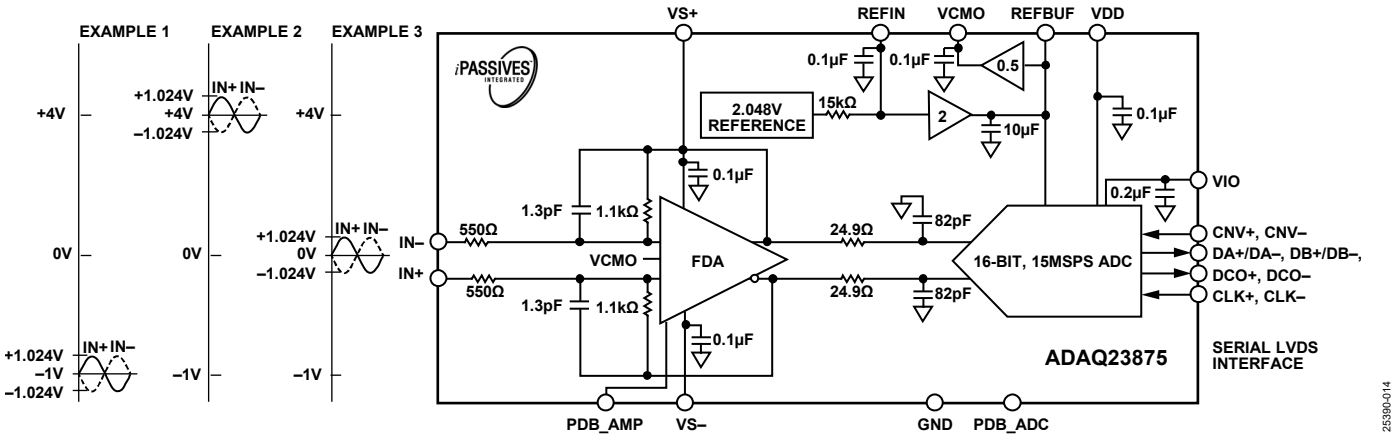

図 38. 差動入力構成の ADAQ23875、ゲイン = 2、±2.048V の入力範囲

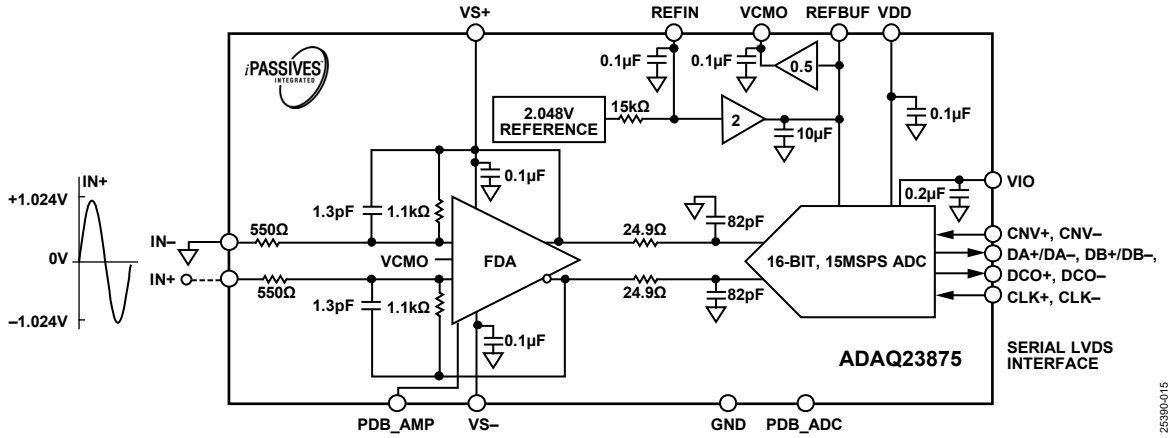

図 39. シングルエンド入力構成の ADAQ23875、ゲイン = 2、±2.048V の入力範囲

電圧リファレンス入力

ADAQ23875 µModule は、低ノイズ、低ドリフト（20ppm/ºC）のバンドギャップ・レファレンスを内蔵しており、REFIN に接続されています。内部レファレンス・バッファは REFIN 電圧を 2 倍に増幅するため、REFBUF ピンでは 4.096V になります。REFBUF と GND の間の電圧差によって、ADAQ23875 のフルスケール入力レンジが決まります。リファレンスとレファレンス・バッファは、必要に応じて外部から駆動することもできます。また、ADAQ23875 は REFBUF と GND の間に 10µF のデカップリング・コンデンサを内蔵しており、デバイス内で最適に配置されています。このデカップリング・コンデンサは、SAR アーキテクチャに不可欠な部品です。したがって、10µF のコンデンサと並列に小型コンデンサをもう 1 個追加すると性能が低下する可能性があるため、この追加は推奨しません。

内部リファレンス・バッファを使用した内部リファレンス

内部リファレンスと内部レファレンス・バッファを使用するには、0.1µF のセラミック・コンデンサを REFIN ピンと GND の間に配置してバイパスを行ってください。

内部リファレンス・バッファを使用した外部リファレンス

更に高精度や低ドリフトが求められる場合は、図 40 に示すように 2.048V の外部リファレンスによって REFIN を直接オーバードライブすることができます。アナログ・デバイセズは、多くのアプリケーションの要求を満たすように設計された高性能リファレンスを用意しています。ADAQ23875 の内部リファレンスをオーバードライブする場合は、小型、低消費電力、高精度の LTC6655 の使用が最適です。LTC6655 は高精度アプリケーションを対象としており、0.025%（最大値）の初期精度と 2ppm/ºC（最大値）の温度係数を備えています。

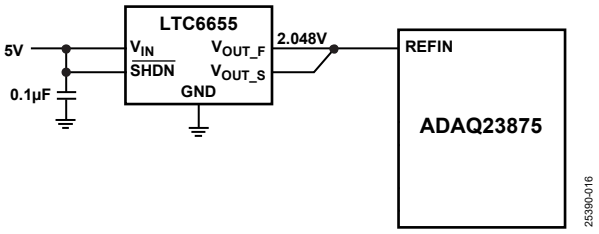

図 40. 外部リファレンスとして LTC6655 を使用

外部リファレンス・バッファ

4.096V の外部リファレンスを REFBUF ピンに接続して、内部リファレンス・バッファをオーバードライブすることもできます（図 41 参照）。上記を行うためには、REFIN をグラウンドに接続してリファレンス・バッファをディスエーブルする必要があります。外部リファレンスは、高速過渡応答性能を備えていることが必須であるため、REFBUF ピンで 0.5mA～1.6mA の負荷を駆動できます。REFBUF をオーバードライブする場合は、LTC6655 の使用を推奨します。

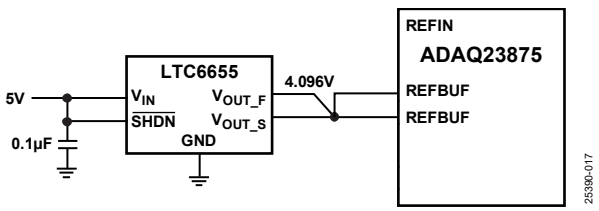

図 41. LTC6655 を使用した REFBUF のオーバードライブ

コモンモード出力

VCMO ピンは、REFBUF ピンに現れている電圧の 2 分の 1 の公称電圧を供給するための出力です。この電圧は、ADAQ23875 内の ADC のアナログ入力を駆動する FDA のコモンモードを設定するために使用されます。

電源

ADAQ23875 では、内部の ADC コア用の電源（VDD）、デジタル入出力インターフェース用の電源（VIO）、FDA 用の正電源（VS+）と負電源（VS−）の 4 系統の電源を使用します。図 33 に、VS+、VDD、VIO の各電源の消費電力をはじめとして代表的な総消費電力を示します。図 27 に、様々な周波数での ADAQ23875 の PSRR 性能、すなわち µModule が電源ノイズを除去したり、電源電圧変動の影響を低減したりする能力を示します。µModule の電源レール（VDD、VIO、VS+、VS−）を生成する LDO レギュレータの出力には、2.2µF（0402、X5R）以上の高品質のセラミック・バイパス・コンデンサを配置して、電磁干渉（EMI）感受性を最小限に抑え、電源ライン上のグリッチの影響を低減する必要があります。他に必要なバイパス・コンデンサはすべて ADAQ23875 に内蔵されているため、サブシステム全体の PSRR が向上し、基板面積およびコストを削減することができます。

レイアウトのガイドラインについては、PCB レイアウトのセクションを参照してください。

電源シーケンス

ADAQ23875 には、電源シーケンスに関して特定の条件はありません。ADAQ23875 内部の ADC コアは、パワーオン・リセット（POR）回路を搭載しており、最初のパワーアップ時、あるいは VDD が最小値を大きく下回ったときは常に、POR 回路が ADAQ23875 をリセットします。電源電圧が再び公称電源電圧範囲に入ると、POR は ADAQ23875 を再初期化します。

パワーダウン・モード

PDB_AMP ピンに低ロジック・レベル（GND）を印加して FDA のパワーダウン・モードをアサートすると、ADAQ23875 の未使用時に消費される静止電流が最小限に抑えられます。PDB_AMP ピンが GND に接続されている場合、FDA 出力は高インピーダンス状態になります。PDB_ADC が低ロジック・レベルになると内部の ADC コアがパワーダウン・モードに入り、すべての回路（LVDS インターフェースを含む）はシャットダウンします。PDB_AMP と PDB_ADC が高ロジック・レベルに接続されている場合、ADAQ23875 は通常の動作をします。PDB_AMP ピンのロジック・レベルは VS+で、PDB_ADC ピンのロジック・レベルは VIO で決まります。

デジタル・インターフェース

ADAQ23875 の変換は、CNV+入力と CNV−入力によって制御します。これらの入力は、LVDS 信号を使用して直接駆動することができます。また、CNV−が GND に接続されている場合は、0V～2.5V の CMOS 信号を使用して CNV+を駆動することもできます。CNV+の立上がりエッジがアナログ入力をサンプリングすると同時に、変換が開始されます。CNV+のパルス幅は、タイミング表（表 2）に詳述されている t_{CNVH} と t_{CNVL} の仕様を満足する必要があります。

ADAQ23875 の起動後またはパワーダウン・モード終了後に行われた最初の 2 回の変換サイクルにおいて、変換されたデータは無効です。その後の変換結果は、変換間隔が t_{CYC} の仕様を満足している限り有効です。サンプリング中、アナログ入力信号が完全にセトリングされていない場合、ADAQ23875 のノイズ性能は CNV+の立上がりエッジにおけるジッタの影響を受けます。この場合、クリーンで低ジッタの信号によって CNV+の立上がりエッジを駆動してください。ADAQ23875 は、CNV+の立下がりエッジのジッタの影響はほとんど受けないことに注目してください。ジッタの影響を受けないアプリケーションでは、CNV を FPGA（フィールド・プログラマブル・ゲート・アレイ）から直接駆動することができます。

ADAQ23875 は、最大変換時間が 63ns になるように調整された内部クロックを生成します。標準的なアクイジション時間（27.7ns）の場合に、15MSPS のスループット性能を達成します。

ADAQ23875 は、シリアル LVDS デジタル・インターフェースを備えており、FPGA に簡単に接続できます。CLK±、DCO±、DA±の 3 組の LVDS ペアが必要です。4 組目の LVDS ペアである DB±はオプションです（図 42)参照）。PCB 上の LVDS 信号は 100Ω の差動伝送ラインとして配線し、レシーバーでは 100Ω の抵抗を使用して終端してください。オプションの LVDS 出力である DB±をイネーブルすると、データは DA±と DB±から同時に 2 ビット出力されます。DB±出力をイネーブルすると、VIO の電源電流が約 3.6mA 増加します。2 レーン・モードの場合、必要な CLK±の数は 4 クロック・パルスになります（図 46 参照）。

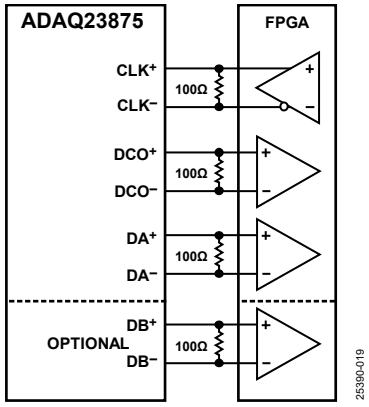

図 42. FPGA とのデジタル出力インターフェース

1 レーン出力モード

変換は CNV+の立上がりエッジで開始されます。変換が完了すると、最上位データ・ビットが DA±上に出力されます。その後、データの準備ができて、CLK±入力に 8 クロック・パルスのバーストが印加されると、データがシフト・アウトされます。DA±上のデータは、CLK±の各エッジで更新されます。CLK±のエコーは、DCO±に出力されます。DA±のエッジと DCO±のエッジは、揃えられて出力されます。これにより、DCO±は FPGA で DA±をラッチするために使用することができます。1 回の変換でのタイミング図を図 43 と図 44 に示します。現在の変換が完了した後で、かつ次の変換が終わる前に、データをクロック・アウトする必要があります。データのクロック・アウトが可能な有効時間のウィンドウを図 45 に示します。次の変換が開始されても、データは引き続きクロック・アウトできることに注意してください。

2 レーン出力モード

サンプル・レートが高い場合、LVDS インターフェースに必要なデータ・レートが 400Mbps を超えることがあります。ほとんどの FPGA はこのレートに対応できますが、これより低いデータ・レートにする必要がある場合には 2 レーン出力モードを使用することができます。TWOLANES 入力ピンをハイ（VIO）に接続することで、ADAQ23875 は DA−/DA+と DB−/DB+から同時に 2 ビットを出力します（図 46 参照）。

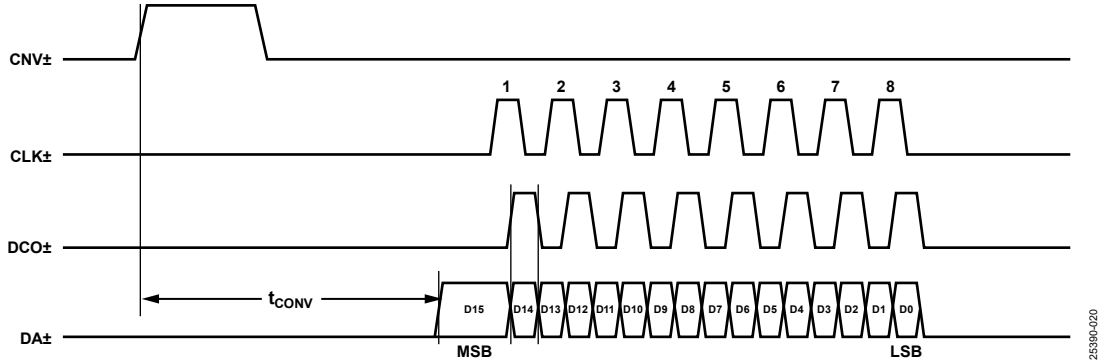

図 43. 1 レーン・モードでの 1 回の変換のタイミング図

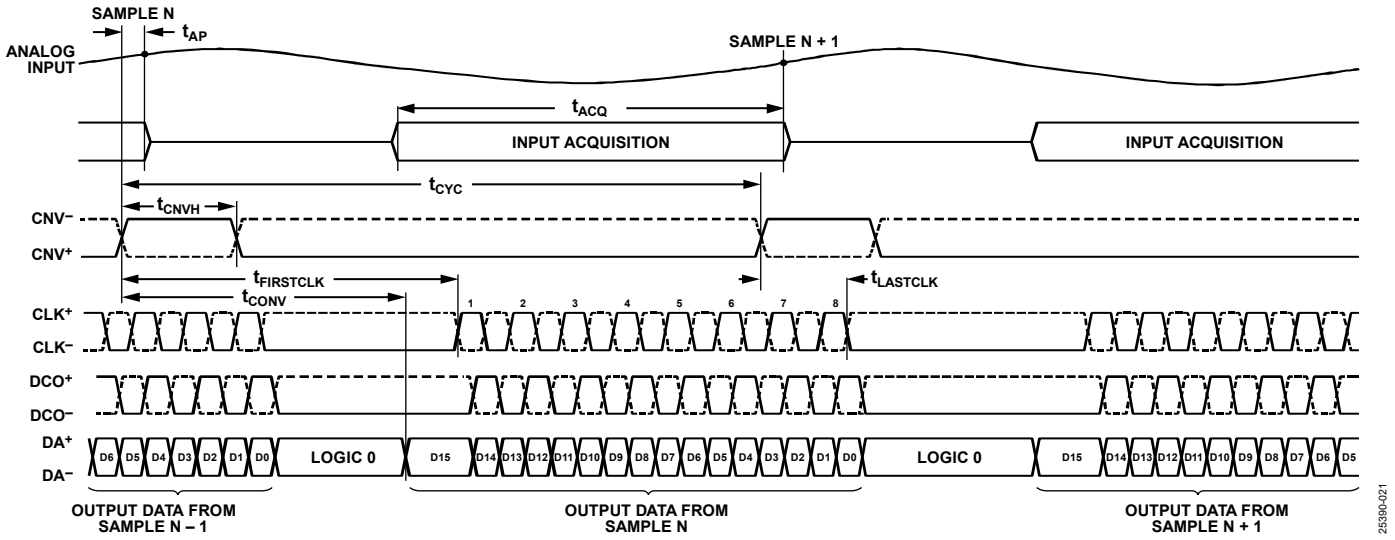

図 44. 1 レーン出力モードでの複数回の変換のタイミング図

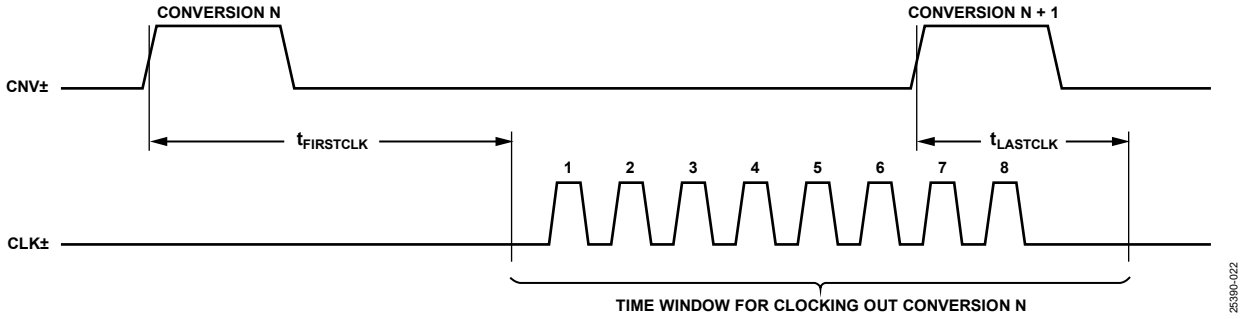

図 45. データのクロック・アウトが可能な有効時間のウィンドウ

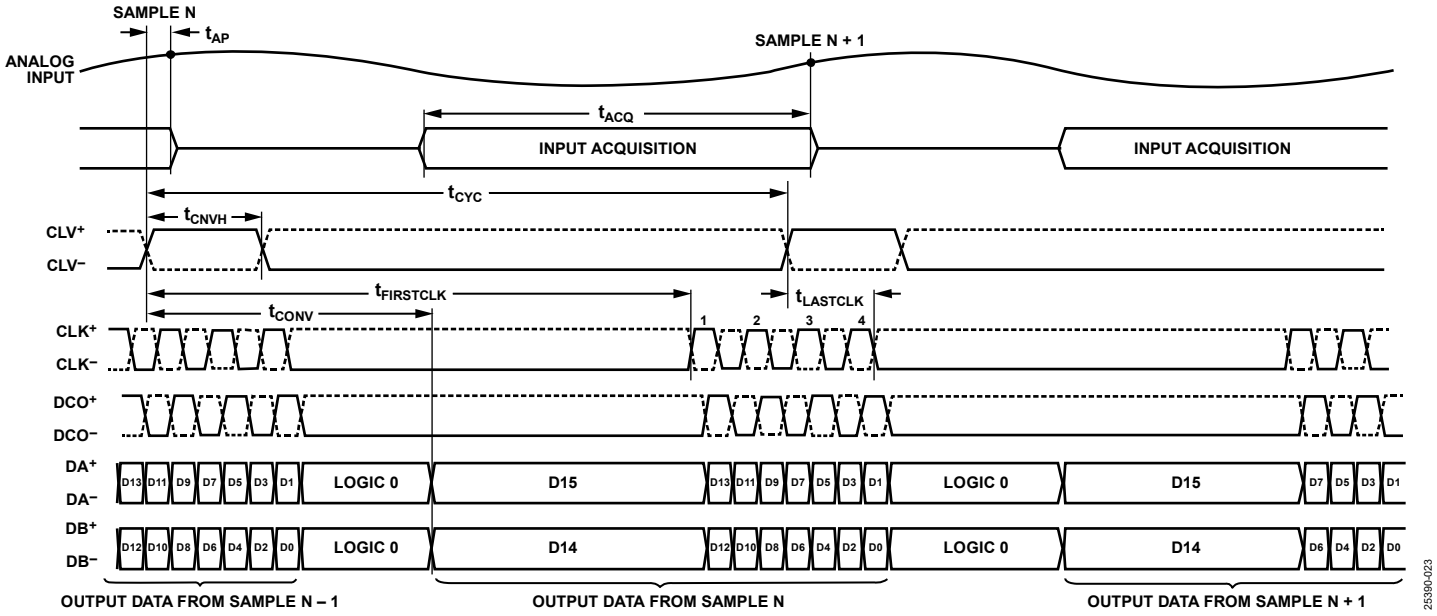

図 46. 2 レーン出力モード

出力テスト・パターン

TESTPAT ピンをハイ（VIO）に接続するとテスト・パターンがイネーブルされ、ADAQ23875 のデジタル・インターフェースのインサーキット・テストが可能になり、LVDS のデータ出力はテスト・パターンになります。ADAQ23875 のデジタル・データには、次のような既知の値のテスト・パターンが出力されます。

- 1 レーン・モード： 1010 0000 0111 1111
- 2 レーン・モード：1100 1100 0011 1111

TESTPAT ピンがロー（GND）に接続されているときは、ADAQ23875 のデジタル・データには変換結果が出力されます。

PCB レイアウト

信号の完全性を保ち、ADAQ23875 から期待どおりの性能を引き出すには、PCB レイアウトが重要です。ADAQ23875 直下の多層基板の第 1 内層には、クリーンなグランド・プレーンを形成することを推奨します。PCB 上では、個々の部品の配置と各信号の配線に注意を払う必要があります。入力信号と出力信号を対称に配線することを強く推奨します。ADAQ23875 のグラウンド・ピンは、複数のビアを介して PCB のグランド・プレーンに直接ハンダ付けしてください。不要な寄生容量を生じさせないように、ADAQ23875 のアナログ入出力ピンとデジタル入出力ピン（F1 と F2 を含む）の下にはグランド・プレーンと電源プレーンを配置しないでください。不要な寄生容量は、ADAQ23875 の歪みや直線性に影響を与える可能性があります。

ADAQ23875 のピン配置は左側がアナログ信号、右側がデジタル信号になっており、レイアウトが容易です。アナログ部とデジタル部は、互いに影響を及ぼさないように PCB 上で分離し、電源回路はアナログ信号パスから離してください。ADAQ23875 にノイズがカップリングするのを防ぐため、CNV±や CLK±などの高速スイッチング信号とデジタル出力 DA±および DB±は、アナログ信号パスの近くに配線したり交差させたりしないでください。

µModule の電源レール（VDD、VIO、VS+、VS−）を生成する LDO レギュレータの出力と GND の間に、2.2µF（0402、X5R）以上の高品質のセラミック・バイパス・コンデンサを配置して、EMI の感受性を最小限に抑え、電源ライン上のグリッチの影響を低減する必要があります。他に必要なバイパス・コンデンサはすべて ADAQ23875 に内蔵されているため、基板面積とコストを削減することができます。

図 47 に、ADAQ23875 の REFIN、VDD、VIO の各ピンの近くにデカップリング・コンデンサを外付けしない状態で入力を短絡して、15MSPS で FFT サンプリングしたときの結果を示します。この結果は、µModule が電源ノイズを除去したり、電源電圧変動の影響を低減したりする性能が優れていることを示しています。この性能評価は EVAL-ADAQ23875FMCZ を使用して検証しました。デカップリング・コンデンサを外付けするかしないかに関わらず、ノイズ・フロアにスプリアスは存在しません。推奨する PCB レイアウトについては、EVAL-ADAQ23875FMCZ のユーザ・ガイドを参照してください。

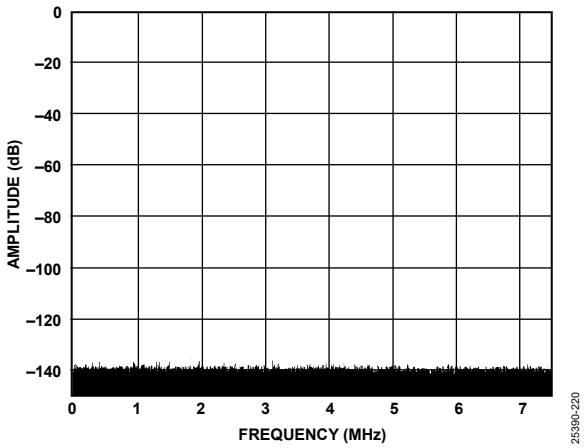

図 47. 入力を短絡したときの FFT

機械的ストレスによるシフト

デバイスを基板に取り付けたときの機械的ストレスが、S/N 比と内部電圧リファレンスをわずかに変化させることがあります。ハンダ付けの最も良い方法は、温度プロファイルが制御された IR リフローまたは対流式ソルダリング装置を使用することです。ヒート・ガンやハンダコテを使用した手作業によるハンダ付けは推奨しません。

外形寸法

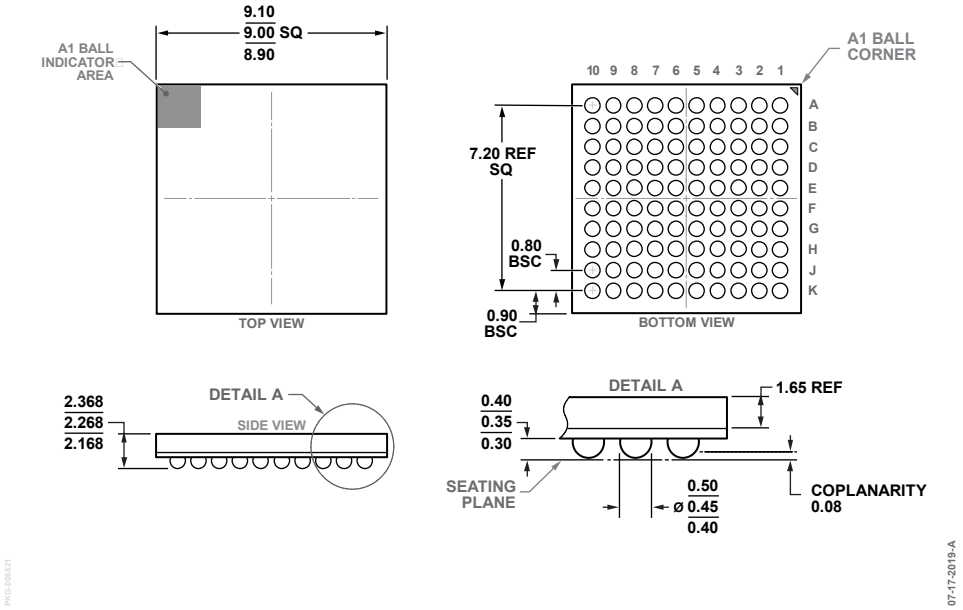

図 48. 100 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ［CSP_BGA］
（BC-100-7）
寸法：mm

オーダー・ガイド

Model[1]	Temperature Range	Package Description	Package Option
ADAQ23875BBCZ	−40°C to +85°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-7
EVAL-ADAQ23875FMCZ		Evaluation Board	

[1] Z = RoHS 準拠製品