



36 V、18 MHz、低ノイズ 高速セトリング、単電源、RRO JFET オペアンプ

データシート

ADA4625-1

特長

広いゲイン帯域幅積 (GB 積) : 18 MHz (代表値)
高速スルー・レート: 48 V/ μ s (代表値)
低い電圧ノイズ密度: 3.3 nV/ $\sqrt{\text{Hz}}$ (代表値) @ 1 kHz
低ピーク to ピーク・ノイズ: 0.15 μ Vp-p, 0.1 Hz ~ 10 Hz
低入力バイアス電流: ± 15 pA (代表値) @ $T_A = 25^\circ\text{C}$
低オフセット電圧: ± 80 μ V (最大) @ $T_A = 25^\circ\text{C}$
オフセット電圧ドリフト:
 ± 1.2 μ V/ $^\circ\text{C}$ (最大) @ $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$
高速セトリング: 700 ns で 0.01 % (代表値)
幅広い動作電圧

両電源動作: ± 2.5 V ~ ± 18 V

単電源動作: 5 V ~ 36 V

入力電圧範囲に V_- を含む

レール to レール出力

高容量性負荷の駆動能力

出力短絡電流: ± 46 mA

位相反転なし

ユニティ・ゲインで安定

アプリケーション

PLL フィルタ・アンプ

トランスインピーダンス・アンプ

フォトダイオード・センサーのインターフェース

低ノイズ・チャージ・アンプ

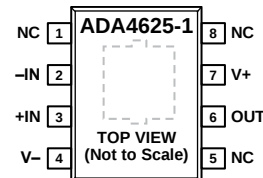
概要

ADA4625-1 は、アナログ・デバイセズの業界をけん引する高電圧、単電源、レール to レール出力 (RRO)、高精度接合型電界効果トランジスタ (JFET) 入力オペアンプをベースにしており、市場でかつてないレベルの高速、低ノイズ性能を発揮します。

ADA4625-1 は、高電圧、高ゲイン、低ノイズ・アプリケーションで最適な性能を発揮します。入力共通モード電圧範囲は負電源を含み、出力はレール to レールで振幅します。これにより、別個にグラウンド・センス用の負電圧電源を使用しなくても、低電圧、単電源アプリケーションのダイナミック入力レンジを最大化できます。

広帯域幅、低ノイズ、低入力バイアス電流を合わせて実現している ADA4625-1 は、ロー・レベル信号に高増幅と広帯域幅の両方を与えるアンプが必要な、フェーズ・ロック・ループ (PLL) のアクティブ・フィルタ・アンプ、および高チューニング電圧 (V_{TUNE}) の電圧制御発振器 (VCO) やブリアンプに特に適しています。

ピン配置



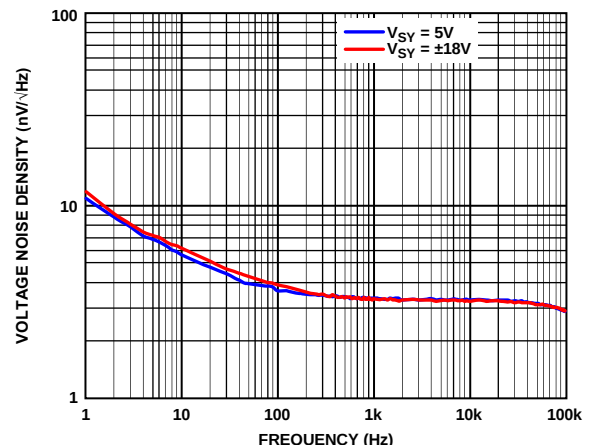
NOTES
1. NC = NO CONNECTION. DO NOT CONNECT TO THIS PIN.
2. EXPOSED PAD. CONNECT THE EXPOSED PAD TO GND, V_+ OR V_- PLANE, OR LEAVE IT FLOATING.

15983-001

図 1.

ADA4625-1 はユニティ・ゲインで安定しており、入力範囲がいくつかの電源レールを 200 mV 超えても位相は反転しません。出力は、最大 1000 pF の負荷と 600 Ω の負荷を駆動できます。

ADA4625-1 は $-40^\circ\text{C} \sim +125^\circ\text{C}$ の拡張工業用温度範囲で動作が仕様規定されており、 $+5$ V ~ $+36$ V (± 2.5 V ~ ± 18 V) で動作し、 $+5$ V と ± 18 V で仕様が規定されています。ADA4625-1 は、露出パッド (EPAD) 付きの 8 ピン SOIC パッケージを採用しています。



15983-157

図 2. 電圧ノイズ密度の周波数特性

表 1. 関連する高精度 JFET オペアンプ

Single	Dual	Quad
Not applicable	AD823A	Not applicable
AD8510	AD8512	AD8513
AD8610	AD8620	Not applicable
ADA4610-1	ADA4610-2	ADA4610-4
ADA4622-1	ADA4622-2	ADA4622-4
ADA4627-1/ADA4637-1	Not applicable	Not applicable

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	出力段.....	20
アプリケーション.....	1	位相反転なし.....	21
概要.....	1	電源電流.....	21
ピン配置.....	1	アプリケーション情報.....	22
改訂履歴.....	2	フェーズ・ロック・ループ（PLL）用の アクティブ・ループ・フィルタ.....	22
仕様.....	3	ADA4625-1 の利点および設計例.....	23
電気的特性 — $\pm 18\text{ V}$ 動作時.....	3	トランスインピーダンス・アンプ.....	24
電気的特性 — 5 V 動作時.....	5	推奨される電源ソリューション.....	28
絶対最大定格.....	7	入力過電圧保護.....	28
熱抵抗.....	7	容量性負荷の駆動.....	28
ESD に関する注意.....	7	温度管理.....	29
ピン配置およびピン機能の説明.....	8	外形寸法.....	30
代表的な性能特性.....	9	オーダー・ガイド.....	30
動作原理.....	20		
入力段およびゲイン段.....	20		

改訂履歴

10/2017—Revision 0: Initial Version

仕様

電気的特性 — $\pm 18\text{ V}$ 動作時

特に指定のない限り、電源電圧 (V_{SY}) = $\pm 18\text{ V}$ 、コモンモード電圧 (V_{CM}) = 出力電圧 (V_{OUT}) = 0 V 、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 15	± 80	μV
					± 250	μV
Offset Voltage Drift	$\Delta V_{\text{OS}}/\Delta T$	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		± 0.2	± 1.2	$\mu\text{V}/^\circ\text{C}$
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 0.5	± 2.1	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_{B}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 15	± 75	pA
					± 5.5	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 2	± 50	pA
					± 0.4	nA
Input Voltage Range	IVR		-18.2		$+14.5$	V
Common-Mode Rejection Ratio	CMRR	$V_{\text{CM}} = -18.2\text{ V to }+14.5\text{ V}$	97	115		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	94			dB
		$V_{\text{CM}} = -18.2\text{ V to }+12\text{ V}$	115	130		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	110			dB
Large Signal Voltage Gain	A_{VO}	Load resistance (R_{L}) = $2\text{ k}\Omega$, $V_{\text{OUT}} = -17.5\text{ V to }+17.5\text{ V}$	140	150		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	135			dB
		$R_{\text{L}} = 600\text{ }\Omega$, $V_{\text{OUT}} = -15\text{ V to }+15\text{ V}$	130	135		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	115			dB
Input Capacitance	C_{DM}	Differential mode		8.6		pF
	C_{CM}	Common mode		11.3		pF
Input Resistance	R_{DM}	Differential mode		10^{12}		Ω
	R_{CM}	Common mode, V_{CM} from $-18\text{ V to }+12\text{ V}$		10^{12}		Ω
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_{\text{L}} = 2\text{ k}\Omega$	17.65	17.72		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	17.5			V
		$R_{\text{L}} = 600\text{ }\Omega$	17.0	17.28		V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	16.75			V
Output Voltage Low	V_{OL}	$R_{\text{L}} = 2\text{ k}\Omega$		-17.74	-17.70	V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			-17.5	V
		$R_{\text{L}} = 600\text{ }\Omega$		-17.4	-17.0	V
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			-16.85	V
Output Current	I_{OUT}	Dropout voltage (V_{DROPOUT}) $< 1\text{ V}$		± 33		mA
Short-Circuit Current	I_{SC}			± 46		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, closed-loop gain (A_{V}) = $+1$		2		Ω
		$A_{\text{V}} = +10$		18		Ω
		$A_{\text{V}} = +100$		29		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{\text{SY}} = \pm 5\text{ V to } \pm 18\text{ V}$	105	120		dB
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	102			dB
Supply Current per Amplifier	I_{SY}	$V_{\text{OUT}} = 0\text{ V}$		4.0	4.5	mA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			5	mA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE						
Slew Rate	SR	$V_{OUT} = \pm 10\text{ V}$, $R_L = 2\text{ k}\Omega$, $A_V = -1$		48		V/ μ s
		$V_{OUT} = \pm 10\text{ V}$, $R_L = 2\text{ k}\Omega$, $A_V = -5$		44		V/ μ s
Gain Bandwidth Product	GBP	$A_V = 100$		18		MHz
Unity-Gain Crossover	UGC	$A_V = 1$		12.4		MHz
-3 dB Bandwidth	-3 dB	$A_V = 1$		16		MHz
Phase Margin	Φ_M			88		Degrees
Settling Time	t_s	To 0.1%, input voltage (V_{IN}) = 10V step, $R_L = 2\text{ k}\Omega$, load capacitance (C_L) = 15 pF, $A_V = -1$		500		ns
		To 0.01%, $V_{IN} = 10\text{ V}$ step, $R_L = 2\text{ k}\Omega$, $C_L = 15\text{ pF}$, $A_V = -1$		700		ns
ELECTROMAGNETIC INTERFERENCE (EMI) REJECTION RATIO						
$f = 1000\text{ MHz}$	EMIRR			56		dB
$f = 2400\text{ MHz}$				93		dB
NOISE PERFORMANCE						
Peak-to-Peak Noise	e_N p-p	0.1 Hz to 10 Hz		0.15		μ V p-p
Voltage Noise Density	e_N	$f = 10\text{ Hz}$		5.5		nV/ $\sqrt{\text{Hz}}$
		$f = 100\text{ Hz}$		3.6		nV/ $\sqrt{\text{Hz}}$
		$f = 1\text{ kHz}$		3.3		nV/ $\sqrt{\text{Hz}}$
		$f = 1\text{ kHz}$		4.5		fA/ $\sqrt{\text{Hz}}$
Current Noise Density	i_N	$f = 1\text{ kHz}$		4.5		fA/ $\sqrt{\text{Hz}}$
Total Harmonic Distortion + Noise	THD + N	$A_V = 1$, $f = 10\text{ Hz}$ to 20 kHz , $R_L = 2\text{ k}\Omega$, $V_{IN} = 6\text{ V}_{RMS}$ at 1 kHz		0.0003		%
				-109		dB
				0.0007		%
				-103		dB

電氣的特性 — 5 V 動作時

特に指定のない限り、 $V_{SY} = 5\text{ V}$ 、 $V_{CM} = 1.5\text{ V}$ 、 $V_{OUT} = V_{SY}/2$ 、 $T_A = 25\text{ }^{\circ}\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		± 0.1	± 0.6	mV
					± 1.0	mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$		± 0.4	± 2.6	$\mu\text{V}/^{\circ}\text{C}$
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		± 0.7	± 3.6	$\mu\text{V}/^{\circ}\text{C}$
Input Bias Current	I_B	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		± 15	± 50	pA
					± 3.5	nA
Input Offset Current	I_{OS}	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		± 2	± 50	pA
					± 150	pA
Input Voltage Range	IVR	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	-0.2		+1.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to }1.5\text{ V}$	74	90		dB
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	70			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$ to V^- , $V_{OUT} = 0.35\text{ V to }4.65\text{ V}$	130	145		dB
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	120			dB
		$R_L = 600\text{ }\Omega$ to V^- , $V_{OUT} = 0.5\text{ V to }4.5\text{ V}$	120	130		dB
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	110			dB
Input Capacitance	C_{DM}	Differential mode		12.1		pF
	C_{CM}	Common mode		16.3		pF
Input Resistance	R_{DM}	Differential mode		10^{12}		Ω
	R_{CM}	Common mode, V_{CM} from 0 V to 1.5 V		10^{12}		Ω
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 2\text{ k}\Omega$ to V^-	4.75	4.82		V
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	4.7			V
		$R_L = 600\text{ }\Omega$ to V^-	4.65	4.74		V
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	4.55			V
Output Voltage Low	V_{OL}	$R_L = 2\text{ k}\Omega$ to V^+		0.17	0.22	V
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$			0.3	V
		$R_L = 600\text{ }\Omega$ to V^+		0.25	0.3	V
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$			0.45	V
Output Current	I_{OUT}	$V_{DROPOUT} < 1\text{ V}$		± 33		mA
Short-Circuit Current	I_{SC}			± 46		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = +1$		2		Ω
		$A_V = +10$		18		Ω
		$A_V = +100$		29		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4.5\text{ V to }10\text{ V}$	80	97		dB
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	75			dB
Supply Current per Amplifier	I_{SY}	$V_{OUT} = 0\text{ V}$		3.9	4.3	mA
		$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$			4.8	mA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE						
Slew Rate	SR	$V_{OUT} = 0.5 \text{ V to } 4.5 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $A_V = -1$ $V_{OUT} = 0.5 \text{ V to } 4.5 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $A_V = -5$		32 27		V/ μ s V/ μ s
Gain Bandwidth Product	GBP	$A_V = 100$		16		MHz
Unity-Gain Crossover	UGC	$A_V = 1$		11.2		MHz
-3 dB Bandwidth	-3 dB	$A_V = 1$		16		MHz
Phase Margin	ΦM			86		Degrees
Settling Time	t_s	To 0.1%, $V_{IN} = 4 \text{ V step}$, $R_L = 2 \text{ k}\Omega$, $C_L = 15 \text{ pF}$, $A_V = -1$ To 0.01%, $V_{IN} = 4 \text{ V step}$, $R_L = 2 \text{ k}\Omega$, $C_L = 15 \text{ pF}$, $A_V = -1$		600 950		ns ns
EMI REJECTION RATIO						
$f = 1000 \text{ MHz}$	EMIRR			56		dB
$f = 2400 \text{ MHz}$				87		dB
NOISE PERFORMANCE						
Peak-to-Peak Noise	$e_N \text{ p-p}$	0.1 Hz to 10 Hz		0.15		μ V p-p
Voltage Noise Density	e_N	$f = 10 \text{ Hz}$		5.5		nV/ $\sqrt{\text{Hz}}$
		$f = 100 \text{ Hz}$		3.6		nV/ $\sqrt{\text{Hz}}$
		$f = 1 \text{ kHz}$		3.3		nV/ $\sqrt{\text{Hz}}$
		$f = 1 \text{ kHz}$		4.5		fA/ $\sqrt{\text{Hz}}$
Current Noise Density	i_N	$f = 1 \text{ kHz}$		4.5		fA/ $\sqrt{\text{Hz}}$
Total Harmonic Distortion + Noise	THD + N	$A_V = 1$, $f = 10 \text{ Hz to } 20 \text{ kHz}$, $R_L = 2 \text{ k}\Omega$, $V_{IN} = 0.6 V_{RMS}$ at 1 kHz		0.0003		%
				-109		dB
				0.0007		%
				-103		dB

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	40 V
Input Voltage	(V ⁻) - 0.2 V to (V ⁺) + 0.2 V
Differential Input Voltage	(V ⁻) - 0.2 V to (V ⁺) + 0.2 V
Input Current ¹	±20 mA
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature, Soldering (10 sec)	300°C
Electrostatic Discharge (ESD)	
Human Body Model (HBM) ²	1.25 kV
Field Induced Charge Device Model (FICDM) ³	1.25 kV

¹ 入力ピンには、電源ピンへのクランプ・ダイオードが付いています。入力信号が電源レールを 0.3 V 上回る場合は、入力電流を 20 mA 以下に制限してください。

² 適用規格 ESDA/JEDEC JS-001-2011。

³ 適用規格 JESD22-C101 (JEDEC の ESD FICDM 規格)。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意が必要です。

表 5. 熱抵抗

Package Type ^{1, 2}	θ_{JA} ³	θ_{JC}	Unit
RD-8-1	52.8	5.7	°C/W

¹ これらの値は JEDEC 規格 JESD-51 に従って得られたものです。

² エクスポーズド・パッドは開放したままにしても構いませんが、適切な温度管理を行うには、GND または V⁺ / V⁻ プレーンに接続する必要があります。

³ 基板レイアウトは θ_{JA} などの熱特性に影響を与えます。適切な温度管理技術を用いると、 θ_{JA} を改善することができます。詳細については、温度管理のセクションを参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

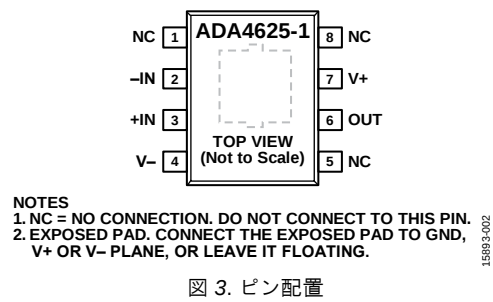


図 3. ピン配置

表 6. ピン機能の説明

Pin No.	Mnemonic	Description
1, 5, 8	NC	接続なし。これらのピンには接続しないでください。
2	-IN	反転入力。
3	+IN	非反転入力。
4	V-	負電源電圧。
6	OUT	出力。
7	V+	正電源電圧。
	EPAD	露出パッド。露出パッドは GND または V+ / V- プレーンに接続するか、フロート状態にしておきます。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ □ $V_{CM} = 0\text{ V}$ 。

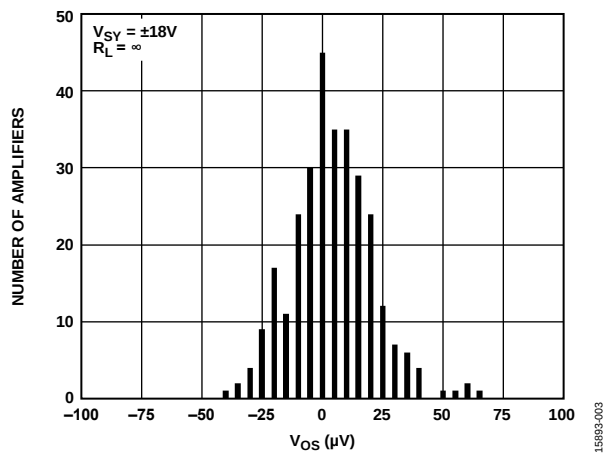


図 4. 入力オフセット電圧 (V_{OS}) の分布、
電源電圧 (V_{SY}) = $\pm 18\text{ V}$

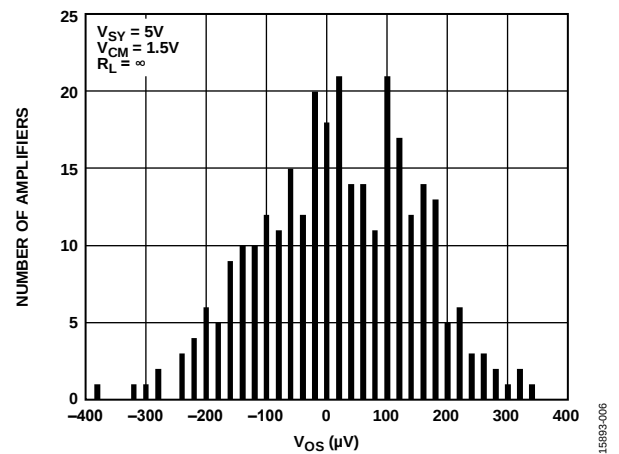


図 7. V_{OS} の分布、 $V_{SY} = 5\text{ V}$

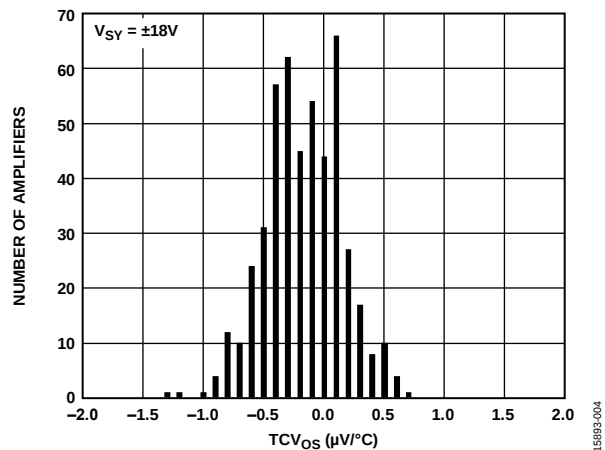


図 5. TCV_{OS} の分布 ($-40^\circ\text{C} \sim +125^\circ\text{C}$)、 $V_{SY} = \pm 18\text{ V}$

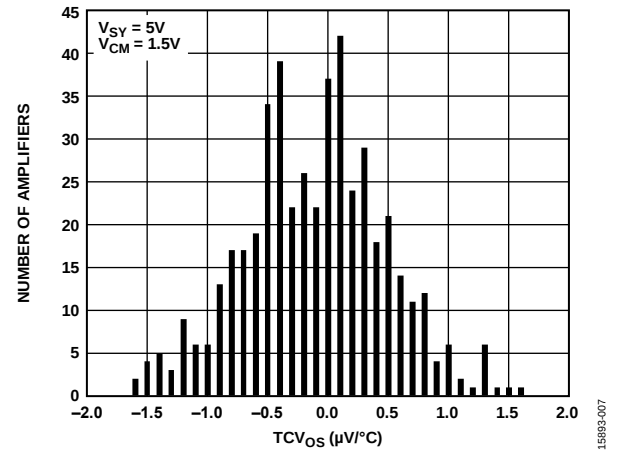


図 8. TCV_{OS} の分布 ($-40^\circ\text{C} \sim +125^\circ\text{C}$)、 $V_{SY} = 5\text{ V}$

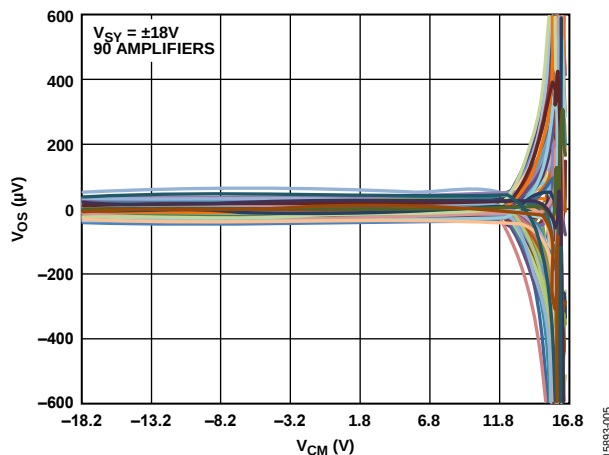


図 6. V_{OS} とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = \pm 18\text{ V}$

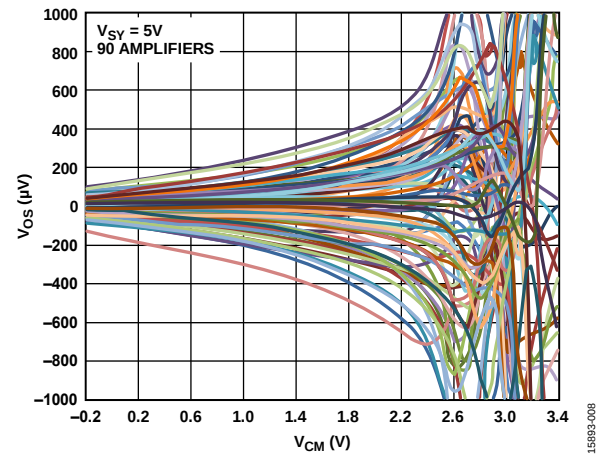


図 9. V_{OS} と V_{CM} の関係、 $V_{SY} = 5\text{ V}$

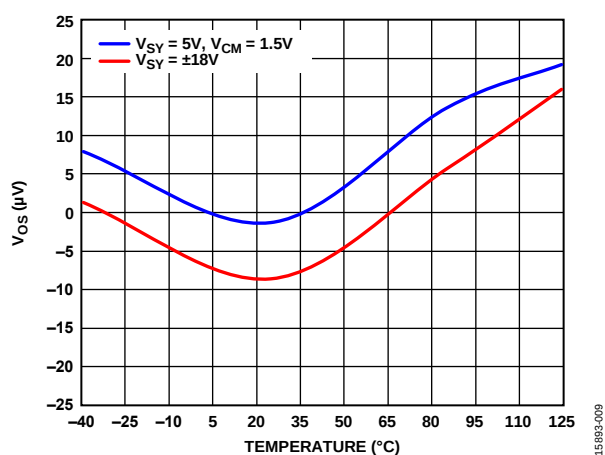


図 10. V_{OS} の温度特性

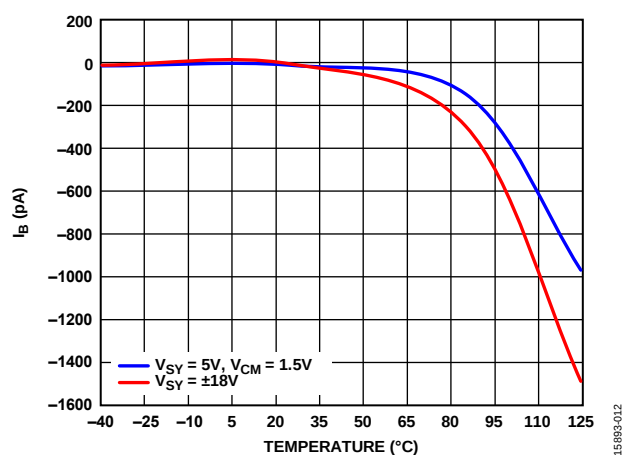


図 13. I_B の温度特性

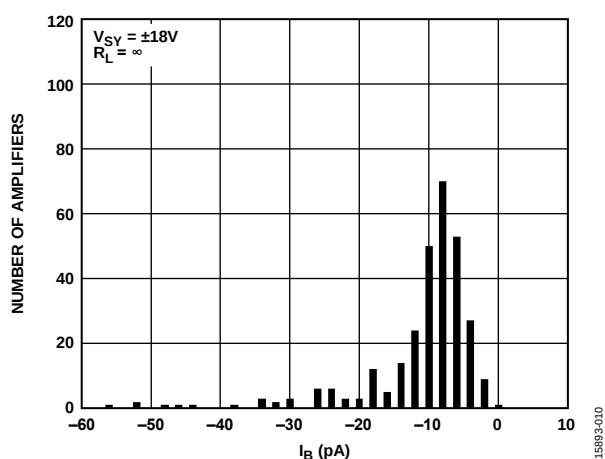


図 11. 入力バイアス電流 (I_B) の分布、 $V_{SY} = \pm 18\text{ V}$

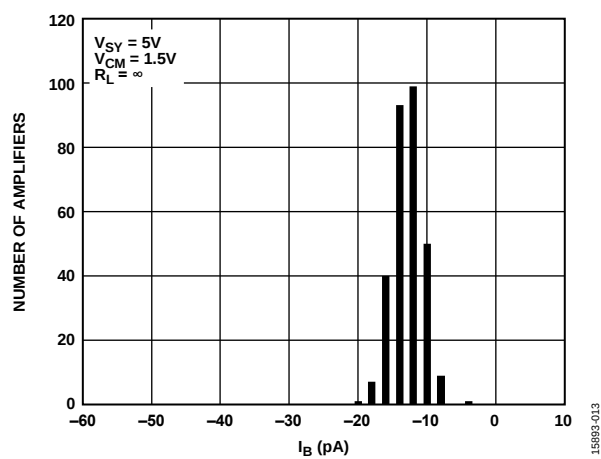


図 14. I_B の分布、 $V_{SY} = 5\text{ V}$

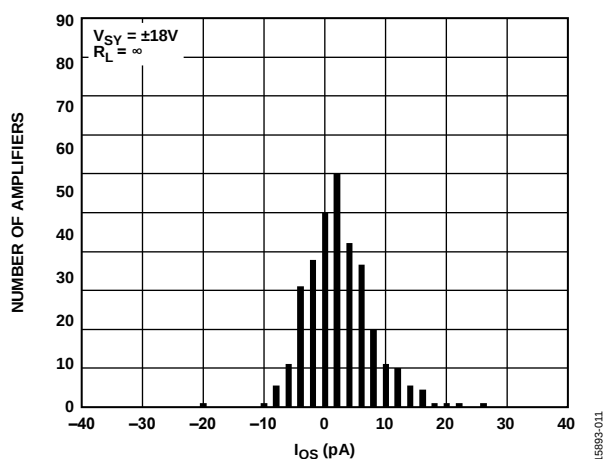


図 12. 入力オフセット電流 (I_{OS}) の分布、 $V_{SY} = \pm 18\text{ V}$

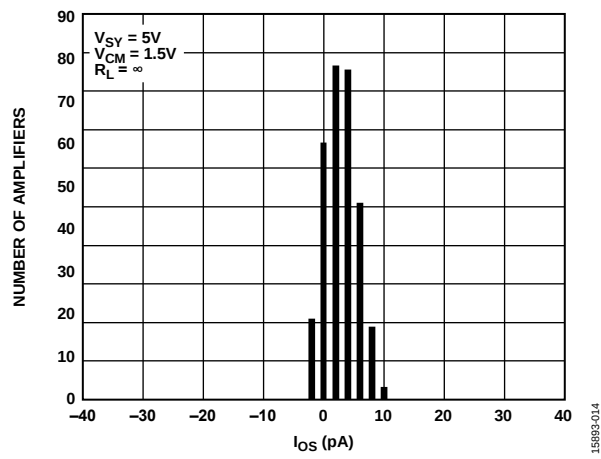


図 15. I_{OS} の分布、 $V_{SY} = 5\text{ V}$

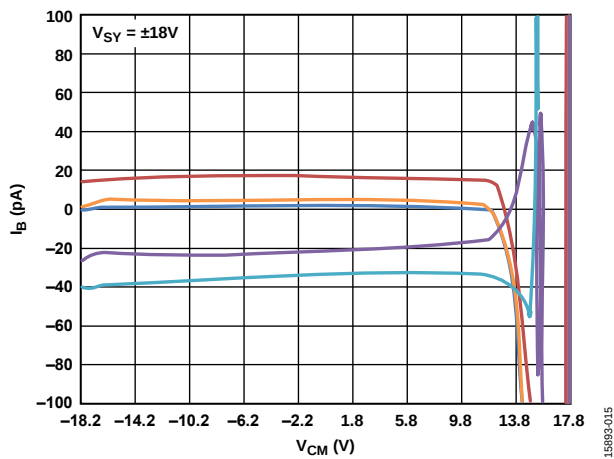


図 16. I_B と V_{CM} の関係、 $V_{SY} = \pm 18V$

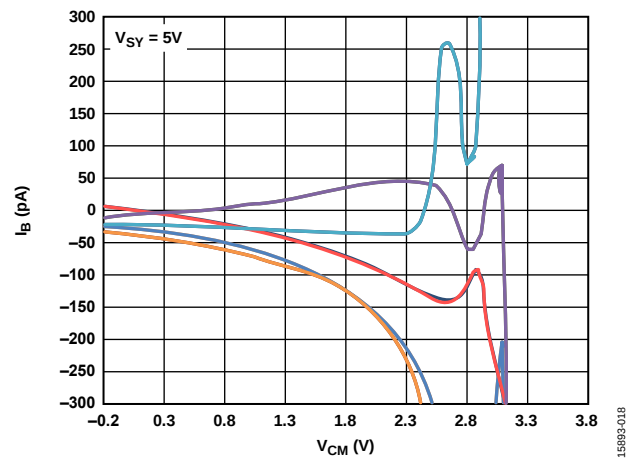


図 19. I_B と V_{CM} の関係、 $V_{SY} = 5V$

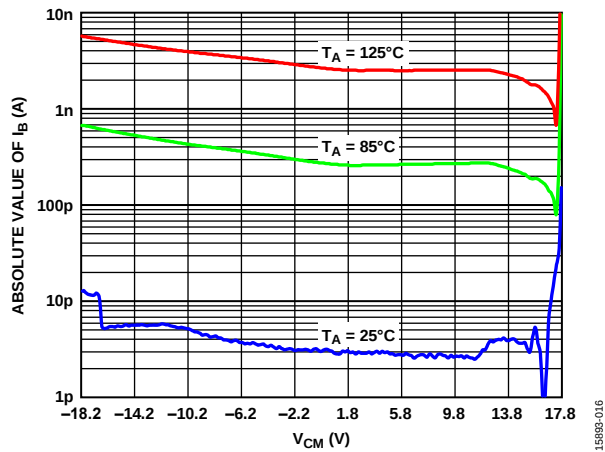


図 17. 各種温度での I_B の絶対値と V_{CM} の関係、 $V_{SY} = \pm 18V$

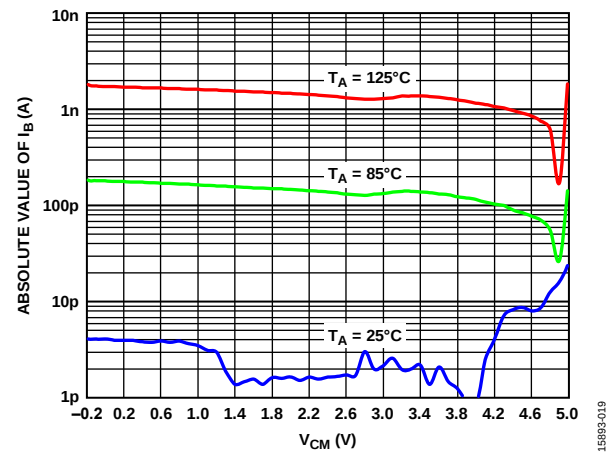


図 20. 各種温度での I_B の絶対値と V_{CM} の関係、 $V_{SY} = 5V$

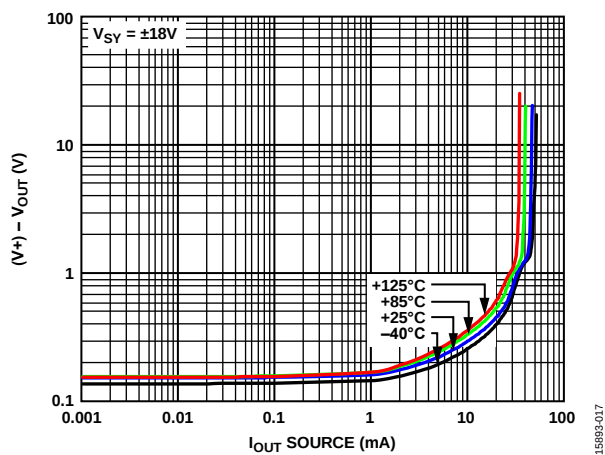


図 18. 各種温度でのドロップアウト電圧 ($(V+) - V_{OUT}$) と出力電流 (I_{OUT}) ソースの関係、 $V_{SY} = \pm 18V$

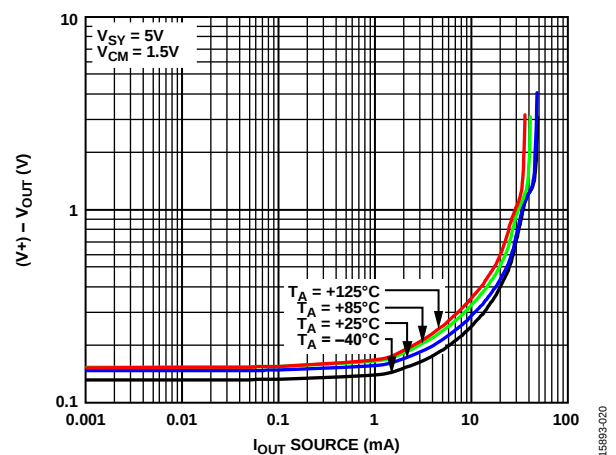


図 21. 各種温度での ($(V+) - V_{OUT}$) と I_{OUT} ソースの関係、 $V_{SY} = 5V$

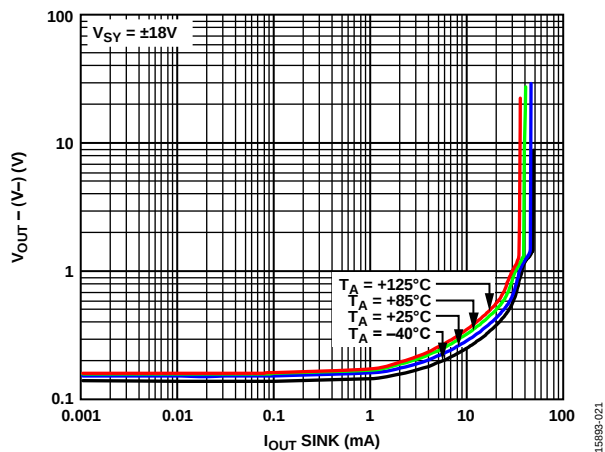


図 22. 各種温度でのドロップアウト電圧 ($V_{OUT} - (V-)$) と I_{OUT} シンクの関係、 $V_{SY} = \pm 18 V$

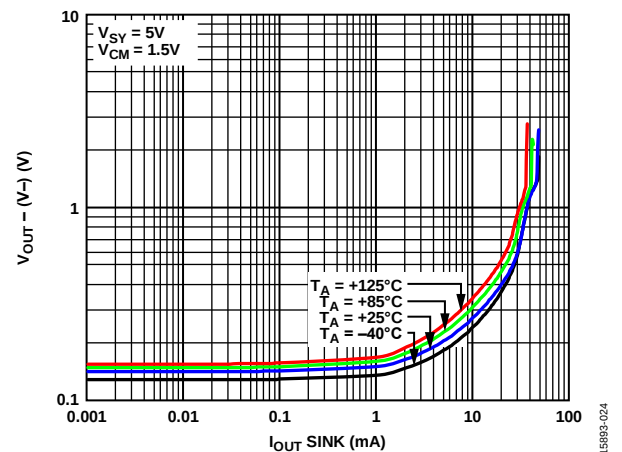


図 25. 各種温度での ($V_{OUT} - (V-)$) と I_{OUT} シンクの関係、 $V_{SY} = 5 V$

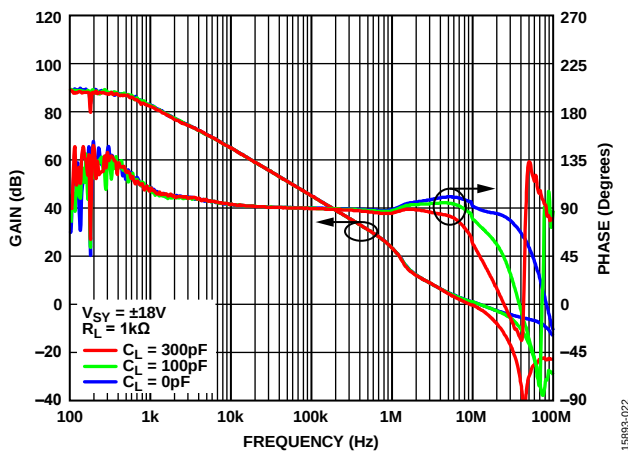


図 23. オープンループ・ゲインと位相の周波数特性、 $V_{SY} = \pm 18 V$

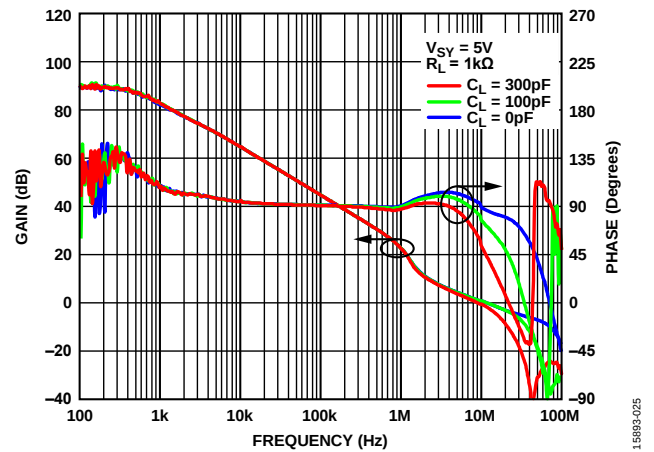


図 26. オープンループ・ゲインと位相の周波数特性、 $V_{SY} = 5 V$

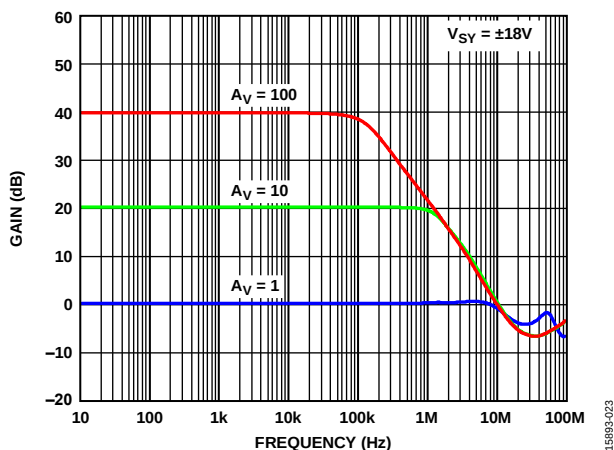


図 24. 各種クローズドループ・ゲインでのゲインの周波数特性、 $V_{SY} = \pm 18 V$

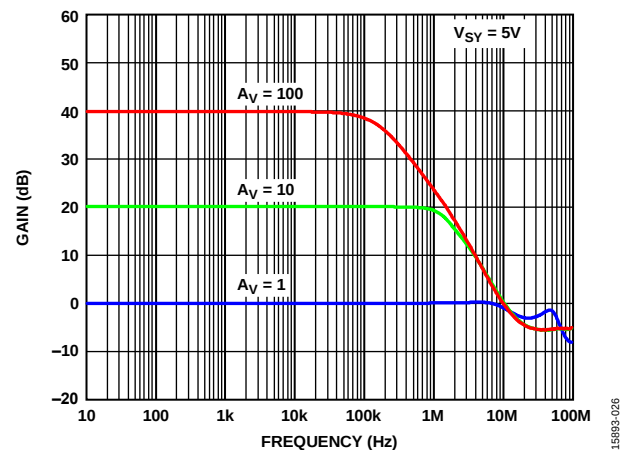


図 27. 各種クローズドループ・ゲインでのゲインの周波数特性、 $V_{SY} = 5 V$

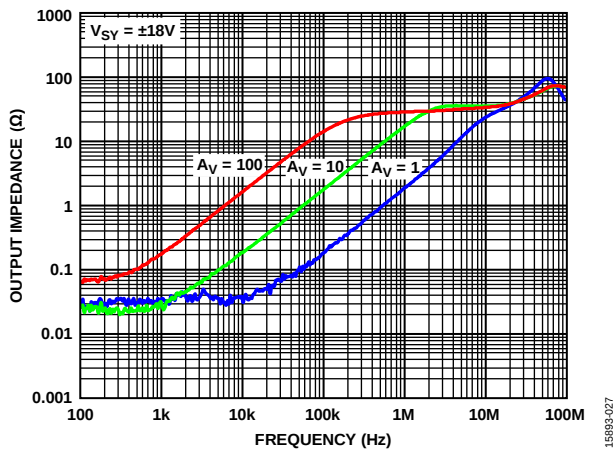


図 28. 出力インピーダンス (Z_{OUT}) の周波数特性、 $V_{SY} = \pm 18V$

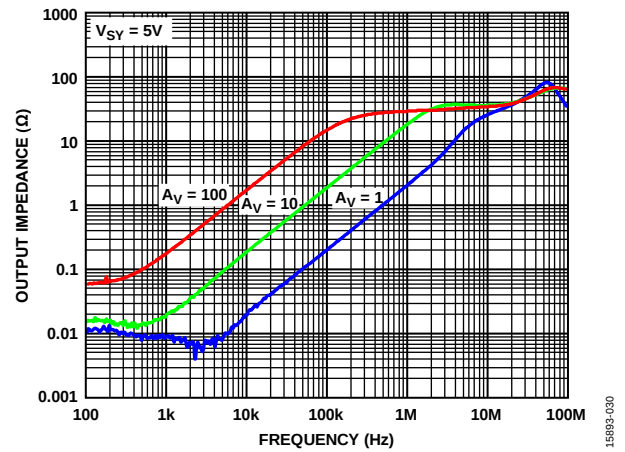


図 31. Z_{OUT} の周波数特性、 $V_{SY} = 5V$

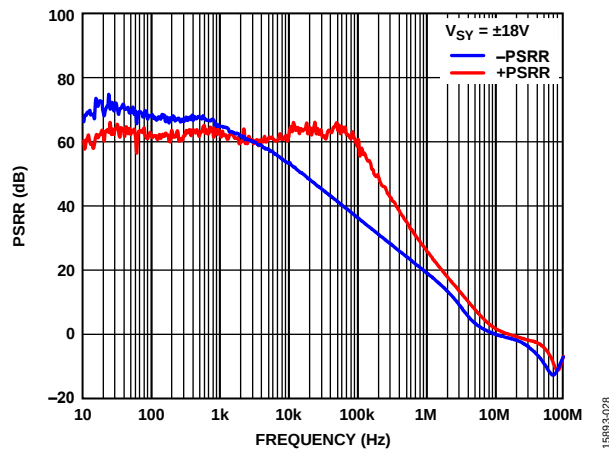


図 29. 電源電圧変動除去比 (PSRR) の周波数特性、 $V_{SY} = \pm 18V$

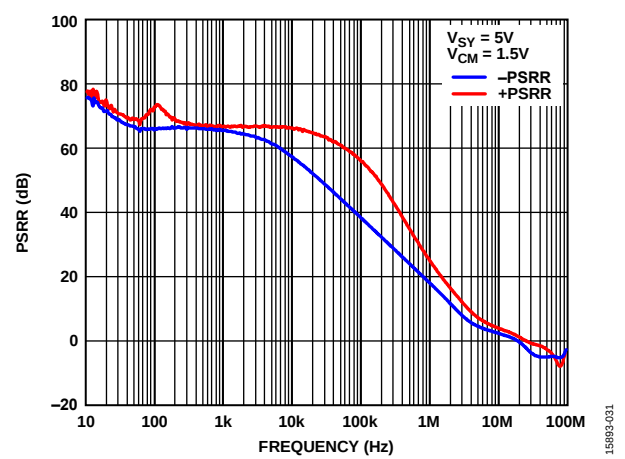


図 32. PSRR の周波数特性、 $V_{SY} = 5V$

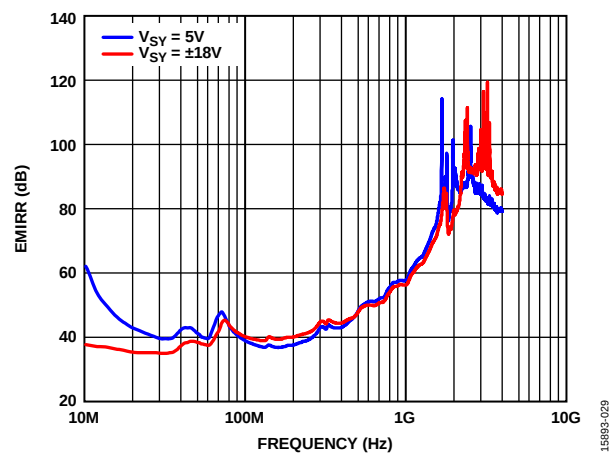


図 30. EMI 除去比 (EMIRR) の周波数特性

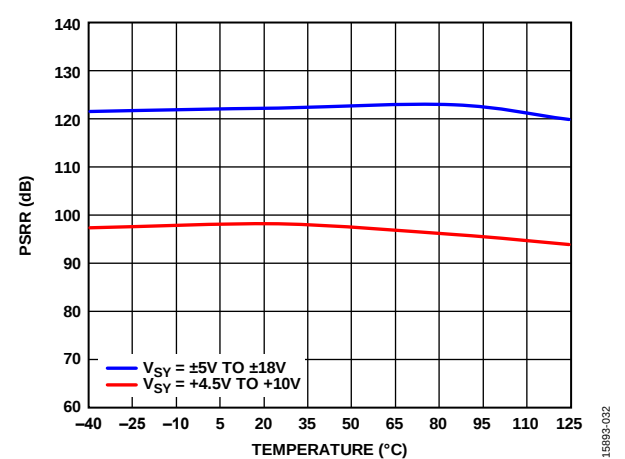


図 33. PSRR の温度特性

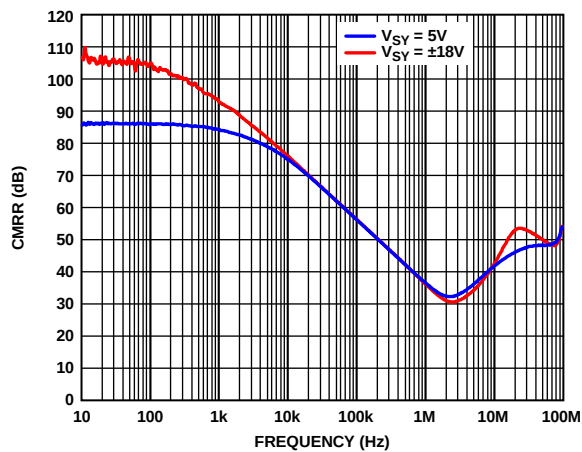


図 34. 同相ノイズ除去比 (CMRR) の周波数特性

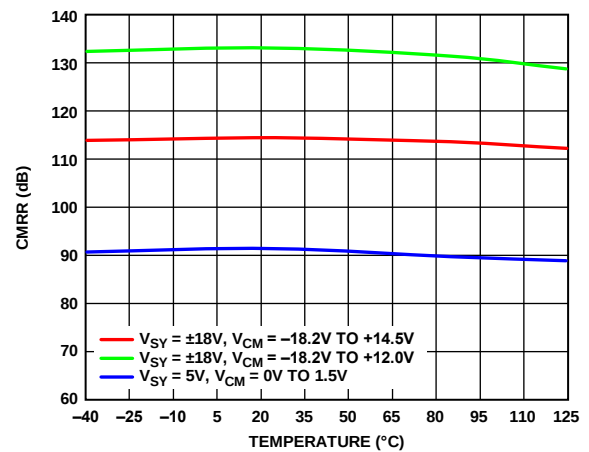


図 37. CMRR の温度特性

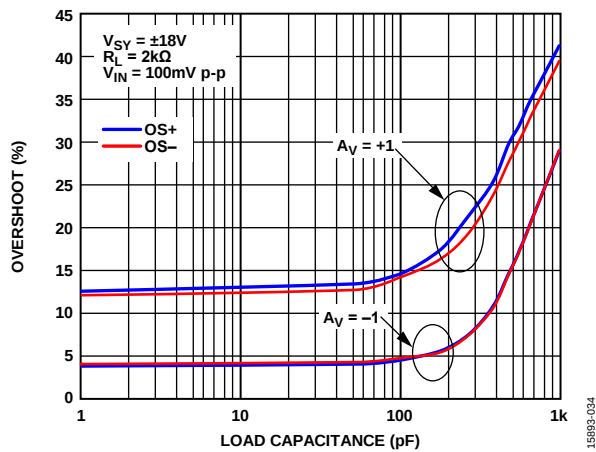


図 35. 小信号オーバーシュート (OS±) と負荷容量の関係、 $V_{SY} = \pm 18\text{ V}$

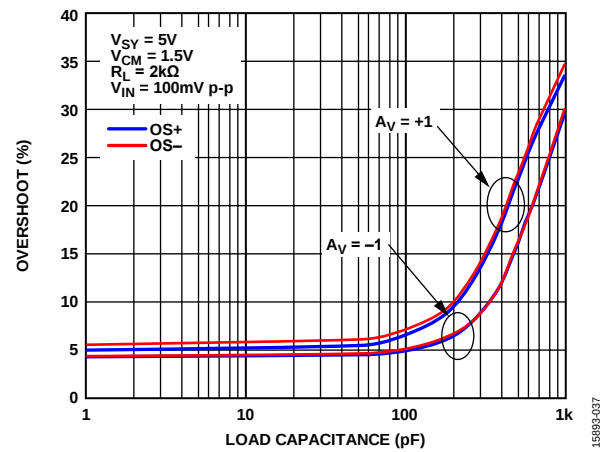


図 38. OS± と負荷容量の関係、 $V_{SY} = 5\text{ V}$

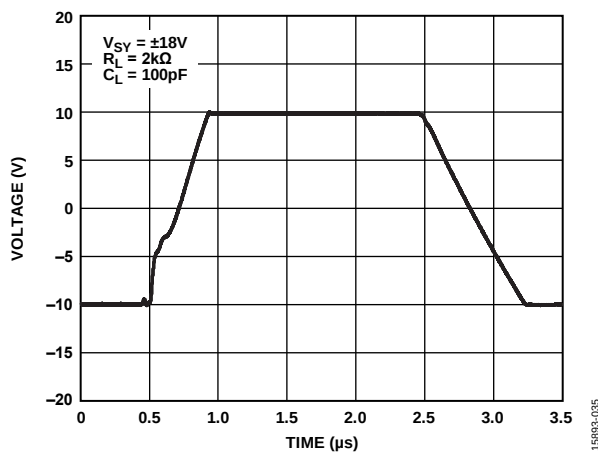


図 36. 大信号過渡応答、 $A_V = +1$ 、 $V_{SY} = \pm 18\text{ V}$

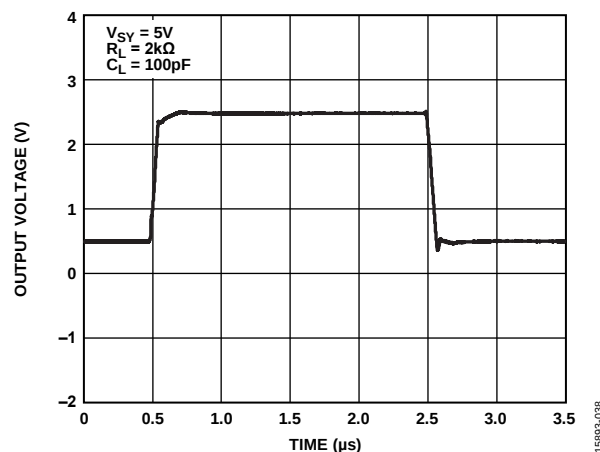


図 39. 大信号過渡応答、 $A_V = +1$ 、 $V_{SY} = 5\text{ V}$

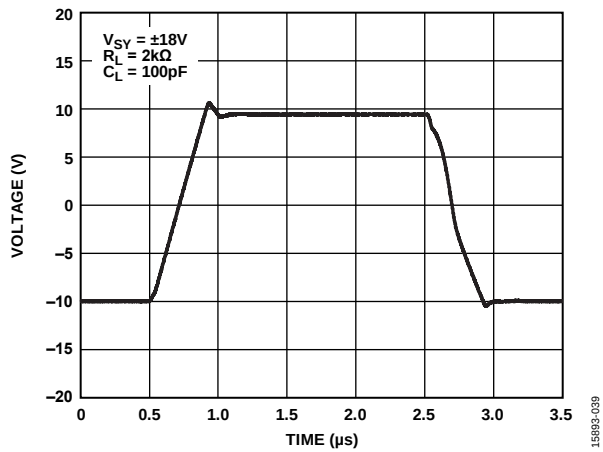


図 40. 大信号過渡応答、 $A_v = -1$ 、 $V_{SY} = \pm 18\text{ V}$

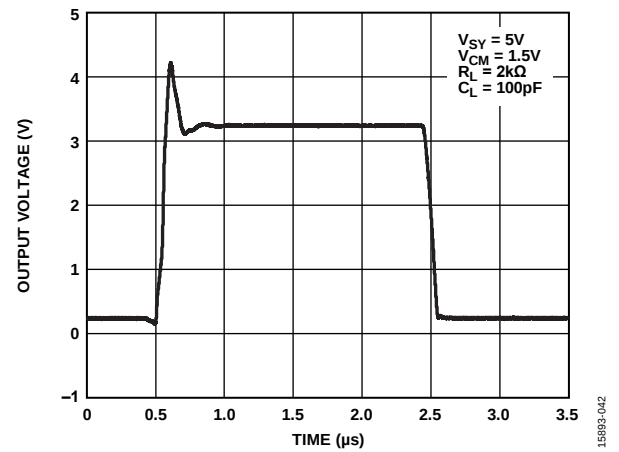


図 43. 大信号過渡応答、 $A_v = -1$ 、 $V_{SY} = 5\text{ V}$

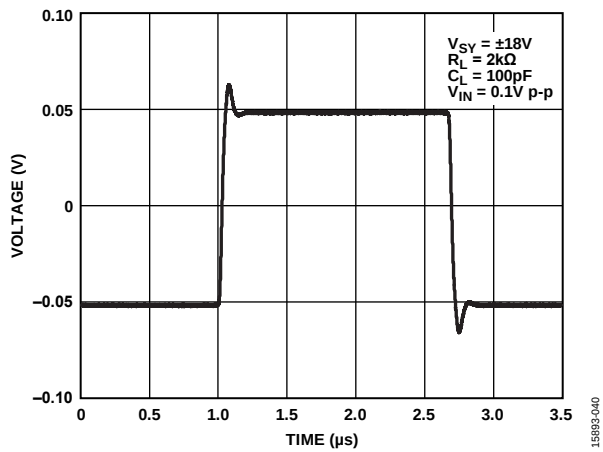


図 41. 小信号過渡応答、 $A_v = 1$ 、 $V_{SY} = \pm 18\text{ V}$

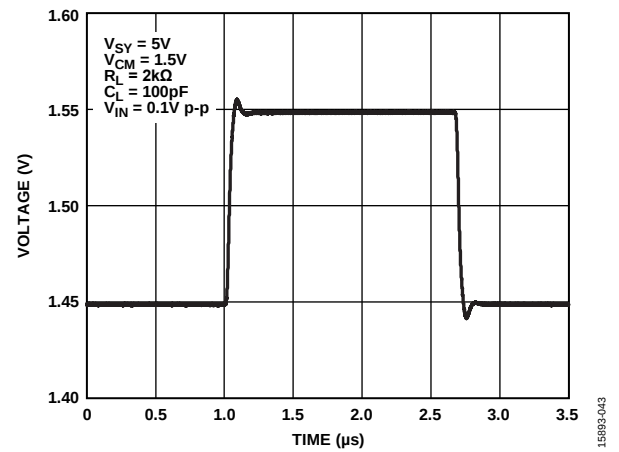


図 44. 小信号過渡応答、 $A_v = 1$ 、 $V_{SY} = 5\text{ V}$

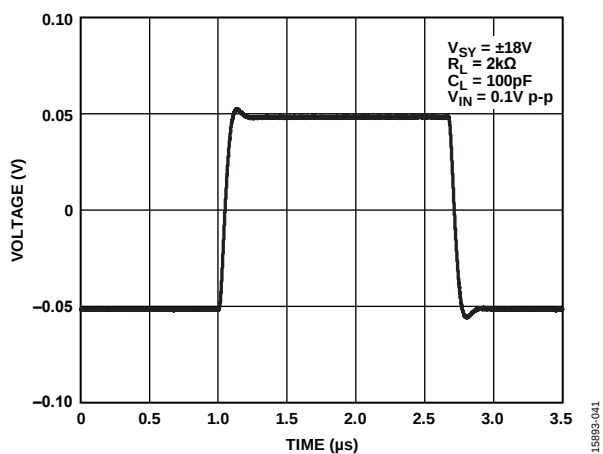


図 42. 小信号過渡応答、 $A_v = -1$ 、 $V_{SY} = \pm 18\text{ V}$

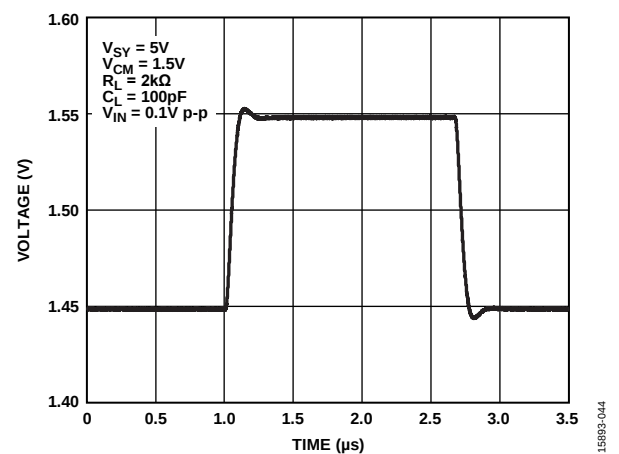


図 45. 小信号過渡応答、 $A_v = -1$ 、 $V_{SY} = 5\text{ V}$

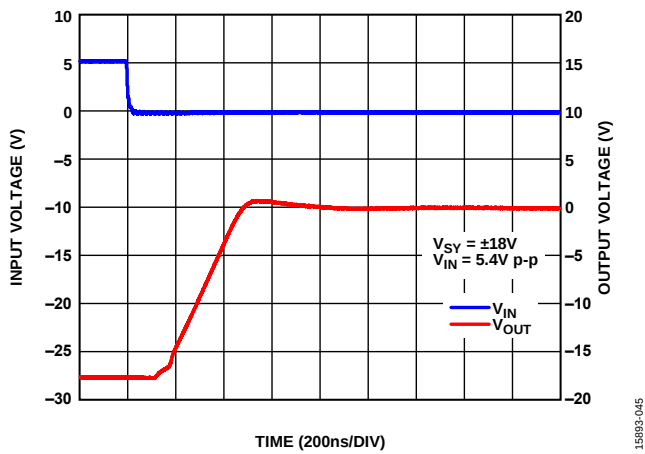


図 46. 負の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 18V$

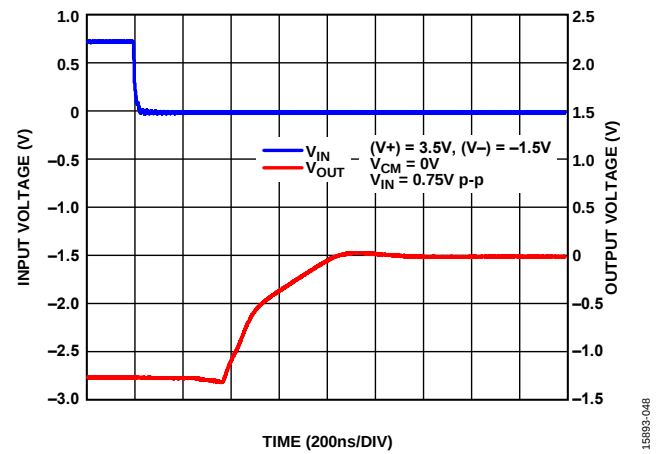


図 49. 負の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = 5V$

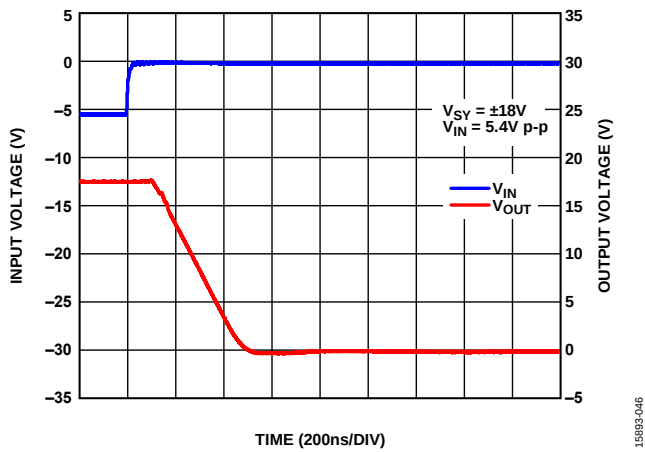


図 47. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = \pm 18V$

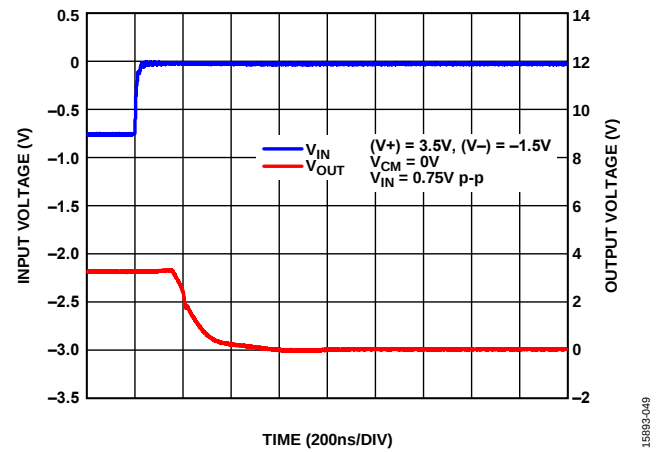


図 50. 正の過負荷からの回復、 $A_V = -10$ 、 $V_{SY} = 5V$

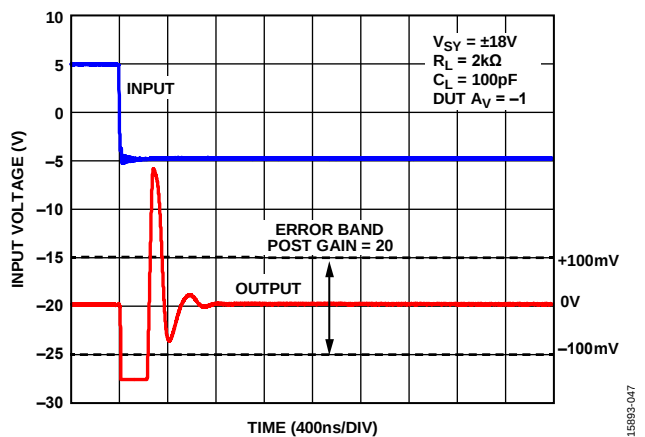


図 48. 0.1% への立下がりセトリング・タイム、 $V_{SY} = \pm 18V$

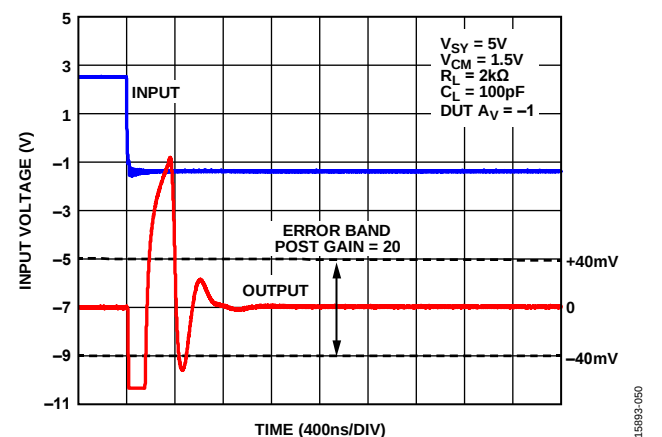


図 51. 0.1% への立下がりセトリング・タイム、 $V_{SY} = 5V$

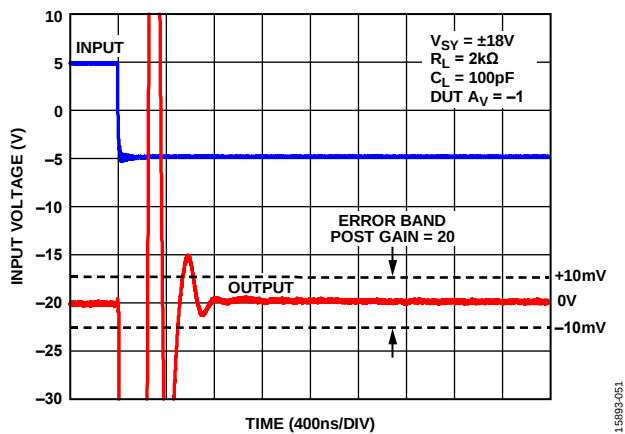


図 52. 0.01 % への立下がりセトリング・タイム、 $V_{SY} = \pm 18V$

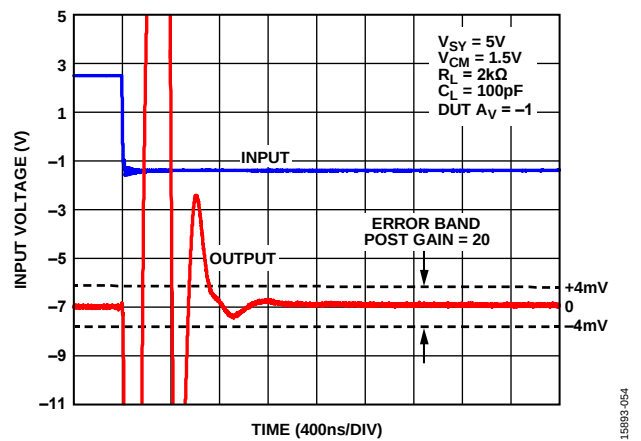


図 55. 0.01 % への立下がりセトリング・タイム、 $V_{SY} = 5V$

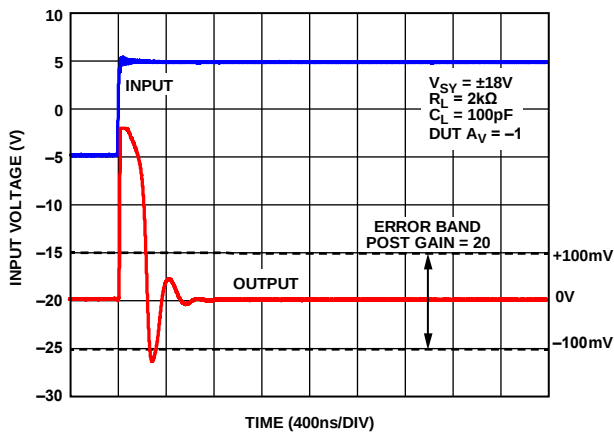


図 53. 0.1 % への立上がりセトリング・タイム、 $V_{SY} = \pm 18V$

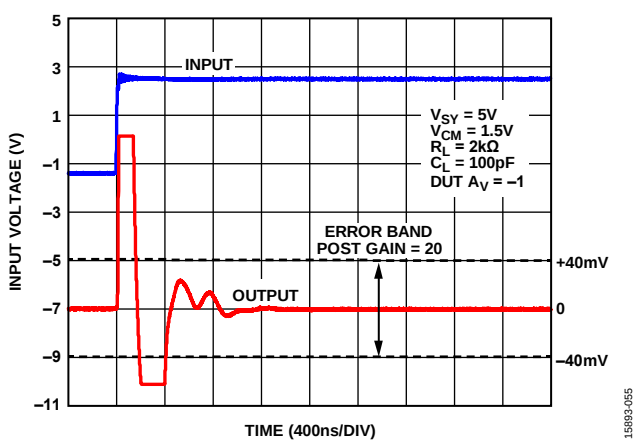


図 56. 0.1 % への立上がりセトリング・タイム、 $V_{SY} = 5V$

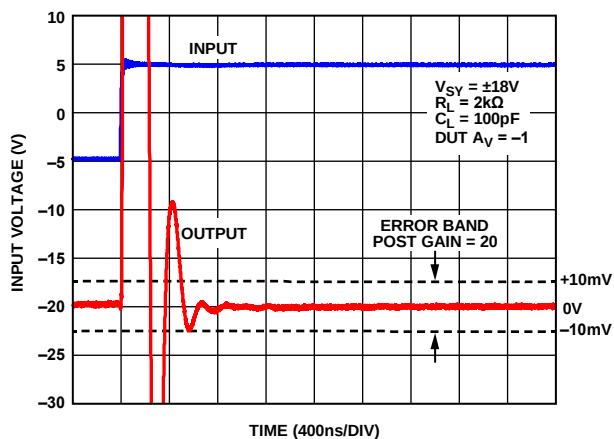


図 54. 0.01 % への立上がりセトリング・タイム、 $V_{SY} = \pm 18V$

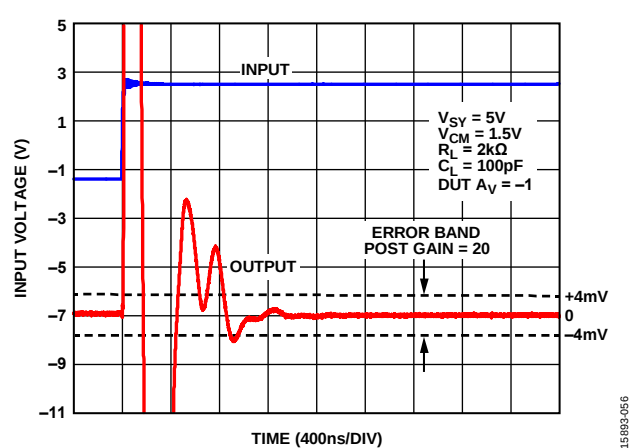


図 57. 0.01 % への立上がりセトリング・タイム、 $V_{SY} = 5V$

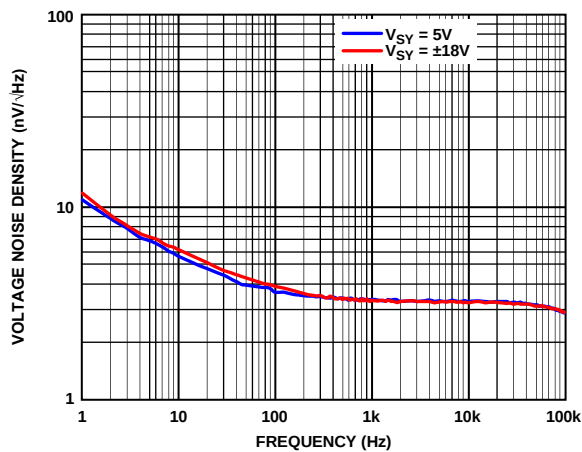


図 58. 電圧ノイズ密度の周波数特性

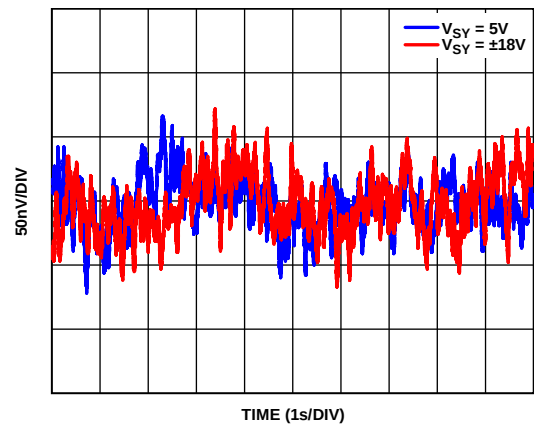


図 61. 0.1 Hz ~ 10 Hz でのノイズ

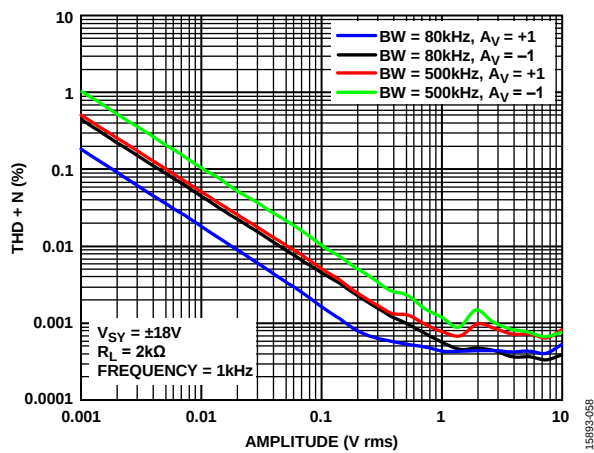


図 59. 全高調波歪み + ノイズ (THD + N) と振幅の関係、 $V_{SY} = \pm 18V$ (BW は帯域幅)

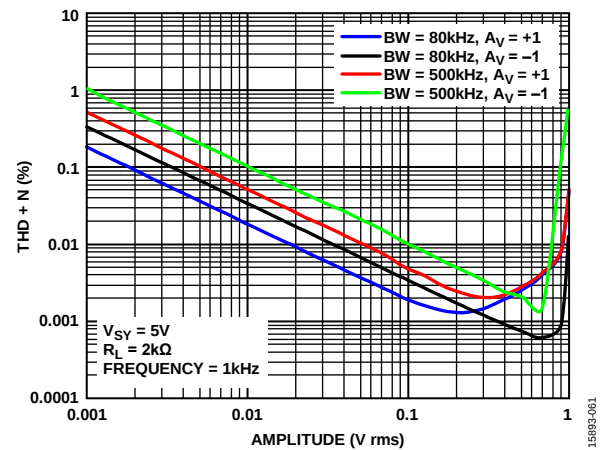


図 62. THD + N と振幅の関係、 $V_{SY} = 5V$ (BW は帯域幅)

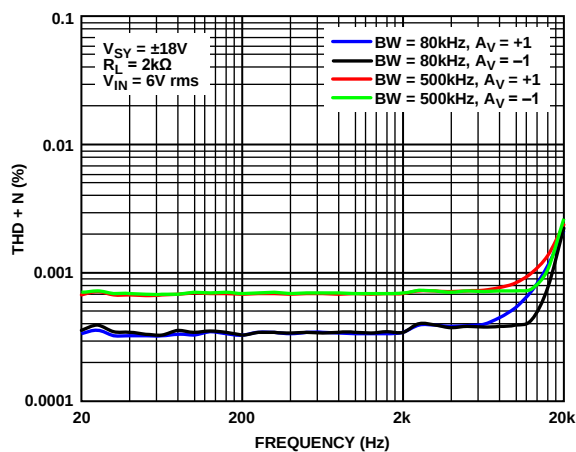


図 60. THD + N の周波数特性、 $V_{SY} = \pm 18V$ (BW は帯域幅)

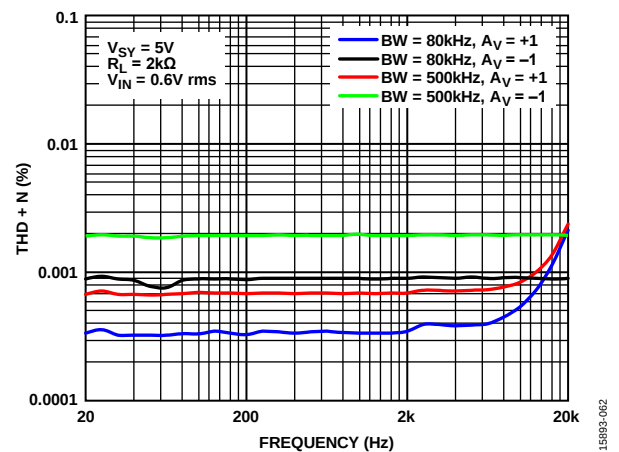


図 63. THD + N の周波数特性、 $V_{SY} = 5V$ (BW は帯域幅)

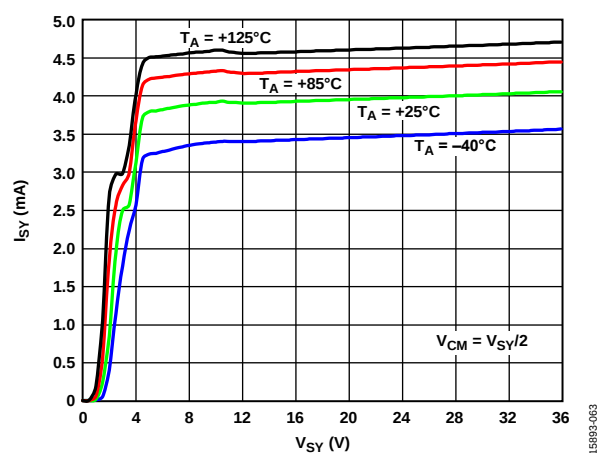


図 64. 各種温度での電源電流 (I_{SY}) と V_{SY} の関係

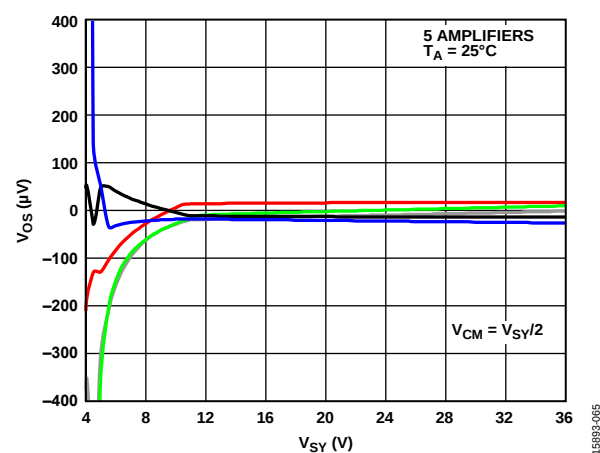


図 66. V_{OS} と V_{SY} の関係

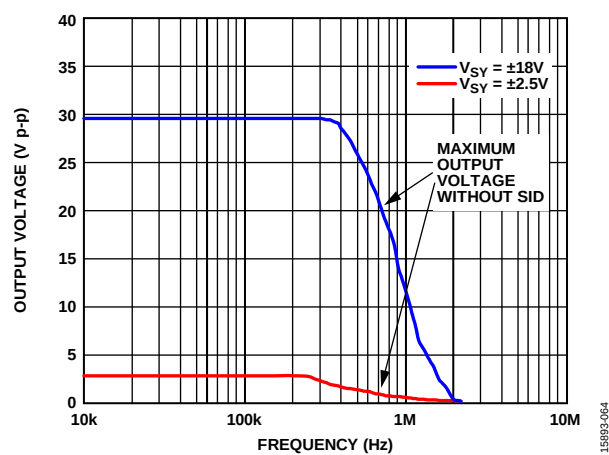


図 65. スルー・レートによる歪み (SID) を含まない
最大ピーク to ピーク出力電圧の周波数特性

動作原理

ADA4625-1 の簡略回路図を図 67 に示します。JFET の入力段アーキテクチャには、低入力バイアス電流、広帯域幅、高ゲイン、低ノイズ、さらに、コモンモード電圧範囲を超える入力信号が印加されても位相反転が発生しないという利点があります。出力段はレール to レールで、シンク電流とソース電流の両方で高い駆動特性と低いドロップアウト電圧を実現しています。

入力段およびゲイン段

高い入力インピーダンス、低ノイズ、低オフセット、低オフセット・ドリフトを実現するため、ADA4625-1 には大入力 N チャンネル JFET (M1 および M2) が採用されています。これらの JFET は、ゲート (G) より約 1.2 V 高いソース (S) で動作します。最も厳しい条件では、ソースはゲートをわずか 0.9 V 上回るだけです。設計上、入力テール電流 (I_{TAIL}) の通常動作は V_- より 0.6 V 高い電圧までなので、ADA4625-1 の入力コモンモード電圧範囲には V_- より 0.2 V 低い電圧までの余裕があります。抵抗性負荷はノイズを低く抑えます。バッファ BUFF1 が入力負荷抵抗 ($R1$ および $R2$) の上端を駆動するので、M1 と M2 の両端に発生する電圧降下がほぼ一定に保たれ、仮想的なカスコード接続が形成されます。入力電圧 $+IN$ および $-IN$ の差により、

M1 と M2 を経由して $R1$ と $R2$ を流れる I_{TAIL} が制御されて、差動電圧が生成されます。1 番目の電圧／電流ゲイン・ブロック (GM1) が、この差動電圧を差動電流 ($I1$ および $I2$) に変換します。 $I1$ と $I2$ は電流ミラー (Q1 および Q2) を駆動し、これによりリファレンス・ノードとゲイン・ノード間に差動電圧が生成されます。2 番目の電圧／電流ゲイン・ブロック (GM2) の JFET 入力、ゲイン・ノードのインピーダンスを最大化するため、ADA4625-1 は高いゲインが得られます。

出力段

ゲイン・ブロック GM2 は 2 対の差動電流を生成します。1 対が下側の電流ミラー (Q3 および Q4) と出力 NPN トランジスタ (Q7) を駆動し、もう 1 対が上側の電流ミラー (Q5 および Q6) と出力 PNP トランジスタ (Q8) を駆動します。コモン・エミッタの出力トランジスタ (Q7 および Q8) が、レール to レールで電流をソースおよびシンクします。また、GM2 は Q7 と Q8 のベース電圧を検出して電流 $I4$ および $I6$ を調整するため、出力負荷がなくても Q7 と Q8 のコレクタ電流は 0.6 mA に保たれます。さらに、GM2 は Q7 と Q8 のベース電圧をクランプするため、どちらも完全にオフすることはありません。

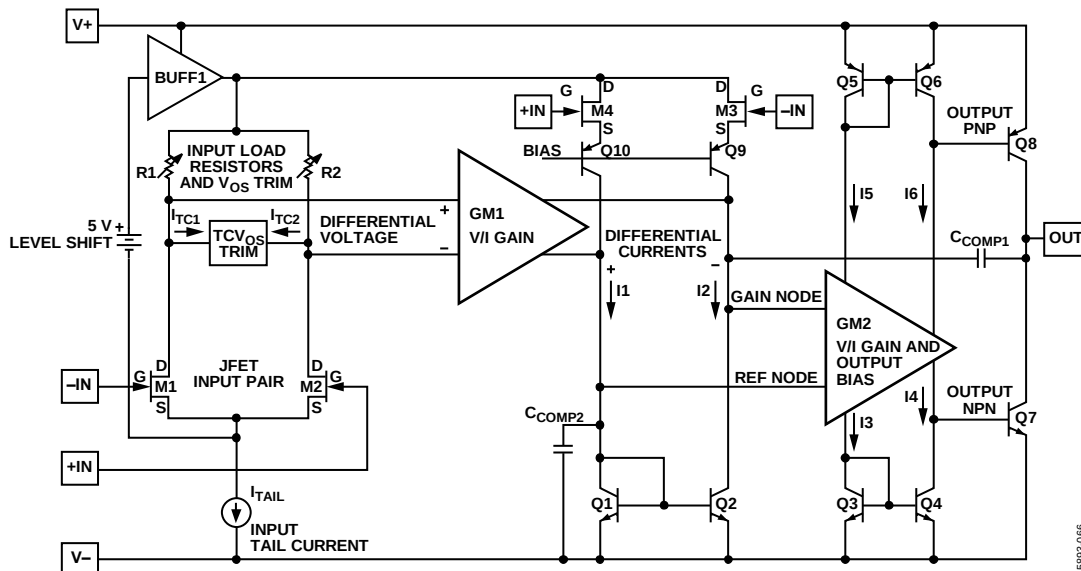


図 67. 簡略回路図

15983-066

位相反転なし

レール to レール入力 (RRI) を持たないレール to レール出力 (RRO) のアンプは、出力が入力を通常のコモンモード電圧範囲の外へ駆動することがあるため位相反転しやすく、出力が反対方向へ変化して、ラッチアップが発生します。位相反転を防ぐには、入力を常に制御する必要があります。ADA4625-1 の入力段 (M1、M2、R1、R2) の RRO は V^- より 0.2 V 低い電圧までは正常に動作しますが、 V^+ から 2.5 V 以内では正常に動作しません。ADA4625-1 は、入力ペア (M3 および M4) を実装してコモンモード電圧範囲を V^+ より 0.2 V 高い電圧まで拡張することにより、位相反転が生じないようにしています。ただし、これにより性能が低下するため、M3 と M4 は、通常のコモンモード電圧範囲では非アクティブになっています。図 68 に示すように、入力電圧が両電源を 200 mV 超えても、出力で位相反転はありません。

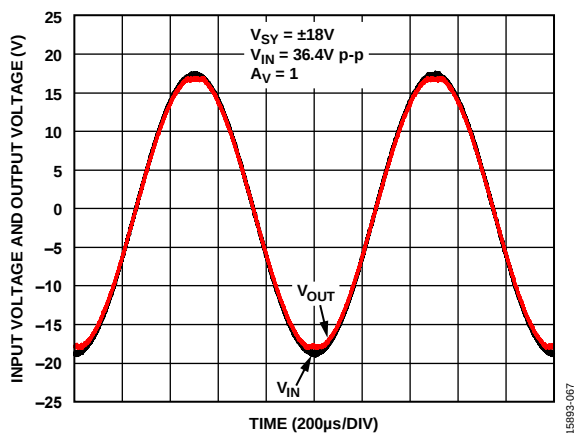


図 68. 電源電圧を 200 mV 超える入力範囲でも位相反転なし

電源電流

電源電流 (I_{SY}) は、無負荷時にオペアンプに流れる静止電流です。図 69 と図 70 に示すように、静止電流はコモンモード入力電圧によって変化します。 $I_{SY} - V_{CM}$ のグラフの V_{CM} が高い領域の形状は、BUFF1 が飽和して I_{TAIL} がオフすることを示しています。

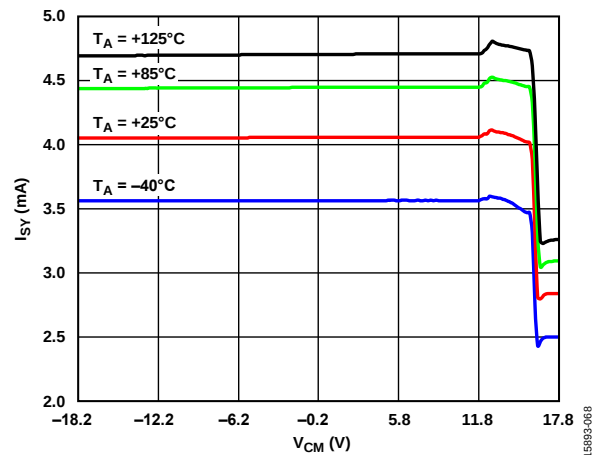


図 69. I_{SY} と V_{CM} の関係、 $V_{SY} = \pm 18$ V

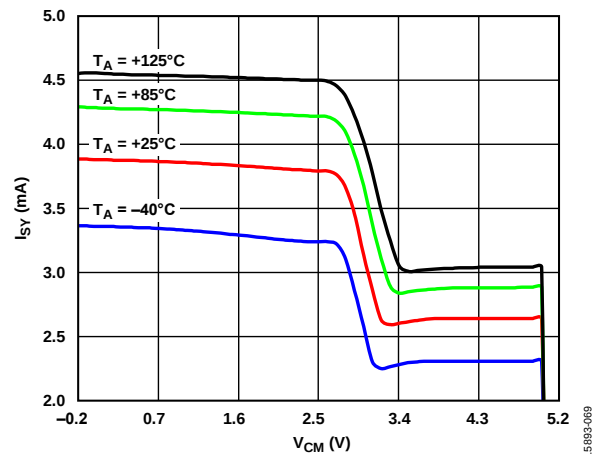


図 70. I_{SY} と V_{CM} の関係、 $V_{SY} = 5$ V

アプリケーション情報

フェーズ・ロック・ループ (PLL) 用のアクティブ・ループ・フィルタ

PLL の基本

PLL は、位相検出器 (PD)、ループ・フィルタ、電圧制御発振器 (VCO) を組み合わせた帰還システムで、発振器がリファレンス信号を基準とした固定周波数 (または位相角) を維持できるように接続されています。図 71 に基本的な PLL の機能ブロック図を示します。

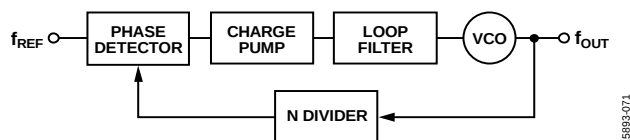


図 71. 基本的な PLL

位相検出器は、入力リファレンス信号と帰還信号の位相差を検出します。その結果得られる誤差信号は、入力信号と帰還信号の相対位相に比例します。チャージ・ポンプは PD の誤差信号を電流パルスに変換します。ループ・フィルタ回路が通常必要で、チャージ・ポンプからのソースおよびシンク電流パルスを積分し、平滑化して電圧に変換し、その電圧によって VCO を駆動します。VCO は、制御電圧端子の電圧レベルに応じた範囲の周波数を出力します。周波数 N 分周器をプログラマブルにすることで、VCO 周波数を整数倍または分数倍のいずれでも調整することができます。これにより、PLL はインテジャ N PLL またはフラクショナル N PLL の特性を持ちます。PLL は負帰還ループであるため、周波数誤差信号がゼロになり PLL がロック状態になるまで、必要に応じて VCO 出力を調整します。出力周波数は、 $f_{OUT} = N \times f_{REF}$ で与えられます。

基本的な PLL モデルをラプラス変換の形式で表したブロック図を図 72 に示します。ここで、 f_{REF} は入力信号の周波数、 f_{OUT} は VCO 出力信号の周波数です。位相差は周波数差の積分であるため、PLL ループには $1/s$ の項があります。

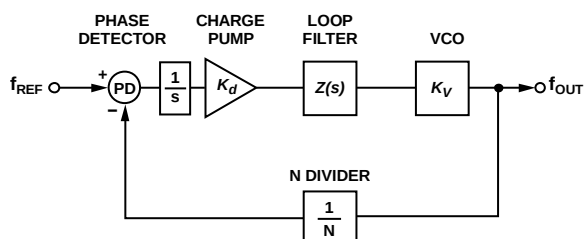


図 72. 基本的な PLL モデル

ループ・フィルタ

誤差信号を平滑化するループ・フィルタは、システムの重要な要素です。低位相ノイズと広い制御範囲が求められるアプリケーションでは、ゲインが低く入力電圧範囲が広い VCO を設計してこれらの条件を満足させます。VCO に必要な制御電圧が、チャージ・ポンプで供給できる最大電圧より高い場合は、高い制御電圧に対応したゲインを持つオペアンプで構成されたアクティブ・ループ・フィルタを実装します。プリフィルタを使用した、反転および非反転トポロジによる典型的なアクティブ・ループ・フィルタを、それぞれ図 73 と図 74 に示します。

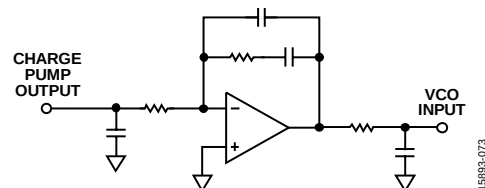


図 73. 代表的なアクティブ・ループ・フィルタ—反転トポロジ

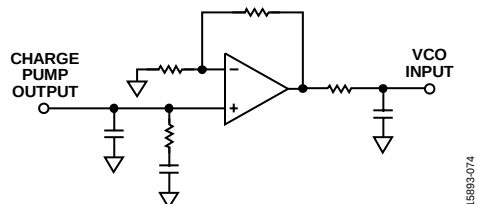


図 74. 代表的なアクティブ・ループ・フィルタ—非反転トポロジ

反転トポロジには、チャージ・ポンプ出力を固定電圧でバイアスできるという利点があります。スプリアス性能を最適化するため、通常はチャージ・ポンプ電圧の半分 ($V_P/2$) でバイアスします。反転トポロジを使用する場合は、オペアンプ出力が正しい極性の電圧で VCO を駆動するように、PLL IC が位相検出器の極性の反転を許容するようにしておきます。

ADA4625-1 の利点および設計例

アクティブ・フィルタに用いるオペアンプの選定は、周波数範囲、位相ノイズ、スプリアス周波数、ロック時間など、PLL の主要な性能パラメータに影響を与えます。フィルタ出力は、生成される周波数と位相に直接影響を与えます。VCO の制御電圧端子に電圧ノイズが印加されると、VCO のゲインで増幅されて位相ノイズに変換されるため、このノイズを低く抑えることが重要です。オペアンプのバイアス電流は PLL の位相検出器/チャージ・ポンプから供給する必要がありますが、位相検出器の出力の上下方向の電流間にミスマッチやリークがあると、リップルやリファレンスのスプリアスが発生するため、入力バイアス電流を低く抑えることも推奨されます。

ADA4625-1 はゲイン帯域幅積 (GB積) が 18 MHz で、低入力バイアス電流 (± 15 pA)、低電圧ノイズ密度 (3.3 nV/ $\sqrt{\text{Hz}}$)、超低電流ノイズ密度、低 $1/f$ コーナー周波数なので、PLL アクティブ・ループ・フィルタに使用するオペアンプとして理想的です。ADA4625-1 は、グラウンド・センシング入力を備えているため、負電圧電源を必要としません。レールtoレールの出力段は、オペアンプをより柔軟にバイアスできるため、PLL の出力範囲が VCO の入力範囲に効率的にマッピングされるというメリットがあります。さらに、ADA4625-1 は 5 V ~ 36 V の広い電源範囲で動作するため、さまざまなアクティブ・ループ・フィルタの設計に広く利用できます。

13 GHz フラクショナル N シンセサイザの ADF4159 用ループ・フィルタとして使用された ADA4625-1 を図 76 に示します。ADA4625-1 が反転アクティブ・ループ・フィルタの構成に使用されているため、ADF4159 の位相検出器の極性は負に設定され

ています。VCO は、VCO/2 の出力を ADF4159 にフィードバックする設定になっています。チャージ・ポンプ電流が 2.5 mA のとき、ループ・フィルタのループ帯域幅 (LBW) は 900 kHz で、位相マージンは 58° です。帯域幅を狭くすると位相ノイズは改善しますが、代償として PLL のロック時間は増加します。

PLL ループ・フィルタの伝達関数を図 75 に示します。コンデンサ C1 と抵抗 R1 が、位相検出器の電流パルスを連続的な電圧波形に変換します。R2C2 ゼロより低い周波数では、アンプと R1C2 が積分器を形成します。R2C2 ゼロと R2C3 ポールの間では、ゲインは $R2/R1$ で設定される一定値です。R2C3 ポールを超えると、R1C3 がアンプの周りにフィードフォワード非反転ゼロ経路を生じるまで、アンプは積分器として動作します。抵抗 R3 とコンデンサ C4 はループ・フィルタの信号経路にポールを追加します。R3C4 ポールを R2C3 ポールより低く設定すると、R1C3 フィードフォワード・ゼロの影響を低減できます。

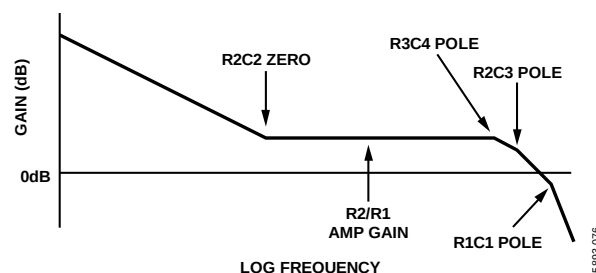


図 75. PLL ループ・フィルタの伝達関数

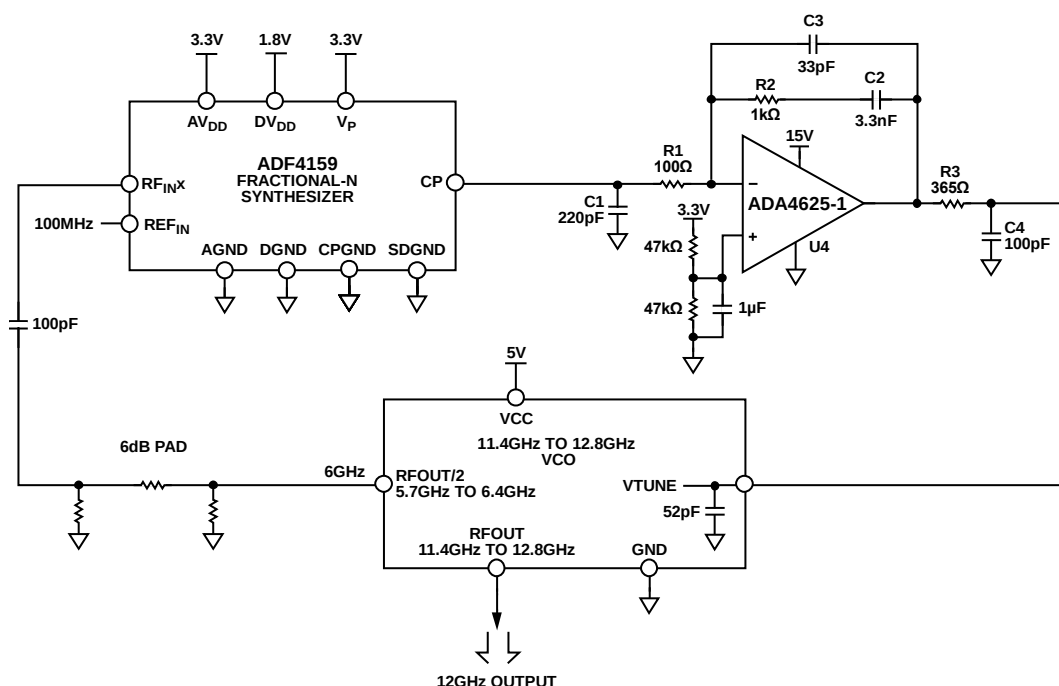


図 76. ADA4625-1 を使用した ADF4159 用アクティブ・ループ・フィルタのブロック図

R2C2 ゼロより高く、R2C3 ポールおよび R3C4 ポールより低い周波数でループ・ゲインが 0 dB を通過する PLL は安定しています。チャージ・ポンプ電流が低いと、ループ・ゲインは R2C2 より高い周波数でゼロを通過します。チャージ・ポンプ電流が高いと、ループ・ゲインは R2C3 ポールおよび R3C4 ポールより低い周波数でゼロを通過します（図 77 参照）。

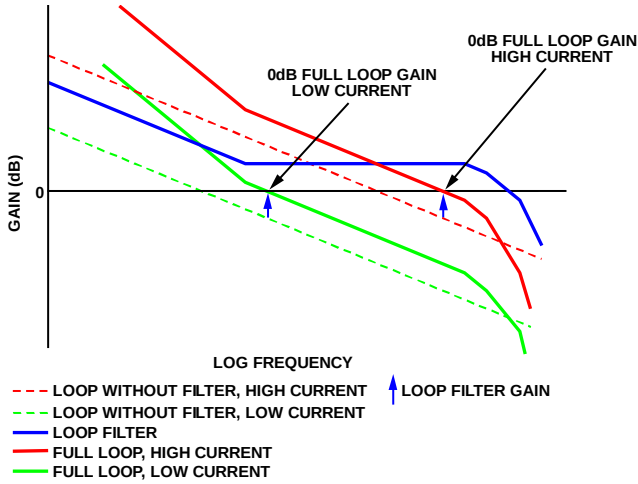


図 77. PLL とループ・フィルタのゲインの周波数特性

各種チャージ・ポンプ電流 (I_{CP}) での位相ノイズの測定値と 12 GHz のキャリアからの周波数オフセットの関係を、図 78 に示します。一般に、ほとんどの動作でチャージ・ポンプ電流は 2.5 mA 以下です。これらのテストと必要なソフトウェアのセットアップの詳細については、ユーザ・ガイド UG-383 を参照してください。

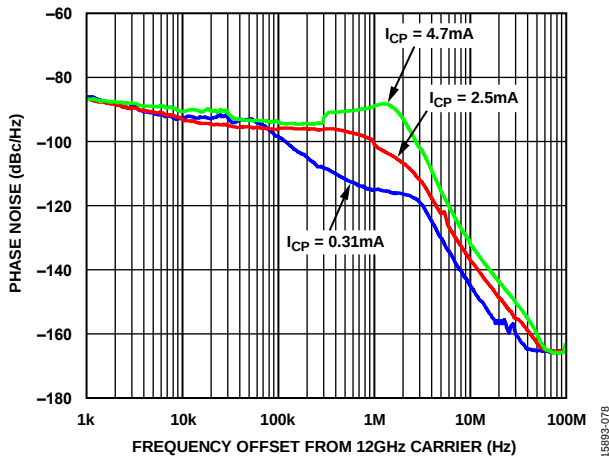


図 78. 各種チャージ・ポンプ電流 (I_{CP}) での位相ノイズの測定値と 12 GHz のキャリアからの周波数オフセットの関係

アナログ・デバイセズのシミュレーション・ツール ADIsimPLL を使用すると、PLL ループ・フィルタ・トポロジーの設計とシミュレーションを行うことができます。ADIsimPLL には、アナログ・デバイセズのオペアンプのライブラリが組み込まれています。このシミュレーション・ツールにより、PLL クローズドループの位相ノイズを正確に予測し、オペアンプのノイズおよび他の PLL ループの部品のノイズの影響をモデル化できます。ADIsimPLL デザイン・ツールの詳細については、www.analog.com/ADIsimPLL をご覧ください。

トランスインピーダンス・アンプ

ADA4625-1 は、低ノイズ・トランスインピーダンス・アンプ (TIA) のアプリケーションに最適です。電圧および電流ノイズが低いので、S/N 比 (SNR) を最大化できると同時に、電圧オフセットと入力バイアス電流が低いので、アンプ出力の DC 誤差を最小限に抑えられます。ADA4625-1 は、真にグラウンド・センスの動作が可能なので、単電源動作に理想的です。さらに、出力振幅がレール to レールなので、広い範囲の入力電流信号の検出と増幅が可能です。ADA4625-1 をフォトダイオードの電気モデルで電流/電圧 (I-V) コンバータとして使用した回路を図 79 に示します。

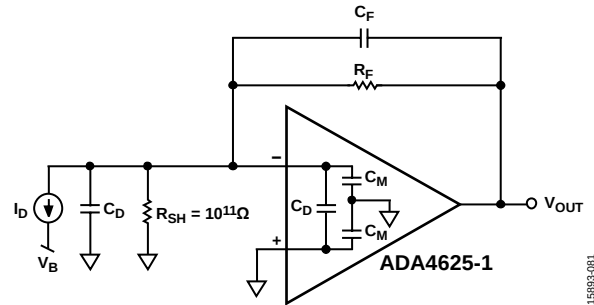


図 79. TIA の等価回路

フォトダイオードは、光起電モード (ゼロ・バイアス)、または光伝導モード (ダイオードの両端に逆バイアスを印加) で動作させることができます。アプリケーションに必要な速度と暗電流、そして使用するフォトダイオードに応じてモードを選択します。光起電モードは暗電流が最小のため、低周波数や低照度のアプリケーション (つまり、PN フォトダイオード) に適しています。光伝導モードは、高速で直線応答が求められるアプリケーション (つまり、PIN フォトダイオード) に適していますが、トレードオフとして暗電流とノイズ電流が増加します。

次の伝達関数は、図 79 のトランスインピーダンス・ゲインを表しています。

$$V_{OUT} = \frac{I_D R_F}{1 + s C_F R_F} \quad (1)$$

ここで、

V_{OUT} はオペアンプの所望の出力 DC 電圧です。

I_D はフォトダイオードの出力電流です。

R_F と C_F は帰還抵抗および帰還コンデンサです。 R_F と C_F の並列接続は、信号帯域幅を設定します。

s は s 平面です。

達成可能な最大出力電圧がダイオードの最大出力電流に対応するように R_F を設定します。信号レベルは R_F に直接比例して増加しますが、 R_F によるノイズは抵抗値の平方根に比例して増加するため、出力振幅全体を使用すると S/N 比が最大化されます。

ノイズ・ゲイン (NG) 特性が回路の最終的な安定性を決めるため、信号ゲインとノイズ・ゲインを区別することが重要です。次のように、ノイズ・ゲインは非反転の信号ゲインと同じ伝達関数を持ちます。

$$NG = \left(1 + \frac{R_F}{R_{SH}}\right) \times \frac{1 + s(R_F // R_{SH})(C_{IN} + C_F)}{1 + sR_F C_F} \quad (2)$$

ここで、

R_{SH} はダイオードのシャント抵抗です。

C_{IN} は、ダイオードのシャント容量 (C_D) の和、アンプの入力容量 ($C_{DM} + C_{CM}$)、および外部浮遊容量から成る合計入力容量です。

C_{IN} と R_F はノイズ・ゲインの伝達関数のゼロを生じます。ゼロ周波数 (f_Z) は次式で求めることができます。

$$f_Z = \frac{1}{2\pi(R_F // R_{SH})(C_{IN} + C_F)} \quad (3)$$

フォトダイオードのシャント抵抗 R_{SH} は R_F よりはるかに大きいので、接合抵抗は回路の動作に影響を与えず、 f_Z は次のように簡略化されます。

$$f_Z = \frac{1}{2\pi R_F (C_{IN} + C_F)} \quad (4)$$

アンプのオープンループ・ゲインに重ね合わせた TIA のノイズ・ゲインを図 80 に示します。システムを安定に保つため、ノイズ・ゲイン曲線は、オープンループ応答と 20 dB/decade 未満の正味の傾きで交差する必要があります。図 80 で、破線は未補償のノイズ・ゲイン ($C_F = 0$ pF) を表します。破線はオープンループ・ゲインと周波数 (f_X) で 20 dB/decade の傾きで交差しており、不安定な条件であることを示しています。

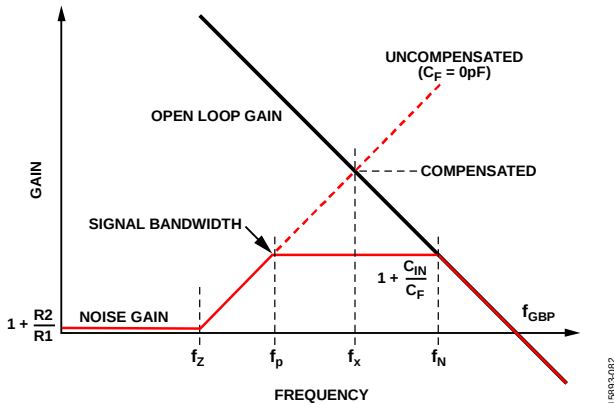


図 80. 一般的な TIA のノイズ・ゲインと伝達関数

C_{IN} によって生じる不安定性は、 C_F を追加して f_X 以下の周波数にポールを導入することで補償できます。ポール周波数は以下のとおりです。

$$f_P = \frac{1}{2\pi R_F C_F} \quad (5)$$

f_X の周波数にポールを設定すると、45° の位相マージンで信号帯域幅が最大化されますが、破線が示しているように安定性にはほとんど余裕がありません。 f_X は、 f_Z とアンプのゲイン帯域積 (GB積) 周波数 (f_{GBP}) の幾何平均であるため、次式で計算できます。

$$f_X = \sqrt{f_Z f_{GBP}} \quad (6)$$

式 4 と式 5 を式 6 に代入すると、 f_X を生じる C_F の値は次のようになります。

$$C_F = \frac{1 + \sqrt{1 + 8\pi R_F C_{IN} f_{GBP}}}{4\pi R_F f_{GBP}} \quad (7)$$

ここで、 $8\pi \times R_F \times C_{IN} \times f_{GBP} \gg 1$ である場合は、式 7 は次のように簡単になります。

$$C_F = \sqrt{\frac{C_{IN}}{2\pi R_F f_{GBP}}} \quad (8)$$

また、 C_F を追加すると信号帯域幅は f_P に設定されます。式 8 を式 5 に代入し、 f_{GBP} 、 R_F 、 C_{IN} の項による信号帯域幅の式に変形すると、次のようになります。

$$f_P = \sqrt{\frac{f_{GBP}}{2\pi R_F C_{IN}}} \quad (9)$$

達成可能な信号帯域幅は、時定数 $R_F C_{IN}$ とアンプの f_{GBP} の関数です。信号帯域幅を最大化するには、広帯域幅で低入力容量のオペアンプを選択し、フォトダイオードを逆バイアスで動作させて接合容量を下げます。

FET 入力オペアンプの入力電流ノイズは無視でき、フォトダイオードのショット・ノイズもシャント容量のフィルタリング効果によって無視できるため、広帯域フォトダイオードの TIA 回路における出力ノイズの主な発生源は、アンプの入力電圧ノイズ e_N と、 R_F で発生する熱ノイズです。

低周波数では、回路のノイズ・ゲインは $1 + R_F/R_{SH}$ です。 f_Z 以上の周波数でノイズ・ゲインは増加し始め、ゲインが $1 + C_{IN}/C_F$ に達すると、そこで増加が止まります (図 80 参照)。また、ノイズ帯域幅の周波数 f_N (補償されたノイズ・ゲインとオープンループ・ゲインが交差する周波数) は、次式で見積ることができます。

$$f_N = \frac{C_F}{(C_{IN} + C_F)} f_{GBP} \quad (10)$$

設計例

設計例として、フォトダイオード・プリアンプのアプリケーションで、ADA4625-1 を TIA アンプとして構成した回路を図 81 に示します。フォトダイオードの C_D を 5 pF、 I_D を 200 μ A、所望のフルスケール V_{OUT} を 10 V と仮定すると、式 1 を使用して R_F は 50 k Ω になります。

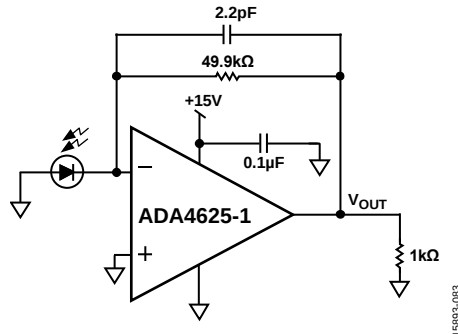


図 81. ADA4625-1 を使用した単電源 TIA 回路

ADA4625-1 の入力容量 ($C_{CM} + C_{DM}$) は 19.9 pF なので、合計入力容量 (C_{IN}) は 24.9 pF になります。 $C_{IN} = 24.9$ pF、 $R_F = 50$ k Ω 、 $f_{GBP} = 18$ MHz を式 7 と式 9 に代入すると、帰還コンデンサの値 (C_F) と -3 dB 信号帯域幅 (f_p) はそれぞれ、2.2 pF と 1.45 MHz になります。

図 82 と図 83 に、補償された TIA 回路の特性を示します。 $C_F = 2.2$ pF で信号帯域幅を最大化すると、システムの帯域幅は 1.45 MHz になります。 C_F を 3.9 pF に増やすと、帯域幅は 0.82 MHz に減少しますが、オーバーシュートが大幅に減少します (図 84 参照)。実際には、 C_F の値を少しずつ変化させて実験的に最適値を決定し、出力のパルス応答を最適化します。

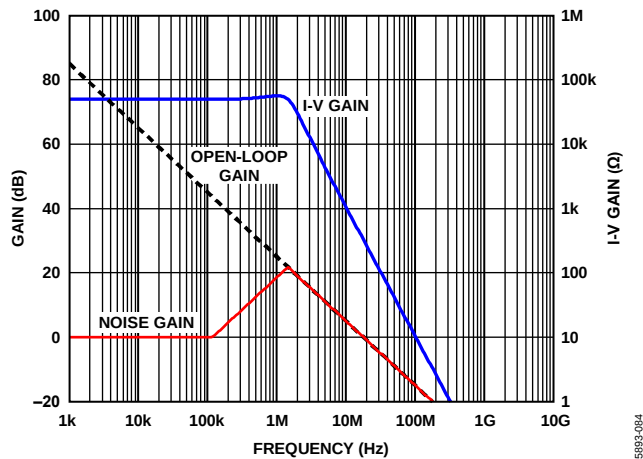


図 82. $C_F = 2.2$ pF で補償した TIA

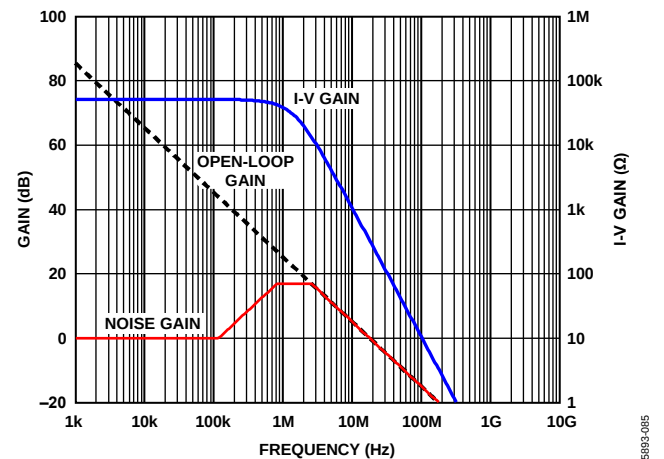


図 83. $C_F = 3.9$ pF で補償した TIA

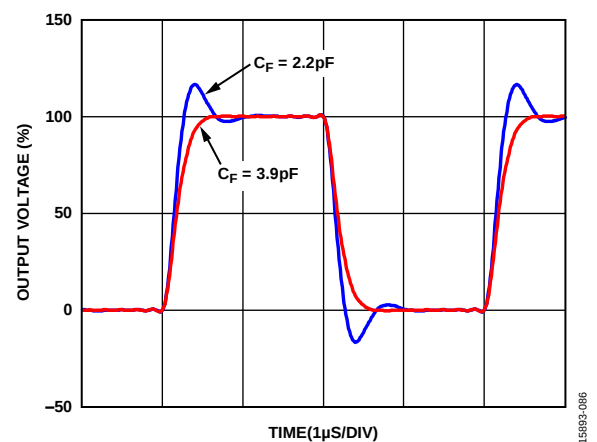


図 84. パルス応答と C_F の関係

C_F = 2.2 pF と C_F =3.9 pF のそれぞれについて、フォトダイオード・アンプのノイズ源と合計出力ノイズの推定値を表 7 に示します。

フォトダイオードとインターフェースするトランスインピーダンス・アンプ回路を設計するには、アナログ・デバイセズの Analog Photodiode Wizard を使用します。

表 7. フォトダイオード・プリアンプの RMS ノイズ成分

Noise Contributor	Expression	RMS Noise (μV) ¹	
		C _F = 2.2 pF	C _F = 3.9 pF
R _F	$\sqrt{4kTR_F\left(\frac{\pi}{2}f_p\right)}$ ここで、 k はボルツマン定数 (1.38 × 10²³ J/K) 。 T は温度 (ケルビン) 。	43.2	32.5
Current Noise, V _{ni, AMP}	$i_N R_F \sqrt{\frac{\pi}{2}f_p}$	0.34	0.25
Voltage Noise, V _{nv, AMP}	$e_N \sqrt{\left(1 + \frac{C_{IN}}{C_F}\right)\frac{\pi}{2}f_{GBP}}$	61.6	47.7
Total Noise	$\sqrt{V_{nv, AMP}^2 + V_{ni, AMP}^2 + V_{R_F}^2}$	75.2	57.7

¹ R_F = 49.9 kΩ、 C_{IN} = C_{CM} + C_{DM} = 19.9 pF、 C_D = 5 pF、 i_N = 4.5 fA/√Hz、 e_N = 3.3 nV/√Hz のときの RMS ノイズ。

推奨される電源ソリューション

アナログ・デバイセズは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネジメント製品を提供しています。

両電源のアプリケーションでは、ADA4625-1 には通常 $\pm 15\text{ V}$ の電源が必要です。正電源用の ADP7118 や ADP7142 と、負電源用の ADP7182 などの低ドロップアウト (LDO) リニア電圧レギュレータは、高周波数での PSRR の改善と低ノイズの電源レールの生成に役立ちます。さらに、負電源が使用できない場合は、ADP5070 を使用して正電源から負電源を生成できます。ADA4625-1 の電源ソリューションの構成例を図 85 に示します。

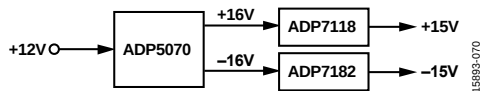


図 85. ADA4625-1 の電源ソリューションの構成

表 8. 推奨されるパワー・マネジメント・デバイス

Product	Description
ADP5070	DC-to-dc switching regulator with independent positive and negative outputs
ADP7118	20 V, 200 mA, low noise, CMOS LDO linear regulator
ADP7142	40 V, 200 mA, low noise, CMOS LDO linear regulator
ADP7182	-28 V, -200 mA, low noise, linear regulator

電源から混入する誤差を低減するために、 $0.1\text{ }\mu\text{F}$ の低 ESR パイパス・コンデンサを ADA4625-1 の各電源ピンとグラウンドに近づけて使用することを推奨します。ノイズの多い電源の場合は、 $0.1\text{ }\mu\text{F}$ のコンデンサと並列に $10\text{ }\mu\text{F}$ のコンデンサを追加すると、優れた性能が得られます。

入力過電圧保護

ADA4625-1 は保護回路を内蔵しており、損傷を生じることなく、電源電圧を 0.2 V 超える電圧をいずれの端子にも印加できます。入力電圧がこれより高い場合は、入力電流を制限するために直列抵抗が必要です。この抵抗値は次式で求めます。

$$(V_{IN} - V_S) / R_S \leq 20\text{ mA}$$

ここで、

V_{IN} は入力電圧。

V_S は $V+$ または $V-$ の電圧。

R_S は直列抵抗です。

バイアス電流は $125\text{ }^\circ\text{C}$ まで 5.5 nA 未満と非常に小さいので、高い値の抵抗を入力に直列に接続できます。 $500\text{ }\Omega$ の抵抗を使用すると、電源より 10 V 高い電圧から入力を保護し、オフセットに追加される電圧は $2.75\text{ }\mu\text{V}$ 未満です。しかし、直列抵抗 (R_S) を追加すると、 R_S とアンプの入力コンデンサによって生じるポールが加わるため、全体のノイズが増加し、帯域幅が小さくなる可能性があります。

容量性負荷の駆動

オペアンプの固有の出力抵抗と容量性負荷が組み合わさって、アンプの伝達関数に追加のポールを形成します。すべてのオペアンプでは、出力に容量を追加すると、位相遅延が大きくなります。この遅延により安定性が低下し、オーバーシュートや発振が生じます。これは、スイッチド・キャパシタ A/D コンバータ (ADC) の入力をアンプで駆動するときによく発生する状況です。

ADA4625-1 は高い位相マージンと低出力インピーダンスを備えているため、ユニティ・ゲインで発振することなく、最大 1 nF の容量性負荷を外部補償なしで直接駆動できます。

他の考慮事項やさまざまな回路ソリューションについては、アナログ・デバイセズの記事、*Ask the Applications Engineer-25, Op Amps Driving Capacitive Loads* をご覧ください。

温度管理

ADA4625-1 は、最大 36 V の電源電圧まで 4 mA の静止電流（代表値）で動作させることができます。負荷が大きければ、消費電力は増加し、チップのジャンクション温度は上昇します。

ADA4625-1 の最大安全消費電力は、チップのジャンクション温度（ T_J ）の上昇により制限されます。デバイスの消費電力（ P_D ）とパッケージの周囲温度（ T_A ）の 2 つの条件が T_J に影響を与えます。この関係を式 11 に示します。

$$T_J = P_D \times \theta_{JA} + T_A \quad (11)$$

ここで、 θ_{JA} はチップと周囲環境の間の熱抵抗です。アンプの総消費電力は、出力段の消費電力と静止消費電力の和になります。ソース電流による消費電力を式 12 に示します。ここで、 V_{SY} は電源電圧の合計（ V_+ ） - （ V_- ）です。

$$P_D = V_{SY} \times I_{SY} + ((V_+) - V_{OUT}) I_{OUT} \quad (12)$$

シンク電流の場合は、式 12 の（ V_+ ） - V_{OUT} ）を（ V_- ） - V_{OUT} ）に置き換えます。

グラウンド基準の負荷を持つ対称電源では、サイン波信号を処理するアンプの平均消費電力を次式で計算します。

$$P_{AVG,SINE} = (V_{SY} \times I_{SY}) + \left(\frac{2}{\pi} \times \frac{(V_+) \times V_{PEAK}}{R_L} \right) - \left(\frac{V_{PEAK}^2}{2 \times R_L} \right) \quad (13)$$

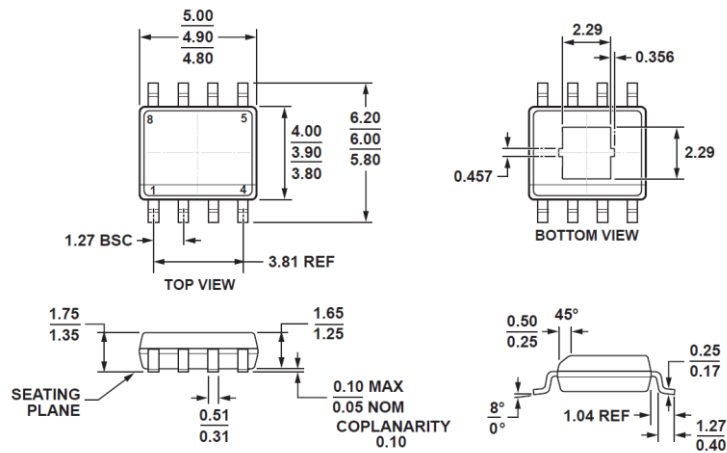
ここで、 V_{PEAK} はサイン波出力電圧のピーク値です。

ADA4625-1 の規定熱抵抗 θ_{JA} は 52.8 °C/W です。優れた PCB レイアウトと外付けのヒート・シンクによって、ジャンクション - 周囲間温度を下げることで熱性能を改善することができます。

ADA4625-1 は内部でフロート状態の露出パッドを備えているため、使いやすく柔軟性に富んでいます。露出パッドを PCB ボードの GND、または V_+ / V_- プレーンにハンダ付けすると、最良の熱伝導が得られます。発熱が問題とならない場合は、露出パッドはフロート状態のまま構いません。

露出パッド用の実装パッド設計にサーマル・ビアやヒート・パイプを併用すると、 θ_{JA} 全体をさらに低くすることができます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA

図 86.8 ピン標準スモール・アウトライン・パッケージ、露出パッド付き [SOIC_N_EP]
ナロー・ボディ
(RD-8-1)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADA4625-1ARDZ	−40°C to +125°C	8-Lead Standard Small Outline Package with Exposed Pad [SOIC_N_EP]	RD-8-1
ADA4625-1ARDZ-R7	−40°C to +125°C	8-Lead Standard Small Outline Package with Exposed Pad [SOIC_N_EP]	RD-8-1
ADA4625-1ARDZ-RL	−40°C to +125°C	8-Lead Standard Small Outline Package with Exposed Pad [SOIC_N_EP]	RD-8-1
EVAL-ADA4625-1ARDZ		Evaluation Board	

¹ Z = RoHS 準拠製品。