

4T2R、ダイレクト RF トランスミッタ
およびオブザベーション・レシーバー

特長

- ▶ 柔軟性の高い再構成可能な共通無線プラットフォーム設計
 - ▶ 送受信チャンネル帯域幅：最大 1.2GHz/2.4GHz (4T2R)
 - ▶ RFDAC/RFADC の RF 周波数範囲：最大 7.5GHz
 - ▶ マルチチップ同期機能搭載のオンチップ PLL
 - ▶ 外部 RFCLK 入力オプション
- ▶ 汎用デジタル機能
 - ▶ 設定可能なデジタル・アップ/ダウン・コンバージョン (DDC および DUC)
 - ▶ 8 つの微調整・複素 DUC と 4 つの粗調整・複素 DUC
 - ▶ 8 つの微調整・複素 DDC と 4 つの粗調整・複素 DDC、2 つずつ独立
 - ▶ DUC/DDC のそれぞれに 48 ビット NCO を内蔵
 - ▶ レシーバーのイコライゼーション用にプログラマブルな 192 タップ PFIR フィルタ
 - ▶ GPIO を介して 4 つの異なるプロファイル設定をロード可能
- ▶ AGC 対応レシーバー
 - ▶ 高速 AGC 制御用の低遅延・高速検出
 - ▶ 低速 AGC 制御用の信号検出
 - ▶ 専用の AGC 対応ピン
- ▶ DPD 対応トランスミッタ
 - ▶ 送信データ・パスごとに遅延とゲインの設定が可能
 - ▶ DPD オブザベーション・パスの DDC 遅延粗調整
- ▶ 補助機能
 - ▶ パワー・アンプ後段の保護回路
 - ▶ 温度モニタリング・ユニット内蔵
 - ▶ 様々なユーザ設定に対応するプログラマブルな GPIO ピン
 - ▶ 分周比を選択可能な ADC クロック・ドライバ
 - ▶ TDD 省電力オプションと ADC 共有機能
- ▶ SERDES JESD204B/JESD204C インターフェース、16 レーン、最大 24.75Gbps
 - ▶ DAC と ADC のそれぞれに 8 レーンずつ
 - ▶ JESD204B 互換の最大 15.5Gbps レーン・レート
 - ▶ JESD204C 互換の最大 24.75Gbps レーン・レート
 - ▶ 実数または複素数のデジタル・データ (8、12、16、または 24 ビット) に対応
- ▶ 15mm × 15mm、0.8mm ピッチ、324 ボール BGA

アプリケーション

- ▶ ワイヤレス通信インフラストラクチャ
- ▶ W-CDMA、LTE、LTE-A、Massive-MIMO
- ▶ マイクロ波のポイント to ポイント、E バンド、および 5G ミリ波
- ▶ 広帯域通信システム
- ▶ DOCSIS 3.1 および 4.0 CMTS
- ▶ 通信テストおよび計測システム

概要

AD9986 は、最大サンプル・レートが 12GSPS の 16 ビット RF DAC コア、およびレートが 6GSPS の 12 ビット RF ADC コアを内蔵した高集積デバイスです。4 つのトランスミッタ・チャンネルと 2 つのレシーバー・チャンネルをサポートしており、4 トランスミッタ、2 レシーバー (4T2R) の構成で使用できます。AD9986 は、デジタル・プリディストーション用に広帯域オブザベーション・レシーバー・パスを必要とする、アンテナが 2 本および 4 本のトランスミッタに最適です。AD9986 は、1 つのチャンネル・モードにおいて複素数データで最大 6GSPS の送受信レートをサポートします。無線チャンネルの最大帯域幅は、送信パスが 1.2GHz、受信パスが 2.4GHz です (4T2R 構成)。AD9986 は、16 レーンの 24.75Gbps JESD204C または 15.5Gbps JESD204B シリアル・データ・ポート、オンチップ・クロック通倍器、およびデジタル・シグナル・プロセッサ機能を搭載し、マルチバンドの DC~RF 無線アプリケーションを対象としています。

目次

特長	1	DAC の AC 仕様.....	11
アプリケーション	1	ADC の AC 仕様.....	13
概要	1	タイミング仕様	15
機能ブロック図.....	3	絶対最大定格.....	17
仕様	4	リフロー・プロファイル.....	17
推奨動作条件.....	4	熱抵抗.....	17
消費電力	4	ESD に関する注意.....	17
DAC の DC 仕様	5	ピン配置およびピン機能の説明	18
ADC の DC 仕様	6	代表的な性能特性	23
クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様.....	6	DAC	23
DAC と ADC のサンプル・レート仕様.....	7	ADC	28
入力データ・レートの仕様	8	動作原理.....	35
NCO 周波数の仕様.....	9	アプリケーション情報.....	36
JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様	9	外形寸法.....	37
CMOS ピンの仕様.....	11	オーダー・ガイド	37
		評価用ボード	37

改訂履歴

6/2021—Revision 0: Initial Version

仕様

推奨動作条件

DAC コア回路の信頼性を長期的に維持するには、パワーアップ後すぐに開始されるデバイス初期化フェーズで DAC を適切にキャリブレーションする必要があります。デバイスの初期化の詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

表 1.

Parameter	Min	Typ	Max	Unit
OPERATING JUNCTION TEMPERATURE (T _J)	−40		+120	°C
ANALOG SUPPLY VOLTAGE RANGE				
AVDD2, BVDD2, RVDD2	1.9	2.0	2.1	V
AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, VDD1_NVG	0.95	1.0	1.05	V
DIGITAL SUPPLY VOLTAGE RANGE				
DVDD1, DVDD1_RT, DCLKVDD1, DAVDD1	0.95	1.0	1.05	V
DVDD1P8	1.7	1.8	2.1	V
SERIALIZER/DESERIALIZER (SERDES) SUPPLY VOLTAGE RANGE				
SVDD2_PLL	1.9	2.0	2.1	V
SVDD1, SVDD1_PLL	0.95	1.0	1.05	V

消費電力

特に指定のない限り、代表値は公称電源での値、最大値は電源の 5%での値、最小値と最大値は T_J = −40°C~+120°C での値、代表値は T_A = 25°C (T_J = 80°C に相当) での値です。

DAC データ・パスは、複素 I/Q データ・レート周波数 (f_{IQ_DATA}) = 1500MSPS、8×のインターポレーション、DAC 周波数 (f_{DAC}) = 12GSPS、JRx モード 15C (L = 8、M = 8、F = 2、S = 1、K = 128、E = 1、N = 16、NP = 16) です。

ADC データ・パスは、複素 f_{IQ_DATA} = 3000MSPS、2×のデシメーション、ADC サンプル・レート (f_{ADC}) = 6GSPS、JT_x モード 18C (L = 8、M = 4、F = 1、S = 1、K = 128、E = 1、N = 16、NP = 16) です。

AD9986 には、送信パスでデジタル・アップ・コンバータをバイパスするオプションと受信パスでデジタル・ダウン・コンバータをバイパスするオプションはありません。

JESD204B および JESD204C モード設定の詳細については、UG-1578 を参照してください。また設定の詳細はこのデータシートで説明します。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
CURRENTS					
AVDD2 (I _{AVDD2})	2.0V 電源		195	204	mA
BVDD2 (I _{BVDD2}) + RVDD2 (I _{RVDD2})	2.0V 電源		290	340	mA
AVDD2_PLL (I _{AVDD2_PLL}) + SVDD2_PLL (I _{SVDD2_PLL})	2.0V 電源		45	55	mA
Power Dissipation for 2 V Supplies	2.0V 電源での総消費電力		1.06	1.20	W
PLLCLKVDD1 (I _{PLLCLKVDD1})	1.0V 電源		15	25	mA
AVDD1 (I _{AVDD1}) + DCLKVDD1 (I _{DCLKVDD1})	1.0V 電源		975	1180	mA
AVDD1_ADC (I _{AVDD1_ADC})	1.0V 電源		1725	2100	mA
CLKVDD1 (I _{CLKVDD1})	1.0V 電源		90	150	mA
FVDD1 (I _{FVDD1})	1.0V 電源		45	80	mA
VDD1_NVG (I _{VDD1_NVG})	1.0V 電源		280	360	mA
DAVDD1 (I _{DAVDD1})	1.0V 電源		1575	1840	mA
DVDD1 (I _{DVDD1})	1.0V 電源		3010	4070	mA
DVDD1_RT (I _{DVDD1_RT})	1.0V 電源		630	760	mA
SVDD1 (I _{SVDD1}) + SVDD1_PLL (I _{SVDD1_PLL})	1.0V 電源		1875	2510	mA
Power Dissipation for 1 V Supplies	1.0V 電源での総消費電力		10.22	13.08	W
DVDD1P8 (I _{DVDD1P8})	1.8V 電源		7	10	mA

仕様

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
Total Power Dissipation	2V 電源と 1V 電源での総消費電力		11.29	14.30	W

DAC の DC 仕様

特に指定のない限り、公称電源、DAC 出力フルスケール電流 (I_{OUTFS}) = 26mA、ADC セットアップは 6GSPS、フル帯域幅モード（すべてのデジタル・ダウン・コンバータをバイパス）、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 80^{\circ}\text{C}$ に相当) での値です。

表 3.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
DAC RESOLUTION					
DAC ACCURACY					
Gain Error			1.5		%FSR
Gain Matching			0.7		%FSR
Integral Nonlinearity (INL)	シャッフリングを無効		8.0		LSB
Differential Nonlinearity (DNL)	シャッフリングを無効		3.5		LSB
DAC ANALOG OUTPUTS	DACxP および DACxN				
Full-Scale Output Current Range	AC カップリング、設定抵抗 (R_{SET}) = $5k\Omega$				
AC Coupling	出力コモンモード電圧 (V_{CM}) = 0V	6.43	26.5	37.75	mA
DC Coupling	50Ω のシャントを負電源に接続し、 $V_{CM} = 0V$ に設定	6.43		37.75	mA
	50Ω のシャントを GND に接続し、 $V_{CM} = 0.3V$ に設定	6.43		20 ¹	mA
Full-Scale Sinewave Output Power with AC Coupling ²	50Ω とのインターフェースに理想的な 2 : 1 のバランを使用				
$I_{OUTFS} = 26\text{ mA}$			3.3		dBm
$I_{OUTFS} = 40\text{ mA}$			7		dBm
Common-Mode Output Voltage (V_{CMOUT})			0		V
AC Coupling	シャント・インダクタを介して各出力を GND にバイアス		0		V
DC Coupling	$25\Omega \sim 200\Omega$ の抵抗を介して各出力を負の電圧レールに接続し、 $V_{CMOUT} = 0V$ になるように選択、 25Ω 抵抗を GND に接続して $V_{CMOUT} = 0.3V$ に設定、 $I_{OUTFS} = 20\text{mA}$		0	0.3	V
Differential Resistance			100		Ω

¹ DC カップリング・アプリケーションでは、最大フルスケール出力電流は V_{CMOUT} の最大仕様によって制限されます。

² DAC の sinc 応答、インピーダンス・ミスマッチによる損失、およびバランの挿入損失のため、実際に測定されるフルスケール電力には周波数依存性があります。

仕様

ADC の DC 仕様

ADC セットアップは 6GSPS、フル帯域幅モード（すべてのデジタル・ダウン・コンバータをバイパス）、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 80^{\circ}\text{C}$ に相当) での値です。

表 4. ADC の DC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
ADC RESOLUTION		12			Bit
ADC ACCURACY			Guaranteed		
No Missing Codes			0.04		%FSR
Offset Error			0.03		%FSR
Offset Matching			1.5		%FSR
Gain Error			0.6		%FSR
Gain Matching			0.32		LSB
DNL			1.38		LSB
INL					LSB
ADC ANALOG INPUTS	ADCxP および ADCxN				
Differential Input Voltage			1.475		V p-p
Full-Scale Sine Wave Input Power	高速フーリエ変換 (FFT) で 0dBFS トーン・レベルになる入力パワー・レベル		3.9		dBm
Common-Mode Input Voltage (V_{CMIN})	AC カップリングされた値、ADCx 入力に対する V_{CMx} 電圧に等しい値		1		V
Differential Input Resistance			100		Ω
Differential Input Capacitance			0.4		pF
Return Loss	2.7GHz		-4.3		dB
	2.7GHz~3.8GHz		-3.6		dB
	3.8GHz~5.4GHz		-2.9		dB

クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 5.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
CLOCK INPUTS (CLKINP, CLKINN) FREQUENCY RANGES		25		12000	MHz
PHASE FREQUENCY DETECTOR (PFD) INPUT FREQUENCY RANGES		25		750	MHz
FREQUENCY RANGES ACCORDING TO CLOCK PATH CONFIGURATION					
Direct Clock (PLL Off)		2900 ¹		12000	MHz
PLL Reference Clock (PLL On)	M 分周器を 1 分周に設定	25		750	MHz
	M 分周器を 2 分周に設定	50		1500	MHz
	M 分周器を 3 分周に設定	75		2250	MHz
	M 分周器を 4 分周に設定	100		3000	MHz
PLL VOLTAGE CONTROLLED OSCILLATOR (VCO) FREQUENCY RANGES					
VCO Output					
Divide by 1	D 分周器を 1 分周に設定	5.8		12	GHz
Divide by 2	D 分周器を 2 分周に設定	2.9		6	GHz
Divide by 3	D 分周器を 3 分周に設定	1.93333		4	GHz
Divide by 4	D 分周器を 4 分周に設定	1.45		3	GHz

仕様

表 5.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
CLOCK OUTPUTS (ADC CLOCK DRIVER)	ADCDRVP および ADCDRVN				
Differential Output Voltage Magnitude ²	1.5GHz		740		mV p-p
	2.0GHz		690		mV p-p
	3GHz		640		mV p-p
	6GHz		490		mV p-p
Differential Output Resistance			100		Ω
Common-Mode Voltage	AC カップリング		0.5		V

¹ 表 6 に示すように、ダイレクト・クロックの最小周波数は DAC (コア) の最小サンプル・レートによって制限されます。クロック・レシーバーは、PLL リファレンス・クロックの最小周波数からダイレクト・クロックの最大周波数までの全範囲に対応できます。

² 差動の 100Ω 負荷を使用し、プリント回路基板 (PCB) のパターンがパッケージのボールから 2mm 以内の位置で測定しています。

DAC と ADC のサンプル・レート仕様

特に指定のない限り、公称電源、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 80^{\circ}\text{C}$ に相当) での値です。

表 6. DAC サンプル・レートの仕様

Parameter	Min	Typ	Max	Unit
DAC SAMPLE RATE ¹				
Minimum			2.9	GSPS
Maximum	12			GSPS

¹ DAC コアの更新レートで、データ・パスおよび JESD204 モード設定には依存しません。

表 7. ADC サンプル・レートの仕様

Parameter	Min	Typ	Max	Unit
ADC SAMPLE RATE ¹				
Minimum			1.45	GSPS
Maximum	6			GSPS
Aperture Jitter ²		65		fs rms

¹ ADC コアの更新レートで、データ・パスおよび JESD204 モード設定には依存しません。

² DAC をディスエーブルし、クロック分周器 = 1、 $f_{\text{ADC}} = 4\text{GSPS}$ 、および入力周波数 ($f_{\text{IN}} = 5.55\text{GHz}$) に設定して、S/N 比を低下させて測定。

仕様

入力データ・レートの仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 8.

パラメータ ^{1,2}	テスト条件/コメント	Min	Typ	Max	単位
MAXIMUM DATA RATE PER NUMBER OF ACTIVE DAC OUTPUTS	シングル DAC、FDUC と CDUC をバイパス（1×インターポレーション）、16 ビットの分解能、DAC の最大クロック・レートによって制限			12000	MSPS
	クワッド DAC、FDUC と CDUC をバイパス（1×インターポレーション）、12 ビットの分解能、JESD204C リンクの最大スループット（M = 4、L = 8）によって制限			4000	MSPS
MAXIMUM COMPLEX (I/Q) DATA RATE PER NUMBER OF ACTIVE INPUT DATA CHANNELS	1 チャンネル：FDUC をバイパス、1 つの CDUC をイネーブル、12 ビットまたは 16 ビットの分解能、CDUC NCO の最大クロック・レートによって制限			6000	MSPS
	2 チャンネル：FDUC をバイパス、2 つの CDUC をイネーブル、12 ビットの分解能、JESD204C リンクの最大スループット（M = 4、L = 8）によって制限			4000	MSPS
	4 チャンネル：FDUC をバイパス、4 つの CDUC をイネーブル、12 ビットの分解能、JESD204C リンクの最大スループット（M = 8、L = 8）によって制限			2000	MSPS
	8 チャンネル：8 つの FDUC をイネーブル、1 つ以上の CDUC をイネーブル、12 ビットまたは 16 ビットの分解能。FDUC NCO の最大クロック・レートを、FDUC をイネーブルするために必要な最小 2x インターポレーションで分周した値によって制限			750	MSPS

¹ これらのパラメータの値は、すべての JESD204 動作モードを通じて取り得る最大値です。一部のモードでは、他のパラメータのために更に値が制限されます。

² Tx データ・パスのインターポレーション・フィルタは、データ・レートの 80% の全複素フィルタ帯域幅を持ち、I パスの 40% 帯域幅と Q パスの 40% 帯域幅が組み合わせられています。同様に、Rx データ・パス内のデシメーション段は 81.4% の全複素フィルタ帯域幅のフィルタを使用しています。そのため、チャンネルあたりの瞬時複素信号帯域幅（iBW）の最大値は、 $iBW = [\text{チャンネルあたりの複素 I/Q データ・レート}] \times [\text{全複素フィルタ帯域幅}]$ で計算できます。

仕様

NCO 周波数の仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値です。

表 9.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
MAXIMUM NUMERICALLY CONTROLLED OSCILLATOR (NCO) CLOCK RATE					
Fine Digital Up Converter (FDUC) NCO				1.5	GHz
Course Digital Up Converter (CDUC) NCO				12	GHz
Fine Digital Down Converter (FDDC) NCO				1.5	GHz
Course Digital Down Converter (CDDC) NCO				6	GHz
MAXIMUM NCO SHIFT FREQUENCY RANGE					
FDUC NCO	チャンネル・インターポレーション・レート $> 1\times$	-750		+750	MHz
CDUC NCO	$f_{\text{DAC}} = 12\text{GHz}$ 、メイン・インターポレーション・レート $> 1\times$	-6		+6	GHz
FDDC NCO	チャンネル・デシメーション・レート $> 1\times$	-750		+750	MHz
CDDC NCO	$f_{\text{ADC}} = 6\text{GHz}$ 、メイン・デシメーション・レート $> 1\times$	-3		+3	GHz
MAXIMUM FREQUENCY SPACING BETWEEN CHANNELIZER CHANNELS					
Transmitter FDUC Channels	最大 FDUC NCO クロック・レート $\times 0.8^1$			1200	MHz
Receiver FDDC Channels	最大 FDDC NCO クロック・レート $\times 0.814^2$			1221	MHz

¹ 0.8 の係数は、最初のインターポレーション・フィルタの全複素パス・バンドがフィルタの入力データ・レートの 80% であるためです。

² 0.814 の係数は、デシメーション・フィルタの全複素パス・バンドがフィルタの出力データ・レートの 81.4% であるためです。

JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様

特に指定のない限り、公称電源、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 80^{\circ}\text{C}$ に相当) での値です。

表 10. シリアル・インターフェース・レートの仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
JESD204B SERIAL INTERFACE RATE	シリアル・レーン・レート (ビット繰り返しオプションはディスエーブル)	1.0		15.5	Gbps
Unit Interval		64.5		1000.0	ps
JESD204C SERIAL INTERFACE RATE	シリアル・レーン・レート (ビット繰り返しオプションはディスエーブル)	6.0		24.75	Gbps
Unit Interval		40.4		166.67	ps

表 11. JESD204 レシーバーの電氣仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
JESD204B/C DATA INPUTS	SERDIN $x_{\pm}$, $x = 0 \sim 7$				
Standards Compliance			JESD204B and JESD204C		
Differential Voltage, R_{VDIFF}			800		mV p-p
Differential Impedance, Z_{RDIFF}	DC での値		98		Ω
Termination Voltage, V_{TT}	AC カップリング		0.97		V
SYNC x OUTB $\pm$ OUTPUTS ¹	$x = 0$ または 1				
Output Differential Voltage, V_{OD}	100 Ω 差動負荷を駆動		400		mV
Output Offset Voltage, V_{OS}			DVDD1P8/2 + 0.2		V
SYNC x OUTB+ OUTPUT	CMOS 出力オプション	Refer to the CMOS Pin Specifications section			

¹ IEEE 1596.3 規格の LVDS と互換。

仕様

表 12. JESD204 トランスミッタの電気仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
Standards Compliance			JESD204B and JESD204C		
Differential Output Voltage	最大強度		675		mV p-p
Differential Termination Impedance		80	108	120	Ω
Rise Time, t_R	100 Ω 負荷へ 20%~80%		18		ps
Fall Time, t_F	100 Ω 負荷へ 20%~80%		18		ps
SYNCxINB $\pm$ INPUT1	x = 0 または 1				
Logic Compliance				LVDS	
Differential Input Voltage		240	0.7	1900	mV p-p
Input Common-Mode Voltage	DC カップリング		0.675	2	V
RIN (Differential)			18		k Ω
Input Capacitance (Differential)			1		pF
SYNCxINB+ INPUT	CMOS 入力オプション	Refer to the CMOS Pin Specifications section			

¹ IEEE 1596.3 規格の LVDS と互換。

表 13. SYSREF の電気仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
SYSREF+ AND SYSREF- INPUTS					
Logic Compliance			LVDS/LVPECL ¹		
Differential Input Voltage			0.7	1.9	V p-p
Input Common-Mode Voltage Range	DC カップリング		0.675	2	V
Input Reference, R_{IN} (Differential)			100		Ω
Input Capacitance (Differential)			1		pF

¹ LVDS は低電圧差動伝送、LVPECL は低電圧ポジティブ/擬似エミッタ結合ロジックを表します。

仕様

CMOS ピンの仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、 $1.7\text{V} \leq \text{DVDD1P8} \leq 2.1\text{V}$ 、他の電源は公称値での値です。

表 14.

パラメータ	記号	テスト条件／コメント	Min	Typ	Max	単位
INPUTS		SDIO、SCLK、CSB、RESETB、RXEN0、RXEN1、TXEN0、TXEN1、SYNC0INB $\pm$ 、SYNC1INB $\pm$ 、および GPIOx				
Logic 1 Voltage	V_{IH}		$0.70 \times \text{DVDD1P8}$			V
Logic 0 Voltage	V_{IL}				$0.3 \times \text{DVDD1P8}$	V
Input Resistance			40			k Ω
OUTPUTS		SDIO、SDO、GPIOx、ADCx_FDX、ADCx_SMONx、SYNC0OUTB $\pm$ 、および SYNC1OUTB $\pm$ 、4mA の負荷				
Logic 1 Voltage	V_{OH}		$\text{DVDD1P8} - 0.45$			V
Logic 0 Voltage	V_{OL}				0.45	V
INTERRUPT OUTPUTS		IRQB_0 と IRQB_1、5k Ω のプルアップ抵抗を DVDD1P8 に接続				
Logic 1 Voltage	V_{OH}		1.35			V
Logic 0 Voltage	V_{OL}				0.48	V

DAC の AC 仕様

特に指定のない限り、公称電源、 $T_A = 25^{\circ}\text{C}$ 、仕様値は DAC の $I_{OUTFS} = 26\text{mA}$ での 4 つの DAC チャンネルすべての平均値です。

表 15.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
SPURIOUS-FREE DYNAMIC RANGE (SFDR)					
Single-Tone, $f_{DAC} = 12\text{ GSPS}$	-7dBFS のデジタル・バック・オフ、シャッフルリングを有効、15C モード				
Output Frequency (f_{OUT}) = 70 MHz		63	80		dBc
$f_{OUT} = 100\text{ MHz}$			77		dBc
$f_{OUT} = 500\text{ MHz}$			76		dBc
$f_{OUT} = 900\text{ MHz}$			77		dBc
$f_{OUT} = 1900\text{ MHz}$		61	79		dBc
$f_{OUT} = 2600\text{ MHz}$			75		dBc
$f_{OUT} = 3700\text{ MHz}$			69		dBc
$f_{OUT} = 4500\text{ MHz}$			68		dBc
Single-Tone, $f_{DAC} = 9\text{ GSPS}$	-7dBFS のデジタル・バック・オフ、シャッフルリングを有効、15C モード				
$f_{OUT} = 100\text{ MHz}$			78		dBc
$f_{OUT} = 500\text{ MHz}$			78		dBc
$f_{OUT} = 900\text{ MHz}$			77		dBc
$f_{OUT} = 1900\text{ MHz}$			80		dBc
$f_{OUT} = 2600\text{ MHz}$			80		dBc
$f_{OUT} = 3700\text{ MHz}$			72		dBc
Single-Tone, $f_{DAC} = 6\text{ GSPS}$	-7dBFS のデジタル・バック・オフ、シャッフルリングを有効、15C モード				
$f_{OUT} = 100\text{ MHz}$			84		dBc
$f_{OUT} = 500\text{ MHz}$			81		dBc
$f_{OUT} = 900\text{ MHz}$			82		dBc
$f_{OUT} = 1900\text{ MHz}$			81		dBc

仕様

表 15.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
ADJACENT CHANNEL LEAKAGE RATIO Single Carrier 20 MHz LTE Downlink Test Vector $f_{DAC} = 12$ GSPS $f_{DAC} = 9$ GSPS $f_{DAC} = 6$ GSPS	-1dBFS のデジタル・バック・オフ、256QAM $f_{OUT} = 1840\text{MHz}$ $f_{OUT} = 2650\text{MHz}$ $f_{OUT} = 3500\text{MHz}$ $f_{OUT} = 1900\text{MHz}$ $f_{OUT} = 2650\text{MHz}$ $f_{OUT} = 750\text{MHz}$ $f_{OUT} = 1840\text{MHz}$		77 76 73 77 77 79 77		dBc dBc dBc dBc dBc dBc dBc
THIRD-ORDER INTERMODULATION DISTORTION (IMD3) $f_{DAC} = 12$ GSPS $f_{DAC} = 9$ GSPS $f_{DAC} = 6$ GSPS	ツー・トーン・テスト、1MHz 間隔、0dBFS のデジタル・バック・オフ、トーン当たり -6dBFS $f_{OUT} = 1900\text{MHz}$ $f_{OUT} = 2600\text{MHz}$ $f_{OUT} = 3700\text{MHz}$ $f_{OUT} = 1900\text{MHz}$ $f_{OUT} = 2600\text{MHz}$ $f_{OUT} = 900\text{MHz}$ $f_{OUT} = 1900\text{MHz}$		-69 -72 -72 -79 -76 -79 -90	-62	dBc dBc dBc dBc dBc dBc dBc
NOISE SPECTRAL DENSITY (NSD) Single-Tone, $f_{DAC} = 12$ GSPS $f_{OUT} = 150\text{ MHz}$ $f_{OUT} = 500\text{ MHz}$ $f_{OUT} = 950\text{ MHz}$ $f_{OUT} = 1840\text{ MHz}$ $f_{OUT} = 2650\text{ MHz}$ $f_{OUT} = 3700\text{ MHz}$ $f_{OUT} = 4500\text{ MHz}$ Single-Tone, $f_{DAC} = 9$ GSPS $f_{OUT} = 150\text{ MHz}$ $f_{OUT} = 500\text{ MHz}$ $f_{OUT} = 950\text{ MHz}$ $f_{OUT} = 1840\text{ MHz}$ $f_{OUT} = 2650\text{ MHz}$ $f_{OUT} = 3700\text{ MHz}$ Single-Tone, $f_{DAC} = 6$ GSPS $f_{OUT} = 150\text{ MHz}$ $f_{OUT} = 500\text{ MHz}$ $f_{OUT} = 950\text{ MHz}$ $f_{OUT} = 1840\text{ MHz}$ $f_{OUT} = 2650\text{ MHz}$	0dBFS、NSD は f_{OUT} から 10%離れた周波数で測定、シャッフリング・オフ		-168 -167 -165 -162 -160 -155 -154 -168 -166 -164 -160 -158 -154 -168 -165 -163 -159 -157		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz

仕様

表 15.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL DISABLED) $f_{OUT} = 3.6 \text{ GHz}$, $f_{DAC} = 12 \text{ GSPS}$, $CLKINx$ Frequency (f_{CLKIN}) = 12 GHz 1 kHz 10 kHz 100 kHz 600 kHz 1.2 MHz 1.8 MHz 6 MHz	6dBm で直接デバイス・クロック入力 Rohde & Schwarz SMA100B の B711 オプションを使用		-118 -129 -137 -144 -148 -149 -153		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL ENABLED) $f_{OUT} = 1.8 \text{ GHz}$, $f_{DAC} = 12 \text{ GSPS}$, $f_{CLKIN} = 0.5 \text{ GHz}$ 1 kHz 10 kHz 100 kHz 600 kHz 1.2 MHz 1.8 MHz 6 MHz	ループ・フィルタ部品には、C1 = 22nF、R1 = 226Ω、C2 = 2.2nF、C3 = 33nF の値のものを使用、位相検出器の周波数 (PFD) = 500MHz		-106 -113 -120 -127 -134 -138 -150		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz

ADC の AC 仕様

公称電源、 $T_A = 25^\circ\text{C}$ 、入力振幅 (A_{IN}) = -1dBFS、フル帯域幅モード (すべてのデジタル・ダウン・コンバータをバイパス)、最小値と最大値は $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ 、仕様値は DAC をオンにした状態での 4 つの ADC チャンネルの平均値です。これらのテストの定義と詳しい実施方法については、アプリケーション・ノート AN-835 を参照してください。

表 16.

Parameter	Min	Typ	Max	Unit
NOISE DENSITY ¹		-153		dBFS/Hz
NOISE FIGURE ²		25.3		dB
SIGNAL-TO-NOISE RATIO (SNR)				
$f_{IN} = 450 \text{ MHz}$		56.9		dBFS
$f_{IN} = 900 \text{ MHz}$		56.7		dBFS
$f_{IN} = 1800 \text{ MHz}$		54.9		dBFS
$f_{IN} = 2700 \text{ MHz}$	49.6	52.7		dBFS
$f_{IN} = 3600 \text{ MHz}$		52.1		dBFS
$f_{IN} = 4500 \text{ MHz}$		50.7		dBFS
$f_{IN} = 5400 \text{ MHz}$		50.8		dBFS
$f_{IN} = 6300 \text{ MHz}$		49.7		dBFS
$f_{IN} = 7200 \text{ MHz}$		48.8		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION (SINAD)				
$f_{IN} = 450 \text{ MHz}$		56.9		dBFS
$f_{IN} = 900 \text{ MHz}$		56.5		dBFS
$f_{IN} = 1800 \text{ MHz}$		54.5		dBFS
$f_{IN} = 2700 \text{ MHz}$	49.5	52.5		dBFS
$f_{IN} = 3600 \text{ MHz}$		51.2		dBFS
$f_{IN} = 4500 \text{ MHz}$		50.2		dBFS
$f_{IN} = 5400 \text{ MHz}$		49.0		dBFS
$f_{IN} = 6300 \text{ MHz}$		48.0		dBFS

仕様

表 16.

Parameter	Min	Typ	Max	Unit
$f_{IN} = 7200 \text{ MHz}$		47.4		dBFS/Hz
EFFECTIVE NUMBER OF BITS (ENOB)				dB
$f_{IN} = 450 \text{ MHz}$		9.2		dBFS
$f_{IN} = 900 \text{ MHz}$		9.1		dBFS
$f_{IN} = 1800 \text{ MHz}$		8.8		dBFS
$f_{IN} = 2700 \text{ MHz}$	7.9	8.4		dBFS
$f_{IN} = 3600 \text{ MHz}$		8.2		dBFS
$f_{IN} = 4500 \text{ MHz}$		8.05		dBFS
$f_{IN} = 5400 \text{ MHz}$		7.8		dBFS
$f_{IN} = 6300 \text{ MHz}$		7.7		dBFS
$f_{IN} = 7200 \text{ MHz}$		7.6		dBFS
SECOND-ORDER HARMONIC DISTORTION (HD2)				
$f_{IN} = 450 \text{ MHz}$		-78		dBFS
$f_{IN} = 900 \text{ MHz}$		-74		dBFS
$f_{IN} = 1800 \text{ MHz}$		-71		dBFS
$f_{IN} = 2700 \text{ MHz}$		-72	-57	dBFS
$f_{IN} = 3600 \text{ MHz}$		-60		dBFS
$f_{IN} = 4500 \text{ MHz}$		-62		dBFS
$f_{IN} = 5400 \text{ MHz}$		-55		dBFS
$f_{IN} = 6300 \text{ MHz}$		-54		dBFS
$f_{IN} = 7200 \text{ MHz}$		-54		dBFS
THIRD-ORDER HARMONIC DISTORTION (HD3)				
$f_{IN} = 450 \text{ MHz}$		-84		dBFS
$f_{IN} = 900 \text{ MHz}$		-83		dBFS
$f_{IN} = 1800 \text{ MHz}$		-66		dBFS
$f_{IN} = 2700 \text{ MHz}$		-68	-62	dBFS
$f_{IN} = 3600 \text{ MHz}$		-70		dBFS
$f_{IN} = 4500 \text{ MHz}$		-67		dBFS
$f_{IN} = 5400 \text{ MHz}$		-63		dBFS
$f_{IN} = 6300 \text{ MHz}$		-65		dBFS
$f_{IN} = 7200 \text{ MHz}$		-62		dBFS
WORST OTHER, EXCLUDING HD2, HD3, AND INTERLEAVING SPURS				
$f_{IN} = 450 \text{ MHz}$		-90		dBFS
$f_{IN} = 900 \text{ MHz}$		-91		dBFS
$f_{IN} = 1800 \text{ MHz}$		-86		dBFS
$f_{IN} = 2700 \text{ MHz}$		-83	-61	dBFS
$f_{IN} = 3600 \text{ MHz}$		-81		dBFS
$f_{IN} = 4500 \text{ MHz}$		-78		dBFS
$f_{IN} = 5400 \text{ MHz}$		-78		dBFS
$f_{IN} = 6300 \text{ MHz}$		-76		dBFS
$f_{IN} = 7200 \text{ MHz}$		-75		dBFS
DIGITAL COUPLING SPUR ($f_{IN} \pm f_s/4$)				
$f_{IN} = 450 \text{ MHz}$		-92		dBFS
$f_{IN} = 900 \text{ MHz}$		-88		dBFS
$f_{IN} = 1800 \text{ MHz}$		-81		dBFS
$f_{IN} = 2700 \text{ MHz}$		-81		dBFS
$f_{IN} = 3600 \text{ MHz}$		-78		dBFS
$f_{IN} = 4500 \text{ MHz}$		-74		dBFS

仕様

表 16.

Parameter	Min	Typ	Max	Unit
$f_{IN} = 5400 \text{ MHz}$		-76		dBFS
$f_{IN} = 6300 \text{ MHz}$		-71		dBFS
$f_{IN} = 7200 \text{ MHz}$		-70		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD3, $2f_{IN1} - f_{IN2}$ OR $2f_{IN2} - f_{IN1}$) A_{IN1} AND $A_{IN2} = -7 \text{ dBFS}$ $f_{IN1} = 1775 \text{ MHz}$, $f_{IN2} = 1825 \text{ MHz}$ $f_{IN1} = 2675 \text{ MHz}$, $f_{IN2} = 2725 \text{ MHz}$ $f_{IN1} = 3575 \text{ MHz}$, $f_{IN2} = 3625 \text{ MHz}$ $f_{IN1} = 5375 \text{ MHz}$, $f_{IN2} = 5425 \text{ MHz}$		-84 -86 -75 -67		dBFS dBFS dBFS dBFS
ANALOG BANDWIDTH ³		8		GHz

¹ ノイズ密度は、-30dBFS で 250MHz の入力周波数、すなわちタイミング・ジッタがノイズ・フロアを低下させない周波数で測定しています。

² ノイズ指数は、1.5V p-p の入力スパンと $R_{IN} = 100\Omega$ を使用した 4.5dBm の公称フルスケール入力電力に基づいています。

³ アナログ入力帯域幅は、AD9986-FMCB-EBZ で測定した周波数応答から ADC を取り除いた除去モデルに基づいて、フルスケール入力周波数応答を -3dB ロールオフした動作帯域幅です。この帯域幅には、マッチング回路を最適化してこの上側帯域幅まで確保できていることが要求されます。

タイミング仕様

特に指定のない限り、最小値と最大値は $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ 、公称電源の $\pm 5\%$ の値です。

表 17.

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
SERIAL PORT INTERFACE (SPI) WRITE OPERATION						
Maximum SCLK Clock Rate	f_{SCLK} , $1/t_{SCLK}$		33			MHz
SCLK Clock High	t_{PWH}	SCLK = 33MHz	8			ns
SCLK Clock Low	t_{PWL}	SCLK = 33MHz	8			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_S		4			ns
CLK to CSB Hold Time	t_H		4			ns
SPI READ OPERATION						
LSB First Data Format						
Maximum SCLK Clock Rate	f_{SCLK} , $1/t_{SCLK}$		33			MHz
SCLK Clock High	t_{PWH}		8			ns
SCLK Clock Low	t_{PWL}		8			ns
MSB First Data Format						
Maximum SCLK Clock Rate	f_{SCLK} , $1/t_{SCLK}$		15			MHz
SCLK Clock High	t_{PWH}		30			ns
SCLK Clock Low	t_{PWL}		30			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_S		4			ns
SCLK to SDIO Data Valid Time	t_{DV}		20			ns
SCLK to SDO Data Valid Time	t_{DV_SDO}		20			ns
CSB to SDIO Output Valid to High-Z	t_Z		20			ns
CSB to SDO Output Valid to High-Z	t_{Z_SDO}		20			ns
RESETB		デバイスのリセットをトリガするまでの最小ホールド時間	40			ns

仕様

タイミング図

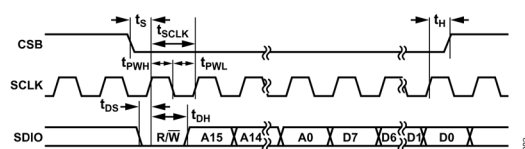


図 2.3 線での書き込み動作のタイミング図

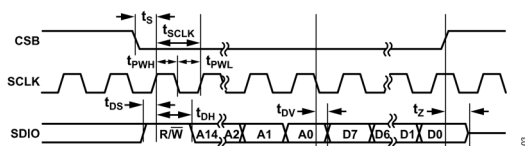


図 3.3 線での読み出し動作のタイミング図

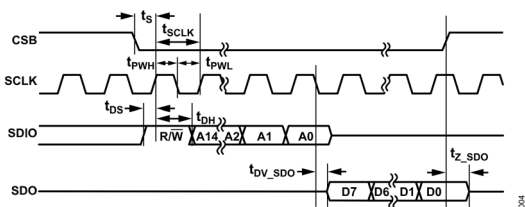


図 4.4 線での読み出し動作のタイミング図

絶対最大定格

表 18.

Parameter	Rating
IS _{ET} , DAC _{xP} , DAC _{xN} , TDP, TDN	−0.3 V to AVDD2 + 0.3 V
VCO_COARSE, VCO_FINE, VCO_VCM, VCO_VREG	−0.3 V to AVDD2_PLL + 0.3 V
Receiver Input Power (ADC0P/N, ADC1P/N) ¹	22 dBm
VCM0, VCM1	−0.3 V to RVDD2 + 0.3 V
CLKINP, CLKINN	−0.2 V to PLLCLKVDD1 + 0.2 V
ADCDRVN, ADCDRV _P	−0.2 V to CLKVDD1 + 0.2 V
SERDIN _{x±} , SERDOUT _{x±}	−0.2 V to SVDD1 + 0.2 V
SYSREFP, SYSREFN, and SYNC _x INB±	−0.2 V to +2.5 V
SYNC _x OUTB±, RESETB, TXEN _x , RXEN _x , IRQB _x , CSB, SCLK, SDIO, SDO, TMU_REFN, TMU_REFP, ADC _x _SMON0, ADC _x _SMON1, ADC _x _FD0, ADC _x _FD1, GPIO _x	−0.3 V to DVDD1P8 + 0.3 V
AVDD2, AVDD2_PLL, BVDD2, RVDD2, SVDD2_PLL, DVDD1P8	−0.3 V to +2.2 V
PLLCLKVDD1, AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, DAVDD1, DVDD1_RT, DCLKVDD1, SVDD1, SVDD1_PLL	−0.2 V to +1.2 V
VNN1	−1.1 V to +0.2 V
Temperature Ranges	
Maximum Junction (T) _J ²	120°C
Storage	−65°C to +150°C

¹ f_{IN} = 4.7GHz のパルスと連続トーンを使用し、最大許容ジャンクション温度 (T_J) で 1000 時間連続して試験を実施。詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

² デバイスに電源が供給されている間は、決してこの温度を超えてはなりません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作の h に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

リフロー・プロファイル

AD9986 のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JESD20 の基準に従っています。最大リフロー温度は 260°C です。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。温度管理を適切に行って、T_J の最大値が表 18 に示す制限値を超えないようにすることを推奨します。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC_TOP} は、ジャンクションとケースの間の熱抵抗です。

θ_{JB} は、ジャンクションとボードの間の熱抵抗です。

表 19. 熱抵抗

PCB Type ¹	Airflow Velocity (m/sec)	θ _{JA}	θ _{JC_TOP}	θ _{JB}	Unit
JEDEC 2s2p Board	0.0	14.9	0.7	1.8	°C/W

¹ 仕様規定されている熱抵抗値は、JEDEC 規格の JESD51-12 に基づき、デバイスの消費電力を 9W として計算しています。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



図 5. ピン配置

表 20. ピン機能の説明

ピン番号	記号	タイプ	説明
POWER SUPPLIES			
A2, E2, H2, L2, P2, V2	AVDD2	Input	DAC のアナログ 2.0V 電源入力。
L3	AVDD2_PLL	Input	クロック PLL リニア・ドロップアウト・レギュレータ (LDO) のアナログ 2.0V 電源入力。
D7, E7, P7, R7	BVDD2	Input	ADC バッファのアナログ 2.0V 電源入力。
B11, U11	RVDD2	Input	ADC リファレンスのアナログ 2.0V 電源入力。
J5	PLLCLKVDD1	Input	クロック PLL のアナログ 1.0V 電源入力。
D2 to D4, E3, F3, N3, P3, R2 to R4	AVDD1	Input	DAC クロックのアナログ 1.0V 電源入力。
G7, G8, M7, M8	AVDD1_ADC	Input	ADC のアナログ 1.0V 電源入力。
G6, M6	CLKVDD1	Input	ADC クロックのアナログ 1.0V 電源入力。
D6, R6	FVDD1	Input	ADC リファレンスのアナログ 1.0V 電源入力。
D10, R10	VDD1_NVG	Input	-1V 出力生成用の負電圧発生器 (NVG) のアナログ 1.0V 電源入力。

ピン配置およびピン機能の説明

表 20. ピン機能の説明

ピン番号	記号	タイプ	説明
E9, P9	NVG1_OUT	Output	NVGからのアナログ-1V 電源出力。NVG1_OUT は、0.1μF のコンデンサを使用して GND からデカップリングします。
D8, E8, E10, P8, P10, R8	VNN1	Input	ADC バッファおよびリファレンスのアナログ-1V 電源入力。これらのピンは、隣接する NVG1_OUT ピンに接続します。
C9, T9,	BVNN2	Output	内部で生成されるアナログ-2V ADC バッファ電源用のデカップリング・ピン。BVNN2 は、0.1μF のコンデンサを使用して GND からデカップリングします。
C10, T10	BVDD3	Output	内部で生成されるアナログ 3V ADC バッファ電源用のデカップリング・ピン。BVDD3 は、0.1μF のコンデンサを使用して GND からデカップリングします。
E5, F5, N5, P5	DAVDD1	Input	デジタル・アナログ 1.0V 電源入力。
F10, H9, H11, J9, J11, K9, K11, L9, L11, M9	DVDD1	Input	デジタル 1.0V 電源入力。
J6, J7, K6, K7	DVDD1_RT	Input	リタイマー・ブロックのデジタル 1.0V 電源入力。
K5	DCLKVDD1	Input	デジタル 1.0V クロック生成用電源。
A16, B16, C16, D16, E16, F16, G16, H16, M16, N16, P16, R16, T16, U16, V16	SVDD1	Input	SERDES シリアライザ/デシリアライザのデジタル 1.0V 電源入力。
K15	SVDD2_PLL	Input	SERDES LDO のデジタル 2.0V 電源入力。
J16, K16	SVDD1_PLL	Input	SERDES クロック生成および PLL のデジタル 1.0V 電源入力。
C13, F9, T13	DVDD1P8	Input	デジタル・インターフェースおよび温度モニタリング・ユニット (TMU) の電源入力 (公称 1.8V)。
A1, A3, A4, A7, A8, A11, A17, A18, B2 to B6, B9, B10, B14, B15, C2, C5 to C8, C11, C17, C18, D1, D5, D9, D14, D15, E1, E4, E6, E17, E18, F2, F4, F6 to F8, F14, F15, G2 to G5, G17, G18, H1, H5 to H8, H10, H12, H14, H15, J2, J8, J10, J12, J14, J15, J17, J18, K2, K8, K10, K12, K14, K17, K18, L1, L5 to L8, L10, L12, L14, M2 to M5, M10, M17, M18, N2, N4, N6 to N8, N14, N15, P1, P4, P6, P17, P18, R1, R5, R9, R14, R15, T2, T5 to T8, T11, T17, T18, U2 to U6, U9, U10, U14, U15, V1, V3, V4, V7, V8, V11, V17, V18	GND	Input/output	グラウンド・リファレンス。
ANALOG OUTPUTS			
B1, C1	DAC0P, DAC0N	Output	DAC0 出力電流、グラウンドを基準。これらのピンを使用しない場合は GND に接続してください。
G1, F1	DAC1P, DAC1N	Output	DAC1 出力電流、グラウンドを基準。これらのピンを使用しない場合は GND に接続してください。
M1, N1	DAC2P, DAC2N	Output	DAC2 出力電流、グラウンドを基準。これらのピンを使用しない場合は GND に接続してください。
U1, T1	DAC3P, DAC3N	Output	DAC3 出力電流、グラウンドを基準。これらのピンを使用しない場合は GND に接続してください。
H3	ISSET	Output	DAC バイアス電流設定ピン。5kΩ 抵抗を使用して、このピンを GND に接続します。
C3, C4	ADCDRVN, ADCDRV, P,	Output	オプションのクロック出力 (例えば、外付けの ADC 用の ADC クロック・ドライバ) これらのピンは、デフォルトでディスエーブルされています。使用しない場合は、フロート状態のままにしておきます。
B8, U8	VCM0, VCM1	Output	ADC バッファのコモンモード出力電圧。これらのピンは、0.1μF のコンデンサを使用して GND からデカップリングします。
K3	VCO_VREG	Output	PLL LDO レギュレータ出力。2.2μF のコンデンサを使用して、このピンを GND からデカップリングします。
G9	TMU_REFN	Output	TMU ADC の負のリファレンス。このピンは GND に接続します。
G10	TMU_REFP	Output	TMU ADC の正のリファレンス。このピンは DVDD1P8 に接続します。

ピン配置およびピン機能の説明

表 20. ピン機能の説明

ピン番号	記号	タイプ	説明
ANALOG INPUTS			
A10, A9	ADC0P, ADC0N	Input	ADC0 差動入力、内部で 100Ω の差動抵抗を使用。これらのピンを使用しない場合は、フロート状態のままにしておきます。
V10, V9	ADC1P, ADC1N	Input	ADC1 差動入力、内部で 100Ω の差動抵抗を使用。これらのピンを使用しない場合は、フロート状態のままにしておきます。
J3	VCO_FINE	Input	オンチップ・デバイス・クロック通倍器と PLL 精密ループ・フィルタの入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
J4	VCO_COARSE	Input	オンチップ・デバイス・クロック通倍器と PLL 粗ループ・フィルタの入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
K4	VCO_VCM	Input	オンチップ・デバイス・クロック通倍器と VCO コモンモード入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
N9, N10	TDP, TDN	Input	温度ダイオードのアノードとカソード。この機能には対応していません。TDP と TDN は GND に接続します。
J1, K1	CLKINP, CLKINN	Input	公称 100Ω の終端を使用した差動クロック入力。自己バイアス入力には AC カップリングする必要があります。オンチップ・クロック通倍器 PLL がイネーブルされている場合は、この入力はリファレンス・クロック入力になります。PLL がディスエーブルされている場合は、RF クロックと DAC 出力サンプル・レートを等しくする必要があります。
CMOS INPUTS AND OUTPUTS ¹			
G13	CSB	Input	シリアル・ポート・イネーブル入力。アクティブ・ロー。
H13	SCLK	Input	シリアル・ポート・クロック入力。
F13	SDIO	Input/output	シリアル・ポートの双方向データ入出力。
J13	SDO	Output	シリアル・ポート・データ出力。
C12	RESETB	Input	アクティブ・ローのリセット入力。RESETB は、デジタル・ロジックと SPI レジスタを既知のデフォルト状態にセットします。RESETB は、デバイス初期化プロセスの最初のステップでリセット信号を発信できるデジタル IC に接続する必要があります。
E13, D13	RXEN0, RXEN1	Input	アクティブ・ハイの ADC および受信データ・パス・イネーブル入力。RXENx は SPI でも設定可能です。
P13, R13	TXEN0, TXEN1	Input	アクティブ・ハイの DAC および送信データ・パス・イネーブル入力。TXENx は SPI でも設定可能です。
D12, D11	ADC0_SMON0, ADC0_SMON1	Output	ADC0 信号モニタリング出力（デフォルト）。使用しない場合は接続しないでください。
E12, E11	ADC0_FD0, ADC0_FD1	Output	ADC0 高速検出出力（デフォルト）。使用しない場合は接続しないでください。
F12, F11	ADC1_SMON0, ADC1_SMON1	Output	ADC1 信号モニタリング出力（デフォルト）。使用しない場合は接続しないでください。
G12, G11	ADC1_FD0, ADC1_FD1	Output	ADC1 高速検出出力（デフォルト）。使用しない場合は接続しないでください。
P12, R12	IRQB_0, IRQB_1	Output	割込み要求 0 および 1 出力。これらのピンはオープン・ドレインのアクティブ・ロー出力です（DVDD1P8 基準の CMOS レベル）。未使用時にピンがフロート状態にならないように、DVDD1P8 には $5k\Omega$ を超える値のプルアップ抵抗を接続してください。
M11, M12, N11, N12, P11, R11	GPIO0 to GPIO5	Input/output	汎用入出力ピン。これらのピンはトランスミッタ・データ・パスに関わる補助機能を制御します。
K13, L13, M13, N13, T12	GPIO6 to GPIO10	Input/output	汎用入出力ピン。これらのピンはレシーバー・データ・パスと ADC に関わる補助機能を制御します。

ピン配置およびピン機能の説明

表 20. ピン機能の説明

ピン番号	記号	タイプ	説明
JESD204B or JESD204C COMPATIBLE SERDES DATA LANES AND CONTROL SIGNALS ² L18, L17	SERDIN0+, SERDIN0-	Input	JRx レーン 0 入力、データの+/-。
N18, N17	SERDIN1+, SERDIN1-	Input	JRx レーン 1 入力、データの+/-。
R18, R17	SERDIN2+, SERDIN2-	Input	JRx レーン 2 入力、データの+/-。
U18, U17	SERDIN3+, SERDIN3-	Input	JRx レーン 3 入力、データの+/-。
M15, M14	SERDIN4+, SERDIN4-	Input	JRx レーン 4 入力、データの+/-。
V15, V14	SERDIN5+, SERDIN5-	Input	JRx レーン 5 入力、データの+/-。
T15, T14	SERDIN6+, SERDIN6-	Input	JRx レーン 6 入力、データの+/-。
P15, P14	SERDIN7+, SERDIN7-	Input	JRx レーン 7 入力、データの+/-。
U13, V13	SYNC0OUTB+, SYNC0OUTB-	Output	JESD204B インターフェースの JRx リンク 0 同期出力。これらのピンは LVDS または CMOS のどちらかに設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
U12, V12	SYNC1OUTB+, SYNC1OUTB-	Output	JESD204B インターフェースの JRx リンク 1 同期出力、または GPIOx ピンを介した送信高速周波数ホッピング (FFH) の CMOS 入力。これらのピンを同期出力として使用する場合は、LVDS または CMOS 出力として設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
A15, A14	SERDOUT0+, SERDOUT0-	Output	JTx レーン 0 出力、データの+/-。
C15, C14	SERDOUT1+, SERDOUT1-	Output	JTx レーン 1 出力、データの+/-。
E15, E14	SERDOUT2+, SERDOUT2-	Output	JTx レーン 2 出力、データの+/-。
G15, G14	SERDOUT3+, SERDOUT3-	Output	JTx レーン 3 出力、データの+/-。
H18, H17	SERDOUT4+, SERDOUT4-	Output	JTx レーン 4 出力、データの+/-。
F18, F17	SERDOUT5+, SERDOUT5-	Output	JTx レーン 5 出力、データの+/-。
D18, D17	SERDOUT6+, SERDOUT6-	Output	JTx レーン 6 出力、データの+/-。
B18, B17	SERDOUT7+, SERDOUT7-	Output	JTx レーン 7 出力、データの+/-。
B13, A13	SYNC0INB+, SYNC0INB-	Input	JESD204B インターフェースの JTx リンク 0 同期入力。これらのピンは、LVDS または CMOS のどちらかに設定できます。LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
B12, A12	SYNC1INB+, SYNC1INB-	Input	JESD204B インターフェースの JTx リンク 1 同期入力、または GPIOx ピンを介した受信 FFH の CMOS 入力。これらのピンは、LVDS または CMOS のどちらかに設定できます。LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
T4, T3	SYSREFP, SYSREFN	Input	アクティブ・ハイの JESD204B/C システム・リファレンス入力。これらのピンは、差動電流モード・ロジック (CML)、PECL、内部 100Ω 終端を使用した LVDS、シングルエンドの CMOS のいずれかに設定できます。

ピン配置およびピン機能の説明

表 20. ピン機能の説明

ピン番号	記号	タイプ	説明
NO CONNECTS AND DO NOT CONNECTS			
B7, U7	DNC	Output	接続なし。
H4, L4, L15, L16	DNC	DNC	接続なし。これらのピンは、未接続のままにしておく必要があります。
A5, A6	NC	Input	接続なし。
V5, V6	NC	Input	接続なし。

¹ CMOS 入力には、プルアップ抵抗もプルダウン抵抗も内蔵されていません。

² SERDINx±と SERDOUTx±には、100Ωの内部終端抵抗が内蔵されています。

代表的な性能特性

DAC

データ曲線は、高調波とスプリアスが第1ナイキスト・ゾーン ($< f_{DAC}/2$) にあるときのすべての出力性能の平均値を示しています。SFDR、IMD3、NSDのすべてのデータは、実験用の評価ボードを使用して測定しています。位相ノイズとACLRのすべてのデータは、AD908x-FMCA-EBZ評価用ボード上で測定しています。JESD204BおよびJESD204Cモードの設定に関する詳細については、UG-1578 ユーザ・ガイドを参照してください。

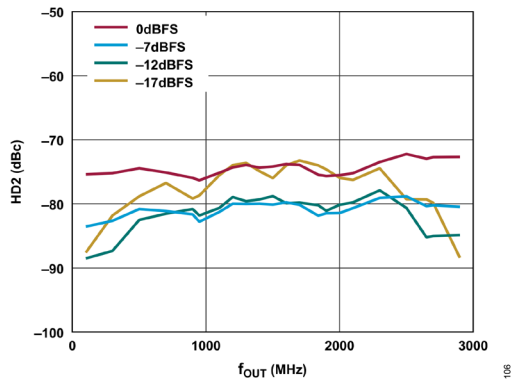


図 6. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×、15C モード

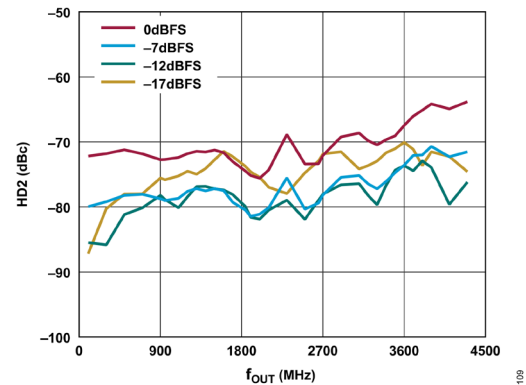


図 9. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、15C モード

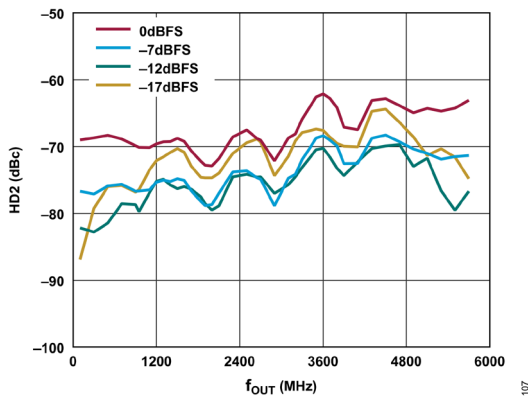


図 7. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×、15C モード

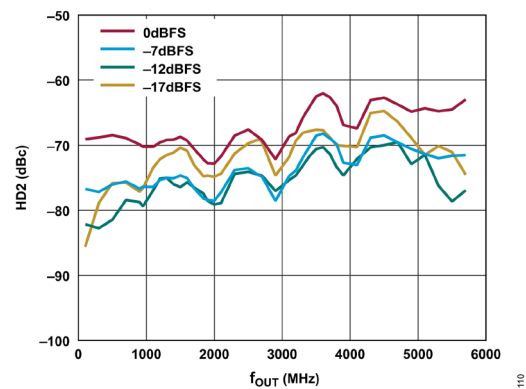


図 10. 様々なデジタル・スケールでの HD2 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×、16B モード

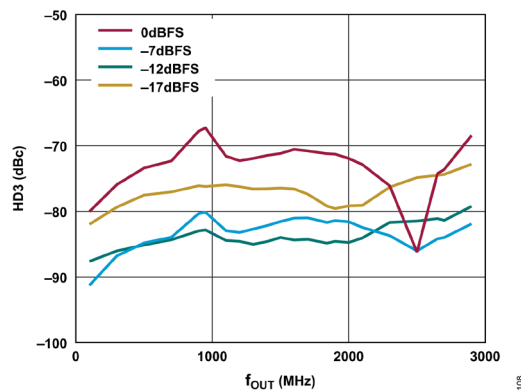


図 8. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×、15C モード

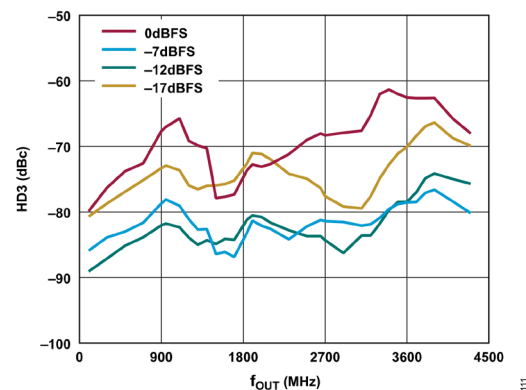


図 11. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、15C モード

代表的な性能特性

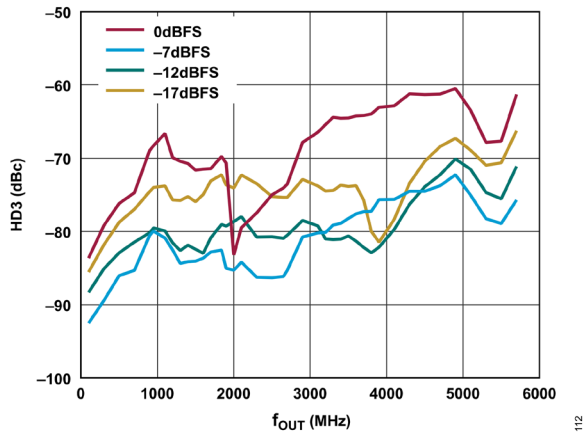


図 12. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、
12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 8×、15C モード

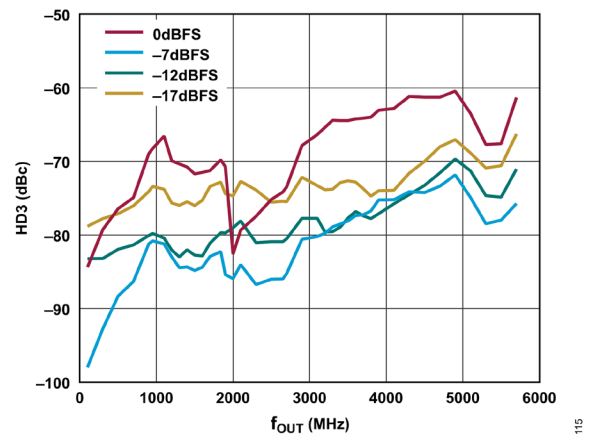


図 15. 様々なデジタル・スケールでの HD3 と f_{OUT} の関係、
12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 4×、
メイン・インターポレーション 8×、16B モード

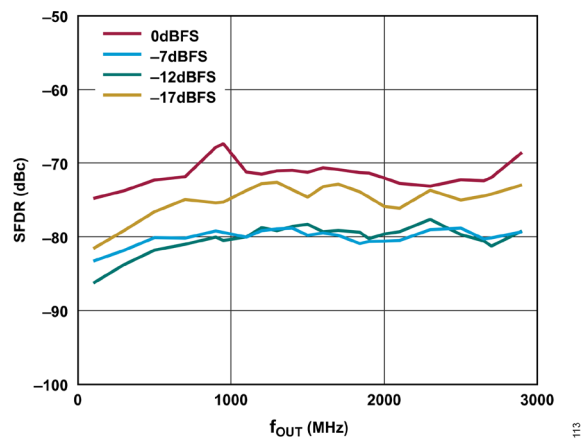


図 13. 様々なデジタル・スケールにおける最も厳しいスプリアスの
SFDR と f_{OUT} の関係、6GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 4×、15C モード

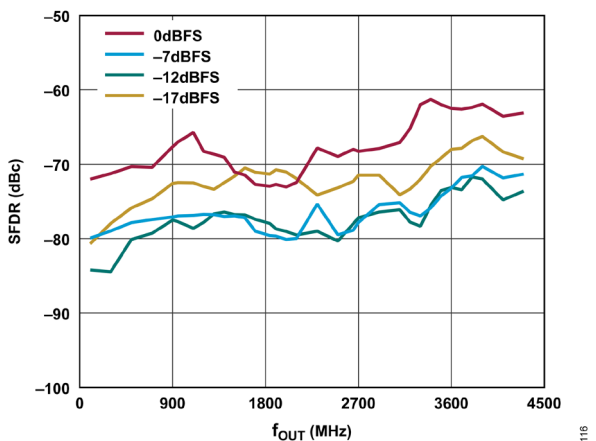


図 16. 様々なデジタル・スケールにおける最も厳しいスプリアスの
SFDR と f_{OUT} の関係、9GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 6×、15C モード

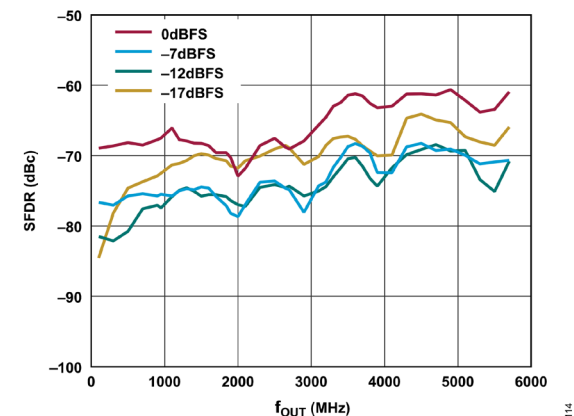


図 14. 様々なデジタル・スケールにおける最も厳しいスプリアスの
SFDR と f_{OUT} の関係、12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 8×、15C モード

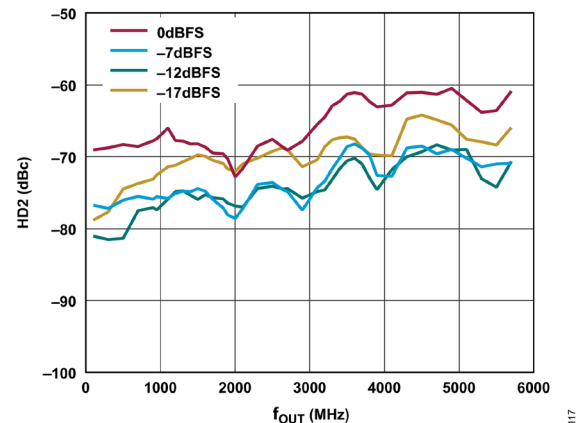


図 17. 様々なデジタル・スケールにおける最も厳しいスプリアスの
SFDR と f_{OUT} の関係、12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 4×、
メイン・インターポレーション 8×、16B モード

代表的な性能特性

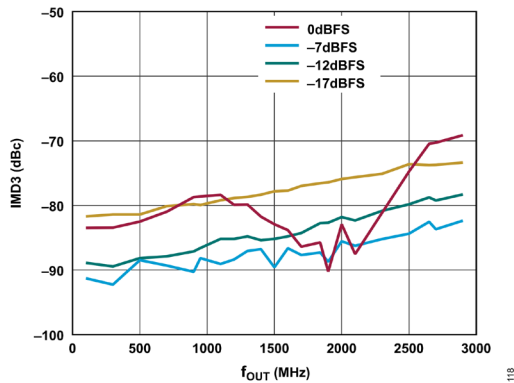


図 18. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係 (モード 17B)、6GSPS DAC サンプル・レート、チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 4 $\times$ 、15C モード、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値

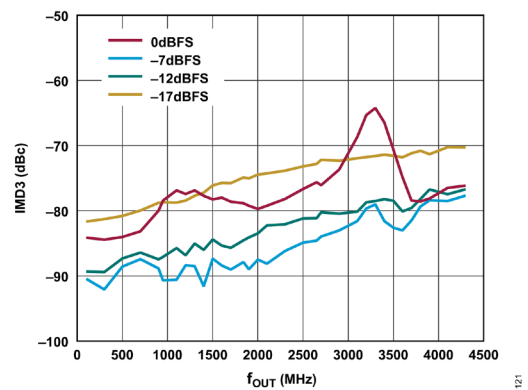


図 21. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係、9GSPS DAC サンプル・レート、チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 6 $\times$ 、15C モード、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値

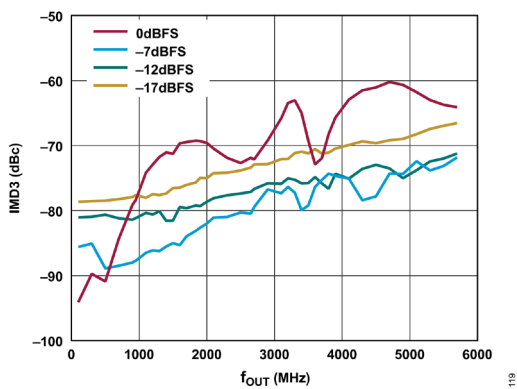


図 19. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 8 $\times$ 、15C モード、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値

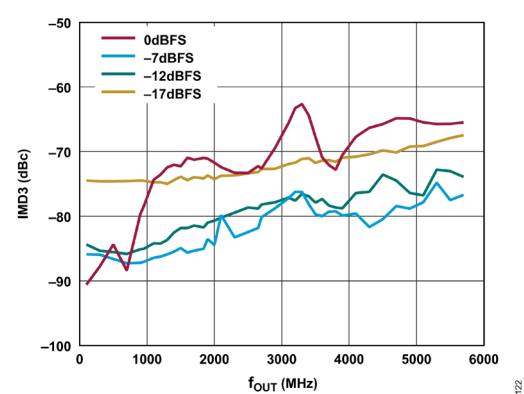


図 22. 様々なデジタル・スケールでの IMD3 と f_{OUT} の関係、12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$ 、16B モード、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値

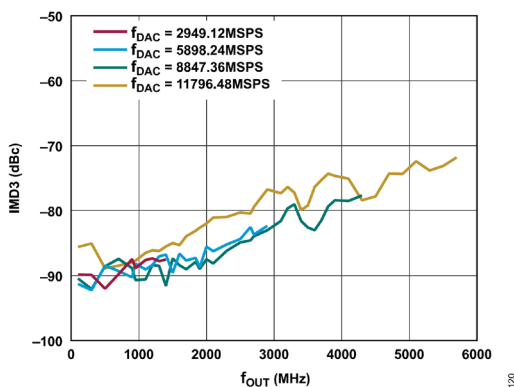


図 20. 様々な f_{DAC} での IMD3 と f_{OUT} の関係、デジタル・スケール = -7dBFS、IMD3 はツー・トーン・テスト、トーンあたりのスケールは表示されているデジタル・スケールより 6dB 低い値

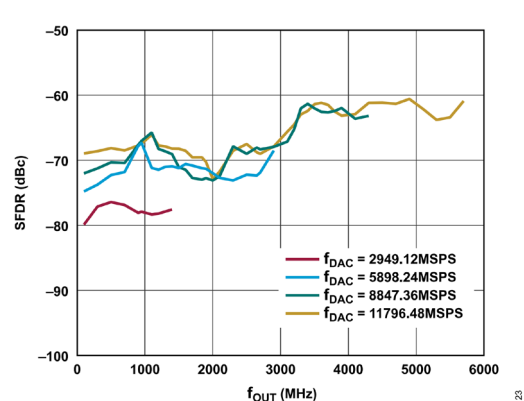


図 23. 様々な f_{DAC} における最も厳しいインバンド・スプリアスの SFDR と f_{OUT} の関係、0dBFS トーン・レベル

代表的な性能特性

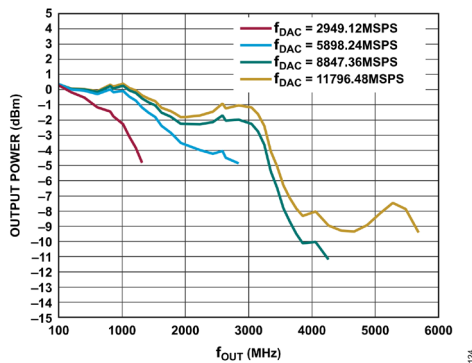


図 24. 様々な f_{DAC} での DAC0 基本波出力電力と f_{OUT} の関係、0dBFS デジタル・バック・オフ、実験用の評価ボードを使用して測定、AD9986-FMCB-EBZ はこの実験用評価ボードと比べて PCB レイアウトが異なるため、異なる周波数応答が得られる可能性があります

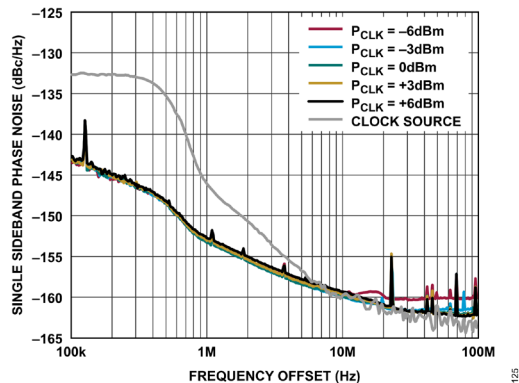


図 25. 様々なクロック入力電力 (P_CLK) での単側波帯位相ノイズと周波数オフセットの関係、 $f_{OUT} = 1.8\text{GHz}$ 、クロック PLL をディスエーブルして外部 12GHz クロック入力を使用

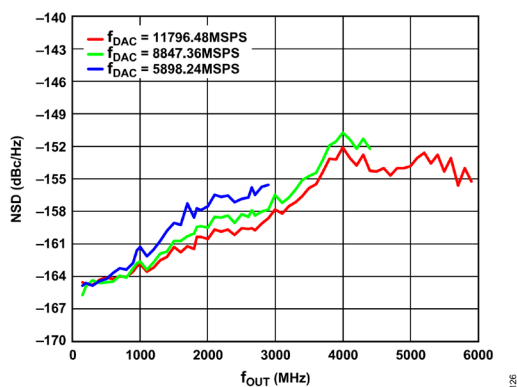


図 26. 様々な f_{DAC} での、 f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、シャッフル・オン、16 ビット分解能、15C モード

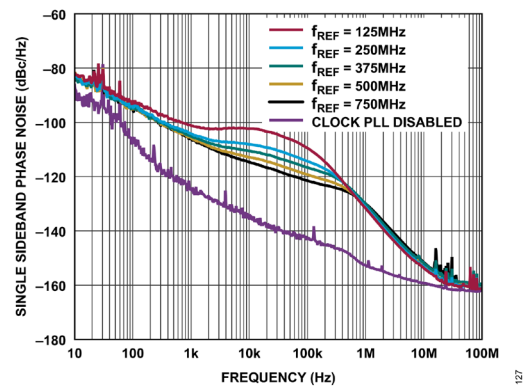


図 27. 様々な PLL リファレンス・クロック (f_{REF}) での単側波帯位相ノイズと周波数オフセットの関係、 $f_{OUT} = 1.8\text{GHz}$ 、 $f_{DAC} = 12\text{GSPS}$ 、PLL イネーブル (クロック PLL ディスエーブルの場合のみ外部 12GHz クロック入力を使用)

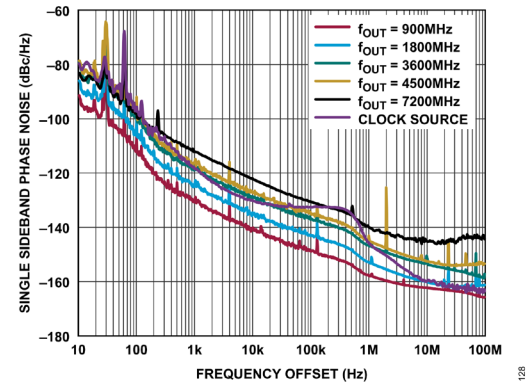


図 28. 様々な DAC 出力周波数 (f_{OUT}) での単側波帯位相ノイズと周波数オフセットの関係、クロック PLL をディスエーブルして外部 12GHz クロック入力を使用

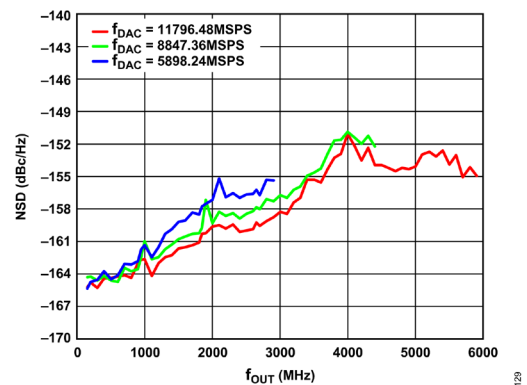


図 29. 様々な f_{DAC} での、 f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、12 ビット分解能、シャッフル・オン、24C モード

代表的な性能特性

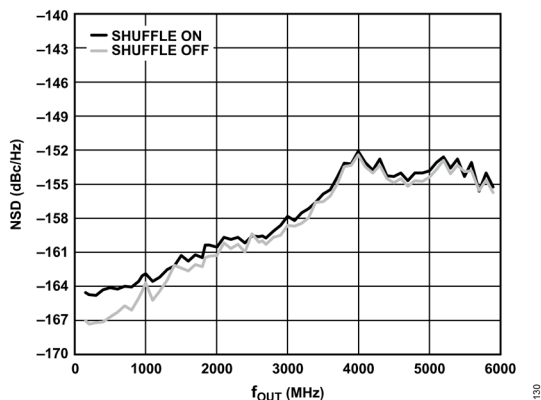


図 30. f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、シャッフル・オンとシャッフル・オフでの比較、 $f_{DAC} = 11796.48\text{MSPS}$ 、16 ビット分解能、15C モード

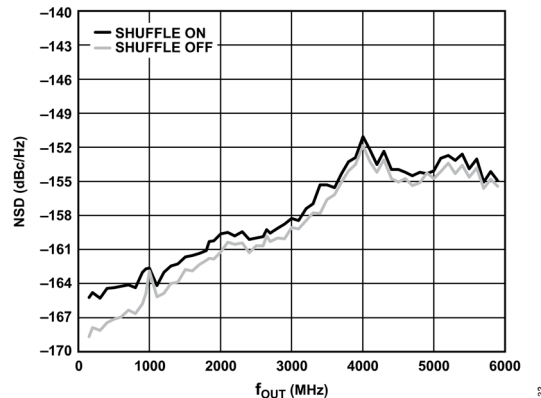


図 33. f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係、シャッフル・オンとシャッフル・オフでの比較、 $f_{DAC} = 11796.48\text{MSPS}$ 、12 ビット分解能、24C モード

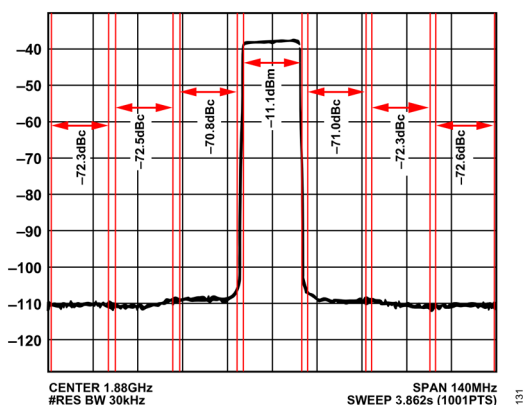


図 31. 2 つの 20MHz LTE キャリアでのデュアル・バンド ACLR 性能、 $f_{OUT} = 1.88\text{GHz}$ および $f_{OUT} = 2.145\text{GHz}$ (広帯域プロットは図 32 を参照)、 $f_{OUT} = 1.88\text{GHz}$ のキャリアを拡大して表示、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ、チャンネル・インターポレーション 3 $\times$ 、メイン・インターポレーション 8 $\times$ 、9C モード

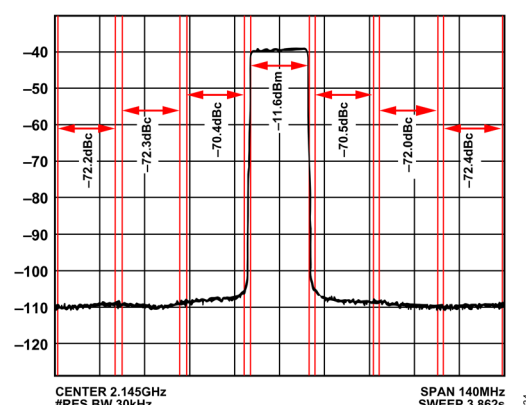


図 34. 2 つの 20MHz LTE キャリアでのデュアル・バンド ACLR 性能、 $f_{OUT} = 1.88\text{GHz}$ および $f_{OUT} = 2.145\text{GHz}$ (広帯域プロットは図 32 を参照)、 $f_{OUT} = 2.145\text{GHz}$ のキャリアを拡大して表示、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ、チャンネル・インターポレーション 3 $\times$ 、メイン・インターポレーション 8 $\times$ 、9C モード

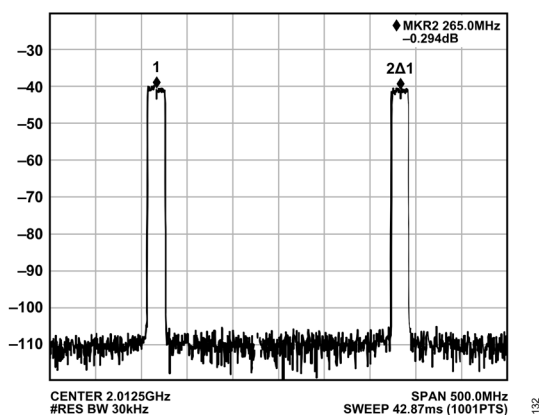


図 32. 2 つの 20MHz LTE キャリアでのデュアル・バンド広帯域プロット、 $f_{OUT} = 1.88\text{GHz}$ および $f_{OUT} = 2.145\text{GHz}$ (3GPP バンド、B1 および B3)、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクトルの PAR = 7.7dB、-1dBFS のバック・オフ、チャンネル・インターポレーション 3 $\times$ 、メイン・インターポレーション 8 $\times$ 、9C モード

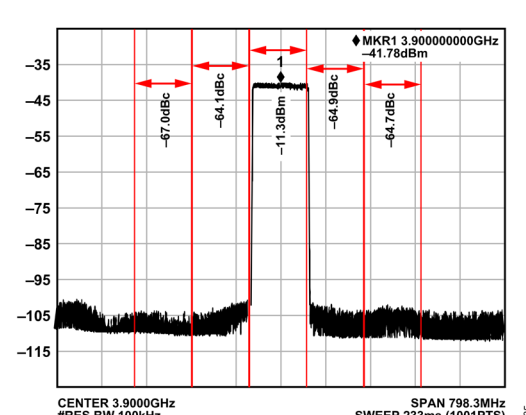


図 35. 100MHz 5G テスト・ベクトルでの隣接チャンネル漏れ率 (ACLR) 性能、 $f_{OUT} = 3.9\text{GHz}$ 、 $f_{DAC} = 11.898\text{GSPS}$ 、テスト・ベクトルのピーク対 RMS = 11.7dB、-1dBFS のバック・オフ (9C モード)、チャンネル・インターポレーション 3 $\times$ 、メイン・インターポレーション 8 $\times$

代表的な性能特性

ADC

特に指定のない限り、公称電源、 $f_{\text{ADC}} = 6\text{GSPS}$ 、ダイレクト RF クロック使用による DAC クロック周波数 ($f_{\text{CLK}} = 12\text{GHz}$ 、ADC データ・パスは複素 I/Q データ・レート ($f_{\text{IQ_DATA}} = 3000\text{MSPS}$ 、2x のデシメーション、JT_x モード 16C (L=8、M=4、F=1、S=1、K=256、E=1、N=16、NP=16)、 $T_J = 80^\circ\text{C}$ ($T_A = 25^\circ\text{C}$)、5 点平均による 128,000 の FFT サンプル、 $A_{\text{IN}} = -1\text{dBFS}$ 。

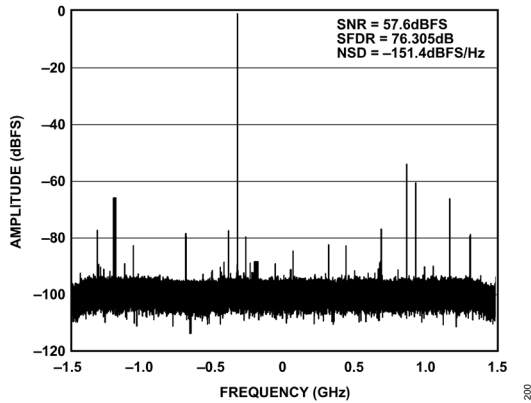


図 36. シングル・トーン FFT、 $f_{\text{IN}} = 450\text{MHz}$ 、 $\text{NCO} = f_{\text{ADC}}/4$

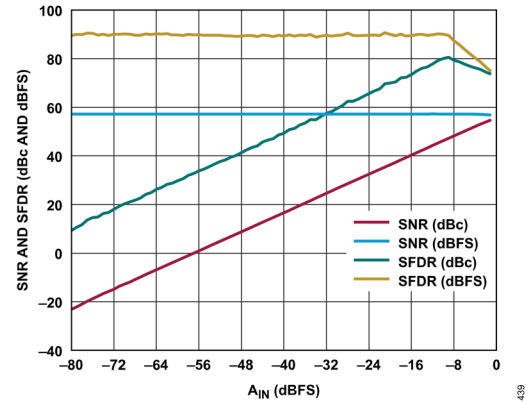


図 39. シングル・トーン S/N 比および SFDR と入力振幅 (A_{IN}) の関係、 $f_{\text{IN}} = 450\text{MHz}$ 、フル帯域幅モード

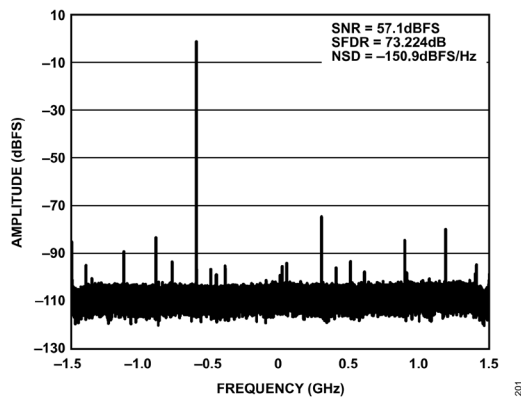


図 37. シングル・トーン FFT、 $f_{\text{IN}} = 900\text{MHz}$ 、 $\text{NCO} = f_{\text{ADC}}/4$

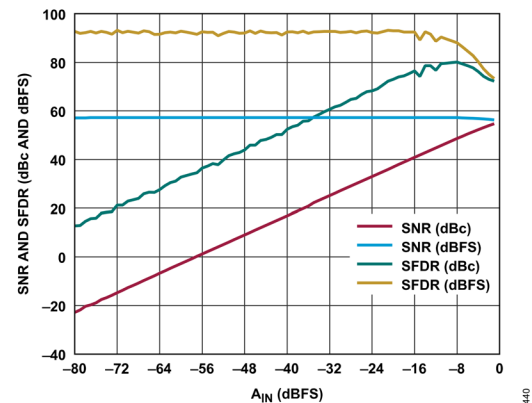


図 40. シングル・トーン S/N 比および SFDR と A_{IN} の関係、 $f_{\text{IN}} = 900\text{MHz}$ 、フル帯域幅モード

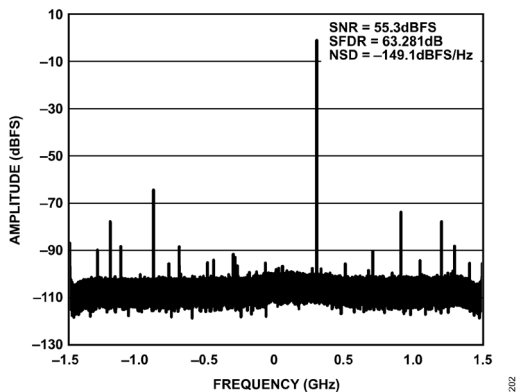


図 38. シングル・トーン FFT、 $f_{\text{IN}} = 1800\text{MHz}$ 、 $\text{NCO} = f_{\text{ADC}}/4$

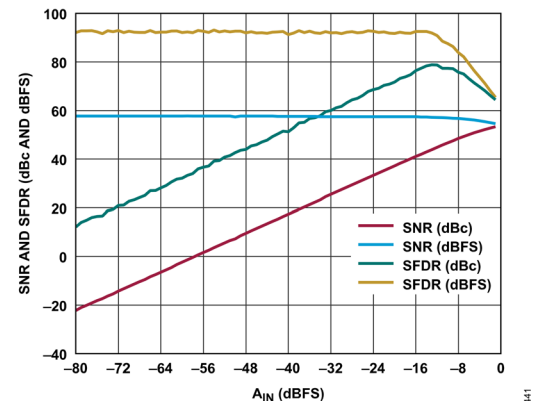


図 41. シングル・トーン S/N 比および SFDR と A_{IN} の関係、 $f_{\text{IN}} = 1800\text{MHz}$ 、フル帯域幅モード

代表的な性能特性

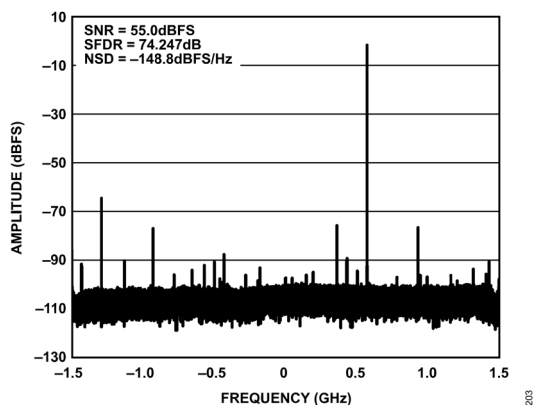


図 42. シングル・トーン FFT、 $f_{IN} = 2000\text{MHz}$ 、 $NCO = f_{ADC}/4$

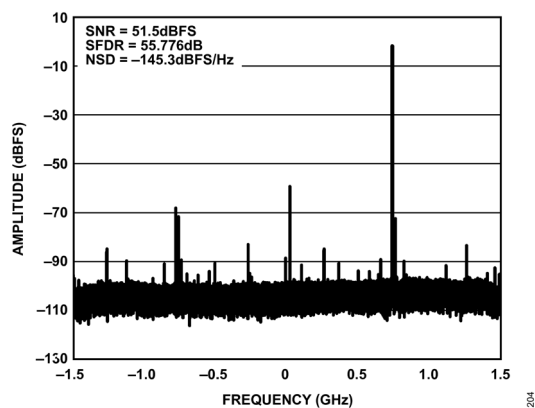


図 43. シングル・トーン FFT、 $f_{IN} = 3800\text{MHz}$ 、 $NCO = f_{ADC}/4$

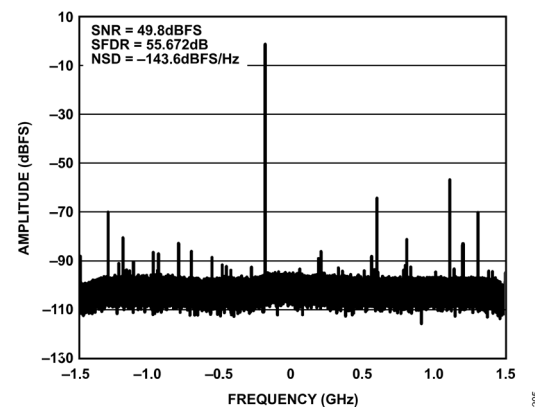


図 44. シングル・トーン FFT、 $f_{IN} = 4700\text{MHz}$ 、 $NCO = f_{ADC}/4$

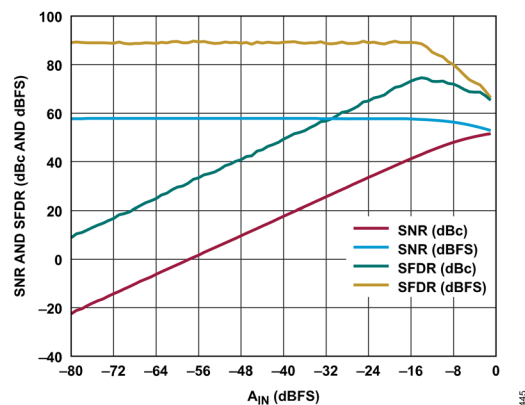


図 45. シングル・トーン S/N 比および SFDR と A_{IN} の関係、 $f_{IN} = 2700\text{MHz}$ 、フル帯域幅モード

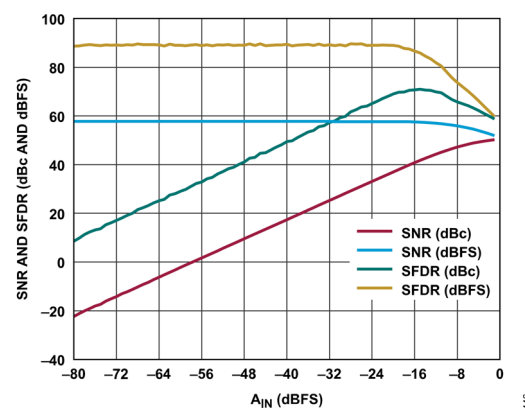


図 46. シングル・トーン S/N 比および SFDR と A_{IN} の関係、 $f_{IN} = 3600\text{MHz}$ 、フル帯域幅モード

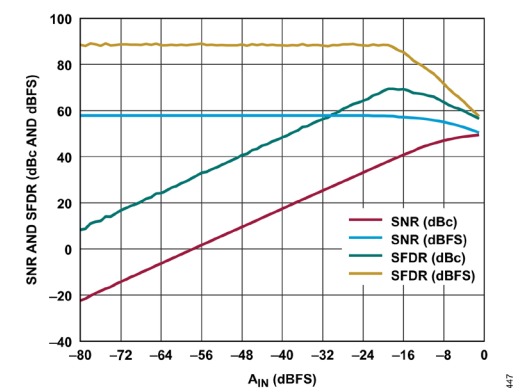


図 47. シングル・トーン S/N 比および SFDR と A_{IN} の関係、 $f_{IN} = 4500\text{MHz}$ 、フル帯域幅モード

代表的な性能特性

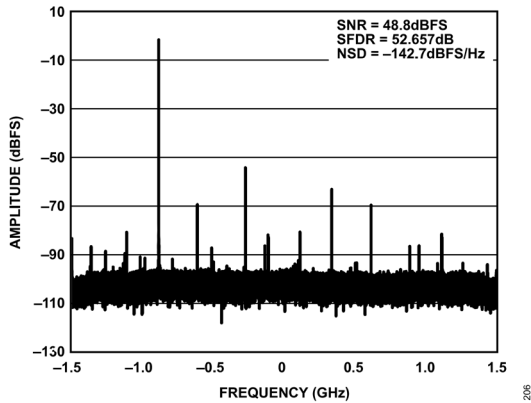


図 48. シングル・トーン FFT、 $f_{IN} = 5400\text{MHz}$ 、 $NCO = f_{ADC}/4$

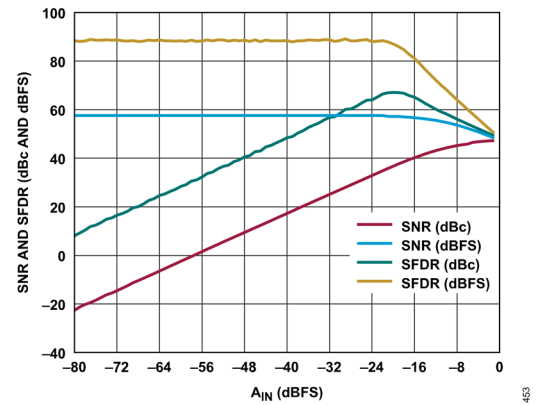


図 51. シングル・トーン S/N 比および SFDR と A_{IN} の関係、 $f_{IN} = 7200\text{MHz}$ 、フル帯域幅モード

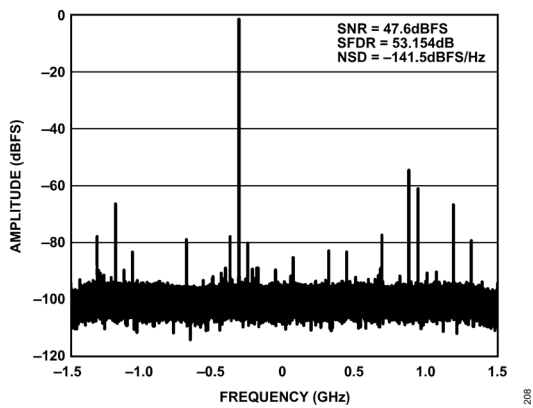


図 49. シングル・トーン FFT、 $f_{IN} = 7200\text{MHz}$ 、 $NCO = f_{ADC}/4$

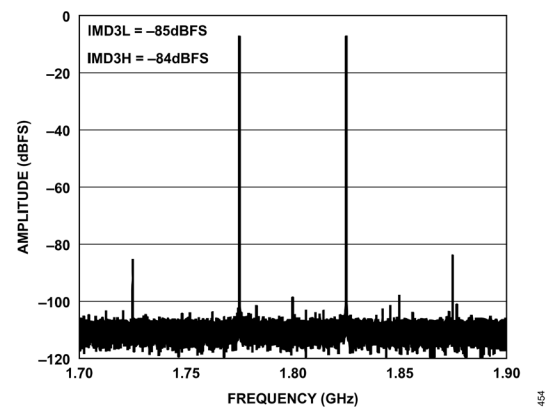


図 52. ツー・トーン FFT、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$ 、フル帯域幅モード、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ ($IMD3L = 2f_{IN1} - f_{IN2}$ 、 $IMD3H = 2f_{IN2} - f_{IN1}$)

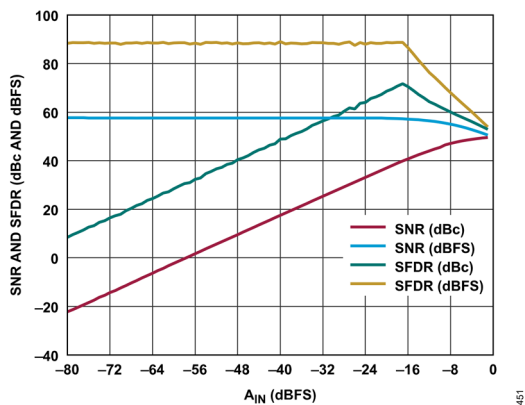


図 50. シングル・トーン S/N 比および SFDR と A_{IN} の関係、 $f_{IN} = 5400\text{MHz}$ 、フル帯域幅モード

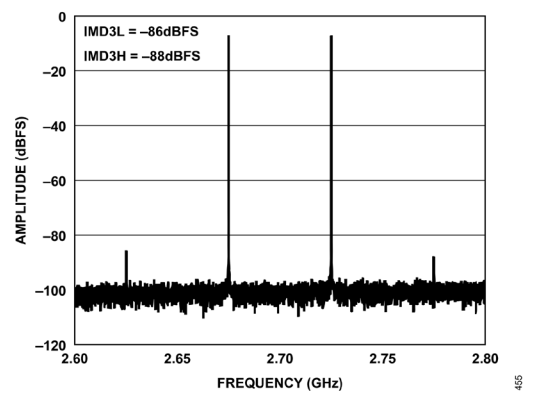


図 53. ツー・トーン FFT、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$ 、フル帯域幅モード、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

代表的な性能特性

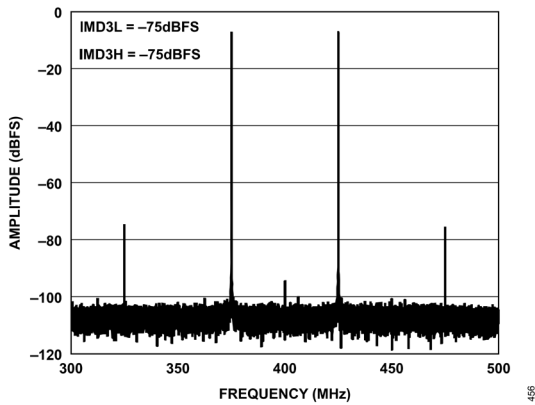


図 54. ツー・トーン FFT、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$ 、フル帯域幅モード、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

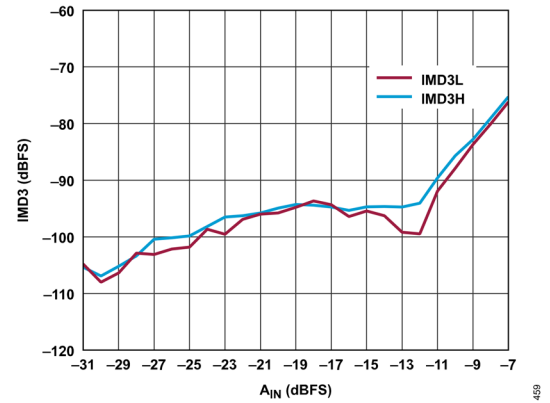


図 57. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$ 、フル帯域幅モード

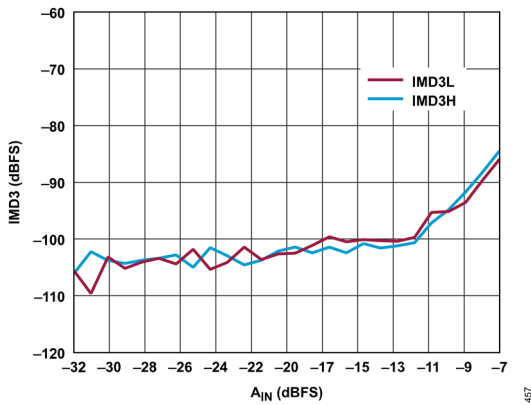


図 55. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$ 、フル帯域幅モード

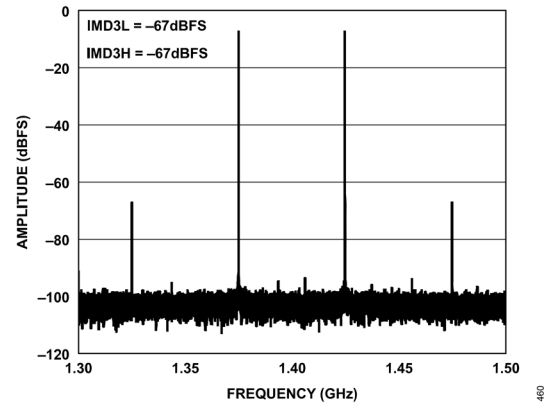


図 58. ツー・トーン FFT、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ 、フル帯域幅モード

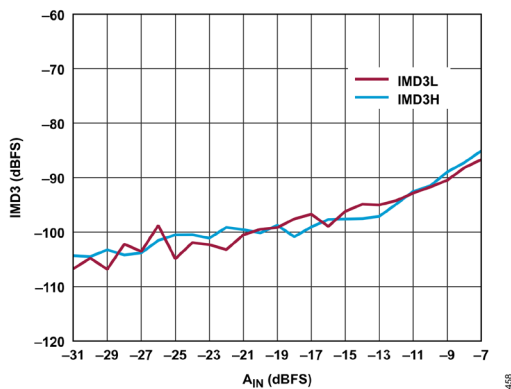


図 56. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$ 、フル帯域幅モード

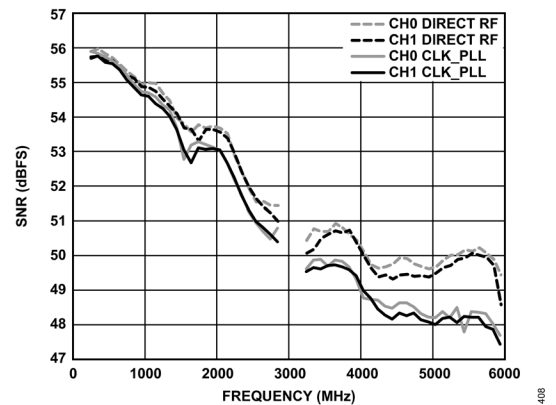


図 59. S/N 比の周波数特性、 $A_{IN} = -1\text{dBFS}$ 、フル帯域幅モード

代表的な性能特性

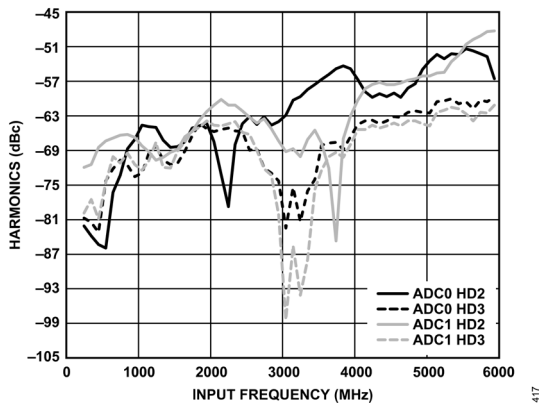


図 60. 高調波 (HD2 および HD3) と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$ 、フル帯域幅モード

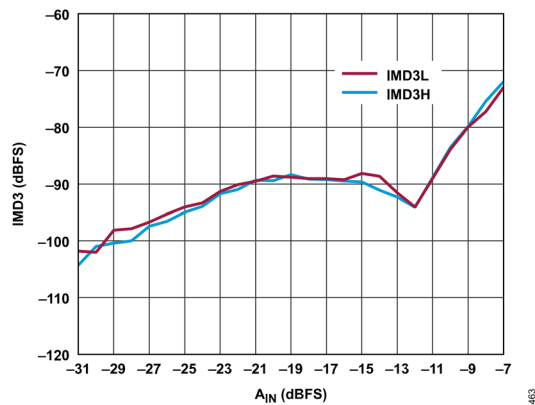


図 61. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$ 、フル帯域幅モード

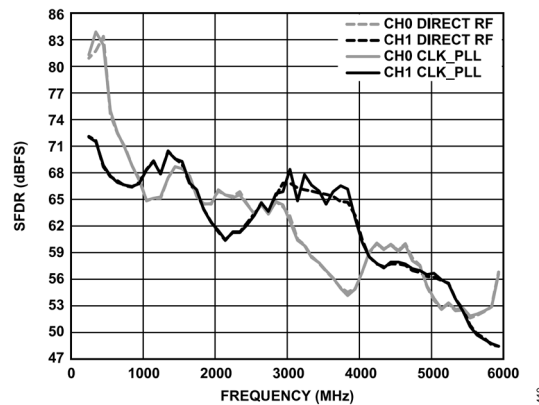


図 62. SFDR の周波数特性、 $A_{IN} = -1\text{dBFS}$ 、外部ダイレクト RF クロック = 6GHz の場合と 125MHz のリファレンス入力で PLL クロック逡倍器をイネーブルした場合での比較、フル帯域幅モード

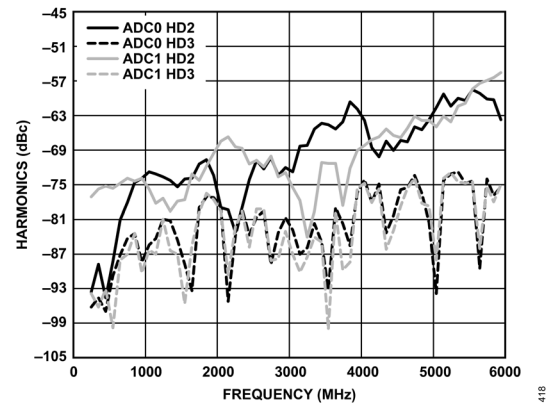


図 63. 高調波 (HD2 および HD3) の周波数特性、 $A_{IN} = -9\text{dBFS}$ 、フル帯域幅モード

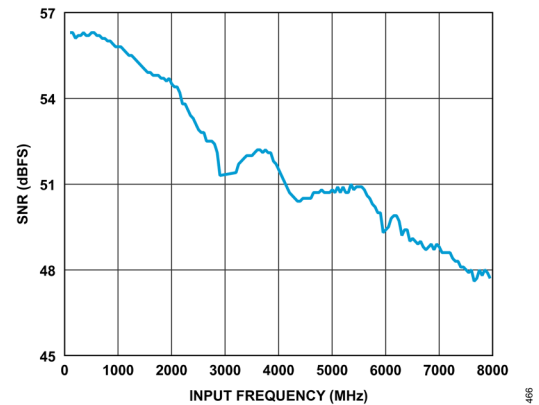


図 64. S/N 比と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$ 、フル帯域幅モード

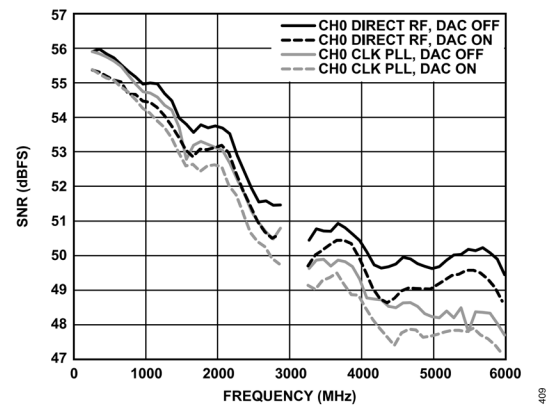


図 65. S/N 比の周波数特性、 $A_{IN} = -1\text{dBFS}$ 、外部ダイレクト RF クロック = 6GHz の場合と 125MHz のリファレンス入力で PLL クロック逡倍器をイネーブルした場合での、DAC オン/オフおよび PLL オン/オフしたときの比較、フル帯域幅モード

代表的な性能特性

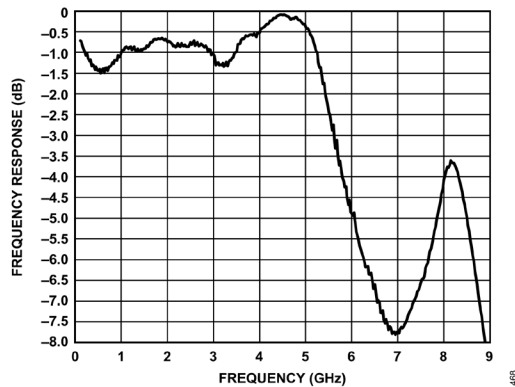


図 66. AD9986-FMCB-EBZ で測定した ADC 入力帯域幅
(マッチング回路なし)

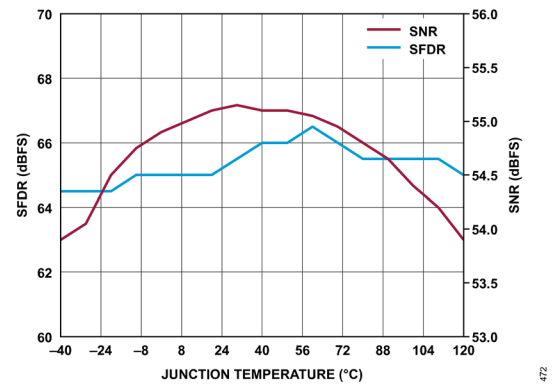


図 69. SFDR および S/N 比とジャンクション温度の関係、 $f_{IN} = 1.8\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、フル帯域幅モード

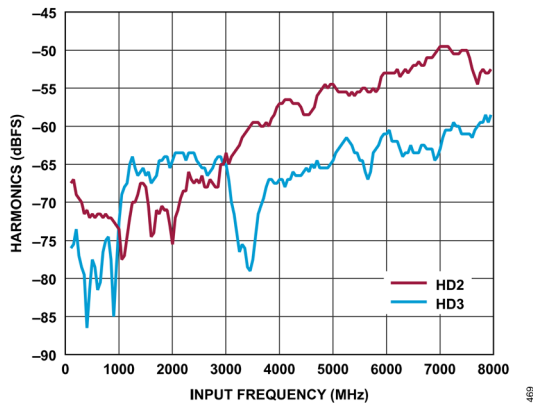


図 67. 高調波 (HD2 および HD3) と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$ 、フル帯域幅モード

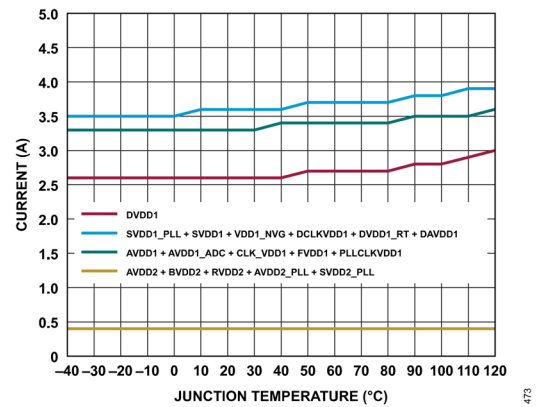


図 70. 電流とジャンクション温度の関係、 $f_{IN} = 1.8\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、フル帯域幅モード

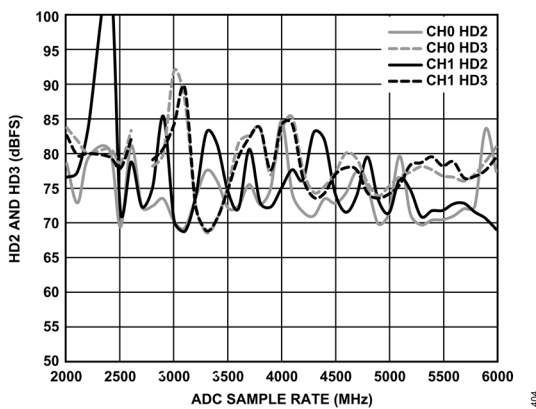


図 68. HD2 および HD3 と ADC サンプル・レート (f_{ADC}) の関係、 $f_{IN} = 450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_{ADC} = 2\text{GSPS} \sim 6\text{GSPS}$ 、フル帯域幅モード

代表的な性能特性

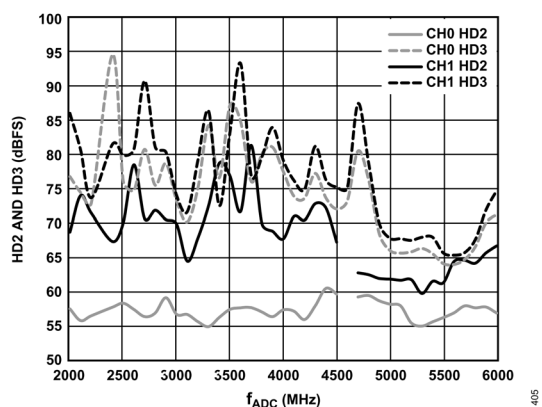


図 71. HD2 および HD3 と f_{ADC} の関係、 $f_{\text{IN}} = 3450\text{MHz}$ 、 $A_{\text{IN}} = -1\text{dBFS}$ 、 $f_{\text{ADC}} = 2\text{GSPS} \sim 6\text{GSPS}$ 、フル帯域幅モード

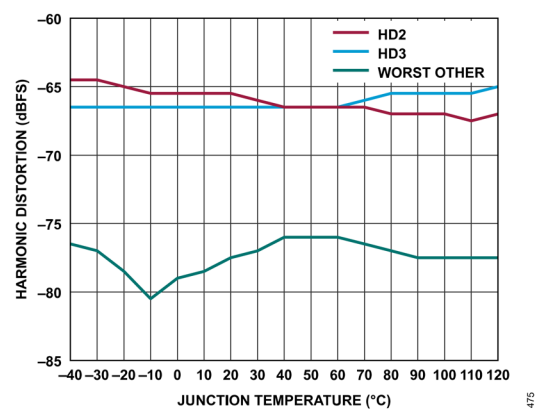


図 72. 高調波歪みとジャンクション温度の関係、 $f_{\text{IN}} = 1.8\text{GHz}$ 、 $A_{\text{IN}} = -1\text{dBFS}$ 、フル帯域幅モード

動作原理

AD9986は、高集積ミックスド・シグナル・ダイレクトRFサンプリング・トランシーバーで、4T2Rとデジタル信号処理

(DSP) 機能を提供します。このデバイスは、マルチバンド・マクロ5Gやミリ波5Gの基地局無線など、ワイヤレス・インフラストラクチャ・アプリケーションで必要とされる、高い性能、柔軟な構成可能性、低消費電力といった特長を多様に組み合わせることが可能です。AD9986は、時分割複信 (TDD) および周波数分割複信 (FDD) の両方の動作モードに対応しています。

受信パスは、パイプライン化された6GSPSレートの12ビットRF ADCコア2個で構成され、送信パスは、最大サンプル・レート12GSPSの16ビットRF DACコア4個で構成されています。受信パスと送信パスはどちらも、最大8GHzの信号をサンプリング／合成できるように設計と最適化が行われており、16ビットのサンプル分解能で1.2GHzもの最大瞬時帯域幅を実現します。また、高ダイナミック・レンジが不要なアプリケーションでは、12ビットや8ビットといったより低い分解能にも対応します。瞬時帯域幅が広いため、1つのデバイスで複数のキャリア・バンドまたは1つのワイド・バンドに対応することができます。ダイレクトRFコンバージョン・アーキテクチャを組み合わせることで、従来の中間周波数 (IF) レシーバーに比べ、RFフィルタの条件が緩和されています高速検出および信号モニタ、プログラマブルなFIRフィルタ、トランスミッタより後段のパワー・アンプ保護、汎用入出力 (GPIO) 制御などの補助機能も内蔵されています。

DACコアおよびADCコアは、外部クロック源、またはインテグラーPLL回路と電圧制御発振器 (VCO) で構成されるオンチップ・クロック通倍器が生成するサンプリング・クロックを使用します。

このデバイスは、8つの送信レーンと8つの受信レーンを備え、各レーンは24.75Gbps／レーンのJESD204C規格、または15.5Gbps／レーンのJESD204B規格をシングル・リンクまたはデュアル・リンクの設定でサポートします。マルチチップ同期はサブクラス1に従って対応しています。JESD204B/C インターフェースは、カスタムのASIC (特定用途向けIC) またはFPGA (フィールド・プログラマブル・ゲート・アレイ) のインターフェース帯域幅条件に応じた、幅広いセットアップ範囲に対応します。デバイスの機能と動作の詳細については、UG-1578を参照してください。

AD9986は、内蔵の温度管理ユニット (TMU) によってダイ温度を測定できるため、システム動作中の熱安定性を確保するための温度管理ソリューション用部品としても使用できます。標準的な4線式シリアル・ポート・インターフェース (SPI) を介して制御できますが、3線式SPI通信にも対応します。また、通常使用時の消費電力を最小限に抑えるために、包括的なパワーダウン・モードを搭載しています。AD9986は、15mm × 15mm、324ボールの熱強化型ボール・グリッド・アレイ (BGA_ED) パッケージを採用しています。

アプリケーション情報

デバイスの初期化、およびアプリケーション情報の詳細については、デバイスのユーザ・ガイド **UG-1578** を参照してください。

外形寸法

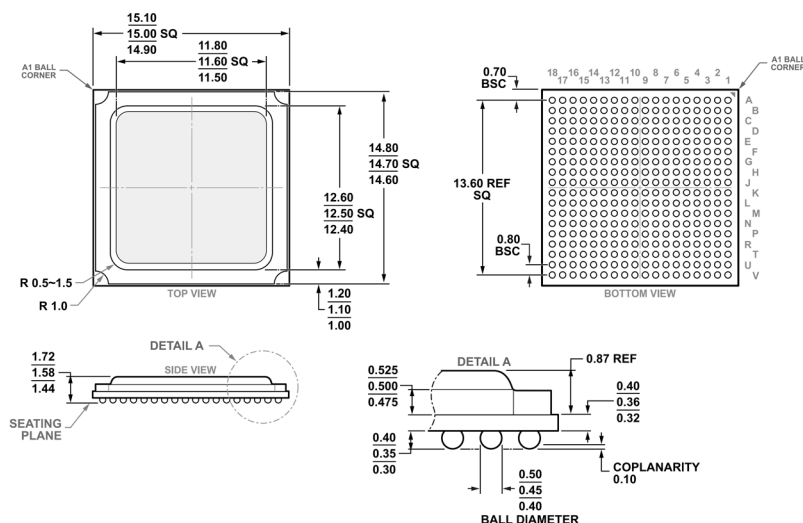


図 73. 324 ボールのボール・グリッド・アレイ、熱強化型 [BGA_ED]
(BP-324-3)
寸法：mm

更新：2021 年 4 月 13 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD9986BBPZ-4D2AC	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Tray, 126	BP-324-3
AD9986BBPZRL-4D2AC	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Reel, 1000	BP-324-3

¹ Z = RoHS 準拠製品

評価用ボード

Model	Description
AD9986-FMCPB-EBZ	AD9986 Evaluation Board with High Performance Analog Network



©2021 Analog Devices, Inc. All rights reserved.

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

Rev. 0 | 37 of 37