



RF アジャイル・トランシーバー

商用宇宙製品

AD9361S-CSL

特長

- 12 ビット DAC および ADC を内蔵した RF 2 × 2 のトランシーバー
- 送信帯域: 46.875MHz~6.0GHz
- 受信帯域: 70MHz~6.0GHz
- デュアル・レシーバー: 6 個の差動入力または 12 個のシングルエンド入力
- 優れたレシーバー感度: 800MHz LO で 2dB の NF
- 受信ゲイン制御
- リアルタイム・モニタと制御信号によるマニュアル・ゲイン
- 独立した AGC
- デュアル・トランスミッタ: 4 個の差動出力
- 直線性の高い広帯域トランスミッタ
- 送信 EVM: 800MHz で -40dB (代表値)
- 送信ノイズ: -157dBm/Hz (代表値)
- 送信モニタ: 1dB の精度で 66dB のダイナミック・レンジ (代表値)
- フラクショナル N シンセサイザを内蔵
- LO 周波数のステップ・サイズ: 2.4Hz (代表値)
- マルチチップ同期
- CMOS/LVDS デジタル・インターフェース

商用宇宙製品の特徴

- ウェーハ拡散ロット・トレーサビリティ
- 放射線ロット受け入れ試験: TID

アプリケーション

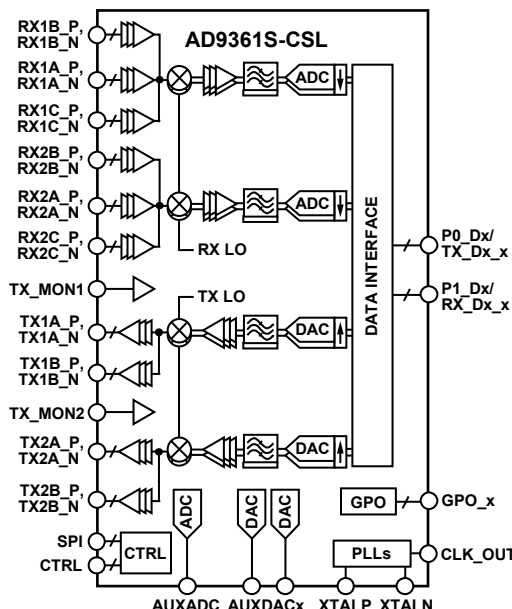
- 地球低軌道 (LEO) 衛星
- 航空電子機器
- ポイント to ポイント通信システム

概要

AD9361S-CSL は、3G/4G アプリケーション向けに設計された高性能、高集積の RF アジャイル・トランシーバーです。プログラマビリティと広帯域性能を備えており、幅広いトランシーバー・アプリケーションに最適です。RF フロント・エンド、柔軟性に優れたミックスド・シグナル・ベースバンド部、内蔵の周波数シンセサイザが組み合わさっており、プロセッサとのデジタル・インターフェースが設定可能なため、デザインインが容易です。AD9361S-CSL のレシーバー・LO は 70MHz~6.0GHz、トランスミッタ LO は 46.875MHz~6.0GHz の範囲で動作し、免許帯域/免許不要帯域のほとんどをカバーしています。200kHz 未満から 56MHz までのチャンネル帯域幅がサポートされます。

2 個の独立したダイレクト・コンバージョン・レシーバーは、最高水準のノイズ指数と直線性を備えています。各レシーバーのサブシステムには、独立した自動ゲイン制御 (AGC)、DC オフセット補正回路、直交補正回路、およびデジタル・フィルタが内蔵されているため、デジタル・ベースバンドにこれらの機能を持たせる必要はありません。また、AD9361S-CSL は、柔軟性に優れたマニュアル・ゲイン・モードも備えており、外部から制御することも可能です。

機能ブロック図



NOTES
1. SPI, CTRL, P0_Dx/TX_Dx_x, P1_Dx/RX_Dx_x, AND GPO_x CONTAIN MULTIPLE PINS.

図 1.

チャンネルごとに 2 個の高ダイナミック・レンジ A/D コンバータ (ADC) が搭載されており、受信した同相 (I) 信号と直交 (Q) 信号をデジタル化し、設定可能なデシメーション・フィルタと 128 タップの FIR フィルタを介して 12 ビットの出力信号を適切なサンプリング・レートで生成します。

トランスミッタにはダイレクト・コンバージョン・アーキテクチャが採用されており、超低ノイズで高い変調精度を実現しています。この設計により、-40dB 以下というクラス最高レベルの送信エラー・ベクトル振幅 (EVM) が得られるため、外部パワー・アンプ (PA) を選定する際にシステムに十分なマージンを持たせることができます。内蔵の送信電力モニタをパワー・ディテクタとして使用することで、高精度な送信電力測定が可能です。

フル機能を内蔵したフェーズ・ロック・ループ (PLL) が、すべての受信チャンネルと送信チャンネルに対して低消費電力のフラクショナル N 周波数合成を可能にします。周波数分割複信 (FDD) システムに必要なチャンネル絶縁は設計に組み込まれています。更に、電圧制御発振器 (VCO) とループ・フィルタのすべての構成要素が内蔵されています。

AD9361S-CSL は、10mm × 10mm、144 ボールのチップ・スケール・ボール・グリッド・アレイ (CSP_BGA) パッケージを採用しています。

アプリケーションと技術情報の詳細については、[商用宇宙製品プログラムのパンフレット](#)、および [AD9361](#) のデータシートを参照してください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	熱抵抗.....	15
商用宇宙製品の特徴.....	1	ESD に関する注意	15
アプリケーション	1	ピン配置およびピン機能の説明	16
概要	1	代表的な性能特性	21
機能ブロック図.....	1	800MHz の周波数帯域.....	21
改訂履歴	2	2.4GHz の周波数帯域	26
仕様	3	5.5GHz の周波数帯域	30
消費電流—VDD_INTERFACE	9	パッケージとオーダー情報	33
消費電流—VDDD1P3_DIG および VDDA1P3_x（すべての 1.3V 電源の組み合わせ）	10	外形寸法.....	33
放射テストおよび制限仕様	14	オーダー・ガイド	33
絶対最大定格.....	15		
リフロー・プロファイル	15		

改訂履歴

12/2020—Revision 0: Initial Version

仕様

特に指定のない限り、VDD_GPO = 3.3V、VDD_INTERFACE = 1.8V、VDDD1P3_DIG = 1.3V、他のすべての VDDA1P3_x ピン = 1.3V、T_A = 25°C での電気特性。TX は送信、RX は受信を表します。VDDA1P3_x は、VDDA1P3_TX_LO、VDDA1P3_TX_VCO_LDO、VDDA1P3_RX_RF、VDDA1P3_RX_TX、VDDA1P3_RX_LO、VDDA1P3_TX_LO_BUFFER、VDDA1P3_RX_VCO_LDO、VDDA1P3_RX_SYNTH、VDDA1P3_TX_SYNTH、および VDDA1P3_BB を表します。

表 1.

パラメータ ¹	記号	Min	Typ	Max	単位	テスト条件／ コメント
RECEIVERS, GENERAL						
Center Frequency		70		6000	MHz	
Gain						
Minimum			0		dB	
Maximum			74.5		dB	800MHz 時
			73.0		dB	2300MHz 時 (RX1A_x、 RX2A_x)
			72.0		dB	2300MHz 時 (RX1B_x、RX1C_x、 RX2B_x、RX2C_x)
			65.5		dB	5500MHz 時 (RX1A_x、 RX2A_x)
Gain Step			1		dB	
Received Signal Strength Indicator	RSSI					
Range			100		dB	
Accuracy			±2		dB	
RECEIVERS, 800 MHz						
Noise Figure	NF		2		dB	最大 RX ゲイン
Third-Order Input Intermodulation Intercept Point	IIP3		-18		dBm	最大 RX ゲイン
Second-Order Input Intermodulation Intercept Point	IIP2		40		dBm	最大 RX ゲイン
Local Oscillator (LO) Leakage			-122		dBm	RX フロント・エンド 入力での値
Quadrature						
Gain Error			0.2		%	
Phase Error			0.2		Degrees	
Modulation Accuracy (EVM)			-42		dB	19.2MHz のリファレン ス・クロック
Input Return Loss	S ₁₁		-10		dB	
Receiver Channel 1 (RX1) to Receiver Channel 2 (RX2) Isolation						
RX1A_x to RX2A_x, RX1C_x to RX2C_x			70		dB	
RX1B_x to RX2B_x			55		dB	
RX2 to RX1 Isolation						
RX2A_x to RX1A_x, RX2C_x to RX1C_x			70		dB	
RX2B_x to RX1B_x			55		dB	
RECEIVERS, 2.4 GHz						
Noise Figure	NF		3		dB	最大 RX ゲイン
Third-Order Input Intermodulation Intercept Point	IIP3		-14		dBm	最大 RX ゲイン
Second-Order Input Intermodulation Intercept Point	IIP2		45		dBm	最大 RX ゲイン
LO Leakage			-110		dBm	レシーバー・フロン ト・エンド入力での値
Quadrature						
Gain Error			0.2		%	
Phase Error			0.2		Degrees	

パラメータ ¹	記号	Min	Typ	Max	単位	テスト条件／ コメント
Modulation Accuracy (EVM)			-42		dB	40MHz のリファレンス・クロック
Input Return Loss	S ₁₁		-10		dB	
RX1 to RX2 Isolation						
RX1A_x to RX2A_x, RX1C_x to RX2C_x			65		dB	
RX1B_x to RX2B_x			50		dB	
RX2 to RX1 Isolation						
RX2A_x to RX1A_x, RX2C_x to RX1C_x			65		dB	
RX2B_x to RX1B_x			50		dB	
RECEIVERS, 5.5 GHz						
Noise Figure	NF		3.8		dB	最大 RX ゲイン
Third-Order Input Intermodulation Intercept Point	IIP3		-17		dBm	最大 RX ゲイン
Second-Order Input Intermodulation Intercept Point	IIP2		42		dBm	最大 RX ゲイン
LO Leakage			-95		dBm	RX フロント・エンド入力での値
Quadrature						
Gain Error			0.2		%	
Phase Error			0.2		Degrees	
Modulation Accuracy (EVM)			-37		dB	40MHz のリファレンス・クロック (RF シンセサイザ用に内部で 2 倍)
Input Return Loss	S ₁₁		-10		dB	
RX1A to RX2A Isolation			52		dB	
RX2A to RX1A Isolation			52		dB	
TRANSMITTERS—GENERAL						
Center Frequency		46.875		6000	MHz	
Power Control Range			90		dB	
Power Control Resolution			0.25		dB	
TRANSMITTERS, 800 MHz						
Output Return Loss	S ₂₂		-10		dB	
Maximum Output Power			8		dBm	50Ω の負荷で 1MHz トーン
Modulation Accuracy (EVM)			-40		dB	19.2MHz のリファレンス・クロック
Third-Order Output Intermodulation Intercept Point	OIP3		23		dBm	
Carrier Leakage			-50		dBc	0dB 減衰
			-32		dBc	40dB 減衰
Noise Floor			-157		dBm/Hz	90MHz オフセット
Isolation						
Transmit Channel 1 (TX1) to Transmit Channel 2 (TX2)			50		dB	
TX2 to TX1			50		dB	
TRANSMITTERS, 2.4 GHz						
Output Return Loss	S ₂₂		-10		dB	
Maximum Output Power			7.5		dBm	50Ω の負荷で 1MHz トーン
Modulation Accuracy (EVM)			-40		dB	40MHz のリファレンス・クロック
Third-Order Output Intermodulation Intercept Point	OIP3		19		dBm	
Carrier Leakage			-50		dBc	0dB 減衰
			-32		dBc	40dB 減衰
Noise Floor			-156		dBm/Hz	90MHz オフセット
Isolation						
TX1 to TX2			50		dB	
TX2 to TX1			50		dB	

パラメータ ¹	記号	Min	Typ	Max	単位	テスト条件／ コメント
TRANSMITTERS, 5.5 GHz						
Output Return Loss	S ₂₂		-10		dB	
Maximum Output Power			6.5		dBm	50Ωの負荷で 7MHz トーン
Modulation Accuracy (EVM)			-36		dB	40MHz のリファレンス・クロック (RF シンセサイザ用に内部で 2 倍)
Third-Order Output Intermodulation Intercept Point	OIP3		17		dBm	
Carrier Leakage			-50		dBc	0dB 減衰
			-30		dBc	40dB 減衰
Noise Floor			-151.5		dBm/Hz	90MHz オフセット
Isolation						
TX1 to TX2			50		dB	
TX2 to TX1			50		dB	
TX MONITOR INPUTS (TX_MON1, TX_MON2)						
Maximum Input Level			4		dBm	
Dynamic Range			66		dB	
Accuracy			1		dB	
LO SYNTHESIZER						
LO Frequency Step			2.4		Hz	2.4GHz、40MHz のリファレンス・クロック
Integrated Phase Noise 800 MHz			0.13		° rms	100Hz～100MHz、30.72MHz のリファレンス・クロック (RF シンセサイザ用に内部で 2 倍)
2.4 GHz			0.37		° rms	100Hz～100MHz、40MHz のリファレンス・クロック
5.5 GHz			0.59		° rms	100Hz～100MHz、40MHz のリファレンス・クロック (RF シンセサイザ用に内部で 2 倍)
REFERENCE CLOCK						
Input						リファレンス・クロックは、XTALP/XTALN ピンへの入力、または XTALN ピンへの直接接続
Frequency Range		19		50	MHz	水晶発振器入力
		10		80	MHz	外部発振器
Signal Level			1.3		V p-p	AC カップリングされた外部発振器
AUXILIARY CONVERTERS						
ADC						
Resolution			12		Bits	
Input Voltage						
Minimum			0.05		V	
Maximum			VDDA1P3_BB - 0.05		V	
DAC						
Resolution			10		Bits	
Output Voltage						
Minimum			0.5		V	
Maximum			VDD_GPO - 0.3		V	
Output Current			10		mA	

パラメータ ¹	記号	Min	Typ	Max	単位	テスト条件／ コメント
DIGITAL SPECIFICATIONS (CMOS)						
Logic Inputs						
Input Voltage						
High		$V_{DD_INTERFACE} \times 0.8$		$V_{DD_INTERFACE}$	V	
Low		0		$V_{DD_INTERFACE} \times 0.2$	V	
Input Current						
High		-10		+10	μA	
Low		-10		+10	μA	
Logic Outputs						
Output Voltage						
High		$V_{DD_INTERFACE} \times 0.8$			V	
Low				$V_{DD_INTERFACE} \times 0.2$	V	
DIGITAL SPECIFICATIONS (LOW VOLTAGE DIFFERENTIAL SIGNALING (LVDS))						
Logic Inputs						
Input Voltage Range		825		1575	mV	差動入力ペアのそれぞれに対する値
Input Differential Voltage Threshold		-100		+100	mV	
Receiver Differential Input Impedance			100		Ω	
Logic Outputs						
Output Voltage						
High				1375	mV	75mV ステップでプログラム可能
Low		1025			mV	
Output Differential Voltage		150			mV	
Output Offset Voltage			1200		mV	
GENERAL-PURPOSE OUTPUTS						
Output Voltage						
High		$V_{DD_GPO} \times 0.8$			V	
Low				$V_{DD_GPO} \times 0.2$	V	
Output Current			10		mA	
SERIAL PERIPHERAL INTERFACE (SPI) TIMING						
SPI_CLK						$V_{DD_INTERFACE} = 1.8V$
Period	t _{CP}	20			ns	
Pulse Width	t _{MP}	9			ns	
SPI_ENB Setup to First SPI_CLK Rising Edge	t _{SC}	1			ns	
Last SPI_CLK Falling Edge to SPI_ENB Hold	t _{HC}	0			ns	
SPI_DI						
Data Input Setup to SPI_CLK	t _S	2			ns	
Data Input Hold to SPI_CLK	t _H	1			ns	
SPI_CLK Rising Edge to Output Data Delay						
4-Wire Mode	t _{CO}	3		8	ns	
3-Wire Mode	t _{CO}	3		8	ns	

パラメータ ¹	記号	Min	Typ	Max	単位	テスト条件／ コメント
Bus Turnaround Time, Read	t _{HZM}	t _H		t _{CO (max)}	ns	ベースバンド・プロセッサ (BBP) が最後のアドレス・ビットを駆動した後
Bus Turnaround Time, Read	t _{HZS}	0		t _{CO (max)}	ns	AD9361S-CSL が最後のデータ・ビットを駆動した後
DIGITAL DATA TIMING (CMOS), VDD_INTERFACE = 1.8 V	t _{CP}	16.276			ns	61.44MHz
DATA_CLK_x Clock Period	t _{MP}	45% of t _{CP}		55% of t _{CP}	ns	
DATA_CLK_x and FB_CLK_x Pulse Width						
TX Data						TX_FRAME_x, P0_Dx、および P1_Dx
Setup to FB_CLK_x	t _{STX}	1			ns	
Hold to FB_CLK_x	t _{HTX}	0			ns	
DATA_CLK_x to Data Bus Output Delay	t _{DDR}	0		1.5	ns	
DATA_CLK_x to RX_FRAME_x Delay	t _{DDV}	0		1.0	ns	
Pulse Width						
ENABLE	t _{ENPW}	t _{CP}			ns	
TXNRX	t _{TXNRXPW}	t _{CP}			ns	FDD 独立イネーブル・ステート・マシン (ESM) モード
TXNRX Setup to ENABLE	t _{TXNRXSU}	0			ns	時分割複信 (TDD) ESM モード
Bus Turnaround Time Before RX	t _{RPRE}	2 × t _{CP}			ns	TDD モード
After RX	t _{RPST}	2 × t _{CP}			ns	TDD モード
Capacitive Load			3		pF	
Capacitive Input			3		pF	
DIGITAL DATA TIMING (CMOS), VDD_INTERFACE = 2.5 V	t _{CP}	16.276			ns	61.44MHz
DATA_CLK_x Clock Period	t _{MP}	45% of t _{CP}		55% of t _{CP}	ns	
DATA_CLK_x and FB_CLK_x Pulse Width						
TX Data						TX_FRAME_x, P0_Dx、および P1_Dx
Setup to FB_CLK_x	t _{STX}	1			ns	
Hold to FB_CLK_x	t _{HTX}	0			ns	
DATA_CLK_x to Data Bus Output Delay	t _{DDR}	0		1.2	ns	
DATA_CLK_x to RX_FRAME_x Delay	t _{DDV}	0		1.0	ns	
Pulse Width						
ENABLE	t _{ENPW}	t _{CP}			ns	
TXNRX	t _{TXNRXPW}	t _{CP}			ns	FDD 独立 ESM モード
TXNRX Setup to ENABLE	t _{TXNRXSU}	0			ns	TDD ESM モード
Bus Turnaround Time Before RX	t _{RPRE}	2 × t _{CP}			ns	TDD モード
After RX	t _{RPST}	2 × t _{CP}			ns	TDD モード
Capacitive Load			3		pF	
Capacitive Input			3		pF	

パラメータ ¹	記号	Min	Typ	Max	単位	テスト条件／ コメント
DIGITAL DATA TIMING (LVDS)						
DATA_CLK_x Clock Period	t _{CP}	4.069			ns	245.76MHz
DATA_CLK_x and FB_CLK_x Pulse Width	t _{MP}	45% of t _{CP}		55% of t _{CP}	ns	
TX Data						TX_FRAME_x および TX_Dx_x
Setup to FB_CLK_x	t _{STX}	1			ns	
Hold to FB_CLK_x	t _{HTX}	0			ns	
DATA_CLK_x to Data Bus Output Delay	t _{DDR_X}	0.25		1.25	ns	
DATA_CLK_x to RX_FRAME_x Delay	t _{DDDV}	0.25		1.25	ns	
Pulse Width						
ENABLE	t _{ENPW}	t _{CP}			ns	
TXNRX	t _{TXNRXPW}	t _{CP}			ns	FDD 独立 ESM モード
TXNRX Setup to ENABLE	t _{TXNRXSU}	0			ns	TDD ESM モード
Bus Turnaround Time						
Before RX	t _{RPRE}	2 × t _{CP}			ns	
After RX	t _{RPST}	2 × t _{CP}			ns	
Capacitive Load			3		pF	
Capacitive Input			3		pF	
SUPPLY CHARACTERISTICS						
1.3 V Main Supply Voltage		1.267	1.3	1.33	V	
VDD_INTERFACE Supply						
Nominal Settings						
CMOS		1.14		2.625	V	
LVDS		1.71		2.625	V	
VDD_INTERFACE Tolerance		-5		+5	%	許容誤差は任意の電圧設定に適用できます
VDD_GPO Supply Nominal Setting		1.3		3.3	V	未使用時には、1.3V に設定してください
VDD_GPO Tolerance		-5		+5	%	許容誤差は任意の電圧設定に適用できます
Current Consumption						
VDDA1P3_x, Sleep Mode			180		μA	すべての入力電流の合計値
VDD_GPO			50		μA	無負荷

¹ パラメータの説明で、多機能ピンの特定の機能について示している箇所では、仕様に関係するピン名のみを示しています。多機能ピンのすべての機能を含むピン名については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

消費電流-VDD_INTERFACE

TX は送信、RX は受信を表します。

表 2. VDD_INTERFACE = 1.2V

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
SLEEP MODE		45		μA	電源供給、デバイス・ディスエーブル時
ONE RX CHANNEL, ONE TX CHANNEL, DOUBLE DATA RATE (DDR) Long-Term Evolution (LTE 10 MHz)					
Single Port		2.9		mA	30.72MHz のデータ・クロック、CMOS
Dual Port		2.7		mA	15.36MHz のデータ・クロック、CMOS
LTE 20 MHz					
Dual Port		5.2		mA	30.72MHz のデータ・クロック、CMOS
TWO RX CHANNELS, TWO TX CHANNELS, DDR					
LTE 3 MHz					
Dual Port		1.3		mA	7.68MHz のデータ・クロック、CMOS
LTE 10 MHz					
Single Port		4.6		mA	61.44MHz のデータ・クロック、CMOS
Dual Port		5.0		mA	30.72MHz のデータ・クロック、CMOS
LTE 20 MHz					
Dual Port		8.2		mA	61.44MHz のデータ・クロック、CMOS
Global System for Mobile Communications (GSM)					
Dual Port		0.2		mA	1.08MHz のデータ・クロック、CMOS

表 3. VDD_INTERFACE = 1.8V

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
SLEEP MODE		84		μA	電源供給、デバイス・ディスエーブル時
ONE RX CHANNEL, ONE TX CHANNEL, DDR					
LTE 10 MHz					
Single Port		4.5		mA	30.72MHz のデータ・クロック、CMOS
Dual Port		4.1		mA	15.36MHz のデータ・クロック、CMOS
LTE 20 MHz					
Dual Port		8.0		mA	30.72MHz のデータ・クロック、CMOS
TWO RX CHANNELS, TWO TX CHANNELS, DDR					
LTE 3 MHz					
Dual Port		2.0		mA	7.68MHz のデータ・クロック、CMOS
LTE 10 MHz					
Single Port		8.0		mA	61.44MHz のデータ・クロック、CMOS
Dual Port		7.5		mA	30.72MHz のデータ・クロック、CMOS
LTE 20 MHz					
Dual Port		14.0		mA	61.44MHz のデータ・クロック、CMOS
GSM					
Dual Port		0.3		mA	1.08MHz のデータ・クロック、CMOS

表 4. VDD_INTERFACE = 2.5V

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
SLEEP MODE		150		μA	電源供給、デバイス・ディスエーブル時
ONE RX CHANNEL, ONE TX CHANNEL, DDR					
LTE 10 MHz					
Single Port		6.5		mA	30.72MHz のデータ・クロック、CMOS
Dual Port		6.0		mA	15.36MHz のデータ・クロック、CMOS
LTE 20 MHz					
Dual Port		11.5		mA	30.72MHz のデータ・クロック、CMOS
TWO RX CHANNELS, TWO TX CHANNELS, DDR					
LTE 3 MHz					
Dual Port		3.0		mA	7.68MHz のデータ・クロック、CMOS
LTE 10 MHz					
Single Port		11.5		mA	61.44MHz のデータ・クロック、CMOS
Dual Port		10.0		mA	30.72MHz のデータ・クロック、CMOS
LTE 20 MHz					
Dual Port		20.0		mA	61.44MHz のデータ・クロック、CMOS
GSM					
Dual Port		0.5		mA	1.08MHz のデータ・クロック、CMOS

消費電流-VDDD1P3_DIG および VDDA1P3_x（すべての 1.3V 電源の組み合わせ）

TX は送信、RX は受信を表します。

表 5. 800MHz、TDD モード

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
ONE RX CHANNEL					
5 MHz Bandwidth		180		mA	連続 RX
10 MHz Bandwidth		210		mA	連続 RX
20 MHz Bandwidth		260		mA	連続 RX
TWO RX CHANNELS					
5 MHz Bandwidth		265		mA	連続 RX
10 MHz Bandwidth		315		mA	連続 RX
20 MHz Bandwidth		405		mA	連続 RX
ONE TX CHANNEL					
5 MHz Bandwidth					
7 dBm		340		mA	連続 TX
-27 dBm		190		mA	連続 TX
10 MHz Bandwidth					
7 dBm		360		mA	連続 TX
-27 dBm		220		mA	連続 TX
20 MHz Bandwidth					
7 dBm		400		mA	連続 TX
-27 dBm		250		mA	連続 TX
TWO TX CHANNELS					
5 MHz Bandwidth					
7 dBm		550		mA	連続 TX
-27 dBm		260		mA	連続 TX
10 MHz Bandwidth					
7 dBm		600		mA	連続 TX
-27 dBm		310		mA	連続 TX
20 MHz Bandwidth					
7 dBm		660		mA	連続 TX
-27 dBm		370		mA	連続 TX

表 6. TDD モード、2.4GHz

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
ONE RX CHANNEL					
5 MHz Bandwidth		175		mA	連続した受信
10 MHz Bandwidth		200		mA	連続 RX
20 MHz Bandwidth		240		mA	連続 RX
TWO RX CHANNELS					
5 MHz Bandwidth		260		mA	連続 RX
10 MHz Bandwidth		305		mA	連続 RX
20 MHz Bandwidth		390		mA	連続 RX
ONE TX CHANNEL					
5 MHz Bandwidth					
7 dBm		350		mA	連続 TX
-27 dBm		160		mA	連続 TX
10 MHz Bandwidth					
7 dBm		380		mA	連続 TX
-27 dBm		220		mA	連続 TX
20 MHz Bandwidth					
7 dBm		410		mA	連続 TX
-27 dBm		260		mA	連続 TX
TWO TX CHANNELS					
5 MHz Bandwidth					
7 dBm		580		mA	連続 TX
-27 dBm		280		mA	連続 TX
10 MHz Bandwidth					
7 dBm		635		mA	連続 TX
-27 dBm		330		mA	連続 TX
20 MHz Bandwidth					
7 dBm		690		mA	連続 TX
-27 dBm		390		mA	連続 TX

表 7. TDD モード、5.5GHz

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
ONE RX CHANNEL					
5 MHz Bandwidth		175		mA	連続 RX
40 MHz Bandwidth		275		mA	連続 RX
TWO RX CHANNELS					
5 MHz Bandwidth		270		mA	連続 RX
40 MHz Bandwidth		445		mA	連続 RX
ONE TX CHANNEL					
5 MHz Bandwidth					
7 dBm		400		mA	連続 TX
-27 dBm		240		mA	連続 TX
40 MHz Bandwidth					
7 dBm		490		mA	連続 TX
-27 dBm		385		mA	連続 TX
TWO TX CHANNELS					
5 MHz Bandwidth					
7 dBm		650		mA	連続 TX
-27 dBm		335		mA	連続 TX
40 MHz Bandwidth					
7 dBm		820		mA	連続 TX
-27 dBm		500		mA	連続 TX

表 8. FDD モード、800MHz

Parameter	Min	Typ	Max	Unit
ONE RX CHANNEL, ONE TX CHANNEL				
5 MHz Bandwidth				
7 dBm		490		mA
-27 dBm		345		mA
10 MHz Bandwidth				
7 dBm		540		mA
-27 dBm		395		mA
20 MHz Bandwidth				
7 dBm		615		mA
-27 dBm		470		mA
TWO RX CHANNELS, ONE TX CHANNEL				
5 MHz Bandwidth				
7 dBm		555		mA
-27 dBm		410		mA
10 MHz Bandwidth				
7 dBm		625		mA
-27 dBm		480		mA
20 MHz Bandwidth				
7 dBm		740		mA
-27 dBm		600		mA
ONE RX CHANNEL, TWO TX CHANNELS				
5 MHz Bandwidth				
7 dBm		685		mA
-27 dBm		395		mA
10 MHz Bandwidth				
7 dBm		755		mA
-27 dBm		465		mA
20 MHz Bandwidth				
7 dBm		850		mA
-27 dBm		570		mA
TWO RX CHANNELS, TWO TX CHANNELS				
5 MHz Bandwidth				
7 dBm		790		mA
-27 dBm		495		mA
10 MHz Bandwidth				
7 dBm		885		mA
-27 dBm		590		mA
20 MHz Bandwidth				
7 dBm		1020		mA
-27 dBm		730		mA

表 9. FDD モード、2.4GHz

Parameter	Min	Typ	Max	Unit
ONE RX CHANNEL, ONE TX CHANNEL				
5 MHz Bandwidth				
7 dBm		500		mA
-27 dBm		350		mA
10 MHz Bandwidth				
7 dBm		540		mA
-27 dBm		390		mA
20 MHz Bandwidth				
7 dBm		620		mA
-27 dBm		475		mA
TWO RX CHANNELS, ONE TX CHANNEL				
5 MHz Bandwidth				
7 dBm		590		mA
-27 dBm		435		mA
10 MHz Bandwidth				
7 dBm		660		mA
-27 dBm		510		mA
20 MHz Bandwidth				
7 dBm		770		mA
-27 dBm		620		mA
ONE RX CHANNEL, TWO TX CHANNELS				mA
5 MHz Bandwidth				
7 dBm		730		mA
-27 dBm		425		mA
10 MHz Bandwidth				
7 dBm		800		mA
-27dBm		500		mA
20 MHz Bandwidth				
7 dBm		900		mA
-27 dBm		600		mA
TWO RX CHANNELS, TWO TX CHANNELS				mA
5 MHz Bandwidth				
7 dBm		820		mA
-27 dBm		515		mA
10 MHz Bandwidth				
7 dBm		900		mA
-27 dBm		595		mA
20 MHz Bandwidth				
7 dBm		1050		mA
-27 dBm		740		mA

表 10. FDD モード、5.5GHz

Parameter	Min	Typ	Max	Unit
ONE RX CHANNEL, ONE TX CHANNEL				
5 MHz Bandwidth				
7 dBm		550		mA
-27 dBm		385		mA
TWO RX CHANNELS, ONE TX CHANNEL				
5 MHz Bandwidth				
7 dBm		645		mA
-27 dBm		480		mA
ONE RX CHANNELS, TWO TX CHANNELS				
5 MHz Bandwidth				
7 dBm		805		mA
-27 dBm		480		mA

Parameter	Min	Typ	Max	Unit
TWO RX CHANNELS, TWO TX CHANNELS				
5 MHz Bandwidth				
7 dBm		895		mA
-27 dBm		575		mA

放射テストおよび制限仕様

特に指定のない限り、VDD_GPO = 3.3V、VDD_INTERFACE = 1.8V、VDDD1P3_DIG = 1.3V、他のすべての VDDA1P3_x ピン = 1.3V、T_A = 25°C での電気特性。トータル・ドーズ効果（TID）試験は、50%の過負荷をかけ、100°C で 168 時間アニールしながらバイアスを印加した状態で 30krad の放射線を使用して実施しています。

表 11.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
SUPPLY CHARACTERISTICS					
Total Sleep Mode Current			2	14	mA
Total Active Mode Current			120	150	mA
DIGITAL INPUT CURRENTS					
Low		-0.1		+0.1	μA
High		-0.1		+0.1	μA
XTALN INPUT CURRENT	リファレンス・クロックは XTALN ピンに直接入力				
Low		-0.1		+0.1	μA
High		-200		+200	μA
RECEIVERS, 2.3 GHz					
LO Leakage	レシーバー・フロント・エンド入力での値		-110	-75	dBm
RX1 to RX2 Isolation					
RX1A_x to RX2A_x, RX1C_x to RX2C_x		28	65		dB
RX1B_x to RX2B_x		28	50		dB
RX2 to RX1 Isolation					
RX2A_x to RX1A_x, RX2C_x to RX1C_x		28	65		dB
RX2B_x to RX1B_x		28	50		dB
TRANSMITTERS, 2.3 GHz					
Carrier Leakage	0dB 減衰		-50	-42	dBc
	41.75dB 減衰		-34	-25	dBc
Fundamental Output Power	0dB 減衰	3.0	5.0		dBm

絶対最大定格

表 12.

Parameter	Rating
VDDDIP3_DIG, VDDAIP3_x ¹ to VSSx	−0.3 V to +1.4 V
VDD_INTERFACE to VSSx	−0.3 V to +3.0 V
VDD_GPO to VSSx	−0.3 V to +3.9 V
Logic Inputs and Outputs to VSSx	−0.3 V to VDD_INTERFACE + 0.3 V
Input Current to Any Pin Except Supplies	±10 mA
RF Inputs (Peak Power)	2.5 dBm
TX Monitor Input Power (Peak Power)	9 dBm
Package Power Dissipation	$(T_{JMAX} - T_A)/\theta_{JA}$
Maximum Junction Temperature (T_{JMAX})	110°C
Peak Reflow	260°C
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C

¹ VDDAIP3_x は、VDDAIP3_TX_LO、VDDAIP3_TX_VCO_LDO、VDDAIP3_RX_RF、VDDAIP3_RX_TX、VDDAIP3_RX_LO、VDDAIP3_TX_LO_BUFFER、VDDAIP3_RX_VCO_LDO、VDDAIP3_RX_SYNTH、VDDAIP3_TX_SYNTH、および VDDAIP3_BB を表します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

リフロー・プロファイル

AD9361S-CSL のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JESD20 の基準に従っています。最大リフロー温度は 260°C です。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JCT} は、ジャンクションとケース上面の間の熱抵抗です。

表 13. 熱抵抗

Package Type	Airflow Velocity (m/sec)	$\theta_{JA}^{1,2}$	$\theta_{JCT}^{1,3}$	Unit
BC-144-7	0	32.3	9.6	°C/W
	1.0	29.6		°C/W
	2.5	27.8		°C/W

¹ JEDEC JESD51-7 と JEDEC JESD51-5 2S2P のテスト・ボードに準拠。

² JEDEC JESD51-2（自然空冷）または JEDEC JESD51-6（強制空冷）に準拠。

³ MIL-STD 883、Method 1012.1 に準拠。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

	1	2	3	4	5	6	7	8	9	10	11	12
A	RX2A_N	RX2A_P	DNC	VSSA	TX_MON2	VSSA	TX2A_N	TX2A_P	TX2B_N	TX2B_P	VDDA1P1_TX_VCO	TX_EXT_LO_IN
B	VSSA	VSSA	AUXDAC1	GPO_3	GPO_2	GPO_1	GPO_0	VDD_GPO	VDDA1P3_TX_LO	VDDA1P3_TX_VCO_LDO	TX_VCO_LDO_OUT	VSSA
C	RX2C_P	VSSA	AUXDAC2	TEST/ENABLE	CTRL_IN0	CTRL_IN1	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
D	RX2C_N	VDDA1P3_RX_RF	VDDA1P3_RX_TX	CTRL_OUT0	CTRL_IN3	CTRL_IN2	P0_D9/TX_D4_P	P0_D7/TX_D3_P	P0_D5/TX_D2_P	P0_D3/TX_D1_P	P0_D1/TX_D0_P	VSSD
E	RX2B_P	VDDA1P3_RX_LO	VDDA1P3_TX_LO_BUFFER	CTRL_OUT1	CTRL_OUT2	CTRL_OUT3	P0_D11/TX_D5_P	P0_D8/TX_D4_N	P0_D6/TX_D3_N	P0_D4/TX_D2_N	P0_D2/TX_D1_N	P0_D0/TX_D0_N
F	RX2B_N	VDDA1P3_RX_VCO_LDO	VSSA	CTRL_OUT6	CTRL_OUT5	CTRL_OUT4	VSSD	P0_D10/TX_D5_N	VSSD	FB_CLK_P	VSSD	VDD01P3_DIG
G	RX_EXT_LO_IN	RX_VCO_LDO_OUT	VDDA1P1_RX_VCO	CTRL_OUT7	EN_AGC	ENABLE	RX_FRAME_N	RX_FRAME_P	TX_FRAME_P	FB_CLK_N	DATA_CLK_P	VSSD
H	RX1B_P	VSSA	VSSA	TXNRX	SYNC_IN	VSSA	VSSD	P1_D11/RX_D5_P	TX_FRAME_N	VSSD	DATA_CLK_N	VDD_INTERFACE
J	RX1B_N	VSSA	VDDA1P3_RX_SYNTH	SPI_DI	SPI_CLK	CLK_OUT	P1_D10/RX_D5_N	P1_D9/RX_D4_P	P1_D7/RX_D3_P	P1_D5/RX_D2_P	P1_D3/RX_D1_P	P1_D1/RX_D0_P
K	RX1C_P	VSSA	VDDA1P3_TX_SYNTH	VDDA1P3_BB	RESETB	SPI_ENB	P1_D8/RX_D4_N	P1_D6/RX_D3_N	P1_D4/RX_D2_N	P1_D2/RX_D1_N	P1_D0/RX_D0_N	VSSD
L	RX1C_N	VSSA	VSSA	RBIAS	AUXADC	SPI_DO	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
M	RX1A_P	RX1A_N	DNC	VSSA	TX_MON1	VSSA	TX1A_P	TX1A_N	TX1B_P	TX1B_N	XTALP	XTALN

ANALOG I/O

DIGITAL I/O

DO NOT CONNECT

DC POWER

GROUND

23131-002

図 2. ピン配置、上面図

表 14. ピン機能の説明

ピン番号	タイプ ¹	記号	説明
A1, A2	I	RX2A_N, RX2A_P	受信チャンネル 2 の差動入力 A。各ピンは、シングルエンド入力として、または組み合わせて差動ペアとして使用できます。未使用ピンはグラウンドに接続してください。
A3, M3	DNC	DNC	接続なし。これらのピンには接続しないでください。
A4, A6, B1, B2, B12, C2, C7 to C12, F3, H2, H3, H6, J2, K2, L2, L3, L7 to L12, M4, M6	I	VSSA	アナログ・グラウンド。これらのピンは、PCB のデジタル・グラウンド VSSD（グラウンド・プレーン）に直接接続してください。
A5	I	TX_MON2	送信チャンネル 2 の電力モニタ入力。このピンを使用しない場合は、グラウンドへ接続してください。
A7, A8	O	TX2A_N, TX2A_P	送信チャンネル 2 の差動出力 A。未使用ピンは 1.3V に接続してください。
A9, A10	O	TX2B_N, TX2B_P	送信チャンネル 2 の差動出力 B。未使用ピンは 1.3V に接続してください。
A11	I	VDDA1P1_TX_VCO	送信 VCO の電源入力。B11 と接続します。
A12	I	TX_EXT_LO_IN	外部送信 LO 入力。このピンを使用しない場合は、グラウンドへ接続してください。
B3	O	AUXDAC1	補助 DAC1 出力。
B4 to B7	O	GPO_3 to GPO_0	3.3V が使用可能な汎用出力。
B8	I	VDD_GPO	AUXDACx および汎用出力用 2.5V~3.3V 電源ピン。VDD_GPO 電源を使用しない場合は、この電源を 1.3V にセットしてください。
B9	I	VDDA1P3_TX_LO	送信 LO の 1.3V 電源入力。B10 と接続します。
B10	I	VDDA1P3_TX_VCO_LDO	送信 VCO LDO の 1.3V 電源入力。B9 と接続します。
B11	O	TX_VCO_LDO_OUT	送信 VCO LDO 出力。A11 と接続すると共に、直列に配置した 1μF のバイパス・コンデンサと 1Ω の抵抗を介してグラウンドに接続してください。

ピン番号	タイプ ¹	記号	説明
C1, D1	I	RX2C_P, RX2C_N	受信チャンネル 2 の差動入力 C。各ピンは、シングルエンド入力として、または組み合わせて差動ペアとして使用できます。これらのピンは、3GHz を超えると性能が低下します。未使用ピンはグラウンドに接続してください。
C3	O	AUXDAC2	補助 DAC2 出力。
C4	I	TEST/ENABLE	テスト入力。通常動作時はグラウンドに接続してください。
C5, C6, D6, D5	I	CTRL_IN0 to CTRL_IN3	制御入力。これらのピンは、RX ゲインと TX 減衰のマニュアル制御に使用します。
D2	I	VDDA1P3_RX_RF	レシーバーの 1.3V 電源入力。D3 と接続します。
D3	I	VDDA1P3_RX_TX	1.3V 電源入力。D2 と接続します。
D4, E4 to E6, F4 to F6, G4	O	CTRL_OUT0, CTRL_OUT1 to CTRL_OUT3, CTRL_OUT6 to CTRL_OUT4, CTRL_OUT7	制御出力。これらのピンは、プログラマブルな機能を備えた多目的出力です。
D7	I/O	P0_D9/TX_D4_P	デジタル・データ・ポート P0/送信用差動入力バス。このピンには 2 つの機能があります。P0_D9 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 0 の一部として機能します。TX_D4_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット TX 差動入力 LVDS バスの一部として機能します。
D8	I/O	P0_D7/TX_D3_P	デジタル・データ・ポート P0/送信用差動入力バス。このピンには 2 つの機能があります。P0_D7 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 0 の一部として機能します。TX_D3_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット TX 差動入力 LVDS バスの一部として機能します。
D9	I/O	P0_D5/TX_D2_P	デジタル・データ・ポート P0/送信用差動入力バス。このピンには 2 つの機能があります。P0_D5 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 0 の一部として機能します。TX_D2_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット TX 差動入力 LVDS バスの一部として機能します。
D10	I/O	P0_D3/TX_D1_P	デジタル・データ・ポート P0/送信用差動入力バス。このピンには 2 つの機能があります。P0_D3 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 0 の一部として機能します。TX_D1_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット TX 差動入力 LVDS バスの一部として機能します。
D11	I/O	P0_D1/TX_D0_P	デジタル・データ・ポート P0/送信用差動入力バス。このピンには 2 つの機能があります。P0_D1 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 0 の一部として機能します。TX_D0_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット TX 差動入力 LVDS バスの一部として機能します。
D12, F7, F9, F11, G12, H7, H10, K12	I	VSSD	デジタル・グラウンド。これらのピンは、PCB のアナログ・グラウンド VSSA (グラウンド・プレーン) に直接接続してください。
E1, F1	I	RX2B_P, RX2B_N	受信チャンネル 2 の差動入力 B。各ピンは、シングルエンド入力として、または組み合わせて差動ペアとして使用できます。これらのピンは、3GHz を超えると性能が低下します。未使用ピンはグラウンドに接続してください。
E2	I	VDDA1P3_RX_LO	受信 LO の 1.3V 電源入力。F2 と接続します。
E3	I	VDDA1P3_TX_LO_BUFFER	送信 LO バッファ。1.3V 電源入力。
E7	I/O	P0_D11/TX_D5_P	デジタル・データ・ポート P0/送信用差動入力バス。このピンには 2 つの機能があります。P0_D11 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 0 の一部として機能します。TX_D5_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット TX 差動入力 LVDS バスの一部として機能します。
E8	I/O	P0_D8/TX_D4_N	デジタル・データ・ポート P0/送信用差動入力バス。このピンには 2 つの機能があります。P0_D8 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 0 の一部として機能します。TX_D4_N として使用する場合は、内部に LVDS の終端を備えた 6 ビット TX 差動入力 LVDS バスの一部として機能します。

ピン番号	タイプ ¹	記号	説明
E9	I/O	P0_D6/TX_D3_N	デジタル・データ・ポート P0/送信用差動入力バス。このピンには2つの機能があります。P0_D6として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート0の一部として機能します。TX_D3_Nとして使用する場合は、内部にLVDSの終端を備えた6ビットTX差動入力LVDSバスの一部として機能します。
E10	I/O	P0_D4/TX_D2_N	デジタル・データ・ポート P0/送信用差動入力バス。このピンには2つの機能があります。P0_D4として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート0の一部として機能します。TX_D2_Nとして使用する場合は、内部にLVDSの終端を備えた6ビットTX差動入力LVDSバスの一部として機能します。
E11	I/O	P0_D2/TX_D1_N	デジタル・データ・ポート P0/送信用差動入力バス。このピンには2つの機能があります。P0_D2として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート0の一部として機能します。TX_D1_Nとして使用する場合は、内部にLVDSの終端を備えた6ビットTX差動入力LVDSバスの一部として機能します。
E12	I/O	P0_D0/TX_D0_N	デジタル・データ・ポート P0/送信用差動入力バス。このピンには2つの機能があります。P0_D0として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート0の一部として機能します。TX_D0_Nとして使用する場合は、内部にLVDSの終端を備えた6ビットTX差動入力LVDSバスの一部として機能します。
F2	I	VDDA1P3_RX_VCO_LDO	受信 VCO LDO の 1.3V 電源入力。E2と接続します。
F8	I/O	P0_D10/TX_D5_N	デジタル・データ・ポート P0/送信用差動入力バス。このピンには2つの機能があります。P0_D10として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート0の一部として機能します。TX_D5_Nとして使用する場合は、内部にLVDSの終端を備えた6ビットTX差動入力LVDSバスの一部として機能します。
F10, G10	I	FB_CLK_P, FB_CLK_N	フィードバック・クロック。これらのピンは、TX データのクロックとして使用する FB_CLK_x 信号を受信します。CMOS モードでは、FB_CLK_P を入力として使用し、FB_CLK_N をグラウンドに接続してください。
F12	I	VDDD1P3_DIG	1.3V デジタル電源入力。
G1	I	RX_EXT_LO_IN	外部受信 LO 入力。このピンを使用しない場合は、グラウンドへ接続してください。
G2	O	RX_VCO_LDO_OUT	受信 VCO LDO 出力。G3に直接接続すると共に、直列に配置した 1μF のバイパス・コンデンサと 1Ωの抵抗を介してグラウンドに接続してください。
G3	I	VDDA1P1_RX_VCO	受信 VCO の電源入力。このピンはG2のみに直接接続します。
G5	I	EN_AGC	AGC のマニュアル制御入力。
G6	I	ENABLE	制御入力。このピンによって様々な動作状態でデバイスを動作させます。
G7, G8	O	RX_FRAME_N, RX_FRAME_P	受信デジタル・データのフレーミング出力信号。これらのピンは、RX 出力データが有効かどうかを示す RX_FRAME_x 信号を送信します。CMOS モードでは、RX_FRAME_P を出力として使用し、RX_FRAME_N は未接続のままにします。
G9, H9	I	TX_FRAME_P, TX_FRAME_N	送信デジタル・データのフレーミング入力信号。TX データが有効である場合、これらのピンは TX_FRAME_x 信号を受信します。CMOS モードでは、TX_FRAME_P を入力として使用し、TX_FRAME_N をグラウンドに接続してください。
G11, H11	O	DATA_CLK_P, DATA_CLK_N	受信データ・クロック出力。これらのピンは、RX データのクロック用に BBP が使用する DATA_CLK_x 信号を送信します。CMOS モードでは、DATA_CLK_P を出力として使用し、DATA_CLK_N は未接続のままにします。
H1, J1	I	RX1B_P, RX1B_N	受信チャンネル1の差動入力B。また、各ピンはシングルエンド入力としても使用できます。これらのピンは、3GHzを超えると性能が低下します。未使用ピンはグラウンドに接続してください。
H4	I	TXNRX	イネーブル・ステート・マシン制御信号。このピンはデータ・ポート・バスの方向を制御します。ロジック・ローでRX方向、ロジック・ハイでTX方向を選択します。
H5	I	SYNC_IN	複数の AD9361S-CSL デバイス同期用のデジタル・クロック入力。このピンを使用しない場合は、グラウンドへ接続してください。
H8	I/O	P1_D11/RX_D5_P	デジタル・データ・ポート P1/受信用差動出力バス。このピンには2つの機能があります。P1_D11として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート1の一部として機能します。RX_D5_Pとして使用する場合は、内部にLVDSの終端を備えた6ビットRX差動出力LVDSバスの一部として機能します。

ピン番号	タイプ ¹	記号	説明
H12	I	VDD_INTERFACE	デジタル I/O ピン用の 1.2V～2.5V 電源（LVDS モードでは 1.8V～2.5V）。
J3	I	VDDA1P3_RX_SYNTH	1.3V 電源入力。
J4	I	SPI_DI	SPI シリアル・データ入力。
J5	I	SPI_CLK	SPI クロック入力。
J6	O	CLK_OUT	クロック出力。このピンは、バッファ付きの外部入力クロック、デジタル制御水晶発振器（DCXO）、または内部 ADC クロックの分周を出力するように設定できます。
J7	I/O	P1_D10/RX_D5_N	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D10 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D5_N として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
J8	I/O	P1_D9/RX_D4_P	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D9 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D4_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
J9	I/O	P1_D7/RX_D3_P	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D7 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D3_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
J10	I/O	P1_D5/RX_D2_P	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D5 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D2_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
J11	I/O	P1_D3/RX_D1_P	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D3 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D1_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
J12	I/O	P1_D1/RX_D0_P	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D1 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D0_P として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
K1, L1	I	RX1C_P, RX1C_N	受信チャンネル 1 の差動入力 C。また、各ピンはシングルエンド入力としても使用できます。これらのピンは、3GHz を超えると性能が低下します。未使用ピンはグラウンドに接続してください。
K3	I	VDDA1P3_TX_SYNTH	1.3V 電源入力。
K4	I	VDDA1P3_BB	1.3V 電源入力。
K5	I	RESETB	非同期リセット。ロジック・ローでデバイスをリセットします。
K6	I	SPI_ENB	SPI イネーブル入力。SPI バスをイネーブルにするには、このピンをロジック・ローに設定します。
K7	I/O	P1_D8/RX_D4_N	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D8 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D4_N として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
K8	I/O	P1_D6/RX_D3_N	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D6 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D3_N として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。
K9	I/O	P1_D4/RX_D2_N	デジタル・データ・ポート P1／受信用差動出力バス。このピンには 2 つの機能があります。P1_D4 として使用する場合は、12 ビットの双方向パラレル CMOS レベル・データ・ポート 1 の一部として機能します。RX_D2_N として使用する場合は、内部に LVDS の終端を備えた 6 ビット RX 差動出力 LVDS バスの一部として機能します。

ピン番号	タイプ ¹	記号	説明
K10	I/O	P1_D2/RX_D1_N	デジタル・データ・ポート P1／受信用差動出力バス。このピンには2つの機能があります。P1_D2として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート1の一部として機能します。RX_D1_Nとして使用する場合は、内部にLVDSの終端を備えた6ビットRX差動出力LVDSバスの一部として機能します。
K11	I/O	P1_D0/RX_D0_N	デジタル・データ・ポート P1／受信用差動出力バス。このピンには2つの機能があります。P1_D0として使用する場合は、12ビットの双方向パラレルCMOSレベル・データ・ポート1の一部として機能します。RX_D0_Nとして使用する場合は、内部にLVDSの終端を備えた6ビットRX差動出力LVDSバスの一部として機能します。
L4	I	RBIAS	バイアス入力リファレンス。14.3kΩ（許容誤差1%）の抵抗を介してこのピンをグラウンドに接続してください。
L5	I	AUXADC	補助ADC入力。このピンを使用しない場合は、グラウンドへ接続してください。
L6	O	SPI_DO	SPIシリアル・データ出力（4線式モード）、3線式モードの場合は高インピーダンス。
M1, M2	I	RX1A_P, RX1A_N	受信チャンネル1の差動入力A。また、各ピンはシングルエンド入力としても使用できます。未使用ピンはグラウンドに接続してください。
M5	I	TX_MON1	送信チャンネル1の電力モニタ入力。このピンを使用しない場合は、グラウンドへ接続してください。
M7, M8	O	TX1A_P, TX1A_N	送信チャンネル1の差動出力A。未使用ピンは1.3Vに接続してください。
M9, M10	O	TX1B_P, TX1B_N	送信チャンネル1の差動出力B。未使用ピンは1.3Vに接続してください。
M11, M12	I	XTALP, XTALN	リファレンス周波数用水晶発振器の接続。水晶発振器を使用する場合は、この2本のピンの間に接続してください。外部クロック源を使用する場合はXTALNに接続し、XTALPは未接続のままにします。

¹ Iは入力、Oは出力、I/Oは入出力、DNCは接続なしを意味します。

代表的な性能特性

800MHz の周波数帯域

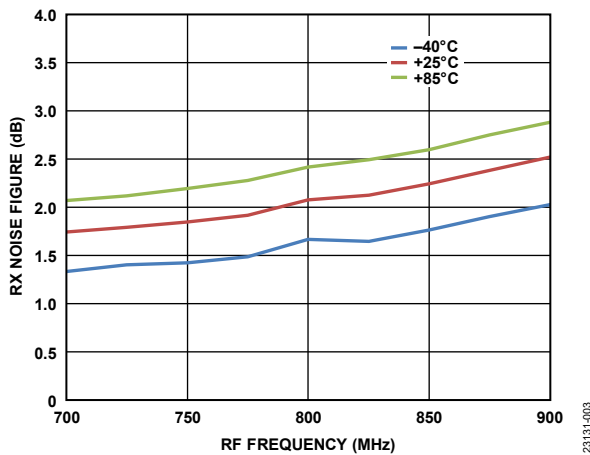


図 3. RX のノイズ指数と RF 周波数の関係

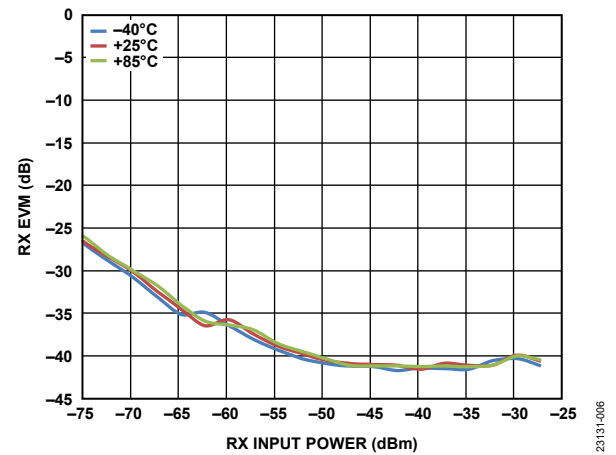


図 6. RX EVM と RX 入力電力の関係、64 直交振幅変調 (QAM) LTE 10MHz モード、19.2MHz のリファレンス・クロック

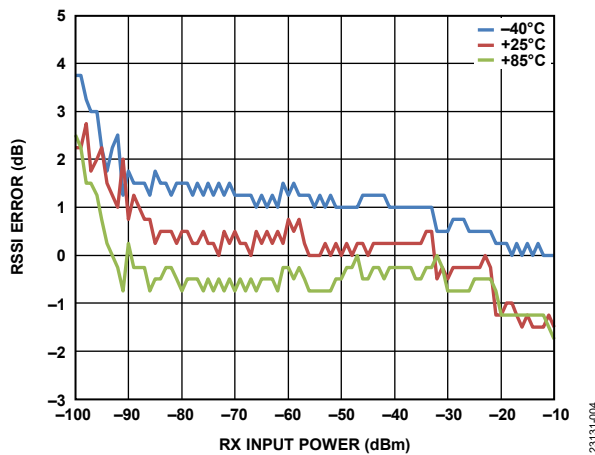


図 4. RSSI エラーと RX 入力電力の関係、LTE 10MHz 変調、(800MHz、-50dBm 入力電力を基準)

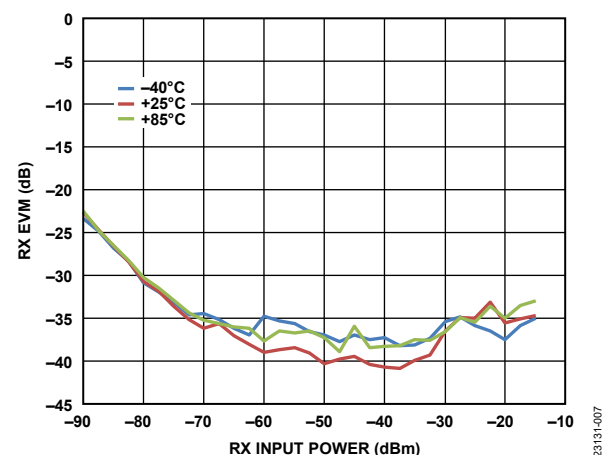


図 7. RX EVM と RX 入力電力の関係、GSM モード、30.72MHz のリファレンス・クロック (RF シンセサイザ用に内部で 2 倍)

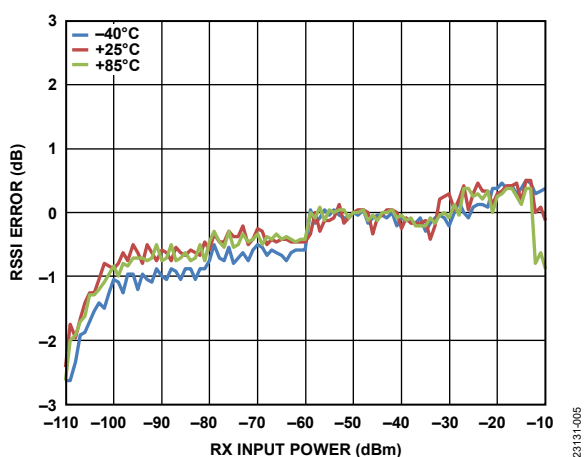
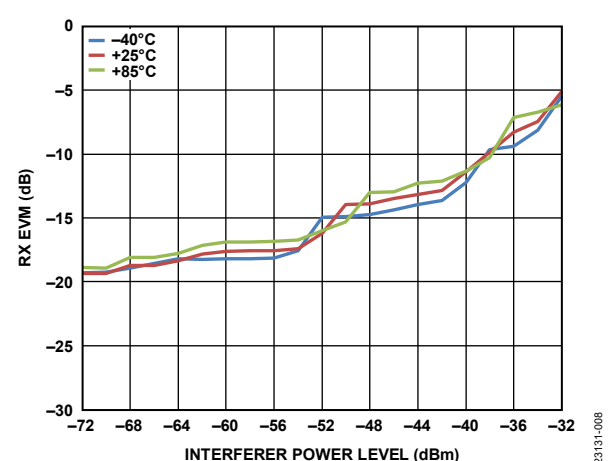


図 5. RSSI エラーと RX 入力電力の関係、エッジ変調、(800MHz、-50dBm 入力電力を基準)

図 8. RX EVM と干渉源の電力レベルの関係、入力電力 (P_{IN}) = -82dBm の LTE 10MHz 信号を使用、7.5MHz オフセットで 5MHz の直交周波数分割多重 (OFDM) をブロック

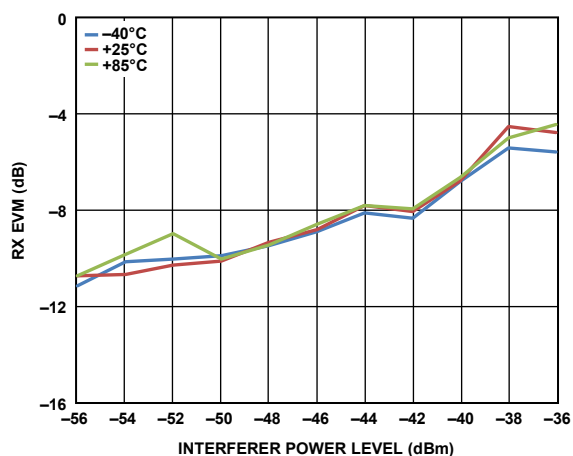


図 9. RX EVM と干渉源の電力レベルの関係、
 $P_{IN} = -90\text{dBm}$ の LTE 10MHz 信号を使用、
17.5MHz オフセットで 5MHz の OFDM をブロック

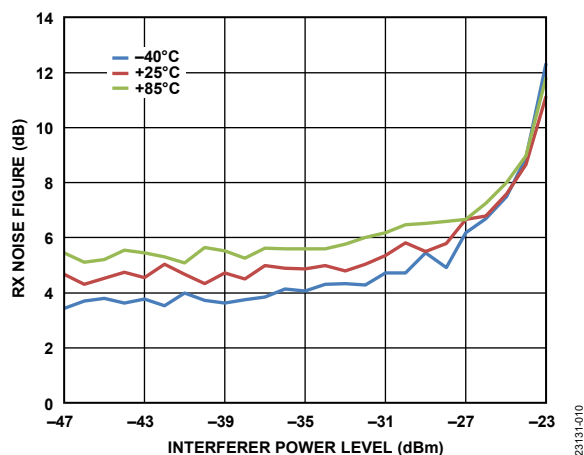


図 10. RX ノイズ指数と干渉源の電力レベルの関係、
 $P_{IN} = -90\text{dBm}$ のエッジ信号を使用、3MHz オフセットで
連続波をブロック、ゲイン・インデックス = 64

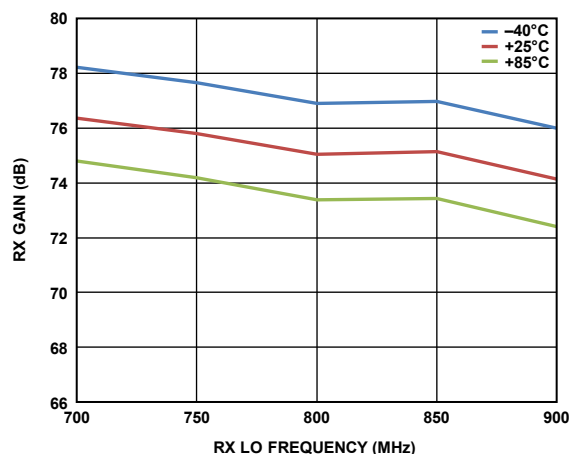


図 11. RX ゲインと RX LO 周波数の関係、
ゲイン・インデックス = 76 (最大設定値)

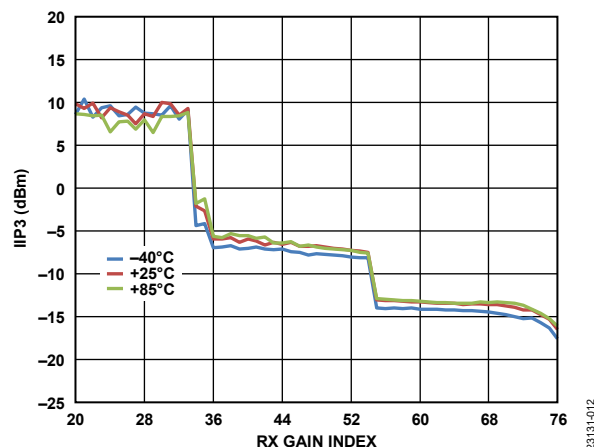


図 12. IIP3 と RX ゲイン・インデックスの関係、
 $f_1 = 1.45\text{MHz}$, $f_2 = 2.89\text{MHz}$, GSM モード

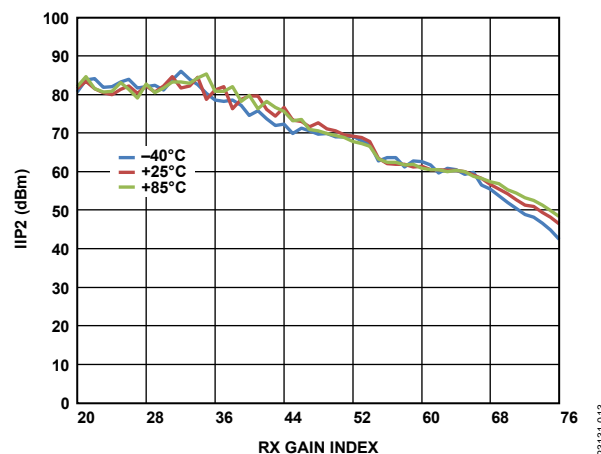


図 13. IIP2 と RX ゲイン・インデックスの関係、
 $f_1 = 2.00\text{MHz}$, $f_2 = 2.01\text{MHz}$, GSM モード

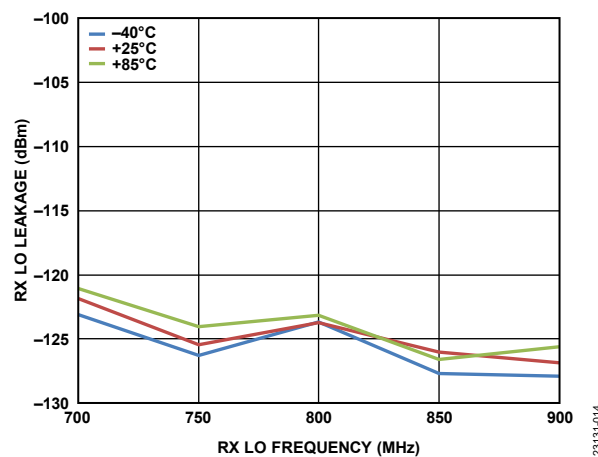


図 14. RX LO リークと RX LO 周波数の関係

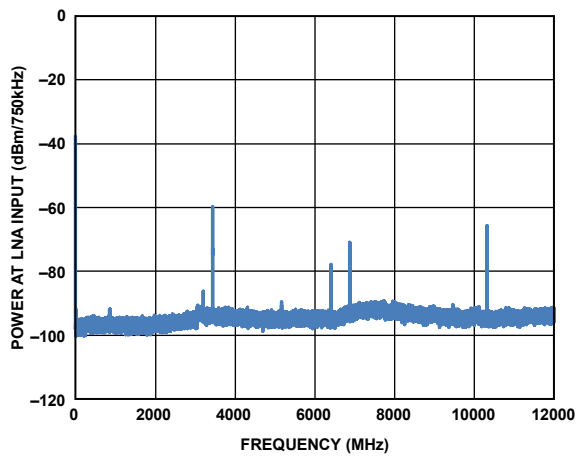


図 15. LNA 入力における電力の周波数特性、DC~12GHz、
受信 LO 周波数 (f_{LO_RX}) = 800MHz、LTE 10MHz、
送信 LO 周波数 (f_{LO_TX}) = 860MHz

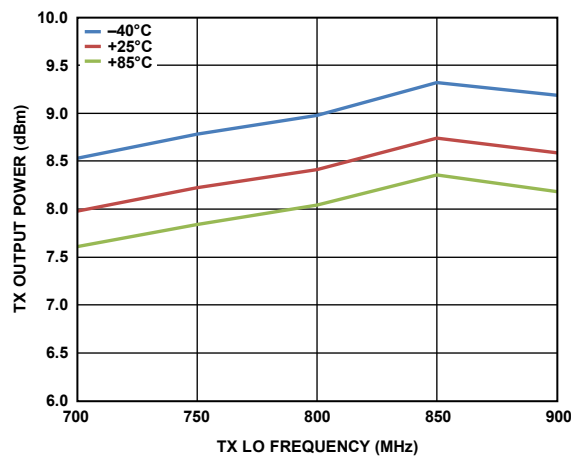


図 16. TX 出力電力と TX LO 周波数の関係、
減衰量の設定 = 0dB、シングルトーン出力

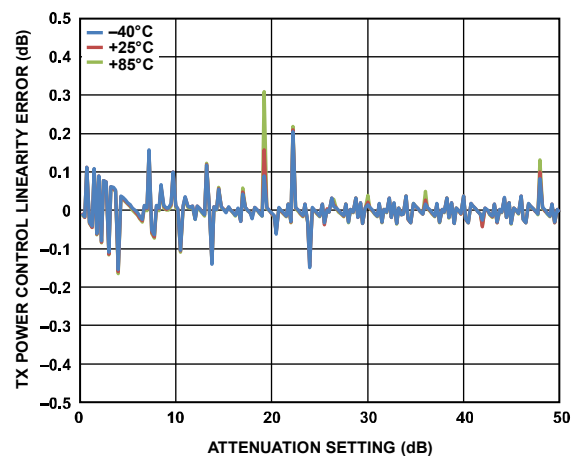


図 17. TX 電力制御の直線性誤差と減衰量設定の関係

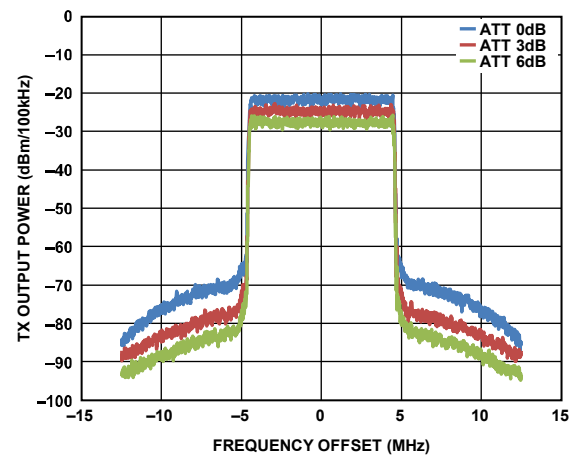


図 18. TX 出力電力と搬送波周波数からの周波数オフセットの
関係、 f_{LO_TX} = 800MHz、LTE 10MHz ダウンリンク
(様々なデジタル減衰量で表示)

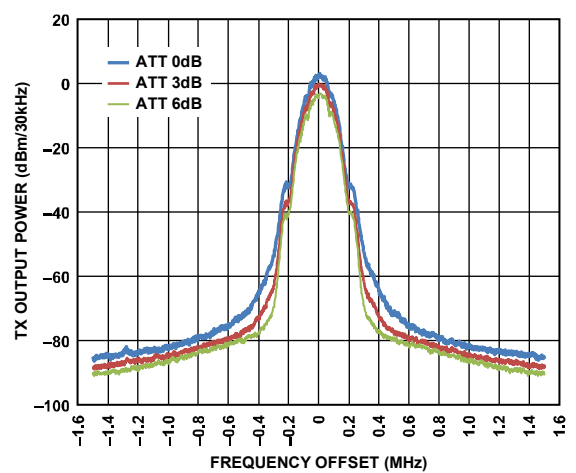


図 19. TX 出力電力と搬送波周波数からの周波数オフセットの
関係、 f_{LO_TX} = 800MHz、GSM ダウンリンク
(様々なデジタル減衰量で表示)、3MHz 範囲

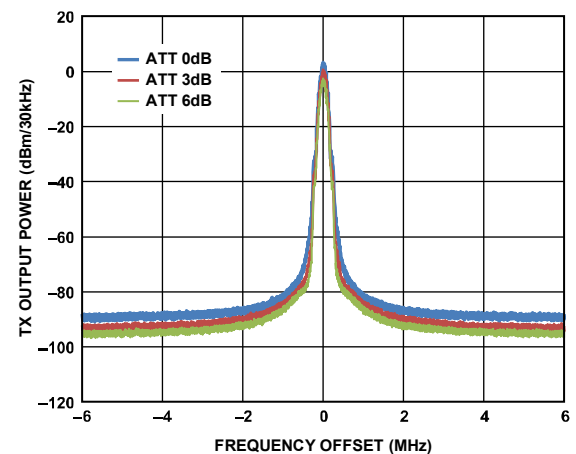


図 20. TX 出力電力と搬送波周波数からの周波数オフセットの
関係、 f_{LO_TX} = 800MHz、GSM ダウンリンク
(様々なデジタル減衰量で表示)、12MHz 範囲

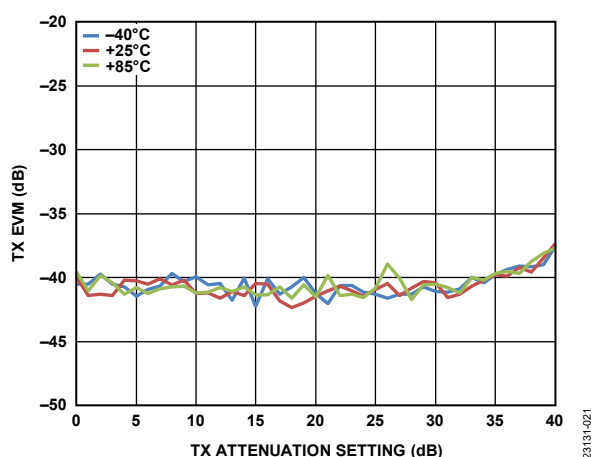


図 21. TX EVM と TX 減衰量設定の関係、
 $f_{LO_TX} = 800\text{MHz}$ 、LTE 10MHz、64 QAM 変調、
19.2MHz のリファレンス・クロック

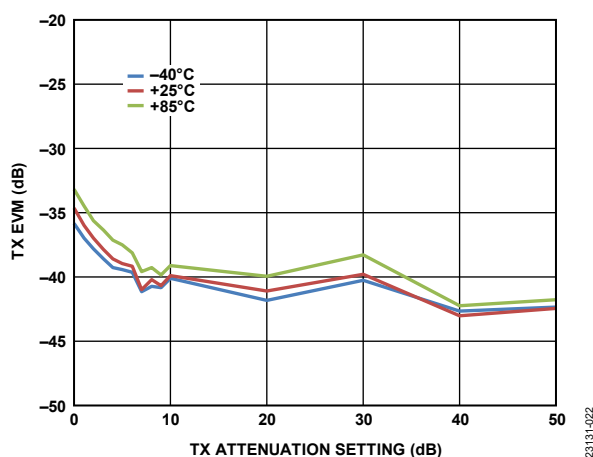


図 22. TX EVM と TX 減衰量設定の関係、 $f_{LO_TX} = 800\text{MHz}$ 、
GSM 変調、30.72MHz のリファレンス・クロック
(RF シンセサイザ用に内部で 2 倍)

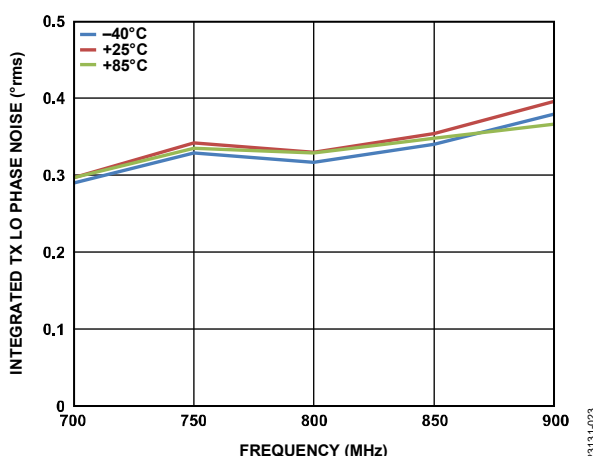


図 23. TX LO の積分位相ノイズと周波数の関係、
19.2MHz のリファレンス・クロック

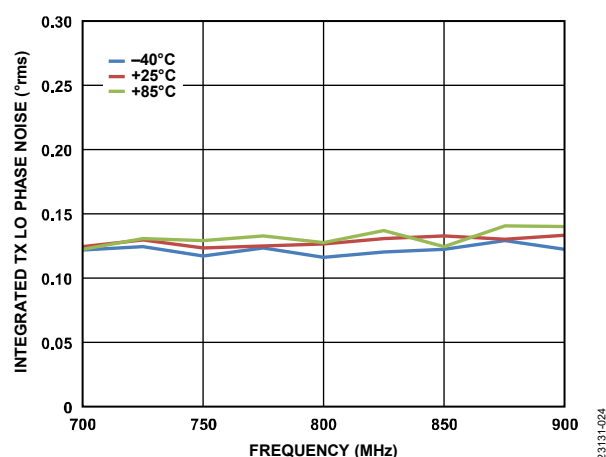


図 24. TX LO の積分位相ノイズと周波数の関係、
30.72MHz のリファレンス・クロック
(RF シンセサイザ用に内部で 2 倍)

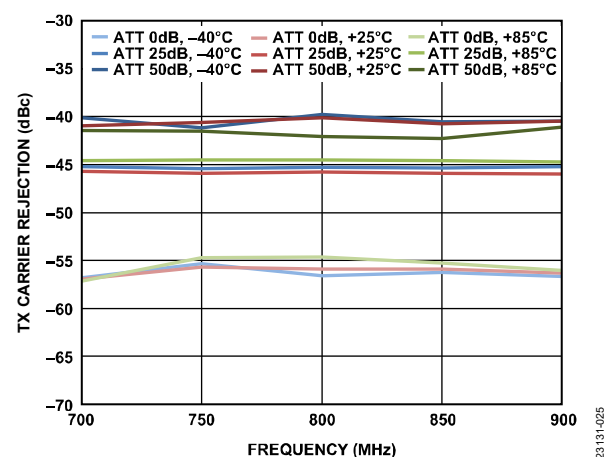


図 25. TX のキャリア除去と周波数の関係

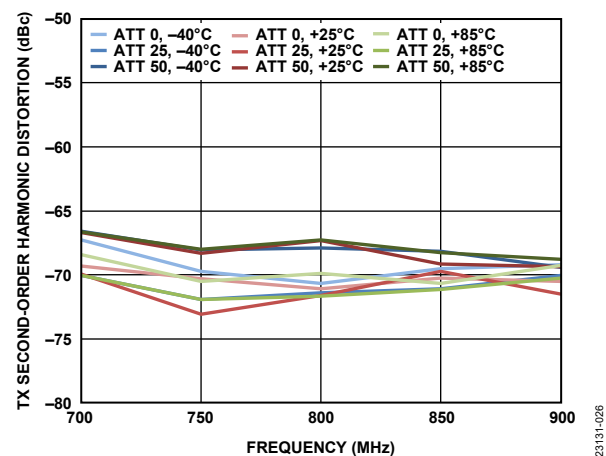


図 26. TX の 2 次高調波歪みと周波数の関係

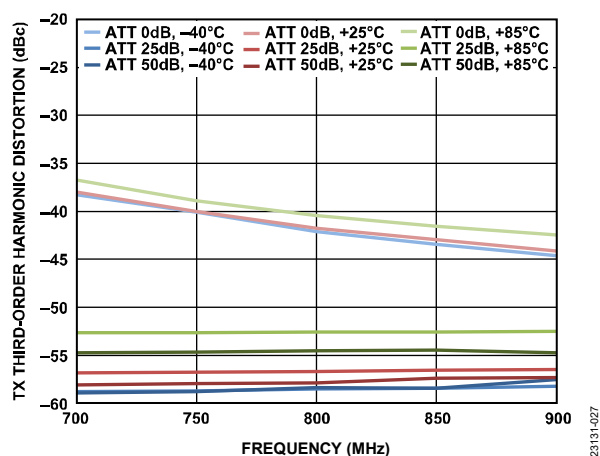


図 27. TX の 3 次高調波歪みと周波数の関係

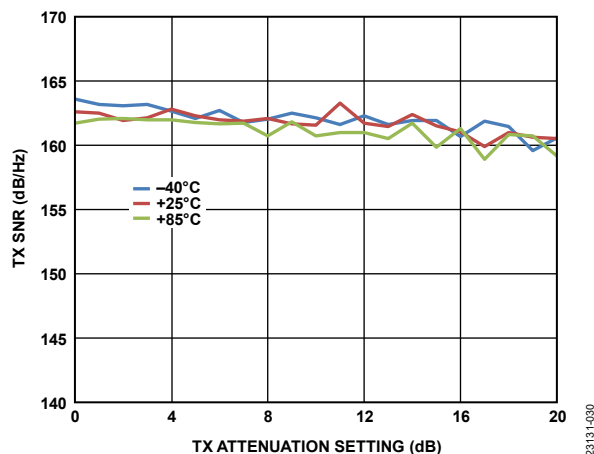


図 30. TX SNR と TX 減衰量設定の関係、GSM 信号を使用し、ノイズは 20MHz オフセットで測定

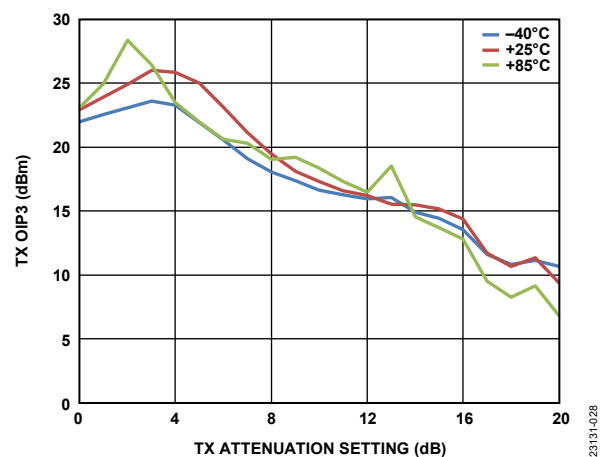


図 28. TX OIP3 と TX 減衰量設定の関係

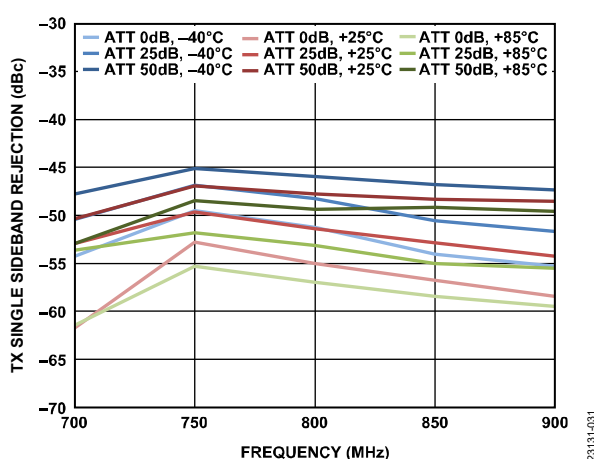


図 31. TX のシングル・サイドバンド除去比の周波数特性、1.5375MHz オフセット

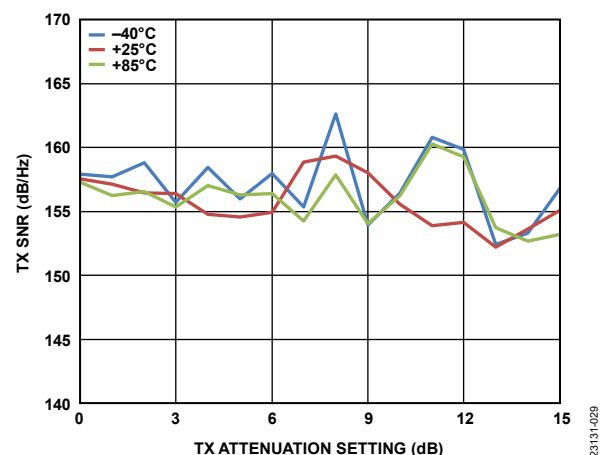


図 29. TX SNR と TX 減衰量設定の関係、LTE 10MHz 信号を使用し、ノイズは 90MHz オフセットで測定

2.4GHz の周波数帯域

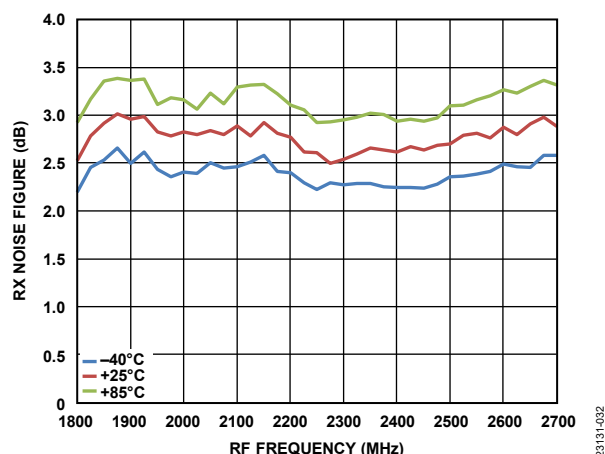


図 32. RX のノイズ指数と RF 周波数の関係

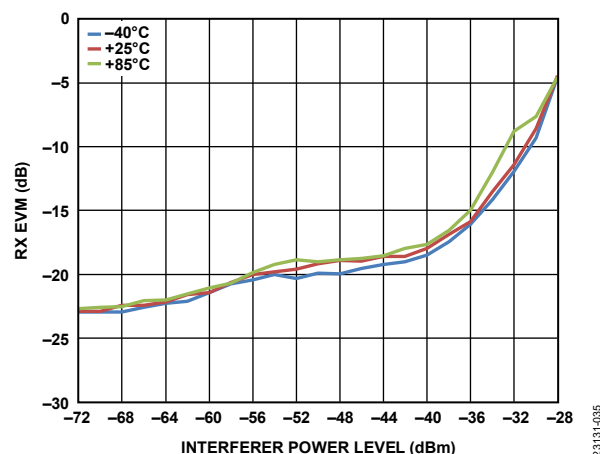


図 35. RX EVM と干渉源の電力レベルの関係、
 $P_{IN} = -75\text{dBm}$ の LTE 20MHz 信号を使用、
20MHz オフセットで LTE 20MHz をブロック

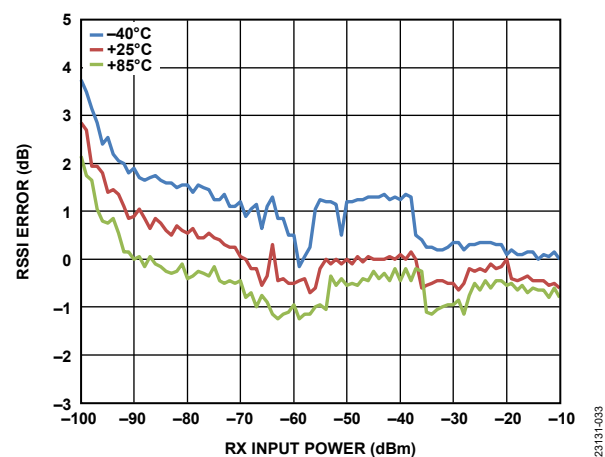


図 33. RSSI エラーと RX 入力電力の関係、
2.4GHz、 -50dBm 入力電力を基準

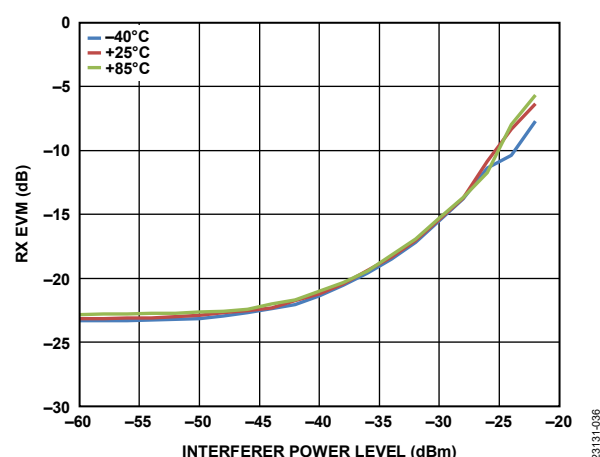


図 36. RX EVM と干渉源の電力レベルの関係、
 $P_{IN} = -75\text{dBm}$ の LTE 20MHz 信号を使用、
40MHz オフセットで LTE 20MHz をブロック

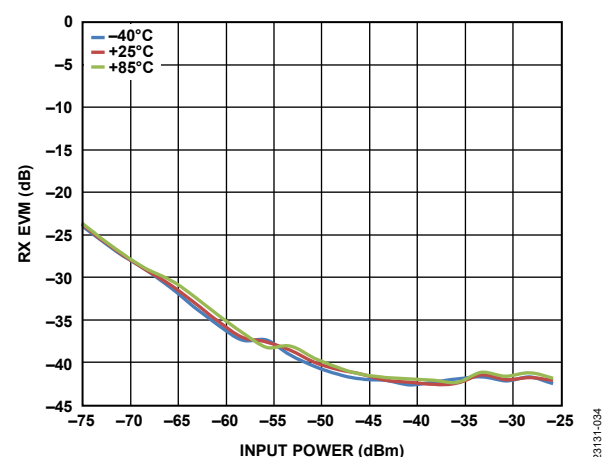


図 34. RX EVM と入力電力の関係、
64 QAM LTE 20MHz モード、40MHz のリファレンス・クロック

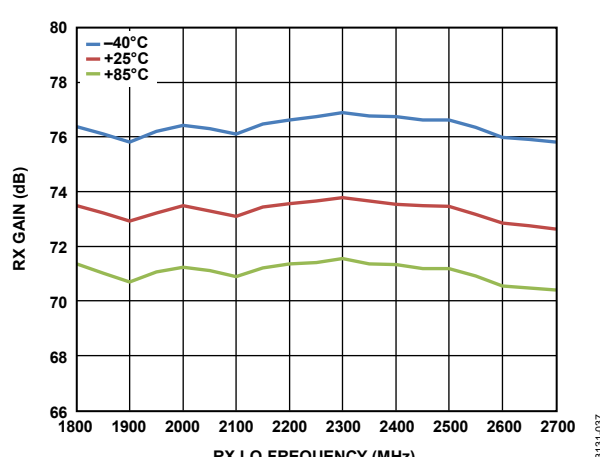


図 37. RX ゲインと RX LO 周波数の関係、
ゲイン・インデックス = 76 (最大設定値)

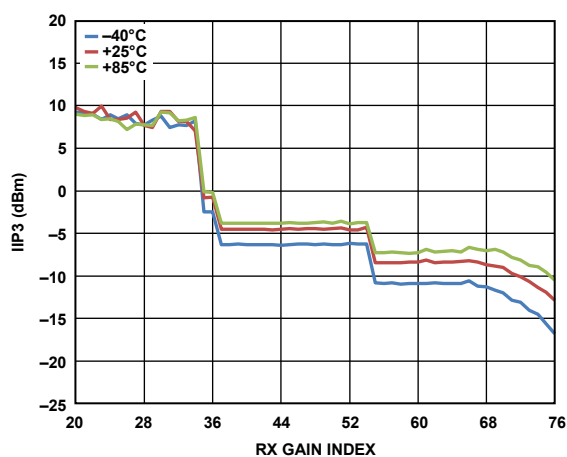


図 38. IIP3 と RX ゲイン・インデックスの関係、
f1 = 30MHz、f2 = 61MHz

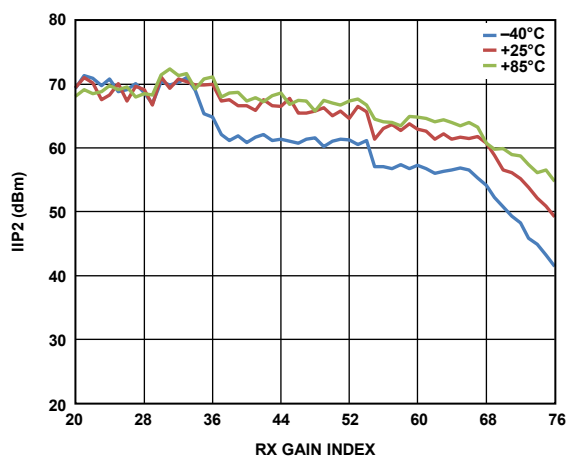


図 39. IIP2 と RX ゲイン・インデックスの関係、
f1 = 60MHz、f2 = 61MHz

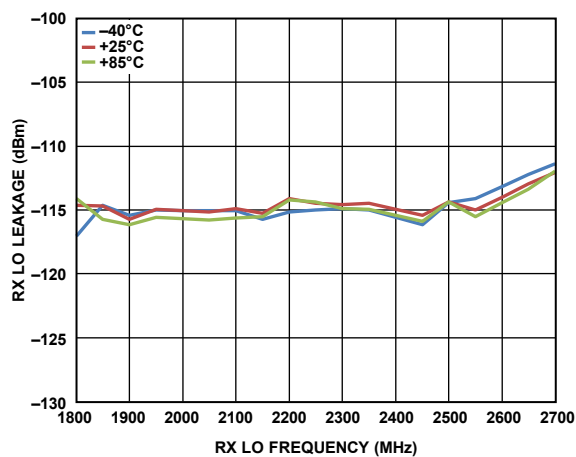


図 40. RX LO リークと RX LO 周波数の関係

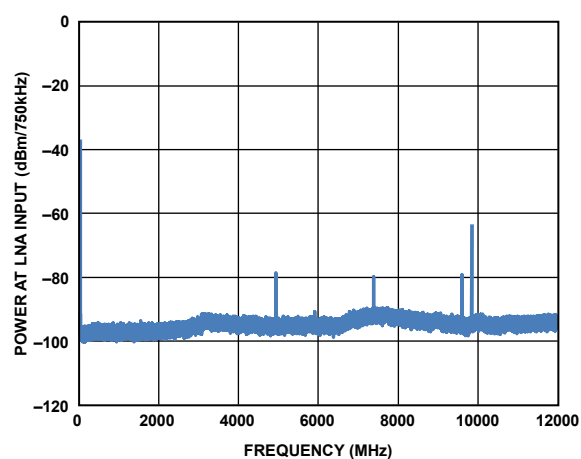


図 41. LNA 入力における電力の周波数特性、DC~12GHz、
f_{LO_RX} = 2.4GHz、LTE 20MHz、f_{LO_TX} = 2.46GHz

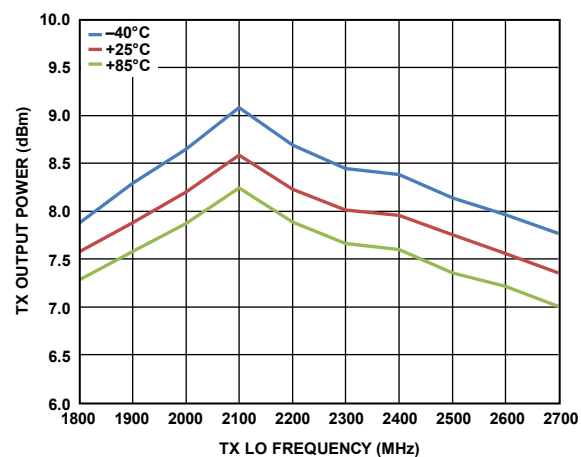


図 42. TX 出力電力と TX LO 周波数の関係、
減衰量の設定 = 0dB、シングルトーン出力

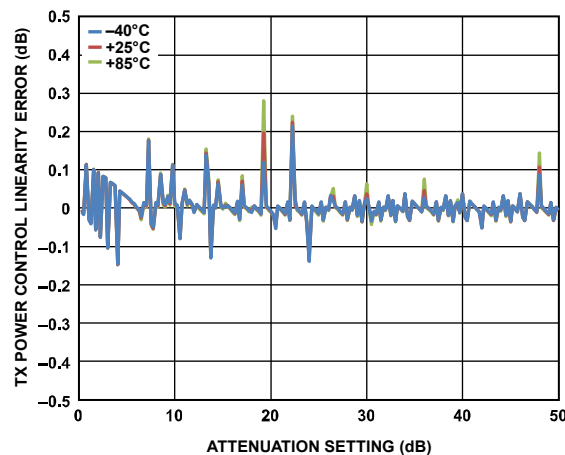


図 43. TX 電力制御の直線性誤差と減衰量設定の関係

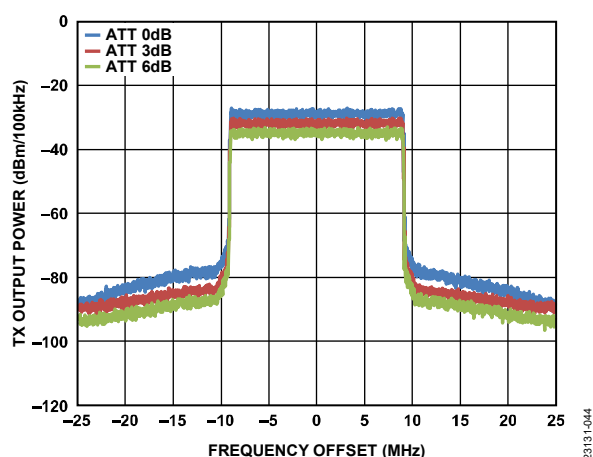


図 44. TX 出力電力と搬送波周波数からの周波数オフセットの関係、 $f_{LO_TX} = 2.3\text{GHz}$ 、LTE 20MHz ダウンリンク
(様々なデジタル減衰量で表示)

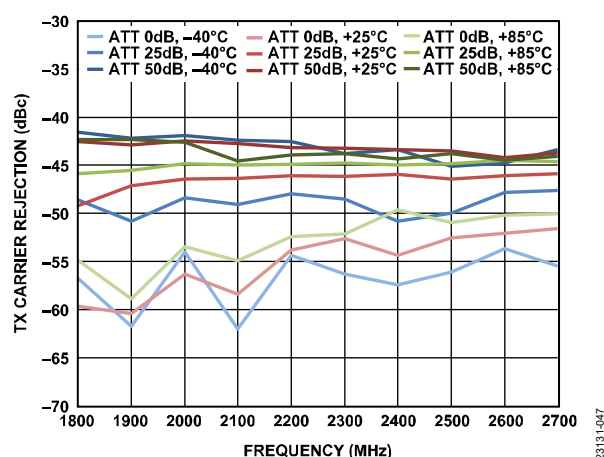


図 47. TX のキャリア除去と周波数の関係

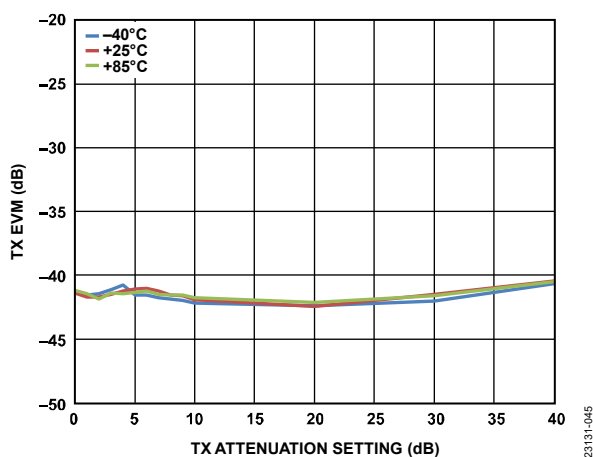


図 45. TX EVM と TX 減衰量設定の関係、
40MHz のリファレンス・クロック、LTE 20MHz、64 QAM 変調

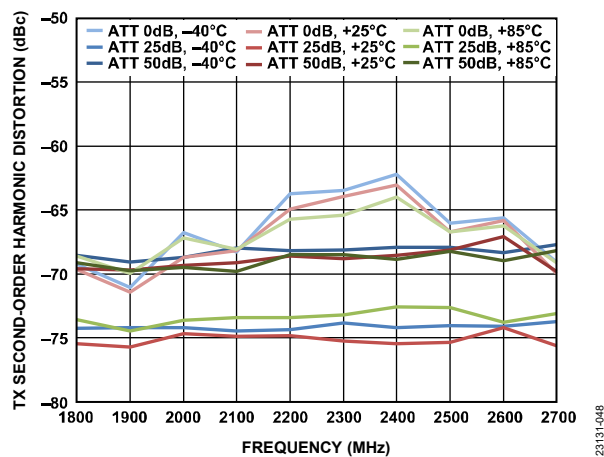


図 48. TX の 2 次高調波歪みと周波数の関係

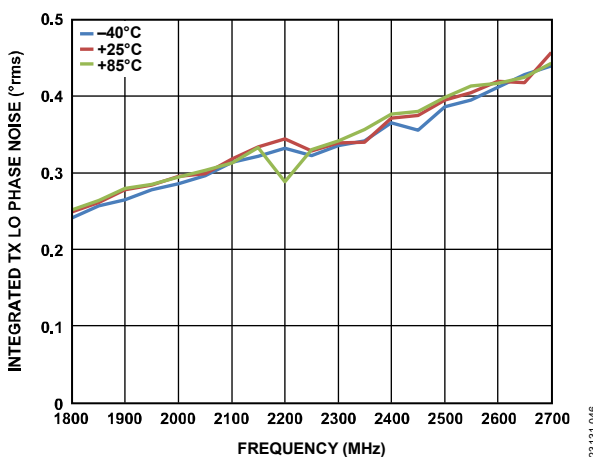


図 46. TX LO の積分位相ノイズと周波数の関係、
40MHz のリファレンス・クロック

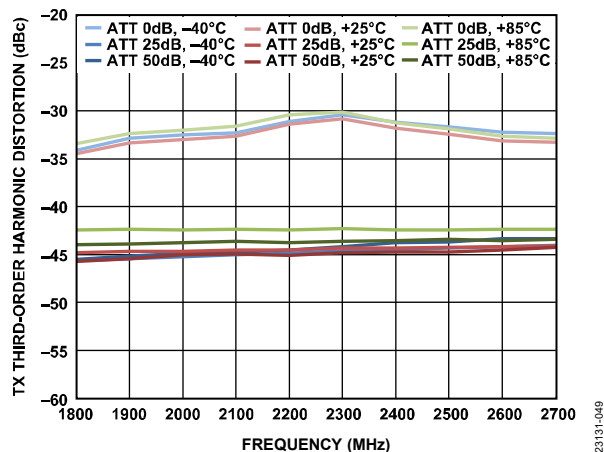


図 49. TX の 3 次高調波歪みと周波数の関係

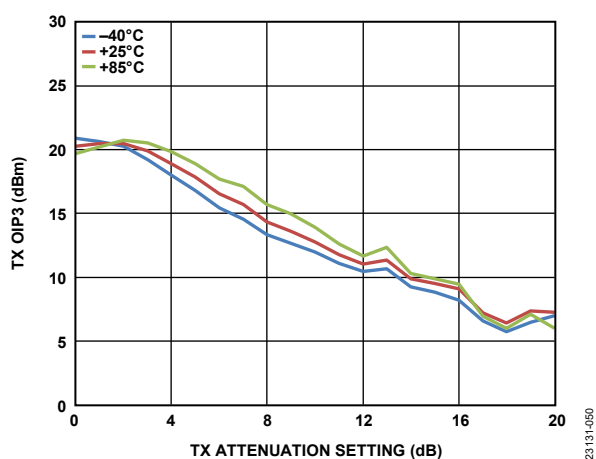


図 50. TX OIP3 と TX 減衰量設定の関係

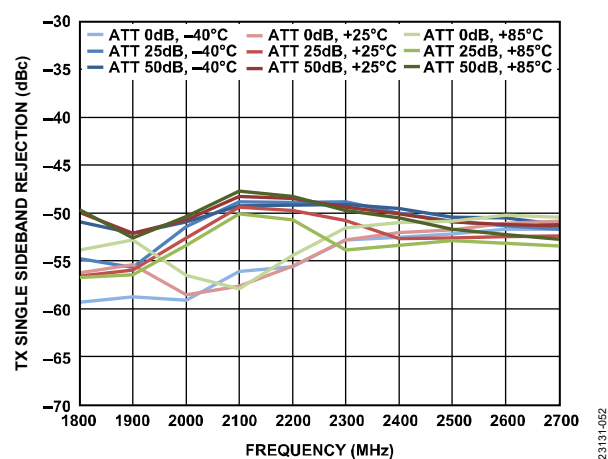


図 52. TX のシングル・サイドバンド除去比の周波数特性、3.075MHz オフセット

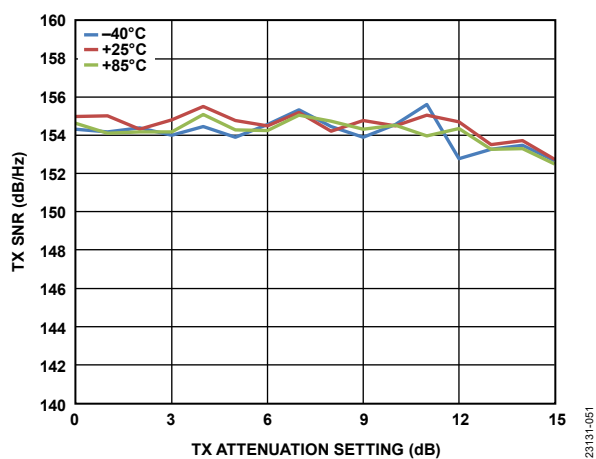


図 51. TX SNR と TX 減衰量設定の関係、LTE 20MHz 信号を使用し、ノイズは 90MHz オフセットで測定

5.5GHz の周波数帯域

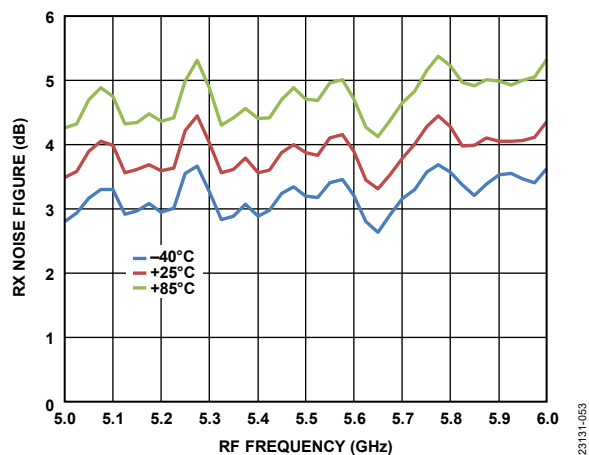


図 53. RX のノイズ指数と RF 周波数の関係

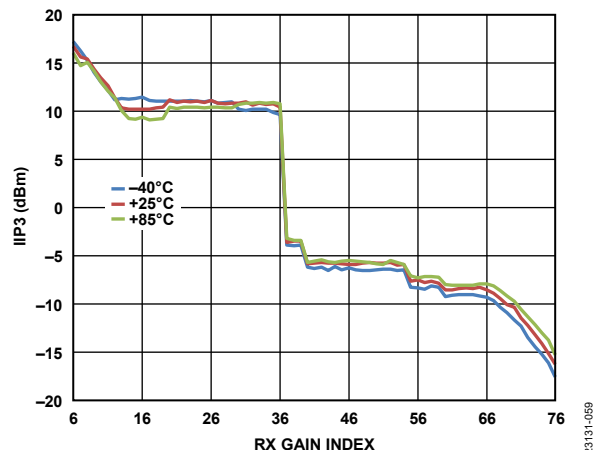
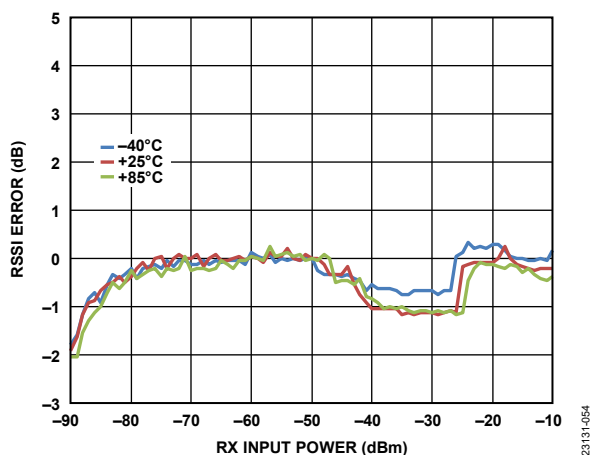
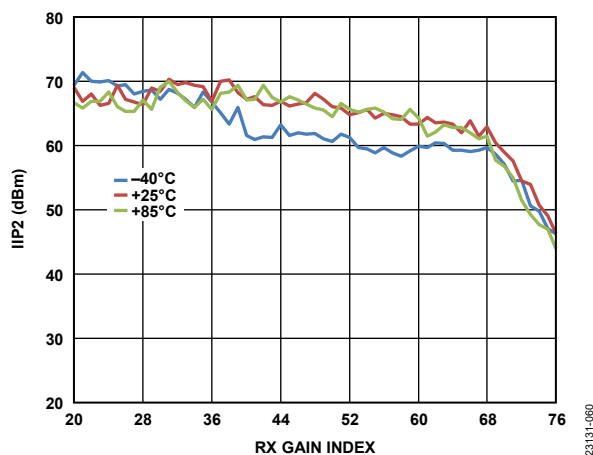
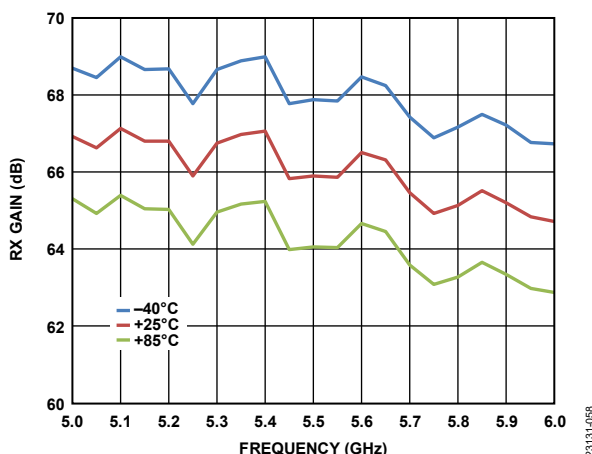
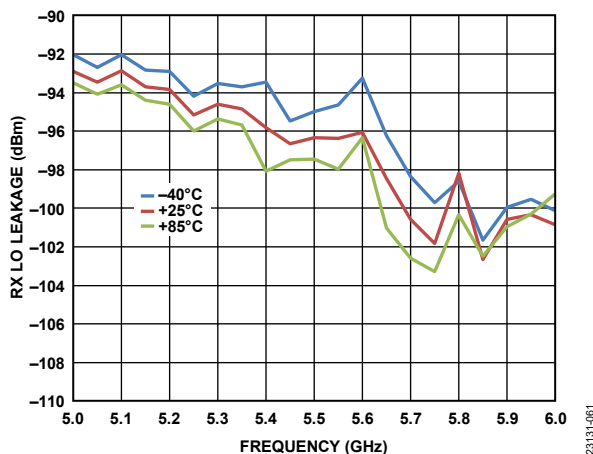
図 56. IIP3 と RX ゲイン・インデックスの関係、
f1 = 50MHz、f2 = 101MHz図 54. RSSI エラーと RX 入力電力の関係、
5.8GHz、-50dBm 入力電力を基準図 57. IIP2 と RX ゲイン・インデックスの関係、
f1 = 70MHz、f2 = 71MHz図 55. RX ゲインの周波数特性、
ゲイン・インデックス = 76 (最大設定値)

図 58. RX LO リークの周波数特性

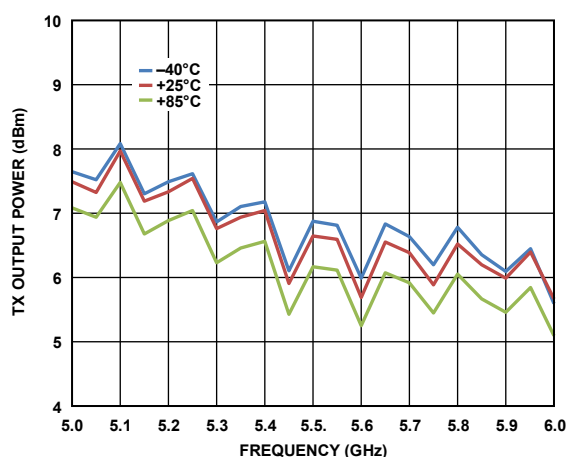


図 59. TX 出力電力の周波数特性、
減衰量の設定 = 0dB、シングルトーン

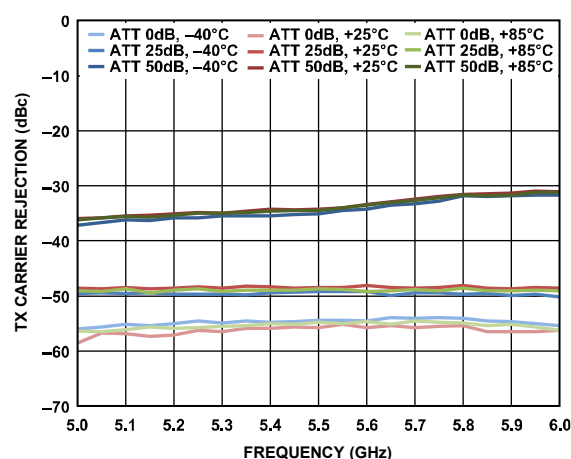


図 62. TX のキャリア除去と周波数の関係

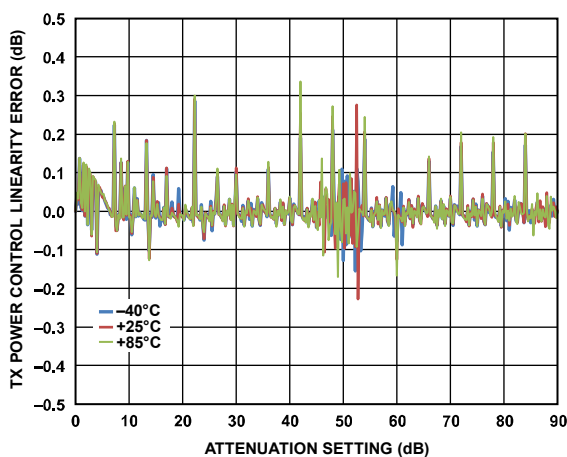


図 60. TX 電力制御の直線性誤差と減衰量設定の関係

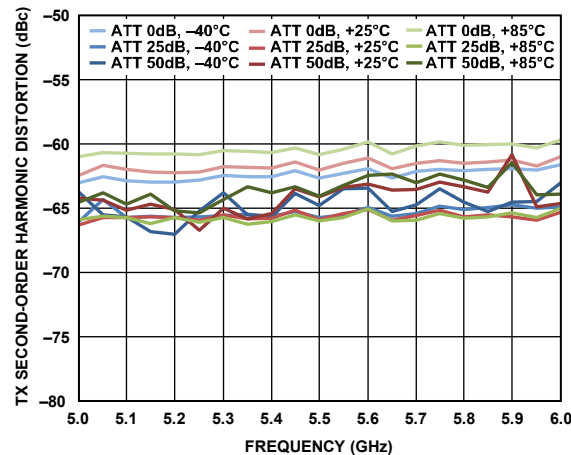


図 63. TX の 2 次高調波歪みと周波数の関係

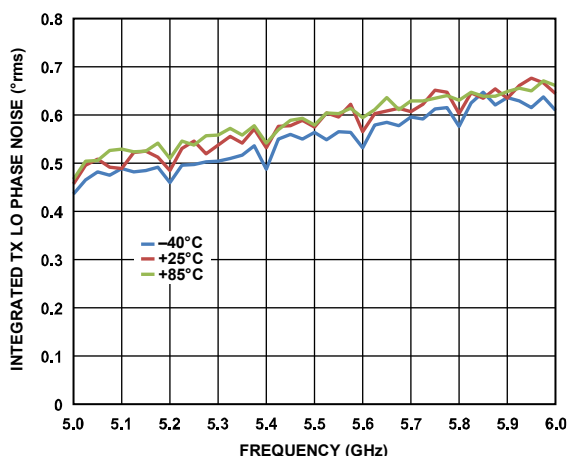


図 61. TX LO の積分位相ノイズと周波数の関係、
40MHz のリファレンス・クロック
(RF シンセサイザ用に内部で 2 倍)

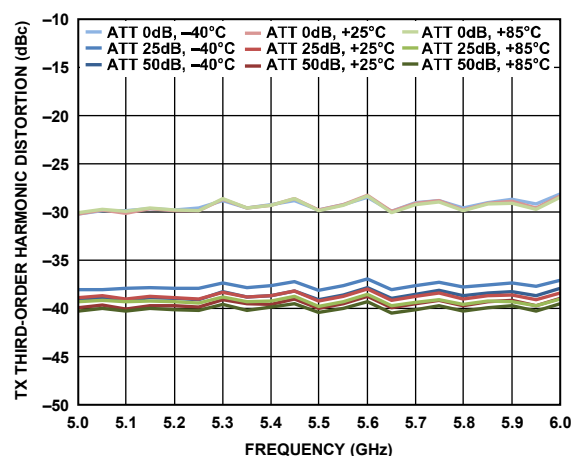


図 64. TX の 3 次高調波歪みと周波数の関係

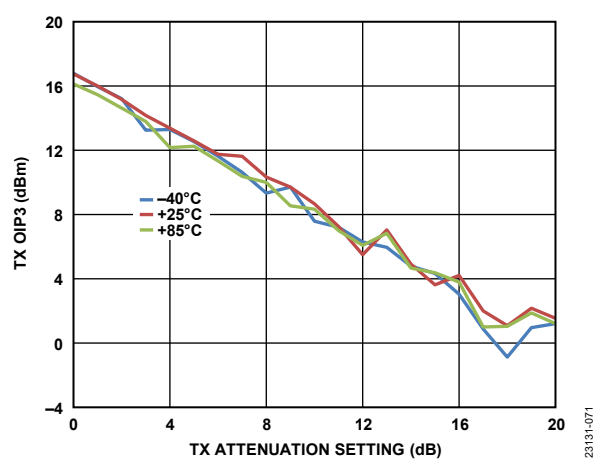


図 65. TX OIP3 と TX 減衰量設定の関係、 $f_{LO_TX} = 5.8\text{GHz}$

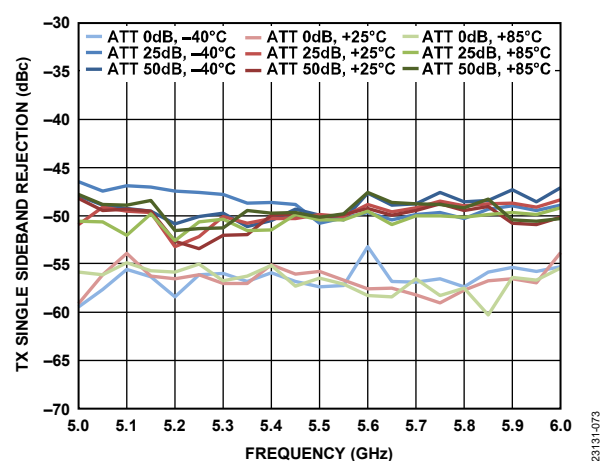
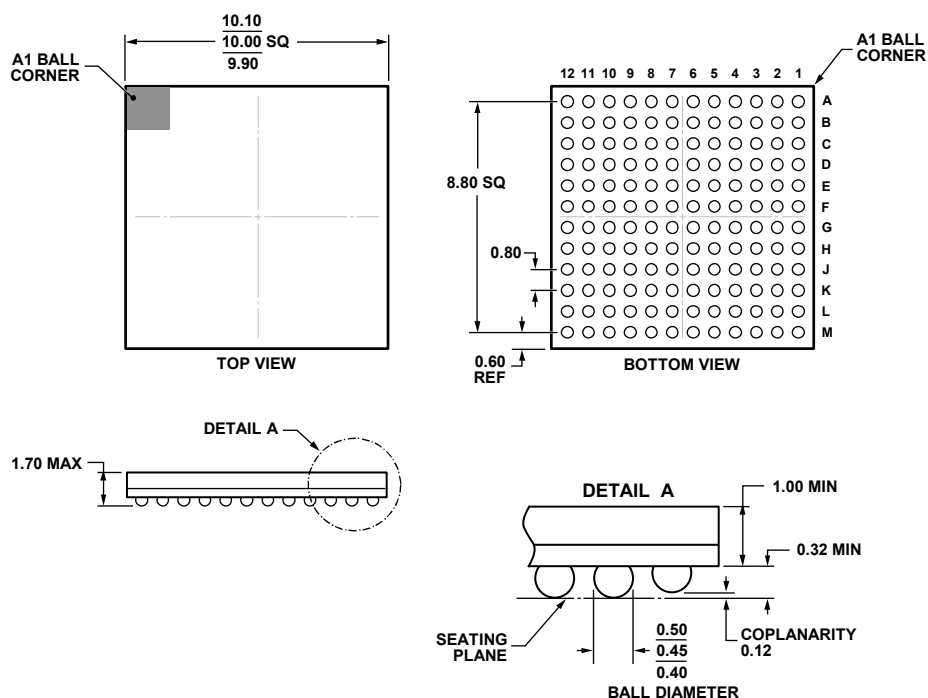


図 66. TX のシングル・サイドバンド除去比と周波数の関係、7MHz オフセット

パッケージとオーダー情報

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-EEAB-1.

11-18-2011-A

図 67. 144 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-144-7)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9361BBCZ-CSL	-40°C to +85°C	144-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-144-7

¹ Z = RoHS 準拠製品