

12ビット、6GSPS、JESD204B/JESD204CデュアルADC

特長

- ▶ 柔軟性の高い再構成可能な共通プラットフォーム設計
 - ▶ チャンネルごとにシングル、デュアル、クワッド・バンドをサポート
 - ▶ データパスとDSPブロックを完全にバイパス可能
 - ▶ マルチチップ同期機能を備えたオンチップPLL
 - ▶ 外付けPLL用の外部RFCLK入力オプション
- ▶ 最大12GHzのクロック入力周波数に対応
 - ▶ 最大6GSPSのADCサンプル・レート
 - ▶ 8GHzまでのアナログ帯域幅を使用可能
- ▶ JESD204Cを使用して最大6GSPSのデータ・レート
- ▶ ノイズ密度：-153dBFS/Hz
- ▶ ADCのAC性能（6GSPS、入力が2.7GHz、-1dBFS時）
 - ▶ フルスケール・サイン波入力電圧：1.475V p-p
 - ▶ ノイズ指数：25.3dB
 - ▶ HD2：-70dBFS
 - ▶ HD3：-68dBFS
 - ▶ その他の最大高調波歪み（HD2とHD3を除く）：-84dBFS
- ▶ 汎用デジタル機能
 - ▶ 選択可能なデシメーション・フィルタ
 - ▶ 設定可能なDDC
 - ▶ 8つの微調整・複素DDCと4つの粗調整・複素DDC
 - ▶ DDCごとに48ビットNCOを内蔵
 - ▶ オプションで微調整および粗調整DDCをバイパス可能
 - ▶ レシーバーのイコライゼーション用にプログラマブルな192タップPFIRフィルタ
- ▶ GPIOxピンを介して4つの異なるプロファイル設定をロード可能
- ▶ データパスごとに遅延の設定が可能
 - ▶ AGC対応レシーバー
 - ▶ 高速AGC制御用の低遅延・高速検出
 - ▶ 低速AGC制御用の信号モニタ
 - ▶ 専用のAGC対応ピン
- ▶ 補助機能
 - ▶ 高速周波数ホッピング
 - ▶ 分周比を選択可能なADCクロック・ドライバ
 - ▶ 温度モニタリング・ユニット内蔵
 - ▶ 柔軟性に優れたGPIOxピン
- ▶ SERDES JESD204B/JESD204Cインターフェース、8レーン、最大24.75Gbps
 - ▶ 8レーンのJESD204B/JESD204Cトランスミッタ（JT_x）
 - ▶ 最大15.5GbpsでJESD204B準拠
 - ▶ 最大24.75GbpsでJESD204C準拠
 - ▶ 実数または複素数のデジタル・データ（8、12、16、または24ビット）に対応
- ▶ 外形寸法

アプリケーション

- ▶ ワイヤレス通信インフラストラクチャ
- ▶ マイクロ波のポイントtoポイント、Eバンド、および5Gミリ波
- ▶ 広帯域通信システム、衛星通信
- ▶ DOCSIS 3.1および4.0 CMTS
- ▶ 電子戦
- ▶ 電子テストおよび計測システム

概要

AD9207は、12ビット、6GSPSのデュアルA/Dコンバータ（ADC）で、ADC入力に過負荷保護機能を備えた広帯域バッファを内蔵しています。このデバイスは、最大8GHzの広帯域信号をダイレクト・サンプリングするアプリケーションに対応できるように設計されています。低位相ノイズのオンチップ・フェーズ・ロック・ループ（PLL）クロック・シンセサイザを使用して、ADCのサンプリング・クロックを生成できるため、高周波数クロック信号のプリント回路基板（PCB）分配を簡素化できます。クロック出力バッファは、ADCのサンプリング・クロックを他のデバイスに送信するために使用できます。

デュアルADCコアは、 2×10^{-15} よりも優れたコード誤差率（CER）を示します。低遅延の高速検出および信号モニタリング機能は、自動ゲイン制御（AGC）に使用することができます。柔軟性の高い192タップのプログラマブル有限インパルス応答（PFIR）フィルタは、デジタル・フィルタリングやイコライゼーションで使用できます。プログラマブルなインテジャータおよびフラクショナルの遅延ブロックは、アナログ遅延のミスマッチに対する補償をサポートします。

デジタル信号処理（DSP）ブロックは、ADCペアごとに2つの粗調整デジタル・ダウンコンバータ（DDC）と4つの微調整DDCを備えています。各ADCはマルチバンド・アプリケーションに対応し、1つまたは2つのメインDDC段で動作します。また、4つの追加微調整DDC段により、ADCあたり最大4つの帯域をサポートできます。各DDCと関連する48ビット数値制御発振器（NCO）は、高速周波数ホッピング（FFH）に対応すると同時に、汎用の出力（GPIOx）ピンまたはシリアル・ポート・インターフェース（SPI）を介して選択された最大16の固有周波数の割り当てとの同期を維持します。

AD9207は、JESD204BまたはJESD204Cサブクラスの動作で構成する1つまたは2つのJT_xリンクに対応できます。これにより、各ADCで異なるデータパス構成が可能になります。マルチデバイス同期は、SYSREF±入力ピンを通してサポートされています。

詳細については、データシートの[外形寸法](#)のセクションと[オーダー・ガイド](#)のセクションを参照してください。

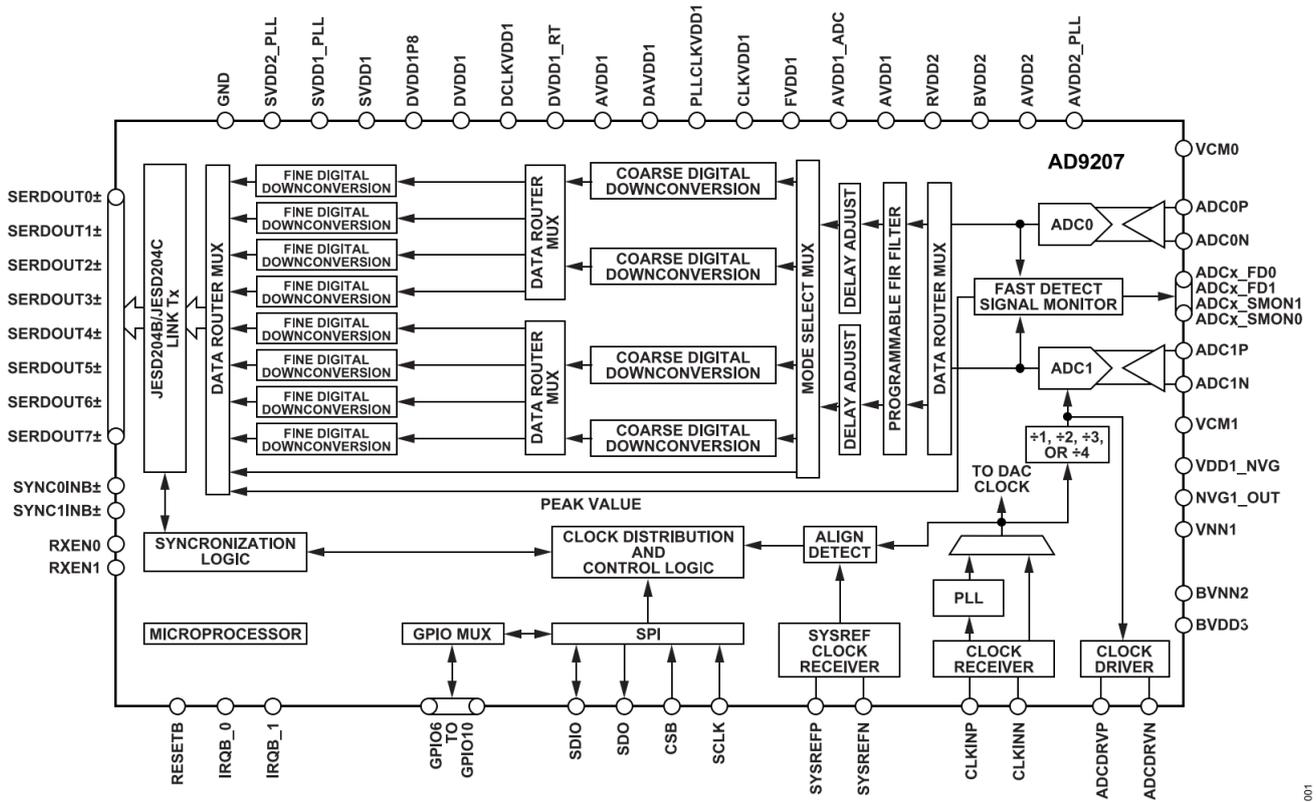
目次

特長.....	1	ADCのAC仕様.....	8
アプリケーション.....	1	タイミング仕様.....	10
概要.....	1	絶対最大定格.....	12
機能ブロック図.....	3	熱抵抗.....	12
仕様.....	4	ESDに関する注意.....	12
推奨動作条件.....	4	ピン配置およびピン機能の説明.....	13
消費電力.....	4	代表的な性能特性.....	17
ADCのDC仕様.....	5	ADC.....	17
クロック入出力.....	5	動作原理.....	24
クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様.....	6	外形寸法.....	25
ADCサンプル・レートの仕様.....	6	オーダー・ガイド.....	25
JESD204BおよびJESD204Cインターフェースの電氣的仕様と速度仕様.....	7	評価用ボード.....	25
CMOSピンの仕様.....	8		

改訂履歴

9/2021—Revision 0: Initial Version

機能ブロック図



001

仕様

推奨動作条件

デバイスの初期化の詳細については、ユーザ・ガイドUG-1578を参照してください。

表 1.

Parameter	Min	Typ	Max	Unit
OPERATING JUNCTION TEMPERATURE (T _J)	-40		+120	°C
ANALOG SUPPLY VOLTAGE RANGE				
AVDD2, BVDD2, and RVDD2	1.9	2.0	2.1	V
AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, and VDD1_NVG1	0.95	1.0	1.05	V
DIGITAL SUPPLY VOLTAGE RANGE				
DVDD1, DVDD1_RT, DCLKVDD1, and DAVDD1	0.95	1.0	1.05	V
DVDD1P8	1.7	1.8	2.1	V
SERIALIZER/DESERIALIZER (SERDES) SUPPLY VOLTAGE RANGE				
SVDD2_PLL	1.9	2.0	2.1	V
SVDD1 and SVDD1_PLL	0.95	1.0	1.05	V

消費電力

代表値は公称電源での値、最大値は電源の5%での値です。最小値と最大値はT_J = -40°C~+120°Cでの値、代表値は特に指定のない限り、T_A = 25°Cでの値です。

ADCのデータバスはDDCをバイパス（デシメーションなし）、ADC周波数（f_{ADC}） = 6GSPS、19C（L = 8、M = 2、F = 1、S = 2、K = 256、E = 1、N = 16、NP = 16）のJESD204Cモード。

JESD204BおよびJESD204Cのモード設定の詳細、およびこのデータシートで述べる設定の詳細な説明については、UG-1578ユーザ・ガイドを参照してください。

表 2.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
CURRENTS					
AVDD2 (I _{AVDD2})	2.0V電源		10	10.7	mA
BVDD2 (I _{BVDD2}) + RVDD2 (I _{RVDD2})	2.0V電源		291.4	350.1	mA
AVDD2_PLL (I _{AVDD2_PLL}) + SVDD2_PLL (I _{SVDD2_PLL})	2.0V電源		44.6	55.3	mA
Power Dissipation for 2 V Supplies	2.0V電源での総消費電力		0.7	0.9	W
PLLCLKVDD1 (I _{PLLCLKVDD1})	1.0V電源		8.4	14.5	mA
AVDD1 (I _{AVDD1}) + DCLKVDD1 (I _{DCLKVDD1})	1.0V電源		154.5	285.2	mA
AVDD1_ADC (I _{AVDD1_ADC})	1.0V電源		1726	2120	mA
CLKVDD1 (I _{CLKVDD1})	1.0V電源		88.7	148.6	mA
FVDD1 (I _{FVDD1})	1.0V電源		47.9	81.7	mA
VDD1_NVG (I _{VDD1_NVG})	1.0V電源		290.9	379.4	mA
DAVDD1 (I _{DAVDD1})	1.0V電源		67.6	192.3	mA
DVDD1 (I _{DVDD1})	1.0V電源		1102.7	1977.5	mA
DVDD1_RT (I _{DVDD1_RT})	1.0V電源		460.3	568.2	mA
SVDD1 (I _{SVDD1}) + SVDD1_PLL (I _{SVDD1_PLL})	1.0V電源		909.8	1323.2	mA
Power Dissipation for 1 V Supplies	1.0V電源での総消費電力		4.9	7.1	W
DVDD1P8 (I _{DVDD1P8})	1.8V電源		1.8	3.1	mA
Total Power Dissipation	2V電源と1V電源での総消費電力		5.6	7.8	W

仕様

ADCのDC仕様

公称電源を使用し、ADCセットアップは6GSPS、フル帯域幅モード（すべてのデジタル・ダウン・コンバータをバイパス）。特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ での値、代表値は $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

表 3. ADCのDC仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
ADC RESOLUTION		12			Bits
ADC ACCURACY			Guaranteed		
No Missing Codes			0.04		% FSR
Offset Error			0.03		% FSR
Offset Matching			1.5		% FSR
Gain Error			0.6		% FSR
Gain Matching			0.32		LSB
DNL			1.38		LSB
INL					
ADC ANALOG INPUTS	ADCxPおよびADCxN				
Differential Input Voltage			1.475		V p-p
Full-Scale Sine Wave Input Power	高速フーリエ変換（FFT）で0dBFSトーン・レベルになる入力パワー・レベル		3.9		dBm
Common-Mode Input Voltage (V_{CMIN})	ACカップリングされた値、ADCx入力に対する V_{CMx} 電圧に等しい値		1		V
Differential Input Resistance			100		Ω
Differential Input Capacitance			0.4		pF
Return Loss	<2.7GHz		-4.3		dB
	2.7GHz~3.8GHz		-3.6		dB
	3.8GHz~5.4GHz		-2.9		dB

クロック入出力

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源 $\pm 5\%$ での値。特に指定のない限り、代表値は、 $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

表 4. クロック入出力

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
CLOCK INPUTS		12			Bits
CLOCK INPUTS	CLKINPおよびCLKINN				
Differential Input Power	直接RFクロック			0	dBm
Minimum				6	dBm
Maximum				0.5	V
Common-Mode Voltage	ACカップリング			100	Ω
Differential Input Resistance				0.3	pF
Differential Input Capacitance					
CLOCK OUTPUTS (ADC CLOCK DRIVER)	ADCDRVPおよびADCDRVN				
Differential Output Voltage Magnitude ¹	1.5GHz			740	mV p-p
	2.0GHz			690	mV p-p
	3GHz			640	mV p-p
	6GHz			490	mV p-p
Differential Output Resistance				100	Ω
Common-Mode Voltage	ACカップリング			0.5	V

¹ 差動の100 Ω 負荷を使用し、PCBのパターンがパッケージのボールから2mm以内の位置で測定しています。

仕様

クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源 $\pm 5\%$ での値。特に指定のない限り、代表値は、 $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

表 5. クロック入力とPLLの仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
CLOCK INPUTS (CLKINP AND CLKINN) FREQUENCY RANGES		25		12000	MHz
PHASE FREQUENCY DETECTOR (PFD) INPUT FREQUENCY RANGES		25		750	MHz
FREQUENCY RANGES ACCORDING TO CLOCK PATH CONFIGURATION					
Direct Clock (PLL Off)		2900		12000	MHz
PLL Reference Clock (PLL On) ¹	M分周器を1分周に設定	25		750	MHz
	M分周器を2分周に設定	50		1500	MHz
	M分周器を3分周に設定	75		2250	MHz
	M分周器を4分周に設定	100		3000	MHz
PLL VOLTAGE CONTROLLED OSCILLATOR (VCO) FREQUENCY RANGES					
VCO Output	D分周器を1分周に設定	5.8		12	GHz
	D分周器を2分周に設定	2.9		6	GHz
	D分周器を3分周に設定	1.93333		4	GHz
	D分周器を4分周に設定	1.45		3	GHz

1 M分周器およびD分周器の詳細については、UG-1578ユーザー・ガイドを参照してください。

ADCサンプル・レートの仕様

公称電源。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ および公称電源 $\pm 5\%$ での値。特に指定のない限り代表値は $T_A = 25^{\circ}\text{C}$ での値。

表 6. ADCサンプル・レートの仕様

Parameter	Min	Typ	Max	Unit
ADC SAMPLE RATE ¹				
Minimum			1.45	GSPS
Maximum	6			GSPS
Aperture Jitter ²		65		fs rms

1 ADCコアの更新レートに関係しますが、データパスおよびJESD204モード設定には依存しません。

2 DACをディスエーブルし、クロック分周器 = 1、 $f_{\text{ADC}} = 6\text{GSPS}$ 、および入力周波数 ($f_{\text{IN}} = 5.55\text{GHz}$) に設定して、S/N比 (SNR) を低下させて測定。

仕様

JESD204BおよびJESD204Cインターフェースの電気的仕様と速度仕様

公称電源。特に指定のない限り、最小値と最大値は $T_j = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ および公称電源 $\pm 5\%$ での値、代表値は $T_A = 25^{\circ}\text{C}$ での値。

表 7. シリアル・インターフェース・レートの仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
JESD204B SERIAL INTERFACE RATE	シリアル・レーン・レート	1.0		15.5	Gbps
Unit Interval		64.5		1000.0	ps
JESD204C SERIAL INTERFACE RATE	シリアル・レーン・レート	6.0		24.75	Gbps
Unit Interval		40.4		166.67	ps

表 8. JESD204トランスミッタ (JT_x) の電気仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
JESD204 DATA OUTPUTS	SERDIN _{x±} (x = 0~7)	JESD204B and JESD204C			
Standards Compliance			675		mV p-p
Differential Output Voltage	最大強度	80	108	120	Ω
Differential Termination Impedance			18		ps
Rise Time, t_R	100 Ω 負荷へ 20%~80%		18		ps
Fall Time, t_F	100 Ω 負荷へ 20%~80%		18		ps
SYNCxINB _± INPUTS ¹	x = 0または1	LVDS			
Logic Compliance		0.24	0.7	1.9	V p-p
Differential Input Voltage			0.675	2	V
Input Common-Mode Voltage	DC カップリング		18		k Ω
RIN (Differential)			1		pF
Input Capacitance (Differential)					
SYNCxINB+ AND SYNCxINB-	CMOS入力オプション	Refer to the CMOS Pin Specifications section			

1 IEEE 1596.3規格の低電圧差動伝送 (LVDS) に対応。

表 9. SYSREFの電気仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
SYSREFP AND SYSREFN INPUTS		LVDS/LVPECL ¹			
Logic Compliance			0.7	1.9	V p-p
Differential Input Voltage			0.675	2	V
Input Common-Mode Voltage Range	DC カップリング		100		Ω
Input Reference, R_{IN} (Differential)			1		pF
Input Capacitance (Differential)					

1 LVPECLは低電圧ポジティブ/擬似エミッタ結合ロジックを表します。

仕様

CMOSピンの仕様

特に指定のない限り、最小値と最大値は、 $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、 $1.7\text{V} \leq \text{DVDD1P8} \leq 2.1\text{V}$ 、他の電源が公称値での値です。

表 10.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
INPUTS		SDIO、SCLK、CSB、RESETB、RXEN0、RXEN1、SYNC0INB±、SYNC1INB±、GPIOx				
Logic 1 Voltage	V_{IH}		$0.70 \times \text{DVDD1P8}$			V
Logic 0 Voltage	V_{IL}				$0.3 \times \text{DVDD1P8}$	V
Input Resistance			40			k Ω
OUTPUTS		SDIO、SDO、GPIOx、ADCx_FDX、ADCx_SMONx、4mAの負荷				
Logic 1 Voltage	V_{OH}		$\text{DVDD1P8} - 0.45$			V
Logic 0 Voltage	V_{OL}				0.45	V
INTERRUPT OUTPUTS		IRQB_0とIRQB_1、5k Ω のプルアップ抵抗をDVDD1P8に接続				
Logic 1 Voltage	V_{OH}		1.35			V
Logic 0 Voltage	V_{OL}				0.48	V

ADCのAC仕様

公称電源、 $T_A = 25^{\circ}\text{C}$ 。入力振幅 (A_{IN}) = -1dBFS、フル帯域幅 (デシメーションなし)。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ での値。仕様は2つのADCチャンネルの平均を示します。このテストの実施条件と詳細については、アプリケーション・ノートAN-835、Understanding High Speed ADC Testing and Evaluationを参照してください。

表 11.

Parameter	Min	Typ	Max	Unit
NOISE DENSITY ¹		-153		dBFS/Hz
NOISE FIGURE ²		25.3		dB
CODE ERROR RATE		1.6×10^{-20}		Errors
SIGNAL-TO-NOISE RATIO				
$f_{IN} = 450 \text{ MHz}$		56.7		dBFS
$f_{IN} = 900 \text{ MHz}$		56.4		dBFS
$f_{IN} = 1800 \text{ MHz}$		55.3		dBFS
$f_{IN} = 2700 \text{ MHz}$	47.7	53.4		dBFS
$f_{IN} = 3600 \text{ MHz}$		52.8		dBFS
$f_{IN} = 4500 \text{ MHz}$		51.5		dBFS
$f_{IN} = 5400 \text{ MHz}$		51.8		dBFS
$f_{IN} = 6300 \text{ MHz}$		50.5		dBFS
$f_{IN} = 7200 \text{ MHz}$		49.8		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION (SINAD)				
$f_{IN} = 450 \text{ MHz}$		56.5		dBFS
$f_{IN} = 900 \text{ MHz}$		56.3		dBFS
$f_{IN} = 1800 \text{ MHz}$		54.8		dBFS
$f_{IN} = 2700 \text{ MHz}$	48.3	53.0		dBFS
$f_{IN} = 3600 \text{ MHz}$		51.6		dBFS
$f_{IN} = 4500 \text{ MHz}$		48.7		dBFS
$f_{IN} = 5400 \text{ MHz}$		49.1		dBFS
$f_{IN} = 6300 \text{ MHz}$		46.6		dBFS
$f_{IN} = 7200 \text{ MHz}$		43.7		dBFS

仕様

表 11.

Parameter	Min	Typ	Max	Unit
EFFECTIVE NUMBER OF BITS (ENOB)				
$f_{IN} = 450$ MHz		9.1		Bits
$f_{IN} = 900$ MHz		9.1		Bits
$f_{IN} = 1800$ MHz		8.8		Bits
$f_{IN} = 2700$ MHz	7.7	8.5		Bits
$f_{IN} = 3600$ MHz		8.3		Bits
$f_{IN} = 4500$ MHz		7.8		Bits
$f_{IN} = 5400$ MHz		7.9		Bits
$f_{IN} = 6300$ MHz		7.4		Bits
$f_{IN} = 7200$ MHz		7.0		Bits
SECOND-ORDER HARMONIC DISTORTION (HD2)				
$f_{IN} = 450$ MHz		-70		dBFS
$f_{IN} = 900$ MHz		-71		dBFS
$f_{IN} = 1800$ MHz		-73		dBFS
$f_{IN} = 2700$ MHz		-70	-56	dBFS
$f_{IN} = 3600$ MHz		-58		dBFS
$f_{IN} = 4500$ MHz		-52		dBFS
$f_{IN} = 5400$ MHz		-53		dBFS
$f_{IN} = 6300$ MHz		-49		dBFS
$f_{IN} = 7200$ MHz		-45		dBFS
THIRD-ORDER HARMONIC DISTORTION (HD3)				
$f_{IN} = 450$ MHz		-87		dBFS
$f_{IN} = 900$ MHz		-77		dBFS
$f_{IN} = 1800$ MHz		-66		dBFS
$f_{IN} = 2700$ MHz		-68	-61	dBFS
$f_{IN} = 3600$ MHz		-73		dBFS
$f_{IN} = 4500$ MHz		-66		dBFS
$f_{IN} = 5400$ MHz		-62		dBFS
$f_{IN} = 6300$ MHz		-62		dBFS
$f_{IN} = 7200$ MHz		-60		dBFS
WORST OTHER, EXCLUDING HD2 OR HD3 HARMONIC				
$f_{IN} = 450$ MHz		-92		dBFS
$f_{IN} = 900$ MHz		-93		dBFS
$f_{IN} = 1800$ MHz		-89		dBFS
$f_{IN} = 2700$ MHz		-84	-72	dBFS
$f_{IN} = 3600$ MHz		-82		dBFS
$f_{IN} = 4500$ MHz		-81		dBFS
$f_{IN} = 5400$ MHz		-78		dBFS
$f_{IN} = 6300$ MHz		-78		dBFS
$f_{IN} = 7200$ MHz		-75		dBFS
DIGITAL COUPLING SPUR ($f_{IN} \pm f_S/4$)				
$f_{IN} = 450$ MHz		-95		dBFS
$f_{IN} = 900$ MHz		-87		dBFS
$f_{IN} = 1800$ MHz		-80		dBFS
$f_{IN} = 2700$ MHz		-76	-72	dBFS
$f_{IN} = 3600$ MHz		-75		dBFS
$f_{IN} = 4500$ MHz		-73		dBFS
$f_{IN} = 5400$ MHz		-71		dBFS

仕様

表 11.

Parameter	Min	Typ	Max	Unit
$f_{IN} = 6300$ MHz		-69		dBFS
$f_{IN} = 7200$ MHz		-68		dBFS
TWO-TONE IMD3, INPUT AMPLITUDE 1 (A_{IN1}) = INPUT AMPLITUDE 2 (A_{IN2}) = -7 dBFS Input Frequency 1 (f_{IN1}) = 1775 MHz and Input Frequency 2 (f_{IN2}) = 1825 MHz		-84		dBFS
$f_{IN1} = 2675$ MHz, $f_{IN2} = 2725$ MHz		-86		dBFS
$f_{IN1} = 3575$ MHz, $f_{IN2} = 3625$ MHz		-75		dBFS
$f_{IN1} = 5375$ MHz, $f_{IN2} = 5425$ MHz		-67		dBFS
ANALOG BANDWIDTH ³		8		GHz

- 1 ノイズ密度は、低アナログ振幅、またはタイミング・ジッタがノイズ・フロアを低下させない周波数で測定しています。
- 2 ノイズ指数は、1.475V p-pの入カスパンとRIN = 100Ωを使用した4.5dBmの公称フルスケール入力電力に基づいています。
- 3 アナログ入力帯域幅は、評価用ボードで測定した周波数応答からADCを取り除いた除去モデルに基づいて、フルスケール入力周波数応答を-3dB ロールオフした動作帯域幅です。この帯域幅を実現するには、この上限帯域幅まで確保できるよう最適化されたマッチング・ネットワークが必要です。

タイミング仕様

特に指定のない限り、最小値と最大値はT_J = -40°C ~ +120°C、公称電源±5%での値。

表 12.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
SPI WRITE OPERATION						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		33			MHz
SCLK Clock High	t_{PWH}	SCLK = 33MHz	8			ns
SCLK Clock Low	t_{PWL}	SCLK = 33MHz	8			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_S		4			ns
SCLK to CSB Hold Time	t_H		4			ps
SPI READ OPERATION						
LSB First Data Format						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		33			MHz
SCLK Clock High	t_{PWH}		8			ns
SCLK Clock Low	t_{PWL}		8			ns
MSB First Data Format						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		15			MHz
SCLK Clock High	t_{PWH}		30			ns
SCLK Clock Low	t_{PWL}		30			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_S		4			ns
SCLK to SDIO Data Valid Time	t_{DV}		20			ns
SCLK to SDO Data Valid Time	t_{DV_SDO}		20			ns
CSB to SDIO Output Valid to High-Z	t_Z		20			ns
CSB to SDO Output Valid to High-Z	t_{Z_SDO}		20			ns
RESETB		デバイスのリセットをトリガするまでの最小 ホールド・タイム	40			ns

仕様

タイミング図

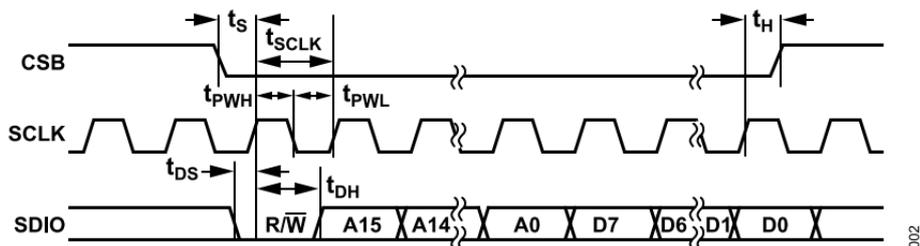


図 1. 3線での書き込み動作のタイミング図

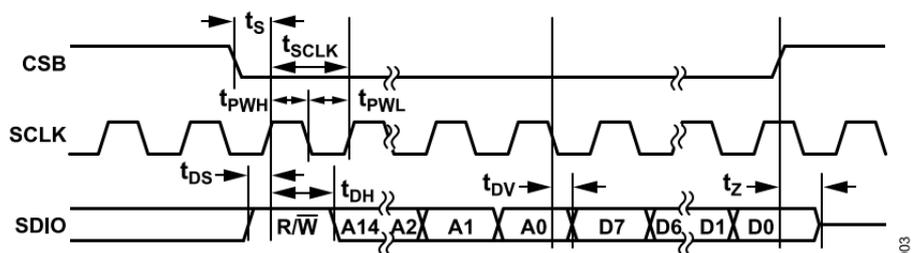


図 2. 3線での読み出し動作のタイミング図

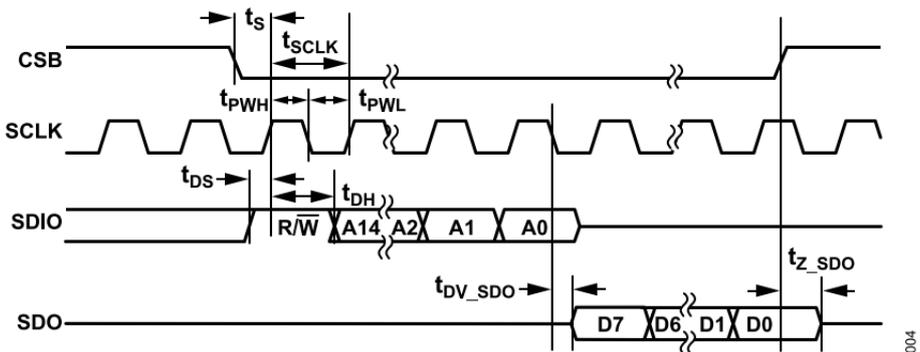


図 3. 4線での読み出し動作のタイミング図

絶対最大定格

表 13. 絶対最大定格

Parameter	Rating
ISET, TDP, TDN	-0.3 V to AVDD2 + 0.3 V
VCO_COARSE, VCO_FINE, VCO_VCM, and VCO_VREG	-0.3 V to AVDD2_PLL + 0.3 V
Rx Input Power (ADC0P, ADC0N, ADC1P, and ADC1N) ¹	22 dBm
VCM0 and VCM1	-0.3 V to RVDD2 + 0.3 V
CLKINP and CLKINN	-0.2 V to PLLCLKVDD1 + 0.2 V
ADCDRVN and ADCDRV P	-0.2 V to CLKVDD1 + 0.2 V
SERDOUTx±	-0.2 V to SVDD1 + 0.2 V
SYSREFP, SYSREFN, and SYNCxINB±	-0.2 V to +2.5 V
RESETB, RXENx, IRQB_x, CSB, SCLK, SDIO, SDO, TMU_REFN, TMU_REFP, ADCx_SMON0, ADCx_SMON1, ADCx_FD0, ADCx_FD1, and GPIOx	-0.3 V to DVDD1P8 + 0.3 V
AVDD2, AVDD2_PLL, BVDD2, RVDD2, SVDD2_PLL, and DVDD1P8	-0.3 V to +2.2 V
PLLCLKVDD1, AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, DAVDD1, DVDD1_RT, DCLKVDD1, SVDD1, and SVDD1_PLL	-0.2 V to +1.2 V
VNN1	-1.1 V to +0.2 V
Temperature	
Junction (T _J) ²	120°C
Storage Range	-40°C to +150°C

1 f_{IN} = 4.7GHz のパルスと連続トーンを使用し、最大許容ジャンクション温度T_Jで1000時間連続して試験を実施。詳細については、UG-1578 ユーザ・ガイドを参照してください。

2 f_{IN} = 4.7GHz のパルスと連続トーンを使用し、最大許容ジャンクション温度T_Jで1000時間連続して試験を実施。詳細については、UG-1578 ユーザ・ガイドを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。温度管理手法を適切に用いて、T_J の最大値が表13に示す制限値を超えないようにすることを推奨します。

θ_{JA} は、1立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲空気間の熱抵抗です。

θ_{JC_TOP} はジャンクションとケース間の熱抵抗値、
θ_{JB} はジャンクションと基板間の熱抵抗値です。

表 14. シミュレーションによる熱抵抗¹

PCB Type	Airflow Velocity (m/sec)			Unit	
	0.0	θ _{JA}	θ _{JC_TOP}		θ _{JB}
JEDEC 2s2p Board	0.0	14.9	0.7	1.8	°C/W

1 仕様規定されている熱抵抗値は、JEDEC仕様のJESD51-12に基づき、デバイスの消費電力を9Wとしてシミュレーションしています。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

AD9207
TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
A	GND	AVDD2	GND	GND	NC	NC	GND	GND	ADC0N	ADC0P	GND	SYNC1INB-	SYNC0INB-	SERDOUT0-	SERDOUT0+	SVDD1	GND	GND
B	DNC	GND	GND	GND	GND	GND	DNC	VCM0	GND	GND	RVDD2	SYNC1INB+	SYNC0INB+	GND	GND	SVDD1	SERDOUT7-	SERDOUT7+
C	DNC	GND	ADCDRVN	ADCDRVP	GND	GND	GND	GND	BVNN2	BVDD3	GND	RESETB	DVDD1P8	SERDOUT1-	SERDOUT1+	SVDD1	GND	GND
D	GND	AVDD1	AVDD1	AVDD1	GND	FVDD1	BVDD2	VNN1	GND	VDD1_NVG	ADC0_SMON1	ADC0_SMON0	RXEN1	GND	GND	SVDD1	SERDOUT6-	SERDOUT6+
E	GND	AVDD2	AVDD1	GND	DAVDD1	GND	BVDD2	VNN1	NVG1_OUT	VNN1	ADC0_FD1	ADC0_FD0	RXEN0	SERDOUT2-	SERDOUT2+	SVDD1	GND	GND
F	DNC	GND	AVDD1	GND	DAVDD1	GND	GND	GND	DVDD1P8	DVDD1	ADC1_SMON1	ADC1_SMON0	SDIO	GND	GND	SVDD1	SERDOUT5-	SERDOUT5+
G	DNC	GND	GND	GND	GND	CLKVDD1	AVDD1_ADC	AVDD1_ADC	TMU_REFN	TMU_REFP	ADC1_FD1	ADC1_FD0	CSB	SERDOUT3-	SERDOUT3+	SVDD1	GND	GND
H	GND	AVDD2	ISET	DNC	GND	GND	GND	GND	DVDD1	GND	DVDD1	GND	SCLK	GND	GND	SVDD1	SERDOUT4-	SERDOUT4+
J	CLKINP	GND	VCO_FINE	VCO_COARSE	PLLCLKVDD1	DVDD1_RT	DVDD1_RT	GND	DVDD1	GND	DVDD1	GND	SDO	GND	GND	SVDD1_PLL	GND	GND
K	CLKINN	GND	VCO_VREG	VCO_VCM	DCLKVDD1	DVDD1_RT	DVDD1_RT	GND	DVDD1	GND	DVDD1	GND	GPIO9	GND	SVDD2_PLL	SVDD1_PLL	GND	GND
L	GND	AVDD2	AVDD2_PLL	DNC	GND	GND	GND	GND	DVDD1	GND	DVDD1	GND	GPIO8	GND	DNC	DNC	DNC	DNC
M	DNC	GND	GND	GND	GND	CLKVDD1	AVDD1_ADC	AVDD1_ADC	DVDD1	GND	DNC	DNC	GPIO7	DNC	DNC	SVDD1	GND	GND
N	DNC	GND	AVDD1	GND	DAVDD1	GND	GND	GND	TDP	TDN	DNC	DNC	GPIO6	GND	GND	SVDD1	DNC	DNC
P	GND	AVDD2	AVDD1	GND	DAVDD1	GND	BVDD2	VNN1	NVG1_OUT	VNN1	DNC	IRQB_0	DNC	DNC	DNC	SVDD1	GND	GND
R	GND	AVDD1	AVDD1	AVDD1	GND	FVDD1	BVDD2	VNN1	GND	VDD1_NVG	DNC	IRQB_1	DNC	GND	GND	SVDD1	DNC	DNC
T	DNC	GND	SYSREFN	SYSREFP	GND	GND	GND	GND	BVNN2	BVDD3	GND	GPIO10	DVDD1P8	DNC	DNC	SVDD1	GND	GND
U	DNC	GND	GND	GND	GND	GND	DNC	VCM1	GND	GND	RVDD2	DNC	DNC	GND	GND	SVDD1	DNC	DNC
V	GND	AVDD2	GND	GND	NC	NC	GND	GND	ADC1N	ADC1P	GND	DNC	DNC	DNC	DNC	SVDD1	GND	GND



図 4. 324ボールのピン配置

ピン配置およびピン機能の説明

表 15. ピン機能の説明

ピン番号	記号	タイプ	説明
POWER SUPPLIES			
A2, E2, H2, L2, P2, V2	AVDD2	Input	ADCのアナログ2.0V電源入力。
L3	AVDD2_PLL	Input	クロックPLLリニア・ドロップアウト・レギュレータ (LDO) のアナログ2.0V電源入力。
D7, E7, P7, R7	BVDD2	Input	ADCバッファのアナログ2.0V電源入力。
B11, U11	RVDD2	Input	ADCリファレンスのアナログ2.0V電源入力。
J5	PLLCLKVDD1	Input	クロックPLLのアナログ1.0V電源入力。
D2 to D4, E3, F3, N3, P3, R2 to R4	AVDD1	Input	ADCクロックのアナログ1.0V電源入力。
G7, G8, M7, M8	AVDD1_ADC	Input	ADCのアナログ1.0V電源入力。
G6, M6	CLKVDD1	Input	ADCクロックのアナログ1.0V電源入力。
D6, R6	FVDD1	Input	ADCリファレンスのアナログ1.0V電源入力。
D10, R10	VDD1_NVG	Input	-1V出力生成用の負電圧発生器 (NVG) のアナログ1.0V電源入力。
E9, P9	NVG1_OUT	Output	NVGからのアナログ-1V電源出力。NVG1_OUTは、0.1μFのコンデンサを使用してGNDからデカップリングします。
D8, E8, E10, P8, P10, R8	VNN1	Input	ADCバッファおよびリファレンスのアナログ-1V電源入力。これらのピンは、隣接するNVG1_OUTピンに接続します。
C9, T9,	BVNN2	Output	ADCバッファのアナログ-2V電源出力。BVNN2は、0.1μFのコンデンサを使用してGNDからデカップリングします。
C10, T10	BVDD3	Output	ADCバッファのアナログ3V電源出力。BVDD3は、0.1μFのコンデンサを使用してGNDからデカップリングします。
E5, F5, N5, P5	DAVDD1	Input	デジタル・アナログ1.0V電源入力。
F10, H9, H11, J9, J11, K9, K11, L9, L11, M9	DVDD1	Input	デジタル1.0V電源入力。
J6, J7, K6, K7	DVDD1_RT	Input	リタイマー・ブロックのデジタル1.0V電源入力。
K5	DCLKVDD1	Input	デジタル1.0Vクロック生成用電源。
A16, B16, C16, D16, E16, F16, G16, H16, M16, N16, P16, R16, T16, U16, V16	SVDD1	Input	SERDESシリアライザ/デシリアライザのデジタル1.0V電源入力。
K15	SVDD2_PLL	Input	SERDES LDOのデジタル2.0V電源入力。
J16, K16	SVDD1_PLL	Input	SERDESクロック生成およびPLLのデジタル1.0V電源入力。
C13, F9, T13	DVDD1P8	Input	デジタル・インターフェースおよび温度モニタリング・ユニット (TMU) の電源入力 (公称1.8V)。
A1, A3, A4, A7, A8, A11, A17, A18, B2 to B6, B9, B10, B14, B15, C2, C5 to C8, C11, C17, C18, D1, D5, D9, D14, D15, E1, E4, E6, E17, E18, F2, F4, F6 to F8, F14, F15, G2 to G5, G17, G18, H1, H5 to H8, H10, H12, H14, H15, J2, J8, J10, J12, J14, J15, J17, J18, K2, K8, K10, K12, K14, K17, K18, L1, L5 to L8, L10, L12, L14, M2 to M5, M10, M17, M18, N2, N4, N6 to N8, N14, N15, P1, P4, P6, P17, P18, R1, R5, R9, R14, R15, T2, T5 to T8, T11, T17, T18, U2 to U6, U9, U10, U14, U15, V1, V3, V4, V7, V8, V11, V17, V18	GND	Input/output	グラウンド・リファレンス。
ANALOG OUTPUTS			
H3	ISET	Output	バイアス電流設定ピン。5kΩ抵抗を使用して、このピンをGNDに接続します。
C4, C3	ADCDRVP, ADCDRVN	Output	ADCクロック出力オプション。これらのピンは、デフォルトでディスエーブルされています。
B8, U8	VCM0, VCM1	Output	ADCバッファのコモンモード出力電圧。このピンは、0.1μFのコンデンサを使用してGNDからデカップリングします。
K3	VCO_VREG	Output	PLL LDOレギュレータ出力。このピンは、2.2μFのコンデンサを使用してGNDからデカップリングします。
G9	TMU_REFN	Output	TMU ADCの負のリファレンス。このピンはGNDに接続します。
G10	TMU_REFP	Output	TMU ADCの正のリファレンス。このピンはDVDD1P8に接続します。

ピン配置およびピン機能の説明

表 15. ピン機能の説明

ピン番号	記号	タイプ	説明
ANALOG INPUTS			
A10, A9	ADC0P, ADC0N	Input	ADC0差動入力、内部で100Ωの差動抵抗を使用。
V10, V9	ADC1P, ADC1N	Input	ADC1差動入力、内部で100Ωの差動抵抗を使用。
J3	VCO_FINE	Input	オンチップ・クロック逡倍器とPLL精密ループ・フィルタの入力。
J4	VCO_COARSE	Input	オンチップDACクロック逡倍器とPLL粗ループ・フィルタの入力。
K4	VCO_VCM	Input	オンチップ・クロック逡倍器とVCOコモンモードの入力。
N9, N10	TDP, TDN	Input	温度ダイオードのアノードとカソード。この機能には対応していません。TDPとTDNはGNDに接続します。
J1, K1	CLKINP, CLKINN	Input	公称100Ωの終端を使用した差動クロック入力。自己バイアス入力にはACカップリングする必要があります。オンチップ・クロック逡倍器PLLがイネーブルされている場合は、この入力にはリファレンス・クロック入力になります。PLLがディスエーブルされている場合は、RFクロックとDAC出力サンプリング・レートを等しくする必要があります。
CMOS INPUTS AND OUTPUTS¹			
G13	CSB	Input	シリアル・ポート・イネーブル入力。アクティブ・ロー。
H13	SCLK	Input	シリアル・ポート・クロック入力。
F13	SDIO	Input/output	シリアル・ポートの双方向データ入出力。
J13	SDO	Output	シリアル・ポート・データ出力。
C12	RESETB	Input	アクティブ・ローのリセット入力。RESETBは、デジタル・ロジックとSPIレジスタを既知のデフォルト状態にセットします。RESETBは、デバイス初期化プロセスの最初のステップでリセット信号を発信できるデジタルICに接続する必要があります。
E13, D13	RXEN0, RXEN1	Input	アクティブ・ハイのADCおよび受信データパス・イネーブル入力。RXENxはSPIでも設定可能です。
D12, D11	ADC0_SMON0, ADC0_SMON1	Output	ADC0信号モニタリング出力（デフォルト）。使用しない場合は接続しないでください。
F12, F11	ADC1_SMON0, ADC1_SMON1	Output	ADC1信号モニタリング出力（デフォルト）。使用しない場合は接続しないでください。
E12, E11	ADC0_FD0, ADC0_FD1	Output	ADC0高速検出出力（デフォルト）。使用しない場合は接続しないでください。
G12, G11	ADC1_FD0, ADC1_FD1	Output	ADC1高速検出出力（デフォルト）。使用しない場合は接続しないでください。
P12, R12	IRQB_0, IRQB_1	Outputs	割り込み要求0および割り込み要求1出力。これらのピンはオープン・ドレインのアクティブ・ロー出力です（DVDD1P8基準のCMOSレベル）。不使用時にピンがフロート状態とならないよう、DVDD1P8には10kΩのプルアップ抵抗を接続してください。
K13, L13, M13, N13, T12	GPIO6 to GPIO10	Input/output	汎用入出力ピン。これらのピンはRxデータパスとADCに関連する補助機能を制御します。
JESD204B or JESD204C COMPATIBLE SERDES DATA LANES AND CONTROL SIGNALS²			
A15, A14	SERDOUT0+, SERDOUT0-	Output	JTxレーン0出力、データの+/-。
C15, C14	SERDOUT1+, SERDOUT1-	Output	JTxレーン1出力、データの+/-。
E15, E14	SERDOUT2+, SERDOUT2-	Output	JTxレーン2出力、データの+/-。
G15, G14	SERDOUT3+, SERDOUT3-	Output	JTxレーン3出力、データの+/-。
H18, H17	SERDOUT4+, SERDOUT4-	Output	JTxレーン4出力、データの+/-。
F18, F17	SERDOUT5+, SERDOUT5-	Output	JTxレーン5出力、データの+/-。
D18, D17	SERDOUT6+, SERDOUT6-	Output	JTxレーン6出力、データの+/-。

ピン配置およびピン機能の説明

表 15. ピン機能の説明

ピン番号	記号	タイプ	説明
B18, B17	SERDOUT7+, SERDOUT7-	Output	JTxレーン7出力、データの+/-。
B13, A13	SYNC0INB+, SYNC0INB-	Input	JESD204BインターフェースのJTxリンク0同期入力。これらのピンはLVDSまたはCMOSに設定できます。また、LVDS動作では内部100Ω入力インピーダンスを選択することもできます。
B12, A12	SYNC1INB+, SYNC1INB-	Input	JESD204BインターフェースのJTxリンク1同期入力、またはGPIOxピンを介した受信FFHのCMOS入力。これらのピンはLVDSまたはCMOSに設定できます。LVDS動作では内部100Ω入力インピーダンスを選択することもできます。
T4, T3	SYSREFP, SYSREFN	Input	アクティブ・ハイのJESD204システム・リファレンス入力。これらのピンは、差動電流モード・ロジック (CML)、PECL、内部100Ω終端を使用したLVDS、シングルエンドのCMOSのいずれかに設定できます。
NO CONNECTS AND DO NOT CONNECTS A5, A6, V5, V6	NC		接続なし。これらのピンは無接続/接続のどちらにしても構いません。
B1, B7, C1, F1, G1, H4, L4, L15 to L18, M1, M11, M12, M14, M15, N1, N11, N12, N17, N18, P11, P13 to P15, R11, R13, R17, R18, T1, T14, T15, U1, U7, U12, U13, U17, U18, V12 to V15	DNC	DNC	接続なし。これらのピンは無接続のままにしておく必要があります。

1 CMOS入力には、プルアップ抵抗もプルダウン抵抗も内蔵されていません。

2 SERDOUTx±には、100Ωの内部終端抵抗が内蔵されています。

代表的な性能特性

ADC

特に指定のない限り、公称電源、サンプリング・レート=6GSPS、ダイレクトRFクロック使用によるDACクロック周波数 (f_{CLK}) = 12GHz、フル帯域幅モードによる動作 (デシメーションなし)、 $T_J=80^\circ C$ ($T_A=25^\circ C$)、5点平均による128k FFTサンプル、 $A_{IN}=-1dBFS$ 。

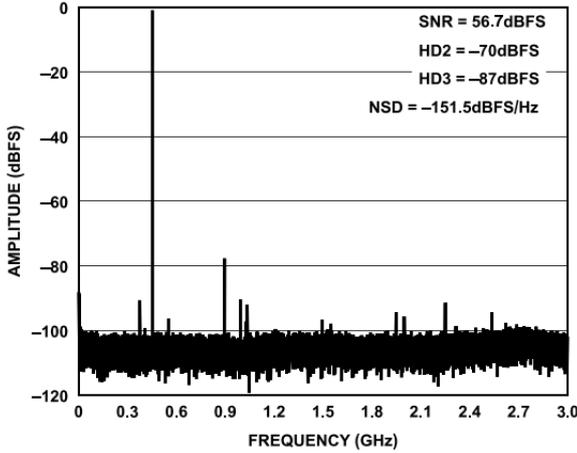


図 5. $f_{IN} = 450MHz$ でのシングル・トーンFFT

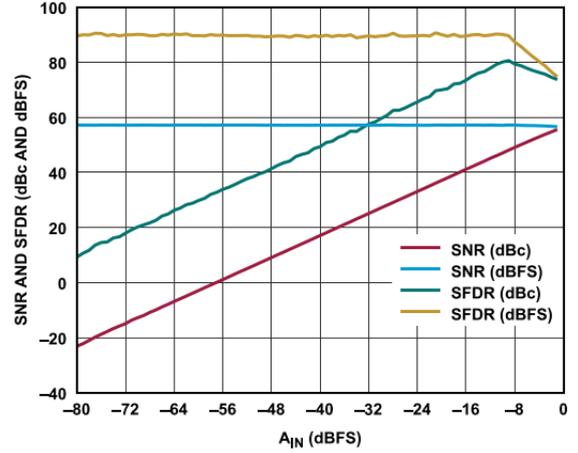


図 8. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 450MHz$

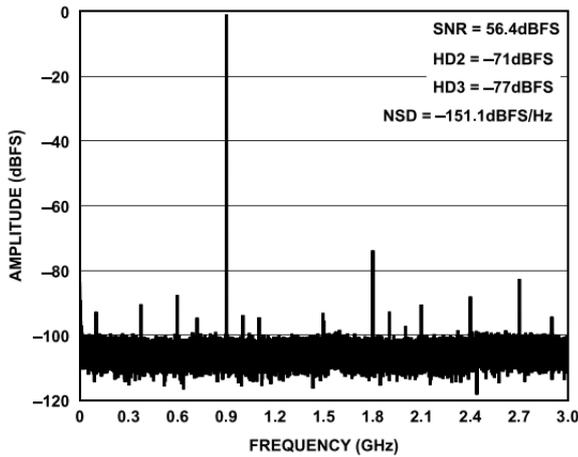


図 6. $f_{IN} = 900MHz$ でのシングル・トーンFFT

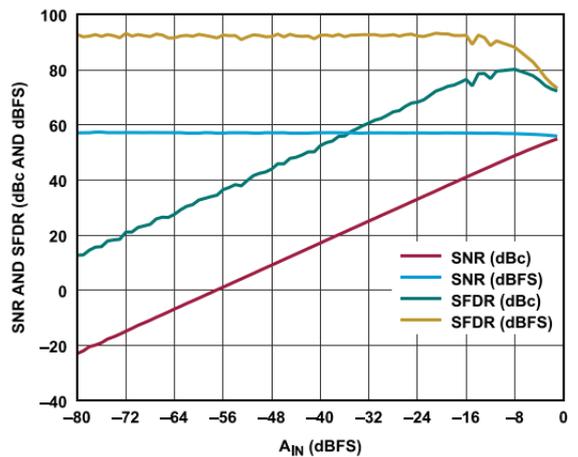


図 9. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 900MHz$

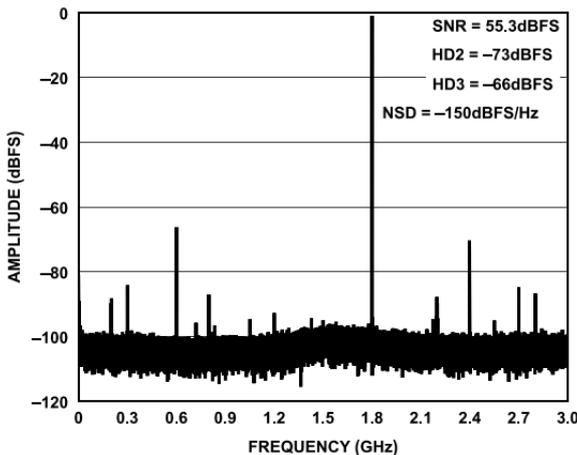


図 7. $f_{IN} = 1.8GHz$ でのシングル・トーンFFT

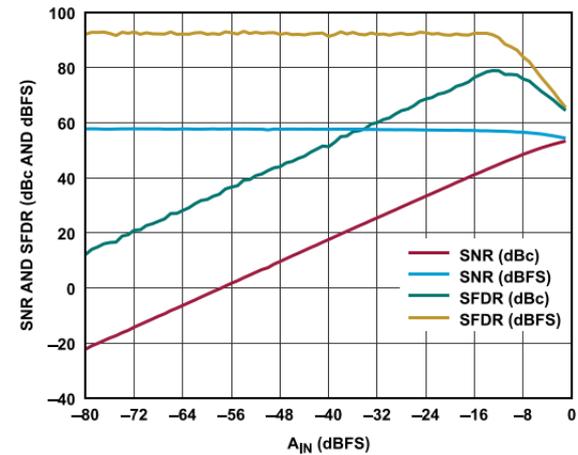


図 10. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 1.8GHz$

代表的な性能特性

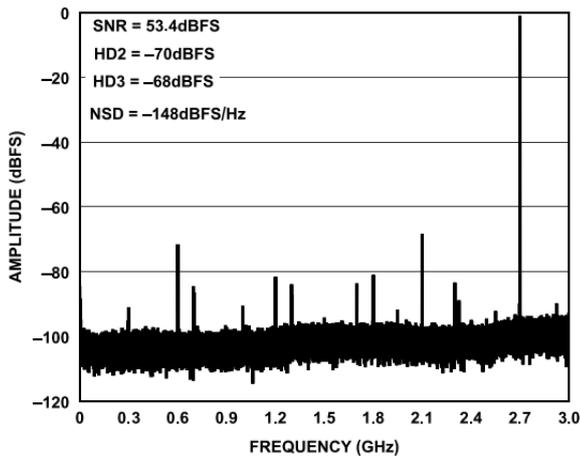


図 11. $f_{IN} = 2.7\text{GHz}$ でのシングル・トーンFFT

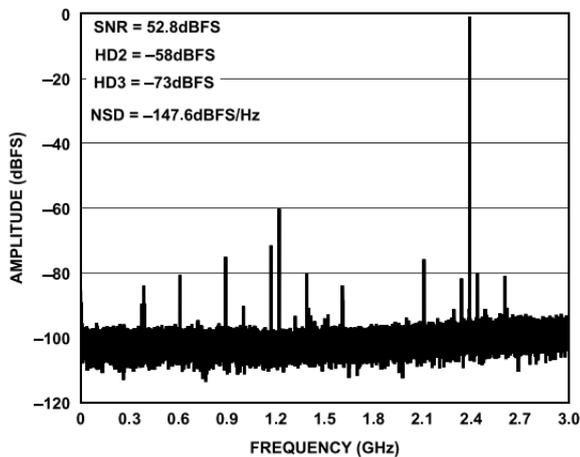


図 12. $f_{IN} = 3.6\text{GHz}$ でのシングル・トーンFFT

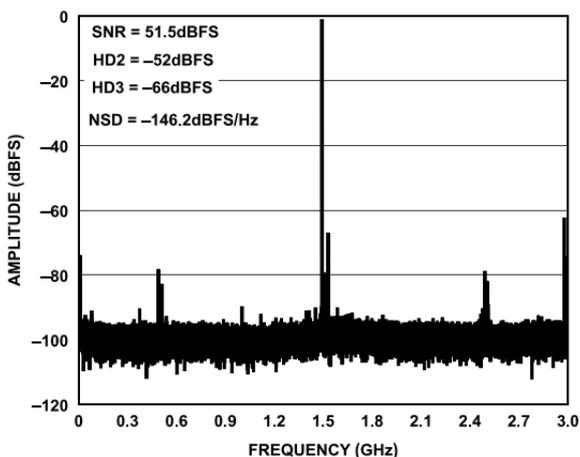


図 13. $f_{IN} = 4.5\text{GHz}$ でのシングル・トーンFFT

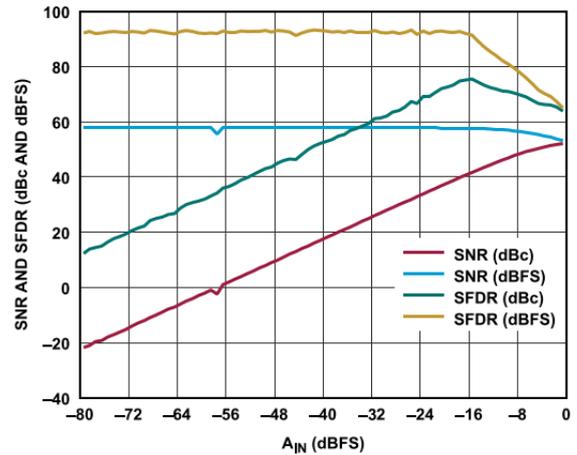


図 14. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 2.7\text{GHz}$

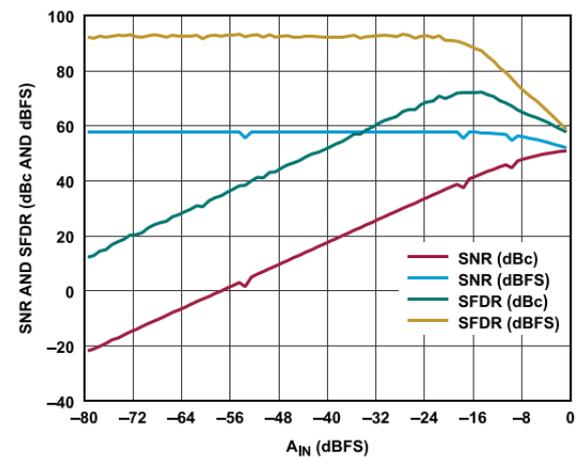


図 15. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 3.6\text{GHz}$

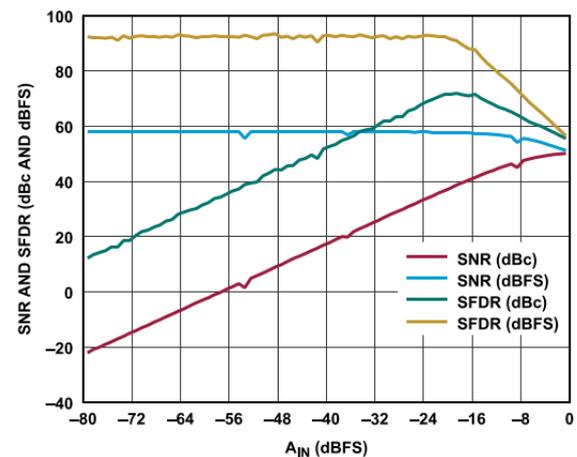


図 16. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 4.5\text{GHz}$

代表的な性能特性

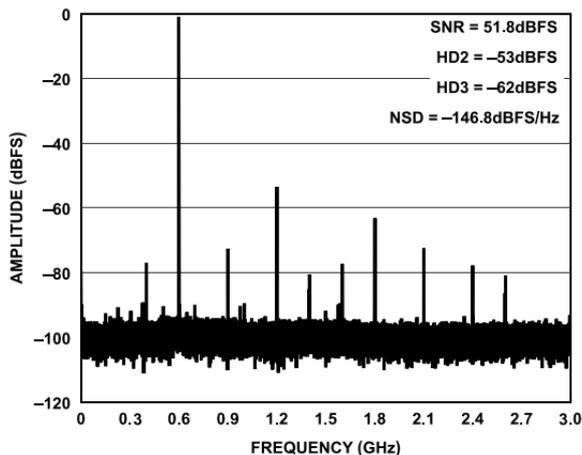


図17. $f_{IN} = 5.4\text{GHz}$ でのシングル・トーンFFT

248

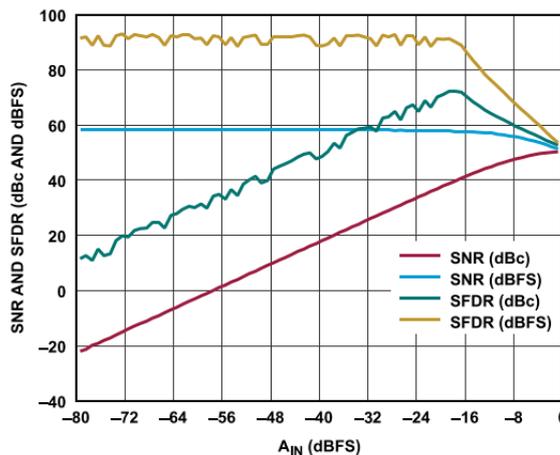


図20. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 5.4\text{GHz}$

251

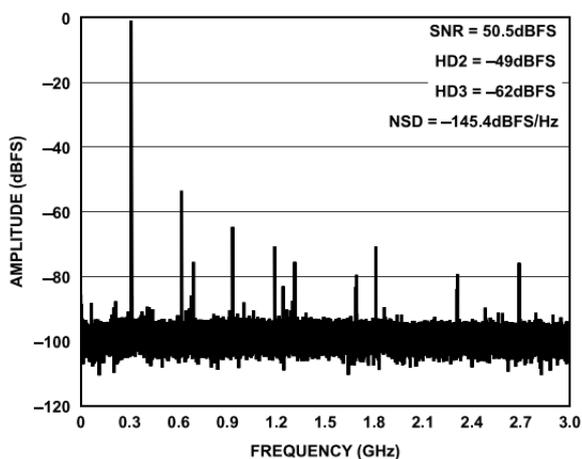


図18. $f_{IN} = 6.3\text{GHz}$ でのシングル・トーンFFT

249

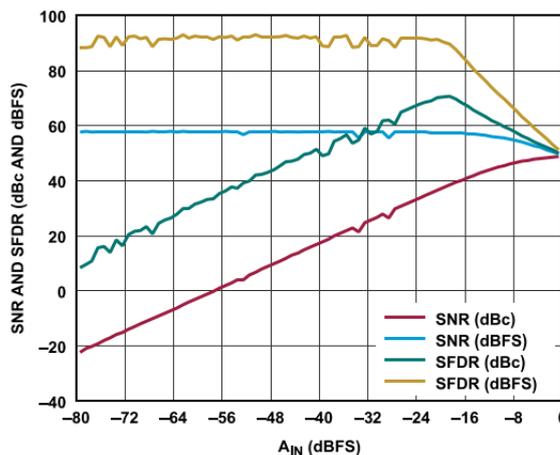


図21. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 6.3\text{GHz}$

252

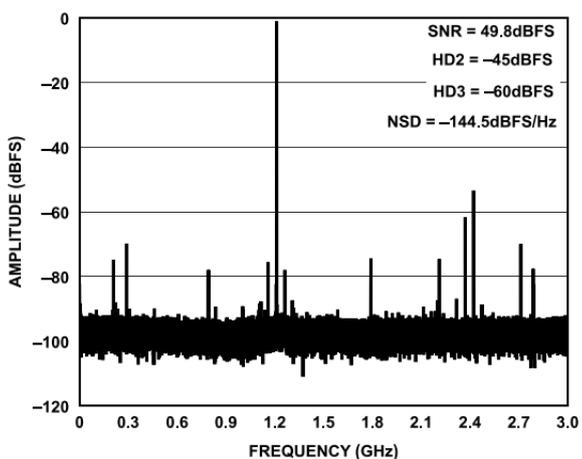


図19. $f_{IN} = 7.2\text{GHz}$ でのシングル・トーンFFT

250

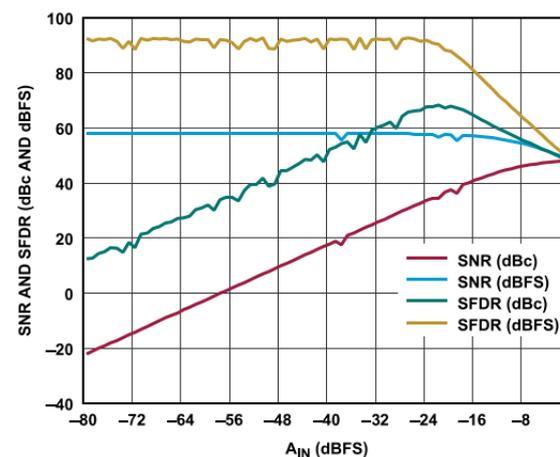


図22. シングル・トーンSNRおよびSFDRと A_{IN} の関係、 $f_{IN} = 7.2\text{GHz}$

253

代表的な性能特性

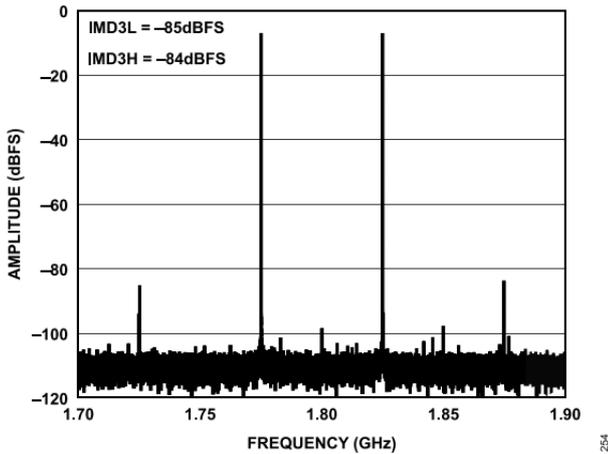


図23. ツー・トーンFFT、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ (IMD3Lは3次相互変調歪み積の低い周波数成分、IMD3Hは高い周波数成分 (単位: dBFS) であることに注意してください)

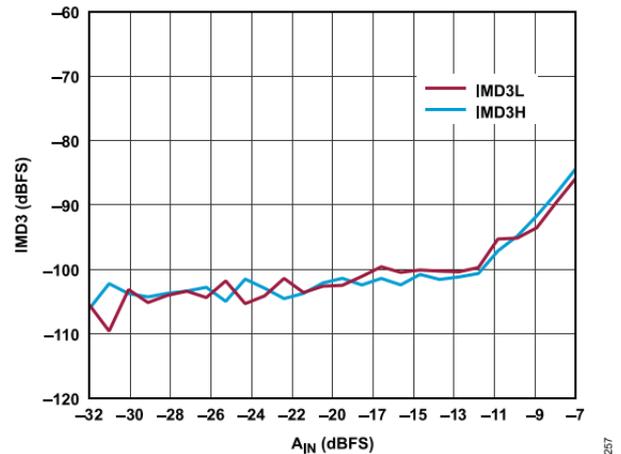


図26. ツー・トーンIMD3と A_{IN} の関係、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$

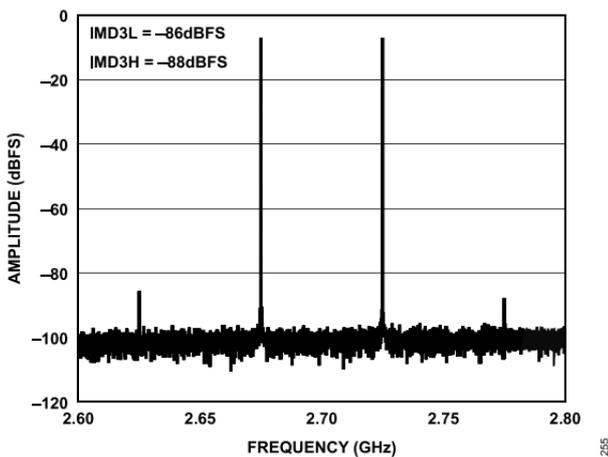


図24. ツー・トーンFFT、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

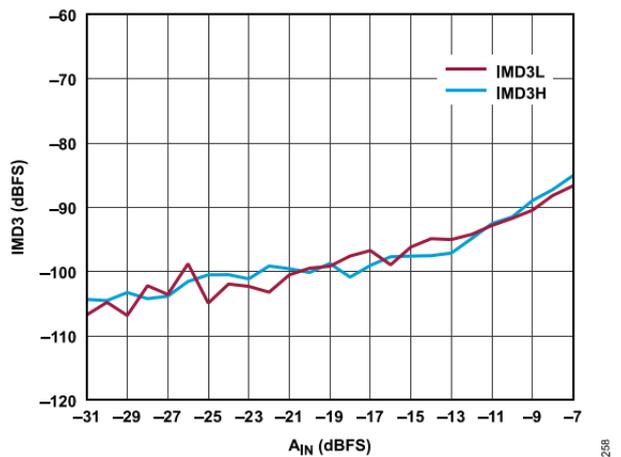


図27. ツー・トーンIMD3と A_{IN} の関係、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$

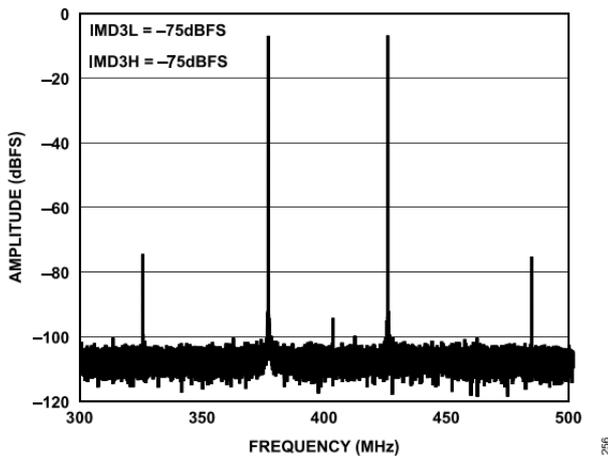


図25. ツー・トーンFFT、 $f_{IN1} = 3.575\text{MHz}$ 、 $f_{IN2} = 3.625\text{MHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

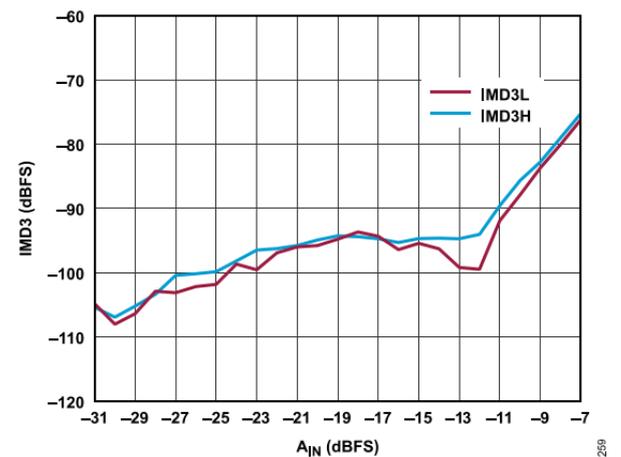


図28. ツー・トーンIMD3と A_{IN} の関係、 $f_{IN1} = 3.575\text{MHz}$ 、 $f_{IN2} = 3.625\text{MHz}$

代表的な性能特性

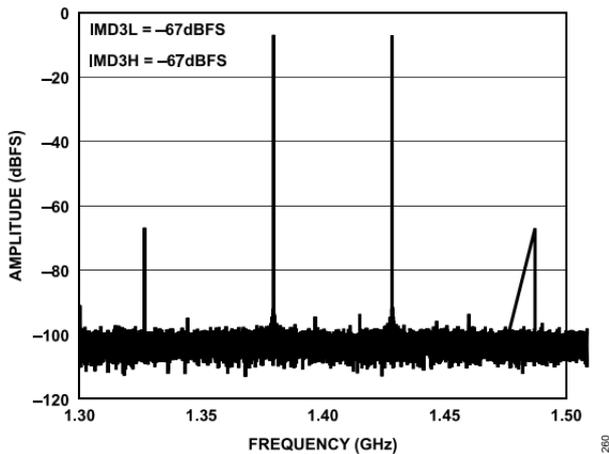


図29. ツー・トーンFFT、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

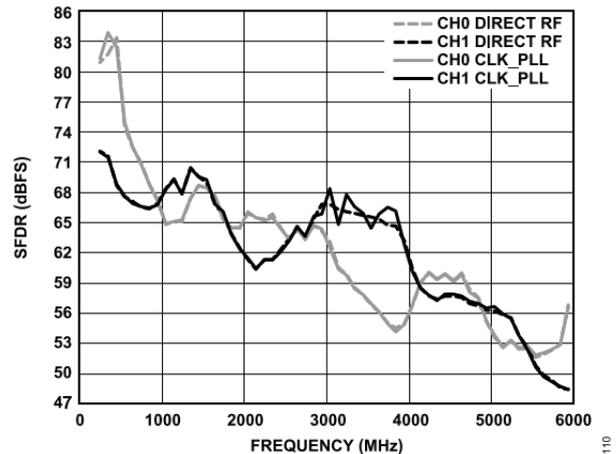


図32. SFDRと周波数の関係、 $A_{IN} = -1\text{dBFS}$ 、外部ダイレクトRFクロック = 6GHzの場合と125MHzのリファレンス入力でのPLLクロック (CLK_PLL) 通倍器をイネーブルした場合での比較

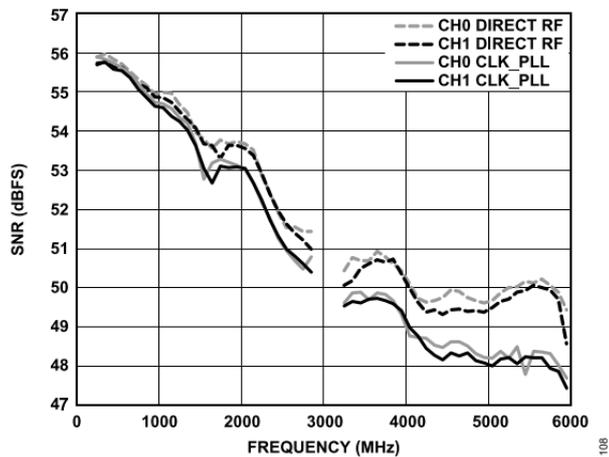


図30. S/N比と周波数の関係、 $A_{IN} = -1\text{dBFS}$ 、外部ダイレクトRFクロック = 6GHzの場合と125MHzのリファレンス入力でのPLLクロック (CLK_PLL) 通倍器をイネーブルした場合での比較

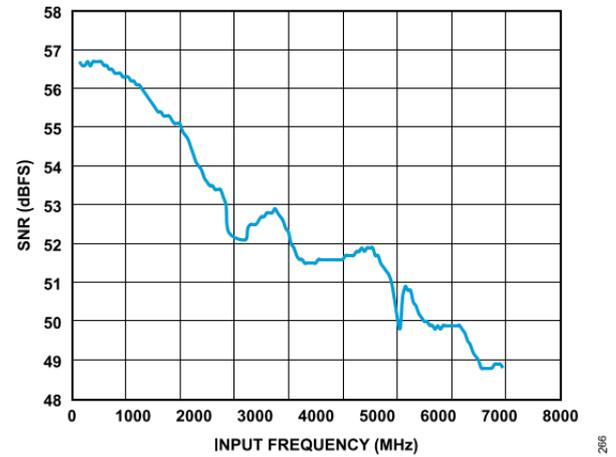


図33. S/N比と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$

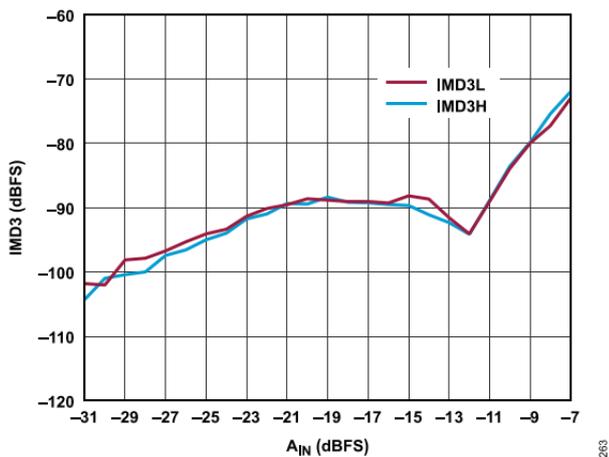


図31. ツー・トーンIMD3と A_{IN} の関係、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$

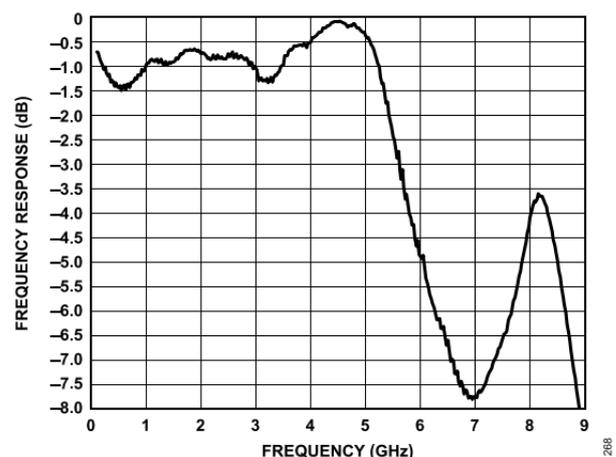


図34. AD9082-FMCA-EBZで測定したADC入力帯域幅 (マッチング回路なし)

代表的な性能特性

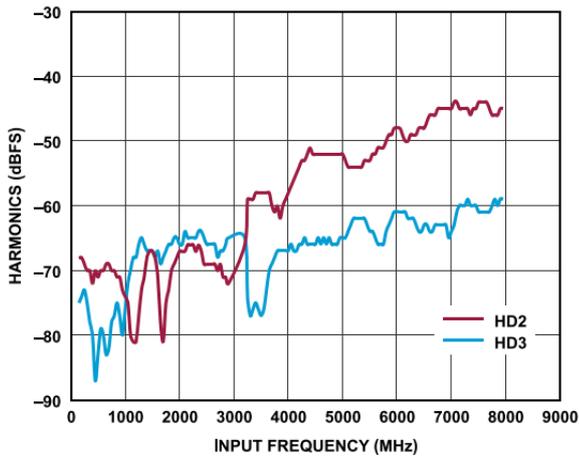


図35. 高調波 (HD2およびHD3) と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$

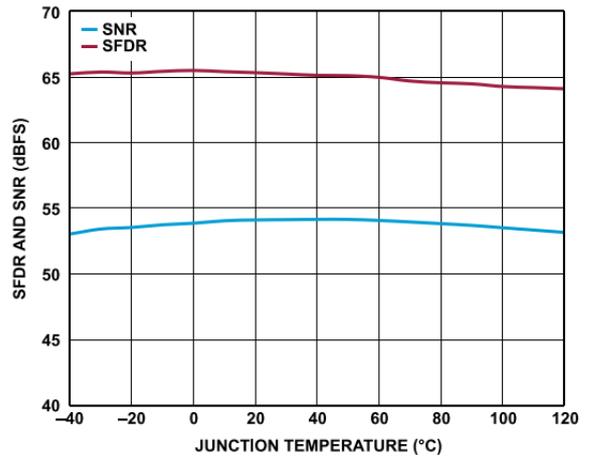


図38. SFDRおよびS/N比とジャンクション温度の関係、 $f_{IN} = 1.8\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

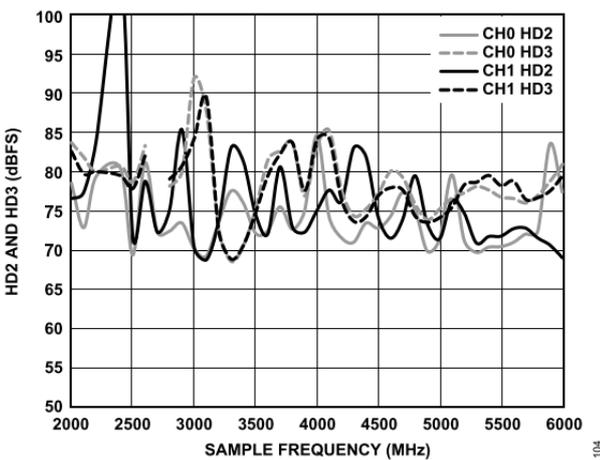


図36. HD2およびHD3とサンプル周波数 (f_s) の関係、 $f_{IN} = 450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

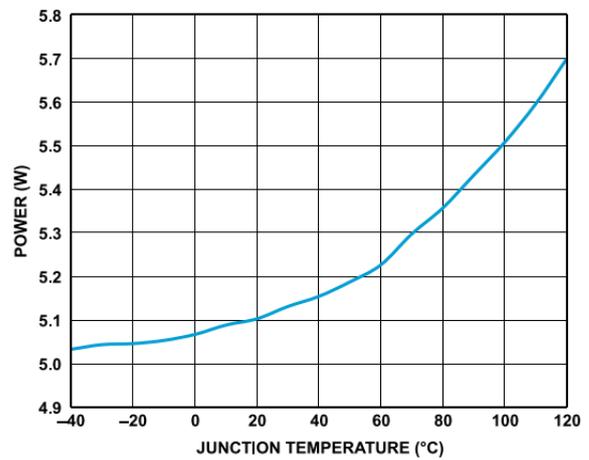


図39. 電力とジャンクション温度の関係、 $f_{IN} = 1.8\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

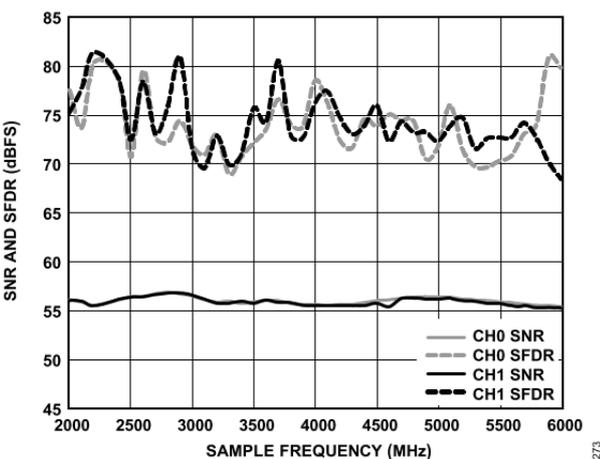


図37. S/N比およびSFDRとサンプル周波数の関係、 $f_{IN} = 450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

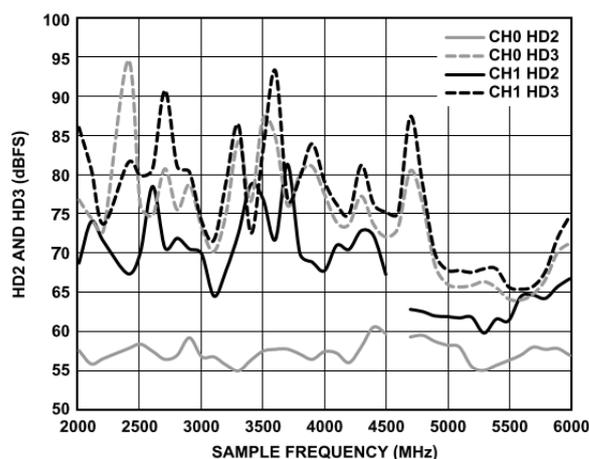


図40. HD2およびHD3とサンプル周波数の関係、 $f_{IN} = 3450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

代表的な性能特性

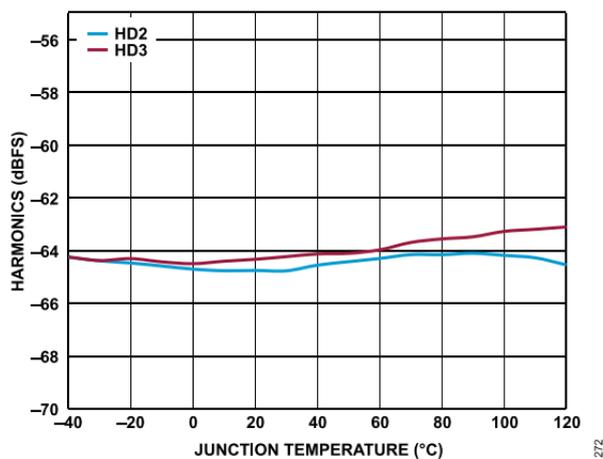


図41. 高調波とジャンクション温度の関係、 $f_{IN} = 1.8\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$

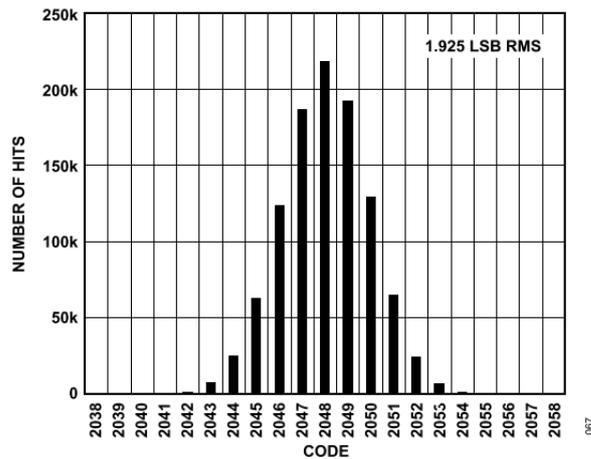


図43. 入力換算ノイズのヒストグラム

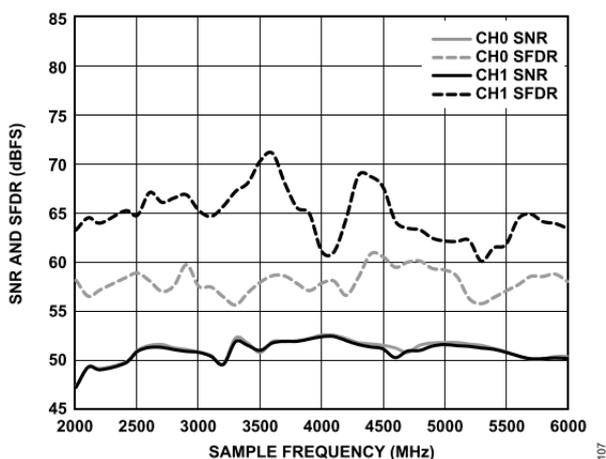


図42. S/N比およびSFDRとサンプル周波数の関係、 $f_{IN} = 3450\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 2\text{GSPS} \sim 6\text{GSPS}$

動作原理

AD9207は、28nmプロセスによる2チャンネル、12ビット、6GSPSの高集積RF ADCです（機能ブロック図のセクションを参照）。広帯域幅動作を実現するため、高い直線性を持つ100Ω差動バッファと過負荷保護機能を使用してADCコアとRF ADC駆動源を絶縁しています。オンチップ・クロック通倍器を使用して、RF DACクロックとADCクロックを合成することができます。また、外部クロックを使用することも可能です。

柔軟性に優れた受信DSPパスにより、中間周波数（IF）やRF信号を必要に応じてダウンサンプリングして、目的のインターフェース・レートまで下げ、効率的に帯域幅条件に合わせることができます。チャネライザ・データパスにより効率的にデータを送信できるため、マルチバンドのアプリケーションが可能となり、最大8つの独立したRF帯域に対応できます。受信DSPパスは対称で、メイン・データパスに4つの粗調整DDCブロック、チャネライザ・データパスに8つの微調整DDCブロックを備えた構成になっています。各DDCブロックは複数のデシメーション段を備えており、インテジャー・モードまたはフラクショナル・モードの動作を設定可能な48ビットNCOが内蔵されています。各ブロックのNCOはFFHに対応し、GPIOxピンを使用して制御できます。DDCブロックおよびデータパスは完全にバイパス可能で、ナイキスト動作をさせることができます。

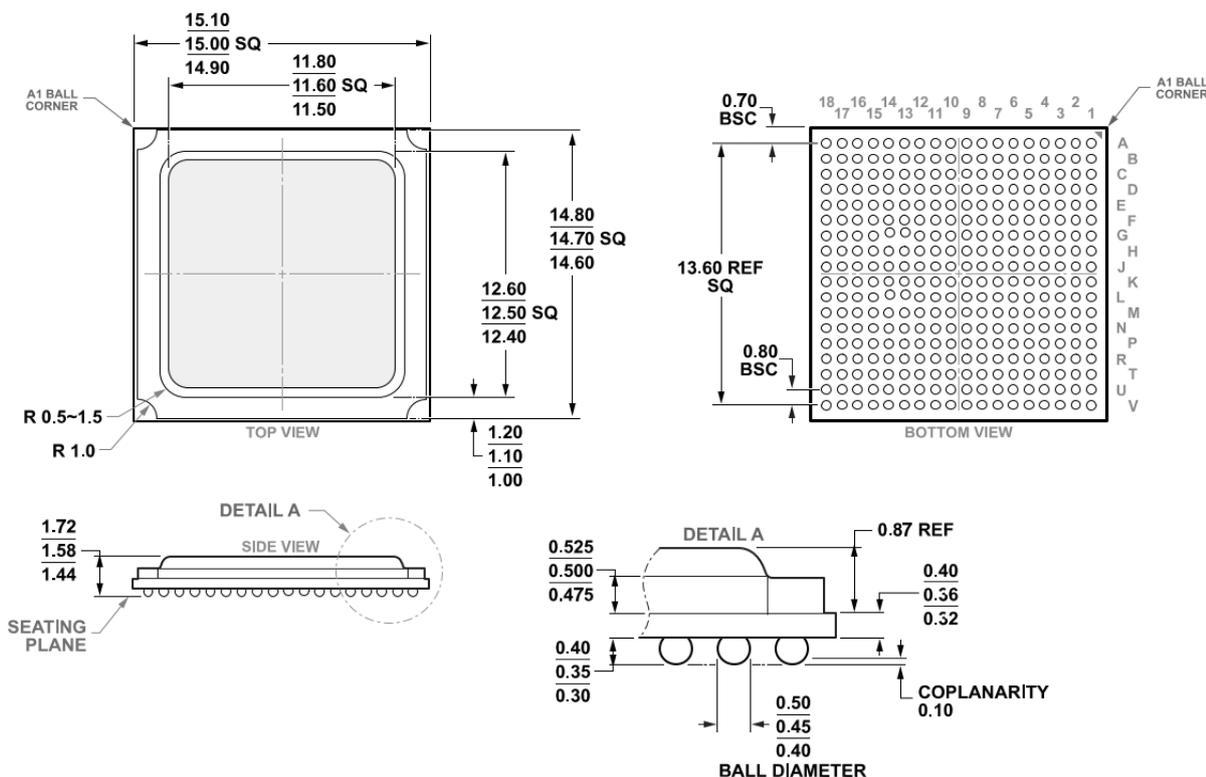
様々な補助DSP機能により、容易なシステム統合が可能です。両データパスには可変遅延線が内蔵されており、デバイス外部で発生する可能性のあるチャンネル遅延パスの不一致を補償することができます。受信データパスには、柔軟性に優れたプログラマブルな192タップPFIRフィルタが内蔵されています。このフィルタは、4つの異なるプロファイルをサポートし、1つまたは複数のADCと接続してレシーバーのイコライゼーションを可能にします。プロファイルはGPIOxピンを使用して選択します。また、受信パスには高速および低速信号検出機能があり、AGCに対応できます。データパスは、時分割複信（TDD）アプリケーションでの節電機能も備えています。更に、すべての補助DSP機能は完全にバイパスすることもできます。

データパスのデータ・フォーマットは、JESD204BおよびJESD204Cモードに基づき、8、12、16、24ビットの分解能の実数または複素数（I/Q）が使用可能です。

8レーンのJESD204トランスミッタ・ポートを使用して、受信データパスで高いデータ・スループット・レートに対応できます。送信ポートは、最大24.75GbpsのJESD204Cのレーン・レート、または最大15.5GbpsのJESD204Bのレーン・レートをサポートしています。JESD204のデータ・リンク層は高い柔軟性を備えており、目標とするリンク・スループットに応じてレーン・カウント（またはレート）を調整できます。外部アライメント信号（SYSREF）を使用して、確定的遅延および位相アライメントが確保でき、マルチチップ同期を補助できます。

内蔵のTMUを使用してダイ温度の測定／読出しが（SPIポートを介して）可能であるため、システム動作中の熱安定性を向上させることができます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-KKAB-1

07-31-2018-A

図44. 324ボールのボール・グリッド・アレイ、熱強化型 [BGA_ED]
(BP-324-3)
寸法 : mm

更新 : 2021年9月14日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD9207BBPZ-6G	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Tray, 126	BP-324-3
AD9207BBPZRL-6G	-40°C to +120°C	324-Ball BGA_ED (15 mm × 15 mm × 1.58 mm)	Reel, 1000	BP-324-3

1 Z = RoHS準拠製品。

評価用ボード

Model	Description
AD9082-FMCA-EBZ ¹	AD9207 Evaluation Board with High Performance Analog Network

1 AD9082-FMCA-EBZはAD9207を評価するために使用できます。



©2023 Analog Devices, Inc. All rights reserved.

本社 / 〒105-7323 東京都港区東新橋1-9-1 東京汐留ビルディング23F
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F