

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 6 月 22 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 6 月 22 日

製品名：AD9094

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：50 ページ

レジスタ マップ内の説明

アドレス 0x0009 Global Map Pair Index の欄、Pair C/D を指定して セッチングを”1”とした時の動作説明。

【誤】

ADC ペア C および ADC ペア D は次の読出し／書込みコマンドを SPI インターフェースから受信しません。

【正】

ADC ペア C および ADC ペア D は次の読出し／書込みコマンドを SPI インターフェースから受信します。



8 ビット、1GSPS、JESD204B クワッド ADC

データシート

AD9094

特長

JESD204B (サブクラス 0 とサブクラス 1) コーディング・
シリアル・デジタル出力
最大 15Gbps のレーン・レート
全消費電力: 1.6W (1GSPS 時)
ADC チャンネルあたり 400mW
SFDR: 71dBFS (611MHz、入力範囲: 1.44Vp-p)
S/N 比: 48.6dBFS (611MHz、入力範囲: 1.44Vp-p)
SINAD: 48.5dBFS (611MHz、入力範囲: 1.44Vp-p)
0.9V、1.8V、および 2.5V の DC 電源動作
ノー・ミス・コード
内部 ADC 電圧リファレンス
アナログ入力バッファ
オンチップのディザリングにより小信号の直線性を改善
柔軟な差動入力電圧範囲
1.44Vp-p~2.16Vp-p (デフォルト値 1.44Vp-p)
アナログ入力フルパワー帯域幅: 1.4GHz
高速検出ビットによる効率的な AGC 実装
差動クロック入力
分周比が 1、2、4、または 8 のインテジャー入力クロック
オンチップ温度ダイオード
柔軟な JESD204B レーン構成

アプリケーション

レーザによるイメージング、検知、および測距 (探知装置)
通信
デジタル・オシロスコープ (DSO)
超広帯域衛星レシーバー
計測器

概要

AD9094 は、8 ビット、1GSPS のクワッド A/D コンバータ (ADC) です。低消費電力、小型、使いやすさを考慮して設計された、オンチップ・バッファとサンプル&ホールド回路を備えています。最大で 1.4GHz の広帯域幅アナログ信号をサンプリングできるように設計されています。**AD9094** は、広い入力帯域幅、高いサンプリング・レート、高い動作直線性、低消費電力を小型パッケージで実現できるように最適化されています。

クワッド ADC コアは、マルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。各 ADC の入力帯域幅は広く、選択可能な多様な入力範囲をサポートしています。また、電圧リファレンスを内蔵しているので設計が容易になります。アナログ入力とクロック信号は差動入力です。

中間周波数 (IF) レシーバー出力の各ペアは、サンプル・レートと受信ロジック・デバイスの許容レーン・レートに応じて、JESD204B のサブクラス 1 またはサブクラス 0 に基づく高速シリアル出力の 1 レーンまたは 2 レーンのいずれかのレーン構成にすることができ、複数デバイスの同期は、SYSREF±、SYNCINB±AB、SYNCINB±CD 入力ピンを通じてサポートされています。

AD9094 には、必要に応じて大幅な省電力を可能にする柔軟なパワーダウン・オプションがあります。パワーダウン・オプションをプログラムするには、1.8V 対応のシリアル・ポート・インターフェース (SPI) を使用します。

AD9094 は、鉛フリーの **72 ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP)** を採用しており、-40°C ~ +105°C のジャンクション温度範囲で動作するように仕様規定されています。本製品は 1 つまたは複数の米国特許または国際特許で保護されています。

このデータシートでは、PDWN/STBY などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、PDWN のように 1 つのピン機能だけを表記しています。

製品のハイライト

1. チャンネルあたりの消費電力が少ない。
2. 最大 15Gbps の JESD204B レーン・レートをサポート。
3. フルパワー帯域幅が広く、最大 1.4GHz の信号の IF サンプリングに対応。
4. バッファ入力により、フィルタの設計と実装が容易。
5. プログラマブルな高速オーバーレンジ検出。
6. システム温度管理用のオンチップ温度ダイオード。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2020 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪 営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	機能の概要.....	31
アプリケーション.....	1	JESD204B リンクの確立.....	31
概要	1	PHY（ドライバ）出力	32
製品のハイライト.....	1	JESD204B トランスミッタ・コンバータ・マッピング.....	33
改訂履歴	2	JESD204B リンクの設定.....	34
機能ブロック図.....	3	遅延	36
仕様	4	エンド to エンドの合計遅延.....	36
DC 仕様.....	4	遅延計算例.....	36
AC 仕様.....	5	LMFC 基準遅延	36
デジタル仕様.....	6	確定的遅延.....	37
スイッチング仕様.....	7	サブクラス 0 動作	37
タイミング仕様.....	8	サブクラス 1 動作	37
絶対最大定格.....	10	マルチチップ同期	39
熱抵抗	10	通常動作モード.....	39
ESD に関する注意.....	10	タイムスタンプ・モード	39
ピン配置およびピン機能の説明.....	11	SYSREF±入力	41
代表的な性能特性.....	13	SYSREF±セットアップ/ホールド・ウィンドウのモニタ....	42
等価回路	18	テスト・モード	44
動作原理	20	ADC テスト・モード.....	44
ADC のアーキテクチャ.....	20	JESD204B ブロック・テスト・モード.....	45
アナログ入力に関する考慮事項.....	20	SPI.....	47
電圧リファレンス	21	SPI を使用する構成設定.....	47
DC オフセットのキャリブレーション	22	ハードウェア・インターフェース	47
クロック入力に関する考慮事項.....	22	SPI からアクセスできる機能	47
ADC オーバーレンジと高速検出.....	25	メモリ・マップ	48
ADC オーバーレンジ.....	25	メモリ・マップ・レジスタ・テーブルの読出し.....	48
高速閾値検出（FD_A、FD_B、FD_C、FD_D）	25	メモリ・マップ・レジスタ	49
信号モニタ.....	26	アプリケーション情報	66
SPORT Over JESD204B	26	電源の推奨事項.....	66
デジタル出力.....	29	露出パッドのサーマル・ヒート・スラグに関する推奨事項.....	66
JESD204B インターフェースの概要	29	AVDD1_SR（ピン 64）と AGND_SR（ピン 63 とピン 67） ..	66
AD9094 のデジタル・インターフェースのセットアップ.....	29	外形寸法.....	67
		オーダー・ガイド	67

改訂履歴

10/2020—Revision 0: Initial Version

機能ブロック図

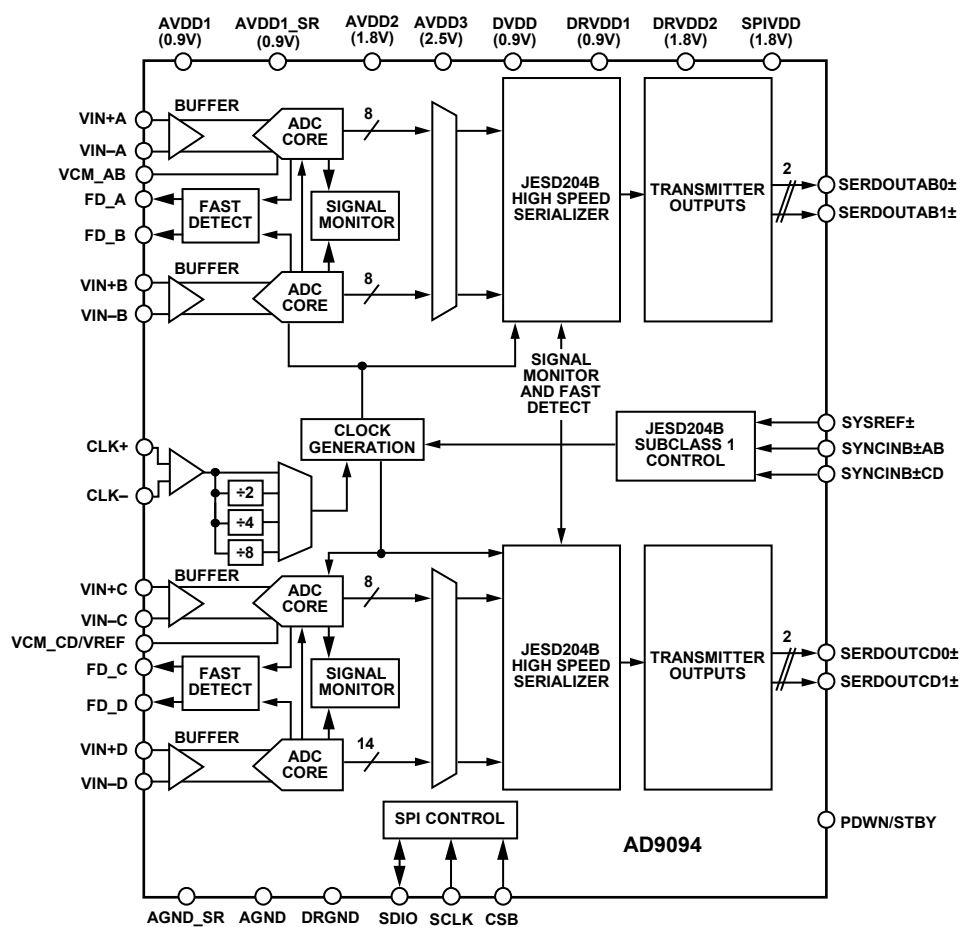


図 1.

20963-001

仕様

DC 仕様

特に指定のない限り、AVDD1 = AVDD1_SR = DVDD = DRVDD1 = 0.9V、AVDD2 = DRVDD2 = SPIVDD = 1.8V、AVDD3 = 2.5V、1GSPS、クロック分周器 = 2、1.44V p-p フルスケール差動入力、0.5V 内部リファレンス、アナログ入力振幅 (A_{IN}) = -1.0dBFS、デフォルト SPI 設定。仕様の最大値と最小値は、-40°C ~ +105°C の全動作 T_J 範囲で確保されています。仕様の代表値は、 $T_J = 50^\circ\text{C}$ ($T_A = 25^\circ\text{C}$) での性能です。

表 1.

Parameter	Min	Typ	Max	Unit
RESOLUTION	8			Bits
ACCURACY				
No Missing Codes		Guaranteed		
Offset Error		0		% FSR
Offset Matching		0		% FSR
Gain Error	-5.6		+5.6	% FSR
Gain Matching		1.0	3.7	% FSR
Differential Nonlinearity (DNL)	-0.1	±0.0	+0.1	LSB
Integral Nonlinearity (INL)	-0.3	±0	+0.3	LSB
TEMPERATURE DRIFT				
Offset Error		49.5		ppm/°C
Gain Error		172.7		ppm/°C
INTERNAL VOLTAGE REFERENCE		0.5		V
INPUT REFERRED NOISE		2.6		LSB rms
ANALOG INPUTS				
Differential Input Voltage Range (Programmable)	1.44	1.44	2.16	V p-p
Common-Mode Voltage (V_{CM})		1.43		V
Differential Input Capacitance ¹		1.75		pF
Differential Input Resistance		200		Ω
Analog Input Full Power Bandwidth		1.4		GHz
POWER SUPPLY				
AVDD1	0.877	0.9	0.923	V
AVDD1_SR	0.877	0.9	0.923	V
AVDD2	1.71	1.8	1.89	V
AVDD3	2.44	2.5	2.56	V
DVDD	0.877	0.9	0.923	V
DRVDD1	0.877	0.9	0.923	V
DRVDD2	1.71	1.8	1.89	V
SPIVDD	1.71	1.8	1.89	V
AVDD1 Current, I_{AVDD1}		420	575	mA
AVDD1_SR Current, I_{AVDD1_SR}		25	60	mA
AVDD2 Current, I_{AVDD2}		440	520	mA
AVDD3 Current, I_{AVDD3}		60	71	mA
DVDD Current, I_{DVDD} ²		110	196	mA
DRVDD1 Current, I_{DRVDD1} ¹		85	205	mA
DRVDD2 Current, I_{DRVDD2} ¹		30	38	mA
SPIVDD Current, I_{SPIVDD}		0.65	0.80	mA

Parameter	Min	Typ	Max	Unit
POWER CONSUMPTION				
Total Power Dissipation (Including Output Drivers) ²		1.6	2.0	W
Power-Down Dissipation		0.3		mW
Standby ³		1.2		W

¹ すべてのレーンを使用。DRVDD1 の消費電力は、レーン・レートと使用レーン数によって異なります。

² フル帯域幅モード

³ スタンバイ・モードは SPI によって制御されます。

AC 仕様

特に指定のない限り、AVDD1 = AVDD1_SR = DVDD = DRVDD1 = 0.9V、AVDD2 = DRVDD2 = SPIVDD = 1.8V、AVDD3 = 2.5V、1GSPS、クロック分周器 = 2、1.44V p-p フルスケール差動入力、0.5V 内部リファレンス、A_{IN} = -1.0dBFS、デフォルト SPI 設定。仕様の最大値と最小値は、-40°C ~ +105°C の T_J 範囲で確保されています。仕様の代表値は、T_J = 50°C (T_A = 25°C) での性能です。

表 2.

Parameter ^{1, 2}	Analog Input Full Scale = 1.44 V p-p			Analog Input Full Scale = 1.80 V p-p			Analog Input Full Scale = 2.16 V p-p			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ANALOG INPUT FULL SCALE		1.44			1.80			2.16		V p-p
NOISE DENSITY ³		-136.1			-136.1			-136.2		dBFS/Hz
SIGNAL-TO-NOISE RATIO (SNR) ⁴										
f _{IN} = 10 MHz		49.1			49.2			49.2		dBFS
f _{IN} = 155 MHz		49.1		47.4	49.2			49.2		dBFS
f _{IN} = 451 MHz		49.1			49.2			49.2		dBFS
f _{IN} = 611 MHz		48.6			48.7			48.6		dBFS
f _{IN} = 871 MHz		48.5			48.5			48.5		dBFS
f _{IN} = 1391 MHz		48.4			48.5			48.4		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION RATIO (SINAD)										
f _{IN} = 10 MHz		49.1			49.2			49.2		dBFS
f _{IN} = 155 MHz		49.1		46.2	49.2			49.2		dBFS
f _{IN} = 451 MHz		49.1			49.2			49.2		dBFS
f _{IN} = 611 MHz		48.5			48.7			48.5		dBFS
f _{IN} = 871 MHz		48.5			48.4			48.3		dBFS
f _{IN} = 1391 MHz		48.4			48.4			48.2		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)										
f _{IN} = 10 MHz		7.9			7.9			7.9		Bits
f _{IN} = 155 MHz		7.9		7.4	7.9			7.9		Bits
f _{IN} = 451 MHz		7.9			7.9			7.9		Bits
f _{IN} = 611 MHz		7.8			7.8			7.8		Bits
f _{IN} = 871 MHz		7.8			7.7			7.7		Bits
f _{IN} = 1391 MHz		7.7			7.7			7.7		Bits
SPURIOUS-FREE DYNAMIC RANGE (SFDR)										
f _{IN} = 10 MHz		71			72			71		dBFS
f _{IN} = 155 MHz		71		60	72			70		dBFS
f _{IN} = 451 MHz		71			72			71		dBFS
f _{IN} = 611 MHz		71			66			63		dBFS
f _{IN} = 871 MHz		70			65			63		dBFS
f _{IN} = 1391 MHz		70			67			65		dBFS

Parameter ^{1, 2}	Analog Input Full Scale = 1.44 V p-p			Analog Input Full Scale = 1.80 V p-p			Analog Input Full Scale = 2.16 V p-p			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
WORST OTHER, EXCLUDING SECOND AND THIRD HARMONIC										
$f_{IN} = 10 \text{ MHz}$		-70			-71			-70		dBFS
$f_{IN} = 155 \text{ MHz}$		-70			-72	-64		-70		dBFS
$f_{IN} = 451 \text{ MHz}$		-71			-72			-71		dBFS
$f_{IN} = 611 \text{ MHz}$		-72			-74			-72		dBFS
$f_{IN} = 871 \text{ MHz}$		-73			-72			-73		dBFS
$f_{IN} = 1391 \text{ MHz}$		-75			-72			-75		dBFS
CROSSTALK ⁵		82			82			82		dB
FULL POWER BANDWIDTH ⁶		1.4			1.4			1.4		GHz

¹ このテストの実施条件と詳細については、アプリケーション・ノート AN-835 高速 A/D コンバータ (ADC) のテストと評価についてを参照してください。

² f_{IN} はアナログ入力周波数。

³ ノイズ密度は、30MHz の低アナログ入力周波数 (f_A) で測定。

⁴ バッファ電流設定のための推奨設定値については、表 9 を参照してください。

⁵ クロストークは、155MHz、-1.0dBFS アナログ入力 (1 チャンネル)、隣接チャンネルの入力なしの状態で測定。

⁶ フルパワー帯域幅は図 44 に示す回路で測定されています。

デジタル仕様

特に指定のない限り、AVDD1 = 0.9V、AVDD1_SR = 0.9V、AVDD2 = 1.8V、AVDD3 = 2.5V、DVDD = 0.9V、DRVDD1 = 0.9V、DRVDD2 = 1.8V、SPIVDD = 1.8V、1GSPS、クロック分周器 = 2、1.44V p-p フルスケール差動入力、0.5V 内部リファレンス、 $A_{IN} = -1.0\text{dBFS}$ 、デフォルト SPI 設定。仕様の最大値と最小値は、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の T_J 範囲で確保されています。仕様の代表値は、 $T_J = 50^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$) での性能です。

表 3.

Parameter	Min	Typ	Max	Unit
CLOCK INPUTS (CLK $\pm$)				
Logic Compliance		LVDS/LVPECL ¹		
Differential Input Voltage	600	800	1600	mV p-p
Input V_{CM}		0.69		V
Differential Input Resistance		32		k Ω
Input Capacitance			0.9	pF
SYSTEM REFERENCE (SYSREF) INPUTS (SYSREF $\pm$) ²				
Logic Compliance		LVDS/LVPECL ¹		
Differential Input Voltage	400	800	1800	mV p-p
Input V_{CM}	0.6	0.69	2.2	V
Differential Input Resistance	18	22		k Ω
Input Capacitance (Single-Ended per Pin)		0.7		pF
LOGIC INPUTS (PDWN/STBY)				
Logic Compliance		CMOS ¹		
Logic 1 Voltage	$0.65 \times \text{SPIVDD}$			V
Logic 0 Voltage	0		$0.35 \times \text{SPIVDD}$	V
Input Resistance		10		M Ω

Parameter	Min	Typ	Max	Unit
LOGIC INPUTS (SDIO, SCLK, AND CSB)				
Logic Compliance		CMOS ¹		
Logic 1 Voltage	$0.65 \times \text{SPIVDD}$			V
Logic 0 Voltage	0		$0.35 \times \text{SPIVDD}$	V
Input Resistance		56		k Ω
LOGIC OUTPUT (SDIO)				
Logic Compliance		CMOS ¹		
Logic 1 Voltage ($I_{OH} = 800 \mu\text{A}$) ³	$\text{SPIVDD} - 0.45 \text{ V}$			V
Logic 0 Voltage ($I_{OL} = 50 \mu\text{A}$) ³	0		0.45	V
SYNCIN INPUT (SYNCINB $\pm$ AB AND SYNCINB $\pm$ CD)				
Logic Compliance		LVDS/LVPECL/CMOS ¹		
Differential Input Voltage	400	800	1800	mV p-p
Input V_{CM}	0.6	0.69	2.2	V
Input Resistance (Differential)	18	22		k Ω
Input Capacitance (Single-Ended per Pin)		0.7		pF
LOGIC OUTPUTS (FD_A, FD_B, FD_C, AND FD_D)				
Logic Compliance		CMOS ¹		
Logic 1 Voltage	$0.8 \times \text{SPIVDD}$			V
Logic 0 Voltage	0		0.5	V
Input Resistance		56		k Ω
DIGITAL OUTPUTS (SERDOUTABx $\pm$ AND SERDOUTCDx $\pm$, x = 0 OR 1)				
Logic Compliance		CML ¹		
Differential Output Voltage		455.8		mV p-p
Short-Circuit Current ($I_{D\text{SHORT}}$)		15		mA
Differential Termination Impedance		100		Ω

¹ LVDS は低電圧差動伝送、LVPECL は低電圧正／疑似エミッタ結合ロジック、CMOS は相補型金属酸化膜半導体、CML は電流モード・ロジック。

¹ DC カップリング入力のみ。

¹ I_{OH} は、ピンのロジック・レベルが 0 の場合のシンク電流、 I_{OL} はピンのロジック・レベルが 1 の場合のソース電流。

スイッチング仕様

特に指定のない限り、AVDD1 = 0.9V、AVDD1_SR = 0.9V、AVDD2 = 1.8V、AVDD3 = 2.5V、DVDD = 0.9V、DRVDD1 = 0.9V、DRVDD2 = 1.8V、SPIVDD = 1.8V、1GSPS、クロック分周器 = 2、1.44V p-p フルスケール差動入力、0.5V 内部リファレンス、 $A_{IN} = -1.0\text{dBFS}$ 、デフォルト SPI 設定。仕様の最大値と最小値は、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の T_J 範囲で確保されています。仕様の代表値は、 $T_J = 50^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$) での性能です。

表 4.

Parameter	Min	Typ	Max	Unit
CLOCK				
Clock Rate (at CLK $\pm$ Pins)	0.3		2.4	GHz
Maximum Sample Rate ⁴	1000			MSPS
Minimum Sample Rate ⁵	240			MSPS
Clock Pulse Width High	125			ps
Clock Pulse Width Low	125			ps
OUTPUT				
Unit Interval (UI) ⁶	66.67	100	593	ps
Rise Time (t_R) (20% to 80% into 100 Ω Load)		31.25		ps
Fall Time (t_F) (20% to 80% into 100 Ω Load)		31.37		ps
Phase-Locked Loop (PLL) Lock Time		5		ms
Data Rate per Channel (Nonreturn to Zero (NRZ)) ⁷	1.6875	10	15	Gbps

Parameter	Min	Typ	Max	Unit
LATENCY ⁸				
Pipeline Latency		45		Sample clock cycles
Fast Detect Latency			30	Sample clock cycles
WAKE-UP TIME				
From Standby		3		ms
From Power-Down		10		ms
APERTURE				
Aperture Delay (t_A)		160		ps
Aperture Uncertainty (Jitter, t_j)		44		fs rms
Out of Range Recovery Time		1		Sample clock cycles

¹ LVDS は低電圧差動伝送、LVPECL は低電圧正／疑似エミッタ結合ロジック、CMOS は相補型金属酸化膜半導体、CML は電流モード・ロジック。

² DC カップリング入力のみ。

³ I_{OH} は、ピンのロジック・レベルが 0 の場合のシンク電流、 I_{OL} は、ピンのロジック・レベルが 1 の場合のソース電流。

⁴ 最大サンプリング・レートは分周後のクロック・レートです。

⁵ 最小サンプリング・レートは 240MSPS ($L=2$ または $L=1$) となります。クロック検出回路の閾値を下げるには、SPI レジスタ 0x011A を使用します。

⁶ ボー・レート = $1/UL$ 。この範囲のサブセットに対応できます。

⁷ デフォルトは各リンクについて $L=2$ です。この値は、サンプル・レートとデシメーション・レシオに基づいて変更できます。

⁸ 各リンクについて $L=2$ 、 $M=2$ 、 $F=2$ 。詳細については、[AD9094 のデジタル・インターフェースのセットアップ](#)のセクションを参照してください。

タイミング仕様

表 5.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
CLK+ to SYSREF+ TIMING REQUIREMENTS	図 3 を参照。				
t_{SU_SR}	デバイス・クロックと SYSREF+間のセットアップ時間		-44.8		ps
t_{H_SR}	デバイス・クロックと SYSREF+間のホールド時間		64.4		ps
SPI TIMING REQUIREMENTS	図 4 を参照。				
t_{DS}	データと SCLK の立上がりエッジ間のセットアップ時間	4			ns
t_{DH}	データと SCLK の立上がりエッジ間のホールド時間	2			ns
t_{CLK}	SCLK 周期	40			ns
t_S	CSB と SCLK 間のセットアップ・タイム	2			ns
t_H	CSB と SCLK 間のホールド・タイム	2			ns
t_{HIGH}	SCLK をロジック・ハイ状態に維持する必要がある最小時間	10			ns
t_{LOW}	SCLK をロジック・ロー状態に維持する必要がある最小時間	10			ns
t_{ACCESS}	SCLK の立下がりエッジから出力データが読出し可能となるまでの最大遅延時間		6	10	ns
t_{DIS_SDIO}	CSB 立上がりエッジ基準で SDIO ピンを出力から入力に切り替えるのに必要な時間 (図 4 には示されていない)	10			ns

タイミング図

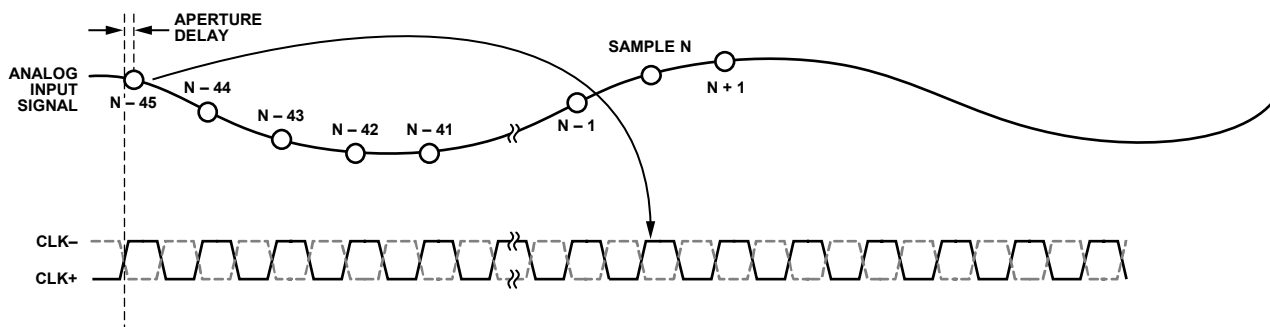


図 2. データ出力タイミング（フル帯域幅モード; $L=2$ 、 $M=2$ 、 $F=2$ ）、 N はサンプル数

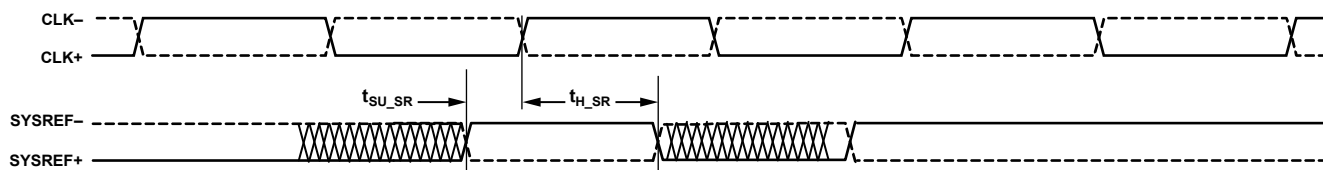


図 3. SYSREF±のセットアップおよびホールドのタイミング

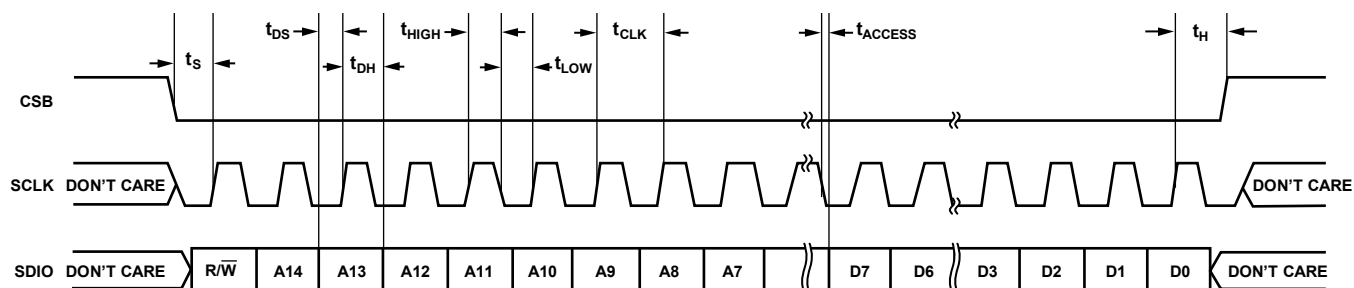


図 4. シリアル・ポート・インターフェースのタイミング図

絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD1 to AGND	1.05 V
AVDD1_SR to AGND	1.05 V
AVDD2 to AGND	2.00 V
AVDD3 to AGND	2.70 V
DVDD to DGND	1.05 V
DRVDD1 to DRGND	1.05 V
DRVDD2 to DRGND	2.00 V
SPIVDD to AGND	2.00 V
VIN±x to AGND	−0.3 V to AVDD3 + 0.3 V
CLK± to AGND	−0.3 V to AVDD1 + 0.3 V
SCLK, SDIO, CSB to DGND	−0.3 V to SPIVDD + 0.3 V
PDWN/STBY to DGND	−0.3 V to SPIVDD + 0.3 V
SYSREF± to AGND_SR	0 V to 2.5 V
SYNCINB±AB/SYNCINB±CD to DRGND	0 V to 2.5 V
Environmental	
Operating Junction Temperature Range	−40°C to +105°C
Maximum Junction Temperature	125°C
Storage Temperature Range (Ambient)	−65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC_BOT} は、下部ジャンクションからケースへの熱抵抗です。

表 7. 熱抵抗

Package Type	PCB Type	Airflow Velocity (m/sec)	θ_{JA}	θ_{JC_BOT}	Unit
CP-72-10	JEDEC 2s2p Board	0.0	21.58 ^{1,2}	1.95 ^{1,3}	°C/W
		1.0	17.94 ^{1,2}	N/A ⁴	°C/W
		2.5	16.58 ^{1,2}	N/A ⁴	°C/W
	10-Layer Board	0.0	9.74	1.00	°C/W

¹ JEDEC 51-7 と JEDEC 51-5 2s2p のテスト・ボードに準拠。

² JEDEC JESD51-2（自然空冷）または JEDEC JESD51-6（強制空冷）に準拠。

³ MIL-STD 883、Method 1012.1 に準拠。

⁴ N/A は該当なし。

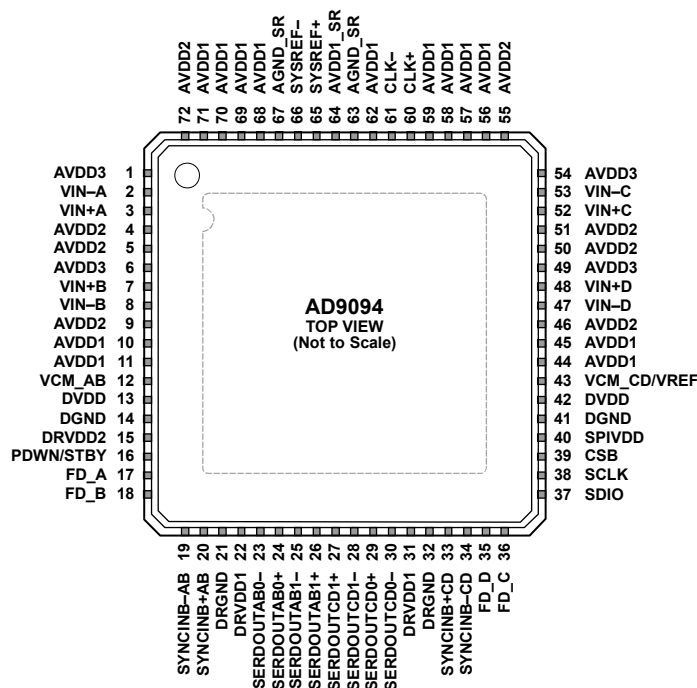
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. EXPOSED PAD. ANALOG GROUND. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFERENCE FOR AVDDx, SPIVDD, DVDD, DRVDD1, AND DRVDD2. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

20983-005

図 5. ピン配置（上面図）

表 8. ピン機能の説明

ピン番号	記号	タイプ	説明
1, 6, 49, 54	AVDD3	Supply	アナログ電源（公称 2.5V）。
2, 3	VIN-A, VIN+A	Input	ADC A アナログ差動入力 of -/+。
4, 5, 9, 46, 50, 51, 55, 72	AVDD2	Supply	アナログ電源（公称 1.8V）。
7, 8	VIN+B, VIN-B	Input	ADC B アナログ差動入力 of +/-。
10, 11, 44, 45, 56 to 59, 62, 68 to 71	AVDD1	Supply	アナログ電源（公称 0.9V）。
12	VCM_AB	Output	アナログ入力チャンネル A およびチャンネル B のコモンモード・レベル・バイアス出力。
13, 42	DVDD	Supply	デジタル電源（公称 0.9V）。
14, 41	DGND	Ground	DVDD および SPIVDD のグラウンド・リファレンス。
15	DRVDD2	Supply	JESD204B PLL のデジタル電源（公称 1.8V）。
16	PDWN/STBY	Input	パワーダウン入力/スタンバイ（アクティブ・ハイ）。PDWN/STBY の動作は、SPI を通じてデバイスに設定されたモードによって異なり、パワーダウンまたはスタンバイのいずれにも設定できます。PDWN/STBY には 10kΩ のプルダウン抵抗を外付けする必要があります。
17, 18, 35, 36	FD_A, FD_B, FD_D, FD_C	Output	それぞれチャンネル A、チャンネル B、チャンネル C、チャンネル D の高速検出出力。
19	SYNCINB-AB	Input	チャンネル A およびチャンネル B のアクティブ・ロー JESD204B LVDS 同期入力 of -。
20	SYNCINB+AB	Input	チャンネル A およびチャンネル B のアクティブ・ロー JESD204B LVDS/CMOS 同期入力 of +。
21, 32	DRGND	Ground	DRVDD1 および DRVDD2 のグラウンド・リファレンス。
22, 31	DRVDD1	Supply	SERDOUTABx± および SERDOUTCDx± のデジタル電源（公称 0.9V）。

ピン番号	記号	タイプ	説明
23, 24	SERDOUTAB0-, SERDOUTAB0+	Output	チャンネル A およびチャンネル B のレーン 0 の出力データの-/+。
25, 26	SERDOUTAB1-, SERDOUTAB1+	Output	チャンネル A およびチャンネル B のレーン 1 の出力データの-/+。
27, 28	SERDOUTCD1+, SERDOUTCD1-	Output	チャンネル C およびチャンネル D のレーン 1 の出力データの+/-。
29, 30	SERDOUTCD0+, SERDOUTCD0-	Output	チャンネル C およびチャンネル D のレーン 0 の出力データの+/-。
33	SYNCINB+CD	Input	チャンネル C およびチャンネル D のアクティブ・ロー JESD204B LVDS/CMOS/LVPECL 同期入力 of +。
34	SYNCINB-CD	Input	チャンネル C およびチャンネル D のアクティブ・ロー JESD204B LVDS/CMOS/LVPECL 同期入力 of -。
37	SDIO	Input/ Output	SPI シリアル・データ入出力。
38	SCLK	Input	SPI シリアル・クロック。
39	CSB	Input	SPI チップ・セレクト (アクティブ・ロー)。
40	SPIVDD	Supply	SPI のデジタル電源 (公称 1.8V)。
43	VCM_CD/VREF	Output/ Input	アナログ入力チャンネル C およびチャンネル D のコモンモード・レベル・バイアス出力または 0.5V リファレンス電圧入力。VCM_CD/VREF は、SPI を通じて出力または入力として設定できます。内部リファレンスを使用する場合、VCM_CD/VREF はコモンモード・レベル・バイアスとして使用します。外部電圧リファレンス源を使用する場合、VCM_CD/VREF には 0.5V のリファレンス電圧入力が必要です。
47, 48	VIN-D, VIN+D	Input	ADC D アナログ差動入力 of -/+。
52, 53	VIN+C, VIN-C	Input	ADC C アナログ差動入力 of +/-。
60, 61	CLK+, CLK-	Input	クロック差動入力 of +/-。
63, 67	AGND_SR	Ground	SYSREF±用グラウンド・リファレンス。
64	AVDD1_SR	Supply	SYSREF±用アナログ電源 (公称 0.9V)。
65, 66	SYSREF+, SYSREF- AGND/EPAD	Input	アクティブ・ロー JESD204B LVDS システム・リファレンス入力 of +/-。DC カップリング入力のみ。 露出パッド。アナログ・グラウンド。パッケージ下部の露出サーマル・パッドは、AVDDx、SPIVDD、DVDD、DRVDD1、DRVDD2 のグラウンド・リファレンスとなります。適切に動作させるために、この露出パッドはグラウンドに接続する必要があります。

代表的な性能特性

特に指定のない限り、 $AVDD1 = AVDD1_SR = DVDD = DRVDD1 = 0.9V$ 、 $AVDD2 = DRVDD2 = SPIVDD = 1.8V$ 、 $AVDD3 = 2.5V$ 、1GSPS、クロック分周器=2、1.44V p-p フルスケール差動入力、0.5V 内部リファレンス、 $A_{IN} = -1.0dBFS$ 、デフォルト SPI 設定。仕様の最大値と最小値は、 $-40^{\circ}C \sim +105^{\circ}C$ の T_J 範囲で確保されています。仕様の代表値は、 $T_J = 50^{\circ}C$ ($T_A = 25^{\circ}C$) での性能です。

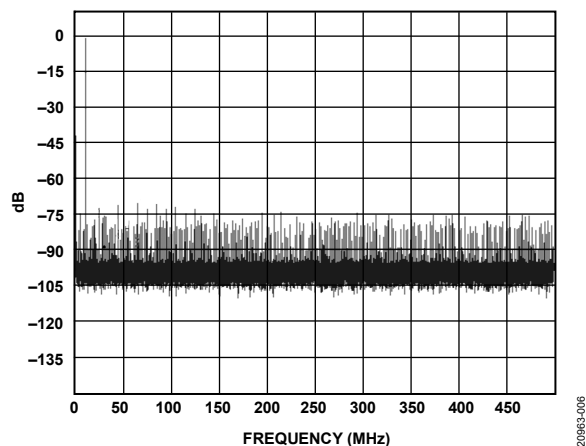


図 6. シングルトーンの高速フーリエ変換 (FFT)、 $f_{IN} = 10MHz$ 、S/N 比フルスケール (SNRFS) = 49.1dBFS、SFDR = 71dBFS、SINAD = 49.1dBFS

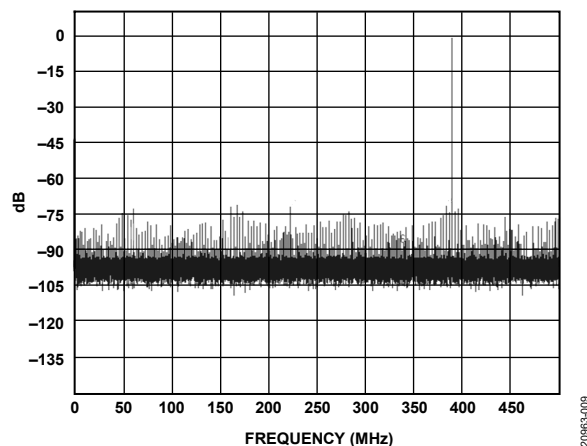


図 9. シングルトーンの FFT、 $f_{IN} = 611MHz$ 、SNRFS = 48.6dBFS、SFDR = 71dBFS、SINAD = 48.5dBFS

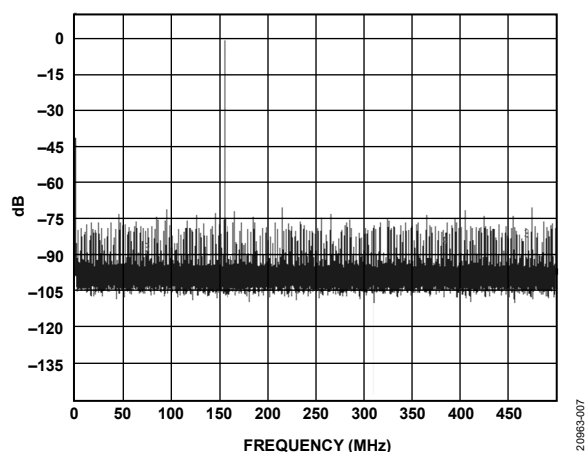


図 7. シングルトーンの FFT、 $f_{IN} = 155MHz$ 、SNRFS = 49.1dBFS、SFDR = 71dBFS、SINAD = 49.1dBFS

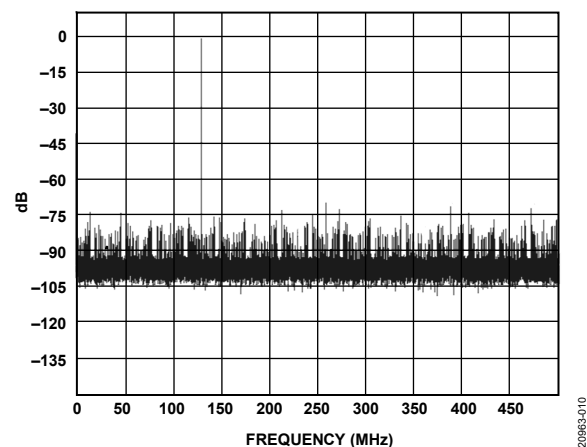


図 10. シングルトーンの FFT、 $f_{IN} = 871MHz$ 、SNRFS = 48.5dBFS、SFDR = 70dBFS、SINAD = 48.5dBFS

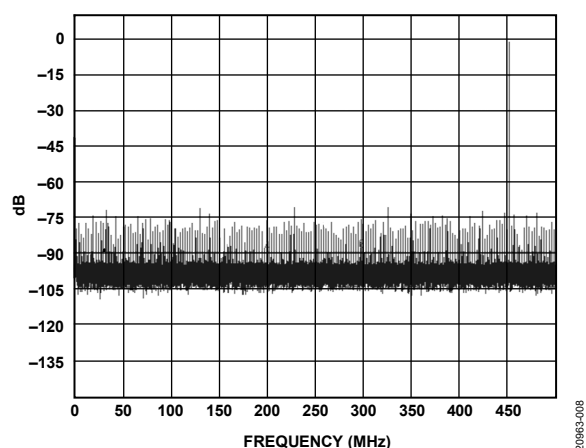


図 8. シングルトーンの FFT、 $f_{IN} = 451MHz$ 、SNRFS = 49.1dBFS、SFDR = 71dBFS、SINAD = 49.1dBFS

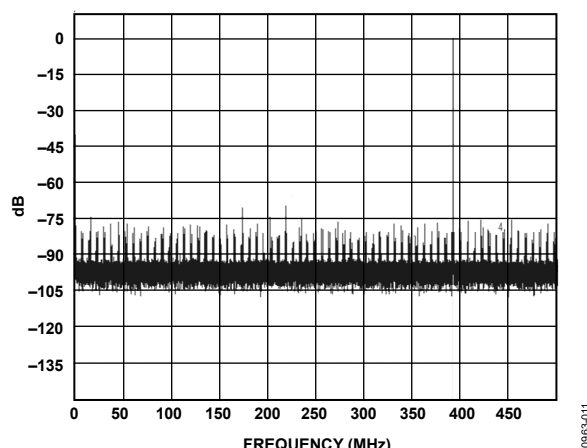


図 11. シングルトーンの FFT、 $f_{IN} = 1391MHz$ 、SNRFS = 48.4dBFS、SFDR = 70dBFS、SINAD = 48.4dBFS

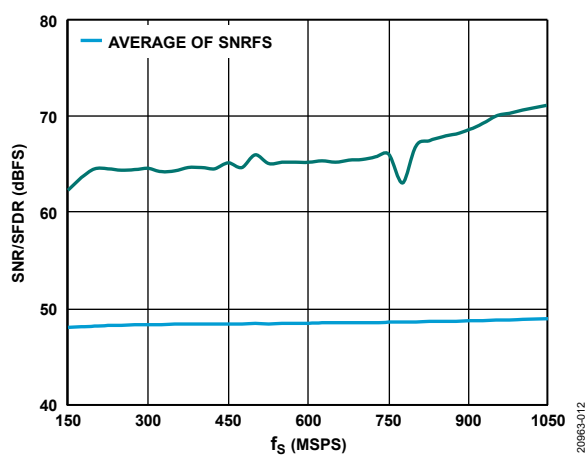


図 12. S/N 比/SFDR とサンプル・レート (f_s) の関係、 $f_{IN} = 155\text{MHz}$

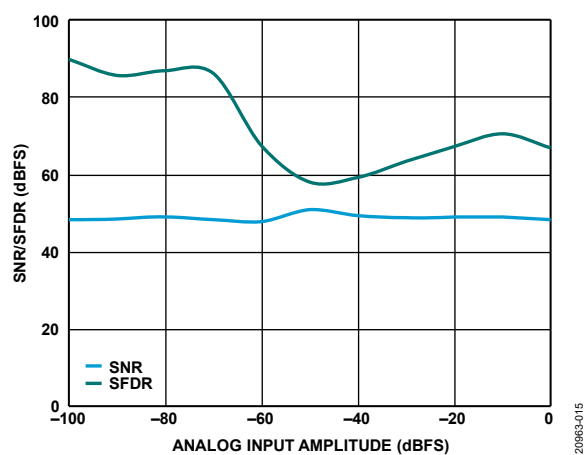


図 15. S/N 比/SFDR とアナログ入力振幅の関係、 $f_{IN} = 155\text{MHz}$

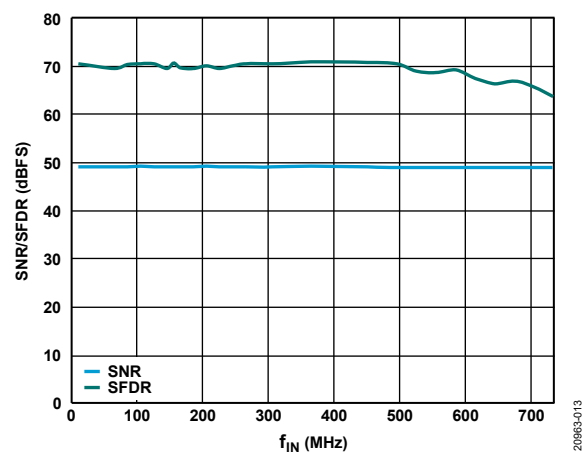


図 13. S/N 比/SFDR と f_{IN} の関係、 $A_{IN} < 735\text{MHz}$ 、バッファ電流 = $160\mu\text{A}$

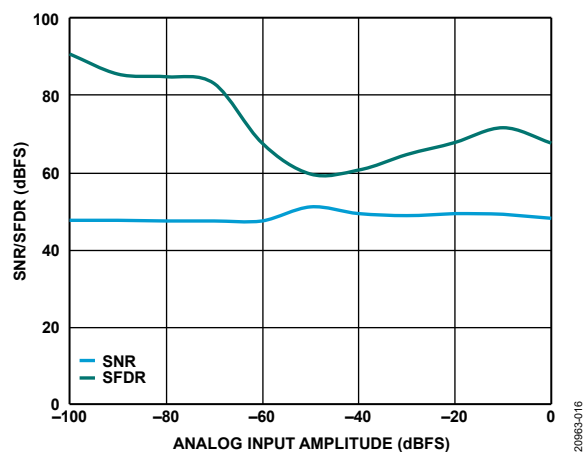


図 16. S/N 比/SFDR とアナログ入力振幅の関係、 $f_{IN} = 611\text{MHz}$

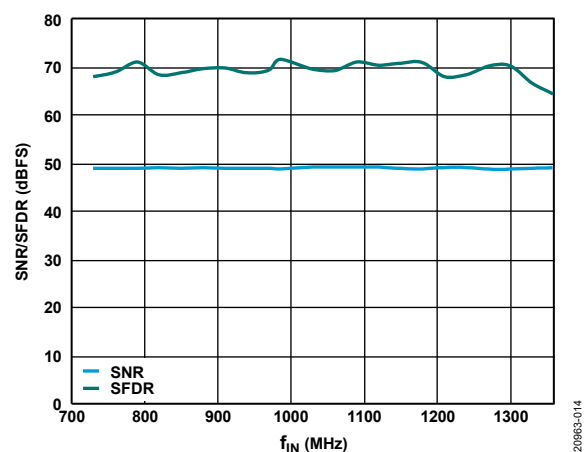


図 14. S/N 比/SFDR と f_{IN} の関係、 $A_{IN} \geq 735\text{MHz}$ 、バッファ電流 = $320\mu\text{A}$

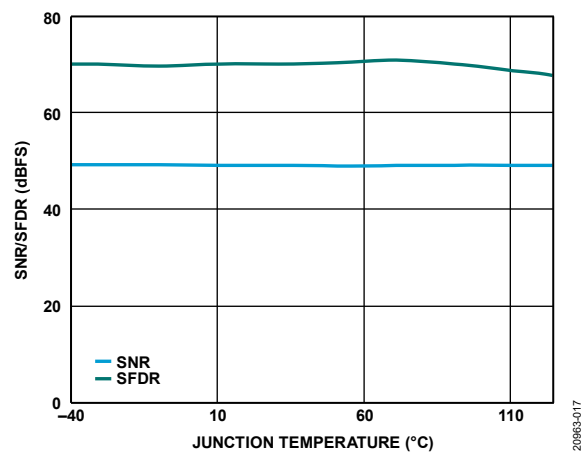


図 17. S/N 比/SFDR とジャンクション温度の関係、 $f_{IN} = 155\text{MHz}$

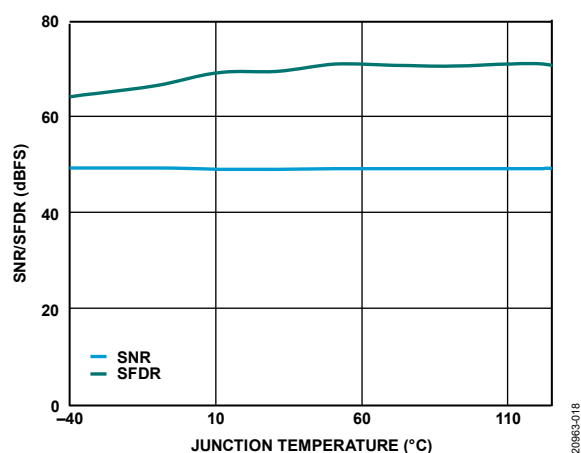


図 18. S/N 比/SFDR とジャンクション温度の関係、
 $f_{IN} = 611\text{MHz}$

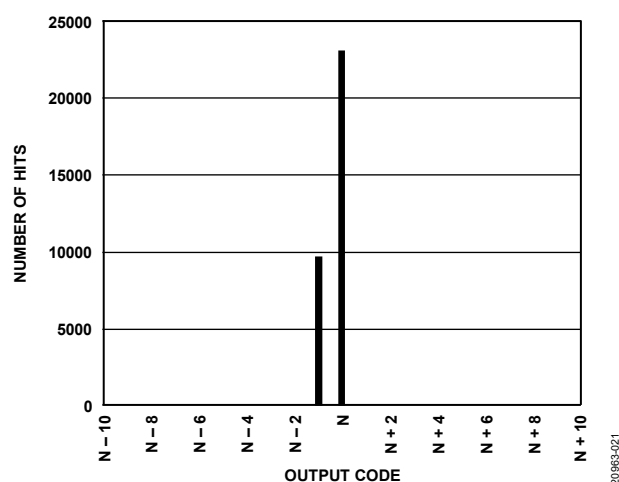


図 21. 入力換算ノイズのヒストグラム

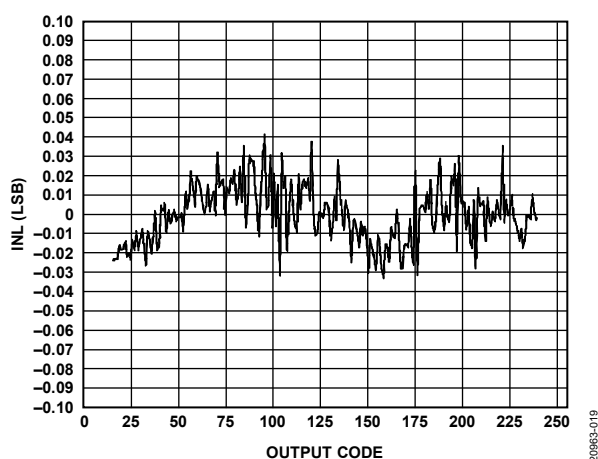


図 19. INL、 $f_{IN} = 10.3\text{MHz}$

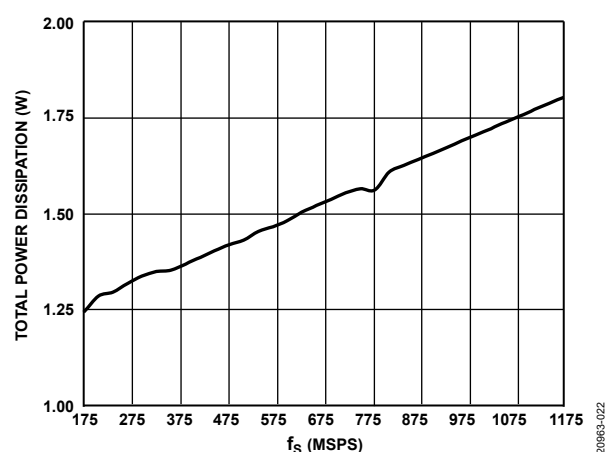


図 22. 全消費電力と f_s の関係

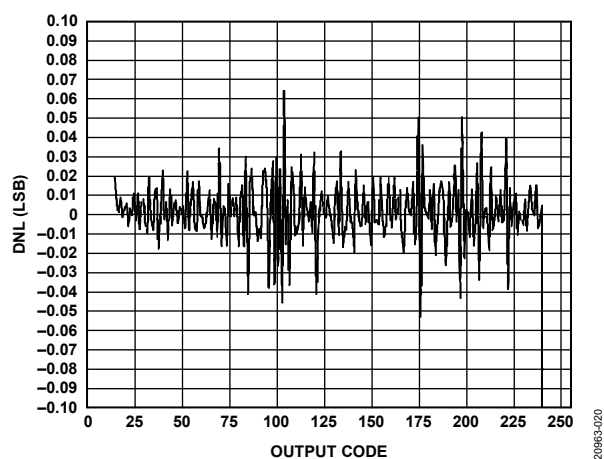


図 20. DNL、 $f_{IN} = 10.3\text{MHz}$

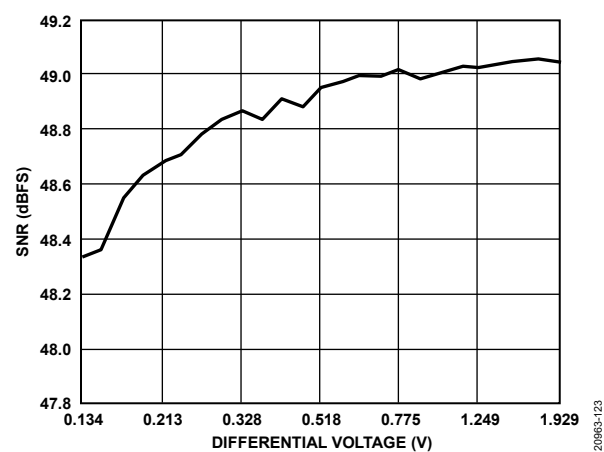


図 23. S/N 比と差動電圧（クロック振幅）の関係、
 $f_{IN} = 155.3\text{MHz}$

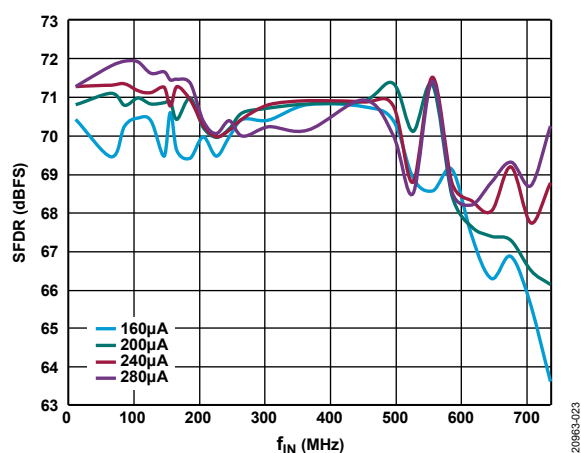


図 24. 様々なバッファ電流設定での SFDR と f_{IN} の関係、 $A_{IN} < 735\text{MHz}$

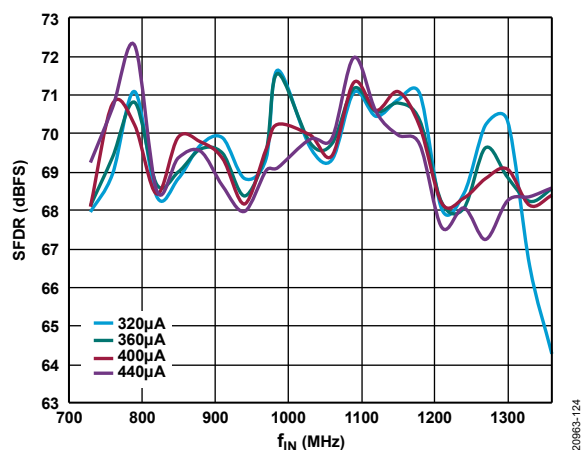


図 25. 様々なバッファ電流設定での SFDR と f_{IN} の関係、 $A_{IN} \geq 735\text{MHz}$

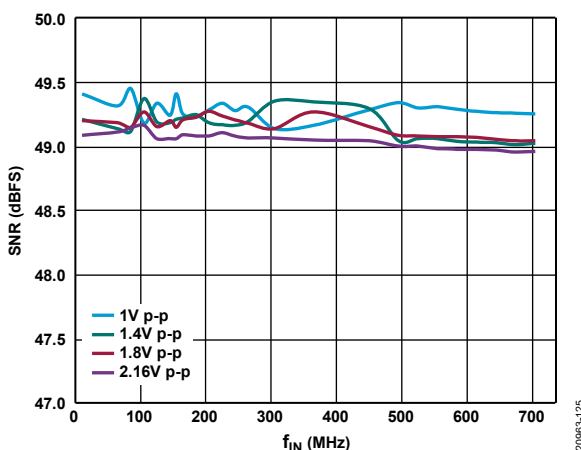


図 26. 様々なアナログ入力フルスケールでの S/N 比と f_{IN} の関係、 $A_{IN} < 735\text{MHz}$

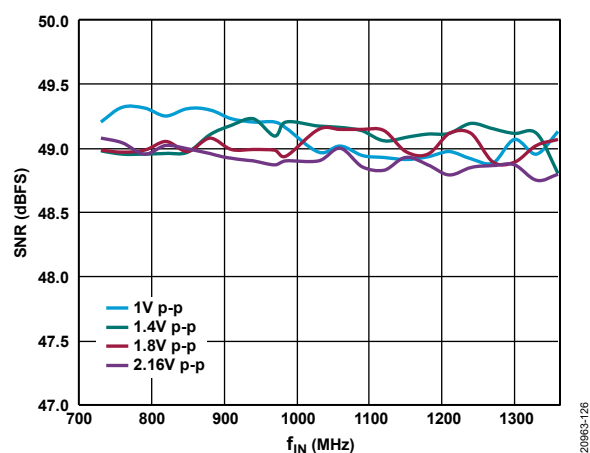


図 27. 様々なアナログ入力フルスケールでの S/N 比と f_{IN} の関係、 $A_{IN} \geq 735\text{MHz}$ 、バッファ電流 = $320\mu\text{A}$

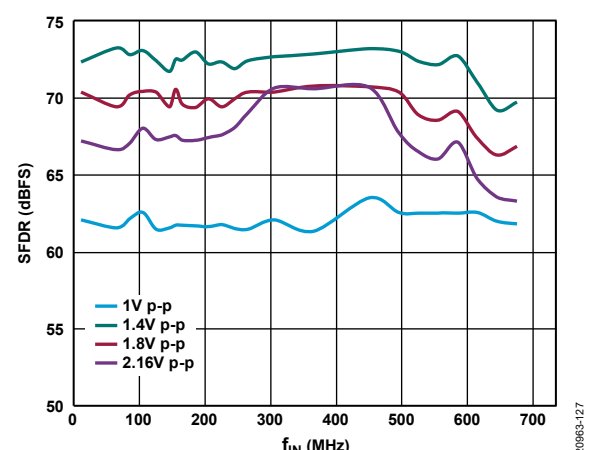


図 28. 様々なアナログ入力フルスケールでの SFDR と f_{IN} の関係、 $A_{IN} < 735\text{MHz}$

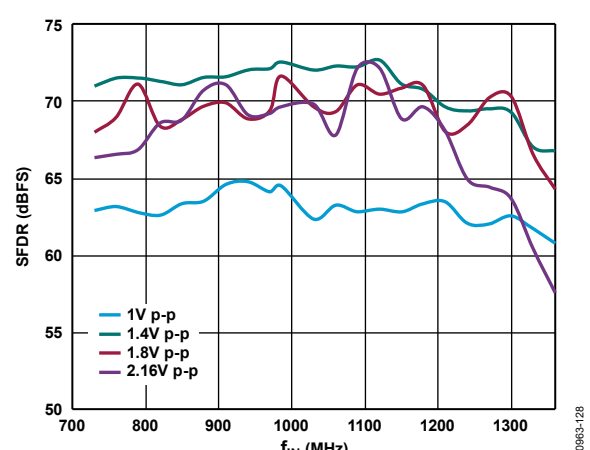


図 29. 様々なアナログ入力フルスケールでの SFDR と f_{IN} の関係、 $A_{IN} \geq 735\text{MHz}$ 、バッファ電流 = $320\mu\text{A}$

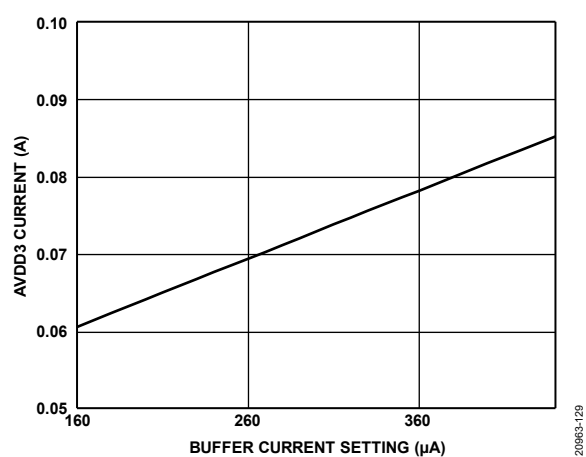


図 30. AVDD3 の電流とバッファ電流設定値の関係

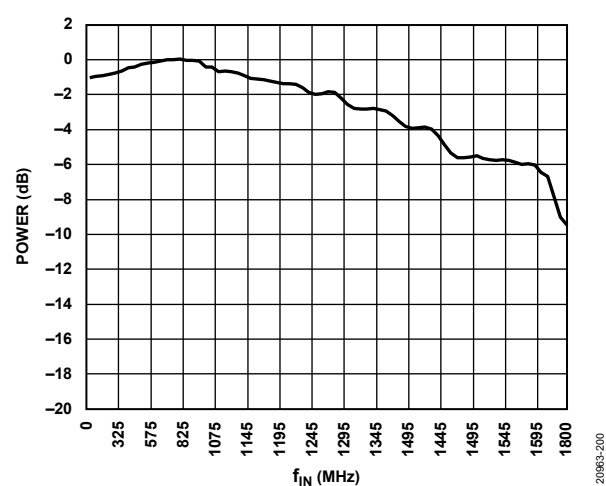


図 31. フルパワー帯域幅

等価回路

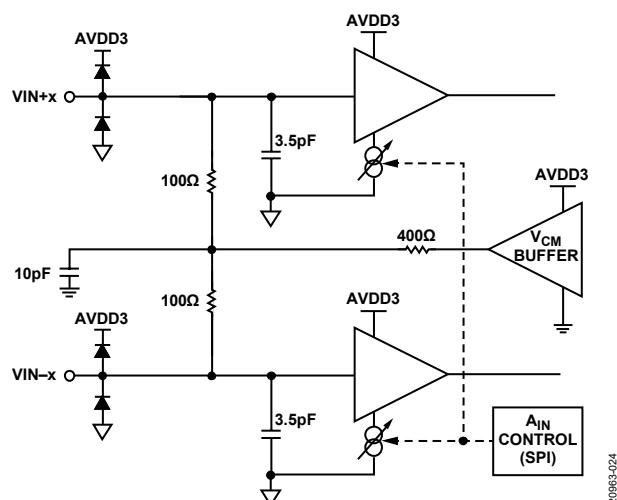


図 32. アナログ入力

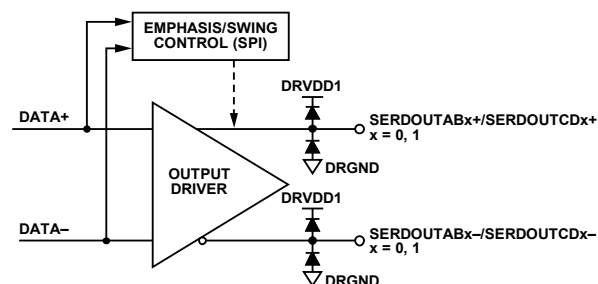


図 35. デジタル出力

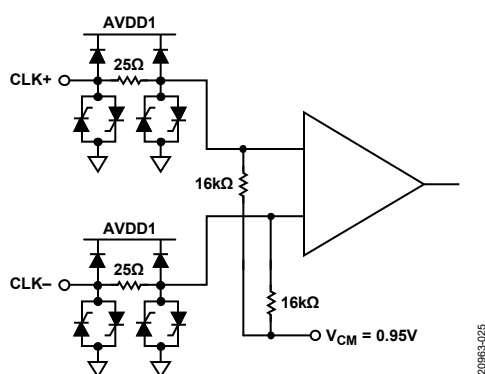


図 33. クロック入力

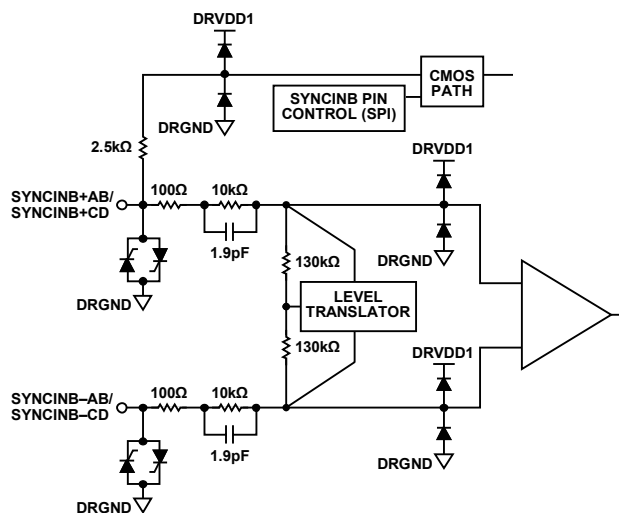


図 36. SYNCINB±AB、SYNCINB±CD の各入力

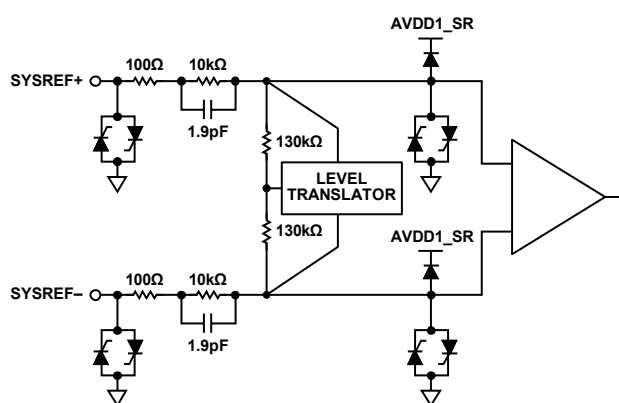


図 34. SYSREF±入力

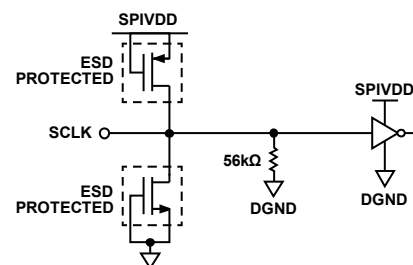


図 37. SCLK 入力

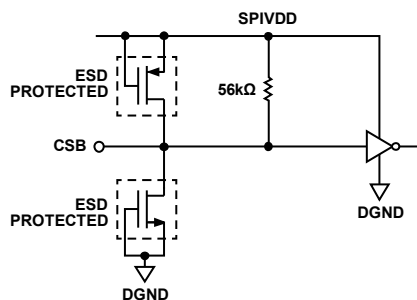


図 38. CSB 入力

20963-1030

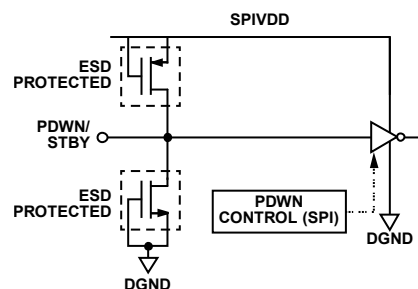


図 41. PDWN/STBY 入力

20963-1033

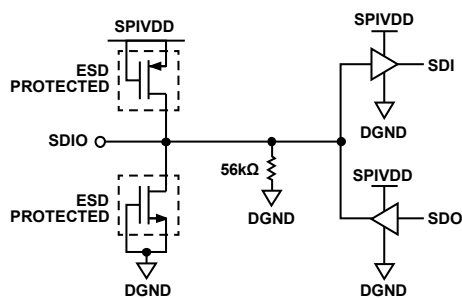


図 39. SDIO 入力

20963-4031

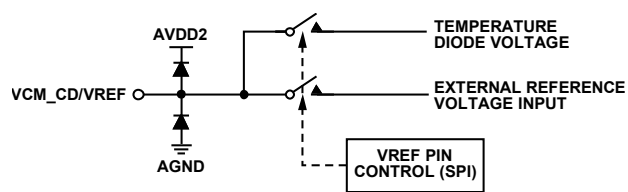


図 42. VCM_CD/VREF の入出力

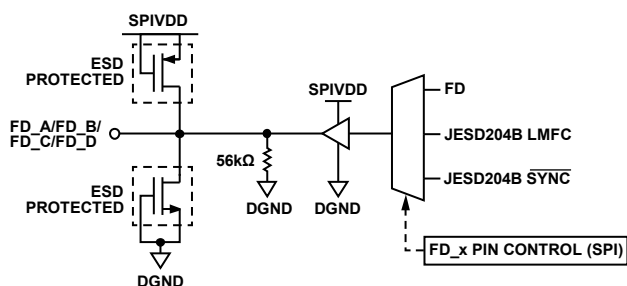


図 40. FD_A、FD_B、FD_C、または FD_D の出力

動作原理

ADC のアーキテクチャ

AD9094 のアーキテクチャは、入力バッファ付きのパイプライン ADC で構成されています。ADC の入力バッファには、アナログ入力信号に対する 200Ω の終端インピーダンスが備わっています。図 32 に、アナログ入力終端の等価回路図を示します。

この入力バッファによって直線性に優れた、高入力インピーダンスが提供され（駆動が容易になる）、ADC からのキックバックが減少します。バッファは、高い直線性、低ノイズ、低消費電力を実現できるように最適化されています。各段からの量子化出力は、デジタル補正ロジック内で最終的に 1 個の 8 ビット値にまとめられます。パイプライン・アーキテクチャにより、最初の段は、その他の段が前のサンプルで同時に動作する間に、新しい入力サンプルで動作できるようになります。サンプリングはクロックの立上がりエッジで行われます。

アナログ入力に関する考慮事項

AD9094 のアナログ入力は、内部 V_{CM} が $1.43V$ の差動バッファです。クロック信号は、サンプル・モードとホールド・モードの間で入力回路を交互に切り替えます。マッチング受動回路を構成するために、1 個の差動コンデンサまたは 2 個のシングルエンド・コンデンサを入力に組み込むことができます。この構成は、最終的には、不要な広帯域ノイズを制限するローパス・フィルタを入力部に構成します。入力回路の推奨事項についての詳細は、図 43 と図 44 を参照してください。

最大限の動的性能を得るには、コモンモードのセトリング誤差が対称になるように、 $VIN+x$ と $VIN-x$ を駆動するソース・インピーダンスをマッチングさせます。これらの誤差は、ADC の同相ノイズ除去によって減らすことができます。内部リファレンス・バッファは、ADC コアのスパンを決定する差動リファレンスを生成します。

S/N 比を最大にするには、差動構成で ADC のスパンを最大に設定します。AD9094 では、SPI を介して、使用可能なスパンを $1.44V_{p-p} \sim 2.16V_{p-p}$ の差動範囲にプログラムすることができます。デフォルトは $1.44V_{p-p}$ の差動です。

ディザ

AD9094 には、特に低信号レベル時の ADC の直線性と SFDR を改善する、内部オンチップ・ディザ回路が組み込まれています。AD9094 の入力に、既知ですがランダムな量の白色ノイズを加えます。このディザは ADC 伝達関数内の小信号の直線性を改善し、デジタル的に正確に差し引かれます。ディザはデフォルトでオンになっており、ADC の入力ダイナミック・レンジを狭めることはありません。このデータシートの仕様値と制限値は、ディザをオンにした場合のものです。ディザを無効にするには、レジスタ 0x0922 への SPI 書き込みを使用します。ディザを無効にすることで、S/N 比をわずかに（約 $0.2dB$ ）向上できますが、引き換えとして小信号での SFDR 性能が低下します。

差動入力構成

AD9094 を能動的あるいは受動的に駆動する方法は複数あります。ただし、最高の性能を発揮するにはアナログ入力を差動で駆動します。

大半のアンプのノイズ性能は AD9094 の本来の性能を引き出せるほど十分なものではないので、S/N 比と SFDR が重要なパラメータとなるアプリケーションでは、差動トランス結合が推奨入力構成となります（図 43 と図 44 を参照）。

低周波数域から中周波数域で AD9094 の性能を最大限に引き出すために推奨されるのは、ダブル・バランまたはダブル・トランス回路です（図 43 を参照）。より高い周波数域の第 3 または第 4 ナイキスト・ゾーンでは、広帯域動作を確実なものとするために、フロントエンドの受動コンポーネントの一部を取り除きます（図 44 を参照）。

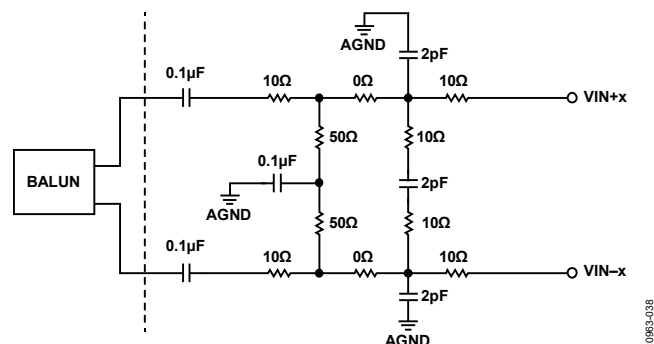


図 43. 差動トランス結合構成、 $A_{IN} \leq 735MHz$

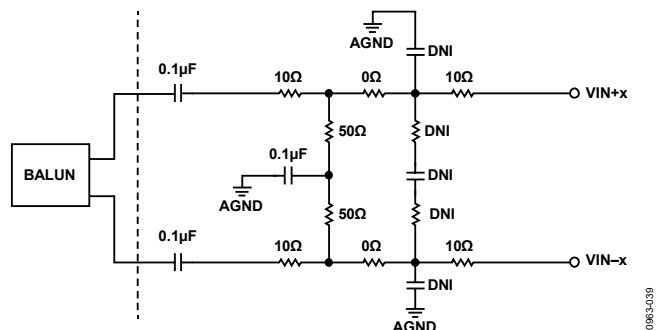


図 44. 差動トランス結合構成、 $A_{IN} > 735MHz$

入力コモンモード

図 45 に示すように、AD9094 のアナログ入力は内部でコモンモードにバイアスされます。

DC カップリングのアプリケーションでは、このセクションで示される SPI 書き込みを使用して、 V_{CM} を V_{CM_CD}/V_{REF} ピンにエクスポートします。レジスタ 0x1908 を使用して、内部 V_{CM} バッファをアナログ入力から遮断します。

DC カップリング動作のために SPI 書き込みを行う場合は、以下のレジスタ設定を順番に従って使用します。

1. レジスタ 0x1908 のビット 2 を 1 にセットして、内部コモンモード・バッファへのアナログ入力を遮断します。
2. レジスタ 0x18A6 を 0x00 に設定して、電圧リファレンスをオフにします。
3. レジスタ 0x18E6 を 0x00 に設定して、温度ダイオードのエクスポートをオフにします。
4. レジスタ 0x18E0 を 0x04 に設定します。
5. レジスタ 0x18E1 を 0x1C に設定します。
6. レジスタ 0x18E2 を 0x14 に設定します。
7. レジスタ 0x18E3 のビット 6 を 0x01 に設定して V_{CM} バッファをオンにし、内部コモンモード電圧をエクスポートします。
8. レジスタ 0x18E3 のビット [5:0] をバッファ電流の設定値にします（コモンモード・エクスポートの精度を向上させるために、レジスタ 0x1A4C とレジスタ 0x1A4D からバッファ電流の設定値をコピーする）。

アナログ入力の制御と SFDR の最適化

AD9094 はバッファ電流や入力フルスケールの調整など、アナログ入力の柔軟な制御を実現します。使用可能なすべての制御を図 45 に示します。

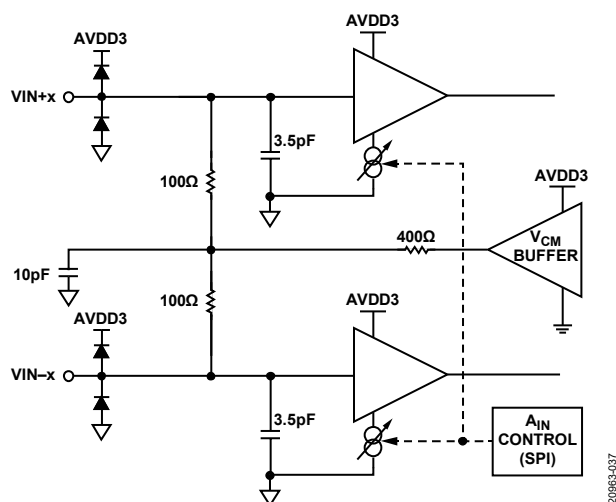


図 45. アナログ入力制御

レジスタ 0x1A4C とレジスタ 0x1A4D を使用して各チャンネルのバッファ電流をスケールし、様々な入力周波数と対象帯域幅に対して SFDR を最適化することができます。入力バッファ電流が設定されると、AVDD3 電源に必要な電流量が変わります。この関係を図 46 に示します。すべてのバッファ電流設定のリストについては、表 23 を参照してください。

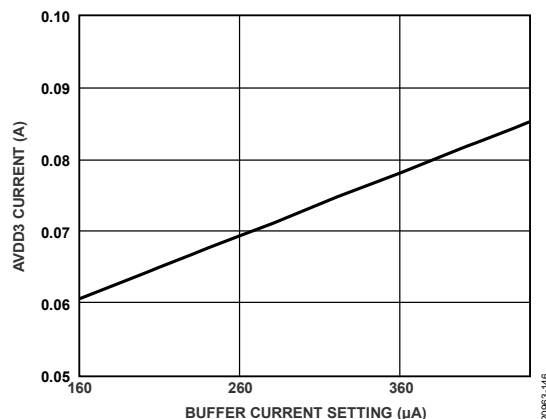


図 46. AVDD3 の電力とバッファ電流設定値の関係

一部の高周波数アプリケーションでは、フルスケール設定を減少させることで SFDR を向上できます。

表 9 に、様々なアナログ入力周波数 (f_{IN}) 範囲に対する推奨バッファ電流設定値を示します。

表 9. 入力周波数の SFDR の最適化

アナログ入力周波数	入力バッファ電流制御設定値、レジスタ 0x1A4C およびレジスタ 0x1A4D
$A_{IN} < 500 \text{ MHz}$	160 μA (レジスタ 0x1A4C、ビット [5:0] = レジスタ 0x1A4D、ビット [5:0] = 01000)
$A_{IN} \geq 500 \text{ MHz}$, $A_{IN} < 735 \text{ MHz}$	280 μA (レジスタ 0x1A4C、ビット [5:0] = レジスタ 0x1A4D、ビット [5:0] = 01110)
$A_{IN} \geq 735 \text{ MHz}$	320 μA (レジスタ 0x1A4C、ビット [5:0] = レジスタ 0x1A4D、ビット [5:0] = 10000)

絶対最大入力振幅

AD9094 の入力で許容される絶対最大入力振幅は、差動で 4.3V_{p-p} です。このレベルまたはその近傍で動作する信号は、ADC に恒久的な損傷を与えるおそれがあります。

電圧リファレンス

AD9094 には、安定した正確な 0.5V 電圧リファレンスが組み込まれています。この 0.5V 内部リファレンスによって、ADC のフルスケール入力範囲が設定されます。フルスケール入力範囲は、レジスタ 0x1910 で調整できます。入力振幅の詳細な調整方法については、表 23 を参照してください。図 47 に、0.5V 内部リファレンス制御のブロック図を示します。

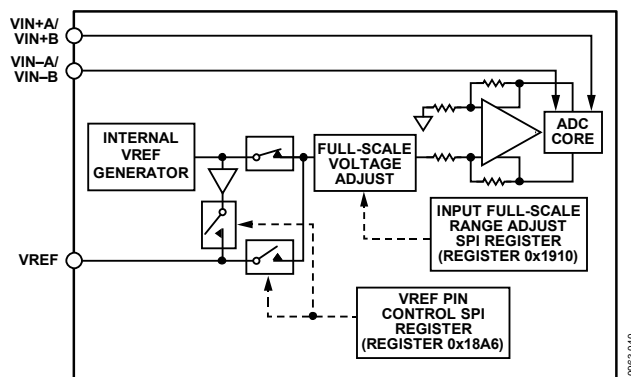


図 47. 内部リファレンスの構成と制御

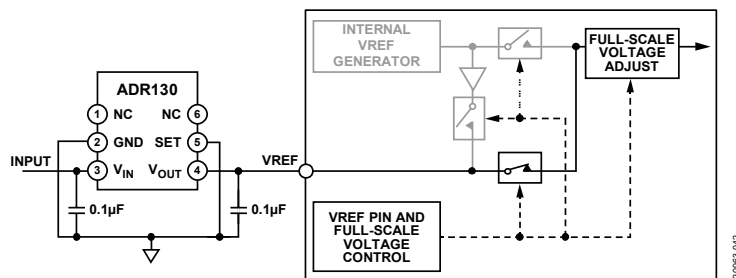


図 48. ADR130 を使用した外部リファレンス

レジスタ 0x18A6 を使用すれば、0.5V 内部リファレンスを使用するか、0.5V 外部リファレンスを設定するかを選択できます。外部電圧リファレンスを使用する場合は、必ず 0.5V のリファレンスを用意してください。フルスケール調整は SPI を使用して行われ、リファレンス電圧には関係しません。AD9094 のフルスケール・レベルの詳しい調整方法については、表 23 を参照してください。

外部電圧リファレンスを使用するために必要な SPI 書込みの手順を以下に示します。

1. レジスタ 0x18E3 を 0x00 に設定して、V_{CM} のエクスポートをオフにします。
2. レジスタ 0x18E6 を 0x00 に設定して、温度ダイオードのエクスポートをオフにします。
3. レジスタ 0x18A6 を 0x01 に設定して、外部電圧リファレンスをオンにします。

アプリケーションによっては、ADC のゲイン精度を向上させたり熱ドリフト特性を改善したりするために、外部リファレンスが必要になることがあります。

外部電圧リファレンスは、安定した 0.5V リファレンスでなければなりません。ADR130 は、0.5V リファレンスとして十分な性能を備えたものの 1 つです。ADR130 が AD9094 に外部 0.5V リファレンスを与える仕組みを図 48 に示します。破線部は、ADR130 を使って外部リファレンスを与える場合の、AD9094 内の未使用ブロックです。

DC オフセットのキャリブレーション

AD9094 には、ADC の出力から DC オフセットを除去するためにデジタル・フィルタが組み込まれています。このフィルタを AC カップリング・アプリケーション用にイネーブルするには、レジスタ 0x0701 のビット 7 を 1 に設定し、レジスタ 0x073B のビット 7 を 0 に設定します。このフィルタは、平均 DC 信号を計算して、それを ADC 出力からデジタル的に差し引きます。結果として、出力と DC オフセットの比は 70dBFS 以上にまで改善されます。フィルタは DC 信号のソースを区別しないので、DC の信号内容を扱うのが目的でない場合にこの機能を使用できます。フィルタは最大 ± 512 コードまで DC を補正しますが、この値を超えると飽和します。

クロック入力に関する考慮事項

最大限の性能を引き出すには、AD9094 のサンプル・クロック入力 (CLK±) を差動信号で駆動してください。この信号は通常、トランスまたはクロック・ドライバを介して CLK±ピンに AC カップリングされます。これらのピンは内部的にバイアスされます。バイアスの追加は必要ありません。

AD9094 の望ましいクロッキング方法を図 49 に示します。低ジッタのクロック・ソースが、RF トランスを使ってシングルエンド信号から差動信号に変換されます。

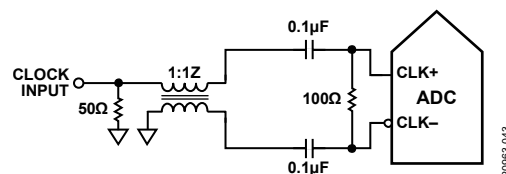


図 49. トランスにカップリングした差動クロック
(Z はインピーダンス比)

AD9094 にクロックを供給するもう 1 つの選択肢は、図 50 に示すように、差動信号または LVDS 信号をサンプル・クロック入力ピンに AC カップリングすることです。

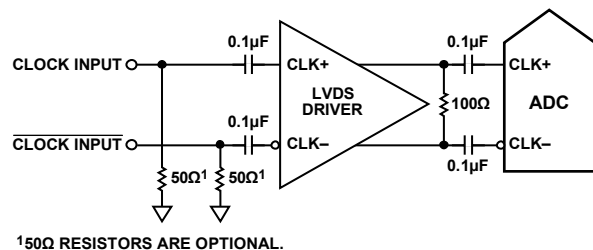


図 50. 差動 LVDS サンプル・クロック

クロックのデューティ・サイクルに関する考慮事項

代表的な高速 ADC は、両方のクロック・エッジを使用して様々な内部タイミング信号を生成します。AD9094 には、内部クロック・ドライバとデューティ・サイクル・スタビライザ (DCS) が備わっています。50% のクロック・デューティ・サイクルを確保できないアプリケーションでは、数倍の周波数を持つクロックとクロック分周器を組み合わせることを推奨します。周波数の高いクロックを供給できない場合は、DCS をオンにすることを推奨します。分周器出力から、50% のデューティ・サイクルと高いスループレート (高速エッジ) のクロック信号が内部 ADC に供給されます。DCS をオンにするためには、以下の SPI 書込みが必要です (この機能の詳しい使用方法については、[メモリ・マップ](#)のセクションを参照してください)。

- レジスタ 0x011F に 0x81 を書き込みます。
- レジスタ 0x011C に 0x09 を書き込みます。
- レジスタ 0x011E に 0x09 を書き込みます。
- レジスタ 0x011C に 0x0B を書き込みます。
- レジスタ 0x011E に 0x0B を書き込みます。

入力クロック分周器

AD9094 には、入力クロックを 1、2、4、または 8 分周することのできる入力クロック分周器が組み込まれています。分周比は、レジスタ 0x0108 を使って選択します (図 51 を参照)。

クロック入力サンプル・クロックの倍数であるアプリケーションでは、クロック信号を使用する前に、クロック分周器に適切な分周比をプログラムしてください。これにより、スタートアップ時の過渡電流を制御することができます。

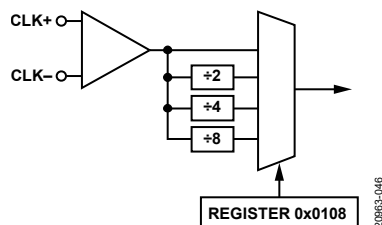


図 51. クロック分周器回路

AD9094 のクロック分周器は、外部 SYSREF±入力をを使って同期できます。クロック分周器は有効な SYSREF±でリセットされ、プログラム可能な状態になります。この同期機能によって、複数デバイスが同時に入力サンプリングを行えるよう、対応するクロック分周器を揃えることが可能となります。

クロック・ジッタに関する考慮事項

高速で高分解能の ADC は、クロック入力の品質に大きく影響されます。所定の f_A における t_j だけに関係する S/N 比の低下は、次式を用いて計算できます。

$$S/N \text{ 比} = -20 \times \log(2 \times \pi \times f_A \times t_j)$$

この式で、RMS t_j は、クロック入力、アナログ入力信号、および ADC の t_j 仕様値を含むすべてのジッタ・ソースの二乗平均平方根を表します。IF アンダーサンプリング・アプリケーションは、ジッタに対して特に敏感です (図 52 を参照)。

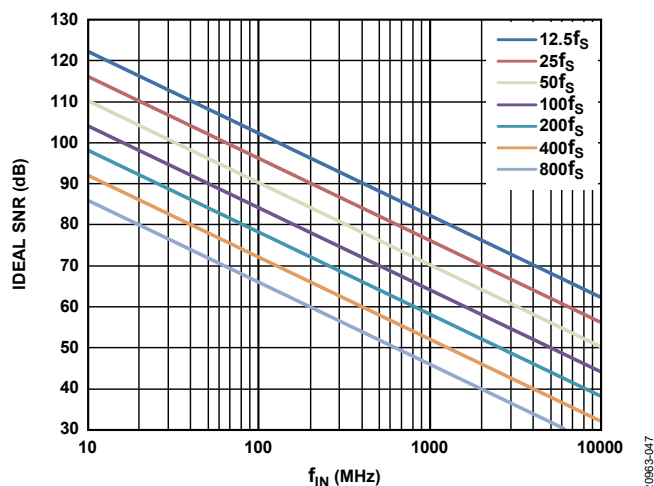


図 52. 様々なジッタに対する理想的な S/N 比と f_{IN} の関係

t_j が AD9094 のダイナミック・レンジに影響する可能性がある場合は、クロック入力をアナログ信号として扱います。デジタル・ノイズによるクロック信号の変調を避けるために、クロック・ドライバ用の電源は ADC 出力ドライバの電源から分離してください。クロックが別のタイプのソース (ゲーティング、分周、その他の方法) から生成されている場合は、最終ステップで、オリジナル・クロックによりクロックのリタイミングを行います。ADC に関するジッタ性能の詳細については、AN-501 アプリケーション・ノート、アパーチャ不確実性と ADC システム性能、および、AN-756 アプリケーション・ノート、サンプリングシステムに及ぼすクロック位相ノイズとジッタの影響を参照してください。

クロックにより生じる様々なジッタ値に対する AD9094 の予測 S/N 比と f_A の関係を、図 53 に示します。S/N 比を予測するには、次式を使用します。

$$SNR(dBFS) = -10 \log \left(10^{\left(\frac{-SNR_{ADC}}{10} \right)} + 10^{\left(\frac{-SNR_{JITTER}}{10} \right)} \right)$$

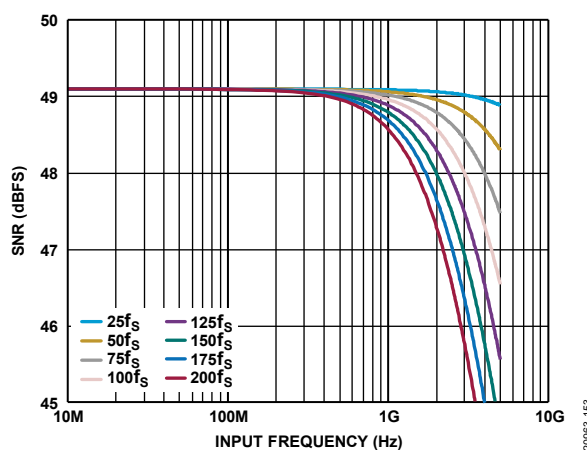


図 53. 様々な RMS ジッタに対する予測 S/N 比の低下とアナログ入力周波数の関係

入力クロック検出

AD9094 には、CLK±入力クロック・ピンで信号を検出する入力クロック検出回路があります。クロック振幅または f_s が指定最小値より小さい場合、AD9094 はパワーダウン・モードになります。レジスタ 0x011B の入力クロック検出ビットが 0 に設定されている場合、入力クロックは検出されません。入力クロック検出機能の詳細については、表 23 のレジスタ 0x011A およびレジスタ 0x011B を参照してください。

パワーダウン・モードとスタンバイ・モード

AD9094 の PDWN/STBY ピンはパワーダウン・モード時またはスタンバイ・モード時にデバイスを設定します。デフォルト動作はパワーダウンです。PDWN/STBY ピンはロジック・ハイ・ピンです。パワーダウン・モードの場合は JESD204B リンクが無効になります。パワーダウン・オプションは、レジスタ 0x003F とレジスタ 0x0040 を介して設定することもできます。

スタンバイ・モードでは JESD204B リンクが有効で、すべてのコンバータ・サンプルにゼロを送信します。この状態を変更するには、レジスタ 0x0571 のビット 7 を使い、/K/文字を選択してください。

温度ダイオード

AD9094 には、ダイ温度測定用にダイオード・ベースの温度センサーが組み込まれています。このダイオードは電圧を出力でき、内部ダイ温度を大まかにモニタするための温度センサーとして使用できます。

温度ダイオードの電圧を VCM_CD/VREF ピンに出力するには、SPI を使用します。ダイオードをイネーブルまたはディスエーブルするには、レジスタ 0x18E6 を使用します。レジスタ 0x18E6 はローカル・レジスタです。温度ダイオードの読出しを可能にするには、ペア・インデックス・レジスタで両方のコアを選択する必要があります（レジスタ 0x0009 = 0x03）。他の電圧も同じピンに同時にエクスポートされる場合がある、という点に注意する必要があります。その場合、デバイスが不定な動作をする可能性があります。そのため、読出しが正しく行われるようにするには、以下のステップに従ってその他のすべての電圧エクスポート回路をオフにしてください。

温度ダイオードのエクスポートに必要な SPI 書込みを以下に示します（詳細は表 23 を参照）。

1. レジスタ 0x0009 を 0x03 に設定して、両方のコアを選択します。
2. レジスタ 0x18E3 を 0x00 に設定して、V_{CM} のエクスポートをオフにします。
3. レジスタ 0x18A6 を 0x00 に設定して、電圧リファレンスのエクスポートをオフにします。
4. レジスタ 0x18E6 を 0x01 に設定して、中央にある温度ダイオードのうち、サイズが小さいほう（1 倍）のこの電圧エクスポートをオンにします。温度ダイオードの代表的な電圧応答を図 54 に示します。この電圧がダイ温度を表しますが、精度を向上させるために、2 個あるダイオードの両方の値を測定することを推奨します。

5. 20 倍のダイオードをイネーブルするには、レジスタ 0x18E6 を 0x02 に設定して、ペアの 2 個目の中央温度ダイオード（1 個目の 20 倍のサイズを持つほう）をオンにします。より正確な結果を得るために 2 個のダイオードを同時に使用する場合、詳細については AN-1432 アプリケーション・ノート、*ハイパワー IC の実用的な熱モデリングと測定* を参照してください。

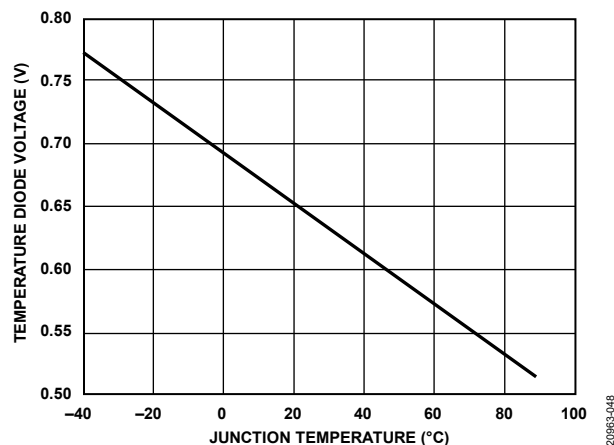


図 54. 温度ダイオードの電圧とジャンクション温度の関係

ADC オーバーレンジと高速検出

レシーバー・アプリケーションでは、コンバータがクリップ状態になるタイミングを確実に判定するメカニズムを備えていると便利です。JESD204B 出力の標準オーバーレンジ・ビットは、有用性の低いアナログ入力の状態に関する情報を提供します。したがって、フルスケール値未満でプログラム可能な閾値を使って、実際にクリップが発生する前に、ゲインを低下させる時間を取れるようにするのが有効です。更に、入力信号のスルー・レートがかなり大きくなる可能性があるため、この機能の遅延が大きな懸念材料となります。高度にパイプライン化されたコンバータでは、遅延も大きくなります。AD9094 には、閾値をモニタして FD_A、FD_B、FD_C、FD_D の各ピンをアサートするために、個々のチャンネル用の高速検出回路が組み込まれています。

ADC オーバーレンジ

ADC 入力でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ・インジケータは、JESD204B リンク内に制御ビットとして組み込むことができます (CSB > 0 の場合)。このオーバーレンジ・インジケータの遅延は、サンプル遅延と一致します。

高速閾値検出 (FD_A、FD_B、FD_C、FD_D)

入力信号の絶対値が、プログラム可能な上限閾値レベルを超えると、直ちにレジスタ 0x0040 の高速検出のための FD_x ビットがセットされます。FD_x ビットは、入力信号の絶対値が下限閾値レベルを下回り、その状態がプログラム可能なドウェル時間を超えて持続した場合にのみクリアされます。この機能はヒステリシスを発生させて、FD_x ビットの過度のトグルングを防ぎます。

上限閾値レジスタと下限閾値レジスタ、およびドウェル時間レジスタの動作を図 55 に示します。

高速検出インジケータは、入力の大きさが上限閾値高速検出レジスタ内にプログラムされた値を超えた場合にアサートされます。これらの検出レジスタはレジスタ 0x0247 とレジスタ 0x0248 に置かれています。選択された閾値レジスタは、ADC 出力の信号の大きさと比較されます。上限閾値の高速検出時には、最大で 30 クロック・サイクルの遅延が生じます。上限閾値のおおよその大きさ (dBFS 単位) は、次式で定義されます。

$$\text{上限閾値の大きさ} = 20\log(\text{閾値の大きさ}/2^{13})$$

高速検出インジケータは、信号が下限閾値未満に低下して、その状態がプログラムされたドウェル時間だけ持続するまでクリアされません。下限閾値は、レジスタ 0x0249 とレジスタ 0x024A に置かれた下限閾値高速検出レジスタ内に設定されます。下限閾値高速検出レジスタは 13 ビット・レジスタで、ADC 出力の信号の大きさと比較されます。この比較は ADC パイプライン遅延の影響を受けますが、コンバータの分解能に関しては正確です。下限閾値の大きさ (dBFS 単位) は、次式で定義されます。

$$\text{下限閾値の大きさ} = 20\log(\text{閾値の大きさ}/2^{13})$$

例えば、-6dBFS の上限閾値を設定するには、レジスタ 0x0247 と 0x0248 に 0xFFF を書き込みます。-10dBFS の下限閾値を設定するには、レジスタ 0x0249 と 0x024A に 0xA1D を書き込みます。

ドウェル時間は 1~65,535 サンプル・クロック・サイクルの間でプログラムできます。ドウェル時間をプログラムするには、レジスタ 0x024B とレジスタ 0x024C の高速検出ドウェル時間レジスタに必要な値を設定します (詳細については表 23 を参照してください)。

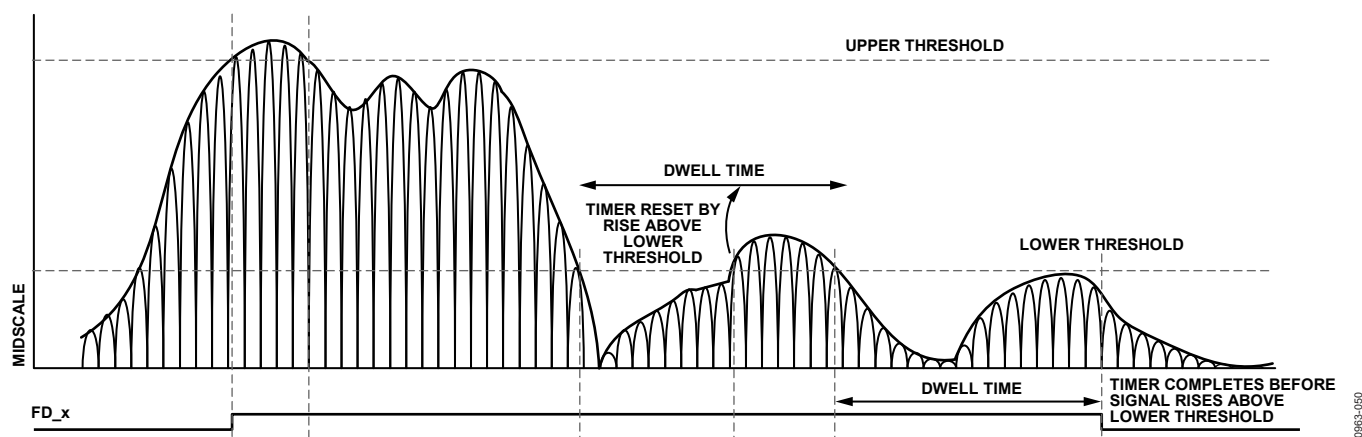


図 55. FD_x 信号の閾値設定

信号モニタ

信号モニタ・ブロックは、ADC でデジタル化される信号に関する追加情報を提供します。信号モニタは、デジタル化された信号のピーク振幅を計算します。この情報は、実際の信号が複数存在する中で、自動ゲイン制御 (AGC) ループを駆動して ADC の範囲を最適化するために使用できます。

信号モニタ・ブロックの結果は、内部の値を SPI ポートからリードバックするか、信号モニタ情報を JESD204B インターフェースに特別な制御ビットとして組み込むことによって得ることができます。測定時間は、グローバルな 24 ビットのプログラム周期によって制御されます。図 56 に信号モニタ・ブロックの簡略ブロック図を示します。

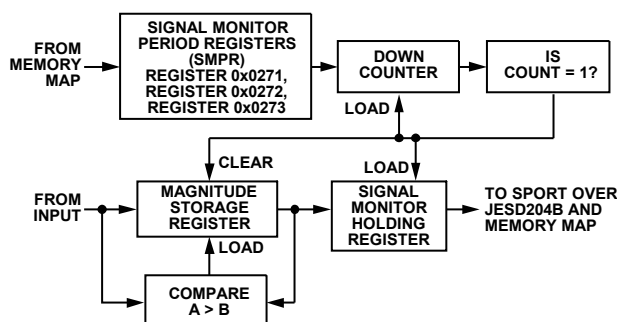


図 56. 信号モニタ・ブロック

ピーク・ディテクタは、観測時間内の最大信号をキャプチャします。このディテクタは信号の振幅だけを観測します。ピーク・ディテクタの分解能は 13 ビットです。観測時間は 24 ビットで、これはコンバータの出力サンプルに相当します。ピーク振幅 (dBFS) を求めるには、次式を使用します。

$$\text{ピーク振幅} = 20 \log (\text{ピーク・ディテクタの値}^{2^{13}})$$

入力ポート信号の振幅はプログラム可能な時間幅でモニタされ、これは信号モニタ時間レジスタ (SMPR) によって決定されます。ピーク・ディテクタ機能を有効にするには、信号モニタ制御レジスタのレジスタ 0x0270 のビット 1 をセットします。24 ビット SMPR は、このモードをアクティブにする前にプログラムする必要があります。

ピーク検出モードを有効にすると、SMPR 内の値がモニタ時間タイマーにロードされます。このタイマーは、デシメートされたクロック・レートでデクリメントされます。入力信号の大きさは内部の値保存レジスタ (ユーザはアクセス不可) 内の値と比較されて、どちらか大きいほうが最新のピーク・レベルとして更新されます。この値保存レジスタの初期値は、最新の ADC 入力信号の大きさに設定されます。この比較は、モニタ時間タイマーのカウント数が 1 になるまで続きます。

モニタ時間タイマーのカウント数が 1 になると、13 ビットのピーク・レベル値が信号モニタ保持レジスタに転送されます。このレベル値は、メモリ・マップを通じて読み出したり、JESD204B インターフェース上の SPORT インターフェースを通じて出力したりすることができます。モニタ時間タイマーは SMPR 内の値で再ロードされカウントダウンが再開されます。最初の入力サンプルの振幅も値保存レジスタで更新され、**高速閾値検出 (FD_A、FD_B、FD_C、FD_D)** のセクションで説明した比較および更新プロシージャが続行されます。

SPORT Over JESD204B

信号モニタ・データは、シリアル化して JESD204B インターフェース経由で制御ビットとして送ることもできます。統計データを再現するには、サンプルから、これらの制御ビットのシリアル化を解除する必要があります。信号制御モニタ機能を有効にするには、レジスタ 0x0279 のビット 0 とレジスタ 0x027A のビット 1 をセットします。JESD204B サンプル内の信号モニタ制御ビットの位置について、図 57 に構成例を 2 つ示します。JESD204B サンプルには最大で 3 つの制御ビットを挿入できます。ただし、信号モニタに必要な制御ビットは 1 つだけです。制御ビットは MSB から LSB の方向へ挿入します。制御ビットを 1 つだけ挿入する場合 (サンプルあたりの制御ビット数 (CS) = 1) は、最上位制御ビットだけを使用します (図 57 の構成例 1 と構成例 2 を参照)。SPORT over JESD204B (信号モニタ) オプションを選択するには、レジスタ 0x0559 とレジスタ 0x058F をプログラムします。これらのビットの設定に関する詳細は、表 23 を参照してください。

ピーク・ディテクタ値をカプセル化する 25 ビット・フレーム・データを図 58 に示します。このフレーム・データは、5 個の 5 ビット・サブフレームを使って MSB を先頭に送信されます。各サブフレームには開始ビットが含まれており、レシーバーはこのビットを使って、シリアル化が解除されたデータを検証できます。図 59 に、モニタ時間タイマーを 80 サンプルに設定した場合の SPORT over JESD204B 信号モニタ・データを示します。

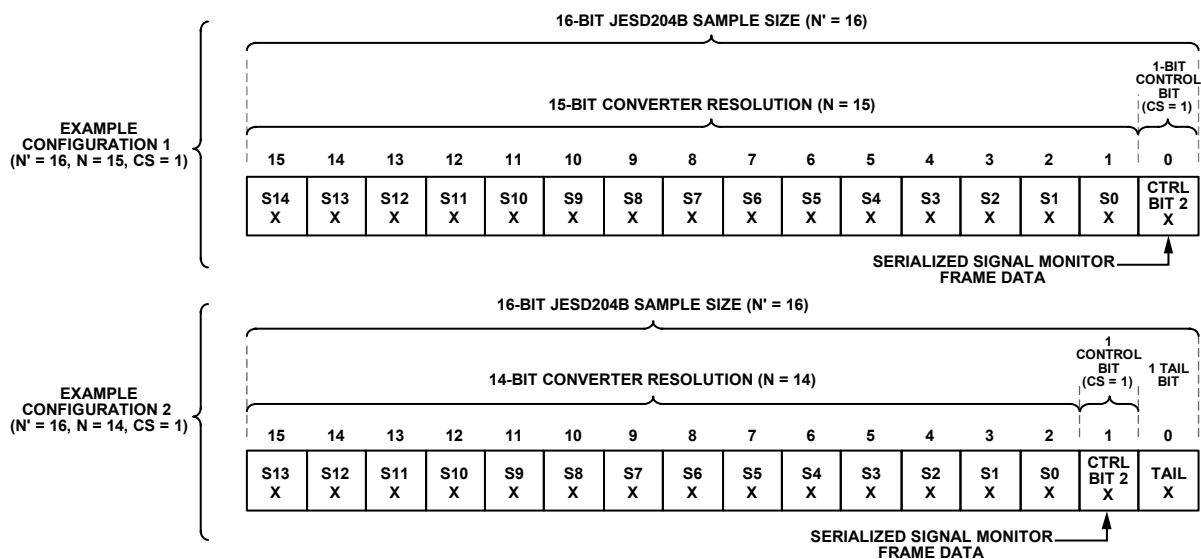


図 57. 信号モニタ制御ビットの位置

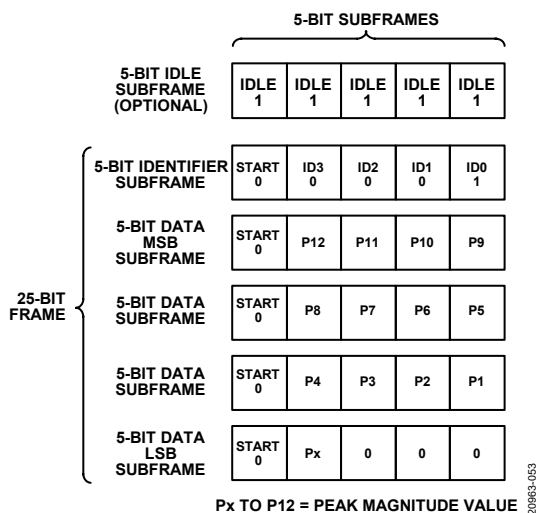


図 58. SPORT over JESD204B 信号モニタ・フレーム・データ

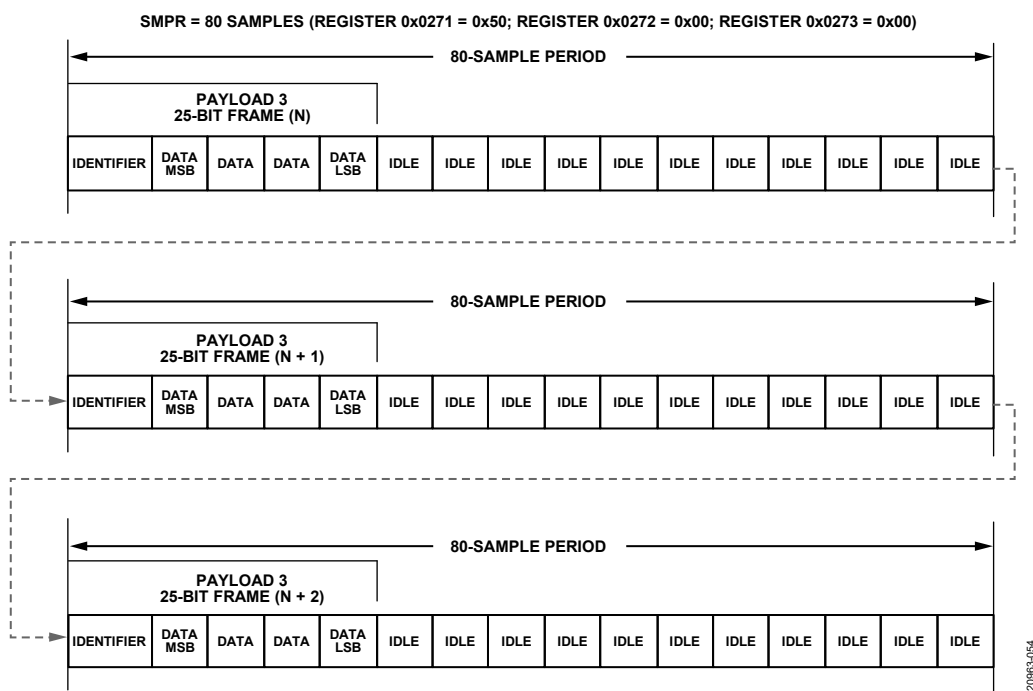


図 59. 周期タイマー= 80 サンプルとした場合の SPORT over JESD204B 信号モニタ・データの例

デジタル出力

JESD204B インターフェースの概要

AD9094 のデジタル出力は、データ・コンバータ用のシリアル・インターフェース規格として JEDEC が制定した、JESD204B に合わせて設計されています。JESD204B は、シリアル・インターフェースを経由し、最大 15Gbps のレーン・レートで AD9094 をデジタル処理デバイスへリンクするためのプロトコルです。LVDS における JESD204B インターフェースの利点には、データ・インターフェース・ルーティングのために必要なボード面積を減らせることや、コンバータやロジック・デバイスのパッケージを小型化できることなどがあります。

AD9094 のデジタル・インターフェースのセットアップ

AD9094 のスタートアップ時および ADC のリセット（データパス・リセット、ソフト・リセット、リンクのパワーダウンまたはパワーアップ、ハードリセット）ごとに次の SPI 書込みが必要です。

1. レジスタ 0x1228 に 0x4F を書き込みます。
2. レジスタ 0x1228 に 0x0F を書き込みます。
3. レジスタ 0x1222 に 0x04 を書き込みます。
4. レジスタ 0x1222 に 0x00 を書き込みます。
5. レジスタ 0x1262 に 0x08 を書き込みます。
6. レジスタ 0x1262 に 0x00 を書き込みます。

JESD204B データ送信ブロック、JTX では、ADC からのパラレル・データがフレーム化され、8 ビット/10 ビット・エンコーディングとオプションのスクランプリング機能を使用してシリアル出力データが形成されます。レーン同期は、最初のリンク確立時に、特別な制御文字を使用することでサポートされています。データ・ストリームには、その後も同期を維持するために、追加的な制御文字が組み込まれます。シリアル・リンクを完了させるには、JESD204B レシーバーが必要です。JESD204B インターフェースのその他の詳細については、JESD204B 規格を参照してください。

AD9094 の JESD204B データ送信ブロックは、2 つの JESD204B リンクのそれぞれについて最大 2 個の物理 ADC をマッピングできます。各リンクは、AD9094 チップの合計で最大 4 レーンに対し、1 つまたは 2 つの JESD204B レーンを使用するよう設定できます。JESD204B の仕様では、リンクを定義するためにパラメータの数を参照します。これらのパラメータは、JESD204B トランスミッタ（AD9094 の出力）と JESD204B レシーバー（ロジック・デバイスの入力）とで一致する必要があります。AD9094 の JESD204B 出力は、2 つの JESD204B リンクとして効果的に機能します。2 つの JESD204B リンクは、必要に応じて SYSREF± 入力を使用して同期できます。

各 JESD204B リンクは、以下のパラメータに従って記述されます。

- L は、コンバータ・デバイスあたりのレーン数（レーン数/リンク）です（AD9094 では 1 または 2）。
- M は、コンバータ・デバイスあたりのコンバータ数（仮想コンバータ数/リンク）です（AD9094 では 1 または 2）。

- F は、フレームあたりのオクテット数です（AD9094 では 1、2、4、または 8）。
- N' は、サンプルあたりのビット数（JESD204B のワード・サイズ）です（AD9094 では 8）。
- N は、コンバータの分解能です（AD9094 では 7～8）。
- CS は、サンプルあたりの制御ビット数です（AD9094 では 0 または 1）。
- K は、マルチフレームあたりのフレーム数です（AD9094 では 4、8、12、16、20、24、28、または 32）。
- S は、1 つのコンバータのフレーム・サイクルあたりに送信されるサンプルの数です（AD9094 では L、M、F、N' に基づいて自動的に設定）。
- HD は、高密度モードです（AD9094 では L、M、F、N' に基づいて自動的に設定）。
- CF は、1 つのコンバータ・デバイスのフレーム・クロック・サイクルあたりの制御ワード数です（AD9094 では 0）。

図 60 に、AD9094 における JESD204B 送信リンクの簡略化したブロック図を示します。デフォルトでは、AD9094 はコンバータ 4 個とレーン 4 つを使用するように構成されています。コンバータ A とコンバータ B のデータは、SERDOUTAB0± および SERDOUTAB1± の各ピンに出力され、コンバータ C とコンバータ D のデータは、SERDOUTCD0± および SERDOUTCD1± の各ピンに出力されます。AD9094 では他の構成も可能で、各ペアのコンバータの出力を 1 本のレーンにまとめたり、デジタル出力パスのマッピングを変更したりすることができます。これらのモードは、カスタマイズ可能な他のオプションが含まれた、SPI レジスタ・マップのクイック構成レジスタを介してセットアップできます。

AD9094 のデフォルトでは、各コンバータからの 8 ビット・コンバータ・ワードが 1 つのオクテット（8 ビットのデータ）に配置されます。

デフォルトでは、どのビットもディスエーブルされています。イネーブルされると、テール・ビットはゼロまたは疑似乱数シーケンスとして構成できます。テール・ビットは、オーバーレンジ、SYSREF±、または高速検出出力を示す制御ビットに置き換えることもできます。

得られたオクテットは、スクランプリングが可能です。スクランプリングはオプションですが、似たようなデジタル・データ・パターンを送信する場合は、スペクトル・ピークを避けることを推奨します。スクランブラは、式 $1 + x^{14} + x^{15}$ で定義される、自己同期機能を備えた多項式ベースのアルゴリズムを使用します。レシーバーのデスクランブラは、スクランブラ多項式の自己同期バージョンです。

オクテットのスクランブル後は、8 ビットまたは 10 ビット・エンコーダによって、このオクテットがエンコードされます。8 ビットまたは 10 ビット・エンコーダは、8 ビットのデータ（1 つのオクテット）を使い、ビットを 10 ビット・シンボルにエンコードします。ADC から 8 ビットのデータを取得してテール・ビットを追加（イネーブルされている場合）し、そのオクテットをスクランプリングして、そのオクテットを 10 ビット・シンボルにエンコードする過程を図 61 に示します。図 61 はデフォルトのデータ・フォーマットを示しています。

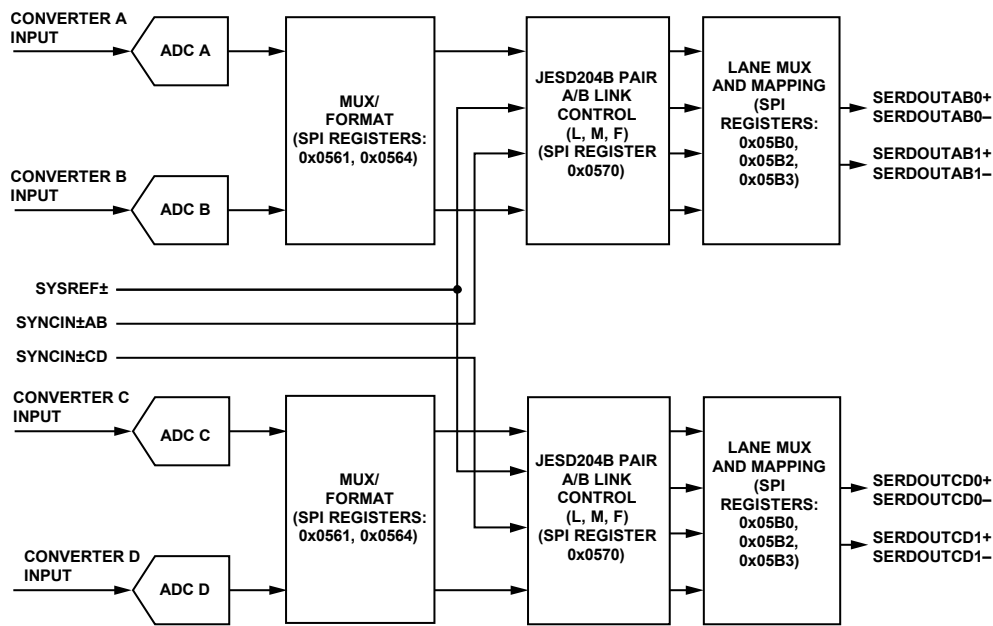


図 60. フル帯域幅モードを示す送信リンクの簡略化されたブロック図

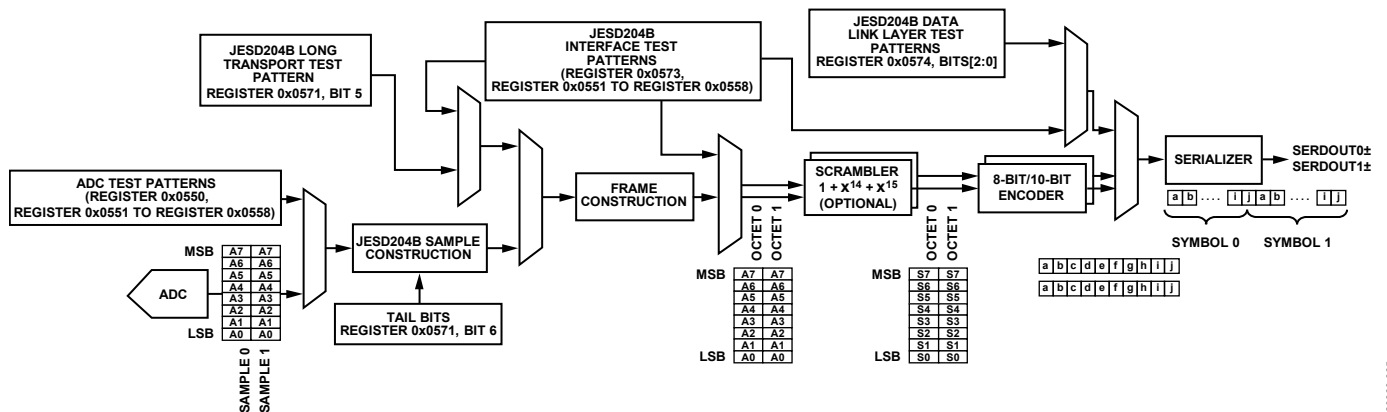


図 61. データ・フレーミングを示す ADC 出力データパス

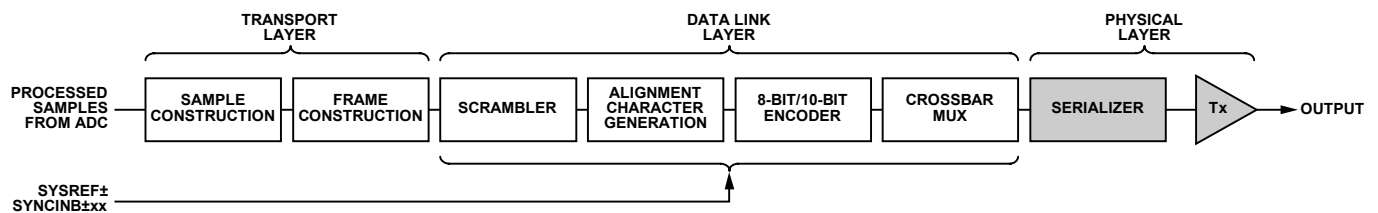


図 62. データ・フロー

機能の概要

図 62 のブロック図は、サンプル入力から 2 つの JESD204B リンクをそれぞれ通過して、物理出力へ至るデータの流れを示したものです。処理は通信システムの抽象化層を記述するために広く使われている開放型システム間相互接続 (OSI) モデルに定める複数の層に分けることができます。これらの層は、トランスポート層、データ・リンク層、および物理層 (PHY) (シリアルライザと出力ドライバ) です。

トランスポート層

トランスポート層は、8 ビット・オクテットにマップされる JESD204B フレームへのデータ (サンプルとオプションの制御ビットから構成される) のパッキングを扱います。これらのオクテットは、データ・リンク層へ送られます。トランスポート層マッピングは、リンク・パラメータから得られた規則によって制御されます。また、ギャップを埋めるために、必要に応じてテール・ビットが追加されます。サンプル (JESD204B ワード) 内のテール・ビット数は、次の式を使って決定できます。

$$T = N' - N - CS$$

データ・リンク層

データ・リンク層は、リンクを介してデータを渡すという低レベル機能を受け持ちます。これらの機能には、オプションで、データのスクランプリング、マルチチップ同期やレーン・アライメント/モニタリングのための制御文字挿入、8 ビット・オクテットから 10 ビット・シンボルへのエンコードなどが含まれます。データ・リンク層は、初期レーン・アライメント・シーケンス (ILAS) の送信も行います。このシーケンスには、トランスポート層の設定を確認するためにレシーバーが使用する、リンク構成データが含まれています。

PHY

PHY は、シリアル・クロック・レートでクロックされる高速回路で構成されます。この層内では、パラレル・データが、1、2、または 4 レーンの高速差動シリアル・データに変換されます。

JESD204B リンクの確立

AD9094 の JESD204B トランスミッタ・インターフェースは、JEDEC 規格 204B に定義されているサブクラス 1 で動作します。リンク確立プロセスは、以下のステップに分けて行われます。すなわち、コード・グループ同期 (CGS) と SYNCINB±AB や SYNCINB±CD、ILAS、ユーザ・データとエラーの修正です。

CGS と SYNCINB±xx

CGS は、JESD204B レシーバーがデータ・ストリーム内の 10 ビット・シンボル間の境界を確認するプロセスです。CGS フェーズでは、JESD204B 送信ブロックが制御文字/K28.5/を送信します。レシーバーは、クロック&データ再生 (CDR) 手法を使用して、入力データ・ストリームで/K28.5/文字を特定する必要があります。

レシーバーは、AD9094 の SYNCINB±AB および SYNCINB±CD の各ピンをローにアサートして同期リクエストを発します。続いて JESD204B トランスミッタが/K/文字の送信を開始します。レシーバーは同期すると、少なくとも 4 個の/K/シンボルが連続して正しく受信されるのを待ちます。その後レシーバーは SYNCINB±AB および SYNCINB±CD をアサート解除し、AD9094 はこれに続くローカル・マルチフレーム・クロック (LMFC) バウンダリで ILAS を送信します。

CGS フェーズの詳細については、JEDEC JESD204B 規格を参照してください。

SYNCINB±AB および SYNCINB±CD の各ピンの動作は、SPI で制御することもできます。SYNCINB±AB と SYNCINB±CD の信号は、デフォルトでは差動 LVDS モードの信号です。ただし、これらの信号はシングルエンドとして駆動することもできます。SYNCINB±AB と SYNCINB±CD の各ピンの動作設定の詳細については、表 23 を参照してください。

ILAS

ILAS フェーズは CGS フェーズの後に続くフェーズで、次の LMFC 境界で開始されます。ILAS は 4 つのマルチフレームで構成され、/R/文字が開始位置を、/A/文字が終了位置を示します。ILAS は、/R/文字の後に 1 マルチフレームあたり 0~255 のランブ・データを送ることによって始まります。2 つ目のマルチフレームでは、3 番目の文字から始まるリンク構成データが送られます。2 番目の文字は/Q/で、これは、その後にリンク構成データが続くことを示します。すべての未定義データ・スロットには、ランブ・データが埋め込まれます。ILAS シーケンスがスクランプリングされることはありません。

ILAS の構成を図 63 に示します。4 つのマルチフレームには以下の特徴があります。

- マルチフレーム 1 は/R/文字 (K28.0/) で始まり、/A/文字 (K28.3/) で終わります。
- マルチフレーム 2 は/R/文字で始まり、その後に/Q/文字 (K28.4/)、と 14 個の構成オクテットからなるリンク構成パラメータが続く (表 10 参照)、/A/文字で終わります。パラメータ値の多くは「値-1」で表記されます。
- マルチフレーム 3 は/R/文字 (K28.0/) で始まり、/A/文字 (K28.3/) で終わります。
- マルチフレーム 4 は/R/文字 (K28.0/) で始まり、/A/文字 (K28.3/) で終わります。

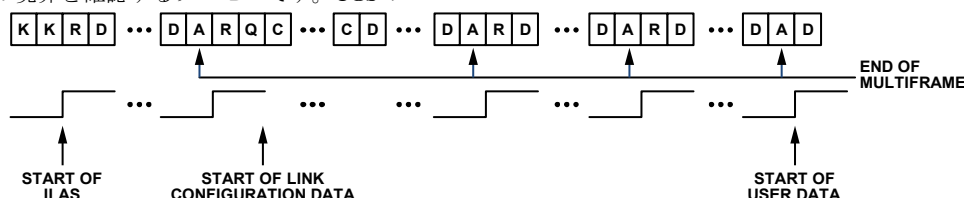


図 63. ILAS の構成

ユーザ・データとエラー検出

ILAS が完了すると、ユーザ・データが送られます。通常、1 つのフレーム内では、すべての文字がユーザ・データと見なされます。しかし、フレーム・クロックとマルチフレーム・クロックの同期をモニタするために、データが一定の条件を満たす場合は文字を/F/または/A/アライメント文字に置き換えるためのメカニズムがあります。これらの条件は、スクランプリングされたデータとされていないデータで異なります。スクランプリング動作はデフォルトでイネーブルされていますが、SPI を使ってディセーブルすることができます。

スクランプリングされたデータでは、フレームの最後にある 0xFC 文字がすべて/F/文字に置き換えられ、マルチフレームの最後にある 0xFD 文字はすべて/A/文字に置き換えられます。JESD204B レシーバーは受信したデータ・ストリーム内にある/F/文字と/A/文字をチェックして、文字が予想される位置にあることを確認します。予期しない/F/または/A/文字が見つかった場合、レシーバーは、ダイナミック・リアライメントを使用するか 4 つ以上のフレームに対して SYNCINB $\pm$ 信号をアサートして再同期を開始することにより、これに対処します。スクランプリングされていないデータでは、連続する 2 つのフレームの最終文字が同じ場合、それが 1 フレームの最後である場合は 2 番目の文字が/F/文字に置き換えられ、マルチフレームの最後である場合は/A/文字に置き換えられます。

アライメント文字の挿入は SPI を使用して修正できます。フレーム・アライメント文字挿入 (FACI) は、デフォルトでイネーブルされています。リンク制御の詳細については、表 23 を参照してください。

8 ビット/10 ビット・エンコーダ

8 ビットおよび 10 ビット・エンコーダは、8 ビット・オクテットを 10 ビット・シンボルに変換し、必要に応じてストリームに制御文字を挿入します。JESD204B で使われる制御文字を表 10 に示します。8 ビットおよび 10 ビット・エンコーディングは、複数のシンボルに同じ数の 1 と 0 を使うことによって、信号を直流平衡信号にします。

8 ビットおよび 10 ビット・インターフェースには、SPI 経由で制御できるバイパス・オプションと反転オプションがあります。これらは、デジタル・フロント・エンド (DFE) を検証するためのトラブルシューティング・ツールです。8 ビットおよび 10 ビット・エンコーダの設定についての詳細は、表 23 を参照してください。

表 10. JESD204B で使用する AD9094 の制御文字

Abbreviation	Control Symbol	8-Bit Value	10-Bit Value, RD ¹ = -1	10-Bit Value, RD ¹ = +1	Description
/R/	/K28.0/	000 11100	001111 0100	110000 1011	Start of multiframe
/A/	/K28.3/	011 11100	001111 0011	110000 1100	Lane alignment
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	Start of link configuration data
/K/	/K28.5/	101 11100	001111 1010	110000 0101	Group synchronization
/F/	/K28.7/	111 11100	001111 1000	110000 0111	Frame alignment

¹ RD はランニング・ディスパリティ (Running Disparity) を意味します。

PHY (ドライバ) 出力

デジタル出力、タイミング、制御

AD9094 の PHY は、JEDEC JESD204B 規格に定義されたドライバで構成されています。差動デジタル出力は、デフォルトで起動されます。ドライバは、動的な 100 Ω 内部終端を使用して不要な反射を減らしています。

レシーバーの各入力に 100 Ω の差動終端抵抗を配置することにより、レシーバーで公称値 300mV_{p-p} の振幅が実現されます (図 64 を参照)。もしくは、シングルエンドの 50 Ω 終端抵抗を使用することができます。シングルエンド終端抵抗を使用する場合の終端電圧は DRVDD/2 です。それ以外の場合、0.1 μ F の AC カップリング・コンデンサを使用してシングルエンド電圧を終端します。

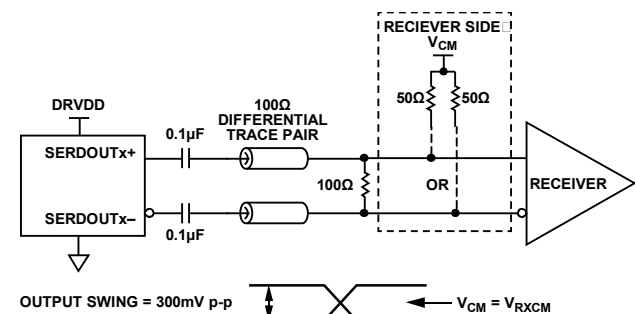


図 64. AC カップリング・デジタル出力の終端例
(V_{RXCM} はレシーバー側の V_{CM})

AD9094 のデジタル出力はカスタム ASIC (特定用途向け集積回路) や FPGA (フィールド・プログラマブル・ゲート・アレイ) のレシーバーにインターフェース接続が可能で、ノイズの多い環境でも優れたスイッチング性能を提供します。レシーバー入力にできるだけ近い位置に単一の差動 100 Ω 終端抵抗を配置した、1 対 1 のポイント・ツー・ポイント・ネットワーク・トポロジを推奨します。デジタル出力の V_{CM} は、1.25V の DRVDD1 電源の半分 ($V_{CM} = 0.6V$) に自動でバイアスされます。出力をレシーバー・ロジックに DC カップリングする例については、図 65 を参照してください。

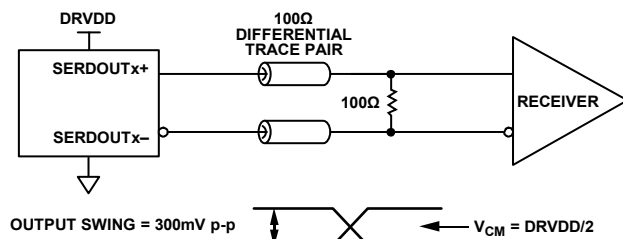


図 65. DC カップリング・デジタル出力の終端例

相手側のレシーバーに終端がなかったり、差動パターンルーティングが適切でなかったりした場合は、タイミング誤差が生じることがあります。このようなタイミング誤差を避けるために、パターン長を 6 インチ未満とし、差動出力パターン同士をできるだけ近づけて、同じ長さとするようにしてください。

15Gps で動作する AD9094 の 1 つのレーンの、デジタル出力データ・アイ、時間間隔誤差 (TIE) ジッタのヒストグラム、およびバスタブ曲線の例を図 66~図 68 に示します。出力データのフォーマットは、2 の補数がデフォルトです。出力データ・フォーマットを変更するには、表 23 を参照してください。

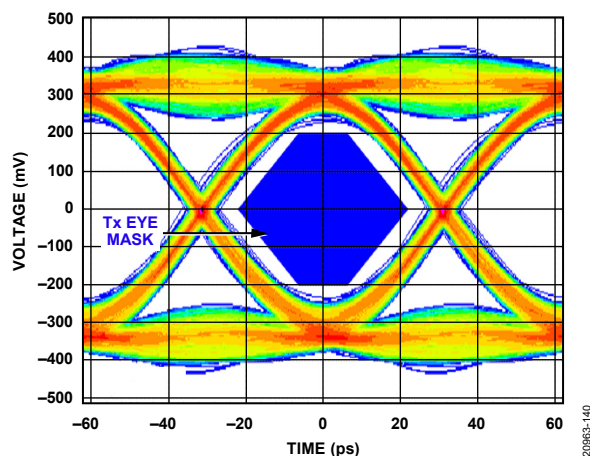


図 66. デジタル出力データのアイ・ダイアグラム
(外部 100Ω 終端、15Gbps 時)

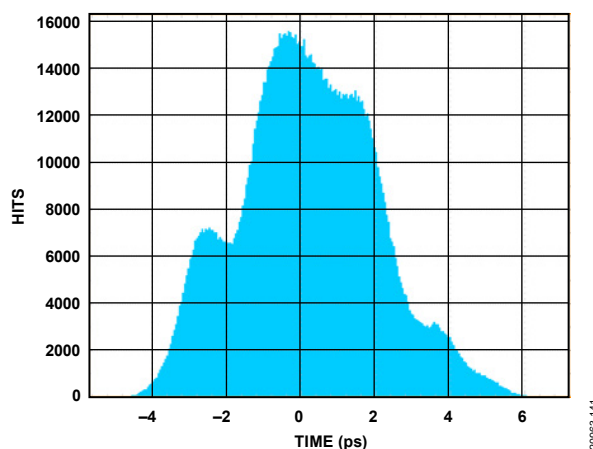


図 67. デジタル出力の TIE ジッタ・ヒストグラム
(外部 100Ω 終端、15Gbps 時)

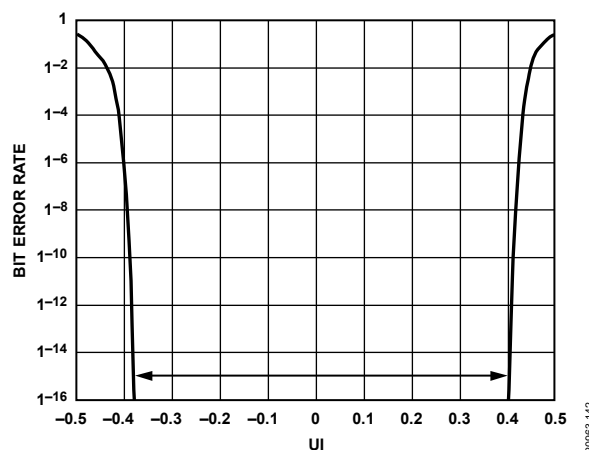


図 68. デジタル出力のバスタブ曲線
(外部 100Ω 終端、15Gbps 時)

ディエンファシス

ディエンファシスは、相互接続挿入損失が JESD204B の仕様を満たさないような条件下で、レシーバーのアイ・ダイアグラム・マスクに関する要求を満たすことを可能にします。ディエンファシス機能は、挿入損失が大きいためレシーバーがクロックを回復できない場合にのみ使用してください。通常の条件下では、この機能は省電力のためにディスエーブルされています。更に、短いリンクに対してディエンファシスをイネーブルして高すぎる値に設定すると、レシーバーのアイ・ダイアグラムを正しく表示できなくなることがあります。ディエンファシスは電磁干渉 (EMI) を増大させることがあるので、使用時は注意してください。詳細については、表 23 を参照してください。

PLL

PLL は、JESD204B のレーン・レートで動作するシリアルライザ・クロックを生成します。PLL ロックのステータスは、PLL ロック・ステータス・ビット (レジスタ 0x056F のビット 7) でチェックできます。この読み取り専用ビットは、特定のセットアップに対して PLL がロックされた場合、それをユーザに通知します。JESD204B レーン・レートの制御ビット (レジスタ 0x056E のビット [7:4]) は、レーン・レートに合わせて設定する必要があります。

JESD204B トランスミッタ・コンバータ・マッピング

様々なチップの動作モードをサポートするために、AD9094 は、各サンプル・ストリームを個別の仮想コンバータから生じたものとして扱います。

JESD204B リンクの設定

AD9094 は 2 つの JESD204B リンクを備えています。このデバイスでは、JESD204B JTX クイック構成レジスタ（レジスタ 0x0570）を通じて JESD204B リンクを簡単にセットアップできます。一方のリンクは SERDOUTAB0±および SERDOUTAB1±シリアル出力で構成され、他方のリンクは SERDOUTCD0±および SERDOUTCD1±シリアル出力で構成されています。リンク・セットアップを決定する基本パラメータは、L、M、F です（[AD9094 のデジタル・インターフェースのセットアップ](#)のセクションを参照）。

M は仮想コンバータの数を表します。仮想コンバータのマッピング・セットアップを[表 11](#)に示します。

JESD204B の仕様で許容される最大レーン・レートは 15Gbps です。レーンのライン・レートは、次式を使って JESD204B のパラメータに関連付けられます。

$$\text{Lane Line Rate} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{\text{ADC_CLOCK}}}{L}$$

ここで、 $f_{\text{ADC_CLOCK}}$ はコンバータのサンプル・レートです。

表 11. 仮想コンバータ・マッピング（リンクあたり）

Number of Virtual Converters Supported	Virtual Converter Mapping	
	0	1
1 to 2	ADC A and ADC C samples	ADC B and ADC D samples

表 12. N' = 8 のときの JESD204B 出力構成（リンクあたり）

Number of Virtual Converters Supported (Same Value as M)	JESD204B Quick Configuration (Register 0x0570)	Serial Lane Rate ¹	JESD204B Transport Layer Settings ²								
			L	M	F	S	HD	N	N'	CS	K ³
1	0x00	10 × f _{OUT}	1	1	1	1	0	7 to 8	8	0 to 1	Only valid K values divisible by 4 are supported
	0x01	10 × f _{OUT}	1	1	2	2	0	7 to 8	8	0 to 1	
	0x40	5 × f _{OUT}	2	1	1	2	0	7 to 8	8	0 to 1	
	0x41	5 × f _{OUT}	2	1	2	4	0	7 to 8	8	0 to 1	
	0x42	5 × f _{OUT}	2	1	4	8	0	7 to 8	8	0 to 1	
2	0x09	20 × f _{OUT}	1	2	2	1	0	7 to 8	8	0 to 1	Only valid K values divisible by 4 are supported
	0x48	10 × f _{OUT}	2	2	1	1	0	7 to 8	8	0 to 1	
	0x49	10 × f _{OUT}	2	2	2	2	0	7 to 8	8	0 to 1	

¹ f_{OUT} は出力サンプル・レートで、ADC のサンプル・レートとチップ・デシメーション・レシオです。JESD204B のシリアル・ライン・レートは 1687.5Mbps～15,000Mbps であることが必要です。シリアル・レーン・レートが ≤15Gbps で >13.5Gbps の場合、レジスタ 0x056E のビット [7:4] を 0x3 に設定します。シリアル・レーン・レートが ≤13.5Gbps で >6.75Gbps の場合、レジスタ 0x056E のビット [7:4] を 0x0 にセットします。シリアル・レーン・レートが ≤6.75Gbps で >3.375Gbps の場合、レジスタ 0x056E のビット [7:4] を 0x1 にセットします。シリアル・レーン・レートが ≤3.375Gbps で ≥1687.5Mbps の場合、レジスタ 0x056E のビット [7:4] を 0x5 にセットします。

² JESD204B トランスポート層の詳細な説明については、[AD9094 のデジタル・インターフェースのセットアップ](#)のセクションを参照してください。

³ F=1 の場合、K=20、24、28、32。F=2 の場合、K=12、16、20、24、28、32。F=4 の場合、K=8、12、16、20、24、28、32。F=8 および F=16 の場合、K=4、8、12、16、20、24、28、32。

出力の構成は次のステップで行います。

1. リンクを停止します。
2. クイック構成オプションを選択します。
3. 詳細オプションを設定します。
4. 出力レーン・マッピングを設定します（オプション）。
5. 追加ドライバ構成オプションを設定します（オプション）。
6. リンクを起動します。

計算したレーン・ライン・レートが 6.75Gbps 未満の場合は、低ライン・レート・オプションを選択します。このオプションを選択するには、レジスタ 0x056E に 0x10 をプログラムします。[表 12](#) に、所定の仮想コンバータ数に対し、N' = 8 についてサポートされている JESD204B 出力構成を示します。所定の構成におけるシリアル・ライン・レートが 1.6875Gbps～15Gbps のサポート範囲内に収まるように注意してください。

所定のチップ・モードに対しどの JESD204B トランスポート層の設定が有効かを示す例については、[例：フル帯域幅モード](#)のセクションを参照してください。

例：フル帯域幅モード

この例では、チップ・アプリケーション・モードは、1GSPS で 2 個の 8 ビット・コンバータを備えたフル帯域幅モードです (図 69 を参照)。

JESD204B 出力の構成は次のとおりです。

- 2 個の仮想コンバータが必要 (表 12 を参照)
- $f_{OUT} = 1000/1 = 1000\text{MSPS}$

JESD204B がサポートする出力構成 (表 12 を参照) には、以下が含まれます。

- $N' = 8$ ビット
- $N = 8$ ビット
- $L = 2$ 、 $M = 2$ 、 $F = 2$ (クイック設定 = 0x48)
- $CS = 0$
- $K = 32$
- 出力シリアル・ライン・レート = 10Gbps/レーン

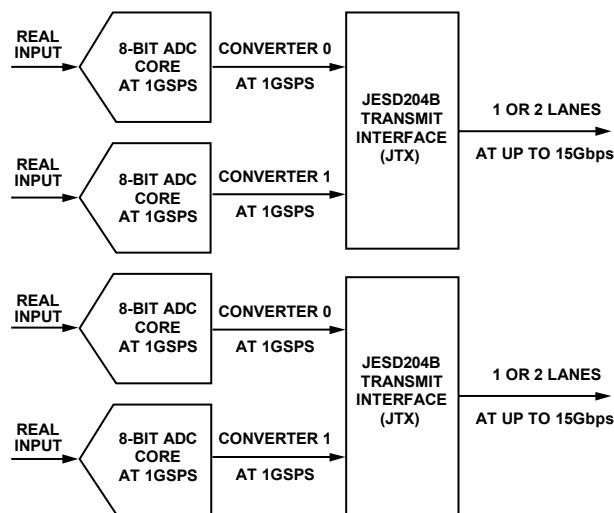


図 69. フル帯域幅モード

遅延

エンド to エンドの合計遅延

AD9094 内の合計遅延は、チップのアプリケーション・モードと JESD204B 構成に依存します。これらのパラメータの定められた組み合わせを使えば、いずれでも遅延は確定的になりますが、この確定的遅延の値は、[遅延計算例](#)のセクションの説明に従って計算する必要があります。

[表 13](#) に、AD9094 の ADC およびシリアルライザ/デシリアルライザ (SERDES) ブロックを合わせた遅延を示します。[表 14](#) には、コンバータ数を構成のレーン数で割った値 (M/L 比) に基づく JESD204B ブロックの遅延を示します。[表 13](#) と [表 14](#) のどちらも遅延は代表値で示されており、測定の単位はエンコード・クロックです。

合計遅延を決定するには、[表 13](#) から該当する ADC + SERDES 遅延を選択して、その値を [表 14](#) 内の該当する JESD204B 遅延に計算します。計算例を [遅延計算例](#) のセクションで説明します。

遅延計算例

この例では、ADC のアプリケーション・モードはフル帯域幅モードで、条件は以下のとおりです。

- L = 2、M = 2、F = 2、S = 1 (JESD204B モード)
- M/L 比 = 1
- 遅延 = 31 + 14 = 45 エンコード・クロック

LMFC 基準遅延

FPGA ベンダによっては、適切な確定的遅延調整を行うために、LMFC 基準遅延の確認が必要になる場合があります。このような場合は、LMFC へのアナログ入力遅延値およびこの LMFC からのデータ出力の遅延値として [表 13](#) と [表 14](#) の遅延値を使用します。

表 13. ADC + SERDES ブロックでの遅延
(サンプル・クロック数)

Chip Application Mode	ADC + SERDES Latency
Full Bandwidth	31

表 14. JESD204B ブロックでの遅延
(サンプル・クロック数)、N' = 8 の場合

Chip Application Mode	M/L Ratio		
	0.5	1	2
Full Bandwidth	23	14	7

確定的遅延

JESD204B リンクの両端には、各システムに分散した様々なクロック領域が含まれています。1つのクロック領域から別のクロック領域へデータが渡されると、JESD204B リンクに複数の原因による遅延が生じる可能性があります。これらの遅延は、電源を入れ直すごとに、あるいはリンクのリセットごとに再現性のない不規則な遅延をリンクに生じさせる元になります。サブクラス 1 およびサブクラス 2 として定義されているメカニズムに伴う確定的遅延の詳細については、JESD204B を参照してください。

AD9094 は、JESD204B サブクラス 0 とサブクラス 1 の動作に対応しています。レジスタ 0x0590 のビット [7:5] は AD9094 のサブクラス・モードを設定します。デフォルトはサブクラス 1 動作モードです（レジスタ 0x0590 のビット [7:5] = 001）。確定的遅延がシステムの条件でない場合は、サブクラス 0 動作が推奨されます。SYSREF±信号は必要ありません。複数の AD9094 が相互に同期する必要のあるアプリケーションでは、サブクラス 0 モードで SYSREF±が引き続き必要とされる場合があります。（詳細については、[タイムスタンプ・モード](#)のセクションを参照）。

サブクラス 0 動作

サブクラス 0 モードでの動作（レジスタ 0x0590 のビット [7:5] = 000）にマルチチップ同期に関する条件がない場合は、SYSREF±入力を未接続のままにすることができます。このモードでは、JESD204B のトランスミッタとレシーバーの JESD204B クロック同士の関係が一定しませんが、レシーバーがリンク内のレーンを取得してアラインする能力に影響を与えることはありません。

サブクラス 1 動作

[トランスポート層](#)のセクションに示すように、JESD204B プロトコルは、データ・サンプルをオクテット、フレーム、およびマルチフレームに構成します。LMFC は、これらのマルチフレームの開始と同期します。サブクラス 1 動作では、1 リンク内の各デバイスまたは複数リンク内の各デバイスに関し、SYSREF±信号を使用して LMFC を同期させます（AD9094 内では、SYSREF±信号は内部サンプル分周器も同期させます）（[図 70](#) を参照）。JESD204B レシーバーは、マルチフレームの境界とバッファリングを使用して、レーン間（または複数デバイス間）の遅延が一定になるようにする他、電源のオン/オフやリンク・リセットなどの場合も遅延値が変わらないようにします。

確定的遅延に関する条件

JESD204B サブクラス 1 システムで確定的遅延を実現するにあたっては、以下に示す重要な要素が必要になります。

- システム内での SYSREF±信号の分配スキューは、そのシステムに求められる不確実性の度合いより小さくしなければなりません。
- SYSREF±のセットアップおよびホールド時間に関する条件は、システム内の各デバイスが満たす必要があります。
- すべてのレーン、リンク、デバイスにおける合計遅延変動は、1LMFC (tLMFC) 周期以下でなければなりません（[図 70](#) を参照）。この合計遅延には、可変遅延と、システム内のレーンごと、リンクごと、およびデバイスごとの固定遅延の差が含まれます。

確定的遅延レジスタの設定

ロジック・デバイス内の JESD204B レシーバー・バッファは、LMFC 境界から始まるデータをバッファします。システムの合計リンク遅延が LMFC 周期の整数倍に近い場合は、受信バッファにデータが到達する時間が、電源を入れ直すごとに、LMFC 境界と重なりあう可能性があります。この場合に遅延を確定的なものとするには、トランスミッタまたはレシーバーで LMFC の位相を調整する必要があります。通常、レシーバーの LMFC に対しては、受信バッファに対応するための調整が行われます。AD9094 では、JTX LMFC オフセット・レジスタ（レジスタ 0x0578 のビット [4:0]）を使用して、この調整を行うことができます。このレジスタは、F パラメータ（1 フレームのレーンあたりのオクテット数）に応じ、フレーム・クロック単位で LMFC を遅らせます。F=1 の場合は、4 の倍数の設定値（0、4、8、…）ごとに 1 フレーム・クロックずつシフトします。F=2 の場合は、2 の倍数の設定値（0、2、4、…）ごとに 1 フレーム・クロックずつシフトします。F をその他の値にすると、いずれの場合も 1 フレーム・クロックずつシフトします。[図 71](#) は、リンク遅延が LMFC 境界に近い場合、AD9094 のローカル LMFC を遅らせて、レシーバーへのデータ到着時間を遅延できることを示しています。[図 72](#) に、レシーバーの LMFC を遅らせて、受信バッファのタイミングを合わせる方法を示します。詳しい調整方法については、該当する JESD204B レシーバーのユーザ・ガイドを参照してください。

システムの合計遅延が LMFC 周期の整数倍に近くない場合や、クロック・ソースの LMFC 位相に対して適切な調整が行われた場合は、やはり電源を入れ直すごとに遅延が変化する可能性があります。この場合、SYSREF±のセットアップおよびホールド時間の条件が満たされているか、チェックしてください。これらの条件をチェックするには、SYSREF±セットアップおよびホールドのモニタ・レジスタ（レジスタ 0x0128）を読み出します。この機能は、[SYSREF±セットアップ／ホールド・ウィンドウのモニタ](#)のセクションで詳しく説明します。

レジスタ 0x0128 の読み出し結果がタイミングに関する問題の存在を示している場合は、AD9094 内で次の調整ができます。

- SYSREF±遷移選択ビット（レジスタ 0x0120、ビット 4）を使用して、アライメントに使用する SYSREF±レベルを変更する。
- CLK±エッジ選択ビット（レジスタ 0x0120、ビット 3）を使用して、SYSREF±を取得するために使用する CLK±のエッジを変更する。

これらのオプションについては、共に **SYSREF±制御機能** のセクションに詳細が説明されています。これらのいずれの方法でも許容可能なセットアップおよびホールド時間を実現できない場合は、SYSREF±やデバイス・クロック（CLK±）の位相を調整する必要があります。

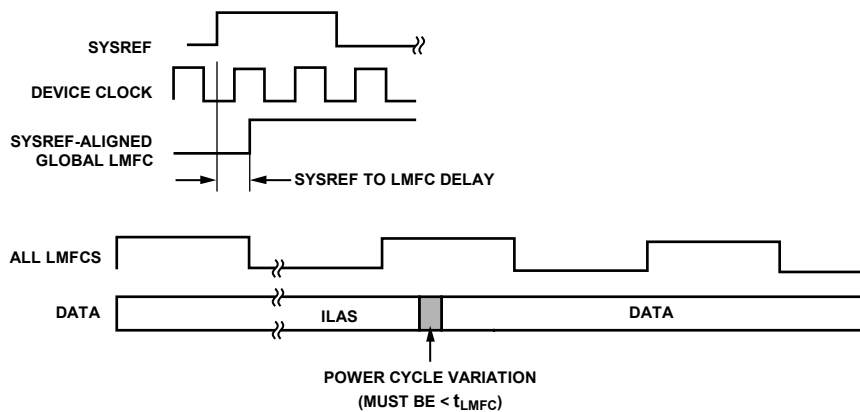


図 70. SYSREF±と LMFC

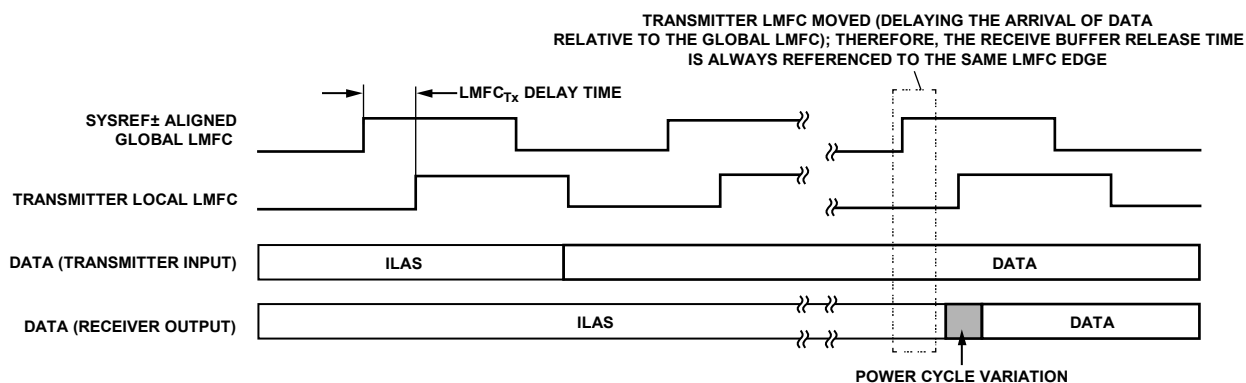


図 71. AD9094 内の JESD204B トランスミッタ LMFC の調整

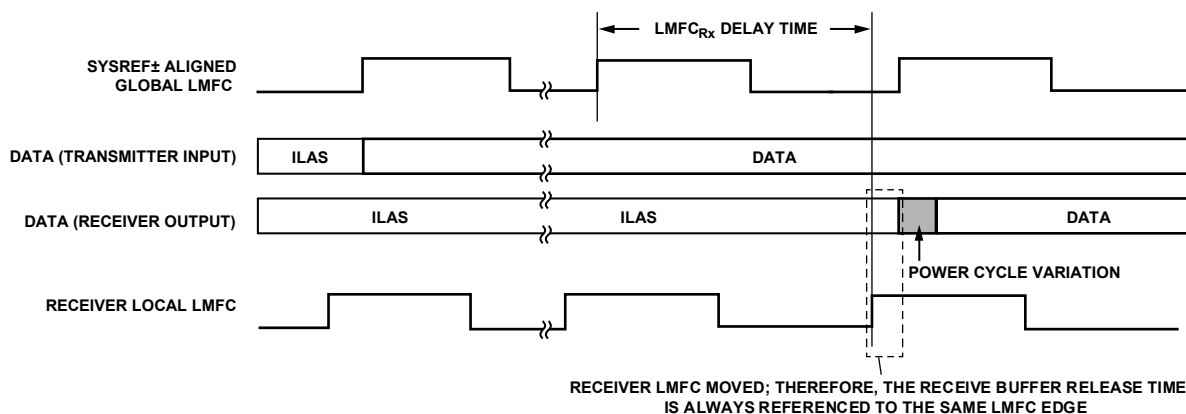


図 72. ロジック・デバイス内の JESD204B レシーバー LMFC の調整

マルチチップ同期

図 74 のフローチャートは、AD9094 のマルチチップ同期のための内部メカニズムを示しています。同期モード・ビット（レジスタ 0x01FF のビット 0）による決定に従って、マルチチップ同期を行えるようにする方法は 2 つあります（通常動作モードとタイムスタンプ・モード）。これらの方法は、それぞれ異なる形で SYSREF±信号を使用します。

通常動作モード

同期モード・ビットのデフォルト状態は 0x0 で、AD9094 はこれによりサンプルのチップ同期を行うように設定されています。JESD204B 規格は、1 つのリンク内での遅延を確定的なものとするために、SYSREF±の使用についての仕様を規定しています。複数のコンバータとロジック・デバイスを持つシステムこの同じ考え方を適用すると、マルチチップ同期も実現可能になります。図 74 では、同期モードを通常動作モードとしています。図 74 に示したプロセスに従えば、AD9094 の構成設定を正しく行うことができます。JESD204B レシーバーが正しく構成設定されるようにするために、ロジック・デバイスに関する知的財産ユーザ・ガイドを参照することを推奨します。

タイムスタンプ・モード

AD9094 の全帯域幅におけるすべての動作モードで、SYSREF±入力はタイムスタンプ・サンプルとしても使用できます。これは、複数チャンネルと複数デバイスの同期を実現するもう 1 つの方法です。タイムスタンプ方法は、複数のデバイスを 1 つまたは複数のロジック・デバイスに同期させるときに、特に効果的です。ロジック・デバイスはデータ・ストリームをバッファし、タイムスタンプされたサンプルを識別して、サンプルをア

ラインします。同期モード・ビット（レジスタ 0x01FF のビット 0）を 0x1 に設定すると、複数チャンネルや複数デバイスの同期にタイムスタンプ法が使われます。このモードでは、SYSREF±がサンプル・デバタイズと JESD204B クロッキングをリセットします。同期モードが 0x1 に設定されている場合、クロックはリセットされません。その代わりに、一致するサンプルは、そのサンプルの JESD204B 制御ビットでタイムスタンプされます。タイムスタンプ・モードでの動作には、以下の設定を追加で行う必要があります。

- 連続または N ショット SYSREF を±イネーブルします（レジスタ 0x0120 のビット [2:1] = 01 または 10）。
- 少なくとも 1 個の制御ビットをイネーブルします（レジスタ 0x058F のビット [7:6] = 00、01、または 10）。
- 1 個の制御ビットの機能を SYSREF±に設定します。例えば、制御ビット 0 を使用する場合はレジスタ 0x0559 のビット [2:0] = 101 とします。

図 73 に、SYSREF±に一致する入力サンプルをタイムスタンプして、最終的に ADC から出力する方法を示します。この例では 2 個の制御ビットがあります。制御ビット 0 は、どのサンプルが SYSREF±の立上がりエッジと一致しているかを示すビットです。各チャンネルのパイプライン遅延は同じです。必要な場合は、SYSREF±タイムスタンプ遅延のビット（レジスタ 0x0123、ビット [6:0]）を使って、サンプルをタイムスタンプするタイミングを調整することができます。

デシメーションを使用する AD9094 の動作モードでは、タイムスタンプ機能はサポートされていません。

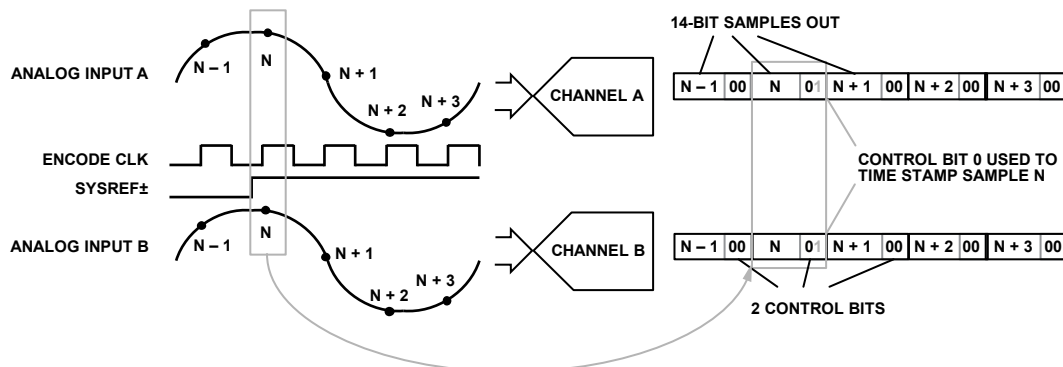


図 73. タイムスタンプ、CS = 1（レジスタ 0x058F のビット [7:6] = 1（10 進法））、制御ビット 0 は SYSREF±（レジスタ 0x0559 のビット [2:0] = 101）

20965-303

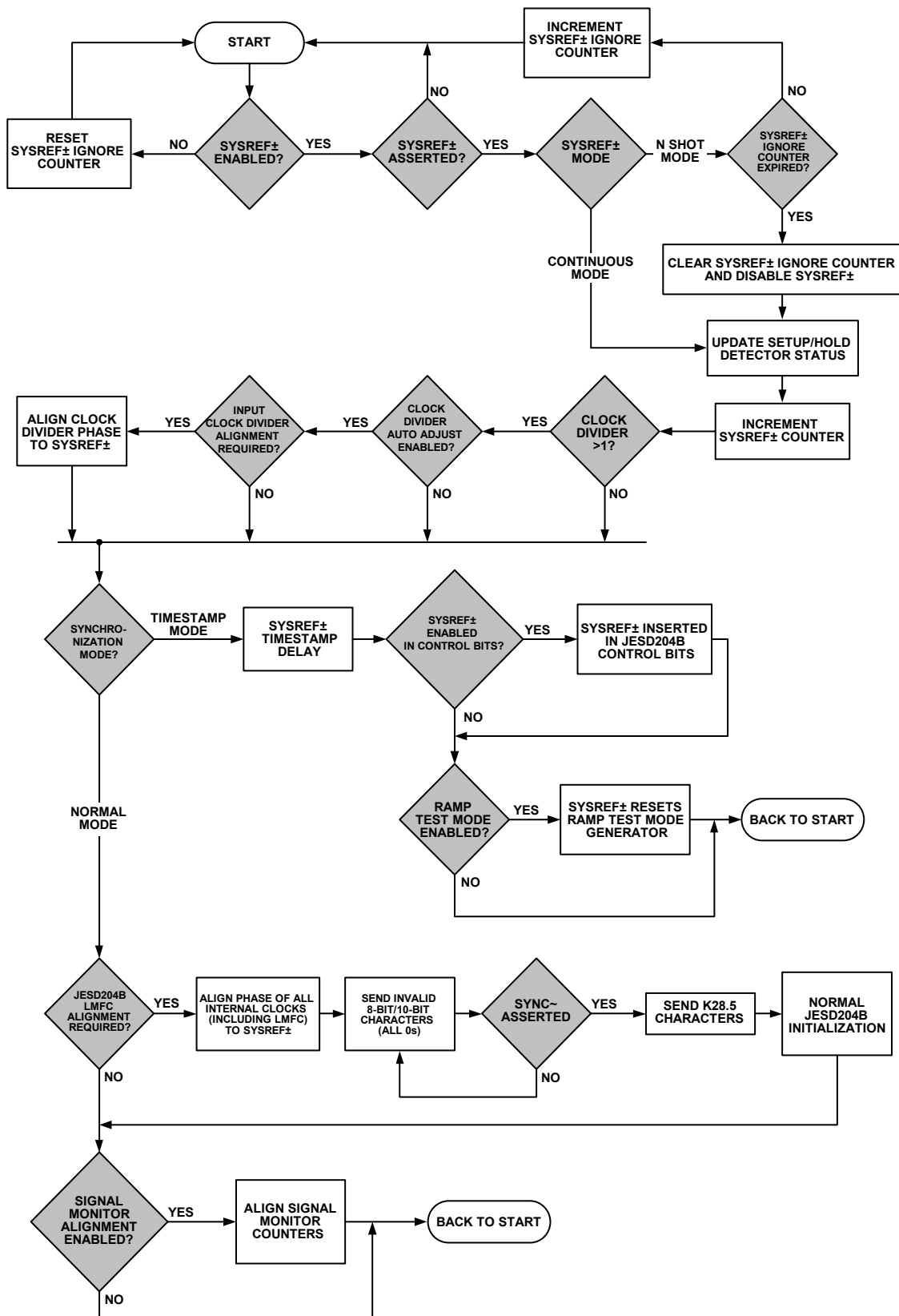


図 74. SYSREF± 取得シナリオとマルチチップ同期

20863-304

SYSREF±入力

SYSREF±入力信号は、確定的遅延およびマルチチップ同期を実現するための高精度システム・リファレンスとして使用します。AD9094には、シングルショット入力信号または周期的入力信号を使用できます。SYSREF±モード選択ビット（レジスタ 0x0120 のビット [2:1]）は入力信号タイプを選択し、SYSREF±ステート・マシンが設定されている場合は、その動作も制御します。シングルショット・モード（または N ショット・モード）の場合（レジスタ 0x0120 のビット [2:1] = 10）、該当する SYSREF±遷移が検出されると、SYSREF±モード選択ビットは自動的にクリアされます。パルス幅は、少なくとも 2CLK±周期分の幅がなければなりません。クロック分周器（レジスタ 0x010B のビット [2:0]）が 1 分周以外の値に設定されている場合は、この最小パルス幅条件に分周比を乗じます。例えば、8 分周に設定されている場合、最小パルス幅は 16CLK±サイクルです。連続 SYSREF±信号を使用する場合は（レジスタ 0x0120 のビット [2:1] = 01）、SYSREF±信号周期を LMFC の整数倍とする必要があります。この LMFC は以下の式を使って求めることができます。

$$LMFC = ADC \text{ クロック} / (S \times K)$$

周期的な SYSREF±信号はサンプリング・パスを結合し、スペクトル内にスプリアスを生じる可能性があるため、連続的な SYSREF±信号は推奨されません。

サンプル同期モード（通常動作モード）（レジスタ 0x01FF のビット 0 = 0x0）の場合、入力クロック分周器、信号モニタ・ブロック、JESD204B リンクは、すべて SYSREF±入力を使って同期されます。SYSREF±入力は、ADC サンプルをタイムスタンプ処理したり、システム内の複数の AD9094 デバイスを同期するメカニズムを提供したりするためにも使用できます。最高レベルのタイミング精度を実現するには、SYSREF±が、CLK±入力を基準とするセットアップおよびホールド条件を満たしていなければなりません。AD9094 にはこれらの条件が確実に満たされるようにすることができる機能がいくつかあります。これらの機能については、[SYSREF±制御機能](#)のセクションで説明します。

SYSREF±制御機能

SYSREF±は、ソース同期タイミング・インターフェースの一部として CLK±入力と共に使われ、CLK±基準で -44.8 ps と +64.4 ps というセットアップおよびホールド・タイミング条件を満たすことを求められます（[図 75](#) を参照）。AD9094 には、これらの条件を満たすために役立つ 3 つの機能が備わっています。

第一に、SYSREF±サンプル・イベントは、同期されたローからハイへの遷移、またはハイからローへの遷移として定義できます。

第二に、AD9094 では、入力クロック CLK±の立上がりエッジまたは立下がりエッジのどちらかを使って SYSREF±信号をサンプリングすることができます。考え得る 4 通りのサンプリングの組み合わせを、[図 75](#)、[図 76](#)、[図 77](#)、[図 78](#) に示します。

第三に、プログラム可能な数（最大 16）の SYSREF±イベントを無視できることです。この SYSREF±無視機能を有効化するには、SYSREF±モード・レジスタ（レジスタ 0x0120、ビット [2:1]）を 10（N ショット・モード）に設定します。この機能は、スタートアップ後にセtring時間を必要とする周期的 SYSREF±信号を扱うのに適しています。システム内のクロックが安定するまで SYSREF±を無視することで、低精度の SYSREF±トリガを避けることができます。[図 79](#) に、3 回の SYSREF±イベントを無視する場合の SYSREF±無視機能の例を示します。

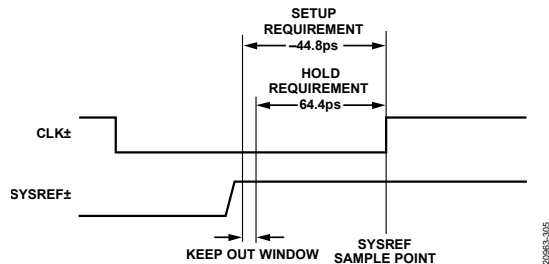


図 75. SYSREF±のセットアップおよびホールド時間条件、立上がりエッジ CLK±を使用するローからハイへの SYSREF±遷移（デフォルト）

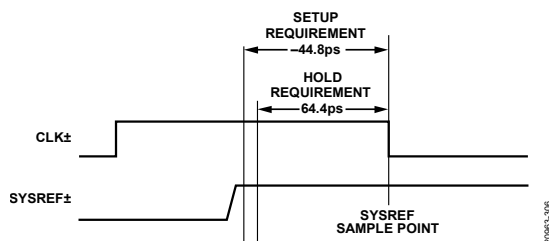


図 76. 立下がりエッジ・クロック取得を使用するローからハイへの SYSREF±遷移（レジスタ 0x0120 のビット 4 = 0、レジスタ 0x0120 のビット 3 = 1）

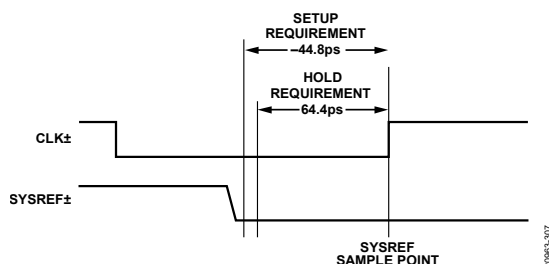


図 77. 立上がりエッジ・クロック取得を使用するハイからローへの SYSREF±遷移（レジスタ 0x0120 のビット 4 = 1、レジスタ 0x0120 のビット 3 = 0）

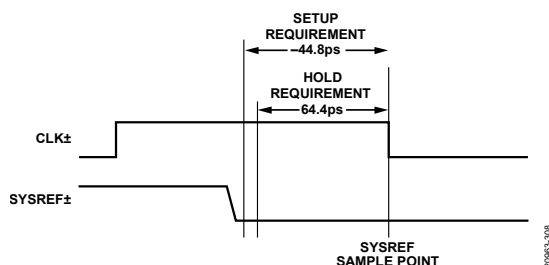


図 78. 立下がりエッジ・クロック取得を使用するハイからローへの SYSREF±遷移（レジスタ 0x0120 のビット 4 = 1、レジスタ 0x0120 のビット 3 = 1）

SYSREF±セットアップ／ホールド・ウィンドウのモニタ

有効な SYSREF 信号を取得できるようにするために、AD9094 には、SYSREF±セットアップおよびホールド・ウィンドウ・モニタが備わっています。この機能は、メモリ・マップを通じてインターフェース上でのセットアップおよびホールドのマージン量をリードバックすることによって、システム設計者が CLK±信号を基準に SYSREF±信号の位置を決定することを可能にします。図 80 と図 81 に、SYSREF±の異なる位相に対するセットア

ップおよびホールドのステータス値を示します。セットアップ・ディテクタは CLK±エッジ前の SYSREF±信号のステータスを返し、ホールド・ディテクタは CLK±エッジ後の SYSREF±信号のステータスを返します。レジスタ 0x0128 は SYSREF±のステータスを保存し、ADC が SYSREF±信号を取得しているかどうかをユーザに示します。

表 15 に、レジスタ 0x128 の内容の説明とその意味を示します。

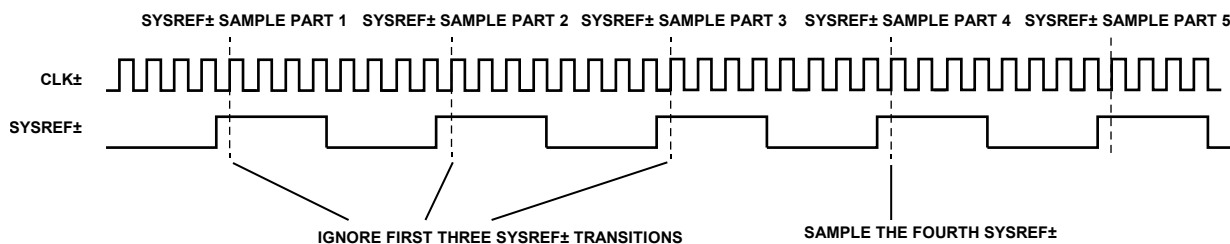


図 79. SYSREF±無視の例 (SYSREF±は、N ショット無視カウンタ選択、レジスタ 0x0121、ビット [3:0] = 0011)

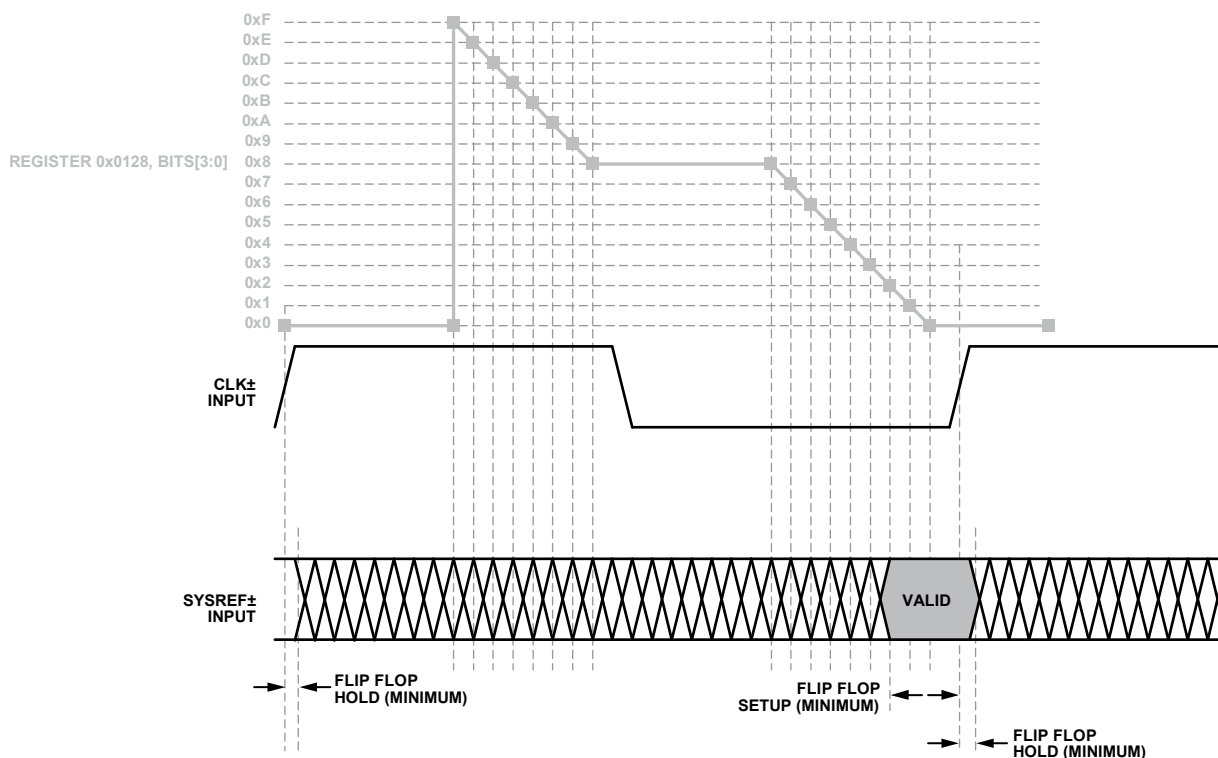


図 80. SYSREF±セットアップ・ディテクタ

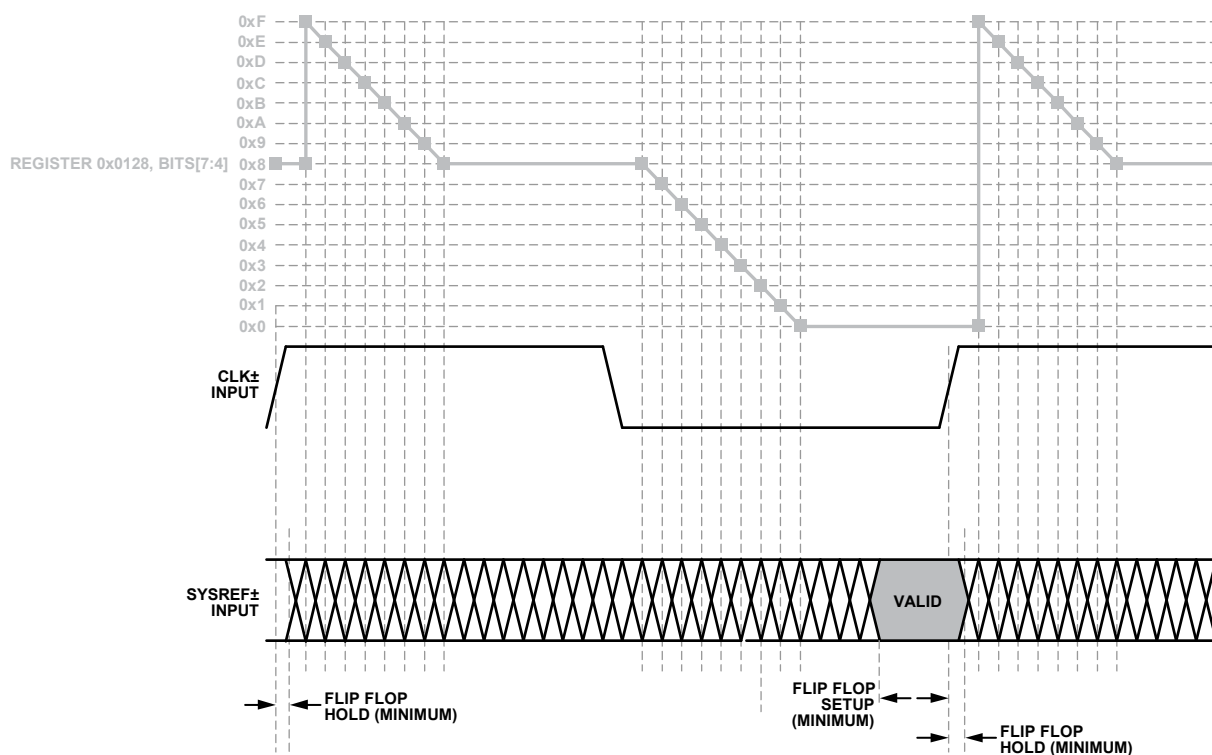


図 81. SYSREF±ホールド・ディテクタ

表 15. SYSREF±セットアップ/ホールド・モニタ、レジスタ 0x0128

レジスタ 0x0128、ビット [7:4] 、 ホールド・ステータス	レジスタ 0x0128、ビット [3:0] 、 セットアップ・ステータス	説明
0x0	0x0 to 0x7	セットアップ・エラーの可能性。この数値が小さいほど、セットアップ・マージンも小さくなります。
0x0 to 0x8	0x8	セットアップ・エラーもホールド・エラーもなし（最良ホールド・マージン）。
0x8	0x9 to 0xF	セットアップ・エラーもホールド・エラーもなし（最良セットアップおよびホールド・マージン）。
0x8	0x0	セットアップ・エラーもホールド・エラーもなし（最良セットアップ・マージン）。
0x9 to 0xF	0x0	ホールド・エラーの可能性。この数値が大きいほど、ホールド・マージンは小さくなります。
0x0	0x0	セットアップ・エラーまたはホールド・エラーの可能性。

テスト・モード

ADC テスト・モード

AD9094 は、システム・レベルの実装を補助する様々なテスト・オプションを備えています。AD9094 には、レジスタ 0x0550 で設定できる ADC テスト・モードがあります。これらのテスト・モードを表 16 に示します。出力テスト・モードをイネーブすると、ADC のアナログ部分がデジタル・バックエンド・ブロックから遮断されて、出力フォーマット・ブロックを通じてテスト・パターンが実行されます。これらのテスト・パターンには、出力のフォーマットが必要なものが必要なものがあります。

ます。疑似乱数ノイズ (PN) ジェネレータを PN シーケンスからリセットするには、レジスタ 0x0550 のビット 4 またはビット 5 をセットします。これらのテストは、アナログ信号の有無にかかわらず実行できますが (アナログ信号が存在する場合は無視されます)、エンコーダ・クロックが必要です。

詳細については、アプリケーション・ノート AN-877、*SPI* を使った高速 ADC へのインターフェースを参照してください。

表 16. ADC テスト・モード

Output Test Mode Bit Sequence	Pattern Name	Expression	Default/Seed Value	Sample (N, N + 1, N + 2, ...)
0000	Off (default)	Not applicable	Not applicable	Not applicable
0001	Midscale short	00 0000 0000 0000	Not applicable	Not applicable
0010	Positive full-scale short	01 1111 1111 1111	Not applicable	Not applicable
0011	Negative full-scale short	10 0000 0000 0000	Not applicable	Not applicable
0100	Checkerboard	10 1010 1010 1010	Not applicable	0x1555, 0x2AAA, 0x1555, 0x2AAA, 0x1555
0101	PN sequence long	$x^{23} + x^{18} + 1$	0x3AFF	0x3FD7, 0x0002, 0x26E0, 0x0A3D, 0x1CA6
0110	PN sequence short	$x^9 + x^5 + 1$	0x0092	0x125B, 0x3C9A, 0x2660, 0x0c65, 0x0697
0111	One word, zero word toggle	11 1111 1111 1111	Not applicable	0x0000, 0x3FFF, 0x0000, 0x3FFF, 0x0000
1000	User input	Register 0x0551 to Register 0x0558	Not applicable	User Pattern 1 (Bits[15:2]), User Pattern 2 (Bits[15:2]), User Pattern 3 (Bits[15:2]), User Pattern 4 (Bits[15:2]), User Pattern 1 (Bits[15:2]) ... for repeat mode User Pattern 1 (Bits[15:2]), User Pattern 2 (Bits[15:2]), User Pattern 3 (Bits[15:2]), User Pattern 4 (Bits[15:2]), 0x0000 ... for single mode
1111	Ramp output	$(x) \% 2^{14}$	Not applicable	$(x) \% 2^{14}$, $(x + 1) \% 2^{14}$, $(x + 2) \% 2^{14}$, $(x + 3) \% 2^{14}$

JESD204B ブロック・テスト・モード

ADC パイプライン・テスト・モードに加えて、AD9094 は JESD204B ブロック内に柔軟なテスト・モードを備えています。これらのテスト・モードは、レジスタ 0x0573 とレジスタ 0x0574 にリストされています。出力データパス上の様々なポイントで、このテスト・パターンを挿入できます。これらのテスト挿入ポイントを図 61 に示します。また、JESD204B ブロックで使用できる様々なテスト・モードを表 17 に示します。AD9094 では、テスト・モード（レジスタ 0x0573 ≠ 0x00）から通常動作モード（レジスタ 0x0573 = 0x00）への遷移に SPI のソフト・リセットが必要です。リセットするには、レジスタ 0x0000 に 0x81 を書き込みます（自動クリア）。

トランスポート層サンプル・テスト・モード

トランスポート層サンプルは、JEDEC JESD204B 仕様に従って AD9094 内に実装されています。これらのテストは、レジスタ 0x0571 のビット 5 に示されています。テスト・パターンは、ADC からの未加工サンプルと等価です。

インターフェース・テスト・モード

インターフェース・テスト・モードは、レジスタ 0x0573 のビット [3:0] で記述され、表 17 に示すとおりです。インターフェース・テストは、データ上の様々なポイントで挿入できます。テスト挿入ポイントの詳細については、図 61 を参照してください。レジスタ 0x0573 のビット [5:4] は、これらのテストをどこで挿入するかを示します。

表 18、表 19、表 20 に、JESD204B サンプル入力、PHY 10 ビット入力、スクランブラ 8 ビット入力で挿入する場合のテスト・モードの例を示します。表 18～表 20 内の UPx は、ユーザ・レジスタ・マップのユーザ・パターン制御ビットを表します。

データ・リンク層テスト・モード

データ・リンク層テスト・モードは、JEDEC JESD204B 仕様に従って AD9094 内に実装されています。これらのテストは、レジスタ 0x0574 のビット [2:0] で実行されます。データ・リンク層で挿入されるテスト・パターンは、データ・リンク層の機能確認に有効です。データ・リンク層テスト・モードを有効化する場合、レジスタ 0x0572 に 0xC0 を書き込んで SYNCINB±をディセーブルしてください。

表 17. JESD204B インターフェース・テスト・モード

Output Test Mode Bit Sequence	Pattern Name	Expression	Default
0000	Off (default)	Not applicable	Not applicable
0001	Alternating checkerboard	0x5555, 0xAAAA, 0x5555, ...	Not applicable
0010	1/0 word toggle	0x0000, 0xFFFF, 0x0000, ...	Not applicable
0011	31-bit PN sequence	$x^{31} + x^{28} + 1$	0x0003AFFF
0100	23-bit PN sequence	$x^{23} + x^{18} + 1$	0x003AFF
0101	15-bit PN sequence	$x^{15} + x^{14} + 1$	0x03AF
0110	9-bit PN sequence	$x^9 + x^5 + 1$	0x092
0111	7-bit PN sequence	$x^7 + x^6 + 1$	0x07
1000	Ramp output	$(x) \% 2^{16}$	Ramp size depends on test injection point
1110	Continuous/repeat user test	Register 0x0551 to Register 0x0558	User Pattern 1 to User Pattern 4, then repeat
1111	Single user test	Register 0x0551 to Register 0x0558	User Pattern 1 to User Pattern 4, then zeros

表 18. JESD204B サンプル入力：M = 2、S = 2、N' = 8（レジスタ 0x0573 のビット [5:4] = 0）

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	9-Bit PN	23-Bit PN	User Repeat	User Single
0	0	0	0x55	0x00	$(x) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
0	0	1	0x55	0x00	$(x) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
0	1	0	0x55	0x00	$(x) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
0	1	1	0x55	0x00	$(x) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0	0	0xAA	0xFF	$(x + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
1	0	1	0xAA	0xFF	$(x + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
1	1	0	0xAA	0xFF	$(x + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
1	1	1	0xAA	0xFF	$(x + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0	0	0x55	0x00	$(x + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]
2	0	1	0x55	0x00	$(x + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	9-Bit PN	23-Bit PN	User Repeat	User Single
2	1	0	0x55	0x00	$(x + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]
2	1	1	0x55	0x00	$(x + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0	0	0xAA	0xFF	$(x + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
3	0	1	0xAA	0xFF	$(x + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
3	1	0	0xAA	0xFF	$(x + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
3	1	1	0xAA	0xFF	$(x + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0	0	0x55	0x00	$(x + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x0000
4	0	1	0x55	0x00	$(x + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x0000
4	1	0	0x55	0x00	$(x + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x0000
4	1	1	0x55	0x00	$(x + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x0000

表 19. 物理層 10 ビット入力（レジスタ 0x0573 のビット [5:4] = 1）

10-Bit Symbol Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	9-Bit PN	23-Bit PN	User Repeat	User Single
0	0x155	0x000	$(x) \% 2^{10}$	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	$(x + 1) \% 2^{10}$	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	$(x + 2) \% 2^{10}$	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	$(x + 3) \% 2^{10}$	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	$(x + 4) \% 2^{10}$	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	$(x + 5) \% 2^{10}$	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	$(x + 6) \% 2^{10}$	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	$(x + 7) \% 2^{10}$	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	$(x + 8) \% 2^{10}$	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	$(x + 9) \% 2^{10}$	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	$(x + 10) \% 2^{10}$	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	$(x + 11) \% 2^{10}$	0x3DD	0x008	UP4[15:6]	0x000

表 20. スクランプラ 8 ビット入力（レジスタ 0x0573 のビット [5:4] = 10）

8-Bit Octet Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	9-Bit PN	23-Bit PN	User Repeat	User Single
0	0x55	0x00	$(x) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	$(x + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	$(x + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	$(x + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	$(x + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	$(x + 5) \% 2^8$	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	$(x + 6) \% 2^8$	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	$(x + 7) \% 2^8$	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	$(x + 8) \% 2^8$	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	$(x + 9) \% 2^8$	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	$(x + 10) \% 2^8$	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	$(x + 11) \% 2^8$	0xAC	0xFF	UP4[15:9]	0x00

SPI

AD9094 の SPI を使用すると、ADC 内部にある構造化されたレジスタ空間を使用して、特定の機能や動作に合わせてコンバータを構成することができます。SPI は、アプリケーションに応じて、追加的な柔軟性とカスタマイズ能力をユーザに提供します。アドレスにはシリアル・ポートを介してアクセスし、書込みや読出しを行うことができます。メモリはバイト単位で構成され、更にいくつかのフィールドに分割することができます。これらのフィールドについては、[メモリ・マップ](#)のセクションに記述されています。動作の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#) を参照してください。

SPI を使用する構成設定

この ADC の SPI を定義するピンは、SCLK ピン、SDIO ピン、CSB ピンの 3 つです ([表 21](#) を参照)。SCLK (シリアル・クロック) ピンは、ADC との間でやりとりするデータの読出しと書込みを同期させるために使用します。SDIO (シリアル・データ入出力) ピンは 2 つの機能を兼ね備えたピンで、内部 ADC メモリ・マップ・レジスタからのデータの送信と読出しに使用します。CSB (チップ・セレクト) ピンはアクティブ・ローの制御信号で、読出しサイクルと書込みサイクルをイネーブルまたはディスエーブルします。

表 21. シリアル・ポート・インターフェース・ピン

ピン	機能
SCLK	シリアル・クロック。シリアル・インターフェース、読出し、および書込みの同期に使用するシリアル・シフト・クロック入力。
SDIO	シリアル・データ入出力。2 つの機能を兼ね備えたピンで、一般に、送信される命令とタイミング・フレーム内の相対的位置に応じて、入力または出力として機能します。
CSB	チップ・セレクト・バー。読出しおよび書込みサイクルをゲーティングするアクティブ・ローの制御信号。

CSB の立下がりエッジと SCLK の立上がりエッジの関係によって、フレーミングの開始を決定します。シリアル・タイミングの例とその定義は、[図 4](#) と [表 5](#) に示されています。

CSB ピンに関するその他のモードも使用可能です。CSB ピンはローに保持したままにすることが可能で、その間デバイスはイネーブル状態に維持されます (ストリーミング)。CSB は複数のバイト間でハイを保持して、外部タイミングを追加することができます。CSB をハイに接続すると、SPI 機能が高インピーダンス・モードに置かれます。このモードは SPI の 2 つ目の機能をオンにします。

すべてのデータは、8 ビット・ワードで構成されます。シリアル・データの各バイトの最初のビットは、発行されているのが読出しコマンドまたは書込みコマンドのいずれであるのかを示します。このビットにより、SDIO ピンは入力と出力の間で方向を変えることができます。

表 22. SPI を使ってアクセスできる機能

機能名	説明
モード	パワーダウン・モードまたはスタンバイ・モードに設定できます。
クロック	SPI を介してクロック分周器にアクセスできます。
テスト入出力	出力ビットが既知のデータとなるようにテスト・モードを設定できます。
出力モード	出力をセットアップできます。
SERDES 出力セットアップ	振幅やエンファシスなどの SERDES 設定を変更できます。

ワード長に加えて、命令フェーズはシリアル・フレームが読出し動作か書込み動作かを決定して、チップのプログラムとオンチップ・メモリの内容読出しの両方にシリアル・ポートを使用できるようにします。命令がリードバック動作の場合は、リードバックを実行すると、SDIO ピンがシリアル・フレーム内の適切な位置で入力から出力に方向を変えます。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信できます。MSB ファーストはパワーアップ時のデフォルトですが、SPI ポート構成レジスタを介して変更できます。この機能および他の機能の詳細については、[Serial Control Interface Standard \(Rev. 1.0\)](#) を参照してください。

ハードウェア・インターフェース

[表 21](#) に示すピンは、ユーザ・プログラミング・デバイスと AD9094 のシリアル・ポート間の物理的インターフェースを構成します。SCLK ピンと CSB ピンは、SPI インターフェース使用時の入力として機能します。SDIO ピンは双方向で、書込み時には入力として、読出し時には出力として機能します。

SPI インターフェースは十分な柔軟性を備えており、FPGA またはマイクロコントローラによって制御することができます。アプリケーション・ノート AN-812 *Microcontroller-Based Serial Port Interface (SPI) Boot Circuit* には、SPI の構成方法の 1 つが詳しく示されています。

コンバータのすべての動的性能が必要な区間では、SPI ポートをアクティブにしないでください。一般に、SCLK 信号、CSB 信号、SDIO 信号は ADC クロックに同期していないため、これらの信号からのノイズによってコンバータの性能が低下することがあります。内蔵 SPI バスを他のデバイスに使用する場合は、このバスと AD9094 の間にバッファを設けて、重要なサンプリング期間にコンバータ入力でこれらの信号が変化するのを防止する必要があります。

SPI からアクセスできる機能

[表 22](#) に、SPI を介してアクセスできる一般的な機能の概要を示します。これらの機能については、[Serial Control Interface Standard \(Rev. 1.0\)](#) に詳細が示されています。AD9094 デバイスの具体的機能については、[メモリ・マップ](#)のセクションに記載されています。

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には、8 個のビット・ロケーションがあります。メモリ・マップは 4 つのセクションにわかれています。すなわち、アナログ・デバイセズ SPI レジスタ（レジスタ 0x0000～0x000D およびレジスタ 0x18A6～0x1A4D）、ADC 機能レジスタ（レジスタ 0x003F～0x027A、レジスタ 0x0701、レジスタ 0x073B）、デジタル出力レジスタおよびテスト・モード・レジスタ（レジスタ 0x0550～0x1262）です。

未割当てロケーションと予約済みロケーション

一部のアドレスとビット・ロケーションは表 23 に記載されておらず、現時点ではこのデバイスではサポートされていません。有効アドレス・ロケーションの未使用ビットには、0 以外のデフォルト値が設定されている場合を除いて 0 を書き込んでください。これらのロケーションへの書き込みが必要になるのは、あるアドレス・ロケーションの一部が割り当てられていない場合に限られます（例えばアドレス 0x0561）。アドレス・ロケーション全体が未使用の場合（例えばアドレス 0x0013）、そのアドレス・ロケーションには書き込みを行わないでください。

デフォルト値

AD9094 のリセット後は、重要レジスタがデフォルト値でロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル（表 23 を参照）に示されています。

ロジック・レベル

ロジック・レベルの用語の定義は以下のとおりです。

- 「ビットをセットする」というのは、「ビットをロジック 1 に設定する」または「そのビットにロジック 1 を書き込む」ということと同義です。
- 「ビットをクリアする」というのは、「ビットをロジック 0 に設定する」または「そのビットにロジック 0 を書き込む」ということと同義です。
- X はドント・ケア・ビットを表します。

ADC ペアのアドレス割り当て

AD9094 は、2 ペアのデュアル IF レシーバー・チャンネルとして機能的に動作します。AD9094 デバイスには、合計 4 ペアのそれぞれに 2 個の ADC があります。各ペアの SPI レジスタにアクセスするには、レジスタ 0x0009 にペアのインデックスを書き込みます。ペア・インデックス・レジスタは、AD9094 へのその他の SPI 書き込みに先立って書き込む必要があります。

チャンネル固有レジスタ

高速検出制御（レジスタ 0x0247）などの一部のチャンネル・セットアップ機能は、チャンネルごとに異なる値にプログラムできます。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットはローカルとして表 23 に指定されています。これらのローカル・レジスタおよびビットを読書きするには、レジスタ 0x0008 の適切なチャンネル A およびチャンネル C ビットまたは

チャンネル B およびチャンネル D ビットをセットします。アドレス指定される特定のチャンネルは、レジスタ 0x0009 に書き込まれるペアの選択によって異なります。両方のビットがセットされた場合、その後の書き込みは両方のチャンネルのレジスタに対して行われます。1 回の読出しサイクルでは、チャンネル A とチャンネル C またはチャンネル B とチャンネル D のどちらか一方だけをセットして、2 つのレジスタのうち 1 つを読み出してください。SPI の読出しサイクルの間に両方のビットがセットされた場合、デバイスはチャンネル A の値に戻ります。レジスタ 0x0009 とレジスタ 0x0008 を介して両方のペアと両方のチャンネルが選択された場合、デバイスはチャンネル A の値に戻ります。

表 23 に記載されているレジスタ名は、グローバル・マップ、チャンネル・マップ、JESD204B マップ、またはペア・マップのいずれかで予め決められています。ペア・マップおよび JESD204B マップのレジスタは、ペア A およびペア B またはペア C およびペア D のいずれかのチャンネル・ペアに適用されます。ペア・マップおよび JESD204B マップのレジスタに書き込むには、ペア・インデックス・レジスタ（レジスタ 0x0009）に書き込んで該当ペアのアドレス指定を行う必要があります。SPI 設定 A（レジスタ 0x0000）、SPI 設定 B（レジスタ 0x0001）、ペア・インデックス（レジスタ 0x0009）の各レジスタだけが、グローバル・マップにあるレジスタです。チャンネル・マップのレジスタは、チャンネル A、チャンネル B、チャンネル C、チャンネル D の各チャンネルにローカルなものです。チャンネル・マップのレジスタに書き込みを行うには、ペア・インデックス・レジスタ（レジスタ 0x0009）にまず書き込みを行って目的のペア（ペア A およびペア B またはペア C およびペア D）のアドレス指定を行い、次にデバイス・インデックス・レジスタ（レジスタ 0x0008）に書き込みを行って目的のチャンネル（チャンネル A およびチャンネル B またはチャンネル C およびチャンネル D）を選択します。

例えば、チャンネル A をテスト・モードに書き込む（レジスタ 0x0550 により設定）には、レジスタ 0x0009 に 0x01 を書き込んでペア A およびペア B を選択し、次いで、レジスタ 0x0008 に 0x01 を書き込んでチャンネル A を選択します。次に、レジスタ 0x0550 に目的のテスト・モードの値を書き込みます。全チャンネルをテスト・モードに書き込む（レジスタ 0x0550 により設定）には、レジスタ 0x0009 に値 0x03 を書き込んでペア A およびペア B とペア C およびペア D の両方を選択し、次いで、レジスタ 0x0008 に値 0x03 を書き込んでチャンネル A、チャンネル B、チャンネル C、チャンネル D を選択します。次に、レジスタ 0x0550 に目的のテスト・モードの値を書き込みます。

SPI ソフト・リセット

0x81 がレジスタ 0x0000 に書き込まれ、ソフト・リセットが発行された場合、AD9094 は復帰までに 5ms が必要となります。アプリケーション・セットアップのために AD9094 をプログラムする場合は、ソフト・リセットのアサート後からデバイス・セットアップ開始前までの間に、ファームウェア内に適切な遅延をプログラムするようにしてください。

メモリ・マップ・レジスタ

表 23 に含まれていないアドレス・ロケーションは、現時点ではこのデバイスでサポートされていません。表にないロケーションへの書き込みは行わないでください。

表 23. メモリ・マップ・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0000	Global Map SPI Configuration A	7	Soft reset (self clearing)	0 1	ソフト・リセットが発行された場合、その他のレジスタに書き込むまでに 5ms の待機時間が必要です。この待機により、ブート・ローダの動作が完了するための十分な時間が確保されます。 何もしません。 SPI とレジスタをリセットします（自動クリア）。	0x0	R/W
		6	LSB first mirror	1 0	すべての SPI 動作に対し、LSB ファーストでシフトされます。 すべての SPI 動作に対し、MSB ファーストでシフトされます。	0x0	R/W
		5	Address ascension mirror	0 1	マルチバイト SPI 動作が行われると、アドレスが自動インクリメントされます。 マルチバイト SPI 動作が行われると、アドレスが自動インクリメントされます。	0x0	R/W
		4	Reserved		予備。	0x0	R
		3	Reserved		予備。	0x0	R
		2	Address ascension	0 1	マルチバイト SPI 動作が行われると、アドレスが自動インクリメントされます。 マルチバイト SPI 動作が行われると、アドレスが自動インクリメントされます。	0x0	R/W
		1	LSB first	1 0	すべての SPI 動作に対し、MSB ファーストでシフトされます。 すべての SPI 動作に対し、MSB ファーストでシフトされます。	0x0	R/W
		0	Soft reset (self clearing)	0 1	ソフト・リセットが発行された場合、その他のレジスタに書き込むまでに 5ms の待機時間が必要です。この待機により、ブート・ローダの動作が完了するための十分な時間が確保されます。 何もしません。 SPI とレジスタをリセットします（自動クリア）。	0x0	R/W
0x0001	Global Map SPI Configuration B	7	Single instruction	0 1	SPI ストリーミングがイネーブル。 ストリーミング（マルチバイト読出し／書込み）がディスエーブル。CSB ラインの状態に関係なく、1 回の読出し動作または書込み動作のみが実行されます。	0x0	R/W
		[6:2]	Reserved		予備。	0x0	R
		1	Datapath soft reset (self clearing)	0 1	通常動作。 データパスのソフト・リセット（自動クリア）。	0x0	R/W
		0	Reserved		予備。	0x0	R
0x0002	Channel Map Chip Configuration	[7:2]	Reserved		予備。	0x0	R
		[1:0]	Channel power modes	00 10 11	チャンネル・パワー・モード。 通常動作モード（パワーアップ）。 スタンバイ・モード。デジタル・データバス・クロックはディスエーブル、JESD204B インターフェースはイネーブル、出力はイネーブルです。 パワーダウン・モード。デジタル・データバス・クロックはディスエーブル、デジタル・データバスはリセット状態に維持、JESD204B インターフェースはディスエーブル、出力はディスエーブルです。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0003	Pair Map Chip Type	[7:0]	CHIP_TYPE	0x3	チップ・タイプ。 高速 ADC。	0x3	R
0x0004	Pair Map Chip ID LSB	[7:0]	CHIP_ID		チップ ID。	0xDB	R
0x0006	Pair Map Chip Grade	[7:4]	CHIP_SPEED_GRADE	0101	チップの速度グレード。 500MHz。	0x0	R
		[3:0]	Reserved		予備。	0x0	R
0x0008	Pair Map Device Index	[7:2]	Reserved		予備。	0x0	R
		1	Channel B/Channel D	0 1	ADC コア B および ADC コア D は次の SPI コマンドを受信しません。 ADC コア B および ADC コア D は次の SPI コマンドを受信します。	0x1	R/W
		0	Channel A/Channel C	0 1	ADC コア A および ADC コア C は次の SPI コマンドを受信しません。 ADC コア A および ADC コア C は次の SPI コマンドを受信します。	0x1	R/W
0x0009	Global Map Pair Index	[7:2]	Reserved		予備。	0x0	R
		1	Pair C/D	0 1	ADC ペア C および ADC ペア D は次の読出し／書込みコマンドを SPI インターフェースから受信しません。 ADC ペア C および ADC ペア D は次の読出し／書込みコマンドを SPI インターフェースから受信しません。	0x1	R/W
		0	Pair A/B	0 1	ADC ペア A および ADC ペア B は次の読出し／書込みコマンドを SPI インターフェースから受信しません。 ADC ペア A および ADC ペア B は次の読出し／書込みコマンドを SPI インターフェースから受信します。	0x1	R/W
0x000A	Pair Map Scratch Pad	[7:0]	Scratch pad		チップ・スクラッチ・パッド・レジスタ。このレジスタは、ソフトウェア・デバッグ用の一貫したメモリ・ロケーションを提供します。	0x7	R/W
0x000B	Pair Map SPI Revision	[7:0]	SPI_REVISION	00000001	SPI リビジョン・レジスタ (0x01 = Revision 1.0) Revision 1.0。	0x1	R
0x000C	Pair Map Vendor ID LSB	[7:0]	CHIP_VENDOR_ID[7:0]		ベンダ ID。	0x56	R
0x000D	Pair Map Vendor ID MSB	[7:0]	CHIP_VENDOR_ID[15:8]		ベンダ ID。	0x4	R
0x003F	Channel Map Chip Power-Down Pin	7	PDWN/STBY disable	0 1	このレジスタは、レジスタ 0x0040 と共に使用されます。 パワーダウン・ピン (PDWN/STBY) はイネーブルで、グローバル・ピン制御選択はイネーブル (デフォルト)。 パワーダウン・ピン (PDWN/STBY) はディスエーブルで無視され、グローバル・ピン制御選択は無視される。	0x0	R/W
		[6:0]	Reserved		予備。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0040	Pair Map Chip Pin Control 1	[7:6]	PDWN/STBY function	00	パワーダウン・ピン。外部パワーダウン・ピン (PDWN/STBY) をアサートすると、チップはフル・パワーダウン・モードになります。	0x0	R/W
				01	スタンバイ・ピン。外部パワーダウン (PDWN/STBY) をアサートすると、チップはスタンバイ・モードになります。		
				10	ピンをディスエーブル。外部パワーダウン・ピン (PDWN/STBY) のアサートは無視されます。		
		[5:3]	Fast Detect B/D (FD_B/FD_D)	000	高速検出 B および高速検出 D の出力。	0x7	R/W
				001	JESD204B LMFC 出力。		
				010	JESD204B 内部 SYNC~出力。		
				111	ディスエーブル (弱いプルダウン抵抗のある入力として設定されます)。		
		[2:0]	Fast Detect A/C (FD_A/FD_C)	000	高速検出 A および高速検出 C の出力。	0x7	R/W
				001	JESD204B LMFC 出力。		
				010	JESD204B 内部 SYNC~出力。		
				111	ディスエーブル (ウィーク・プルダウンのある入力として設定されます)。		
0x0108	Pair Map Clock Divider Control	[7:3]	Reserved		予備。	0x0	R
		[2:0]	Clock divider	000	1 分周	0x1	R/W
				001	2 分周		
				011	4 分周		
0x0109	Channel Map Clock Divider Phase	[7:4]	Reserved		予備。	0x0	R
		[3:0]	Clock divider phase offset	0000	0 入力クロック・サイクルの遅延。	0x0	R/W
				0001	1/2 入力クロック・サイクルの遅延 (反転クロック)。		
				0010	1 入力クロック・サイクルの遅延。		
				0011	1 1/2 入力クロック・サイクルの遅延。		
				0100	2 入力クロック・サイクルの遅延。		
				0101	2 1/2 入力クロック・サイクルの遅延。		
				0110	3 入力クロック・サイクルの遅延。		
				0111	3 1/2 入力クロック・サイクルの遅延。		
				1000	4 入力クロック・サイクルの遅延。		
				1001	4 1/2 入力クロック・サイクルの遅延。		
				1010	5 入力クロック・サイクルの遅延。		
				1011	5 1/2 入力クロック・サイクルの遅延。		
				1100	6 入力クロック・サイクルの遅延。		
				1101	6 1/2 入力クロック・サイクルの遅延。		
				1110	7 入力クロック・サイクルの遅延。		
				1111	7 1/2 入力クロック・サイクルの遅延。		
0x010A	Pair Map Clock Divider SYSREF± Control	7	Clock divider autophase adjust	0	クロック分周器の位相は SYSREF±によって変化しません (ディスエーブル)。	0x0	R/W
				1	クロック分周器の位相が SYSREF±によって自動的に調整されます (イネーブル)。		
		[6:4]	Reserved		予備。	0x0	R
		[3:2]	Clock divider negative skew window	00	負のスキューなし。SYSREF±を正確に取得する必要があります。	0x0	R/W
				01	1/2 デバイス・クロックの負のスキュー。		
				10	1 デバイス・クロックの負のスキュー。		
				11	1 1/2 デバイス・クロックの負のスキュー。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		[1:0]	Clock divider positive skew window	00	正のスキューなし。SYSREF±を正確に取得する必要があります。	0x0	R/W
				01	1/2 デバイス・クロックの正のスキュー。		
				10	1 デバイス・クロックの正のスキュー。		
				11	1 1/2 デバイス・クロックの正のスキュー。		
0x0110	Pair Map Clock Delay Control	[7:3]	Reserved		予備。	0x0	R
		[2:0]	Clock delay mode select		クロック遅延モードの選択。このレジスタはレジスタ 0x0111 およびレジスタ 0x0112 と共に使用。 000 クロック遅延なし。 001 予備。 010 微小遅延。遅延ステップ 0~16 のみが有効。 011 微小遅延（最小ジッタ）。遅延ステップ 0~16 のみが有効。 100 微小遅延。192 遅延ステップすべてが有効。 101 予備（100 と同じ）。 110 微小遅延がイネーブル（192 遅延ステップすべてが有効）、および超微小遅延がイネーブル（128 遅延ステップすべてが有効）。	0x0	R/W
0x0111	Channel Map Clock Super Fine Delay	[7:0]	Clock super fine delay adjust		クロックの超微小遅延調整。このレジスタは、超微小サンプル・クロック遅延を 0.25 ps ステップで調整するための符号なし制御です。	0x0	R/W
				0x00	0 遅延ステップ。		
				...	...		
				0x08	8 遅延ステップ。		
				...	...		
				0x08	128 遅延ステップ。		
0x0112	Channel Map Clock Fine Delay	[7:0]	Clock fine delay adjust		クロックの微小遅延調整。このレジスタは、微小サンプル・クロック・スキューを 1.725 ps ステップで調整するための符号なし制御です。	0xC0	R/W
				0x00	0 遅延ステップ。		
				...	...		
				0x08	8 遅延ステップ。		
				...	...		
				0xC0	192 遅延ステップ。		
0x011A	Clock Detection Control	[7:5]	Reserved		予備。	0x0	R/W
		[4:3]	Clock detection threshold	01	クロック検出閾値。 f _S ≥ 300MSPS の場合の閾値 1。	0x1	R/W
				11	f _S < 300MSPS の場合の閾値 2。		
0x011B	Pair Map Clock Status	[2:0]	Reserved		予備。	0x1	R/W
		[7:1]	Reserved		予備。	0x0	R
		0	Input clock detect		クロック検出ステータス。 0 入力クロック未検出。 1 入力クロック検出およびロック。	0x0	R
0x011C	Clock DCS Control 1	[7:3]	Reserved		予備。	0x1	R/W
		1	Clock DCS 1 enable	0	DCS1 をバイパス。	0x0	R/W
				1	DCS1 をイネーブル。		
		0	Clock DCS 1 power-up	0	DCS1 をパワーダウン。	0x0	R/W
				1	DCS1 をパワーアップ。DCS はイネーブルする前にパワーアップする必要があります。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x011E	Clock DCS Control 2 (this register must be set to the same value as DCS Control 1)	[7:3]	Reserved		予備。	0x11	R/W
		1	Clock DCS 2 enable	0 1	DCS2 をバイパス。 DCS2 をイネーブル。	0x0	R/W
		0	Clock DCS 2 power-up	0 1	DCS2 をパワーダウン。 DCS2 をパワーアップ。DCS はイネーブルする前にパワーアップする必要があります。	0x0	R/W
0x011F	Clock DCS Control 3	[7:0]	Clock DCS 3 enable	0x84 0x81	DCS3 をバイパス。 DCS3 をイネーブル。	0x84	R/W
0x0120	Pair Map SYSREF Control 1	7	Reserved		予備。	0x0	R
		6	SYSREF± flag reset	0 1	通常フラグ動作。 SYSREF±フラグをリセットに保持します（セットアップおよびホールド・エラー・フラグをクリア）。	0x0	R/W
		5	Reserved		予備。	0x0	R
		4	SYSREF± transition select	0 1	SYSREF±は、選択した CLK±のエッジを使い、ローからハイへの遷移時に有効になります。この設定を変更するときは、SYSREF±モード選択をディスエーブルに設定する必要があります。 SYSREF±は、選択した CLK±のエッジを使い、ハイからローへの遷移時に有効になります。この設定を変更するときは、SYSREF±モード選択をディスエーブルに設定する必要があります。	0x0	R/W
		3	CLK± edge select	0 1	CLK±入力の立上がりエッジで取得。 CLK±入力の立下がりエッジで取得。	0x0	R/W
		[2:1]	SYSREF± mode select	00 01 10	ディスエーブル。 連続。 Nショット。	0x0	R/W
		0	Reserved		予備。	0x0	R
0x0121	Pair Map SYSREF Control 2	[7:4]	Reserved		予備。	0x0	R
		[3:0]	SYSREF± N shot ignore counter select	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	次の SYSREF±遷移のみ（無視しない）。 最初の SYSREF±遷移を無視。 最初の 2 回の SYSREF±遷移を無視。 最初の 3 回の SYSREF±遷移を無視。 最初の 4 回の SYSREF±遷移を無視。 最初の 5 回の SYSREF±遷移を無視。 最初の 6 回の SYSREF±遷移を無視。 最初の 7 回の SYSREF±遷移を無視。 最初の 8 回の SYSREF±遷移を無視。 最初の 9 回の SYSREF±遷移を無視。 最初の 10 回の SYSREF±遷移を無視。 最初の 11 回の SYSREF±遷移を無視。 最初の 12 回の SYSREF±遷移を無視。 最初の 13 回の SYSREF±遷移を無視。 最初の 14 回の SYSREF±遷移を無視。 最初の 15 回の SYSREF±遷移を無視。	0x0	R/W
		7	Reserved		予備。	0x0	R
		[6:0]	SYSREF± timestamp delay, Bits[6:0]	0 1 … 127	SYSREF±タイムスタンプ遅延（コンバータのサイクル・クロック・サイクル数）。 0 サンプル・クロック・サイクルの遅延。 1 サンプル・クロック・サイクルの遅延。 … 127 サンプル・クロック・サイクルの遅延。	0x40	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0128	Pair Map SYSREF Status 1	[7:4]	SYSREF± hold status, Bits[7:4]		SYSREF±ホールド・ステータス。詳細については表 15 を参照してください。	0x0	R
		[3:0]	SYSREF± setup status, Bits[3:0]		SYSREF±セットアップ・ステータス。詳細については表 15 を参照してください。	0x0	R
0x0129	Pair Map SYSREF Status 2	[7:4]	Reserved		予備。	0x0	R
		[3:0]	Clock divider phase when SYSREF± captured		SYSREF±分周器の位相。このレジスタは SYSREF±取得時の分周器の位相を表します。 同位相。	0x0	R
				0000			
				0001	SYSREF±がクロックから $\frac{1}{2}$ サイクル遅延。		
				0010	SYSREF±がクロックから1サイクル遅延。		
				0011	$\frac{1}{2}$ 入力クロック・サイクルの遅延。		
				0100	2入力クロック・サイクルの遅延。		
				0101	$\frac{2}{3}$ 入力クロック・サイクルの遅延。		
				...	...		
				1111	$\frac{7}{8}$ 入力クロック・サイクルの遅延。		
0x012A	Pair Map SYSREF Status 3	[7:0]	SYSREF counter, Bits[7:0] increments when SYSREF± captured		SYSREF±カウンタ。 このレジスタは、SYSREF±イベントが取得され るとインクリメントされる実行カウンタで、 レジスタ 0x0120 のビット 6 でリセットされま す。このレジスタは 255 でラップ・アラウンド します。これらのビットは、レジスタ 0x0120 のビット [2:1] がディスエーブルに設定され ているときだけ読み出します。	0x0	R
0x01FF	Pair Map Chip Sync	[7:1]	Reserved		予備。	0x0	R
		0	Synchronization mode	0x0	サンプル同期モード。SYSREF±信号がすべて の内部サンプル分周器をリセットします。 JESD204B 規格の仕様に従って複数のチップを 同期するときは、このモードを使用します。い ずれかの分周器の位相を変更する必要がある場 合は、JESD204B リンクが使用できなくなリま す。	0x0	R/W
				0x1	部分的同期/タイムスタンプ・モード。 SYSREF±信号は内部分周器サンプルをリセッ トしません。このモードでは、JESD204B リン ク、信号モニタ、並列インターフェース・クロ ックは SYSREF±信号の影響を受けません。 SYSREF±信号は、信号が ADC を通過したとき にサンプルをタイムスタンプします。		
0x0228	Channel Map Custom Offset	[7:0]	Offset adjust in LSBs from +127 to -128		デジタル・データパスのオフセット。2 の補数 形式のオフセット調整は、コンバータ分解能の 最下位ビットでアラインされます。	0x0	R/W
0x0245	Channel Map Fast Detect Control	[7:4]	Reserved		予備。	0x0	R
		3	Force FD_A/FD_B/ FD_C/FD_D pins	0	高速検出ピンの通常動作。	0x0	R/W
				1	高速検出ピンの値を強制（ビット 2 を参照）。		
		2	Force value of FD_A/ FD_B/FD_C/FD_D pins (if force pins are true, this value is output on FD_x pins)		出力が強制されると、このチャンネルの高速検 出出力ピンがこの値に設定されます。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	Enable fast detect output	0	精密高速検出をディスエーブル。	0x0	R/W
				1	精密高速検出をイネーブル。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0247	Channel Map Fast Detect Upper Threshold LSB	[7:0]	Fast detect upper threshold, Bits[7:0]		高速検出上限閾値の LSB。これらは、精密 ADC 信号の大きさと比較されるプログラム可能な 13 ビット上限閾値の 8LSB です。	0x0	R/W
0x0248	Channel Map Fast Detect Upper Threshold MSB	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Fast detect upper threshold, Bits[12:8]		高速検出上限閾値の MSB。これらは、精密 ADC 信号の大きさと比較されるプログラム可能な 13 ビット上限閾値の 8MSB です。	0x0	R/W
0x0249	Channel Map Fast Detect Lower Threshold LSB	[7:0]	Fast detect lower threshold, Bits[7:0]		高速検出下限閾値の LSB。これらは、精密 ADC 信号の大きさと比較されるプログラム可能な 13 ビット下限閾値の 8LSB です。	0x0	R/W
0x024A	Channel Map Fast Detect Lower Threshold MSB	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Fast detect lower threshold, Bits[12:8]		高速検出下限閾値の MSB。これらは、精密 ADC 信号の大きさと比較されるプログラム可能な 13 ビット下限閾値の 8MSB です。	0x0	R/W
0x024B	Channel Map Fast Detect Dwell Time LSB	[7:0]	Fast detect dwell time, Bits[7:0]		高速検出ドウェル時間カウンタ・ターゲットの LSB。これは、ADC データが下限閾値未満の状態がどれだけ続いたら FD _x ピンを 0 にリセットするかを決定する、16 ビット・カウンタのロード値です。	0x0	R/W
0x024C	Channel Map Fast Detect Dwell Time MSB	[7:0]	Fast detect dwell time, Bits[15:8]		高速検出ドウェル時間カウンタ・ターゲットの MSB。これは、ADC データが下限閾値未満の状態がどれだけ続いたら FD _x ピンを 0 にリセットするかを決定する、16 ビット・カウンタのロード値です。	0x0	R/W
0x026F	Pair Map Signal Monitor Sync Control	[7:2]	Reserved		予備。	0x0	R
		1	Reserved		予備。	0x0	R/W
		0	Signal monitor synchronization mode	0	同期ディスエーブル。	0x0	R/W
				1	信号モニタ・ブロックの同期に、SYSREF±ピンの次の有効エッジだけが使われます。SYSREF±ピンのその後のエッジは無視されます。次の SYSREF±信号が受信されると、このビットはクリアされます。信号モニタ・ブロックを同期するには、SYSREF±入力ピンをイネーブルする必要があります。		
0x0270	Channel Map Signal Monitor Control	[7:2]	Reserved		予備。	0x0	R
		1	Peak detector	0	ピーク・ディテクタをディスエーブル。	0x0	R/W
				1	ピーク・ディテクタをイネーブル。		
		0	Reserved		予備。	0x0	R
0x0271	Channel Map Signal Monitor Period 0	[7:0]	Signal monitor period, Bits[7:0]		この 24 ビット値によって、信号モニタ機能の動作時間に相当する出力クロック・サイクル数が設定されます。ビット 0 は無視されます。	0x80	R/W
0x0272	Channel Map Signal Monitor Period 1	[7:0]	Signal monitor period, Bits[15:8]		この 24 ビット値によって、信号モニタ機能の動作時間に相当する出力クロック・サイクル数が設定されます。ビット 0 は無視されます。	0x0	R/W
0x0273	Channel Map Signal Monitor Period 2	[7:0]	Signal monitor period, Bits[23:16]		この 24 ビット値によって、信号モニタ機能の動作時間に相当する出力クロック・サイクル数が設定されます。ビット 0 は無視されます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0274	Channel Map Signal Monitor Status Control	[7:5]	Reserved		予備。	0x0	R
		4	Result update	1	ビット [2:0] に基づくステータス更新（自動クリア）。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	Result selection	001	ステータス・リードバック信号を対象とするピーク・ディテクタです。	0x1	R/W
0x0275	Channel Map Signal Monitor Status 0	[7:0]	Signal monitor result, Bits[7:0]		信号モニタのステータス結果。この 20 ビット値は、信号モニタ・ブロックによって計算されたステータス値を格納します。内容は、レジスタ 0x0274、ビット [2:0] の設定値によって異なります。	0x0	R
0x0276	Channel Map Signal Monitor Status 1	[7:0]	Signal monitor result, Bits[15:8]		信号モニタのステータス結果。この 20 ビット値は、信号モニタ・ブロックによって計算されたステータス値を格納します。内容は、レジスタ 0x0274、ビット [2:0] の設定値によって異なります。	0x0	R
0x0277	Channel Map Signal Monitor Status 2	[7:4]	Reserved		予備。	0x0	R
		[3:0]	Signal monitor result, Bits[19:16]		信号モニタのステータス結果。この 20 ビット値は、信号モニタ・ブロックによって計算されたステータス値を格納します。内容は、レジスタ 0x0274、ビット [2:0] の設定値によって異なります。	0x0	R
0x0278	Channel Map Signal Monitor Status Frame Counter	[7:0]	Period count result, Bits[7:0]		信号モニタ・フレーム・カウンタのステータス・ビット。時間カウンタのカウントが終了すると、必ずフレーム・カウンタがインクリメントされます。	0x0	R
0x0279	Channel Map Signal Monitor Serial Framer Control	[7:2]	Reserved		予備。	0x0	R
		1	Reserved		予備。	0x0	R/W
		0	Signal monitor SPORT over JESD204B enable	0 1	ディスエーブル。 イネーブル。	0x0	R/W
0x027A	SPORT over JESD204B Input Selection (Local)	[7:6]	Reserved		予備。	0x0	R
		1	SPORT over JESD204B input selection	0 1	信号モニタ・シリアル・フレームの入力選択。各個別ビットが 1 のときは、対応する信号統計情報がそのフレーム内に送信されます。 ディスエーブル。 シリアル・フレームに挿入されたピーク・ディテクタのデータ。	0x1	R/W
		0	Reserved			0x0	R
0x0550	Channel Map Test Mode Control	7	User pattern selection	0 1	継続的なりビット。 シングル・パターン。	0x0	R/W
		6	Reserved		予備。	0x0	R
		5	Reset PN long generator	0 1	ロング PN をイネーブル。 ロング PN をリセット状態に保持。	0x0	R/W
		4	Reset PN short generator	0 1	ショート PN をイネーブル。 ショート PN をリセット状態に保持。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		[3:0]	Test mode selection	0000 0001 0010 0011 0100 0101 0110 0111 1000 1111	オフ、通常動作。 ミッドスケール・ショート。 正のフルスケール。 負のフルスケール。 オルタネーティング・チェッカーボード。 PN シーケンス、ロング。 PN シーケンス、ショート。 I/O ワード・トグル。 ユーザ・パターン・テスト・モード（テスト・モード・パターン選択レジスタおよびユーザ・パターン 1～4 のレジスタと共に使用）。 ランプ出力。	0x0	R/W
0x0551	Pair Map User Pattern 1 LSB	[7:0]	User Pattern 1, Bits[7:0]		ユーザ・テスト・パターン 1 の最下位バイト。	0x0	R/W
0x0552	Pair Map User Pattern 1 MSB	[7:0]	User Pattern 1, Bits[15:8]		ユーザ・テスト・パターン 1 の最上位バイト。	0x0	R/W
0x0553	Pair Map User Pattern 2 LSB	[7:0]	User Pattern 2, Bits[7:0]		ユーザ・テスト・パターン 2 の最下位バイト。	0x0	R/W
0x0554	Pair Map User Pattern 2 MSB	[7:0]	User Pattern 2, Bits[15:8]		ユーザ・テスト・パターン 2 の最上位バイト。	0x0	R/W
0x0555	Pair Map User Pattern 3 LSB	[7:0]	User Pattern 3, Bits[7:0]		ユーザ・テスト・パターン 3 の最下位バイト。	0x0	R/W
0x0556	Pair Map User Pattern 3 MSB	[7:0]	User Pattern 3, Bits[15:8]		ユーザ・テスト・パターン 3 の最上位バイト。	0x0	R/W
0x0557	Pair Map User Pattern 4 LSB	[7:0]	User Pattern 4, Bits[7:0]		ユーザ・テスト・パターン 4 の最下位バイト。	0x0	R/W
0x0558	Pair Map User Pattern 4 MSB	[7:0]	User Pattern 4, Bits[15:8]		ユーザ・テスト・パターン 4 の最上位バイト。	0x0	R/W
0x0559	Pair Map Output Control Mode 0	7	Reserved		予備。	0x0	R
		[6:4]	Reserved		予備。	0x0	R
		3	Reserved		予備。	0x0	R
		[2:0]	Converter Control Bit 0 selection	000	ロー（1'b0）に接続。	0x0	R/W
				001	オーバールレンジ・ビット。		
				010	信号モニタ（SMON）ビット。		
				011	高速検出（FD）ビット。		
				101	SYSREF±。		
				100	予備。		
				110	予備。		
				111	予備。		
0x0561	Pair Map Output Sample Mode	[7:3]	Reserved		予備。	0x0	R
		2	Sample invert	0	ADC サンプル・データを反転しません。	0x0	R/W
				1	ADC サンプル・データを反転します。		
		[1:0]	Data format select	00 01	オフセット・バイナリ。 2 の補数（デフォルト）。	0x1	R/W
0x0564	Pair Map Output Channel Select	[7:2]	Reserved		予備。	0x0	R
		1	Reserved		予備。	0x0	R/W
		0	Converter channel swap control	0 1	通常のチャンネル・オーダー。 チャンネル・スワップをイネーブル。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x056E	JESD204B Map PLL Control	[7:4]	JESD204B lane rate control	0000	レーン・レート = 6.75Gbps～13.5Gbps。	0x0	R/W
				0001	レーン・レート = 3.375Gbps～6.75Gbps。		
				0011	レーン・レート = 13.5Gbps～15Gbps。		
				0101	レーン・レート = 1.6875Gbps～3.375Gbps。		
0x056F	JESD204B Map PLL Status	[3:0]	Reserved		予備。	0x0	R
		7	PLL lock status	0 1	未ロック。 ロック。	0x0	R
		[6:4]	Reserved		予備。	0x0	R
		3	Reserved		予備。	0x0	R
0x0570	JESD204B Map JTX Quick Configuration	[2:0]	Reserved		予備。	0x0	R
					予備。	0x0	R
					予備。	0x0	R
					予備。	0x0	R
0x0570	JESD204B Map JTX Quick Configuration	[7:6]	Quick Configuration L		レーン数 (L) = $2^{0x0570[7:6]}$ 。	0x1	R/W
				0	L = 1。		
				1	L = 2。		
				10	L = 4。		
		[5:3]	Quick Configuration M		コンバータ数 (M) = $2^{0x0570[5:3]}$ 。	0x1	R/W
				0	M = 1。		
				1	M = 2。		
				10	M = 4。		
		[2:0]	Quick Configuration F		フレームあたりのオクテット数 (F) = $2^{0x0570[2:0]}$ 。	0x1	R/W
				0	F = 1。		
				1	F = 2。		
				10	F = 4。		
0x0571	JESD204B Map JTX Link Control 1	7	Standby mode		スタンバイ・モードは、すべてのコンバータ・サンプルを強制的にゼロにします。	0x0	R/W
				0	スタンバイ・モードは、強制的に CGS を行います (K28.5/文字)。		
				1	スタンバイ・モードは、強制的に CGS を行います (K28.5/文字)。		
				1	スタンバイ・モードは、強制的に CGS を行います (K28.5/文字)。		
		6	Tail bit (t) PN		ディスエーブル。	0x0	R/W
				0	ディスエーブル。		
				1	イネーブル。		
				1	イネーブル。		
		5	Long transport layer test		JESD204B テスト・サンプルをディスエーブル。	0x0	R/W
				0	JESD204B テスト・サンプルをディスエーブル。		
				1	JESD204B テスト・サンプルをイネーブル。すべてのリンク・レーン上で、長いトランスポート層テスト・サンプル・シーケンス (JESD204B 5.1.6.3 項の仕様による) が送られます。		
				1	JESD204B テスト・サンプルをイネーブル。すべてのリンク・レーン上で、長いトランスポート層テスト・サンプル・シーケンス (JESD204B 5.1.6.3 項の仕様による) が送られます。		
		4	Lane synchronization		FACI による/K28.7/の使用をディスエーブルします。	0x1	R/W
				0	FACI による/K28.7/の使用をディスエーブルします。		
				1	FACI による/K28.3/と/K28.7/の使用をイネーブルします。		
				1	FACI による/K28.3/と/K28.7/の使用をイネーブルします。		
		[3:2]	ILAS sequence mode		初期レーン・アライメント・シーケンスをディスエーブル (JESD204B 5.3.3.5)。	0x1	R/W
				00	初期レーン・アライメント・シーケンスをディスエーブル (JESD204B 5.3.3.5)。		
				01	初期レーン・アライメント・シーケンスをイネーブル (JESD204B 5.3.3.5)。		
				11	初期レーン・アライメント・シーケンスが常にテスト・モード、つまり JESD204B データ・リンク層テスト・モードとなり、すべてのレーンにレーン・アライメント・シーケンス (JESD204B 5.3.3.8.2 項の仕様による) が繰り返し送られます。		
		1	FACI		フレーム・アライメント文字の挿入をイネーブル (JESD204B の 5.3.3.4)。	0x0	R/W
				0	フレーム・アライメント文字の挿入をイネーブル (JESD204B の 5.3.3.4)。		
				1	フレーム・アライメント文字の挿入をディスエーブル (デバッグ専用、JESD204B の 5.3.3.4)。		
				1	フレーム・アライメント文字の挿入をディスエーブル (デバッグ専用、JESD204B の 5.3.3.4)。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		0	Link control	0 1	JESD204B シリアル転送リンクをイネーブル。 CGS 用の/K28.5/文字の転送は、SYNCINB±xx ピンによって制御されます。 JESD204B シリアル転送リンクをパワーダウン (リセットされクロック・ゲーティングされた 状態に保持)。	0x0	R/W
0x0572	JESD204B Map JTX Link Control 2	[7:6]	SYNCINB±xx pin control	00 10 11	ノーマル・モード。 SYNCINB±xx を無視 (CGS を強制)。 SYNCINB±xx を無視 (ILAS/ユーザ・データ を強制)。	0x0	R/W
		5	SYNCINB±xx pin invert	0 1	SYNCINB±xx ピンを反転しない。 SYNCINB±xx ピンを反転。	0x0	R/W
		4	SYNCINB±xx pin type	0 1	LVDS 差動ペア SYNC~入力。 CMOS シングルエンド SYNC~入力。	0x0	R/W
		3	Reserved		予備。	0x0	R
		2	8-bit/10-bit bypass	0 1	8 ビット/10 ビットをイネーブル。 8 ビット/10 ビットをバイパス (上位 2 ビット が 0)。	0x0	R/W
		1	8-bit/10-bit invert	0 1	ノーマル。 シンボルを反転。	0x0	R/W
		0	Reserved		予備。	0x0	R/W
0x0573	JESD204B Map JTX Link Control 3	[7:6]	Checksum mode	00 01 10 11	チェックサムは、リンク構成テーブル内のすべ ての 8 ビット・レジスタの合計。 チェックサムは、個々のリンク構成フィールド の合計 (LSB をアライン)。 チェックサムをディスエーブル (ゼロに設 定)。この設定値はテスト専用です。 使用しません。	0x0	R/W
		[5:4]	Test injection point	0 1 10	N'サンプル入力。 8 ビット/10 ビット出力の 10 ビット・データ (PHY テスト用)。 スクランブラ入力 8 ビット・データ入力。	0x0	R/W
		[3:0]	JESD204B test mode patterns	0 1 10 11 100 101 110 111 1000 1110 1111	通常動作 (テスト・モードをディスエーブル)。 オルタネーティング・チェッカーボード。 1/0 ワード・トグル。 31 ビット PN シーケンス: $x^{31} + x^{28} + 1$ 。 23 ビット PN シーケンス: $x^{23} + x^{18} + 1$ 。 15 ビット PN シーケンス: $x^{15} + x^{14} + 1$ 。 9 ビット PN シーケンス: $x^9 + x^5 + 1$ 。 7 ビット PN シーケンス: $x^7 + x^6 + 1$ 。 ランプ出力。 連続および反復ユーザ・リセット。 シングル・ユーザ・リセット。	0x0	R/W
0x0574	JESD204B Map JTX Link Control 4	[7:4]	ILAS delay	0 1 10 11	SYNCINB±xx のアサート解除後の最初の LMFC で ILAS を転送。 SYNCINB±xx のアサート解除後の 2 番目の LMFC で ILAS を転送。 SYNCINB±xx のアサート解除後の 3 番目の LMFC で ILAS を転送。 SYNCINB±xx のアサート解除後の 4 番目の LMFC で ILAS を転送。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
				100	SYNCINB±xx のアサート解除後の 5 番目の LMFC で ILAS を転送。		
				101	SYNCINB±xx のアサート解除後の 6 番目の LMFC で ILAS を転送。		
				110	SYNCINB±xx のアサート解除後の 7 番目の LMFC で ILAS を転送。		
				111	SYNCINB±xx のアサート解除後の 8 番目の LMFC で ILAS を転送。		
				1000	SYNCINB±xx のアサート解除後の 9 番目の LMFC で ILAS を転送。		
				1001	SYNCINB±xx のアサート解除後の 10 番目の LMFC で ILAS を転送。		
				1010	SYNCINB±xx のアサート解除後の 11 番目の LMFC で ILAS を転送。		
				1011	SYNCINB±xx のアサート解除後の 12 番目の LMFC で ILAS を転送。		
				1100	SYNCINB±xx のアサート解除後の 13 番目の LMFC で ILAS を転送。		
				1101	SYNCINB±xx のアサート解除後の 14 番目の LMFC で ILAS を転送。		
				1110	SYNCINB±xx のアサート解除後の 15 番目の LMFC で ILAS を転送。		
				1111	SYNCINB±xx のアサート解除後の 16 番目の LMFC で ILAS を転送。		
		3	Reserved		予備。	0x0	R
		[2:0]	Data Link layer test mode	000	通常動作（リンク層テスト・モードをディスエーブル）。	0x0	R/W
				001	/D21.5/文字の連続シーケンス。		
				010	予備。		
				011	予備。		
				100	修正ランダム・パターン（RPAT）テスト・シーケンス。		
				101	ジッタ許容値およびスクランブル・ジッタ・パターン（JSPAT）テスト・シーケンス。		
				110	JTSPAT テスト・シーケンス。		
				111	予備。		
0x0578	JESD204B Map JTX LMFC Offset	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LMFC phase offset value		LMFC 位相オフセット値。この値は、SYSREF± がアサートされたときの LMFC 位相カウンタのリセット値で、確定的遅延アプリケーションで使います。	0x0	R/W
0x0580	JESD204B Map JTX DID Configuration	[7:0]	JESD204B transmitter DID value		JESD204x シリアル・デバイス識別（Device Identification: DID）番号。	0x0	R/W
0x0581	JESD204B Map JTX BID Configuration	[7:4]	Reserved		予備。	0x0	R
		[3:0]	JESD204B transmitter BID value		JESD204x シリアル・バンク識別（Bank Identification: BID）番号（DID のエクステンション）。	0x0	R/W
0x0583	JESD204B Map JTX LID 0 Configuration	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Lane 0 LID value		レーン 0 の JESD204x シリアル・レーン識別（Lane Identification: LID）番号。	0x0	R/W
0x0585	JESD204B Map JTX LID 1 Configuration	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Lane 1 LID value		レーン 1 の JESD204x シリアル・レーン識別（Lane Identification: LID）番号。	0x2	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x058B	JESD204B Map JTX SCR L Configuration	7	JESD204B scrambling (SCR)	0	JESD204x スクランプラをディスエーブル (SCR = 0)。	0x1	R/W
				1	JESD204x スクランプラをイネーブル (SCR = 1)。		
		[6:5]	Reserved		予備。		
		[4:0]	JESD204B lanes (L)	0x0	リンクあたり 1 レーン (L = 1)。	0x1	R
				0x1	リンクあたり 2 レーン (L = 2)。		
0x058C	JESD204B Map JTX F Configuration	[7:0]	Number of octets per frame (F)		フレームあたりのオクテット数、F = レジスタ 0x058C のビット [7:0] + 1。	0x1	R
0x058D	JESD204B Map JTX K Configuration	[7:5]	Reserved		予備。	0x1F	R
		[4:0]	Number of frames per multiframe (K)		JESD204x のマルチフレームあたりフレーム数 (K = レジスタ 0x058D、ビット [4:0] + 1)。F × K が 4 で割りきれられる値の場合のみ使用できます。		
				00011	K = 4。		
				00111	K = 8。		
				01100	K = 12。		
				01111	K = 16。		
				10011	K = 20。		
				10111	K = 24。		
				11011	K = 28。		
				11111	K = 32。		
0x058E	JESD204B Map JTX M Configuration	[7:0]	Number of converters per link	00000000	1 個の仮想コンバータに接続されたリンク (M = 1)。	0x1	R
				00000001	2 個の仮想コンバータに接続されたリンク (M = 2)。		
				00000011	4 個の仮想コンバータに接続されたリンク (M = 4)。		
0x058F	JESD204B Map JTX CS N Configuration	[7:6]	Number of control bits (CS) per sample	00	制御ビットなし (CS = 0)。	0x0	R/W
				01	1 制御ビット (CS = 1)、制御ビット 0 のみ。		
		5	Reserved		予備。	0x0	R
		[4:0]	ADC converter resolution (N)	00110	N = 7 ビット分解能。	0xF	R/W
				00111	N = 8 ビット分解能。		
				01000	N = 9 ビット分解能。		
				01001	N = 10 ビット分解能。		
				01010	N = 11 ビット分解能。		
				01011	N = 12 ビット分解能。		
				01100	N = 13 ビット分解能。		
0x0590	JESD204B map JTX Subclass Version NP Configuration	[7:5]	Subclass support	000	サブクラス 0。	0x1	R/W
				001	サブクラス 1。		
		[4:0]	ADC number of bits per sample (N')	00111	N' = 8	0xF	R/W
				01111	N' = 16		
0x0591	JESD204B Map JTX S Configuration	[7:5]	Reserved		予備。	0x1	R
		[4:0]	Samples per converter frame cycle (S)		コンバータ・フレーム・サイクルあたりのサンプル数 (S = レジスタ 0x0591 のビット [4:0] + 1)。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0592	JESD204B Map JTX HD CF Configuration	7	HD value	0	高密度フォーマットをディセーブル。	0x0	R
		[6:5]	Reserved	1	高密度フォーマットをイネーブル。	0x0	R
		[4:0]	Control words per frame clock cycle per link (CF)		1 個のリンク内のフレーム・クロック・サイクルあたりの制御ワード数 (CF = レジスタ 0x0592 のビット [4:0])。	0x0	R
0x05A0	JESD204B Map JTX Checksum 0 Configuration	[7:0]	Checksum 0 checksum value for SERDOUTxx0±		レーン 0 のシリアル・チェックサム値。この値はレーンごとに自動計算されます。サム (レーン 0 のすべてのリンク構成パラメータ) は 256 です。	0xC3	R
0x05A1	JESD204B Map JTX Checksum 1 Configuration	[7:0]	Checksum 1 checksum value for SERDOUTxx1±		レーン 1 のシリアル・チェックサム値。この値はレーンごとに自動計算されます。サム (レーン 1 のすべてのリンク構成パラメータ) は 256 です。	0xC4	R
0x05B0	SERDOUTxx0±/ SERDOUTxx1± Lane Power-Down	7	Reserved		予備。	0x1	R/W
		6	Reserved		予備。	0x1	R/W
		5	Reserved		予備。	0x1	R/W
		4	Reserved		予備。	0x1	R/W
		3	Reserved		予備。	0x1	R/W
		2	SERDOUTxx1± Lane 1 power-down		物理レーン 1 を強制的にパワーダウン。	0x0	R/W
		1	Reserved		予備。	0x1	R/W
		0	SERDOUTxx0± Lane 0 power-down		物理レーン 0 を強制的にパワーダウン。	0x0	R/W
0x05B2	JESD204B Map JTX Lane Assignment 1	7	Reserved		予備。	0x0	R
		[6:4]	Reserved		予備。	0x0	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUTxx0± lane assignment	0 1 10 11	論理レーン 0 (デフォルト)。 論理レーン 1。 論理レーン 2。 論理レーン 3。	0x0	R/W
0x05B3	JESD204B Map JTX Lane Assignment 2	7	Reserved		予備。	0x0	R
		[6:4]	Reserved		予備。	0x1	R/W
		3	Reserved		予備。	0x0	R
		[2:0]	SERDOUTxx1± lane assignment	0 1 10 11	論理レーン 0。 論理レーン 1 (デフォルト)。 論理レーン 2。 論理レーン 3。	0x1	R/W
0x05C0	JESD204B Map JESD204B Serializer Drive Adjust	[7:3]	Reserved		予備。	0x0	R
		[2:0]	Swing voltage SERDOUTxx0±	0 1	1.0 × DRVDD1 (差動)。 0.850 × DRVDD1 (差動)。	0x1	R/W
0x05C1	JESD204B Map JESD204B Serializer Drive Adjust	[7:3]	Reserved		予備。	0x0	R
		[2:0]	Swing voltage SERDOUTxx1±	0 1	1.0 × DRVDD1 (差動)。 0.850 × DRVDD1 (差動)。	0x1	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x05C4	JESD204B Serializer Preemphasis Selection Register for Logical Lane 0	7	Post tap enable	0 1	ディスエーブル。 イネーブル。	0x0	R/W
		[6:4]	Sets post tap level	0	0dB（電圧振幅設定値が 0 で挿入損失が 0dB～4dB の場合に推奨）。	0x0	R/W
				1	3dB（電圧振幅設定値が 0 で挿入損失が 4dB～9dB の場合に推奨）。		
				10	6dB（電圧振幅設定値が 0 で挿入損失が 9dB～14dB の場合に推奨）。		
				11	9dB（電圧振幅設定値が 0 で挿入損失が 14dB を超える場合に推奨）。		
				100	12dB。		
		[3:0]	Reserved		予備。	0x0	R
0x05C6	JESD204B Serializer Preemphasis Selection Register for Logical Lane 1	7	Post tap polarity	0 1	ディスエーブル。 イネーブル。	0x0	R/W
		[6:4]	Sets post tap level	0	0dB（電圧振幅設定値が 0 で挿入損失が 0dB～4dB の場合に推奨）。	0x0	R/W
				1	3dB（電圧振幅設定値が 0 で挿入損失が 4dB～9dB の場合に推奨）。		
				10	6dB（電圧振幅設定値が 0 で挿入損失が 9dB～14dB の場合に推奨）。		
				11	9dB（電圧振幅設定値が 0 で挿入損失が 14dB を超える場合に推奨）。		
				100	12dB。		
		[3:0]	Reserved		予備。	0x0	R
0x0922	Large Dither Control	[7:0]	Large dither control	1110000 1110001	イネーブル。 ディスエーブル。	0x70	R/W
0x1222	PLL Calibration	[7:0]	PLL calibration	0x00 0x04	PLL のキャリブレーション。 通常動作。 PLL のキャリブレーション。	0x0	R/W
0x1228	JESD204B Start-Up Circuit Reset	[7:0]	JESD204B start-up circuit reset	0x0F 0x4F	JESD204B スタートアップ回路をリセット。 通常動作。 スタートアップ回路をリセット。	0xF	R/W
0x1262	PLL Loss of Lock Control		PLL loss of lock control	0x00 0x08	PLL のロック喪失の制御。 通常動作。 ロック喪失をクリア。	0x0	R/W
0x0701	DC Offset Calibration	[7:0]	DC offset calibration control	0x06 0x86	DC オフセット・キャリブレーションをディスエーブル。 DC オフセット・キャリブレーションをイネーブル。	0x06	R/W
0x073B	DC Offset Calibration Control 2 (local)	7	DC Offset Calibration Enable 2	0 1	イネーブル（レジスタ 0x0701 のビット 7=1 の場合は 0 にする必要があります）。 ディスエーブル（レジスタ 0x0701 のビット 7=0 の場合は 1 にする必要があります）。	0x1	R/W
		[6:0]	Reserved	111111	予備。	0x3F	R
0x18A6	Pair Map VREF Control	[7:5]	Reserved		予備。	0x0	R
		4	Reserved		予備。	0x0	R/W
		[3:1]	Reserved		予備。	0x0	R
		0	VREF control	0 1	内部リファレンス。 外部リファレンス。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x18E0	External V_{CM} Buffer Control 1	[7:0]	External V_{CM} Buffer Control 1		詳細は入力コモンモードのセクションを参照。	0x0	R/W
0x18E1	External V_{CM} Buffer Control 2	[7:0]	External V_{CM} Buffer Control 2		詳細は入力コモンモードのセクションを参照。	0x0	R/W
0x18E2	External V_{CM} Buffer Control 3	[7:0]	External V_{CM} Buffer Control 3		詳細は入力コモンモードのセクションを参照。	0x0	R/W
0x18E3	External V_{CM} Buffer Control	7	Reserved		予備。	0x0	R/W
		6	External V_{CM} buffer	1 0	イネーブル。 ディスエーブル。	0x0	R/W
		[5:0]	External V_{CM} buffer current setting		詳細は入力コモンモードのセクションを参照。	0x0	R/W
0x18E6	Temperature Diode Export	[7:1]	Reserved		予備。	0x0	R/W
		0	Temperature diode export	1 0	イネーブル。 ディスエーブル。	0x0	R/W
0x1908	Channel Map Analog Input Control	[7:6]	Reserved		予備。	0x0	R
		[5:4]	Reserved		予備。	0x0	R/W
		3	Reserved		予備。	0x0	R
		2	Analog input dc coupling control	0 1	アナログ入力 DC カップリングの制御。 AC カップリング。 DC カップリング。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	Reserved		予備。	0x0	R/W
0x1910	Channel Map Full-Scale Input Range	[7:4]	Reserved		予備。	0x0	R
		[3:0]	Input full-scale control	0000	2.16V p-p。	0xD	R/W
				1010	1.44V p-p。		
				1011	1.56V p-p。		
				1100	1.68V p-p。		
				1101	1.80V p-p。		
				1110	1.92V p-p。		
				1111	2.04V p-p。		
0x1A4C	Channel Map Buffer Control 1	[7:6]	Reserved		予備。	0x0	R
		[5:0]	Buffer Control 1	00110	120 μ A。	0x8	R/W
				01000	160 μ A。		
				01010	200 μ A。		
				01100	240 μ A。		
				01110	280 μ A。		
				10000	320 μ A。		
				10010	360 μ A。		
				10100	400 μ A。		
				10110	440 μ A。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x1A4D	Channel Map Buffer Control 2	[7:6]	Reserved		予備。	0x0	R
		[5:0]	Buffer Control 2	00110	120μA _o	0x8	R/W
				01000	160μA _o		
				01010	200μA _o		
				01100	240μA _o		
				01110	280μA _o		
				10000	320μA _o		
				10010	360μA _o		
				10100	400μA _o		
				10110	440μA _o		

アプリケーション情報

電源の推奨事項

AD9094 への給電には次の 7 つの電源を使用する必要があります。すなわち、 $AVDD1 = AVDD1_SR = 0.9V$ 、 $AVDD2 = 1.8V$ 、 $AVDD3 = 2.5V$ 、 $DVDD = 0.9V$ 、 $DRVDD1 = 0.9V$ 、 $DRVDD2 = 1.8V$ 、 $SPIVDD = 1.8V$ です。最高の電力効率およびノイズ性能が必要なアプリケーションに対しては、ADP5054 クラウド・スイッチング・レギュレータを使用して 6.0V または 12V の入力レールを中間レール (1.3V、2.4V、3.0V) に変換することを推奨します。これらの中間レールは後段で、超低ノイズ、低ドロップアウト (LDO) のレギュレータ (ADP1762、ADP7159、ADP151、ADP7118 など) により、レギュレーションされます。AD9094 の推奨電源構成を図 82 に示します。

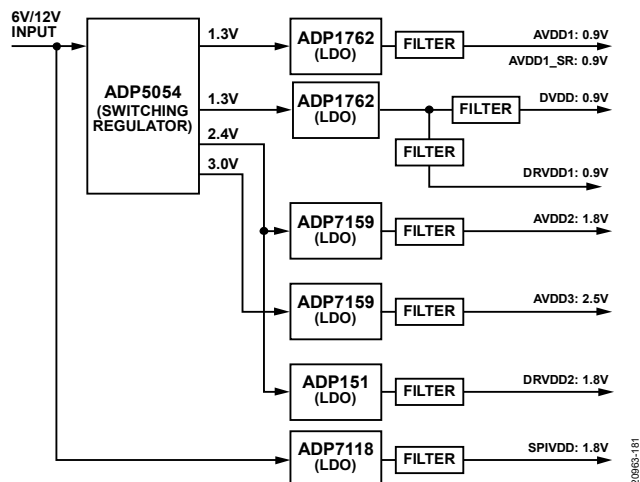


図 82. AD9094 用の高効率低ノイズ電源ソリューション

これらの電源領域のすべてを常に分割する必要はありません。図 82 に示す推奨ソリューションは、最小ノイズで最大効率を実現する AD9094 用電源供給システムを提供するものです。使用できる 0.9V 電源が 1 つだけの場合は、最初に AVDD1 を配線してそこから分岐させ、フェライト・ビーズまたはフィルタ・チョークで絶縁して、AVDD1_SR、DVDD、DRVDD1 の前方に、この順番でデカップリング・コンデンサを接続します。いくつかの異なるデカップリング・コンデンサを組み込むことで、低周波数域と高周波数域の両方をカバーすることができます。これらのコンデンサは、PCB への接続点とデバイスにできるだけ近い位置に配置して、パターン長を最小限に抑える必要があります。

露出パッドのサーマル・ヒート・スラグに関する推奨事項

AD9094 の電気的性能と熱性能を最大限に発揮するためには、ADC の下側の露出パッドを AGND に接続することが必要です。PCB の切れ目のない露出した銅プレーンを AD9094 の露出パッド (ピン 0) に接続します。銅プレーンには複数のビアを設ける必要があります。これにより、PCB の下部に放熱するために可能な限り熱抵抗の小さい経路が確保されます。これらのビアはハンダで充填されているか、塞いである必要があります。ビアの数と充填量により、表 7 に示した基板上での θ_{JA} の測定値が決まります。

PCB レイアウトの例については図 83 を参照してください。チップ・スケール・パッケージのパッケージングと PCB レイアウトの詳細については、AN-772 アプリケーション・ノート、リード・フレーム・チップ・スケール・パッケージ (LFCSPP) の設計および製造ガイドを参照してください。

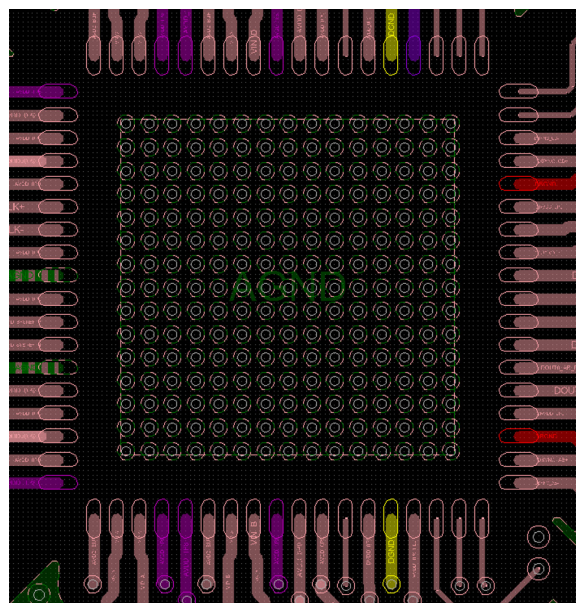


図 83. AD9094 の露出パッドの推奨 PCB レイアウト

AVDD1_SR (ピン 64) と AGND_SR (ピン 63 とピン 67)

AVDD1_SR (ピン 64) と AGND_SR (ピン 63 とピン 67) は、AD9094 の SYSREF±回路に個別の電源ノードを提供できます。サブクラス 1 で使用する場合、AD9094 は周期的なワンショット信号またはギャップ信号に対応することができます。この電源から AVDD1 電源ノードへのカップリングを最小限に抑えるには、適切な電源バイパスが必要です。

外形寸法

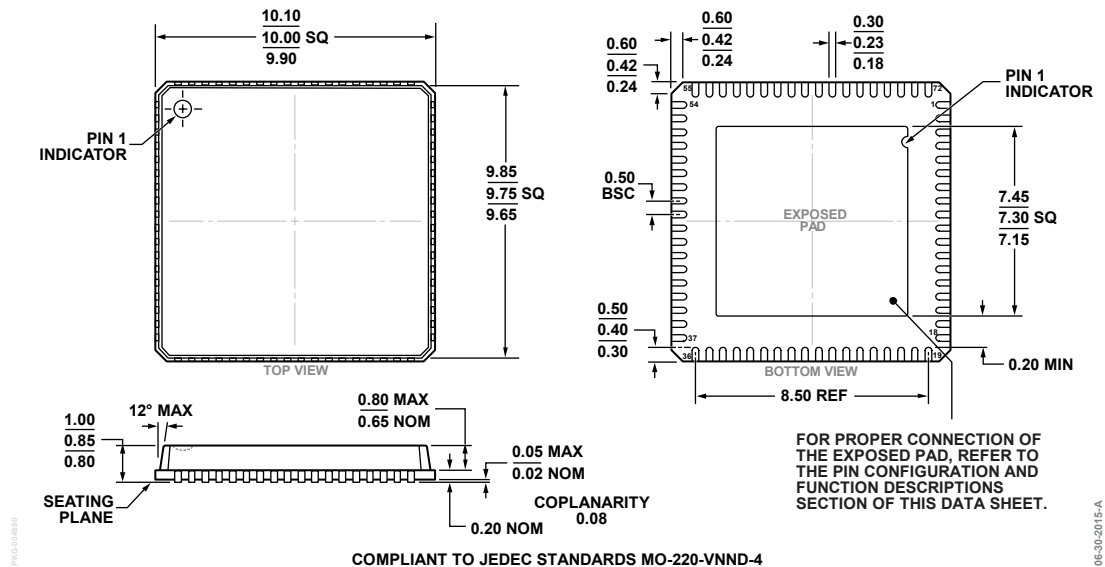


図 84. 72 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
10mm × 10mm ボディ、0.85mm パッケージ高
(CP-72-10)
寸法：mm

オーダー・ガイド

Model ¹	Junction Temperature Range	Package Description	Package Option
AD9094BCPZ-1000	-40°C to +105°C	72-Lead Lead Frame Chip Scale Package [LFCSP]	CP-72-10
AD9094BCPZRL7-1000	-40°C to +105°C	72-Lead Lead Frame Chip Scale Package [LFCSP]	CP-72-10
AD9094-1000EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品