



18 ビット、1MSPS バイポーラ入力 同時サンプリング ADC 内蔵の 8 チャンネル DAS

データシート

AD7606C-18

特長

全チャンネルで 1MSPS の 18 ビット ADC
最小アナログ入力インピーダンス (R_{IN}) 1M Ω の入力バッファ
5V のアナログ単電源と 1.71V~5.25V の V_{DRIVE}
チャンネルごとに選択可能なアナログ入力範囲
バイポーラ・シングルエンド:
 $\pm 12.5V$ 、 $\pm 10V$ 、 $\pm 6.25V$ 、 $\pm 5V$ 、 $\pm 2.5V$
ユニポーラ・シングルエンド:
0V~12.5V、0V~10V、0V~5V
バイポーラ差動: $\pm 20V$ 、 $\pm 12.5V$ 、 $\pm 10V$ 、 $\pm 5V$
2つの帯域幅オプション:
チャンネルあたり 25kHz および 220kHz
最大オーバーサンプリング比 256 の柔軟なデジタル・フィルタ
動作範囲: $-40^{\circ}C \sim +125^{\circ}C$
6kV ESD で $\pm 21V$ の入力クランプ保護
AD7606B、AD7608、および AD7609 とピン互換
性能
S/N 比 93dB
S/N 比 102dB、オーバーサンプリング比 32 のとき
-100dB の THD
最大 TUE = 0.05% FSR、外部リファレンス使用時
正負 FS 誤差ドリフト: $\pm 1ppm/^{\circ}C$
リファレンス温度係数: $\pm 3ppm/^{\circ}C$

キャリブレーションと診断

チャンネルごとにシステム位相、オフセット、およびゲインを
キャリブレーション
アナログ入力オープン・サーキット検出機能
自己診断機能とモニタリング機能
データおよびレジスタの読み出し/書き込み時の
CRC エラー・チェック

アプリケーション

電力線のモニタリング
保護リレー
多相モータ制御
計測器および制御システム
データ・アキュジション・システム

関連製品

電圧リファレンス: ADR4525、LT6657、LTC6655
デジタル・アイソレータ: ADuM142E、ADuM6422A、
ADuM5020、ADuM5028
AD7606x ファミリー・ソフトウェア・モデル
その他の関連製品については AD7606C-18 の製品ページを
ご覧ください。

機能ブロック図

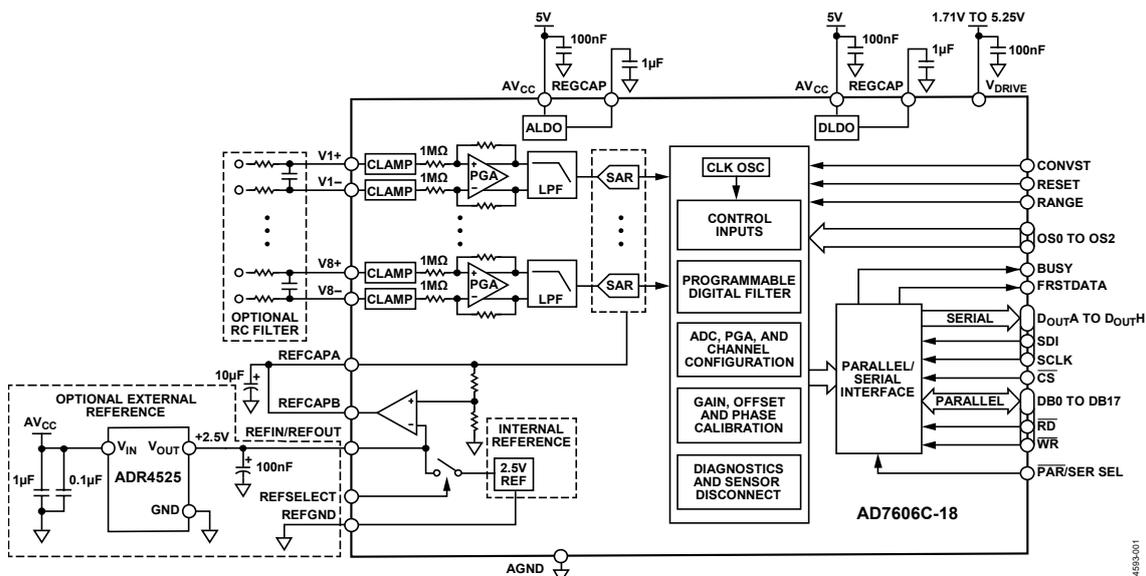


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご確認ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	オーバーサンプリングのパディング	37
キャリブレーションと診断	1	外部オーバーサンプリング・クロック	37
アプリケーション	1	システム・キャリブレーション機能	38
関連製品	1	システム位相のキャリブレーション	38
機能ブロック図	1	システム・ゲインのキャリブレーション	38
改訂履歴	2	システム・オフセットのキャリブレーション	38
概要	3	アナログ入力のオープン・サーキット検出	39
仕様	4	デジタル・インターフェース	41
タイミング仕様	7	パラレル・インターフェース	42
絶対最大定格	11	シリアル・インターフェース	45
熱抵抗	11	診断機能	50
静電放電 (ESD) 定格	11	リセットの検出	50
ESD に関する注意	11	デジタル誤差	50
ピン配置およびピン機能の説明	12	診断用マルチプレクサ	53
代表的な性能特性	16	代表的な接続図	54
用語の定義	27	アプリケーション情報	56
動作原理	29	レイアウトのガイドライン	56
アナログ・フロント・エンド	29	レジスタの一覧	58
SAR ADC	30	レジスタの詳細	59
リファレンス	32	外形寸法	75
動作モード	32	オーダー・ガイド	75
デジタル・フィルタ	35		

改訂履歴

10/2020—Revision 0: Initial Version

概要

AD7606C-18は、8チャンネル同時サンプリングの18ビットA/D変換データ・アキュイジション・システム（DAS）です。各チャンネルは、アナログ入力クランプ保護機能、プログラマブル・ゲイン・アンプ（PGA）、ローパス・フィルタ（LPF）、および18ビットの逐次比較レジスタ（SAR）A/Dコンバータ（ADC）を備えています。また、柔軟なデジタル・フィルタ、低ドリフトの2.5V高精度リファレンス、ADC駆動用のリファレンス・バッファ、および柔軟なパラレル・インターフェースとシリアル・インターフェースも内蔵しています。

AD7606C-18は5V単電源で動作し、すべてのチャンネルで最大1MSPSのスループット・レートでサンプリングを行う場合、以下の入力電圧範囲で使用することができます。

- バイポーラ・シングルエンド：±12.5V、±10V、±6.25V、±5V、±2.5V
- ユニポーラ・シングルエンド：0V～12.5V、0V～10V、および0V～5V
- バイポーラ差動：±20V、±12.5V、±10V、±5V

入力クランプ保護機能により、最大で±21Vの電圧に耐えることができます。単電源動作、内蔵フィルタ、高い入力インピーダンスにより、バイポーラ電源を必要とする外付けドライバ・オペアンプは不要です。低スループット・レートのアプリケーション

では、AD7606C-18の柔軟なデジタル・フィルタを使用して、ノイズ性能を改善することができます。

ハードウェア・モードのAD7606C-18は、AD7608およびAD7609と完全互換です。ソフトウェア・モードでは、以下の拡張機能を使用することができます。

- アナログ入力範囲はチャンネルごとに選択でき、範囲も追加可能
- チャンネルごとに高帯域幅モード（220kHz）を選択可能
- 最大オーバーサンプリング比256の追加サンプリング・オプション
- システム・ゲイン、システム・オフセット、システム位相をチャンネルごとにキャリブレーション
- アナログ入力オープン・サーキット検出器
- 診断用マルチプレクサ
- 各種モニタ機能（シリアル・ペリフェラル・インターフェース（SPI）の無効読出し／書込み、巡回冗長検査（CRC）、ビジー・スタック・モニタ、およびリセット検出）

このデータシートでは、 $\overline{RD}/SCLK$ などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、 $SCLK$ ピンのように1つのピン機能だけを表記しています。

表 1. バイポーラ入力、同時サンプリング、ピン互換の製品ファミリ

Input Type	Resolution (Bits)	$R_{IN}^1 = 1\text{ M}\Omega$, 200 kSPS	$R_{IN} = 5\text{ M}\Omega$, 800 kSPS	$R_{IN} = 1\text{ M}\Omega$, 1 MSPS	Number of Channels
Single-Ended	18	AD7608	AD7606B ²	AD7606C-18 ²	8
	16	AD7606			8
		AD7606-6			6
		AD7606-4			4
14	AD7607	8			
True Differential	18	AD7609		AD7606C-18 ²	8

¹ R_{IN} は入力インピーダンス

² 新たな設計の場合は、AD7606、AD7608、およびAD7609に代わるものとして、この最新のデバイスを推奨します。

仕様

特に指定のない限り、電圧リファレンス (V_{REF}) = 外部および内部 2.5V、アナログ電源電圧 (AV_{CC}) = 4.75V~5.25V、ロジック電源電圧 (V_{DRIVE}) = 1.71V~5.25V、サンプリング周波数 (f_{SAMPLE}) = 1MSPS、 T_A = -40°C~+125°C、全入力電圧範囲。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位	
DYNAMIC PERFORMANCE						
特に指定のない限り、入力周波数 (f_{IN}) = 1kHz サイン波						
Signal-to-Noise Ratio (SNR) Low Bandwidth Mode	±20V バイポーラ差動レンジ	91	93		dB	
	±20V バイポーラ差動レンジ、オーバーサンプリング比 32、 f_{IN} = 50Hz		102		dB	
	±12.5V バイポーラ差動レンジ	90	92		dB	
	±10V バイポーラ差動レンジ	90	91.5		dB	
	±5V バイポーラ差動レンジ	89	91		dB	
	±12.5V バイポーラ・シングルエンド・レンジ	90	92		dB	
	±10V バイポーラ・シングルエンド・レンジ	90.5	92.5		dB	
	±6.25V バイポーラ・シングルエンド・レンジ	89	91.5		dB	
	±5V バイポーラ・シングルエンド・レンジ	89	91		dB	
	±2.5V バイポーラ・シングルエンド・レンジ	86.5	88		dB	
	0V~12.5V ユニポーラ・シングルエンド・レンジ	88.5	90		dB	
	0V~10V ユニポーラ・シングルエンド・レンジ	88	90		dB	
	0V~5V ユニポーラ・シングルエンド・レンジ	84.5	86.5		dB	
	High Bandwidth Mode	±20V バイポーラ差動レンジ		89		dB
		±12.5V バイポーラ差動レンジ		87.5		dB
		±10V バイポーラ差動レンジ		87		dB
		±5V バイポーラ差動レンジ		83.5		dB
		±12.5V バイポーラ・シングルエンド・レンジ		87.5		dB
		±10V バイポーラ・シングルエンド・レンジ		87		dB
±6.25V バイポーラ・シングルエンド・レンジ			84.5		dB	
±5V バイポーラ・シングルエンド・レンジ			83.5		dB	
±2.5V バイポーラ・シングルエンド・レンジ			82		dB	
0V~12.5V ユニポーラ・シングルエンド・レンジ			83		dB	
Total Harmonic Distortion (THD)	ユニポーラ・レンジ		-97		dB	
	その他すべてのレンジ		-100	-95	dB	
			-105		dB	
Spurious-Free Dynamic Range (SFDR)			-110		dB	
Channel to Channel Isolation	未選択チャンネルの f_{IN} = 最大 200kHz		-110		dB	
Full-Scale (FS) Step Settling Time	FS の 0.01%、低帯域幅モード		80		μs	
	FS の 0.01%、高帯域幅モード		15		μs	
ANALOG INPUT FILTER						
-3 dB Full Power Bandwidth	低帯域幅モード		25		kHz	
	高帯域幅モード		220		kHz	
	高帯域幅モード、2.5V バイポーラ、0V~5V ユニポーラ		150		kHz	
-0.1dB Full Power Bandwidth	低帯域幅モード		3.9		kHz	
	高帯域幅モード		25		kHz	
	高帯域幅モード、2.5V バイポーラ、0V~5V ユニポーラ		20		kHz	
Phase Delay	低帯域幅モード		8		μs	
	高帯域幅モード		2		μs	
Phase Delay Matching	低帯域幅モード			150	ns	
	高帯域幅モード			20	ns	

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
	高帯域幅モード、±2.5V レンジ、0V~5V ユニポーラ			30	ns
DC ACCURACY					
Resolution	ノー・ミス・コード	18			Bits
Differential Nonlinearity (DNL)			±0.5	±0.99	LSB ¹
Integral Nonlinearity (INL)	バイポーラ入力レンジ ユニポーラ入力レンジ		±2	±7	LSB ¹
Total Unadjusted Error (TUE) ²			±4		LSB
	外部リファレンス		±25	±130	LSB
	外部リファレンス、±2.5V レンジ		±25	±180	LSB
Bipolar Ranges					
Positive and Negative FS Error ³			±20	±120	LSB
Positive and Negative FS Error Drift			±1	±5	ppm/°C
Positive and Negative FS Error Matching			15	60	LSB
Bipolar Zero Code Error					
	2.5V レンジ		±10	±160	LSB ¹
	その他すべての入力レンジ		±10	±80	LSB ¹
Bipolar Zero Code Error Drift			±0.2	±2	ppm/°C
Bipolar Zero Code Error Matching			20	90	LSB ¹
Unipolar Ranges					
FS Error			±40	±140	LSB
FS Error Drift			±1	±3	ppm/°C
FS Error Matching			20	60	LSB
Zero Scale Error			±40	±120	LSB
Zero Scale Error Drift			±1	±3	ppm/°C
Zero Scale Error Matching			20	60	LSB
ANALOG INPUT					
Input Voltage (V_{IN}) Ranges	V _{IN} = V _{X+} - V _{X-}				
	±20V バイポーラ 差動レンジ	-20		+20	V
	±12.5V バイポーラ 差動レンジ	-12.5		+12.5	V
	±10V バイポーラ 差動レンジ	-10		+10	V
	±5V バイポーラ 差動レンジ	-5		+5	V
	±12.5V バイポーラ・シングルエンド・レンジ	-12.5		+12.5	V
	±10V バイポーラ・シングルエンド・レンジ	-10		+10	V
	±6.25V バイポーラ・シングルエンド・レンジ	-6.25		+6.25	V
	±5V バイポーラ・シングルエンド・レンジ	-5		+5	V
	±2.5V バイポーラ・シングルエンド・レンジ	-2.5		+2.5	V
	0V~12.5V ユニポーラ・シングルエンド・レンジ	0		12.5	V
	0V~10V ユニポーラ・シングルエンド・レンジ	0		10	V
	0V~5V ユニポーラ・シングルエンド・レンジ	0		5	V
Absolute Voltage Negative Input	V _{X-} - AGND				
	±12.5V バイポーラ・シングルエンド・レンジ	-1		+1.6	V
	±10V バイポーラ・シングルエンド・レンジ	-0.6		+1.9	V
	±6.25V バイポーラ・シングルエンド・レンジ	-0.4		+2.5	V
	±5V バイポーラ・シングルエンド・レンジ	-0.1		+2.7	V
	±2.5V バイポーラ・シングルエンド・レンジ	-0.05		+3	V
	0V~12.5V ユニポーラ・シングルエンド・レンジ	-6.5		+1.2	V
	0V~10V ユニポーラ・シングルエンド・レンジ	-4.9		+1.7	V
	0V~5V ユニポーラ・シングルエンド・レンジ	-2.3		+4	V
Common-Mode Input Range					
	±20V バイポーラ 差動レンジ	-10		+10	V
	±12.5V バイポーラ 差動レンジ	-7.8		+7.8	V
	±10V バイポーラ 差動レンジ	-6		+7	V
	±5V バイポーラ 差動レンジ	-3		+5	V

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
Input Impedance (R_{IN}) ⁴		1	1.2		M Ω
Analog Input Current			$(V_{IN} - 2)/R_{IN}$		μ A
Input Capacitance (C_{IN}) ⁵			5		pF
Input Impedance Drift			± 1	± 25	ppm/ $^{\circ}$ C
REFERENCE INPUT AND OUTPUT					
Reference Input Voltage	REF SELECT = 0、外部リファレンス	2.495	2.5	2.505	V
DC Leakage Current				± 0.12	μ A
Input Capacitance (C_{IN})			7.5		pF
Reference Output Voltage	REF SELSECT = 1、内部リファレンス、 $T_A = 25^{\circ}$ C	2.497	2.5	2.503	V
Reference Temperature Coefficient			± 3	± 15	ppm/ $^{\circ}$ C
Reference Voltage to the ADC	REFCAPA (ピン 44) と REFCAPB (ピン 45)	4.39		4.41	V
LOGIC INPUTS					
Input High Voltage (V_{INH})		$0.7 \times V_{DRIVE}$			V
Input Low Voltage (V_{INL})				$0.2 \times V_{DRIVE}$	V
Input Current (I_{IN})				± 1	μ A
Input Capacitance (C_{IN})			5		pF
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	ソース電流 (I_{SOURCE}) = 100 μ A	$V_{DRIVE} - 0.2$			V
Output Low Voltage (V_{OL})	シンク電流 (I_{SINK}) = 100 μ A			0.2	V
Floating State Leakage Current			± 1	± 20	μ A
Output Capacitance ⁵			5		pF
Output Coding Bipolar Ranges	2の補数				
Output Coding Unipolar Ranges	ストレート・バイナリ				
CONVERSION RATE					
Conversion Time	表 3 を参照		550		ns
Acquisition Time			450		ns
Throughput Rate	チャンネルごと			1000	kSPS
POWER REQUIREMENTS					
A_{VCC}		4.75	5	5.25	V
V_{DRIVE}		1.71		5.25	V
A_{VCC} Current (I_{AVCC})					
Normal Mode (Static)			9	11	mA
Normal Mode (Operational)	$f_{SAMPLE} = 1\text{MSPS}$		45	50	mA
	$f_{SAMPLE} = 10\text{kSPS}$		8.5	10	mA
Standby			5	6	mA
Shutdown Mode			0.5	3	μ A
V_{DRIVE} Current (I_{VDRIVE})					
Normal Mode (Static)			2.8	5	μ A
Normal Mode (Operational)	$f_{SAMPLE} = 1\text{MSPS}$		1.8	1.9	mA
	$f_{SAMPLE} = 10\text{kSPS}$		21	24	μ A
Standby			2.5	4	μ A
Shutdown Mode			0.5	1.5	μ A
Power Dissipation					
Normal Mode (Static)			47	58	mW
Normal Mode (Operational)	$f_{SAMPLE} = 1\text{MSPS}$		245	272	mW
	$f_{SAMPLE} = 10\text{kSPS}$		45	52	mW
Standby			26	32	mW
Shutdown Mode			5	24	μ W

¹ LSBは最下位ビットを意味します。 $\pm 2.5\text{V}$ 入力レンジでは、1LSB = 76.293 μ Vです。 $\pm 5\text{V}$ 入力レンジでは、1LSB = 152.58 μ Vです。 $\pm 10\text{V}$ 入力レンジでは、1LSB = 305.175 μ Vです。

² TUE (% FSR) = TUE (LSB)/ $2^{18} \times 100$ 。例えば、130LSB = FSRの0.05%。

³ これらの仕様には、全温度範囲の変動とリファレンス・バッファの影響が含まれています。

⁴ 入力インピーダンスの変動は出荷時に調整されており、システム・ゲインのキャリブレーションのセクションに説明されています。

⁵ 出荷テストの対象外です。初期リリース時のサンプル・テストにより、適合性が確保されています。

タイミング仕様

共通タイミング仕様

特に指定のない限り、 $AV_{CC} = 4.75V \sim 5.25V$ 、 $V_{DRIVE} = 1.71V \sim 5.25 V$ 、 $V_{REF} = 2.5V$ 外部リファレンスおよび内部リファレンス、 $T_A = -40^\circ C \sim +125^\circ C$ 。インターフェースのタイミングは 20pF の負荷容量を使用してテストされており、 V_{DRIVE} およびシリアル・インターフェースの負荷容量に依存します。

表 3.

パラメータ	Min	Typ	Max	単位	説明
t_{CYCLE}	1			μs	連続する CONVST 立上がりエッジ間の最小時間 (オーバーサンプリング・モードを除く) ¹
t_{LP_CNV}	10			ns	CONVST ロー・パルス幅
t_{HP_CNV}	10			ns	CONVST ハイ・パルス幅
$t_{D_CNV_BSY}$			22	ns	CONVST から BUSY ハイまでの遅延時間
t_{S_BSY}	0			ns	BUSY 立下がりエッジから \overline{RD} 立下がりエッジまでのセットアップ・タイムの最小値 (パラレル・インターフェースの場合)、または BUSY 立下がりエッジから D_{OUTX} ラインで MSB が使用できるようになるまでの最小時間 (シリアル・インターフェースの場合)
t_{D_BSY}			25	ns	\overline{RD} の最後の立下がりエッジからその後続く BUSY 立下がりエッジまでの最大時間 (パラレル・インターフェースの場合)、または最後の LSB がクロック・アウトされてからその後続く BUSY 立下がりエッジまでの最大時間 (シリアル・インターフェースの場合)。変換時に読出し
t_{ACQ}	0.35			μs	アキュイジション時間
t_{CONV}	0.5		0.65	μs	変換時間、オーバーサンプリングなし
	1.7		1.75	μs	2 倍のオーバーサンプリング
	3.6		3.8	μs	4 倍のオーバーサンプリング
	7.6		7.85	μs	8 倍のオーバーサンプリング
	15.5		16	μs	16 倍のオーバーサンプリング
	31.0		32.5	μs	32 倍のオーバーサンプリング
	62.75		65.0	μs	64 倍のオーバーサンプリング
	126		130	μs	128 倍のオーバーサンプリング
	252		256	μs	256 倍のオーバーサンプリング
t_{RESET}					
Partial Reset	55		2000	ns	パーシャル・リセット時の RESET のハイ・パルス幅
Full Reset	3200			ns	フル・リセット時の RESET のハイ・パルス幅
t_{DEVICE_SETUP}				μs	RESET 立下がりエッジから最初の CONVST 立上がりエッジまでの時間
Partial Reset	50			ns	
Full Reset	274			μs	
$t_{WAKE-UP}$					スタンバイ/シャットダウン・モード後のウェイクアップ・タイム (図 86 参照)
Standby	1			μs	
Shutdown	10			ms	
$t_{POWER-UP}$	10			ms	AV_{CC} と V_{DRIVE} が安定してから RESET がアサートされるまでの時間

¹ 8 つの D_{OUTX} ラインすべてを選択した場合のシリアル・モードに適用。

共通タイミング図

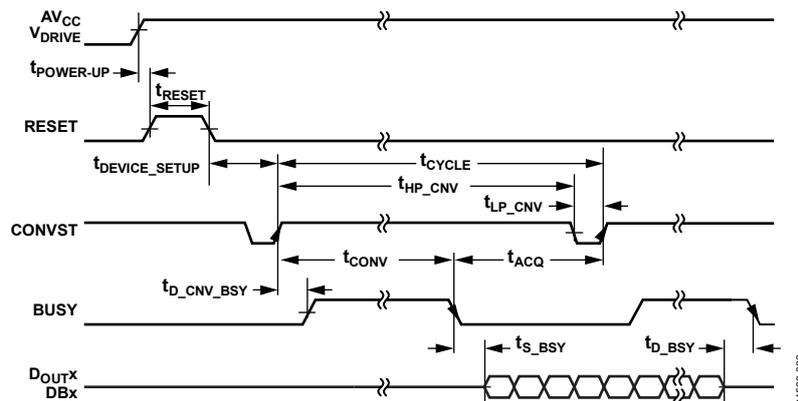


図 2. 共通タイミング図

パラレル・モードのタイミング仕様

表 4.

パラメータ	Min	Typ	Max	単位	説明
$t_{s_CS_RD}$	0			ns	\overline{CS} 立下がりエッジから \overline{RD} 立下がりエッジまでのセットアップ・タイム
$t_{H_RD_CS}$	0			ns	\overline{RD} 立上がりエッジから \overline{CS} 立上がりエッジまでのホールド・タイム
t_{HP_RD}	10			ns	\overline{RD} ハイ・パルス幅
t_{LP_RD}	10			ns	\overline{RD} ロー・パルス幅
t_{HP_CS}	10			ns	\overline{CS} ハイ・パルス幅
$t_{D_CS_DB}$			35	ns	\overline{CS} から DBx のスリーステート・ディスエーブルまでの遅延
$t_{D_RD_DB}$					\overline{RD} 立下がりエッジ後のデータ・アクセス・タイム
			30	ns	$V_{DRIVE} > 2.7V$
			25	ns	$V_{DRIVE} < 2.7V$
$t_{H_RD_DB}$	12			ns	\overline{RD} 立下がりエッジ後のデータ・ホールド・タイム
$t_{DHZ_CS_DB}$			40	ns	\overline{CS} 立上がりエッジから DBx が高インピーダンスになるまでの時間
t_{CYC_RD}	30			ns	\overline{RD} 立上がりエッジから \overline{RD} 立下がりエッジまでの時間
$t_{D_CS_FD}$			20	ns	\overline{CS} 立下がりエッジから $FRSTDATA$ のスリーステート・ディスエーブルまでの遅延
$t_{D_RD_FDH}$			30	ns	\overline{RD} 立下がりエッジから $FRSTDATA$ がハイになるまでの遅延
$t_{D_RD_FDL}$			30	ns	\overline{RD} 立下がりエッジから $FRSTDATA$ がローになるまでの遅延
$t_{DHZ_CS_FD}$			25	ns	\overline{CS} 立上がりエッジから $FRSTDATA$ のスリーステート・イネーブルまでの遅延
$t_{s_CS_WR}$	0			ns	\overline{CS} 立下がりエッジから \overline{WR} 立下がりエッジまでのセットアップ・タイム
t_{HP_WR}	2			ns	\overline{WR} ハイ・パルス幅
t_{LP_WR}	35			ns	\overline{WR} ロー・パルス幅
$t_{H_WR_CS}$	0			ns	\overline{WR} ホールド・タイム
$t_{s_DB_WR}$	5			ns	設定データ有効後から \overline{WR} 立上がりエッジまでのセットアップ・タイム
$t_{H_WR_DB}$	5			ns	\overline{WR} 立上がりエッジから設定データ無効までのホールド・タイム
t_{CYC_WR}	180			ns	設定データのセトリング・タイム、 \overline{WR} 立上がりエッジから次の \overline{WR} 立上がりエッジまで

パラレル・モードのタイミング図

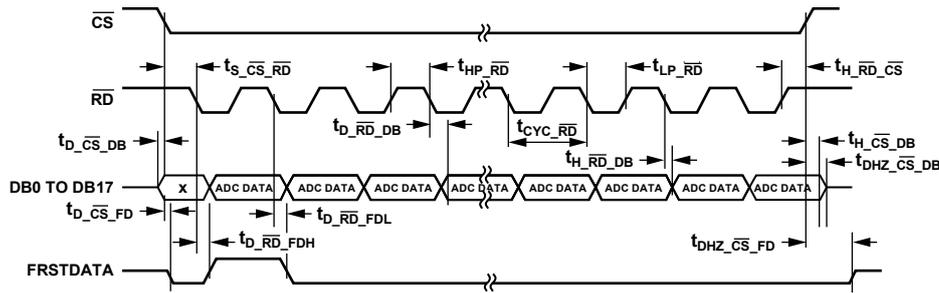


図 3. パラレル・モードの読出し、 \overline{CS} パルスと \overline{RD} パルスを分離

24493-003

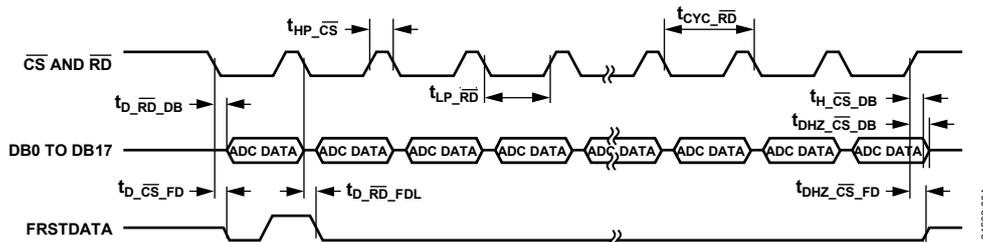


図 4. パラレル・モードの読出し、 \overline{CS} パルスと \overline{RD} パルスをリンク

24493-004

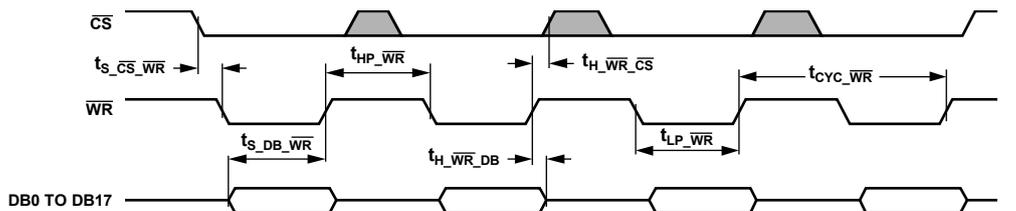


図 5. パラレル・モードの書き込み動作

24493-005

シリアル・モードのタイミング仕様

パラメータ	Min	Typ	Max	単位	説明
f_{SCLK}			60 40	MHz MHz	SCLK 周波数、 $f_{SCLK} = 1/t_{SCLK}$ $V_{DRIVE} > 2.7V$ $V_{DRIVE} < 2.7V$
t_{SCLK}	$1/f_{SCLK}$			μs	最小 SCLK 周期
$t_{s_CS_SCLK}$	2			ns	\overline{CS} 立下がりエッジから SCLK 立下がりエッジまでのセットアップ・タイム
$t_{H_SCLK_CS}$	2			ns	SCLK 立上がりエッジから \overline{CS} 立上がりエッジまでのホールド・タイム
t_{LP_SCLK}	$0.4 \times t_{SCLK}$			ns	SCLK ロー・パルス幅
t_{HP_SCLK}	$0.4 \times t_{SCLK}$			ns	SCLK ハイ・パルス幅
$t_{D_CS_DO}$			18	ns	\overline{CS} 立下がりエッジから D_{OUTX} のスリーステートがディスエーブルされるまでの遅延
$t_{D_SCLK_DO}$			17 25	ns ns	SCLK 立上がりエッジ後のデータ出力アクセス・タイム $V_{DRIVE} > 2.7V$ $V_{DRIVE} < 2.7V$
$t_{H_SCLK_DO}$				ns	SCLK 立上がりエッジ後のデータ出力ホールド・タイム
	7			ns	$V_{DRIVE} > 2.7V$
	10			ns	$V_{DRIVE} < 2.7V$
$t_{S_SDI_SCLK}$	9			ns	SCLK 立下がりエッジ前のデータ入力セットアップ・タイム
$t_{H_SCLK_SDI}$	0			ns	SCLK 立下がりエッジ後のデータ入力ホールド・タイム

パラメータ	Min	Typ	Max	単位	説明
$t_{DZH_CS_DO}$			25	ns	CS立上がりエッジから D_{OUTX} が高インピーダンスになるまでの時間
t_{WR}	25			ns	同じレジスタの書き込みと読出しの間の時間、または2つの書き込みの間の時間 ($f_{SCLK} > 50MHz$ の場合)
$t_{D_CS_FD}$			16	ns	CS立下がりエッジから D_{OUTX} のスリーステートがディスエーブルされるまでの遅延、または \overline{CS} 立下がりエッジから MSB が有効になるまでの遅延
$t_{D_SCK_FDL}$			18	ns	18番目の SCLK 立下がりエッジから FRSTDATA がローになるまでの時間
t_{DZH_FD}			20	ns	CS立上がりエッジから FRSTDATA のスリーステートがイネーブルされるまでの時間

シリアル・モードのタイミング図

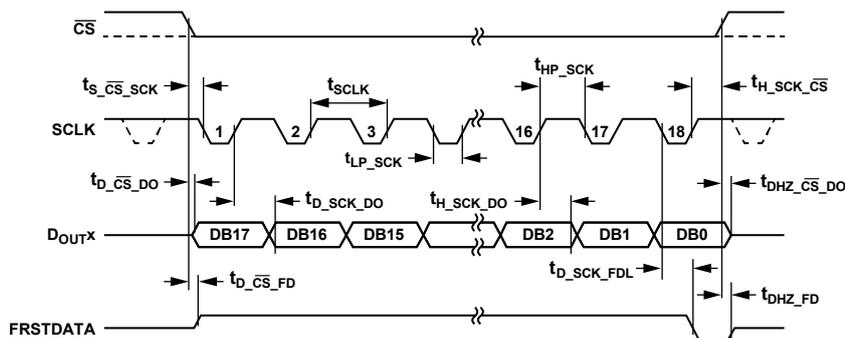


図 6. シリアル・タイミング図、ADC モード (チャンネル 1)

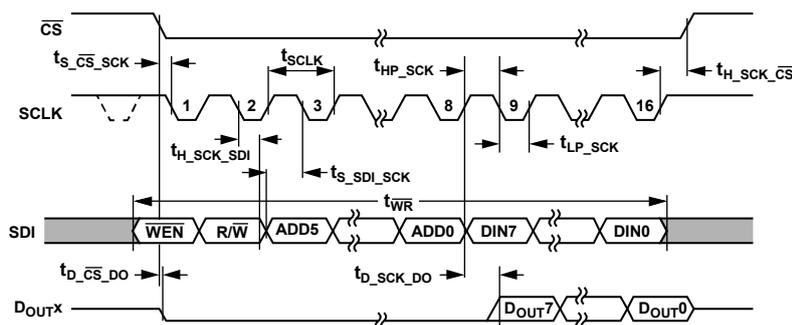


図 7. シリアル・タイミング・インターフェース、レジスタ・マップの読出しおよび書き込み動作

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
AV_{CC} to AGND	-0.3 V to +6.5 V
V_{DRIVE} to AGND	-0.3 V to $AV_{CC} + 0.3$ V
Analog Input Voltage to AGND ¹	± 21 V
Digital Input Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3$ V
REFIN to AGND	-0.3 V to $AV_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Temperature	
Operating Range	-40°C to $+125^\circ\text{C}$
Storage Range	-65°C to $+150^\circ\text{C}$
Junction	150°C
Pb/Sn, Soldering Reflow (10 sec to 30 sec)	$240 (+0)^\circ\text{C}$
Pb-Free, Soldering Reflow	$260 (+0)^\circ\text{C}$

¹ 100mA 以下の過渡電流で SCR ラッチアップが生じることはありません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 7. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC}	Unit
ST-64-2	40	7	$^\circ\text{C}/\text{W}$

¹ JEDEC 自然対流環境で JEDEC 2s2p サーマル・テスト PCB を使ってシミュレートしたデータ。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 による人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 による電界誘起帯電デバイス・モデル (FICDM)。

AD7606C-18 の ESD 定格

表 8. AD7606C-18、64 ピン LQFP

ESD Model	Withstand Threshold (V)	Class
HBM		3A
Analog Inputs Only	6000	
All Other Pins	4000	
FICDM	750	C4

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

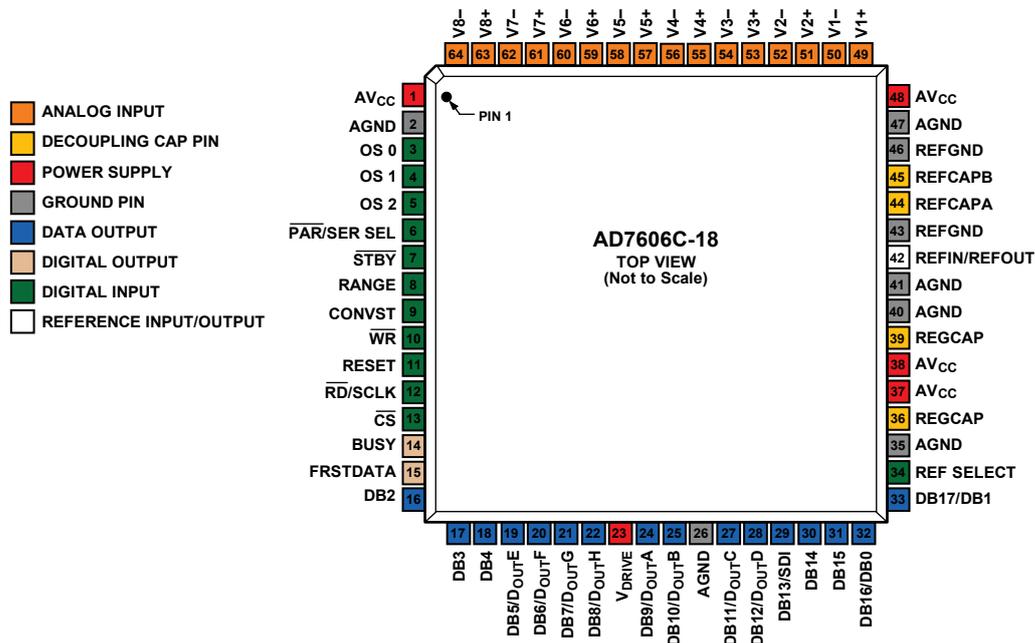


図 8. ピン配置

表 9. ピン機能の説明

ピン番号	タイプ ¹	記号	説明
1, 37, 38, 48	P	AVcc	アナログ電源電圧は 4.75V~5.25V です。この電源電圧は、内部フロントエンド・アンプと ADC コアに供給されます。これらの電源ピンは AGND にデカップリングしてください。
2, 26, 35, 40, 41, 47	P	AGND	アナログ・グラウンド。AGND ピンは、AD7606C-18 の全アナログ回路のグラウンド基準ポイントです。すべてのアナログ入力信号と外部リファレンス信号は、AGND ピンを基準としてください。AGND ピンは、6 本すべてをシステムの AGND プレーンに接続する必要があります。
3 to 5	DI	OS0 to OS2	オーバーサンプリング・モード・ピン。OS0~OS2 は、オーバーサンプリング比の選択、またはソフトウェア・モードの有効化に使用します（オーバーサンプリング・ビットのデコードについては表 14 を参照）。オーバーサンプリング動作モードの詳細については、 デジタル・フィルタ のセクションを参照してください。
6	DI	PAR/SER SEL	パラレル/シリアル・インターフェースの選択入力。PAR/SER SEL ピンをロジック・ローに接続すると、パラレル・インターフェースが選択されます。PAR/SER SEL ピンをロジック・ハイに接続すると、シリアル・インターフェースが選択されます。使用可能な各インターフェースの詳細については、 デジタル・インターフェース のセクションを参照してください。
7	DI	STBY	スタンバイ・モード入力。ハードウェア・モードでは、STBY ピンと RANGE ピンを組み合わせることによって、AD7606C-18 をスタンバイ・モードまたはシャットダウン・モードのどちらかのパワーダウン・モードにすることができます。ソフトウェア・モードでは、STBY ピンは無視されます。したがって、STBY ピンはロジック・ハイに接続することを推奨します。ハードウェア・モードとソフトウェア・モードの詳細については、 パワーダウン・モード のセクションを参照してください。
8	DI	RANGE	アナログ入力レンジの選択入力。ハードウェア・モードでは、RANGE ピンはアナログ入力チャンネルの入力レンジを決定します（表 10 を参照）。STBY ピンがロジック・ローの場合、RANGE ピンはパワーダウン・モードを決定します（表 16 を参照）。ソフトウェア・モードでは、RANGE ピンは無視されます。ただし、RANGE ピンはハイまたはローに接続する必要があります。
9	DI	CONVST	変換開始入力。CONVST ピンがローからハイに遷移すると、8 個の SAR ADC すべてでアナログ入力が入力サンプリングされます。ソフトウェア・モードでは、CONVST ピンを外部オーバーサンプリング・クロックとして設定できます。また、低ジッタの外部クロックを使用すれば、オーバーサンプリング比を大きくした場合の S/N 比性能を改善する助けとなります。詳細については、 外部オーバーサンプリング・クロック のセクションを参照してください。
10	DI	WR	パラレル書き込み制御入力。ハードウェア・モードでは、WR ピンは機能しません。したがって、WR はハイまたはローに接続するか、CONVST に短絡することができます。ソフトウェア・モードでは、WR ピンはアクティブ・ロー書き込みピンとして機能し、パラレル・インターフェースを使ったレジスタへの書き込みに使用します。詳細については、 パラレル・インターフェース のセクションを参照してください。

ピン番号	タイプ ¹	記号	説明
11	DI	RESET	リセット入力、アクティブ・ハイ。フル・リセットまたはバーチャル・リセットを選択できます。リセットのタイプはリセット・パルスの長さによって決まります。デバイスによるフル・リセット・パルスの受信は、パワーアップ後とすることを推奨します。詳細についてはリセット機能のセクションを参照してください。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	パラレル・インターフェース選択時のパラレル・データ読み出し制御入力 ($\overline{\text{RD}}$)。シリアル・インターフェース選択時のシリアル・クロック入力 (SCLK)。詳細についてはデジタル・インターフェースのセクションを参照してください。
13	DI	$\overline{\text{CS}}$	チップ・セレクト。 $\overline{\text{CS}}$ ピンは、ADCデータの読み出し、またはレジスタ・データの読み出しおよび書込みに使用するアクティブ・ローのチップ・セレクト入力で、シリアル・インターフェースとパラレル・インターフェースの両方に使用します。詳細についてはデジタル・インターフェースのセクションを参照してください。
14	DO	BUSY	ビジー出力。BUSYピンは、CONVST立上がりエッジによってロジック・ハイに遷移します。BUSY出力は、すべてのチャンネルの変換処理が完了するまでハイに維持されます。
15	DO	FRSTDATA	最初のデータ出力。FRSTDATA出力信号は、最初のチャンネルVIがパラレル・インターフェース (図3を参照) またはシリアル・インターフェース (図6を参照) を介してリードバック中であることを示します。詳細についてはデジタル・インターフェースのセクションを参照してください。
16 to 18	DO/DI	DB2 to DB4	パラレル出力/入力データ・ビット。パラレル・インターフェース使用時、DB2~DB4ピンは、スリーステートのパラレル・デジタル入力ピンおよび出力ピンとして機能します (パラレル・インターフェースのセクションを参照)。CSとRDがローの場合、DB2~DB4ピンは、最初のRDパルスで変換結果のDB2~DB4を出力し、2番目のRDパルスでゼロを出力するために使用します (図98を参照)。シリアル・インターフェース使用時は、DB2~DB4ピンをAGNDに接続してください。
19	DO/DI	DB5/D _{OUT} E	パラレル入出力データビット5/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB5/D _{OUT} Eピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、CSとRDがローの場合、DB5/D _{OUT} Eピンは、最初のRDパルスで変換結果のDB5を出力し、2番目のRDパルスでゼロを出力するために使用します (図98を参照)。シリアル・インターフェース使用時、DB5/D _{OUT} EピンはD _{OUT} Eとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
20	DO/DI	DB6/D _{OUT} F	パラレル入出力データビット6/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB6/D _{OUT} Fピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、CSとRDがローの場合、DB6/D _{OUT} Fピンは、最初のRDパルスで変換結果のDB6を出力し、2番目のRDパルスでゼロを出力するために使用します (図98を参照)。シリアル・インターフェース使用時、DB6/D _{OUT} FピンはD _{OUT} Fとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
21	DO/DI	DB7/D _{OUT} G	パラレル入出力データビット7/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB7/D _{OUT} Gピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、CSとRDがローの場合、DB7/D _{OUT} Gピンは、最初のRDパルスで変換結果のDB7を出力し、2番目のRDパルスでゼロを出力するために使用します (図98を参照)。シリアル・インターフェース使用時、DB7/D _{OUT} GピンはD _{OUT} Gとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
22	DO/DI	DB8/D _{OUT} H	パラレル入出力データビット8/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB8/D _{OUT} Hピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、CSとRDがローの場合、DB8/D _{OUT} Hピンは、最初のRDパルスで変換結果のDB8を出力し、2番目のRDパルスでゼロを出力するために使用します (図98を参照)。シリアル・インターフェース使用時、DB8/D _{OUT} HピンはD _{OUT} Hとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
23	P	V _{DRIVE}	ロジック電源入力。V _{DRIVE} ピンに供給される電圧 (1.71V~5.25V) により、インターフェースの動作電圧が決まります。V _{DRIVE} ピンの公称電源電圧は、ホスト・インターフェース、つまりDSP (デジタル・シグナル・プロセッサ) およびFPGA (フィールド・プログラマブル・ゲート・アレイ) の電源電圧と同じです。
24	DO/DI	DB9/D _{OUT} A	パラレル入出力データビット9/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB9/D _{OUT} Aピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、CSとRDがローの場合、DB9/D _{OUT} Aピンは、最初のRDパルスで変換結果のDB9を出力し、2番目のRDパルスでゼロを出力するために使用します (図98を参照)。シリアル・インターフェース使用時、DB9/D _{OUT} AピンはD _{OUT} Aとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
25	DO/DI	DB10/D _{OUT} B	パラレル入出力データビット10/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB10/D _{OUT} Bピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、CSとRDがローの場合、DB10/D _{OUT} Bピンは、最初のRDパルスで変換結果のDB10を出力し、2番目のRDパルスでゼロを出力するために使用します (図98を参照)。シリアル・インターフェース使用時、DB10/D _{OUT} BピンはD _{OUT} Bとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。

ピン番号	タイプ ¹	記号	説明
27	DO/DI	DB11/DoutC	パラレル入出力データのビット 11/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB11/DoutC ピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、 \overline{CS} と \overline{RD} がローの場合、DB11/DoutC ピンは、最初のRDパルスで変換結果のDB11を出力し、2番目のRDパルスでゼロを出力するために使用します(図98を参照)。シリアル・インターフェース使用時に、ソフトウェア・モードで4 DoutX ライン・オプションまたは8 DoutX ライン・オプションを使用した場合、DB11/DoutC ピンはDoutCとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
28	DO/DI	DB12/DoutD	パラレル入出力データのビット 12/シリアル・インターフェース・データ出力ピン。パラレル・インターフェース使用時、DB12/DoutD ピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、 \overline{CS} と \overline{RD} がローの場合、DB12/DoutD ピンは、最初のRDパルスで変換結果のDB12を出力し、2番目のRDパルスでゼロを出力するために使用します(図98を参照)。シリアル・インターフェース使用時に、ソフトウェア・モードで4 DoutX ライン・オプションまたは8 DoutX ライン・オプションを使用した場合、DB12/DoutD ピンはDoutDとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
29	DO/DI	DB13/SDI	パラレル入出力データのビット 13/シリアル・データ入力。パラレル・インターフェース使用時、DB13/SDI ピンはスリーステートのパラレル・デジタル入出力ピンとして機能し、 \overline{CS} と \overline{RD} がローの場合、DB13/SDI ピンは、最初のRDパルスで変換結果のDB13を出力し、2番目のRDパルスでゼロを出力するために使用します(図98を参照)。シリアル・インターフェース使用時、DB13/SDI ピンはSDIとして機能します。各データ・インターフェースと動作モードの詳細については、表23を参照してください。
30,31	DO/DI	DB14, DB15	パラレル出力/入力データ・ビット。パラレル・インターフェース使用時、DB14ピンとDB15ピンは、スリーステートのパラレル・デジタル入力ピンおよび出力ピンとして機能します(パラレル・インターフェースのセクションを参照)。 \overline{CS} と \overline{RD} がローの場合、DB14ピンとDB15ピンは、最初のRDパルスで変換結果のDB14とDB15を出力し、2番目のRDパルスでゼロを出力するために使用します(図98を参照)。シリアル・インターフェース使用時は、DB14ピンとDB15ピンをAGNDに接続してください。
32	DO/DI	DB16/DB0	パラレル出力/入力データ・ビット。パラレル・インターフェース使用時、DB16/DB0ピンは、スリーステートのパラレル・デジタル入力ピンおよび出力ピンとして機能します(パラレル・インターフェースのセクションを参照)。 \overline{CS} と \overline{RD} がローの場合、DB16/DB0ピンは、最初のRDパルスで変換結果のDB16を出力し、2番目のRDパルスで同じ変換結果のDB0を出力するために使用します(図98を参照)。シリアル・インターフェース使用時は、DB16/DB0ピンをAGNDに接続してください。
33	DO/DI	DB17/DB1	パラレル出力/入力データ・ビット。パラレル・インターフェース使用時、DB17/DB1ピンは、スリーステートのパラレル・デジタル入力ピンおよび出力ピンとして機能します(パラレル・インターフェースのセクションを参照)。 \overline{CS} と \overline{RD} がローの場合、DB17/DB1ピンは、最初のRDパルスで変換結果のDB17を出力し、2番目のRDパルスで同じ変換結果のDB1を出力するために使用します(図98を参照)。シリアル・インターフェース使用時は、DB17/DB1ピンをAGNDに接続してください。
34	DI	REF SELECT	内部リファレンス/外部リファレンス選択のロジック入力。REF SELECTピンをロジック・ハイにすると、内部リファレンスが選択されイネーブルになります。REF SELECTピンをロジック・ローにすると内部リファレンスがディスエーブルになるので、REFIN/REFOUTピンに外部リファレンス電圧を加える必要があります。
36,39	P	REGCAP	1.9V内部レギュレータ、アナログ低ドロップアウト・レギュレータ(ALDO)、およびデジタル低ドロップアウト・レギュレータ(DLDO)からの電圧出力用デカップリング・コンデンサ・ピン。REGCAP出力ピンは、1 μ Fのコンデンサを使って個別にAGNDとデカップリングする必要があります。REGCAPピンの電圧は1.875V~1.93Vの範囲です。
42	REF	REFIN/REFOUT	リファレンス入力/リファレンス出力。REF SELECTピンをロジック・ハイに設定すれば、内部2.5VリファレンスをREFOUTピンから取り出して外部で使用することができます。それ以外の場合、REF SELECTピンをロジック・ローに設定すると内部リファレンスがディスエーブルされるので、この入力に2.5Vの外部リファレンスを加える必要があります。内部リファレンス・オプションの場合も外部リファレンス・オプションの場合も、REFINピンとグラウンド間のREFGNDピンにできるだけ近い位置に100nFのコンデンサを接続する必要があります。詳細については、リファレンスのセクションを参照してください。
43,46	REF	REFGND	リファレンス・グラウンド・ピン。REFGNDピンはAGNDに接続する必要があります。
44,45	REF	REFCAPA, REFCAPB	リファレンス・バッファ強制ピンと検出ピン。REFCAPAピンとREFCAPBピンは互いに接続し、等価直列抵抗(ESR)の小さい10 μ Fのセラミック・コンデンサを使ってAGNDにデカップリングする必要があります。REFCAPAピンとREFCAPBピンの標準電圧は4.4Vです。
49	AI	V1+	チャンネル1の正のアナログ入力ピン。
50	AI	V1-	チャンネル1の負のアナログ入力ピン。
51	AI	V2+	チャンネル2の正のアナログ入力ピン。
52	AI	V2-	チャンネル2の負のアナログ入力ピン。
53	AI	V3+	チャンネル3の正のアナログ入力ピン。
54	AI	V3-	チャンネル3の負のアナログ入力ピン。
55	AI	V4+	チャンネル4の正のアナログ入力ピン。
56	AI	V4-	チャンネル4の負のアナログ入力ピン。
57	AI	V5+	チャンネル5の正のアナログ入力ピン。

ピン番号	タイプ ¹	記号	説明
58	AI	V5-	チャンネル5の負のアナログ入力ピン。
59	AI	V6+	チャンネル6の正のアナログ入力ピン。
60	AI	V6-	チャンネル6の負のアナログ入力ピン。
61	AI	V7+	チャンネル7の正のアナログ入力ピン。
62	AI	V7-	チャンネル7の負のアナログ入力ピン。
63	AI	V8+	チャンネル8の正のアナログ入力ピン。
64	AI	V8-	チャンネル8の負のアナログ入力ピン。

¹ Pは電源、DIはデジタル入力、DOはデジタル出力、REFはリファレンス入力/出力、AIはアナログ入力、GNDはグラウンドです。

代表的な性能特性

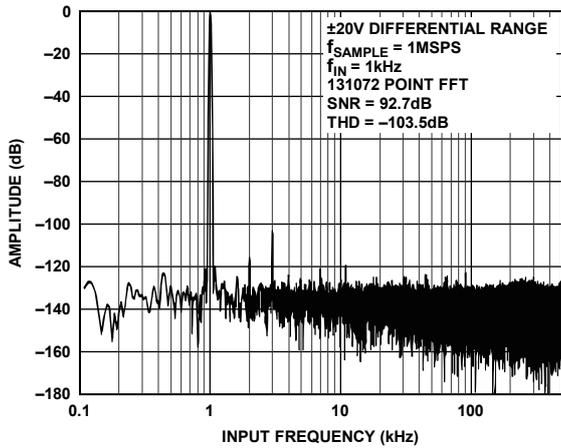


図 9. 高速フーリエ変換 (FFT)、±20V 差動レンジ、低帯域幅モード

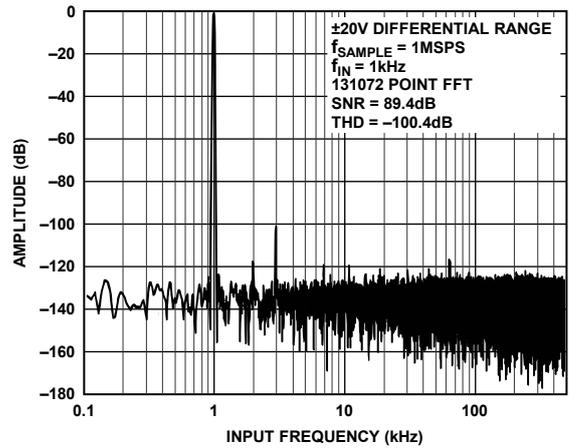


図 12. FFT、±20V 差動レンジ、高帯域幅モード

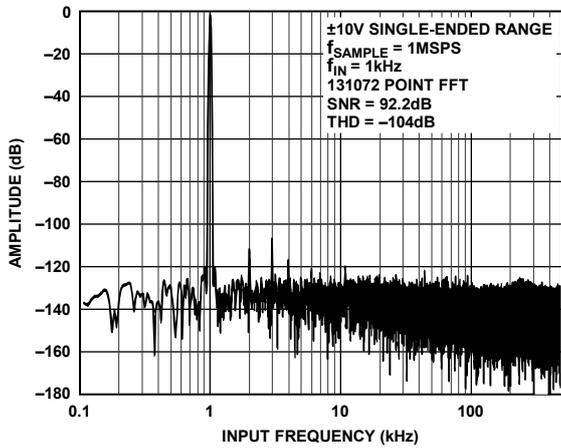


図 10. FFT、±10V シングルエンド・レンジ、低帯域幅モード

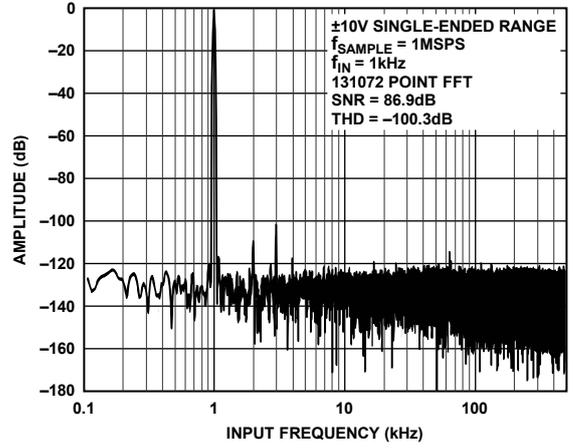


図 13. FFT、±10V シングルエンド・レンジ、高帯域幅モード

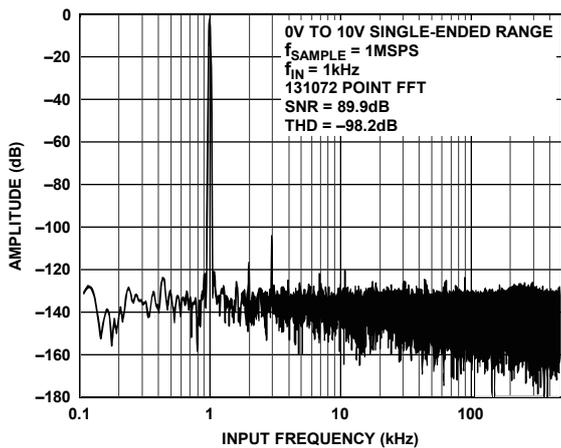


図 11. FFT、0V~10V シングルエンド・レンジ、低帯域幅モード

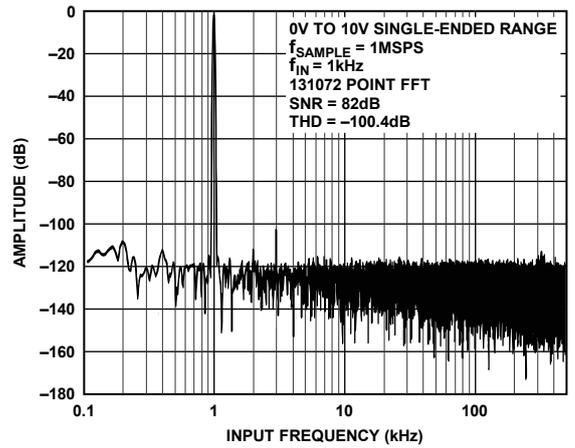


図 14. FFT、0V~10V シングルエンド・レンジ、高帯域幅モード

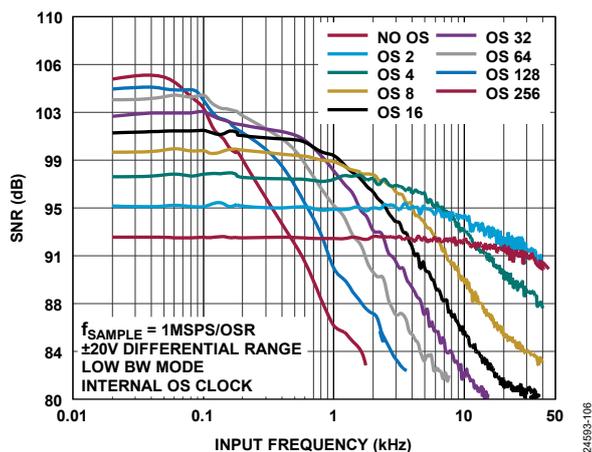


図 15. 様々なオーバーサンプリング比 (OSR) 値での S/N 比と入力周波数の関係、±20V 差動レンジ、低帯域幅モード、内部オーバーサンプリング・クロック (OS = オーバーサンプリング)

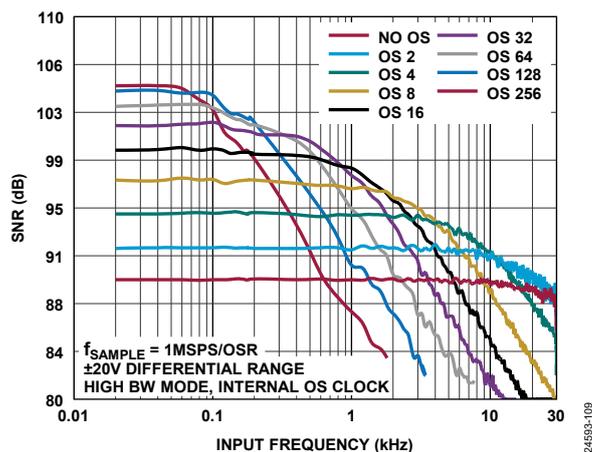


図 18. 様々な OSR 値での S/N 比と入力周波数の関係、±20V 差動レンジ、高帯域幅モード、内部オーバーサンプリング・クロック

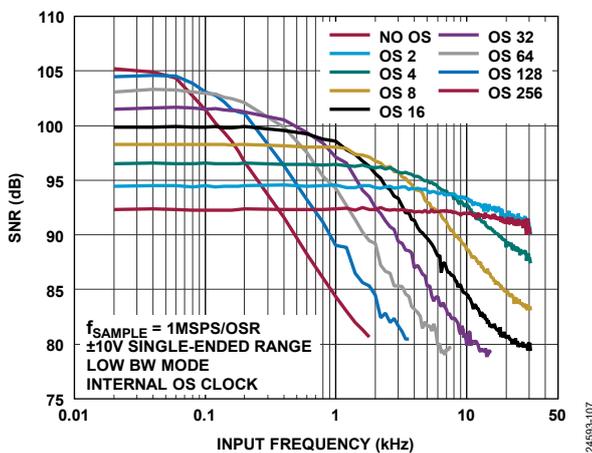


図 16. 様々な OSR 値での S/N 比と入力周波数の関係、±10V シングルエンド・レンジ、低帯域幅モード、内部オーバーサンプリング・クロック

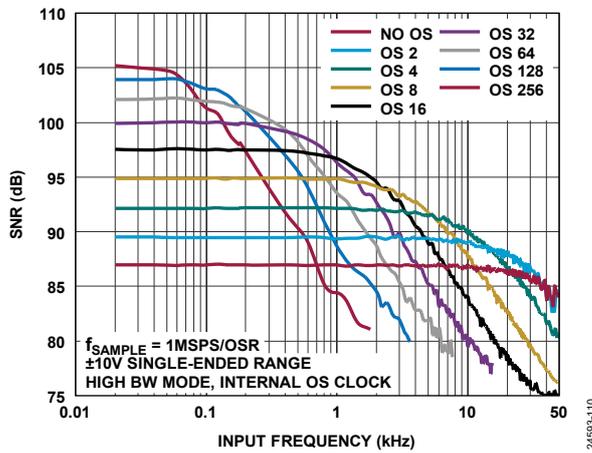


図 19. 様々な OSR 値での S/N 比と入力周波数の関係、±10V シングルエンド・レンジ、高帯域幅モード、内部オーバーサンプリング・クロック

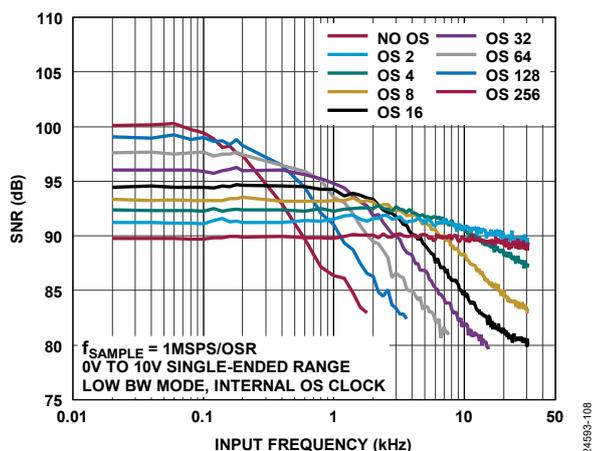


図 17. 様々な OSR 値での S/N 比と入力周波数の関係、0V~10V シングルエンド・レンジ、低帯域幅モード、内部オーバーサンプリング・クロック

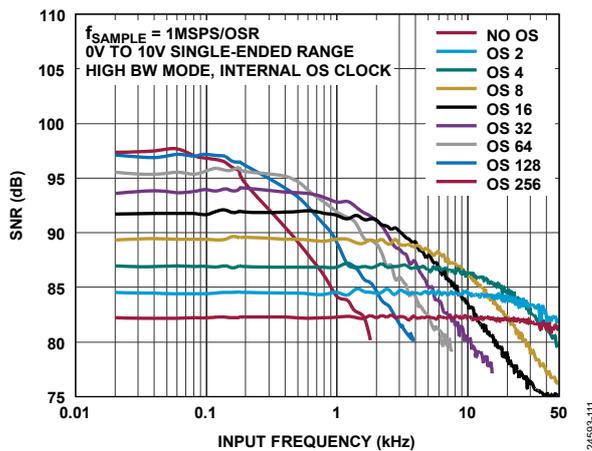


図 20. 様々な OSR 値での S/N 比と入力周波数の関係、0V~10V シングルエンド・レンジ、高帯域幅モード、内部オーバーサンプリング・クロック

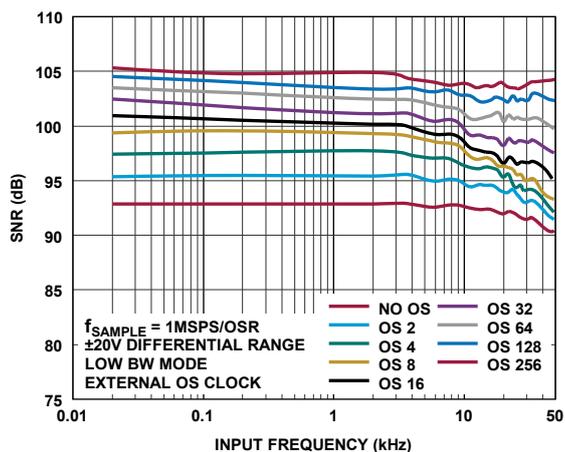


図 21. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 20\text{V}$ 差動レンジ、低帯域幅モード、外部オーバーサンプリング・クロック

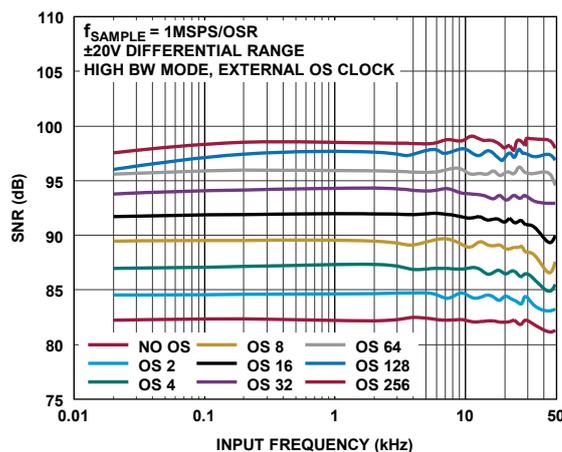


図 24. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 20\text{V}$ 差動レンジ、高帯域幅モード、外部オーバーサンプリング・クロック

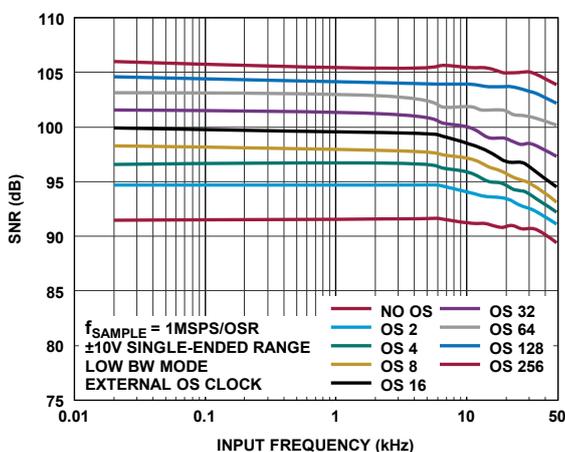


図 22. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 10\text{V}$ シングルエンド・レンジ、低帯域幅モード、外部オーバーサンプリング・クロック

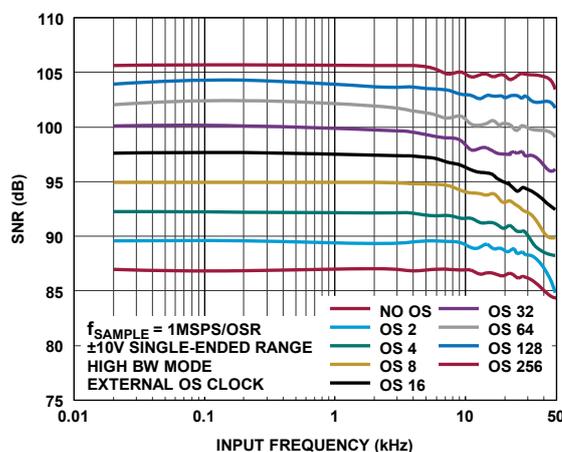


図 25. 様々な OSR 値での S/N 比と入力周波数の関係、 $\pm 10\text{V}$ シングルエンド・レンジ、高帯域幅モード、外部オーバーサンプリング・クロック

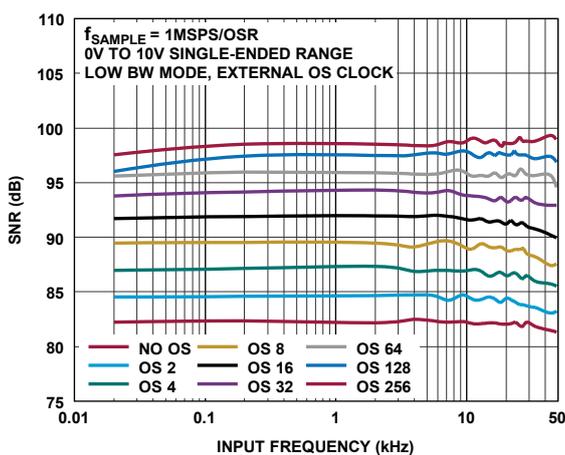


図 23. 様々な OSR 値での S/N 比と入力周波数の関係、0V~10V シングルエンド・レンジ、低帯域幅モード、外部オーバーサンプリング・クロック

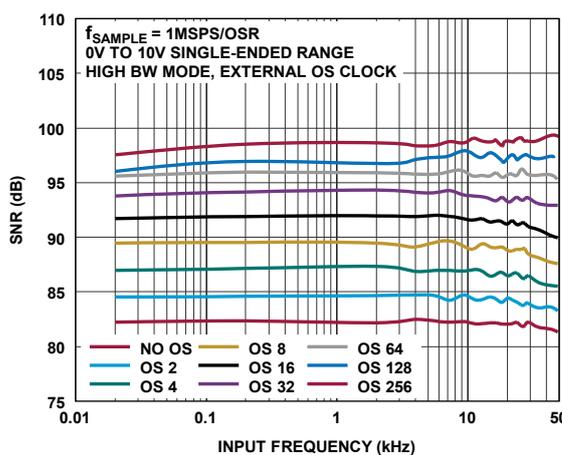


図 26. 様々な OSR 値での S/N 比と入力周波数の関係、0V~10V シングルエンド・レンジ、高帯域幅モード、外部オーバーサンプリング・クロック

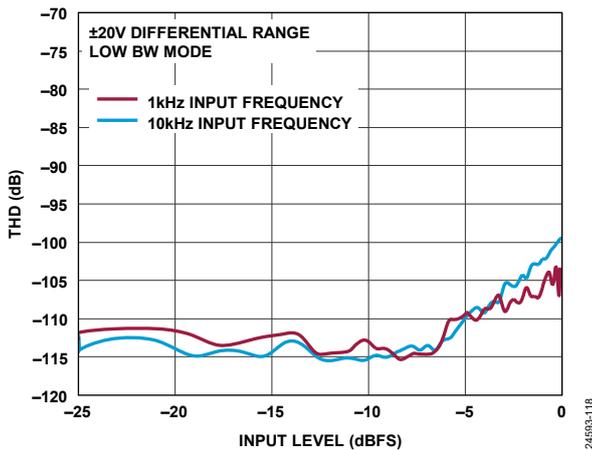


図 27. THD と入力レベルの関係、±20V 差動レンジ、低帯域幅モード

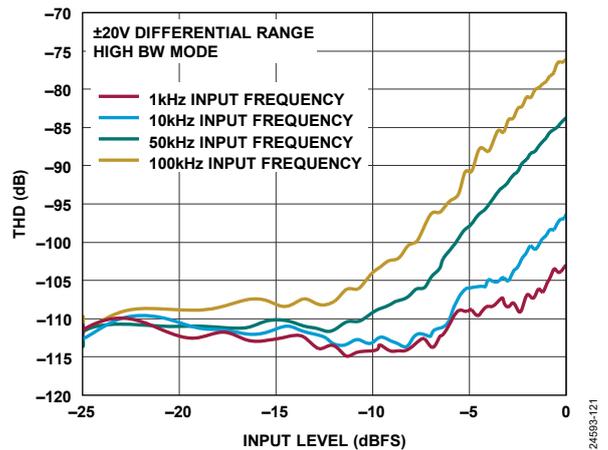


図 30. THD と入力レベルの関係、±20V 差動レンジ、高帯域幅モード

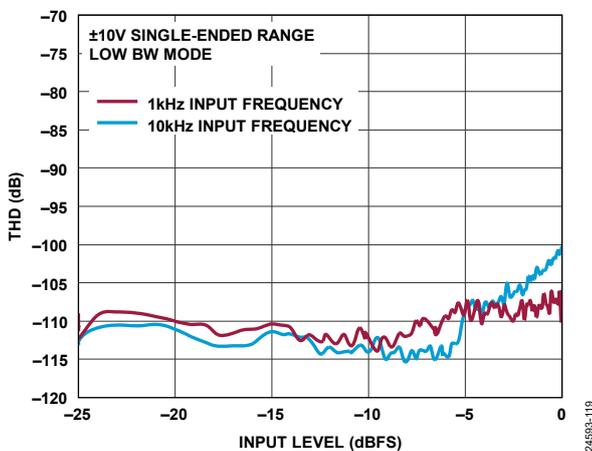


図 28. THD と入力レベルの関係、±10V シングルエンド・レンジ、低帯域幅モード

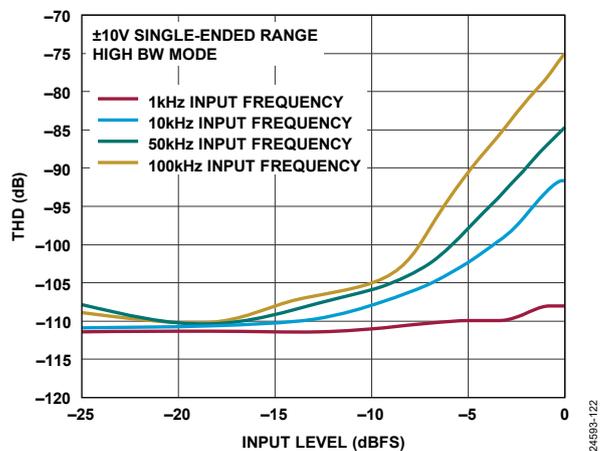


図 31. THD と入力レベルの関係、±10V シングルエンド・レンジ、高帯域幅モード

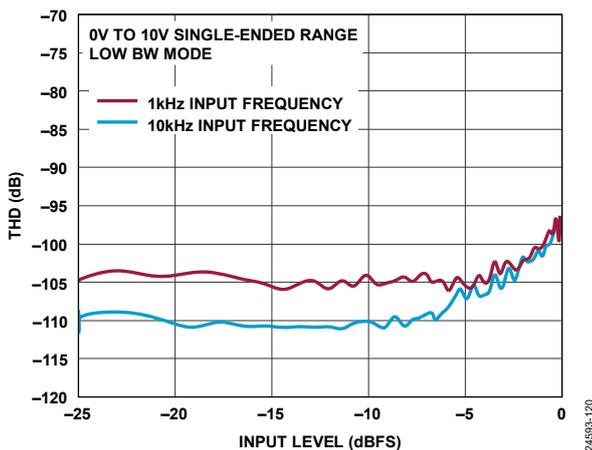


図 29. THD と入力レベルの関係、0V~10V シングルエンド・レンジ、低帯域幅モード

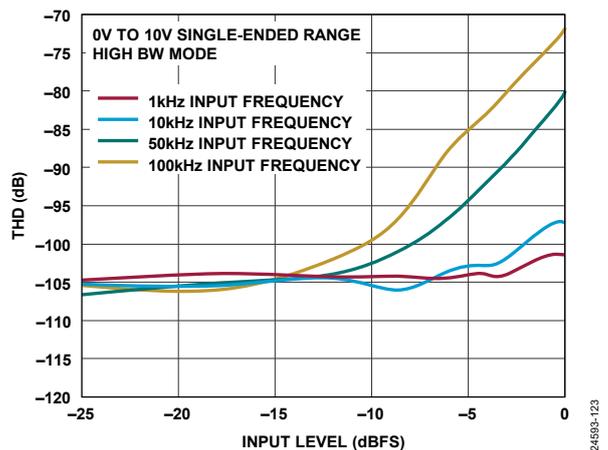


図 32. THD と入力レベルの関係、0V~10V シングルエンド・レンジ、高帯域幅モード

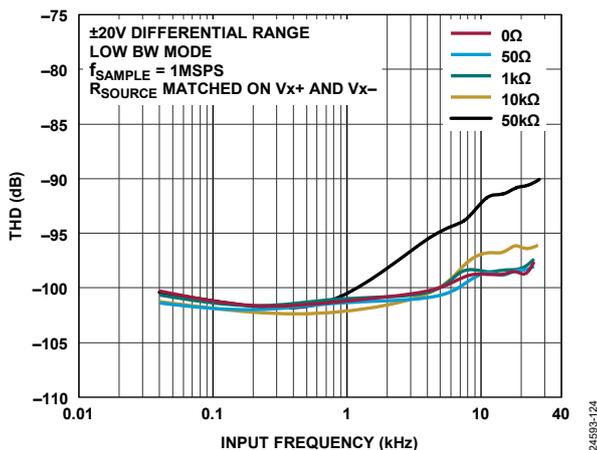


図 33. 様々なソース・インピーダンス (R_{SOURCE}) での THD と入力周波数の関係、±20V 差動レンジ、低帯域幅モード

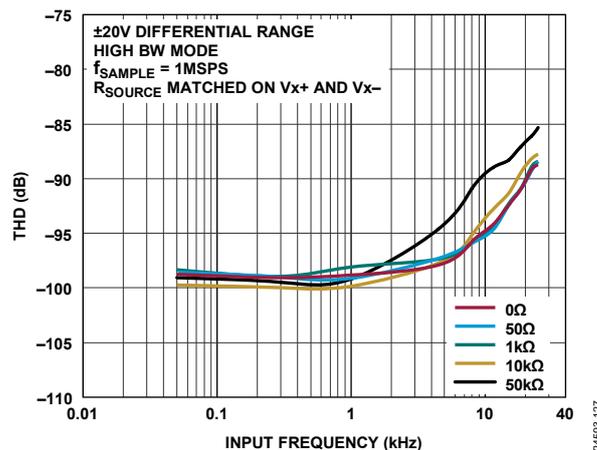


図 36. 様々なソース・インピーダンスでの THD と入力周波数の関係、±20V 差動レンジ、高帯域幅モード

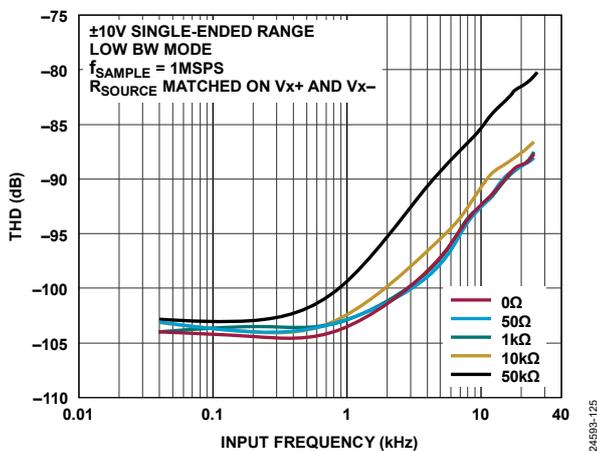


図 34. 様々なソース・インピーダンスでの THD と入力周波数の関係、±10V シングルエンド・レンジ、低帯域幅モード

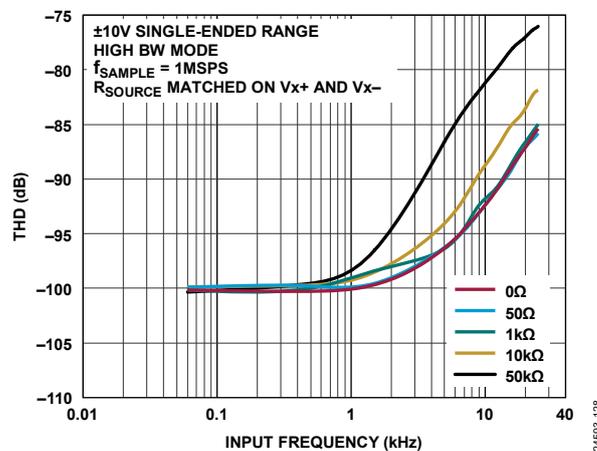


図 37. 様々なソース・インピーダンスでの THD と入力周波数の関係、±10V シングルエンド・レンジ、高帯域幅モード

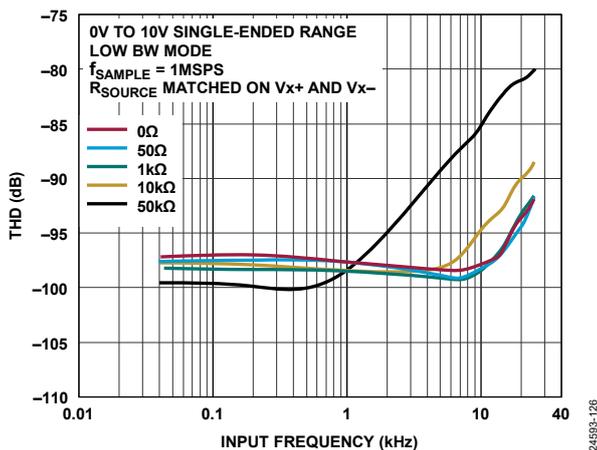


図 35. 様々なソース・インピーダンスでの THD と入力周波数の関係、0V~10V シングルエンド・レンジ、低帯域幅モード

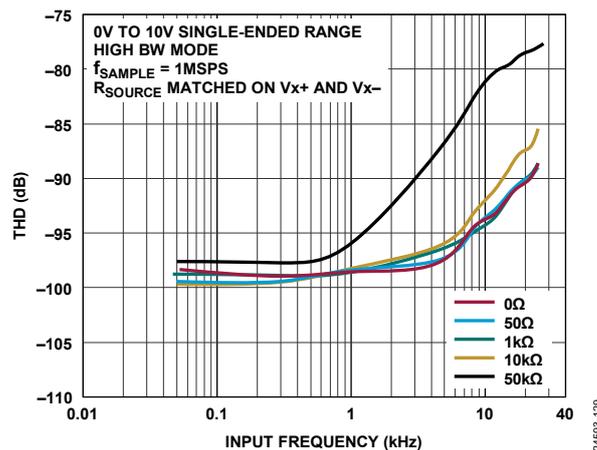


図 38. 様々なソース・インピーダンスでの THD と入力周波数の関係、0V~10V シングルエンド・レンジ、高帯域幅モード

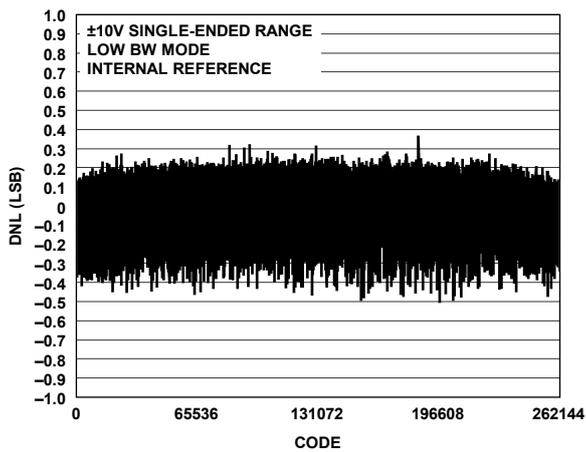


図 39. DNL (代表値)、低帯域幅モード

24593-130

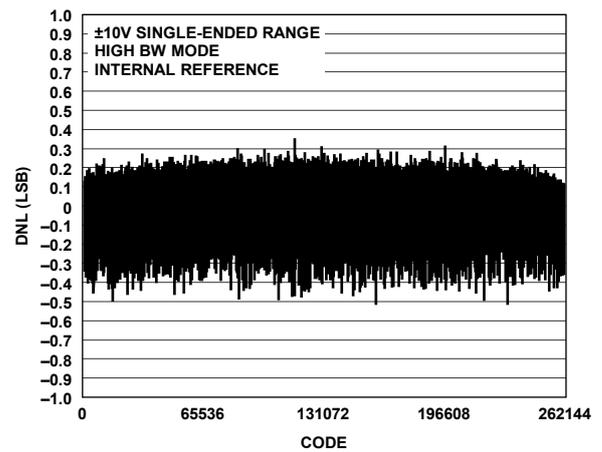


図 42. DNL (代表値)、高帯域幅モード

24593-133

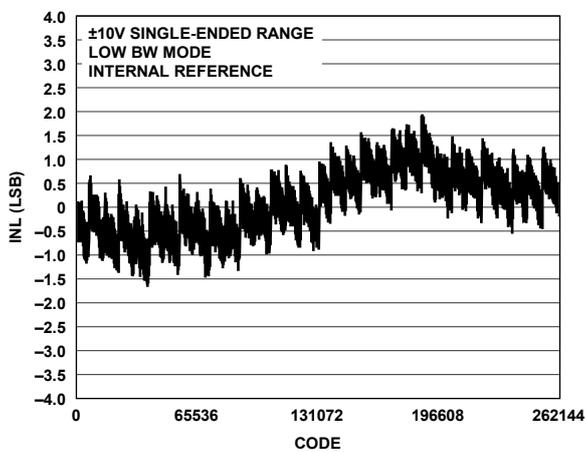


図 40. INL (代表値)、低帯域幅モード

24593-131

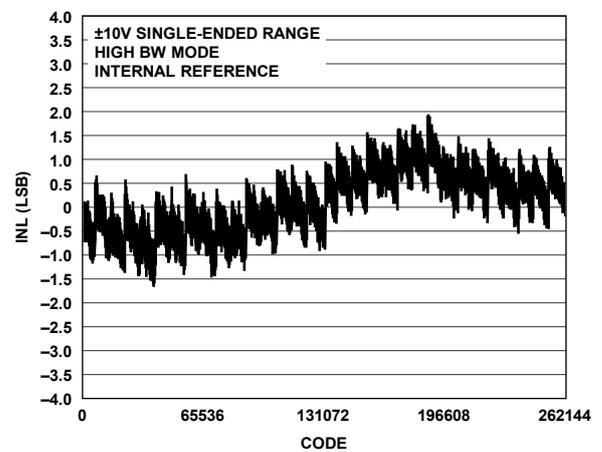


図 43. INL (代表値)、高帯域幅モード

24593-134

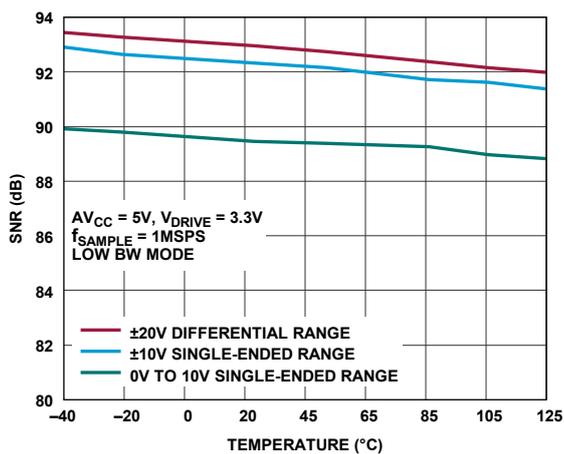


図 41. S/N 比と温度の関係、低帯域幅モード

24593-132

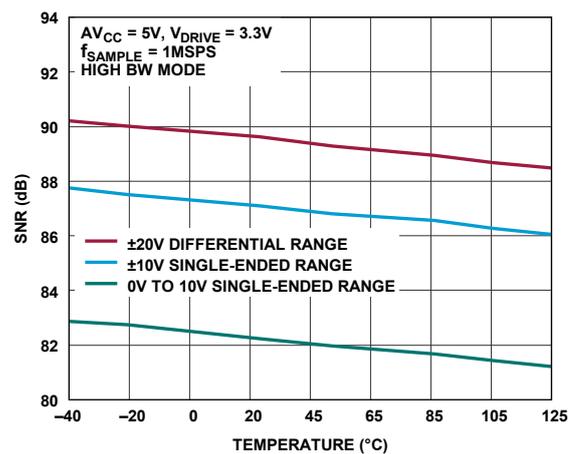


図 44. S/N 比と温度の関係、高帯域幅モード

24593-135

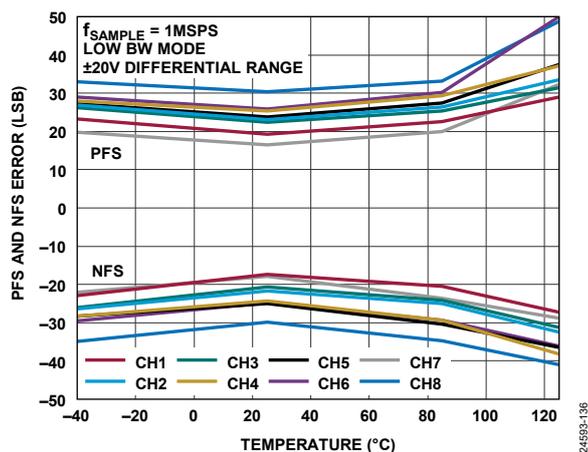


図 45. 正のフルスケール (PFS) 誤差および負のフルスケール (NFS) 誤差と温度の関係、±20V 差動レンジ

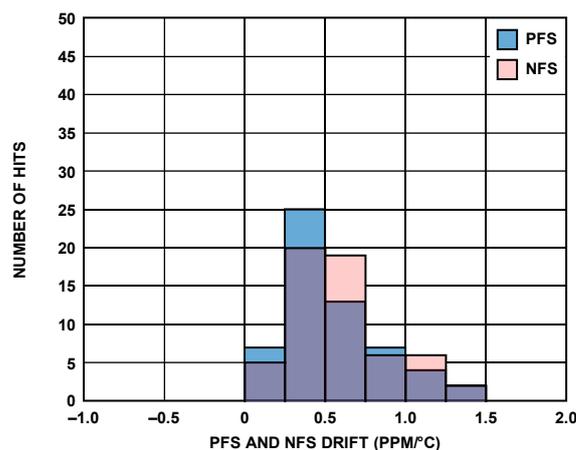


図 48. PFS および NFS ドリフトのヒストグラム、±10V シングルエンド・レンジ

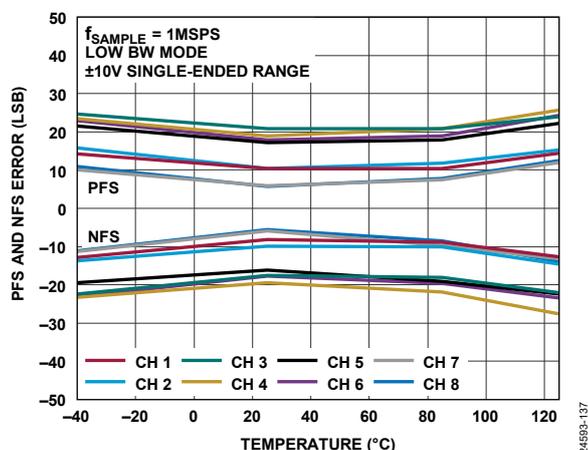


図 46. PFS および NFS 誤差と温度の関係、±10V シングルエンド・レンジ

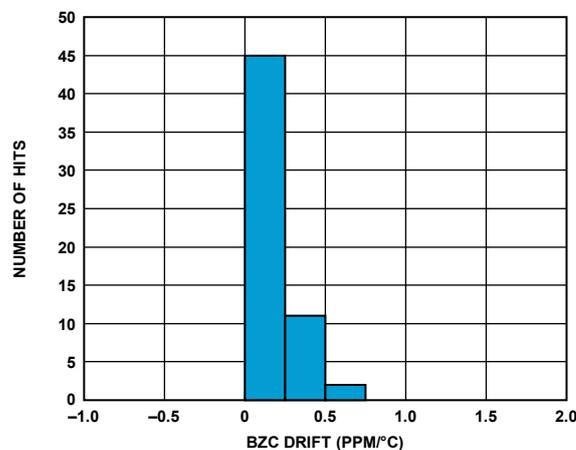


図 49. バイポーラ・ゼロ・コード (BZC) ドリフトのヒストグラム、±10V シングルエンド・レンジ

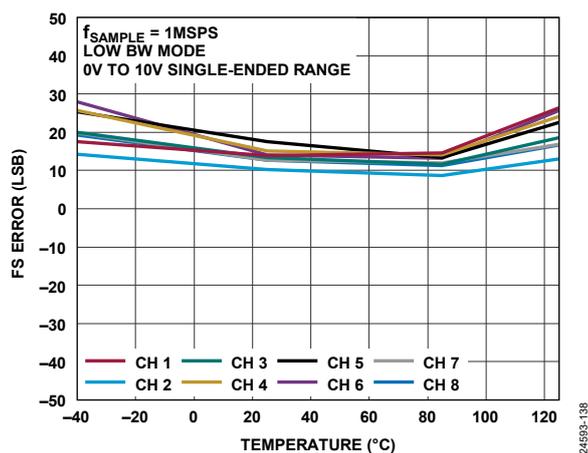


図 47. FS 誤差と温度の関係、0V~10V シングルエンド・レンジ

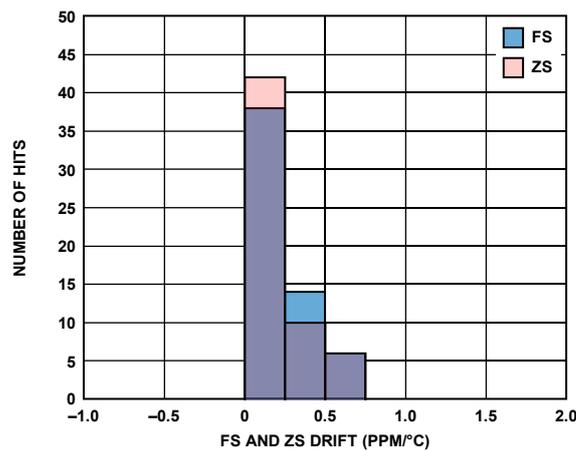


図 50. FS およびゼロ・スケール (ZS) ドリフトのヒストグラム、0V~10V シングルエンド・レンジ

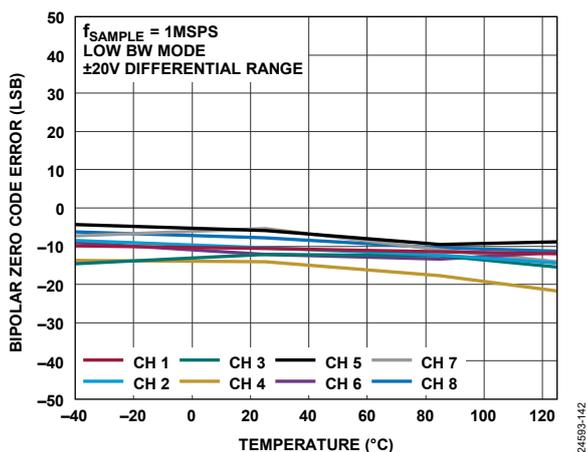


図 51. バイポーラ・ゼロ・コード誤差と温度の関係、±20V 差動レンジ

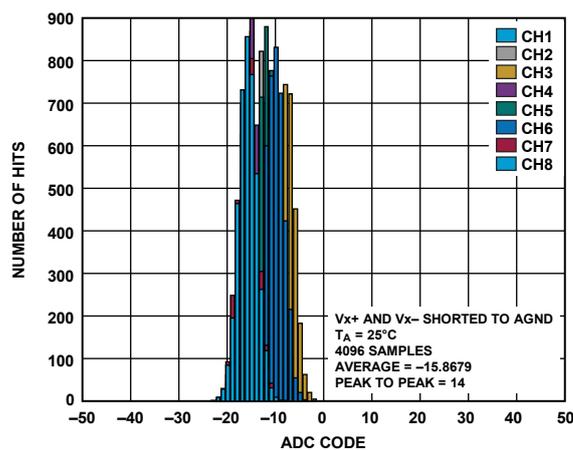


図 54. コードのヒストグラム、±20V 差動レンジ

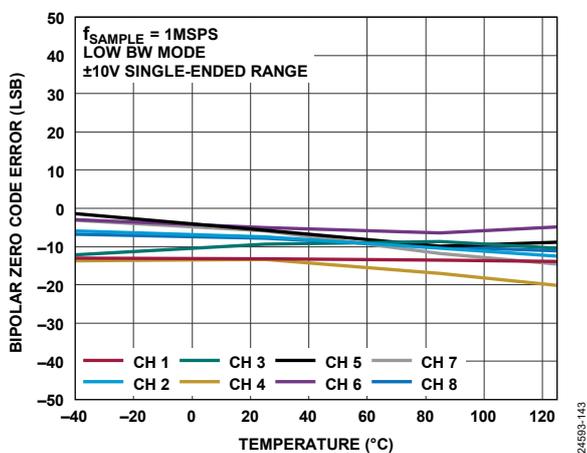


図 52. バイポーラ・ゼロ・コード誤差と温度の関係、±10V シングルエンド・レンジ

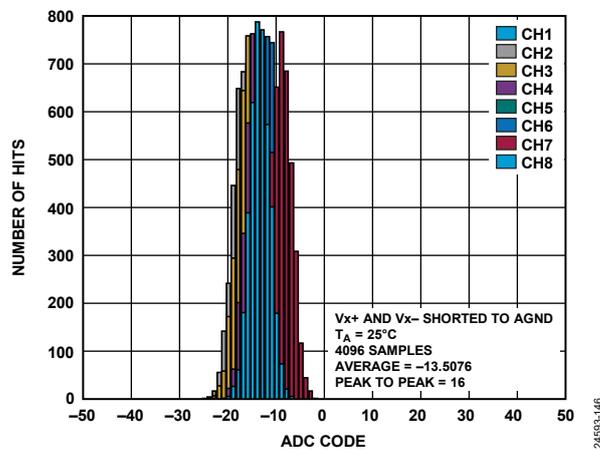


図 55. コードのヒストグラム、±10V シングル・エンドレンジ

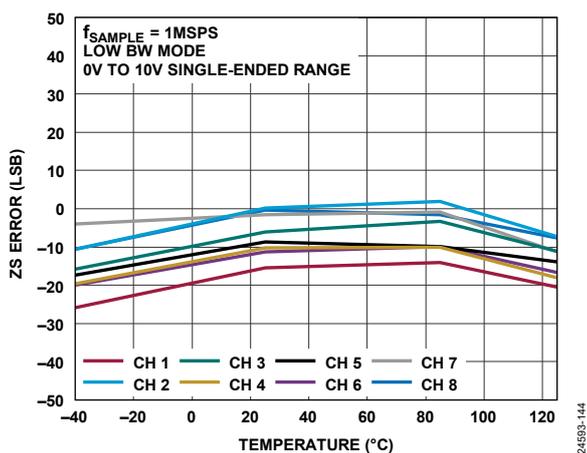


図 53. ZS 誤差と温度の関係、0V~10V シングルエンド・レンジ

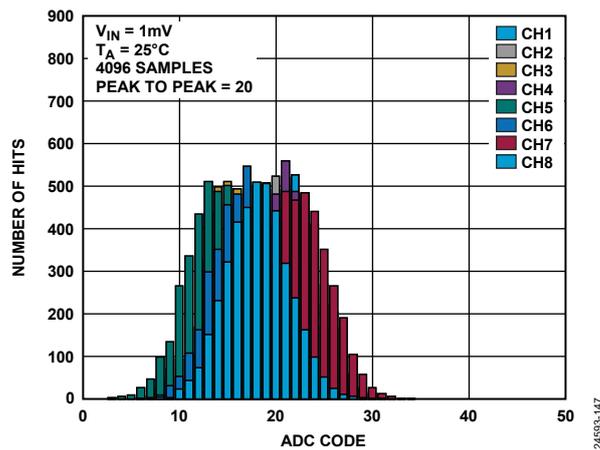


図 56. コードのヒストグラム、0V~10V シングルエンド・レンジ

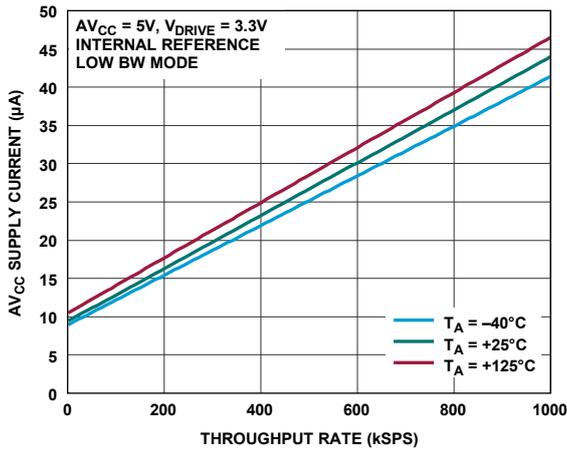


図 57. 様々な温度での AV_{CC} 電源電流とスループット・レートの関係

24593-148

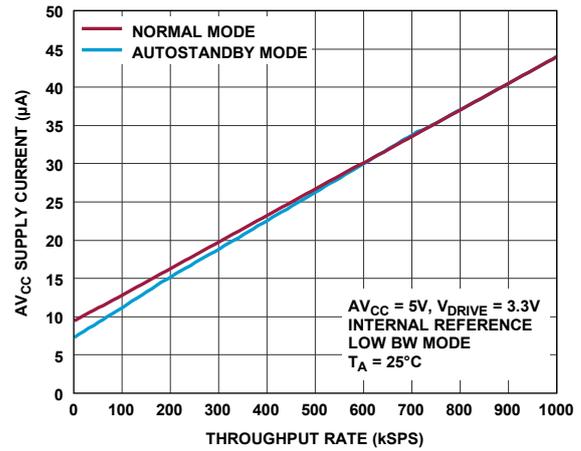


図 60. AV_{CC} 電源電流とスループット・レートの関係、ノーマル・モードとオートスタンバイ・モード

24593-151

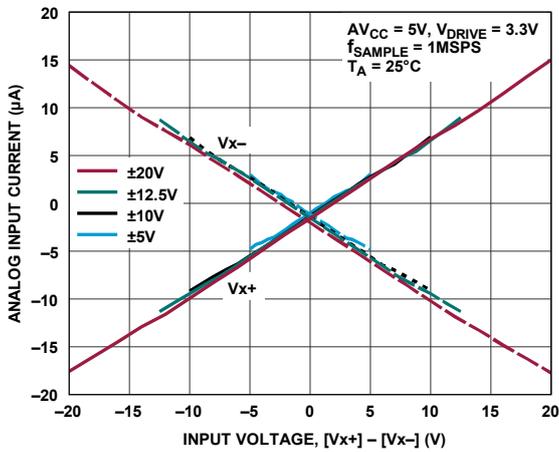


図 58. 様々な差動レンジにおけるアナログ入力電流と入力電圧の関係

24593-149

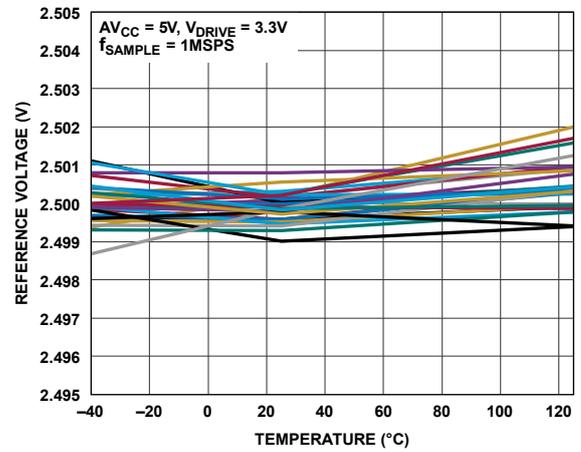


図 61. リファレンス・ドリフト

24593-152

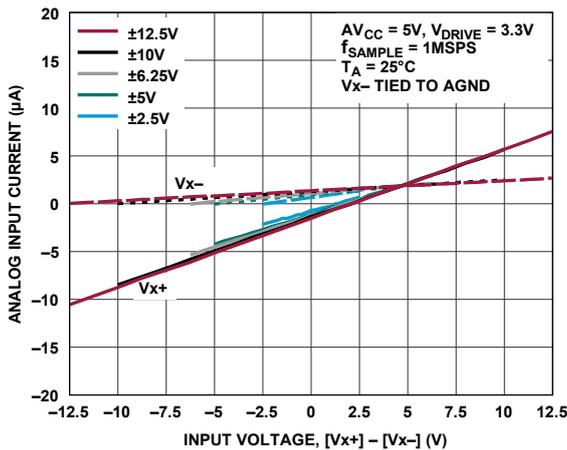


図 59. 様々なユニポーラ・シングルエンド・レンジにおけるアナログ入力電流と入力電圧の関係

24593-150

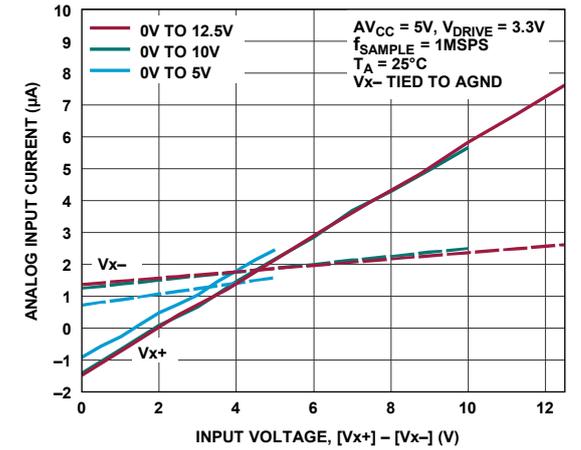


図 62. 様々なユニポーラ・シングルエンド・レンジにおけるアナログ入力電流と入力電圧の関係

24593-153

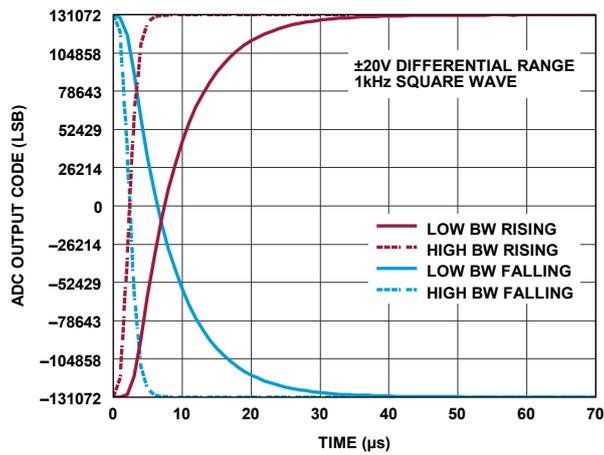


図 63. ステップ応答、±20V 差動レンジ

24593-154

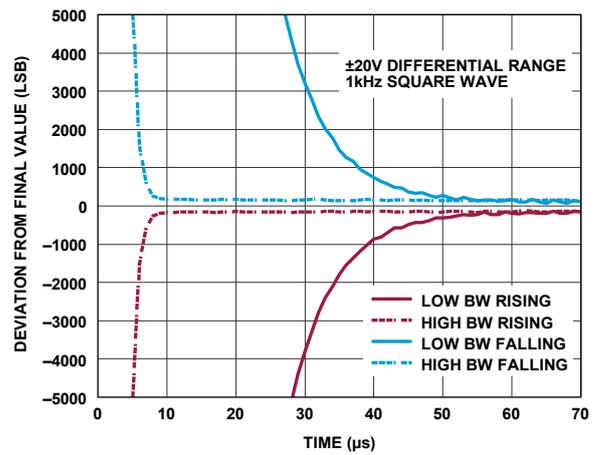


図 66. ステップ応答、±20V 差動レンジ、高精度セトリング

24593-157

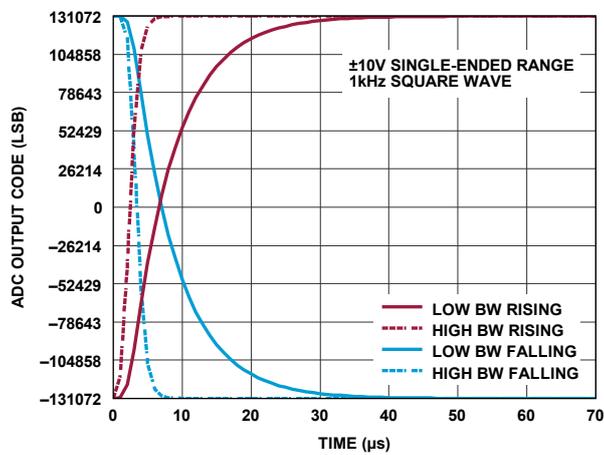


図 64 ステップ応答、±10V シングルエンド・レンジ

24593-155

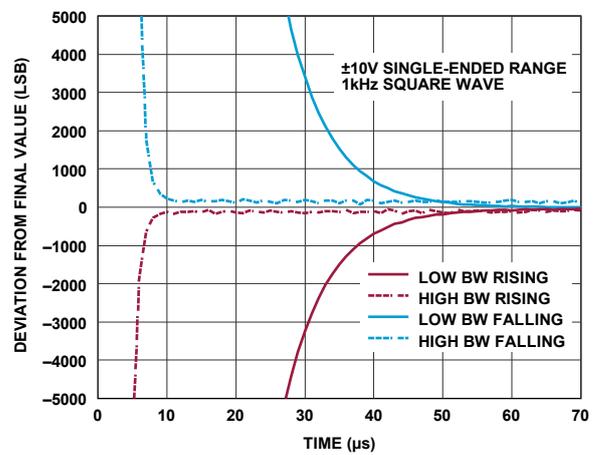


図 67. ステップ応答、±10V シングルエンド・レンジ、高精度セトリング

24593-158

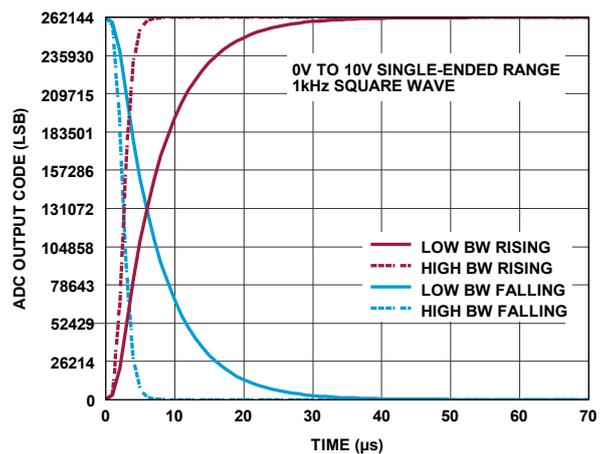


図 65. ステップ応答、0V~10V シングルエンド・レンジ

24593-156

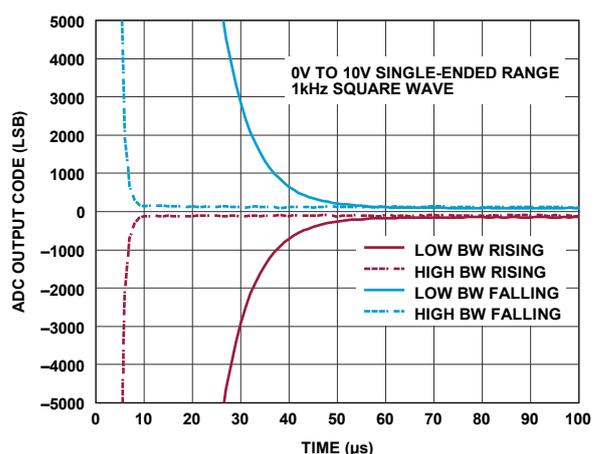


図 68. ステップ応答、0V~10V シングルエンド・レンジ、高精度セトリング

24593-159

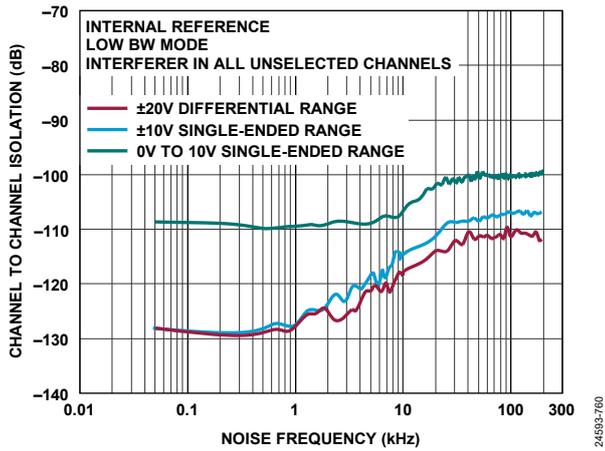


図 69. チャンネル間アイソレーションとノイズ周波数の関係、低帯域幅モード

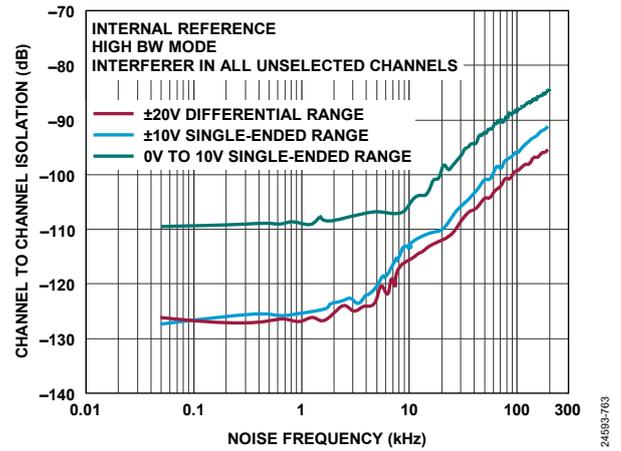


図 72. チャンネル間アイソレーションとノイズ周波数の関係、高帯域幅モード

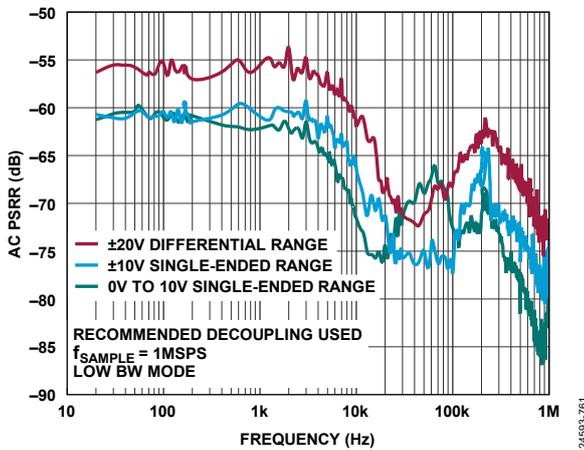


図 70. AC 電源電圧変動除去比 (PSRR) と周波数の関係、低帯域幅モード

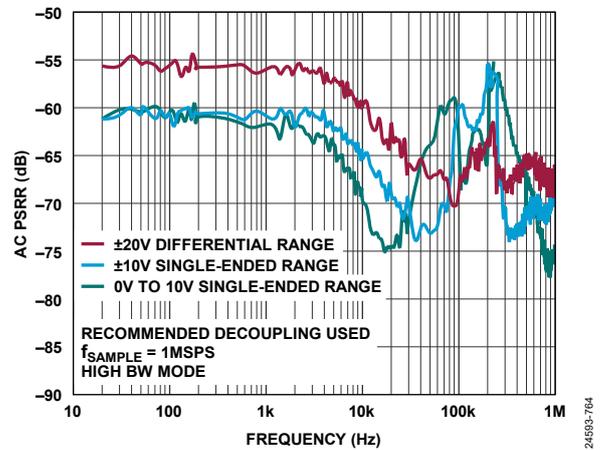


図 73. AC PSRR と周波数の関係、高帯域幅モード

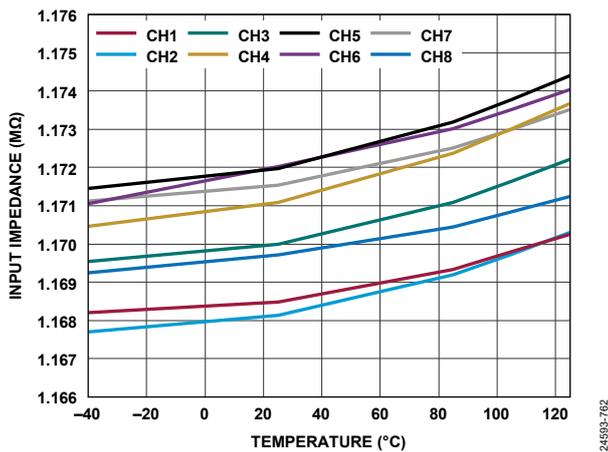


図 71. 入力インピーダンスの温度特性

用語の定義

積分非直線性 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大偏差です。伝達関数の両端は、ゼロ・スケール (最初のコード遷移より $\frac{1}{2}$ LSB 下) とフルスケール (最後のコード遷移より $\frac{1}{2}$ LSB 上) です。

微分非直線性 (DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

バイポーラ・ゼロ・コード誤差

バイポーラ・ゼロ・コード誤差は (すべて 1 からすべて 0 への) ミッドスケール遷移の理想値からの偏差 ($0V - \frac{1}{2}$ LSB) です。

バイポーラ・ゼロ・コード誤差マッチング

バイポーラ・ゼロ・コード誤差マッチングは、2 つの入力チャンネル間のバイポーラ・ゼロ・コード誤差の絶対差です。

オープン・サーキット・コード誤差

オープン・サーキット・コード誤差は、アナログ入力にオープン・サーキットがあるとき、および 2 本のアナログ入力ピン間に接続されたプルダウン抵抗 (R_{PD}) にオープン・サーキットがあるときの ADC 出力コードです。詳細については、[図 94](#) を参照してください。

正のフルスケール (PFS) 誤差

バイポーラ・レンジにおける PFS 誤差は、バイポーラ・ゼロ・コード誤差調整後における理論的な最後のコード遷移値 (例えば $10V - 1\frac{1}{2}$ LSB (9.99988)、 $5V - 1\frac{1}{2}$ LSB (4.99994)、または $2.5V - 1\frac{1}{2}$ LSB (2.49997)) と、実際に測定した最後のコード遷移値の差です。PFS 誤差にはリファレンス・バッファの寄与分も含まれます。

正のフルスケール (PFS) 誤差マッチング

PFS 誤差マッチングは、2 つの入力チャンネル間の正のフルスケール誤差の絶対差です。

負のフルスケール (NFS) 誤差

バイポーラ・レンジにおける NFS 誤差は、バイポーラ・ゼロ・コード誤差調整後における理論的な最初のコード遷移値 (例えば $-10V + \frac{1}{2}$ LSB (-9.99996)、 $-5V + \frac{1}{2}$ LSB (-4.99998)、または $-2.5V + \frac{1}{2}$ LSB (-2.49999)) と、実際に測定した最初のコード遷移値の差です。NFS 誤差にはリファレンス・バッファの寄与分も含まれます。

負のフルスケール (NFS) 誤差マッチング

NFS 誤差マッチングは、2 つの入力チャンネル間の負のフルスケール誤差の絶対差です。

フルスケール (FS) 誤差

ユニポーラ・レンジにおける FS 誤差は、ゼロ・スケール誤差調整後における理論的な最後のコード遷移値 (例えば $10V - 1\frac{1}{2}$ LSB (9.99954)、または $5V - 1\frac{1}{2}$ LSB (4.99977)) と、実際に測定した最後のコード遷移値の差です。FS 誤差にはリファレンス・バッファの寄与分も含まれます。

ゼロ・スケール (ZS) 誤差

ユニポーラ・レンジにおける ZS 誤差は、最初のコード遷移値と理想的な最初のコード遷移値の差 ($0V - \frac{1}{2}$ LSB) です。

総合未調整誤差 (TUE)

TUE は、実際の出力コードと理論出力コード間の最大誤差です。TUE には、INL 誤差、バイポーラ・ゼロ・コード誤差、正負のフルスケール誤差、およびリファレンス誤差が含まれます。

信号/ノイズ+歪み (SINAD) 比

SINAD 比は、A/D コンバータの出力における信号測定値と「ノイズ+歪み」測定値の比です。信号は基本波の rms 振幅で表します。ノイズは、 $1/2$ サンプリング周波数まで ($f_s/2$ まで、DC を除く) の非基本波の総和です。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が多いほど量子化ノイズは小さくなります。

サイン波入力を持つ理想的な N ビット・コンバータの理論的な SINAD は次式で求めます。

$$SINAD = (6.02N + 1.76) \text{ dB}$$

したがって、16 ビット・コンバータの SINAD は 98dB になります。

全高調波歪み (THD)

THD は、高調波の rms 和と基本波の比です。AD7606C-18 の場合、この値は次のように定義されます。

$$THD \text{ (dB)} =$$

$$20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

ここで、

$V_2 \sim V_9$ は、2 次～9 次高調波の rms 振幅です。

V_1 は基本波の rms 振幅。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、基本波の rms 値と、ADC 出力スペクトル内 ($f_s/2$ まで、DC を除く) でその次に大きい成分の rms 値との比です。一般に、この値はスペクトルに含まれる最大の高調波によって決まりますが、高調波がノイズ・フロアに埋まっている ADC ではノイズ・ピークによって決まります。

電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。電源電圧変動除去 (PSR) は、電源電圧の公称値からの変化により生じるフルスケール遷移点の最大変化量です。PSRR は、ADC 周波数 f_s の AV_{CC} 電源に加えられる 100mV_{p-p} サイン波と、周波数 f_s における ADC 出力電力との比として定義されます。

$$PSRR \text{ (dB)} = 20 \log (0.1/Pf_s)$$

ここで、

Pf_s は AV_{CC} 電源にカップリングした周波数 f_s の電力です。

チャンネル間アイソレーション

チャンネル間アイソレーションはすべての入力チャンネル間のクロストーク・レベルの大きさです。この値を測定するには、選択されていない入力チャンネルすべてに最大 200kHz のサイン波信号を入力し、1kHz のサイン波信号が印加されているチャンネルでフルスケール信号の減衰量を調べます (図 58 を参照)。

位相遅延

位相遅延は、コンバータによって入力をサンプリングした時点から、ADC で結果を読み出すまでの絶対的な時間遅延です。これには、デバイスのアナログ・フロント・エンドによる遅延も含まれます。

位相遅延ドリフト

位相遅延ドリフトは、デバイスの動作温度全体にわたる単位温度あたりの位相遅延の変化量です。

位相遅延マッチング

位相遅延マッチングは、同時にサンプリングされたペア間で観測される最大位相遅延です。

ボックス法

ボックス法は次式で表されます。

$$TCV_{OUT} = \frac{\left| \max\{V_{OUT}(T_1, T_2, T_3)\} - \min\{V_{OUT}(T_1, T_2, T_3)\} \right|}{V_{OUT}(T_2) \times (T_3 - T_1)} \times 10^6$$

ここで、

TCV_{OUT} の単位は ppm/°C、

$V_{OUT}(T_x)$ は温度 T_x における出力電圧、

$T_1 = -40^\circ\text{C}$ 、

$T_2 = +25^\circ\text{C}$ 、

$T_3 = +125^\circ\text{C}$ です。

このボックス法を使用すれば、デバイスの出力電圧測定時に使用する 3 つの温度のうち、任意の 2 つの最大差を TCV_{OUT} によって正確に表すことができます。

動作原理

アナログ・フロント・エンド

AD7606C-18は、8チャンネルの18ビット同時サンプリングA/D変換DASです。各チャンネルには、アナログ入力クランプ保護機能、PGA、LPF、18ビットSAR ADCが組み込まれています。

アナログ入力レンジ

AD7606C-18は、真のバイポーラ差動入力電圧、バイポーラ・シングルエンド入力電圧、およびユニポーラ・シングルエンド入力電圧を扱うことができます。ソフトウェア・モードでは、アドレス0x03～アドレス0x06を使って、チャンネルごとに個別のアナログ入力レンジを設定できます。ソフトウェア・モードでは、RANGEピンのロジック・レベルは無視されます。

表10に示すように、ハードウェア・モードでは、RANGEピンのロジック・レベルが、すべてのアナログ・チャンネルのアナログ入力レンジを±10Vシングルエンドとするか±5Vシングルエンドとするかを決定します。

RANGEピンのロジックを変えると、アナログ入力レンジが直ちに変更されます。ただし普通は、通常必要とされるアキュイジション時間に、約80μsのセトリング時間が加わります。スループット・レートが高いアプリケーションでは、変換中にRANGEピンを変更することは推奨できません。

表10. アナログ入力レンジの選択

Range (V)	Hardware Mode ¹	Software Mode ²
±10 Single-Ended	RANGE pin high	Address 0x03 through Address 0x06
±5 Single-Ended	RANGE pin low	Address 0x03 through Address 0x06
Any Other Range	Not applicable	Address 0x03 through Address 0x06

¹ 8つのアナログ入力チャンネルには、すべて同じ入力レンジ（±10Vまたは±5V）が適用されます。

² アナログ入力レンジは、メモリ・マップを使ってチャンネルごとに選択されます。

アナログ入力インピーダンス

AD7606C-18のアナログ入力インピーダンスは最小1MΩです。この入力インピーダンスは固定されており、AD7606C-18のサンプリング周波数によって変化することはありません。この高いアナログ入力インピーダンスによりAD7606C-18の前段にドライバ・アンプは不要となり、ソースまたはセンサーを直結することができます。したがって、シグナル・チェーンからバイポーラ電源をなくすことができます。

アナログ入力クランプ保護

AD7606C-18のアナログ入力回路を図74に示します。AD7606C-18のそれぞれのアナログ入力はクランプ保護回路を備えています。動作は5V単電源ですが、アナログ入力クランプ保護機能により、最大で±21Vまでの入力過電圧が許容されます。

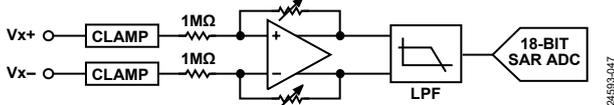


図74. 各チャンネルのアナログ入力回路

クランプ回路の入力クランプ電流とソース電圧の関係を図75に示します。最大±21Vまでの入力電圧では、クランプ回路に電流は流れません。±21Vを超える入力電圧では、AD7606C-18のクランプ回路がオンになります。

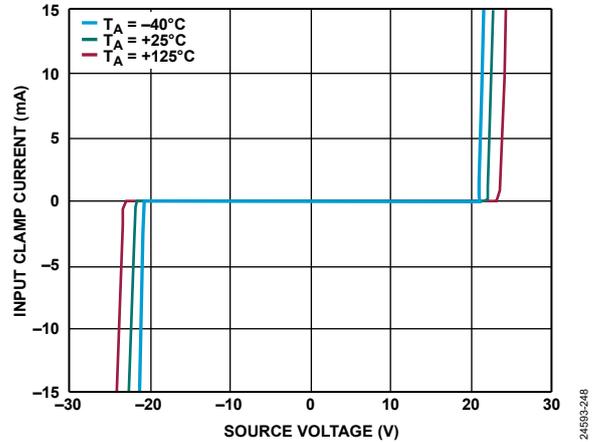


図75. 入力保護クランプのプロファイル

入力電圧が±21Vを超えた場合の電流を±10mAに制限するために、アナログ入力チャンネルには直列抵抗を接続することを推奨します。アナログ入力チャンネルVxに直列抵抗(R)が接続されたアプリケーションでは、システムにオフセットが生じないようにするため、図76に示すように、この抵抗(R)とVx-の抵抗のマッチングを行うことを推奨します。ただしソフトウェア・モードでは、チャンネルごとにシステム・オフセットのキャリブレーションが行われて、システム全体のオフセットが除去されます（システム・オフセットのキャリブレーションのセクションを参照）。

通常動作時に、長時間にわたりAD7606C-18のアナログ入力が入力レンジを超える状態にしておくことは推奨できません。この状態を放置すると、バイポーラ・ゼロ・コード誤差性能が低下するおそれがあります。シャットダウン・モードやスタンバイ・モードでは、このような心配はありません。

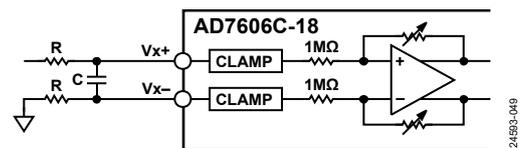


図76. シングルエンド・レンジにおけるAD7606C-18のアナログ入力の入力抵抗マッチング (Vx-をグラウンドに接続)

PGA

各入力チャンネルには PGA が組み込まれています。選択したアナログ入力レンジ (表 10 を参照) に応じてゲインを設定し、バイポーラ差動、もしくはバイポーラまたはユニポーラ・シングルエンドのアナログ入力信号を ADC の完全差動入力レンジに合わせてスケールリングすることができます。

PGA の各入力の入力インピーダンスは、全体的なゲイン誤差を維持するために正確に調整されています。更にこの調整値は、ゲイン・キャリブレーションを有効にして外部直列抵抗により生じるゲイン誤差を補償するときに使われます。PGA 機能の詳細については、システム・ゲインのキャリブレーションのセクションを参照してください。

アナログ入力のアンチエイリアス・フィルタ

AD7606C-18 はアナログ・アンチエイリアス・フィルタを内蔵しています。アナログ・アンチエイリアス・フィルタの周波数応答を 図 77 に、位相応答を 図 78 に示します。-3dB 周波数は 25kHz (代表値) です。

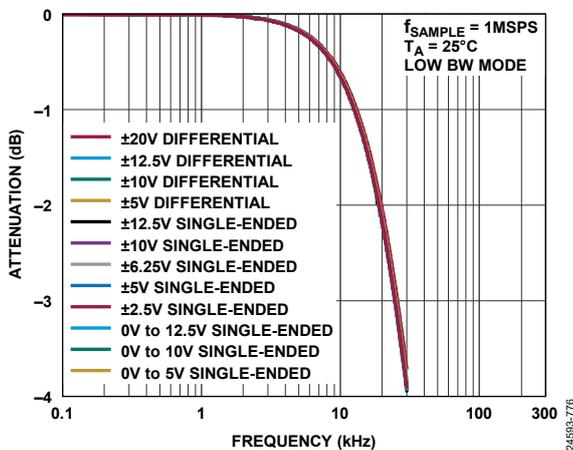


図 77. アナログ・アンチエイリアシング・フィルタの周波数応答、低帯域幅モード

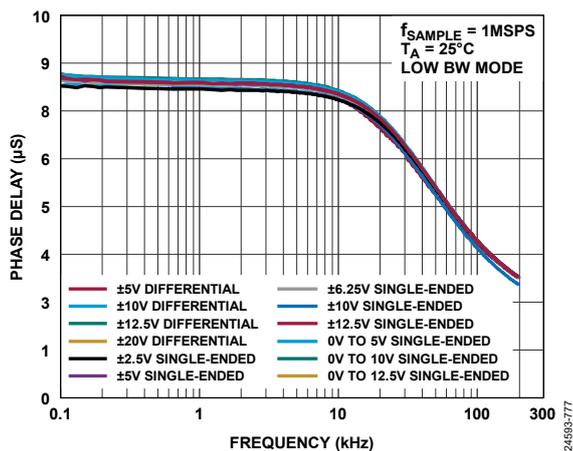


図 78. アナログ・アンチエイリアシング・フィルタの位相応答、低帯域幅モード

更に、AD7606C-18 ではチャンネルごとに ADC の高帯域幅モードを有効にすることができ、図 79 と図 80 に示すように、その場合は -3dB 周波数が最大で 220kHz まで移動します。図 63~図 68 に示すように、このモードは高速アナログ入力セトリング・アプリケーション専用です。

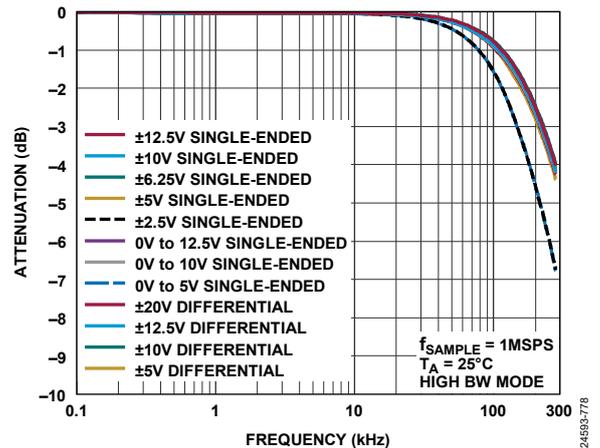


図 79. アナログ・アンチエイリアシング・フィルタの周波数応答、高帯域幅モード

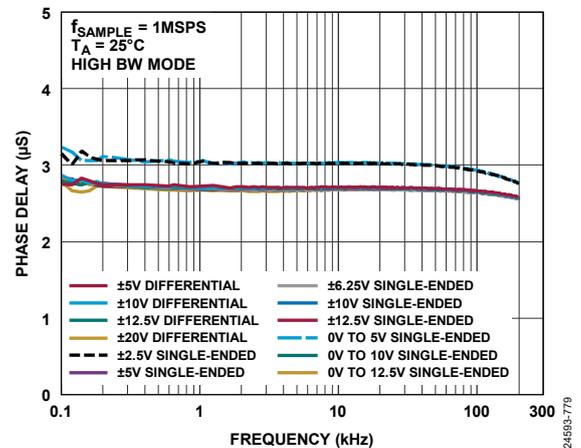


図 80. アナログ・アンチエイリアシング・フィルタの位相応答、高帯域幅モード

SAR ADC

AD7606C-18 の ADC は、フルスケール振幅の入力信号を 18 ビット分解能で正確に捉えることができます。8 個の SAR ADC は、すべて CONVST 信号の立上がりエッジでそれぞれの入力を同時にサンプリングします。

BUSY 信号は変換が進行中であることを示します。したがって、CONVST 信号の立上がりエッジで BUSY ピンがロジック・ハイになり、変換プロセス全体の終了時にローに遷移します。8 つすべてのチャンネルで変換プロセスが終了したことは、BUSY 信号の立下がりエッジによって示されます。次の変換セットのアクイジション時間は、BUSY 信号の立下がりエッジから開始されます。BUSY 信号がハイの間、CONVST の立上がりエッジは無視されます。

新しいデータは、BUSY 出力がローになってから、パラレル・インターフェースまたはシリアル・インターフェースを介して出力レジスタから読み出すことができます。あるいは、変換時の読出しのセクションに示すように、BUSY ピンがハイの間に前の変換のデータを読み出すことができます。

AD7606C-18には、変換を行うオンチップ発振器が組み込まれています。すべてのADCチャンネルの変換時間は t_{CONV} です（表3を参照）。ソフトウェア・モードには、CONVSTピンを通じて外部クロックを使用するためのオプションがあります。低ジッタの外部クロックを使用すれば、オーバーサンプリング比を大きくした場合のS/N比性能を改善することができます。詳細については、[デジタル・フィルタ](#)のセクションと図15～図18を参照してください。

使用しないアナログ入力チャンネルは、すべてAGNDに接続します。変換は、常にすべてのチャンネルに対して行われるので、データ読出しには未使用チャンネルの結果も含まれます。

ADCの伝達関数

バイポーラ・アナログ入力レンジ（シングルエンドまたは差動）でのAD7606C-18の出力コーディングは2の補数です。ユニポーラ・レンジでの出力コーディングはストレート・バイナリです。

設計上のコード遷移はLSBの連続する整数値の中間（1/2LSB、3/2LSB）で発生します。AD7606C-18のLSBサイズはFSR/262,144です。図81にAD7606C-18の理想的な伝達特性を示します。表11と表12に示すように、LSBサイズは選択したアナログ入力レンジに依存します。

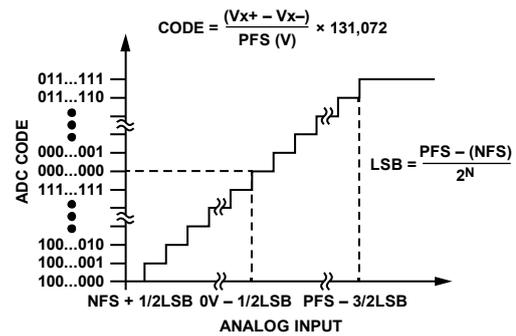


図 81. AD7606C-18 の理想的伝達特性、バイポーラ・アナログ入力レンジ（2の補数の出力コーディング）

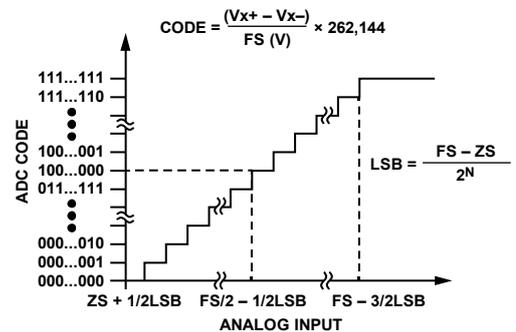


図 82. AD7606C-18 の理想的伝達特性、ユニポーラ・アナログ入力レンジ（ストレート・バイナリの出力コーディング）

表 11. バイポーラ入力電圧範囲

Range	PFS (V)	Midscale (V)	NFS (V)	LSB (μ V)
Differential, Bipolar				
±20 V	+20	0	-20	152.58
±12.5 V	+12.5	0	-12.5	95.36
±10 V	+10	0	-10	76.3
±5 V	+5	0	-5	38.1
Single-Ended, Bipolar				
±12.5 V	+12.5	0	-12.5	95.36
±10 V	+10	0	-10	76.3
±6.25 V	+6.25	0	-6.25	47.7
±5 V	+5	0	-5	38.1
±2.5 V	+2.5	0	-2.5	19

表 12. ユニポーラ入力電圧範囲

Range	FS (V)	Midscale (V)	ZS (V)	LSB (μ V)
Single-Ended, Unipolar				
0 V to 12.5 V	12.5	6.25	0	47.7
0 V to 10 V	10	5	0	38.1
0 V to 5 V	5	2.5	0	19

リファレンス

AD7606C-18 は 2.5V のバンド・ギャップ・リファレンスを内蔵しています。REFIN/REFOUT ピンは次のどちらかに使用できます。

- REF SELECT ピンがロジック・ハイに接続されている場合は、2.5V 内部リファレンスへのアクセス。
- REF SELECT がロジック・ローに接続されている場合は、2.5V 外部リファレンスの入力。

表 13. リファレンスの設定

REF SELECT Pin	Reference Selected
Logic High	Internal reference enabled
Logic Low	Internal reference disabled, an external 2.5 V reference voltage must be applied to the REFIN/REFOUT pin

図 83 に示すように、AD7606C-18 は、最大約 4.4V のリファレンス電圧が得られるように設定されたリファレンス・バッファを内蔵しています。この 4.4V バッファ付きリファレンスは、図 83 に示すように SAR ADC が使用します。リセット後の AD7606C-18 は、REF SELECT ピンで選択されたリファレンス・モードで動作します。REFCAPA ピンと REFCAPB ピンは外部で互いに短絡させ、REFGND ピンに 10 μ F のセラミック・コンデンサを接続してリファレンス・バッファの動作がクロズドループ動作となるようにする必要があります。REFIN/REFOUT ピンには 0.1 μ F のセラミック・コンデンサが必要です。

AD7606C-18 が外部リファレンス・モードに設定されている場合、REFIN/REFOUT ピンは高入力インピーダンス・ピンとなります。

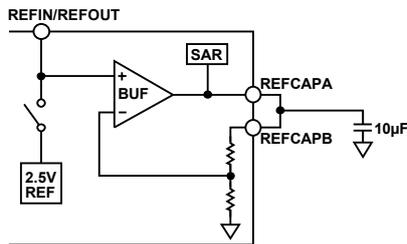


図 83. リファレンス回路

複数の AD7606C-18 デバイスの使用

複数の AD7606C-18 デバイスを使用するアプリケーションでは、そのアプリケーションの条件に応じて、外部リファレンス・モードのセクションと内部リファレンス・モードのセクションに示す構成を推奨します。

外部リファレンス・モード

1 つの外部リファレンスですべての AD7606C-18 デバイスの REFIN/REFOUT ピンを駆動することができます (図 84 を参照)。この設定では、少なくとも 100nF のデカップリング・コンデンサを使って、AD7606C-18 の各 REFIN/REFOUT ピンをデカップリングしてください。

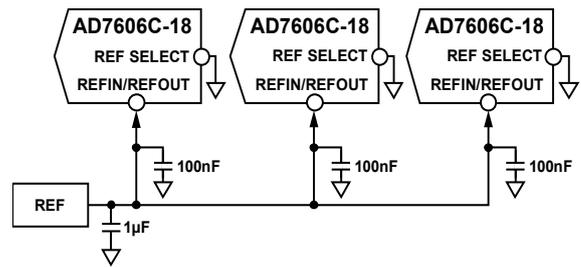


図 84. 1 つの外部リファレンスで複数の AD7606C-18 の REFIN/REFOUT ピンを駆動

内部リファレンス・モード

内部リファレンス・モードで動作するように設定された AD7606C-18 デバイス 1 個で、外部リファレンス・モードで動作するように設定された残りの AD7606C-18 デバイスを駆動することができます (図 85 参照)。内部リファレンス・モードに設定された AD7606C-18 の REFIN/REFOUT ピンは、10 μ F のセラミック・デカップリング・コンデンサを使ってデカップリングしてください。外部リファレンス・モードに設定された他の AD7606C-18 デバイスの REFIN/REFOUT ピンには、少なくとも 100nF のデカップリング・コンデンサを使用する必要があります。

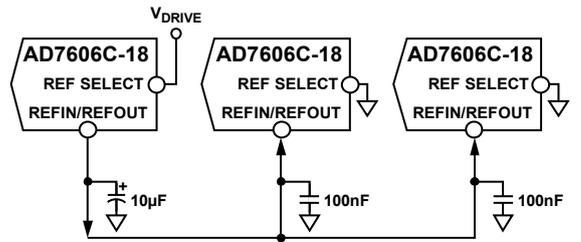


図 85. 内部リファレンスで複数の AD7606C-18 の REFIN/REFOUT ピンを駆動

動作モード

AD7606C-18 は、表 14 に示すように、OSx ピンを制御することによってハードウェア・モードまたはソフトウェア・モードで動作させることができます。

ハードウェア・モードの AD7606C-18 は、RANGE ピン、OSx ピン、または STBY ピンのロジック・レベルに応じて設定されます。AD7606C-18 は、AD7606、AD7606B、AD7608、および AD7609 と後方互換です。

ソフトウェア・モードでは、3 本の OSx ピンがすべてロジック・ハイに接続された状態の AD7606C-18 は、シリアルまたはパラレル・インターフェースを介してアクセスする対応レジスタによって設定されます。表 15 に示すように、このモードでは追加的な機能を使用できます。リファレンスとデータ・インターフェースは、ハードウェア・モードでもソフトウェア・モードでも、REF SELECT ピンと PAR/SER SEL ピンを通じて選択します。

表 14. オーバーサンプリング・ピンのデコード

OS2	OS1	OS0	AD7606C-18
0	0	0	No oversampling
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	Enters software mode

表 15. 機能マトリックス

パラメータ	ハードウェア・モード	ソフトウェア・モード
アナログ入力範囲 ¹	±10V または ±5V ²	シングルエンド、バイポーラ : ±12.5V、±10V、±6.25V、±5V、±2.5V ³ シングルエンド、ユニポーラ : 0V~12.5V、0V~10V、0V~5V ³ 差動、バイポーラ ±20V、±12.5V、±10V、±5V ³
システム・ゲイン、位相、オフセットのキャリブレーション	使用不可	使用可 ³
OSR	OS なし~OSR = 64	OS なし~OSR = 256
アナログ入力のオープン・サーキット検出	使用不可	使用可 ³
シリアル・データ出力ライン	2	選択可能 : 1、2、4、または 8。
診断機能	使用不可	使用可
パワーダウン・モード	スタンバイとシャットダウン	スタンバイ、シャットダウン、およびオートスタンバイ

¹ アナログ入力レンジの選択については表 10 を参照してください。

² 設定入力レンジはすべての入力チャンネルで同じです。

³ チャンネルごとの値です。

リセット機能

AD7606C-18 はフル・モードとパーシャル・モードの 2 つのリセット・モードを備えています。リセット・モードは、リセット・ハイ・パルスの長さに応じて選択されます。パーシャル・リセットを行うには、RESET ピンを 55ns~2μs にわたってハイに保持する必要があります。RESET ピン解除後 50ns (t_{DEVICE_SETUP}、パーシャル・リセット) でデバイスは完全に機能し、変換を開始することができます。フル・リセットを行うには、RESET ピンを少なくとも 3.2μs にわたってハイに保持する必要があります。RESET ピンの解除後 274μs (t_{DEVICE_SETUP}、フル・リセット) でデバイスは完全に再設定され、変換を開始することができます。

パーシャル・リセットを実行すると、以下のモジュールが再初期化されます。

- デジタル・フィルタ
- SPI およびパラレル・インターフェース、ADC モードにリセット
- SAR ADC
- CRC ロジック

パーシャル・リセット後は、ステータス・レジスタの RESET_DETECT ビットがアサートされます (アドレス 0x01、ビット 7)。現在の変換結果はパーシャル・リセットの完了後に破棄されます。パーシャル・リセットは、ソフトウェア・モードでプログラムされたレジスタ値、またはハードウェア・モードとソフトウェア・モードの両方でユーザ設定を格納するラッチには影響を与えません。

フル・リセットを行うとデバイスはデフォルトのパワーオン状態に戻り、ステータス・レジスタの RESET_DETECT ビットがアサートされて (アドレス 0x01、ビット 7)、電流変換結果が破棄されます。AD7606C-18 のフル・リセットを行うと、上に挙げた機能に加えて以下の機能が設定されます。

- ハードウェア・モードまたはソフトウェア・モード
- インターフェース・タイプ (シリアルまたはパラレル)

パワーダウン・モード

AD7606C-18 のハードウェア・モードには、2 種類のパワーダウン・モード (スタンバイ・モードとシャットダウン・モード) があります。STBY ピンは、表 16 に示すように、AD7606C-18 をノーマル・モードにするかパワーダウン・モード (2 つのモードのどちらか 1 つ) にするかを制御します。STBY ピンがローの場合は、RANGE ピンの状態によってパワーダウン・モードが選択されます。

表 16. パワーダウン・モードの選択、ハードウェア・モード

Power Mode	STBY Pin	RANGE Pin
Normal	1	X ¹
Standby	0	1
Shutdown	0	0

¹ X = ドント・ケア。

ソフトウェア・モードでのパワーダウン・モード選択は、メモリ・マップ内にある CONFIG レジスタの OPERATION_MODE ビット (アドレス 0x02、ビット [1:0]) を通じて行われます。ソフトウェア・モードでは、オートスタンバイ・モードと呼ばれる特別なパワーダウン・モードを使用できます。

表 17. CONFIG レジスタ (アドレス 0x02) によるソフトウェア・モードのパワーダウン・モード選択

Operation Mode	Address 0x02, Bit 1	Address 0x02, Bit 0
Normal	0	0
Standby	0	1
Autostandby	1	0
Shutdown	1	1

AD7606C-18 をシャットダウン・モードにするとすべての回路がパワーダウンされ、最大消費電流が 4.5μA まで減少します。パワーアップ時間は約 10ms です。AD7606C-18 をシャットダウン・モードからパワーアップするときは、必要なパワーアップ時間の経過後に AD7606C-18 をフル・リセットする必要があります。

AD7606C-18 をスタンバイ・モードにすると、合計消費電力量を最大で 6.5mA に抑えられるように、すべての PGA と SAR ADC が低消費電力モードになります。スタンバイ・モード終了後にリセットを行う必要はありません。

AD7606C-18 をオートスタンバイ・モードにすると（ソフトウェア・モードでのみ可能）、デバイスは BUSY 信号の立下がりエッジで自動的にスタンバイ・モードになります。AD7606C-18 は、CONVST 信号の立上がりエッジで自動的にスタンバイ・モードを終了します。したがって、CONVST 信号のロー・パルス時間は t_{WAKE_UP} （スタンバイ・モード） = 1 μ s より長くなります（[図 86](#)を参照）。

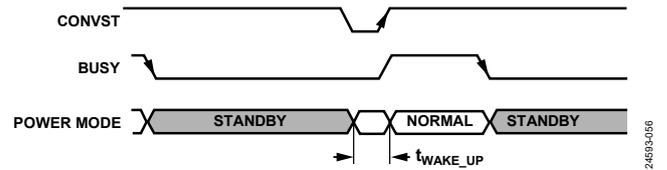


図 86. オートスタンバイ・モードの動作

24E93-056

デジタル・フィルタ

AD7606C-18にはオプションのデジタル平均化フィルタが組み込まれており、より高い S/N 比やダイナミック・レンジが必要とされる低スループット・レートアプリケーションでは、このフィルタをイネーブ爾することができます。

ハードウェア・モードでは、表 14 に示すように、オーバーサンプリング・ピン OSx を使って、デジタル・フィルタのオーバーサンプリング比を制御します。OSx ピンは、BUSY 信号の立下がりエッジでラッチされるか、フル・リセット時にラッチされます。

ソフトウェア・モードでは、すべての OSx ピンがロジック・ハイに接続されている場合、オーバーサンプリング・レジスタ (アドレス 0x08) を通じてオーバーサンプリング比を選択します。ソフトウェア・モードでは、更に 2 つのオーバーサンプリング比 (128 倍のオーバーサンプリングと 256 倍のオーバーサンプリング) を追加で選択できます。

オーバーサンプリング・モードでは、ADCは CONVST 信号の立下がりエッジで各チャンネルの最初のサンプルを取得します。最初のサンプルの変換後は、図 87 に示すように、内部で生成したサンプリング信号によってその後のサンプルが収集されます。このサンプリング信号は、外部オーバーサンプリング・クロックのセクションに示すように、外部から入力することも可能です。

例えば 8 倍のオーバーサンプリングを設定した場合は、8 個のサンプルが収集されて平均され、その結果が出力されます。CONVST 信号の立下がりエッジが最初のサンプリングをトリガして、残り 7 個のサンプルは内部生成したサンプリング信号 (OS_CLOCK) を使って収集されます。結果として、複数サンプルの平均をオンにすると S/N 比性能が向上しますが、最大スループット・レートは低下します。表 3 に示すように、オーバーサンプリング機能をオンにすると、BUSY 信号のハイ時間が (t_{CONV}) 長くなります。

±10V シングルエンド・レンジ、±20V 差動レンジ、および 0V ~10V シングルエンド・レンジの場合の、S/N 比と帯域幅およびスループットの間のトレード・オフを表 18 と表 19 に示します。

図 87 は、オーバーサンプリングをオンにすると変換時間 (t_{CONV}) が長くなることを示しています。この変換時間の延長に対処して読出しができるようにするには、スループット・レート ($1/t_{CYCLE}$) を下げる必要があります。オーバーサンプリングをオンにしたときにスループット・レートをできるだけ高い値にするには、変換時の読出しのセクションに説明したように、BUSY 信号がハイになっている間に読出しを行います。

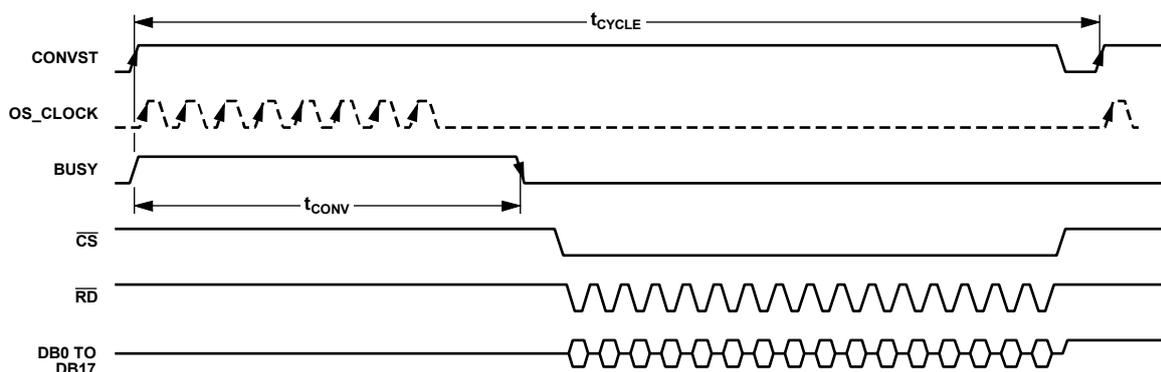


図 87. AD7606C-18 の 8 倍オーバーサンプリングの例
(変換後読出し、パラレル・インターフェース、OS_CLOCK は内部生成したサンプリング信号)

表 18. オーバーサンプリング性能、低帯域幅モード

Oversampling Ratio	Input Frequency (Hz)	±10 V Single-Ended Range		±20 V Differential Range		0 V to 10 V Single-Ended Range		Maximum Throughput (kSPS)
		SNR (dB)	-3 dB Bandwidth (kHz)	SNR (dB)	-3 dB Bandwidth (kHz)	SNR (dB)	-3 dB Bandwidth (kHz)	
No oversampling	1000	92.5	25	93	25	90	25	1000
2	1000	94.5	24.6	95	24.4	91.5	24.6	500
4	1000	96.5	24	97.2	23.7	92.3	24	250
8	1000	98	22.3	98.5	22.2	93.3	22.3	125
16	1000	98.5	17.8	99.1	17.6	94.3	17.8	62.5
32	160	102	11.6	102	11.5	96	11.6	31.25
64	160	102.5	6.5	102.5	6.4	97.5	6.4	15.6
128	50	104.5	3.3	104.4	3.4	99	3.3	7.8
256	50	105	1.7	104.7	1.7	100	1.7	3.9

表 19. オーバーサンプリング性能、高帯域幅モード

Oversampling Ratio	Input Frequency (Hz)	±10 V Single-Ended Range		±20 V Differential Range		0 V to 10 V Single-Ended Range		Maximum Throughput (kSPS)
		SNR (dB)	-3 dB Bandwidth (kHz)	SNR (dB)	-3 dB Bandwidth (kHz)	SNR (dB)	-3 dB Bandwidth (kHz)	
No oversampling	1000	87	220	89	220	82	220	1000
2	1000	89	154	91.5	154	84.5	155	500
4	1000	92	97.5	94.5	97.5	87	97.5	250
8	1000	95	53	96.5	53	89.5	53.5	125
16	1000	96.5	27.5	98	27.5	91.5	27.5	62.5
32	160	99.8	13.8	100.5	13.7	94	13.8	31.25
64	160	101.5	7	101.5	7	95.5	7	15.6
128	50	104	3.5	105	3.5	97	3.5	7.8
256	50	104.5	1.7	105.2	1.7	97.7	1.7	3.9

オーバーサンプリングのパディング

図 87 に示すように、内部的に生成したクロックは平均計算に使用するサンプルの収集をトリガし、ADC はその後続く CONVST 信号の立上がりエッジまでアイドル状態に保たれます。ソフトウェア・モードでは、オーバーサンプリング・レジスタ (アドレス 0x08) を通じ、図 88 に示すように最小限のアイドル時間でサンプリングのタイミングが等間隔となるように、内部クロック (OS_CLOCK) の周波数を変更することができます。結果として、実際のオーバーサンプリング・クロック周波数は、次式に従い OS_PAD ビットの構成に依存します。

$$OS_CLOCK(kHz) = \frac{1}{1000 \times (1 + \frac{OS_PAD}{16})}$$

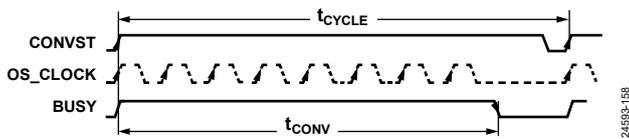


図 88. 8 倍オーバーサンプリングの例 (オーバーサンプリングのパディングをイネーブル)

外部オーバーサンプリング・クロック

ソフトウェア・モードには、オーバーサンプリング・モードが有効化されたときに、CONVST ピンを通じて外部クロックを使用するためのオプションがあります。また、低ジッタの外部クロックを使用すれば、オーバーサンプリング比を大きくした場合の S/N 比性能を改善する助けとなります。外部クロックを使用することにより、最適なアンチエイリアシング性能が得られるよう、一定の間隔で入力をサンプリングすることができます。

外部オーバーサンプリング・クロックをイネーブルするには、CONFIG レジスタのビット 5 (アドレス 0x02、ビット 5) をセットする必要があります。この場合のスループット・レートは次式で得られます。

$$\text{Throughput} = \frac{1}{t_{\text{CYCLE}} \times \text{OSR}}$$

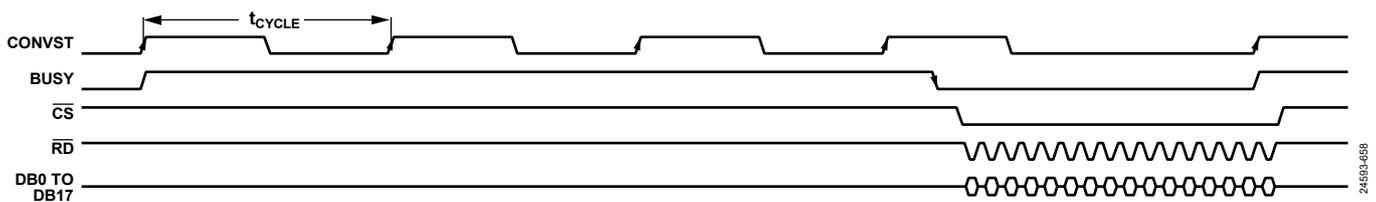


図 90. CONVST ピンに加えられる外部オーバーサンプリング・クロック (OSR = 4)、パラレル・インターフェース使用

つまり、図 90 に示すように、CONVST ピンを通じてクロックの OSR 値に従ってサンプリング信号が外部的に供給され、出力が平均されて提供されます。この機能は、パラレル・インターフェースまたはシリアル・インターフェースを通じて使用できます。

複数の AD7606C-18 デバイスの同時サンプリング

一般に、複数の SAR ADC の同期は、共通の CONVST 信号を使用することによって行われます。しかし、オーバーサンプリングが有効になっている場合、デフォルトでは、その後のサンプルは内部クロックを使ってトリガされます。これらの内部クロック間の差は、すべてデバイス間同期の妨げとなります。すべてのサンプルの CONVST 信号は外部的に管理されるので、この差は外部オーバーサンプリングを使用することで最小限に抑えることができます。

パシカル・リセット ($t_{\text{RESET}} < 2\mu\text{s}$) はオーバーサンプリング・プロセスに割り込んで、データ・レジスタを空にします。したがって、何らかの理由により異なる AD7606C-18 デバイスが同期されていない場合は、図 89 に示すように、パシカル・リセットを行うことでそれらのデバイスを再同期することができます。

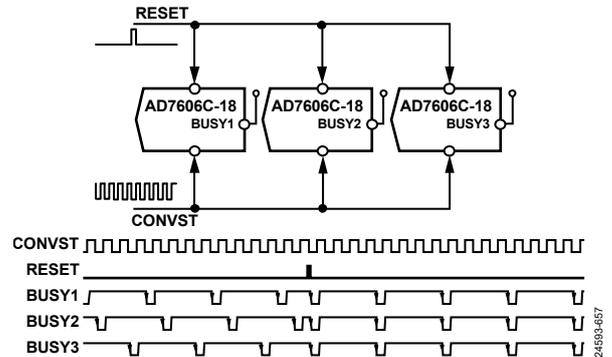


図 89. 外部オーバーサンプリング・クロックがイネーブルされている場合の複数の AD7606C-18 デバイスの同期

システム・キャリブレーション機能

ソフトウェア・モードでは、メモリ・マップ内の該当レジスタへ書き込みを行うことによって、以下のシステム・キャリブレーション機能を使用することができます。

- 位相キャリブレーション
- ゲイン・キャリブレーション
- オフセット・キャリブレーション
- アナログ入力オープン・サーキット検出

システム位相のキャリブレーション

外部フィルタ使用時は、図92に示すように、ディスクリート・コンポーネント間のミスマッチや使用センサーのミスマッチによって、チャンネル間に位相差を生じる可能性があります。ソフトウェア・モードでは、個々のチャンネルのサンプリング・タイミングを遅らせることによって、この位相差をチャンネルごとに補償できます。

特定チャンネルのサンプリング・タイミングは、該当するCHx_PHASEレジスタ（アドレス0x19～アドレス0x20）へ書き込みを行うことにより、CONVST信号の立上がりエッジに対し、1μs～255μsの時間分解能で遅らせることができます。

例えば、CH4_PHASEレジスタ（アドレス0x1C）に10（10進値）を書き込むと、図91に示すように、チャンネル4ではCONVST信号の立上がりエッジ後10μsにサンプリングが行われます。

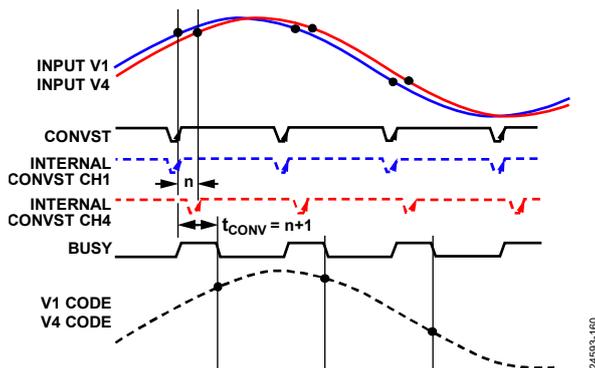


図91. システム位相キャリブレーション機能

いずれかのチャンネルを遅延させると、BUSY信号のハイ時間が長くなって、 t_{CONV} が $t_{CONV} = n + 1\mu s$ まで延長されます。ここでnは、最も遅延の大きいチャンネルのCHx_PHASEレジスタの内容です。前に説明した例で、CH4_PHASEレジスタだけがプログラムされている場合、 t_{CONV} は11μsです。したがって、より高いスループット・レートで動作させる場合は、このシナリオを考慮する必要があります。

システム・ゲインのキャリブレーション

アナログ入力フロントエンドに直列に配置された抵抗 R_{FILTER} を使用すると（図92参照）、システム・ゲイン誤差が生じます。ソフトウェア・モードでは、使用する直列抵抗の値を該当するレジスタ（アドレス0x09～アドレス0x10）に書き込むことによって、このゲイン誤差を補償することができます。これらのレジスタは、最大65kΩの直列抵抗を1024Ωの分解能で補償できます。

システム・ゲインのキャリブレーションは、バイポーラ・アナログ入力レンジ（シングルエンドと差動両方）でのみ行うことができます。ユニポーラ・シングルエンド・レンジでシステム・ゲインのキャリブレーションを行うことはできません。

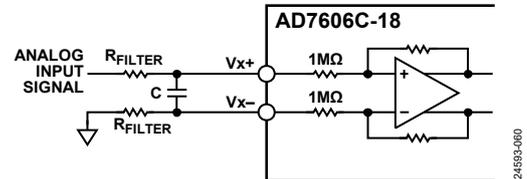


図92. システム・ゲイン誤差

例えば、チャンネル5のアナログ入力に27kΩの抵抗を直列に接続すると、図93に示すように、この抵抗は約-2%の正のフルスケール誤差をシステムに発生させます（±10Vレンジの場合）。ソフトウェア・モードでは、CH5_GAIN（アドレス0x0D）に27（10進値）を書き込むことによって、この誤差を補償できます。

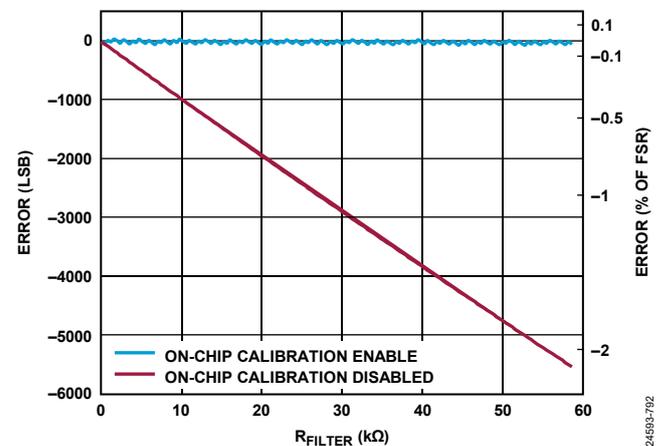


図93. システム・ゲインのキャリブレーション
（キャリブレーションが有効の場合と無効の場合、±10Vシングルエンド・レンジ）

システム・オフセットのキャリブレーション

ソフトウェア・モードでは、センサーに内在するオフセットや、特定のチャンネルに配置された R_{FILTER} ペア間のミスマッチによって生じるオフセット（アナログ・フロント・エンドのセクションを参照）を、チャンネルごとに補償できます。CHx_OFFSETレジスタ（アドレス0x11～アドレス0x18）を使用すれば、表20に示すように、ADCコードに最大512LSBを自動的に加算または減算することができます（分解能4LSB）。

例えば、チャンネル3に接続した信号に9mVのオフセットがあり、このオフセットを補償するためにアナログ入力レンジを±10Vに設定した場合は（LSBサイズ = 76.3μV）、該当レジスタを-30LSBに設定します（つまり、9mV/76.3μV/4）。CH3_OFFSETレジスタ（アドレス0x13）に128（10進値） - 30（10進値） = 0x80 - 0x1E = 0x62を書き込めば、このオフセットをなくすことができます。

表 20. CHx_OFFSET レジスタのビット・デコード

CHx_OFFSET Register Code	Offset Calibration (LSB)
0x00	-512
0x45	-236
0x80 (Default)	0
0x83	+12
0xFF	+508

アナログ入力のオープン・サーキット検出

AD7606C-18 にはアナログ入力のオープン・サーキット検出機能があり、ソフトウェア・モードで使用することができます。この機能を使用するには、図 94 に示すように R_{PD} を接続する必要があります。アナログ入力の接続が解除された場合（例えば図 94 のスイッチを開いた場合）は、 $R_S < R_{PD}$ である限り、ソース・インピーダンスが負荷抵抗 (R_S) から R_{PD} に変化します。AD7606C-18 が、PGA の共通モード電圧を内部的に切り替えることによってソース・インピーダンスの変化を検出できるように、 $R_{PD} = 20k\Omega$ とすることを推奨します。アナログ入力オープン・サーキット検出機能は、手動モードまたは自動モードで動作します。

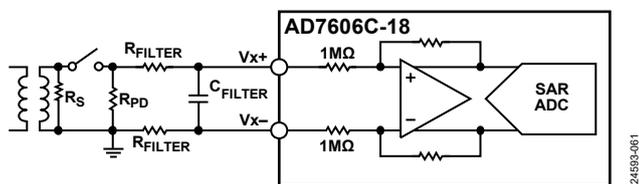


図 94. R_{PD} を接続したアナログ・フロント・エンド

アナログ入力のオープン・サーキット検出機能は、バイポーラ・アナログ入力レンジ（シングルエンドと差動両方）でのみ使用することができます。ユニポーラ・シングルエンド・レンジでアナログ入力のオープン・サーキット検出機能を使用することはできません。

手動モード

手動モードは、OPEN_DETECT_QUEUE レジスタ（アドレス 0x2C）に 0x01 を書き込むことによって有効になります。手動モードでは、OPEN_DETECT_ENABLE レジスタ（アドレス 0x23）の該当する CHx_OPEN_DETECT_EN ビットによって、それぞれの PGA コモンモード電圧を制御します。このビットをハイに設定すると、PGA コモンモード電圧が高くなります。アナログ入力にオープン・サーキットがあると、図 95 に示すように ADC 出力が R_{PD} に比例して変化します。オープン・サーキットがない場合は、PGA コモンモード電圧が変化しても ADC 出力は変化しません。

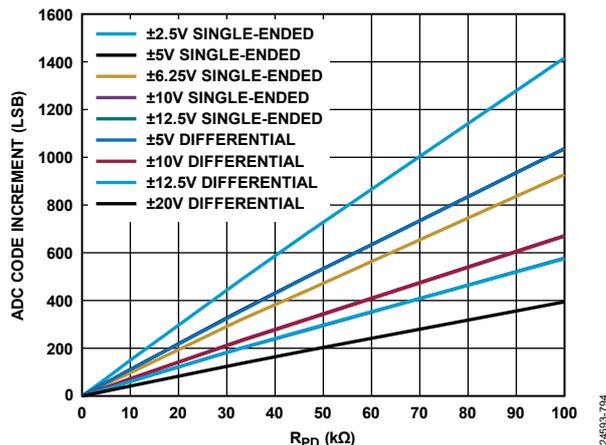


図 95. R_{PD} によるオープン・サーキット・コード誤差のインクリメント

自動モード

表 21 に示すように、自動モードは、OPEN_DETECT_QUEUE レジスタ (アドレス 0x2C) に 0x01 より大きい値を書き込むことによって有効化します。無変換状態の連続回数 (OPEN_DETECT_QUEUE レジスタで指定) が一定数を越えたことを ADC がレポートし、AD7606C-18 がこれを検出すると、アナログ入力オープン・サーキット検出アルゴリズムが内部で自動的に実行されます。図 96 に示すように、アナログ入力オープン・サーキット検出アルゴリズムは PGA コモンモード電圧を自動的に変更し、ADC 出力をチェックして、最初のコモンモード電圧に戻ります。PGA コモンモードの変化によっていずれかのチャンネルで ADC コードが変化した場合、これはそのアナログ入力に入力信号が接続されていないことを示唆しており、OPEN_DETECTED レジスタ (アドレス 0x24) 内に対応フラグがアサートされます。各チャンネルは、OPEN_DETECT_ENABLE レジスタ (アドレス 0x23) を通じて個別にイネーブルまたはディスエーブルできます。

オーバーサンプリングを使用しない場合、AD7606C-18 アナログ入力のオープン・サーキット自動検出のために設定する推奨最小変換回数は、次式で表されます。

$$\text{OPEN_DETECT_QUEUE} = 10 \times f_{\text{SAMPLE}} (R_{\text{PD}} + 2 \times R_{\text{FILTER}}) \times (C_{\text{FILTER}} + 10 \text{ pF})$$

ただし、オーバーサンプリング・モードを有効にした場合に使用する推奨最小変換回数は、次式で表されます。

$$\text{OPEN_DETECT_QUEUE} = 1 + (f_{\text{SAMPLE}} \times 2 (R_{\text{PD}} + 2 \times R_{\text{FILTER}}) \times (C_{\text{FILTER}} + 10 \text{ pF}) \times \text{OSR})$$

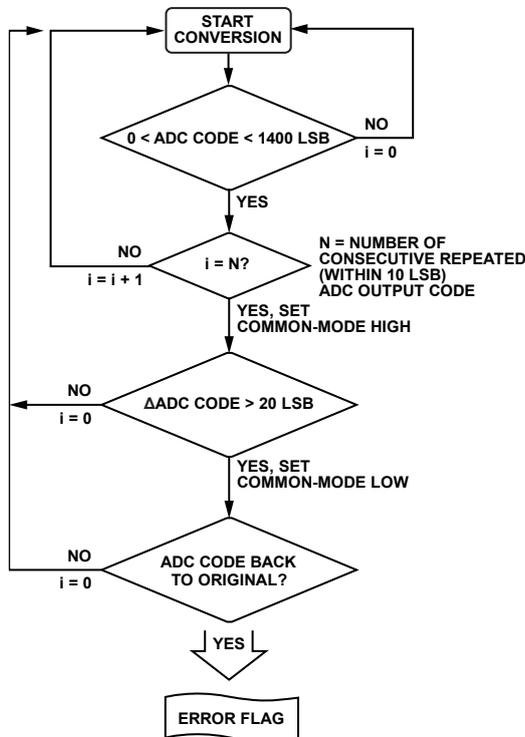


図 96. 自動アナログ入力オープン・サーキット検出フローチャート

表 21. アナログ入力オープン・サーキット検出モードの選択とレジスタの機能

OPEN_DETECT_QUEUE (アドレス 0x2C)	オープン検出モード	OPEN_DETECT_ENABLE (アドレス 0x23)
0x00 (デフォルト)	ディスエーブル。	該当せず。
0x01	手動。	コモンモード電圧をハイまたはローに設定 (チャンネルごと)
0x02 ¹ ~0xFF	自動。OPEN_DETECT_QUEUE は、CHx_OPENED フラグをアサートするまでの連続変換回数。	自動アナログ入力オープン・サーキット検出を有効化または無効化 (チャンネルごと)。

¹ OPEN_DETECT_QUEUE には 5 より大きい値を書き込むことを推奨します。

デジタル・インターフェース

AD7606C-18には、パラレル・インターフェースおよび高速シリアル・インターフェースという2つのインターフェース・オプションがあります。必要なインターフェース・モードは PAR/SER SEL ピンを介して選択します。

表 22. インターフェース・モードの選択

PAR/SER SEL Setting	Interface Mode
0	Parallel interface
1	Serial interface

インターフェース・モードの動作は、ハードウェア・モードのセクションとソフトウェア・モードのセクションに分けて説明します。

ハードウェア・モード

ハードウェア・モードで使用できるのは ADC モードだけです。AD7606C-18 の ADC データは、標準 CS 信号と RD 信号を使いパラレル・データ・バスを介して読み出すか、標準 CS 信号、SCLK 信号、および2つの DOUTX 信号を使いシリアル・インターフェースを介して読み出すことができます。

ADCモード動作の詳細については、[変換結果の読出し（パラレルADCモード）](#)のセクションと、[変換結果の読出し（シリアルADCモード）](#)のセクションを参照してください。

ソフトウェア・モード

ソフトウェア・モードは、3本の OSx ピンすべてをハイに接続した場合のみアクティブになります。このモードでは、ADC モードとレジスタ・モードの両方を使用できます。AD7606C-18 の ADC データは、標準 CS、RD、および WR 信号を使いパラレル・データ・バスを介して読み出すか、CS、SCLK、SDI、および DOUTA ラインを使いシリアル・インターフェースを介して読み出すことができます。また、AD7606C-18 のレジスタの読出しと書き込みも同じ方法で行うことができます。

レジスタ・モード動作の詳細については、[パラレル・レジスタ・モード（レジスタ・データの書き込み）](#)と[パラレル・レジスタ・モード（レジスタ・データの読出し）](#)のセクションを参照してください。

表 23 に示すように、ピン機能は、選択したインターフェース（パラレルまたはシリアル）と動作モード（ハードウェアまたはソフトウェア）によって異なります。

表 23. 動作モードごとのデータ・インターフェース・ピン機能

Pin Mnemonic	Pin No.	Parallel Interface			Serial Interface		
		Hardware Mode	Software Mode		Hardware Mode	Software Mode	
			ADC Mode	Register Mode		ADC Mode	Register Mode
DB2 to DB4	16 to 18	DB2 to DB4	Register data	N/A ¹		N/A	
DB5/D _{OUT} E	19	DB5	Register data	N/A	D _{OUT} E ²	Unused	
DB6/D _{OUT} F	20	DB6	Register data	N/A	D _{OUT} F ²	Unused	
DB7/D _{OUT} G	21	DB7	Register data	N/A	D _{OUT} G ²	Unused	
DB8/D _{OUT} H	22	DB8	Register data	N/A	D _{OUT} H ²	Unused	
DB9/D _{OUT} A	24	DB9	Register data (MSB)	D _{OUT} A	D _{OUT} A	D _{OUT} A	
DB10/D _{OUT} B	25	DB10	ADD0	D _{OUT} B	D _{OUT} B ³	Unused	
DB11/D _{OUT} C	27	DB11	ADD1	N/A	D _{OUT} C ⁴	Unused	
DB12/D _{OUT} D	28	DB12	ADD2	N/A	D _{OUT} D ⁴	Unused	
DB13/SDI	29	DB13	ADD3	N/A	Unused	SDI	
DB14 to DB16	30	DB14	ADD4	N/A		N/A	
DB15	31	DB15	ADD5	N/A		N/A	
DB16/DB0	32	DB16/DB0 ⁵	ADD6	N/A		N/A	
DB17/DB1	33	DB17/DB1 ⁵	R/W	N/A		N/A	

¹ N/A は該当なしを意味します。N/A と表示されたピンはすべて AGND に接続してください。

² CONFIG レジスタで 8 D_{OUTX} モードを選択した場合のみ使用し、それ以外は未接続のままにします。

³ CONFIG レジスタで 2 D_{OUTX}、4 D_{OUTX}、または 8 D_{OUTX} モードを選択した場合のみ使用し、それ以外は未接続のままにします。

⁴ CONFIG レジスタで 4 D_{OUTX} または 8 D_{OUTX} モードを選択した場合のみ使用し、それ以外は未接続のままにします。

⁵ ピン機能は、その読出しフレームが ADC 読出し動作時の最初のフレームか2番目のフレームかによって異なります。[図 99](#)を参照してください。

パラレル・インターフェース

パラレル・インターフェースを介して ADC データの読出しやレジスタ内容の読出しおよび書込みを行うには、PAR/SER SEL ピンをローに接続します。

バスは、 $\overline{\text{CS}}$ 入力信号の立上がりエッジでスリーステートになり、 $\overline{\text{CS}}$ 入力信号の立下がりエッジで高インピーダンス状態が終了します。 $\overline{\text{CS}}$ はデータ・ラインをイネーブルする制御信号で、複数の AD7606C-18 デバイスが同じパラレル・データ・バスを共有できるようにします。

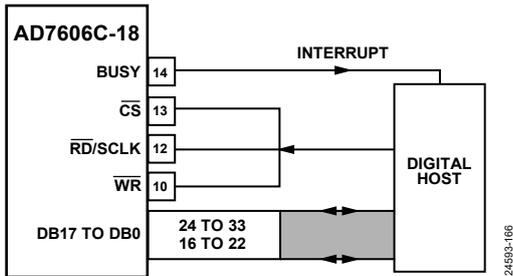


図 97. AD7606C-18 のインターフェース図 - $\overline{\text{CS}}$ と $\overline{\text{RD}}$ を互いに短絡したパラレル・バス使用の AD7606C-18

変換結果の読出し (パラレル ADC モード)

出力変換結果レジスタからのデータ読出しは、 $\overline{\text{RD}}$ ピンの立下がりエッジで行われます。 $\overline{\text{RD}}$ パルスのシーケンスを $\overline{\text{RD}}$ ピンに加えると、各チャンネルからパラレル・バスに変換結果がクロック・アウトされます (DB17~DB0)。出力は、図 98 に示すように V1 から V8 まで昇順で行われます。

パラレル・インターフェースは、ピン 16 からピン 22 およびピン 24 からピン 33 までの 16 のパラレル・ラインで構成されます。ADC データは 18 ビットなので、以下に示すように 2 つのパラレル・フレームが必要です。

- 最初のフレームは、ビット 2~ビット 17 (MSB) の ADC データをクロック・アウトします。
- 2 つめのフレームは、ビット 1~ビット 0 (LSB) の ADC データをクロック・アウトします。

図 3 に示すように、 $\overline{\text{CS}}$ 信号は終始ローに接続したままにすることができ、 $\overline{\text{RD}}$ 信号は変換結果にアクセスすることができます。新しいデータの読出し動作は、BUSY 信号がローになった後に行うことができます (図 2 を参照)。もしくは、BUSY ピンがハイのときに、直前の変換プロセスからデータを読み出すことができます。

使用している AD7606C-18 がシステム内に 1 個だけで、そのデバイスがパラレル・バスを共有していない場合は、デジタル・ホストからの制御信号を 1 つ使ってデータを読み出すことができます。 $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号は、図 4 に示すように互いに接続できます。この場合、 $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号の立下がりエッジがデータ・バスのスリーステートを解除し、データをクロック・アウトします。

図 4 に示すように、FRSTDATA 出力信号は、最初のチャンネル V1 をリードバックするタイミングを示します。FRSTDATA 出力ピンは、 $\overline{\text{CS}}$ 入力が高レベルのときにスリーステートになります。 $\overline{\text{CS}}$ の立下がりエッジでスリーステートが解除されます。FRSTDATA ピンは V1 の結果に対応する $\overline{\text{RD}}$ 信号の立下がりエッジでハイに設定されて、出力データ・バス上で V1 の結果を使用できることを示します。FRSTDATA ピンは、 $\overline{\text{RD}}$ の次の立下がりエッジ後にロジック・ローに戻ります。

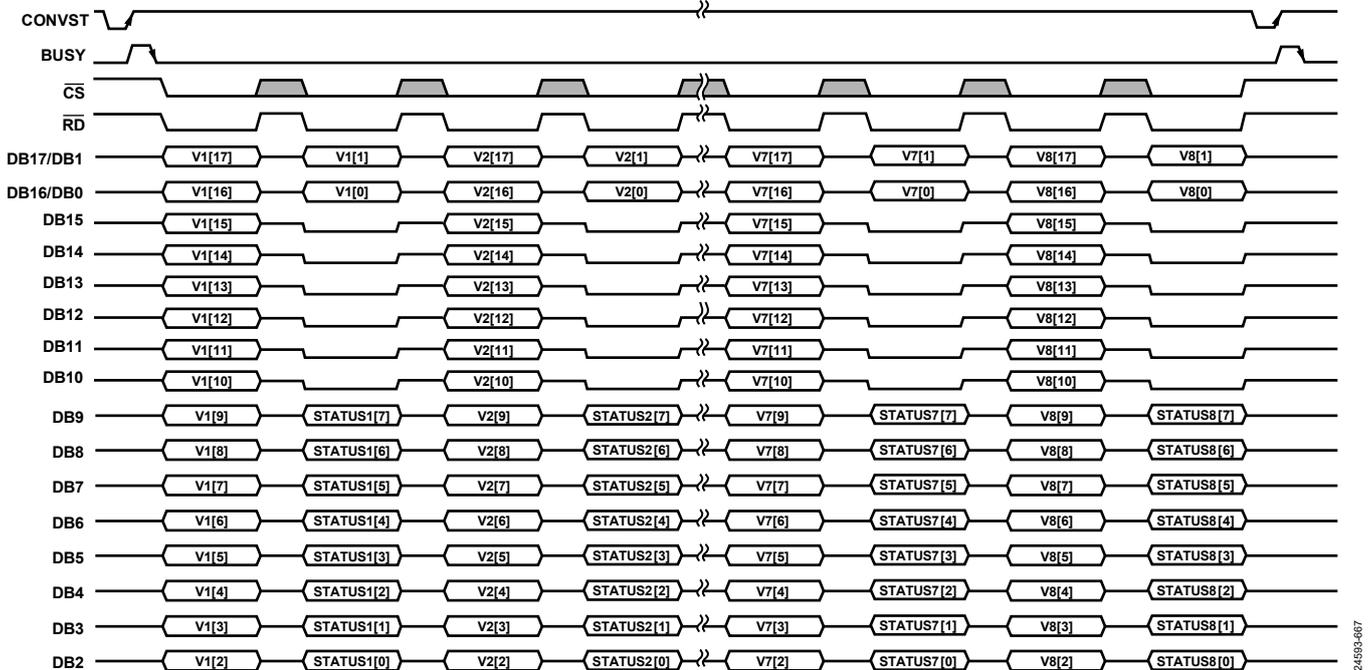


図 98. パラレル・インターフェース、ステータス・ヘッダをイネーブルした ADC モード

変換時の読出し

AD7606C-18 からのデータ読出し動作については、[図 99](#) に示すように、以下の 3 つのシナリオが考えられます。

- 変換後、BUSY ラインがローになっているとき
- 変換中、BUSY ラインがハイになっているとき
- BUSY ラインがローになっているときに開始し、その後の変換が進行中に終了。[図 2](#) を参照。

変換中の読出しはコンバータの性能にほとんど影響せず、より高いスループット・レートを実現することができます。出力データ・レジスタは、BUSY 信号の立下がりエッジで新しい変換データに更新されます。したがって、AD7606C-18 からのデータ読出しは、BUSY 信号の立下がりエッジを除いて、いつでも行うことができます。BUSY 信号がハイの時のデータ読出しは、すべて BUSY 信号の立下がりエッジ前に完了させる必要があります。

CRC を有効にしたパラレル ADC モード

ソフトウェア・モードでは、INT_CRC_ERR_EN ビット (アドレス 0x21、ビット 2) を通じて CRC を有効化することにより、パラレル・インターフェースを使い、CRC が付加された ADC データを読み出すことができます。CRC は 16 ビットで、[図 100](#) に示すように、8 チャンネルすべての変換を読み出した後にクロック・アウトされます。CRC 計算には、DBx ピンのすべてのデータが含まれます (データ、ステータスが付加された場合はそのステータス、およびゼロ)。CRC の詳細については、[診断機能](#)のセクションを参照してください。

ステータスをイネーブルしたパラレル ADC モード

ソフトウェア・モードでは、CONFIG レジスタのビット 6 (アドレス 0x02、ビット 6) をセットすることによって 8 ビットのステータス・ヘッダがイネーブルされ ([表 25](#) 参照)、その後に各チャンネルが以下に示す 2 フレームのデータを取得します。

- 最初のフレームは、DB17~DB2 を通じて MSB からビット 2 までの ADC データを通常通りクロック・アウトします。
- 2 番目のフレームは、DB9~DB2 でそのチャンネルのステータス・ヘッダをクロック・アウトします。ここで、DB9 はステータス・ヘッダの MSB、DB2 は LSB です。DB1~DB0 は変換結果の 2 つの LSB をクロック・アウトし、更に DB15~DB10 ピンがゼロをクロック・アウトします。

このシーケンスを [図 98](#) に示します。ステータス・ヘッダの内容と各ビットの説明は [表 25](#) に示します。

表 24. ステータス・ヘッダの CH.ID ビット・デコード

CH.ID2	CH.ID1	CH.ID0	Channel Number
0	0	0	Channel 1 (V1)
0	0	1	Channel 2 (V2)
0	1	0	Channel 3 (V3)
0	1	1	Channel 4 (V4)
1	0	0	Channel 5 (V5)
1	0	1	Channel 6 (V6)
1	1	0	Channel 7 (V7)
1	1	1	Channel 8 (V8)

表 25. ステータス・ヘッダ、パラレル・インターフェース

	ビット 7 (MSB)	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0 (LSB)
内容	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	RESERVED		CH. ID 2	CH. ID 1	CH. ID 0
意味 ¹	リセット検出	アドレス 0x22 のエラー・フラグ	このチャンネルのアナログ入力オープン状態			チャンネル ID (表 24 参照)。		

¹ 詳細については [診断機能](#) のセクションを参照してください。

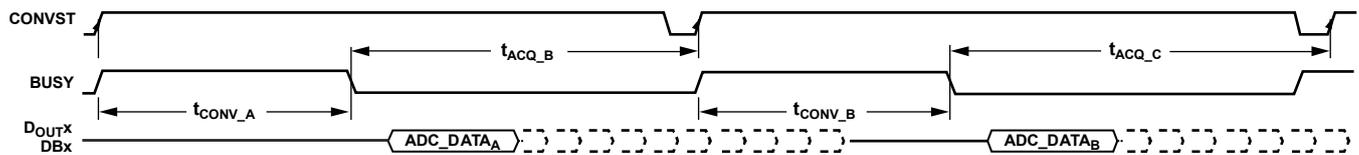


図 99. ADC データの読出しは、変換後、またはその後の変換中に行える

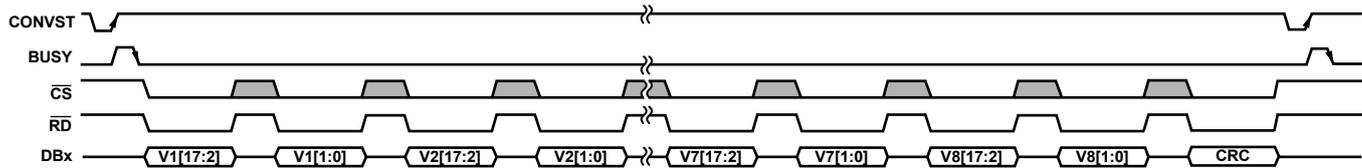


図 100. パラレル・インターフェース、CRC を有効にした ADC モード

パラレル・レジスタ・モード (レジスタ・データの読出し)

ソフトウェア・モードでは、表31内のすべてのレジスタをパラレル・インターフェース経由で読み出すことができます。ビットレジスタ内容読出しのためにCS信号とRD信号が共にロジック・ローになったとき、またはレジスタ・アドレスまたはレジスタ内容の書き込みのためにCS信号とWR信号がともにロジック・ローになったときに、[DB17:DB2]の高インピーダンス状態が終了します。

レジスタの読出しは2つのフレームを通じて行われます。最初に読出しコマンドがAD7606C-18に送られ、次にAD7606C-18がレジスタ内容をクロック・アウトします。これらのレジスタ読出しコマンドに使用するフォーマットを図101に示します。最初のフレームでは、以下のことを行います。

- 読出しコマンドを選択するには、ビットDB17を1に設定する必要があります。読出しコマンドはAD7606C-18をレジスタ・モードにします。
- ビット[DB16:DB10]にはレジスタ・アドレスが格納されていなければなりません。
- 後続の8つのビット(ビット[DB9:DB2])は無視されます。

レジスタ・アドレスは、 \overline{WR} 信号の立上がりエッジでAD7606C-18にラッチされます。これによりレジスタの内容は、以下に示すように次のフレームでRDラインをローにすることによって、ラッチされたレジスタから読み出すことができます。

- ビットDB17はAD7606C-18によって0にプルダウンされます。
- ビット[DB16:DB10]は読出しレジスタのアドレスを提供します。
- その後の8ビット(ビット[DB9:DB2])はレジスタの内容を提供します。

ADCモードへ戻るには、パラレル・レジスタ・モード(レジスタ・データの書き込み)のセクションに示すように、1つのWRサイクルの間、すべてのDBxピンをローに維持します。デバイスがレジスタ・モードにある間は、ADCデータを読み出すことはできません。

パラレル・レジスタ・モード (レジスタ・データの書き込み)

ソフトウェア・モードでは、表31内のすべての読出し/書き込みレジスタに対しパラレル・インターフェースを介して書き込みを行うことができます。一連のレジスタへの書き込みを行うには、メモリ・マップ上の任意のレジスタを読み出すことによって、ADCモード(デフォルト・モード)を終了します。レジスタへの書き込みコマンドは、パラレル・バス(ビット[DB17:DB2])、CS信号、およびWR信号を介して1つのフレームで実行されます。図101に示す書き込みコマンドのフォーマットは、以下のよう構成されます。

- 書き込みコマンドを選択するには、ビットDB17を0に設定する必要があります。
- ビット[DB16:DB10]には、レジスタのアドレスが格納されます。
- 後続の8ビット(ビット[DB9:DB2])には、選択したレジスタに書き込むデータが格納されます。

データは、 \overline{WR} ピンの立上がりエッジでデバイスにラッチされます。ADCモードへ戻るには、1つのWRサイクルの間、すべてのDBxピンをローに維持します。デバイスがレジスタ・モードにある間は、ADCデータを読み出すことはできません。

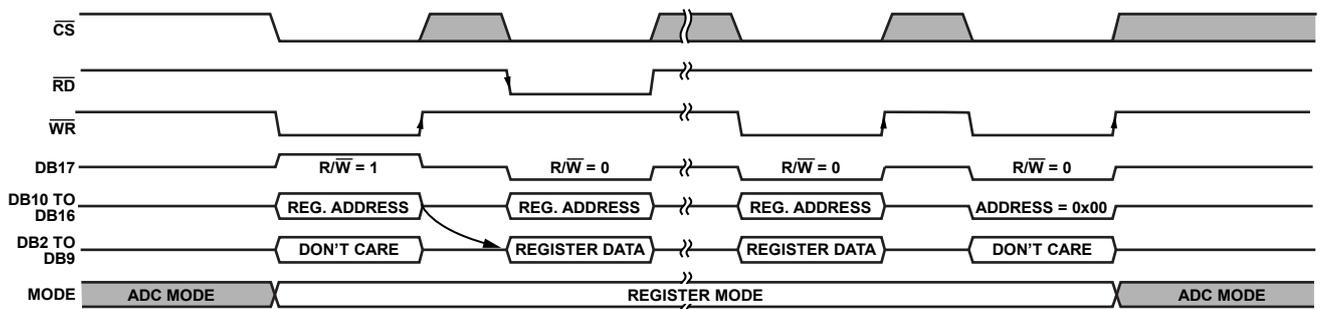


図 101. パラレル・インターフェースでのレジスタ読出し動作とその後の書き込み動作

シリアル・インターフェース

シリアル・インターフェースを介して ADC データの読出しやレジスタ内容の読出しおよび書込みを行うには、PAR/SER SEL ピンをハイに接続します。

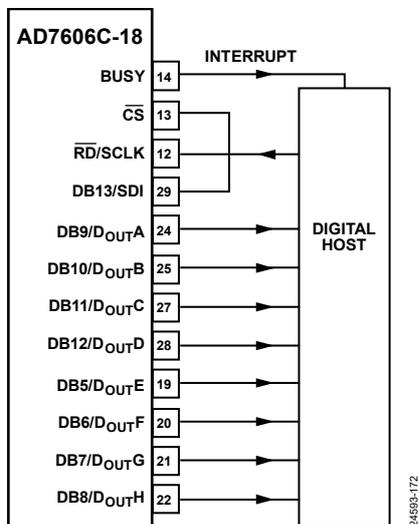


図 102. AD7606C-18 のインターフェース - シリアル・インターフェースと 8 つの D_{OUTX} を使用する AD7606C-18

変換結果の読出し (シリアル ADC モード)

AD7606C-18には8つのシリアル・データ出力ピン (D_{OUTA} ~ D_{OUTH}) があります。ソフトウェア・モードでは、CONFIGレジスタを通じて設定された構成に応じ、1つ (図106参照)、2つ (図103参照)、4つ (図104参照)、または8つ (図105参照) の D_{OUTX}ラインを使って、AD7606C-18のデータをリードバックすることができます。

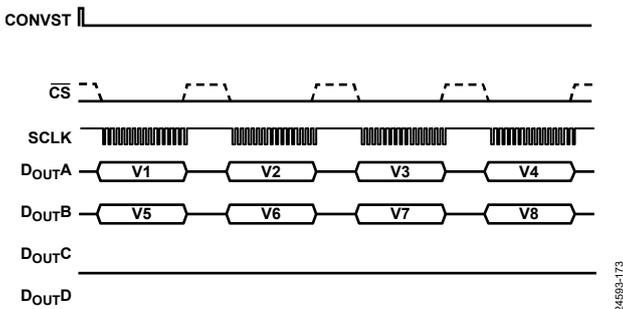


図 103. シリアル・インターフェースでの ADC 読出し、2 D_{OUTX} ライン

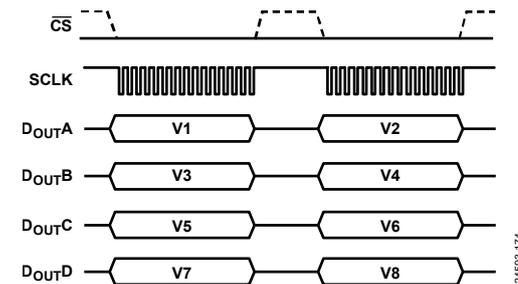


図 104. シリアル・インターフェースでの ADC 読出し、4 D_{OUTX} ライン

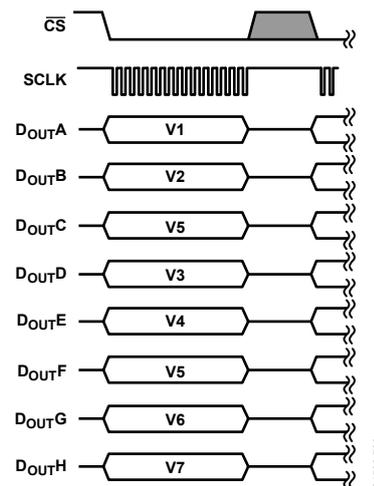


図 105. シリアル・インターフェースでの ADC 読出し、8 D_{OUTX} ライン

表 26. CONFIG レジスタ (アドレス 0x02) による D_{OUTX} フォーマットの選択

D _{OUTX} Format	Address 0x02, Bit 4	Address 0x02, Bit 3
1 D _{OUTX}	0	0
2 D _{OUTX}	0	1
4 D _{OUTX}	1	0
8 D _{OUTX}	1	1

ハードウェア・モードで使用できるのは、2 D_{OUTX}ラインのオプションだけです。ただし、2つのCONVSTパルスの間に8個の18ビットSPIフレームを置くことによって、D_{OUTA}からすべてのチャンネルを読み出すことができます。

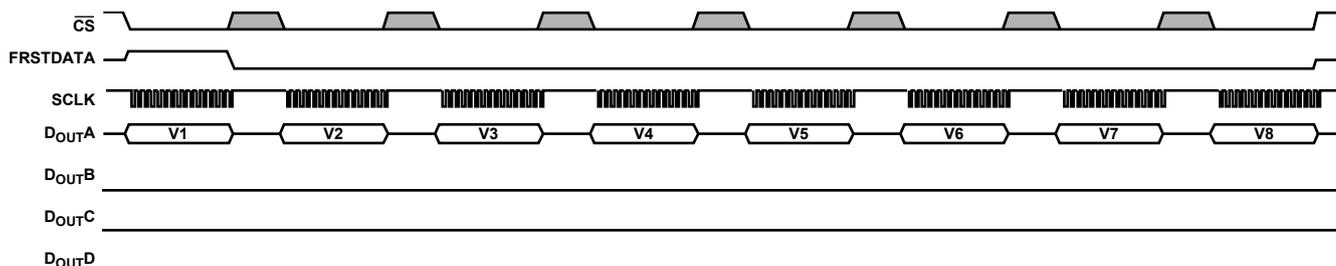


図 106. シリアル・インターフェースでの ADC 読出し、1 D_{OUTX} ライン

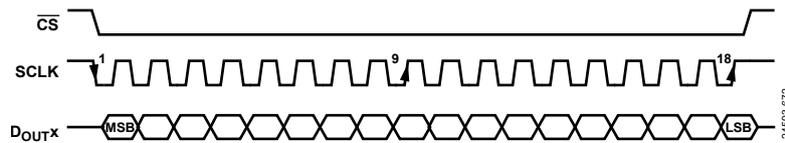


図 107. シリアル・インターフェースでのデータ・リードバック (1チャンネル)

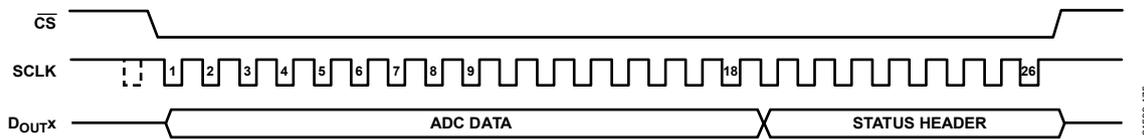


図 108. シリアル・インターフェース (ADC モード、ステータス・オン)

図107に示すように、 \overline{CS} の立下がりエッジでデータ出力ライン D_{OUTX} のスリーステートが解除されて、変換結果のMSBがクロック・アウトされます。

3線モード (\overline{CS} をローに接続) では、 \overline{CS} ではなく、BUSY 信号の立下がりエッジがMSBをクロック・アウトします。図6に示すように、SCLK 信号の立上がりエッジは、シリアル・データ出力 D_{OUTX} のその後のすべてのデータ・ビットをクロックします。CS入力は、シリアル読み出し動作中、常にローに保持するか、24SCLK サイクルの各チャンネル読み出しをフレーム化するためのパルスとすることができます (図103参照)。ただし、チャンネル変換結果の転送中に \overline{CS} をパルスとする場合、中断されたチャンネルは次のフレームで再転送されます。この再転送は、MSB から開始して最初から完全にやり直されます。

図106に示すように、データは D_{OUTA} ピンだけを使ってクロック・アウトすることもできます。AD7606C-18が1つの D_{OUTX} ラインで8つの変換結果すべてにアクセスするには、合計144個のSCLK サイクルが必要です。ハードウェア・モードでは、 \overline{CS} 信号によって、これら144個のSCLK サイクルを18個ずつのSCLK サイクルのグループにフレーム化する必要があります。 D_{OUTX} ラインを1つしか使用しないことの欠点は、変換後に読み出しを行うとスループット・レートが低下することです。シリアル・モードでは、使用しない D_{OUTX} ラインを接続しないでください。

AD7606C-18の4つの D_{OUTX} ラインを使用して、8つの同時変換結果を読み出す様子を図104に示します (ソフトウェア・モードで実行可能)。この場合は36個のSCLK 転送でAD7606C-18からのデータにアクセスし、 \overline{CS} は36個のSCLK サイクルすべてをフレーム化するためにローに保持されるか、2個の18ビット・フレームの間でパルス化されます。このモードはソフトウェア・モードでのみ使用でき、CONFIG レジスタ (アドレス0x02) を通じて設定されます。

\overline{CS} 信号によってフレーム化された1チャンネルのデータを、シリアル・モードのAD7606C-18から読み出すためのタイミングを、図6に示します。SCLK入力信号は、シリアル読み出し動作のためのクロック源を提供します。 \overline{CS} 信号がローになると、AD7606C-18のデータへのアクセスが行われます。

FRSTDATA出力信号は、最初のチャンネルV1をリードバックするタイミングを示します。FRSTDATA出力ピンは、 \overline{CS} 入力がハイ・レベルのときにスリーステートになります。シリアル・モードでは、 \overline{CS} 信号の立下がりエッジがFRSTDATAピンのスリーステートを解除し、BUSYラインのアサートが既に解除されている場合はFRSTDATAピンをハイにセットして、 D_{OUTA} 出力データ・ライン上でV1の結果を使用できることを示します。FRSTDATA出力は、18番目のSCLK立下がりエッジの後にロジック・ローに戻ります。 \overline{CS} ピンを常時ローに接続した場合は (3線モード)、 D_{OUTA} 上でV1の結果を使用できるようになると、BUSYラインの立下がりエッジがFRSTDATAピンをハイにセットします。

SDIをローまたはハイに接続すると、AD7606C-18には何もクロックされません。したがって、デバイスは変換結果の読み出しを続けます。AD7606C-18を3線モードで使用するときは、SDIをハイ・レベルに保持してください。ADCモードでは、図108に示すようにシングル書き込み動作が可能です。一連のレジスタへ書き込みを行う場合は、シリアル・レジスタ・モード (レジスタ・データの書き込み) の説明に従ってレジスタ・モードに切り替えてください。

変換時の読み出し

AD7606C-18からのデータ読み出し動作については、図99に示すように、以下の3つのシナリオが考えられます。

- 変換後、BUSYラインがローになっているとき
- 変換中、BUSYラインがハイになっているとき
- BUSYラインがローになっているときに開始し、その後の変換が進行中に終了。図2を参照。

変換中の読み出しはコンバータの性能にほとんど影響せず、より高いスループット・レートを実現することができます。出力データ・レジスタは、BUSY信号の立下がりエッジで新しい変換データに更新されます。したがって、AD7606C-18からのデータ読み出しは、BUSY信号の立下がりエッジを除いて、いつでも行うことができます。BUSY信号がハイの時のデータ読み出しは、すべてBUSY信号の立下がりエッジ前に完了させる必要があります。

CRC を有効にしたシリアル ADC モード

ソフトウェア・モードでは、レジスタ・マップへの書き込みによって CRC を有効化することができます。この場合は、[図 114](#) に示すように、最後のチャンネルがクロック・アウトされた後で各 D_{OUTX} ラインに CRC が付加されます。CRC 計算の詳細については [インターフェース CRC](#) のセクションを参照してください。

ステータスをイネーブルしたシリアル ADC モード

ソフトウェア・モードでは、シリアル・インターフェース使用時に 8 ビットのステータス・ヘッダ ([表 27](#) 参照) をオンにすることができ、この場合は、[図 108](#) に示すように、それぞれの 18 ビット・データの変換後にステータス・ヘッダを付加することで、フレーム・サイズがチャンネルあたり 26 ビットに拡張されます。

シリアル・レジスタ・モード (レジスタ・データの読出し)

[表 31](#) 内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。読出しコマンドのフォーマットを [図 109](#) に示します。コマンドは 2 つの 16 ビット・フレームからなります。最初のフレームでは、以下のことを行います。

- アドレスの書き込みをイネーブルするには、SDI で最初にクロックされるビットを 0 に設定する必要があります。

- 読出しコマンドを選択するには、SDI で 2 番目にクロックされるビットを 1 に設定する必要があります。
- SDI にクロック・インされるビット [3:8] には、次のフレームで D_{OUTA} にクロック・アウトするレジスタ・アドレスが格納されます。
- SDI にクロック・インされる後続の 8 ビット (ビット [9:16]) は無視されます。

AD7606C-18 が ADC モードの場合、D_{OUTX} ラインはビット [9:16] の ADC データのクロッキングを続け、AD7606C-18 はその後でレジスタ・モードに切り替わります。

AD7606C-18 がレジスタ・モードの場合は、D_{OUTX} ラインは直前にアドレス指定されたレジスタの内容をリードバックします。直前のフレームが読出しコマンドか書き込みコマンドかは問いません。レジスタ・モードを終了するには、[図 110](#) に示すように、16 SCLK サイクルにわたって SDI ラインをローに維持します。

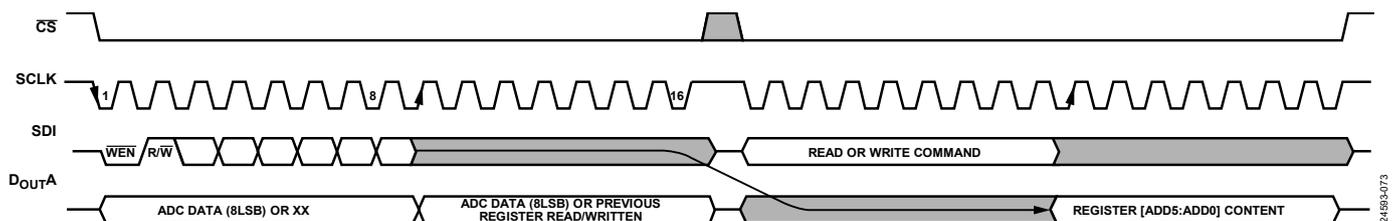


図 109. シリアル・インターフェースの読出しコマンド (最初のフレームがアドレスを指定し、2 番目のフレームがレジスタの内容を提供)

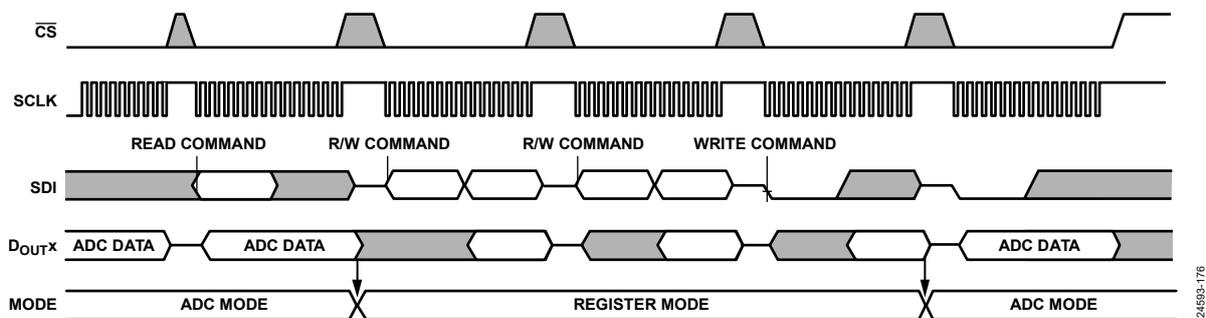


図 110. AD7606C-18 のレジスタ・モード

表 27. ステータス・ヘッダ (シリアル・インターフェース)

	ビット 7 (MSB)	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0 (LSB)
内容	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	RESERVED		CH.ID 2	CH.ID 1	CH.ID 0
意味 ¹	リセット検出	アドレス 0x22 のエラー・フラグ	このチャンネルのアナログ入力オープン状態			チャンネル ID (表 24 参照)。		

¹ 詳細については [診断機能](#) のセクションを参照してください。

シリアル・レジスタ・モード (レジスタ・データの書込み)

ソフトウェア・モードでは、表 31 内のすべての読出しおよび書込みレジスタに対しシリアル・インターフェースを介して書込みを行うことができます。一連のレジスタへの書込みを行うには、メモリ・マップ上の任意のレジスタを読み出すことによって、ADC モード (デフォルト・モード) を終了します。レジスタ書込みコマンドは、1 回の 16 ビット SPI アクセスによって実行されます。図 111 に示す書込みコマンドのフォーマットは、以下のように構成されます。

- 書込みコマンドをイネーブルするには、SDI で最初にクロックされるビットを 0 に設定する必要があります。
- SDI にクロック・インされる 2 番目のビット (R/W ビット) は、クリアして 0 にする必要があります。
- SDI にクロック・インされるビット ADD5~ADD0 には、書き込むレジスタ・アドレスが格納されます。
- SDI にクロック・インされる後続の 8 ビット (ビット [DIN7:DIN0]) には、選択したレジスタに書き込むデータが格納されます。データは SCLK の立下がりエッジで SDI にクロック・インされ、SCLK の立上がりエッジで D_{OUT}A にクロック・アウトされます。

図 111 に示すように、連続してデバイスへ書込みを行う場合に D_{OUT}A に出力されるデータは、直前のフレームで書き込まれたレジスタ・アドレスのデータです。転送中、D_{OUT}B、D_{OUT}C、および D_{OUT}D ピンはローに保持されます。

レジスタ・モードにある間、D_{OUT}X ラインはレジスタ内容をクロック・アウトするために使われるので、ADC データはクロック・アウトされません。図 110 に示すように、必要なすべてのレジスタへの書込み終了後に 16 SCLK サイクルにわたって SDI ラインをローに維持すると、AD7606C-18 は ADC モードに戻り、再び ADC データが D_{OUT}X ラインにクロック・アウトされます。

ソフトウェア・モードで CRC をオンにすると、各フレームで 8 個の追加ビットがクロック・イン/クロック・アウトされます。したがって、24 ビット・フレームが必要です。

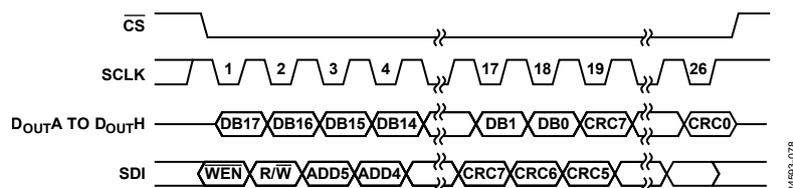


図 111. AD7606C-18 シリアル・インターフェースのシングル書込みコマンド
(SDI が同じフレーム内でアドレス・ビット ADD5~ADD0 とレジスタ内容 DIN7~DIN0 をクロック・インし、D_{OUT}A が直前のフレームで要求されたレジスタ内容を提供)

CRC を有効にしたシリアル・レジスタ・モード

ソフトウェア・モードでは、INT_CRC_ERR_EN ビット（アドレス 0x21、ビット 2）をアサートすることにより、CRC を有効にして AD7606C-18 のレジスタ書き込みと読出しを行うことができます。

レジスタを読み出す場合、AD7606C-18 は DOUTA ピンに 8 個のビットを追加して、同じフレーム上で直前にシフト・アウトされたデータの CRC 結果を提供します。これによりコントローラは、次の多項式を適用することによって、受け取ったデータが正しいかどうかをチェックすることができます。

$$x^8 + x^2 + x + 1$$

図 112 に示すように、CRC を有効化すると、SPI フレームは 24 ビット長に拡張されます。

レジスタへの書き込み時、コントローラは、8 ビット CRC ワードが付与されたデータ（レジスタのアドレスと内容）を、AD7606C-18 にクロック・インする必要があります。この CRC ワードは、上記の多項式を使って、その直前の 16 ビットから計算されます。図 113 に示すように、AD7606C-18 はレジスタのアドレスと内容を読み出し、対応する 8 ビットの CRC ワードを計算して、計算した CRC ワードと、SDI を通じて受け取った 17 番目と 24 番目のビットの間の CRC ワードが一致しない場合は、INT_CRC_ERR ビット（アドレス 0x22、ビット 2）をアサートします。

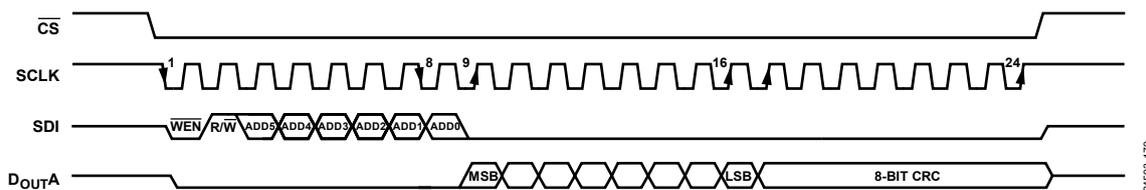


図 112. SPI を介したレジスタの読出し（CRC 有効）

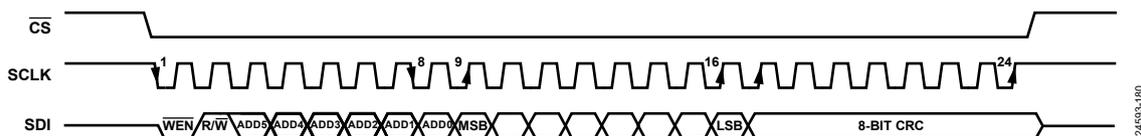


図 113. SPI を介したレジスタの書き込み（CRC 有効）

診断機能

ソフトウェア・モードでは、診断機能を使用して AD7606C-18 が正常に動作しているかどうかを検証することができます。診断モニタのリストには、リセット検出、過電圧検出、低電圧検出、アナログ入力オープン・サーキット検出、およびデジタル・エラー検出が含まれています。

エラーが検出されると、**デジタル・インターフェース**のセクションに示すように、ステータス・ヘッダにフラグがアサートされます（ただし、イネーブルされている場合）。このフラグは、以下のセクションに示すように、エラーが発生したレジスタを示します。

更に、**診断用マルチプレクサ**のセクションに示すように、診断マルチプレクサは一連の内部ノードを検証するために、任意のチャンネルを占有することができます。

リセットの検出

AD7606C-18 にパルシャル・リセット・パルスまたはフル・リセット・パルスが加えられると、ステータス・レジスタの RESET_DETECT ビット（アドレス 0x01、ビット 7）がアサートされます。パワーアップ時はフル・リセットが必要です。このリセットは RESET_DETECT ビットをアサートして、デバイス上でパワーオン・リセット（POR）によってデバイスが正しく初期化されたことを示します。

POR は REGCAP 電圧をモニタして、電圧が一定の閾値を下回った場合はフル・リセットを行います。

RESET_DETECT ビットは、予期せぬデバイス・リセットや RESET ピン上の大きいグリッチの検出、または電源の電圧低下を検出するために使用できます。

RESET_DETECT ビットは、ステータス・レジスタを読み出すことによるのみクリアされます。

デジタル誤差

ステータス・レジスタとステータス・ヘッダには、共に DIGITAL_ERROR ビットが含まれています。以下のいずれかのモニタがトリガされると、このビットがアサートされます。

- メモリ・マップ CRC、読み出し専用メモリ（ROM）CRC、およびデジタル・インターフェース CRC
- SPI の無効な読み出しまたは書き込み
- BUSY ハイ・スタック（ハイのまま動作停止）

ROM CRC、メモリ・マップ CRC、インターフェース CRC チェックサム、インターフェースのチェック、無効な SPI 読み出しと書き込み、および BUSY ハイ・スタックの各セクションに示すように、DIGITAL_DIAG_ERR レジスタ（アドレス 0x22）には、どのモニタが DIGITAL_ERROR ビットをトリガしたかを知るためにそれぞれのモニタに割り当てられた、専用のビットがあります。

ROM CRC

ROM には AD7606C-18 の工場調整設定値が保存されています。パワーアップ後、デバイス初期化の間に ROM の内容はレジスタにロードされます。ロード後は、ロードされたデータに関する CRC が計算されて、その結果が ROM に保存された CRC と一致するかどうかを確認されます。

AD7606C-18 は、下に示す 16 ビット CRC 多項式を使ってメモリ・マップの CRC チェックサム値を計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1 \\ (0x\text{BAAD})$$

計算した CRC 値と保存した CRC 値が一致しない場合は、エラー検出および訂正（ECC）ブロックによって、3 ビットまでのエラー（ハミング距離 4）を検出することができます。それ以外の場合は、ROM_CRC_ERR（アドレス 0x22、ビット 0）がアサートされます。パワーアップ後に ROM_CRC_ERR がアサートされた場合は、フル・リセットを行ってすべての工場設定値をロードし直すことを推奨します。

この ROM CRC モニタリング機能はデフォルトで有効化されませんが、ROM_CRC_ERR_EN ビット（アドレス 0x21、ビット 0）をクリアすることによって無効にできます。

メモリ・マップ CRC

メモリ・マップ CRC はデフォルトで無効化されます。メモリ・マップ CRC は、必要なレジスタへの書き込みを行って AD7606C-18 をソフトウェア・モードに設定した後に、MM_CRC_ERR_EN ビット（アドレス 0x21、ビット 1）を使って有効化できます。有効にすると、メモリ・マップ全体の CRC が計算されて保存されます。メモリ・マップの CRC は 4 μ s ごとに再計算されて、保存されている CRC 値と比較されます。

AD7606C-18 は、下に示す 16 ビット CRC 多項式を使ってメモリ・マップの CRC チェックサム値を計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1 \\ (0x\text{BAAD})$$

計算した CRC 値と保存した CRC 値が一致しない場合は、ECC ブロックによって 3 ビットまでのエラー（ハミング距離 4）を検出することができます。それ以外の場合はメモリ・マップに異常が生じ、MM_CRC_ERR ビット（アドレス 0x22、ビット 1）がアサートされます。CRC はメモリ・マップへ書き込みを行うごとに再計算され、保存されます。

MM_CRC_ERR ビットがアサートされた場合は、メモリ・マップへの書き込み行って CRC を再計算することを推奨します。MM_CRC_ERR ビットがアサートされたままで解消されない場合は、フル・リセットを行ってメモリ・マップのデフォルト設定を復元することを推奨します。

インターフェース CRC チェックサム

AD7606C-18 には、データ転送時のエラーを検出してインターフェースの堅牢性を向上させるために、CRC チェックサム・モードがあります。CRC 機能は、ADC モード（シリアルおよびパラレル）とレジスタ・モード（シリアルのみ）の両方で使用できます。

AD7606C-18 は、下に示す 16 ビット CRC 多項式を使って CRC チェックサム値を計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1 \\ (0x\text{BAAD})$$

多項式の除法をコントローラで再現するには、データを 16 ビット左へシフトして 16 個のロジック 0 で終わる数値を作成し、多項式の MSB がデータの左端にあるロジック 1 に隣接するように、多項式の値の位置決めをします。次に、排他的論理和（XOR）関数をデータに適用してより短い数値を新たに生成し、多項式の MSB が新たに得られたデータの最も左にあるロジック 1 に隣接するように、再度、多項式の値の位置決めをします。元のデータが多項式の値より小さくなって 16 ビットのチェックサムが得られるまで、このプロセスを繰り返します。

AD7606C-18 がレジスタ・モードで、レジスタの読出しまたは書込みが行われる場合に使用する CRC 多項式は $x^8 + x^2 + x + 1$ (0x83) です。レジスタを読み出して CRC を有効にした場合、各 SPI フレームの長さは 26 ビットで、17 番目から 24 番目までの SCLK サイクルで CRC 8 ビット・ワードがクロック・アウトされます。同様に、レジスタへ書込みを行う場合は、[図 116](#) に示すように SDI ラインに CRC ワードを付加することができます。与えられた CRC ワードと内部的に計算した CRC ワードが一致しない場合、AD7606C-18 は、エラーを検出して INT_CRC_ERR (アドレス 0x22、ビット 2) をトリガします。

パラレル・インターフェースも ADC モードでのみ CRC をサポートしており、[図 100](#) に示すように、チャンネル 8 の後に DB17 ~DB2 を通じてクロック・アウトされます。16 ビット CRC ワードは、8 つのチャンネルのデータ (128 ビット) を使って計算されます。

インターフェースのチェック

デジタル・インターフェースの完全性は、INTERFACE_CHECK_EN ビット (アドレス 0x21、ビット 7) をセットすることによってチェックできます。インターフェース・チェックを選択すると、[表 29](#) に示すように変換結果レジスタが既知の値に強制されます。

コントローラが[表 29](#) のデータを受信したかどうかを検証すれば、AD7606C-18 とコントローラ間のインターフェースの正常動作を確認することができます。転送されたデータの値が分かっているインターフェース CRC が有効化されている場合、このモードはコントローラが正しい CRC 計算を行っているかどうかを検証します。

表 29. インターフェース・チェック変換結果

Channel Number	Conversion Result Forced (Hex)
V1	0x2ACCA
V2	0x15CC5
V3	0x2A33A
V4	0x15335
V5	0x0CAAC
V6	0x0C55C
V7	0x33AA3
V8	0x33553

無効な SPI 読出しと書込み

無効なレジスタ・アドレスをリードバックしようとする、SPI_READ_ERR ビット (アドレス 0x22、ビット 4) がセットされます。無効な読出しアドレスの検出は、SPI_READ_ERR_EN ビット (アドレス 0x21、ビット 4) をセットすることでイネーブルできます。SPI 読出しエラーがトリガされた場合、エラーは、そのビットを上書きするか、チェッカーをディスエーブルすることによってクリアされます。

無効なレジスタ・アドレスや読出し専用レジスタに書き込みを行おうとすると、SPI_WRITE_ERR ビット (アドレス 0x22、ビット 3) がセットされます。無効な書込みアドレスの検出は、SPI_WRITE_ERR ビット (アドレス 0x21、ビット 3) をセットすることで有効にできます。SPI 書込みエラーがトリガされた場合、エラーは、そのビットを上書きするかチェッカーをディスエーブルすることによってクリアされます。

BUSY ハイ・スタック

BUSY ハイ・スタック (ハイのまま動作停止) 状態のモニタリングは、BUSY_STUCK_HIGH_ERR_EN ビット (アドレス 0x21、ビット 5) をセットすることによって有効化されます。このビットがイネーブルされた後は、独立したクロックを使って変換時間 ([表 3](#) の t_{CONV}) が内部的にモニタされます。 t_{CONV} が 4 μ s を超えると、AD7606C-18 は自動的にパシヤル・リセットを行って BUSY_STUCK_HIGH_ERR ビット (アドレス 0x22、ビット 5) をアサートします。このエラー・フラグをクリアするには、BUSY_STUCK_HIGH_ERR ビットを 1 で上書きする必要があります。

オーバーサンプリング・モードを有効にすると、それぞれの内部変換の変換時間を個別にモニタできます。

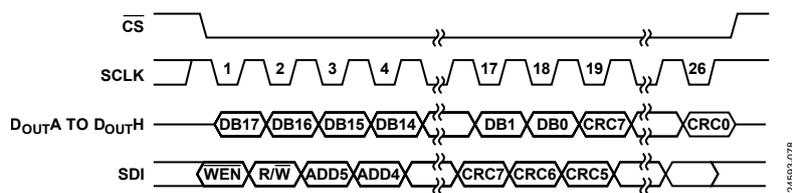


図 116. CRC オンでのレジスタ書込み

診断用マルチプレクサ

8つの入力チャンネルには、すべてPGA前段に診断用マルチプレクサが組み込まれており、表30に示す内部ノードをモニタして、AD7606C-18が正常に動作しているかどうかを確認できます。正確な測定を行うには、チャンネル8の使用を推奨します。このチャンネルは、製造時に診断チャンネル用にオフセットとゲインが調整されています。

一例として、チャンネル1の診断用マルチプレクサ・レジスタのビット・デコードを表30に示します。図117に示すように、内部ノード選択時はPGAの入力ピン入力電圧の選択が解除されます。

ソフトウェア・モードでは、該当するレジスタ（アドレス0x28～アドレス0x2B）を通じて、それぞれの診断用マルチプレクサの設定にアクセスできます。1つのチャンネルでマルチプレクサを使用するには、そのチャンネルで±10Vレンジを選ぶ必要があります。

表 30. チャンネル1 診断用マルチプレクサ・レジスタのビット・デコード

Address 0x18			Signal on Channel 1
Bit 2	Bit 1	Bit 0	
0	0	0	V1
0	0	1	Temperature sensor
0	1	0	V _{REF}
0	1	1	ALDO
1	0	0	DLDO
1	0	1	V _{DRIVE}
1	1	0	AGND
1	1	1	AV _{CC}

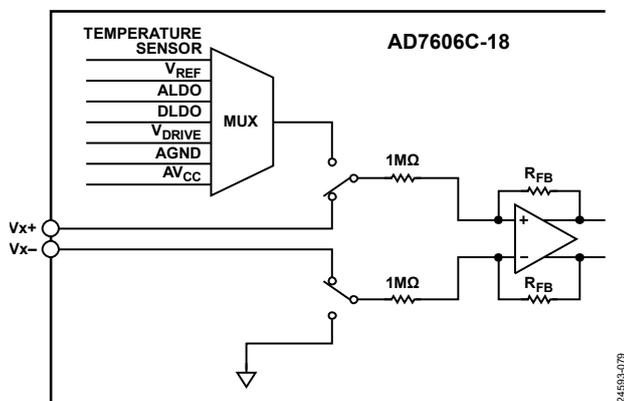


図 117. 診断用マルチプレクサ（例としてチャンネル1を表示）
(R_{FB} = 帰還抵抗)

温度センサー

図117に示すように、診断用マルチプレクサを通じて温度センサーを選択して、それをADCで変換することができます。測定される温度センサーの電圧はダイ温度に比例しており、下の式で表されます。精度は±2°Cです。

$$\text{Temperature (}^\circ\text{C)} = \frac{\text{ADC}_{\text{OUT}} (\text{V}) - 2.76272 (\text{V})}{0.077312 (\text{V}/^\circ\text{C})} + 25 (^\circ\text{C})$$

リファレンス電圧

図118に示すように、診断用マルチプレクサを通じてリファレンス電圧を選択し、それをADCで変換することができます。診断用マルチプレクサへの入力には、REF SELECTピンに基づいて内部リファレンスまたは外部リファレンスが選択されます。理論上、ADC出力は電圧リファレンス・レベルに比例して変化します。したがって、ADC出力が規定値の2.5Vを超える場合は、リファレンス・バッファまたはPGAに異常があります。

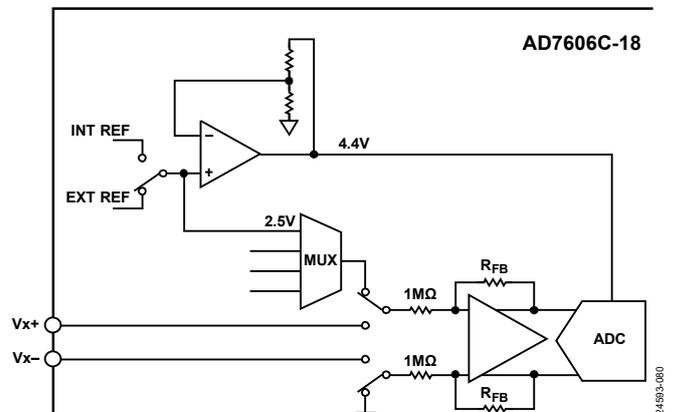


図 118. 診断用マルチプレクサを介したリファレンス電圧信号パス

内部 LDO

図117に示すように、診断用マルチプレクサを通じてアナログおよびデジタルLDO (REGCAPピン)を選択し、それをADCで変換することができます。ADC出力はREGCAPピン電圧の4倍です。この測定は、各LDOが正しい動作電圧にあり、内部回路が正しくバイアスされていることを確認します。

電源電圧

図117に示すように、診断用マルチプレクサを通じてAV_{CC}、V_{DRIVE}、およびAGNDを選択し、それをADCで変換することができます。このセットアップによりデバイスに適切な電圧とグラウンドが使われ、正常動作が確保されます。

代表的な接続図

AD7606C-18には4本のAVCCピンがありますが、これら4本のピンは、各電源ピンに100nFのコンデンサ、電源に10μFのコンデンサを使って、デカップリングすることを推奨します。AD7606C-18は、内部リファレンスまたは外付けリファレンスで動作させることができます。PCB上にAD7606C-18が1個だけの場合は、100nFのコンデンサでREFIN/REFOUTピンをデカップリングします。複数のAD7606C-18が組み込まれたアプリケーションを使用するときは、リファレンスのセクションを参照してください。REFCAPAピンとREFCAPBピンは互いに短絡させて、10μFのセラミック・コンデンサでデカップリングします。

V_{DRIVE}電源はプロセッサと同じ電源に接続してください。V_{DRIVE}電圧は、出力ロジック信号の電圧値を制御します。レイアウト、デカップリング、および接地の詳細については、レイアウトのガイドラインのセクションを参照してください。

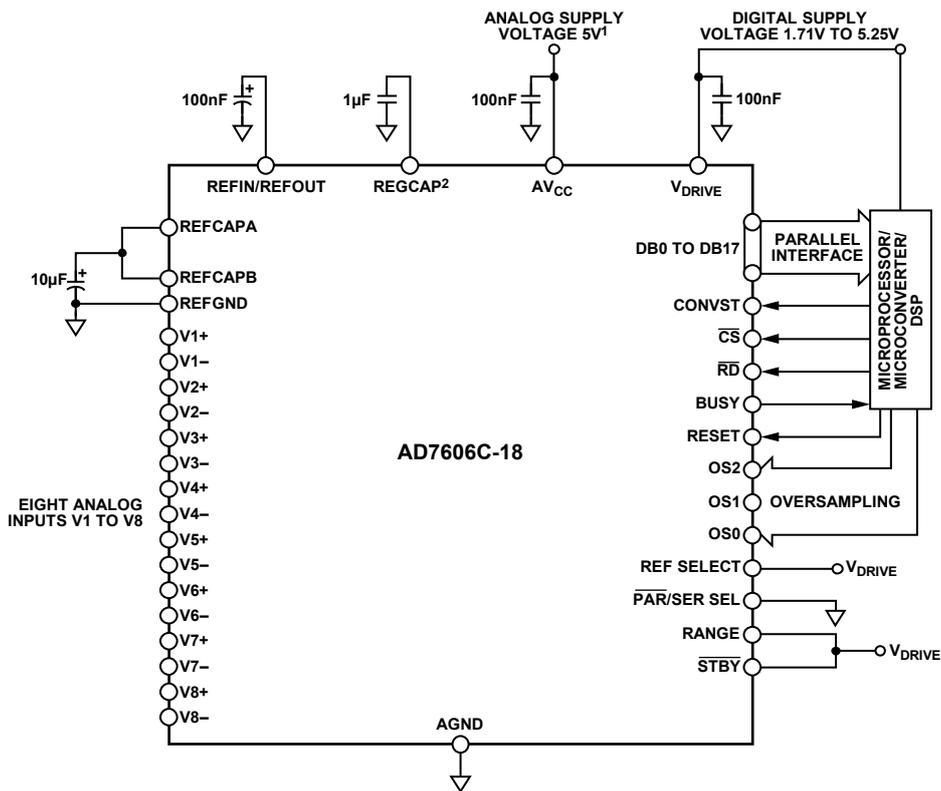
AD7606C-18電源投入後は、正しい動作モードに設定するためにAD7606C-18をフル・リセットしてください。

図119のAD7606C-18はハードウェア・モードに設定されており、REF SELECTピンがハイに設定されているので内部リファレンスで動作します。また、この例ではPAR/SER SELピンが

AGNDに接続されているので、デバイスはパラレル・インターフェースを使用します。RANGEピンがハイ・レベルに接続され、オーバーサンプリング比がOSxピンを通じてコントローラにより制御されている場合、8つの入力チャンネルのアナログ入力レンジはすべて±10Vです。

図120では、OSxピンがすべてロジック・ハイに接続されているので、AD7606C-18はソフトウェア・モードに設定されています。オーバーサンプリング比と各チャンネルのレンジは、メモリ・マップへアクセスすることによって設定されます。この例では、PAR/SER SELピンのロジック・レベルはハイです。したがって、ADCデータの読出しと、メモリ・マップの読出しおよび書き込みには、共にシリアル・インターフェースが使われます。REF SELECTピンはAGNDに接続されています。したがって、内部リファレンスがディスエーブルされて外部リファレンスがREFIN/REFOUTピンに外付けされ、100nFのコンデンサでデカップリングされています。

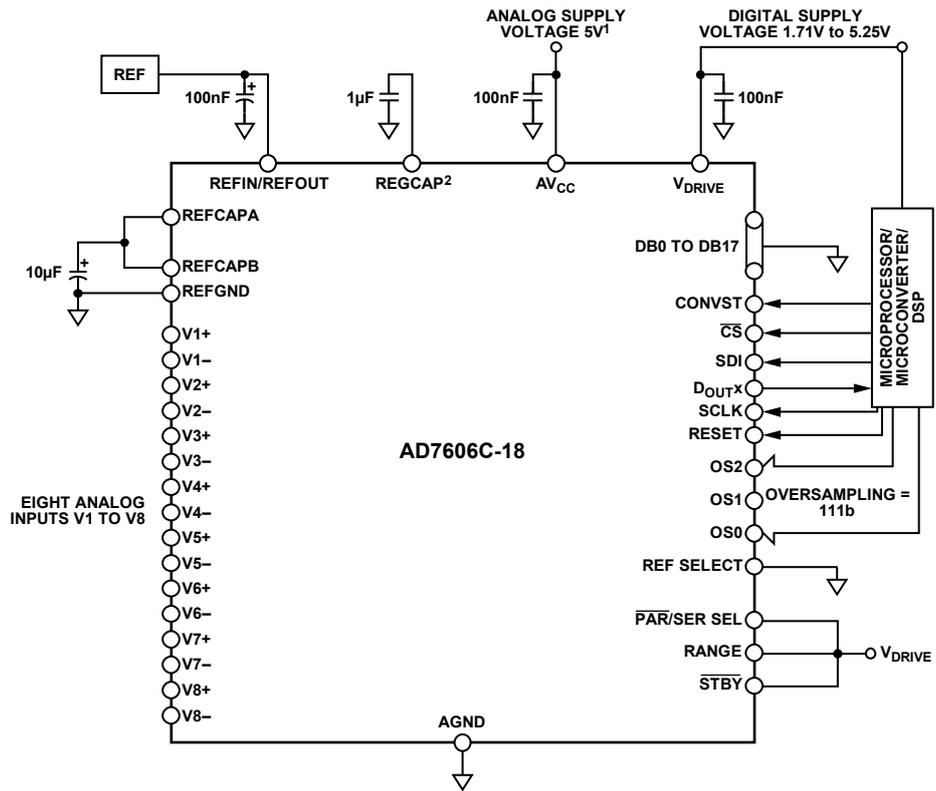
代表的な接続例を図119と図120に示します。各設定ピンに加えられるロジック・レベルに応じて、この他にも様々なリファレンス、データ・インターフェース、動作モードの組み合わせが可能です。



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN (PIN 1, PIN 37, PIN 38, PIN 48).
 DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV_{CC} PIN 37 AND PIN 38.
²DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

24593-081

図 119. 代表的な接続図 (ハードウェア・モード)



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN (PIN 1, PIN 37, PIN 38, PIN 48).
 DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV_{CC} PIN 37 AND PIN 38.
²DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

24693-082

図 120. 代表的な接続図 (ソフトウェア・モード)

アプリケーション情報

レイアウトのガイドライン

AD7606C-18 を含む PCB を設計する場合は、以下に示すレイアウトのガイドラインに従うことを推奨します。

- 複数のデバイスを A/D グラウンドに接続する必要があるシステム内で AD7606C-18 を使用する場合は、ソリッド・グラウンド・プレーン（アナログ・グラウンドとデジタル・グラウンドに分かれていないもの）を使用してください。
- グラウンド・プレーンへの接続は安定したものにしてください。複数のグラウンド・ピンで 1 つの接続を共有することは避け、各グラウンド・ピンとグラウンド・プレーンへの接続には個別のビア、または複数のビアを使用してください。
- チップにノイズが混入するので、デバイスの下にデジタル・ラインを配置しないでください。ノイズの混入を回避するために、AD7606C-18 の下にはアナログ・グラウンド・プレーンを配置できるようにします。
- CONVST やクロックなどの高速スイッチング信号はデジタル・グラウンドでシールドし、基板の他の部分へノイズが放射されることを防止します。また、これらの信号パスはアナログ信号パスの近くに配置しないでください。
- デジタル信号とアナログ信号を交差させないでください。
- 基板内の近接する層にあるパターンは互いに直角になるように配置し、基板全体でのフィードスルーの影響を減少させるようにしてください。
- AD7606C-18 の AV_{CC} ピンと V_{DRIVE} ピンへの電源ラインには、可能な限り幅大きいパターンを使用して低インピーダンスの経路を確保し、電源ラインへのグリッチの影響を軽減するようにしてください。可能であれば電源プレーンを使用し、AD7606C-18 の電源ピンと基板の電源パターン間の接続を安定したものにします。各電源ピンには 1 つ以上のビアを使用してください。
- 電源ピンとそれらに対応するグラウンド・ピンの近く（直接接続が理想）に、デカップリング・コンデンサを配置してください。REFIN/REFOUT ピン、REFCAPA ピン、および REFCAPB ピンにはデカップリング・コンデンサを接続します。接続は、AD7606C-18 のそれぞれのピンにできるだけ近い位置で行ってください。可能であれば、これらのコンデンサは基板の AD7606C-18 デバイス取り付け面に配置します。

AD7606C-18 取付 PCB 最上層の推奨デカップリングを [図 121](#) に示します。[図 122](#) は最下層のデカップリングを示したもので、これは 4 本の AV_{CC} ピンと V_{DRIVE} ピンのデカップリングに使われます。AV_{CC} ピン用に 100nF のセラミック・コンデンサをそれぞれのデバイス・ピン近くに配置する場合は、ピン 37 とピン 38 で 1 個の 100nF コンデンサを共有することができます。

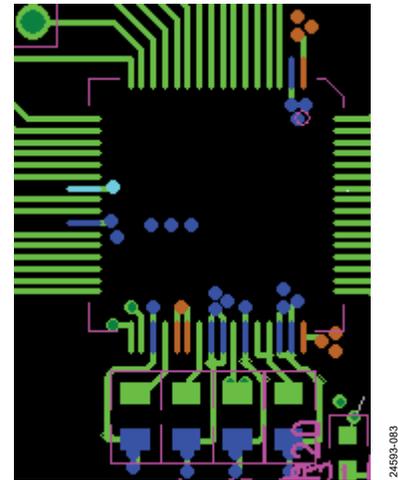


図 121. 最上層のデカップリング
(REFIN/REFOUT、REFCAPA、REFCAPB、REGCAP ピン)

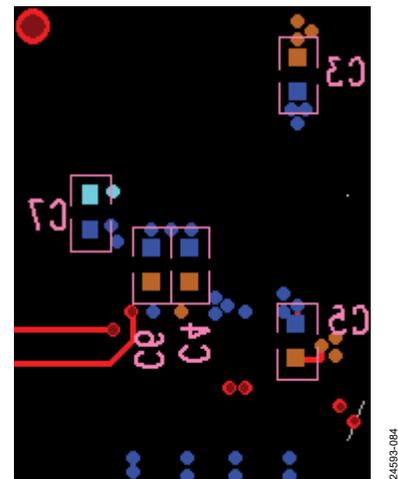


図 122. 最下層のデカップリング

複数の AD7606C-18 デバイスを使用するシステム内で、安定したデバイス間の性能マッチングを実現するには、AD7606C-18 デバイスを対称的にレイアウトすることが重要です。

2 個の AD7606C-18 を使用した場合のレイアウトを [図 123](#) に示します。AV_{CC} 電源パターンは両方のデバイスの右側に配置され、V_{DRIVE} 電源パターンは両方のデバイスの左側に配置されています。リファレンス・チップは 2 つのデバイスの間に取り付けられており、リファレンス電圧パターンは U1 のピン 42 の北側（上側）、U2 のピン 42 の南側（下側）にあたる位置に置かれています。また、ソリッド・グラウンド・プレーンが使われています。

これらの対称レイアウト原則は、3 個以上の AD7606C-18 が含まれるシステムにも適用されます。[図 123](#) 同様、これらの AD7606C-18 デバイスは南北方向に取り付けることができ、2 つのデバイス間にリファレンス電圧を配置して、リファレンス・パターンを南北方向に配置することができます。

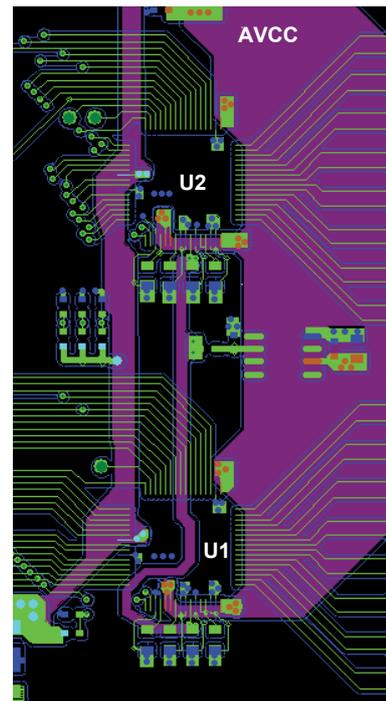


図 123. AD7606C-18 デバイスを複数使用する場合のレイアウト - 最上層と電源プレーン層

レジスタの一覧

表 31. AD7606C-18 のレジスタの一覧

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x01	STATUS	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	RESERVED						0x00	R
0x02	CONFIG	RESERVED	STATUS_HEADER	EXT_OS_CLOCK	DOUT_FORMAT		RESERVED	OPERATION_MODE		0x08	R/W	
0x03	RANGE_CH1_ CH2	CH2_RANGE				CH1_RANGE					0x33	R/W
0x04	RANGE_CH3_ CH4	CH4_RANGE				CH3_RANGE					0x33	R/W
0x05	RANGE_CH5_ CH6	CH6_RANGE				CH5_RANGE					0x33	R/W
0x06	RANGE_CH7_ CH8	CH8_RANGE				CH7_RANGE					0x33	R/W
0x07	BANDWIDTH	CH8_BW	CH7_BW	CH6_BW	CH5_BW	CH4_BW	CH3_BW	CH2_BW	CH1_BW	0x00	R/W	
0x08	OVERSAMPLIN G	OS_PAD				OS_RATIO					0x00	R/W
0x09	CH1_GAIN	RESERVED			CH1_GAIN						0x00	R/W
0x0A	CH2_GAIN	RESERVED			CH2_GAIN						0x00	R/W
0x0B	CH3_GAIN	RESERVED			CH3_GAIN						0x00	R/W
0x0C	CH4_GAIN	RESERVED			CH4_GAIN						0x00	R/W
0x0D	CH5_GAIN	RESERVED			CH5_GAIN						0x00	R/W
0x0E	CH6_GAIN	RESERVED			CH6_GAIN						0x00	R/W
0x0F	CH7_GAIN	RESERVED			CH7_GAIN						0x00	R/W
0x10	CH8_GAIN	RESERVED			CH8_GAIN						0x00	R/W
0x11	CH1_OFFSET	CH1_OFFSET								0x80	R/W	
0x12	CH2_OFFSET	CH2_OFFSET								0x80	R/W	
0x13	CH3_OFFSET	CH3_OFFSET								0x80	R/W	
0x14	CH4_OFFSET	CH4_OFFSET								0x80	R/W	
0x15	CH5_OFFSET	CH5_OFFSET								0x80	R/W	
0x16	CH6_OFFSET	CH6_OFFSET								0x80	R/W	
0x17	CH7_OFFSET	CH7_OFFSET								0x80	R/W	
0x18	CH8_OFFSET	CH8_OFFSET								0x80	R/W	
0x19	CH1_PHASE	CH1_PHASE								0x00	R/W	
0x1A	CH2_PHASE	CH2_PHASE								0x00	R/W	
0x1B	CH3_PHASE	CH3_PHASE								0x00	R/W	
0x1C	CH4_PHASE	CH4_PHASE								0x00	R/W	
0x1D	CH5_PHASE	CH5_PHASE								0x00	R/W	
0x1E	CH6_PHASE	CH6_PHASE								0x00	R/W	
0x1F	CH7_PHASE	CH7_PHASE								0x00	R/W	
0x20	CH8_PHASE	CH8_PHASE								0x00	R/W	
0x21	DIGITAL_ DIAG_ ENABLE	INTERFACE_ CHECK_EN	CLK_FS_OS_ COUNTER_EN	BUSY_STUCK_ HIGH_ERR_EN	SPI_READ_ ERR_EN	SPI_WRITE_ ERR_EN	INT_CRC_ ERR_EN	MM_CRC_ ERR_EN	ROM_CRC_ ERR_EN	0x01	R/W	
0x22	DIGITAL_ DIAG_ERR	RESERVED		BUSY_STUCK_ HIGH_ERR	SPI_READ_ ERR	SPI_WRITE_ ERR	INT_CRC_ ERR	MM_CRC_ ERR	ROM_CRC_ ERR	0x00	R/W	
0x23	OPEN_ DETECT_ ENABLE	CH8_OPEN_ DETECT_EN	CH7_OPEN_ DETECT_EN	CH6_OPEN_ DETECT_EN	CH5_OPEN_ DETECT_ EN	CH4_OPEN_ DETECT_ EN	CH3_OPEN_ DETECT_EN	CH2_OPEN_ DETECT_EN	CH1_OPEN_ DETECT_ EN	0x00	R/W	
0x24	OPEN_ DETECTED	CH8_OPEN	CH7_OPEN	CH6_OPEN	CH5_OPEN	CH4_OPEN	CH3_OPEN	CH2_OPEN	CH1_OPEN	0x00	R/W	
0x28	DIAGNOSTIC_ MUX_CH1_2	RESERVED			CH2_DIAG_MUX_CTRL			CH1_DIAG_MUX_CTRL			0x00	R/W
0x29	DIAGNOSTIC_ MUX_CH3_4	RESERVED			CH4_DIAG_MUX_CTRL			CH3_DIAG_MUX_CTRL			0x00	R/W
0x2A	DIAGNOSTIC_ MUX_CH5_6	RESERVED			CH6_DIAG_MUX_CTRL			CH5_DIAG_MUX_CTRL			0x00	R/W
0x2B	DIAGNOSTIC_ MUX_CH7_8	RESERVED			CH8_DIAG_MUX_CTRL			CH7_DIAG_MUX_CTRL			0x00	R/W
0x2C	OPEN_DETECT_ QUEUE	OPEN_DETECT_QUEUE								0x00	R/W	
0x2D	FS_CLK_ COUNTER	CLK_FS_COUNTER								0x00	R	
0x2E	OS_CLK_ COUNTER	CLK_OS_COUNTER								0x00	R	
0x2F	ID	DEVICE_ID				SILICON_REVISION				0x31	R	

レジスタの詳細

アドレス：0x01、リセット：0x00、レジスタ名：STATUS

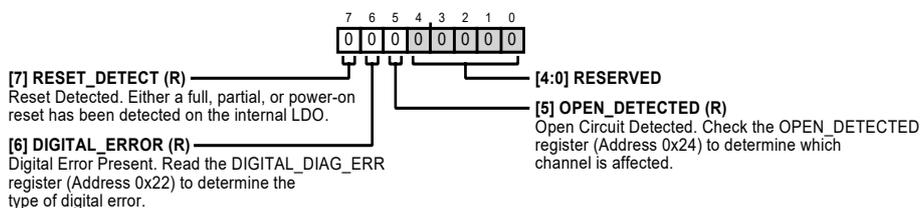


表 32. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESET_DETECT	リセット検出。内部 LDO のフル・リセット、パーシャル・リセット、またはパワーオン・リセットを検出しました。	0x0	R
6	DIGITAL_ERROR	デジタル・エラーが発生。DIGITAL_DIAG_ERR レジスタ (アドレス 0x22) を読み出して、デジタル・エラーのタイプを確認します。	0x0	R
5	OPEN_DETECTED	オープン・サーキットを検出。OPEN_DETECTED レジスタ (アドレス 0x24) をチェックして、どのチャンネルが影響を受けているのかを確認します。	0x0	R
[4:0]	RESERVED	予備。	0x0	R

アドレス：0x02、リセット：0x08、レジスタ名：CONFIG

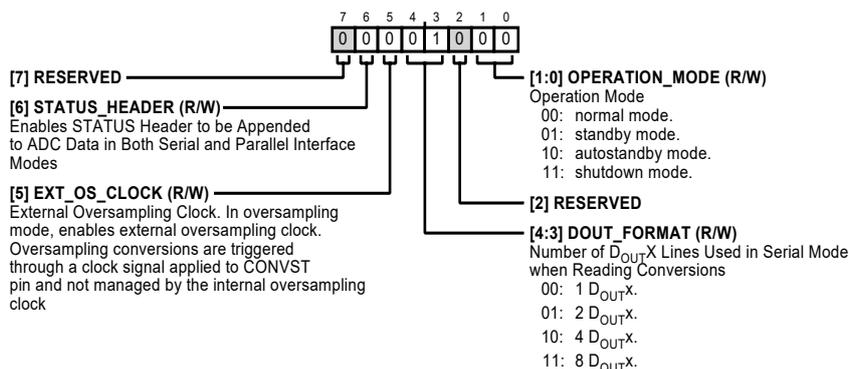


表 33. CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
6	STATUS_HEADER	シリアル・インターフェース・モードとパラレル・インターフェース・モードの両方で、ADC データに付加する STATUS ヘッドをイネーブルします。	0x0	R/W
5	EXT_OS_CLOCK	外部オーバーサンプリング・クロックオーバーサンプリング・モードで、外部オーバーサンプリング・クロックをイネーブルします。オーバーサンプリング変換は、内部オーバーサンプリング・クロックにより管理されるのではなく、CONVST ピンに加えるクロック信号を通じてトリガされます。	0x0	R/W
[4:3]	DOUT_FORMAT	変換結果を読み出すときにシリアル・モードで使われる D _{OUTX} ラインの数。 00 : 1 D _{OUTX} 01 : 2 D _{OUTX} 10 : 4 D _{OUTX} 11 : 8 D _{OUTX}	0x1	R/W
2	RESERVED	予備。	0x0	R
[1:0]	OPERATION_MODE	動作モード。 00 : 通常動作モード。 01 : スタンバイ・モード 10 : オートスタンバイ・モード 11 : シャットダウン・モード	0x0	R/W

アドレス : 0x03、リセット : 0x33、レジスタ名 : RANGE_CH1_CH2

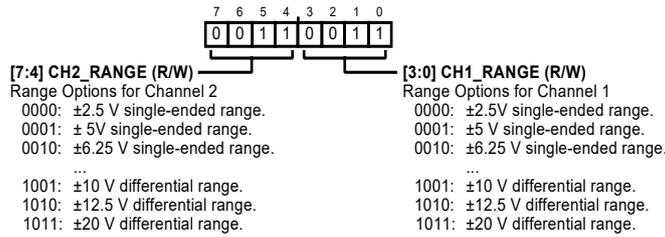


表 34. RANGE_CH1_CH2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH2_RANGE	チャンネル 2 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ	0x3	R/W
[3:0]	CH1_RANGE	チャンネル 1 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ	0x3	R/W

アドレス : 0x04、リセット : 0x33、レジスタ名 : RANGE_CH3_CH4

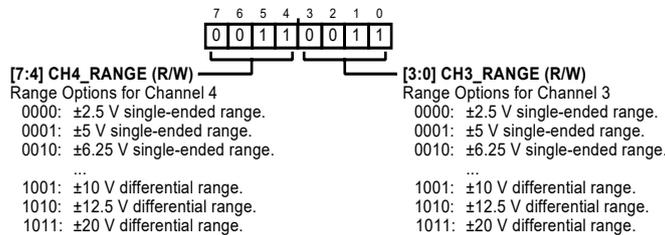


表 35. RANGE_CH3_CH4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH4_RANGE	チャンネル 4 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ	0x3	R/W

ビット	ビット名	説明	リセット	アクセス
		0011 : ±10V シングルエンド・レンジ 0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ		
[3:0]	CH3_RANGE	チャンネル 3 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ	0x3	R/W

アドレス : 0x05、リセット : 0x33、レジスタ名 : RANGE_CH5_CH6

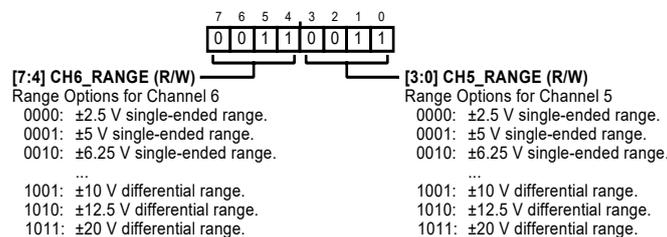


表 36. RANGE_CH5_CH6 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH6_RANGE	チャンネル 6 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ	0x3	R/W
[3:0]	CH5_RANGE	チャンネル 5 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ	0x3	R/W

ビット	ビット名	説明	リセット	アクセス
		0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ		

アドレス : 0x06、リセット : 0x33、レジスタ名 : RANGE_CH7_CH8

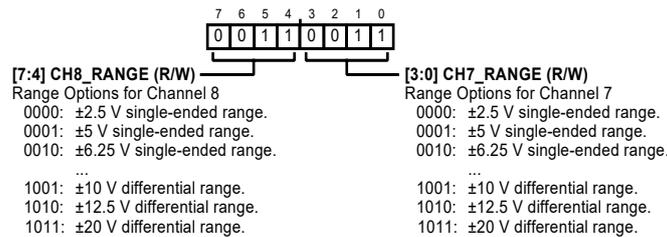


表 37. RANGE_CH7_CH8 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	CH8_RANGE	チャンネル 8 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ	0x3	R/W
[3:0]	CH7_RANGE	チャンネル 7 のレンジ・オプション 0000 : ±2.5V シングルエンド・レンジ 0001 : ±5V シングルエンド・レンジ 0010 : ±6.25V シングルエンド・レンジ 0011 : ±10V シングルエンド・レンジ 0100 : ±12.5V シングルエンド・レンジ 0101 : 0V~5V シングルエンド・レンジ 0110 : 0V~10V シングルエンド・レンジ 0111 : 0V~12.5V シングルエンド・レンジ 1000 : ±5V 差動レンジ 1001 : ±10V 差動レンジ 1010 : ±12.5V 差動レンジ 1011 : ±20V 差動レンジ	0x3	R/W

アドレス：0x07、リセット：0x00、レジスタ名：BANDWIDTH

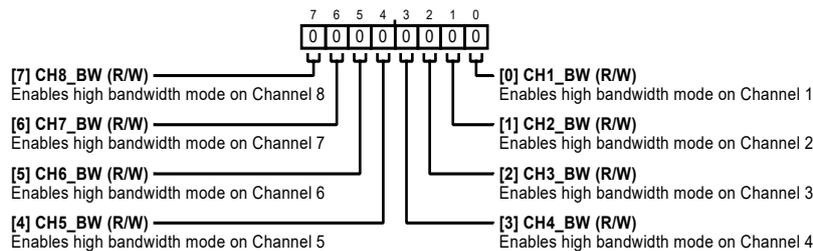


表 38. BANDWIDTH のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_BW	チャンネル 8 の広帯域モードを有効化	0x0	R/W
6	CH7_BW	チャンネル 7 の広帯域モードを有効化	0x0	R/W
5	CH6_BW	チャンネル 6 の広帯域モードを有効化	0x0	R/W
4	CH5_BW	チャンネル 5 の広帯域モードを有効化	0x0	R/W
3	CH4_BW	チャンネル 4 の広帯域モードを有効化	0x0	R/W
2	CH3_BW	チャンネル 3 の広帯域モードを有効化	0x0	R/W
1	CH2_BW	チャンネル 2 の広帯域モードを有効化	0x0	R/W
0	CH1_BW	チャンネル 1 の広帯域モードを有効化	0x0	R/W

アドレス：0x08、リセット：0x00、レジスタ名：OVERSAMPLING

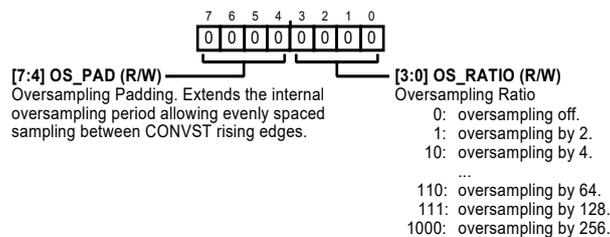


表 39. OVERSAMPLING のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	OS_PAD	オーバーサンプリング・パディング。内部オーバーサンプリング周期を延長して、CONVST の立上がりエッジ間で等間隔のサンプリングを行えるようにします。	0x0	R/W
[3:0]	OS_RATIO	オーバーサンプリング比。 0000 : オーバーサンプリングをオフ 0001 : 2 倍のオーバーサンプリング 0010 : 4 倍のオーバーサンプリング 0011 : 8 倍のオーバーサンプリング 0100 : 16 倍のオーバーサンプリング 0101 : 32 倍のオーバーサンプリング 0110 : 64 倍のオーバーサンプリング 0111 : 128 倍のオーバーサンプリング 1000 : 256 倍のオーバーサンプリング	0x0	R/W

アドレス：0x09、リセット：0x00、レジスタ名：CH1_GAIN

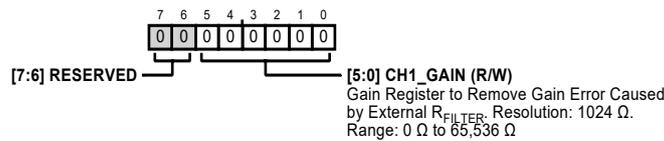


表 40. CH1_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH1_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x0A、リセット：0x00、レジスタ名：CH2_GAIN

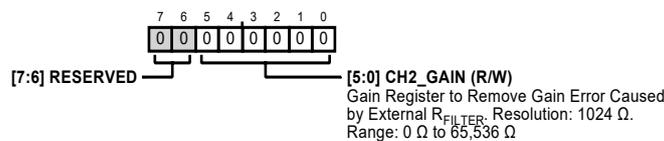


表 41. CH2_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH2_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x0B、リセット：0x00、レジスタ名：CH3_GAIN

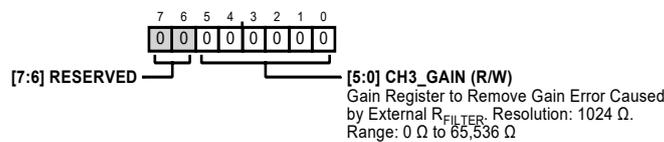


表 42. CH3_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH3_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x0C、リセット：0x00、レジスタ名：CH4_GAIN

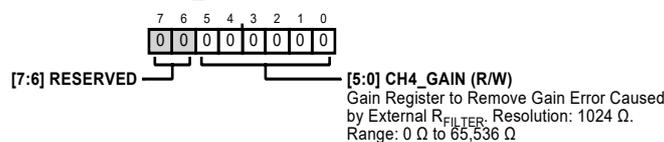


表 43. CH4_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH4_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x0D、リセット：0x00、レジスタ名：CH5_GAIN

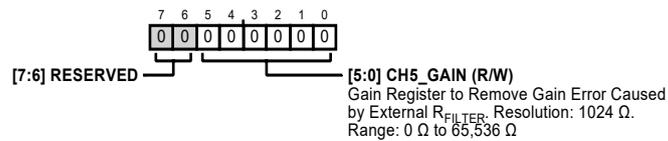


表 44. CH5_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH5_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x0E、リセット：0x00、レジスタ名：CH6_GAIN

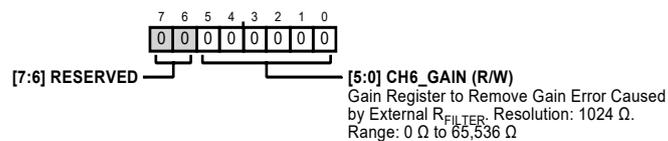


表 45. CH6_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH6_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x0F、リセット：0x00、レジスタ名：CH7_GAIN

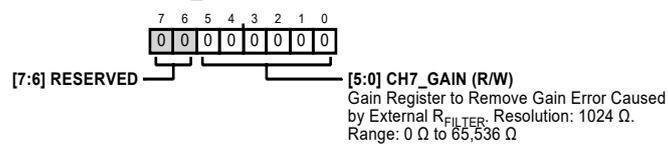


表 46. CH7_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH7_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x10、リセット：0x00、レジスタ名：CH8_GAIN

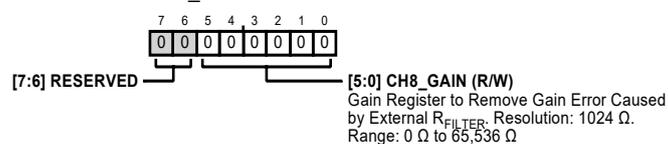
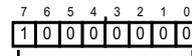


表 47. CH8_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	CH8_GAIN	外付けの R_{FILTER} によって生じるゲイン誤差を除去するためのゲイン・レジスタ。分解能：1024 Ω 。レンジ：0 Ω ～65,536 Ω 。	0x0	R/W

アドレス：0x11、リセット：0x80、レジスタ名：CH1_OFFSET

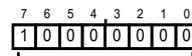


[7:0] CH1_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 48. CH1_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x12、リセット：0x80、レジスタ名：CH2_OFFSET

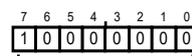


[7:0] CH2_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 49. CH2_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH2_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x13、リセット：0x80、レジスタ名：CH3_OFFSET

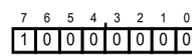


[7:0] CH3_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 50. CH3_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH3_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x14、リセット：0x80、レジスタ名：CH4_OFFSET

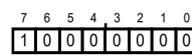


[7:0] CH4_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 51. CH4_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH4_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x15、リセット：0x80、レジスタ名：CH5_OFFSET

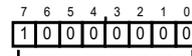


[7:0] CH5_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 52. CH5_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH5_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x16、リセット：0x80、レジスタ名：CH6_OFFSET

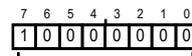


[7:0] CH6_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 53. CH6_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH6_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x17、リセット：0x80、レジスタ名：CH7_OFFSET

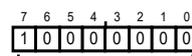


[7:0] CH7_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 54. CH7_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH7_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x18、リセット：0x80、レジスタ名：CH8_OFFSET

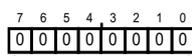


[7:0] CH8_OFFSET (R/W)
Offset Register to Remove External System
Offset Errors. Range from -512 LSB to +511
LSB.

表 55. CH8_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH8_OFFSET	外部的なシステム・オフセット誤差を除去するためのオフセット・レジスタ。レンジは-512LSB～+511LSB。	0x80	R/W

アドレス：0x19、リセット：0x00、レジスタ名：CH1_PHASE

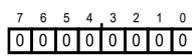


[7:0] CH1_PHASE (R/W)
Phase Register to Remove External System
Phase Errors Between Channels. Phase
delay from 0 μ s to 255 μ s in steps of 1 μ s.

表 56. CH1_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0～255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x1A、リセット：0x00、レジスタ名：CH2_PHASE

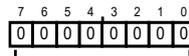


[7:0] CH2_PHASE (R/W)
Phase Register to Remove External System
Phase Errors Between Channels. Phase
delay from 0 μ s to 255 μ s in steps of 1 μ s.

表 57. CH2_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH2_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0～255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x1B、リセット：0x00、レジスタ名：CH3_PHASE

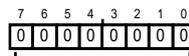


[7:0] CH3_PHASE (R/W)
Phase Register to Remove External System
Phase Errors Between Channels. Phase
delay from 0 μ s to 255 μ s in steps of 1 μ s.

表 58. CH3_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH3_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0~255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x1C、リセット：0x00、レジスタ名：CH4_PHASE

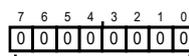


[7:0] CH4_PHASE (R/W)
Phase Register to Remove External System
Phase Errors Between Channels. Phase
delay from 0 μ s to 255 μ s in steps of 1 μ s.

表 59. CH4_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH4_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0~255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x1D、リセット：0x00、レジスタ名：CH5_PHASE

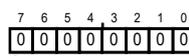


[7:0] CH5_PHASE (R/W)
Phase Register to Remove External System
Phase Errors Between Channels. Phase
delay from 0 μ s to 255 μ s in steps of 1 μ s.

表 60. CH5_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH5_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0~255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x1E、リセット：0x00、レジスタ名：CH6_PHASE



[7:0] CH6_PHASE (R/W)
Phase Register to Remove External System
Phase Errors Between Channels. Phase
delay from 0 μ s to 255 μ s in steps of 1 μ s.

表 61. CH6_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH6_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0~255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x1F、リセット：0x00、レジスタ名：CH7_PHASE

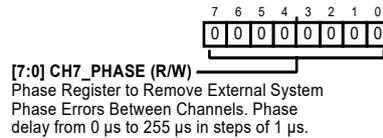


表 62. CH7_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH7_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0~255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x20、リセット：0x00、レジスタ名：CH8_PHASE

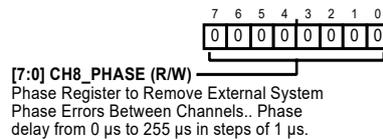


表 63. CH8_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH8_PHASE	チャンネル間の外部的なシステム位相誤差を除去するための位相レジスタ。0~255 μ s、1 μ s ステップの位相遅延。	0x0	R/W

アドレス：0x21、リセット：0x01、レジスタ名：DIGITAL_DIAG_ENABLE

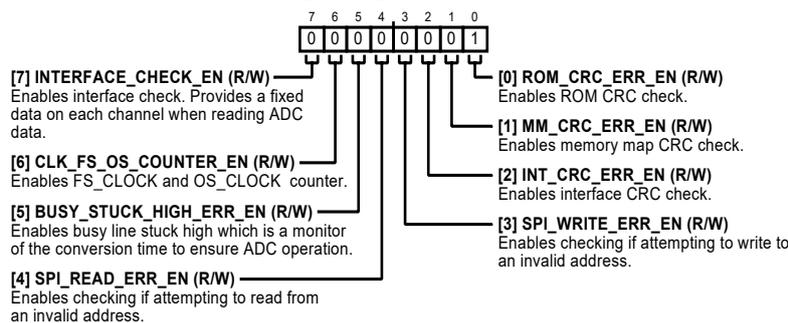


表 64. DIGITAL_DIAG_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INTERFACE_CHECK_EN	インターフェース・チェックを有効にして、ADCデータの読出し時に各チャンネルの固定データを提供します。	0x0	R/W
6	CLK_FS_OS_COUNTER_EN	FS_CLOCK および OS_CLOCK カウンタをイネーブルします。	0x0	R/W
5	BUSY_STUCK_HIGH_ERR_EN	ADCの動作を確認するための変換時間のモニタであるビジー・ライン・ハイ・スタックを有効にします。	0x0	R/W
4	SPI_READ_ERR_EN	無効なアドレスからの読出しを行おうとしたかどうかのチェックを有効にします。	0x0	R/W
3	SPI_WRITE_ERR_EN	無効なアドレスへの書き込みを行おうとしたかどうかのチェックを有効にします。	0x0	R/W
2	INT_CRC_ERR_EN	インターフェース CRC チェックを有効にします。	0x0	R/W
1	MM_CRC_ERR_EN	メモリ・マップの CRC チェックを有効にします。	0x0	R/W
0	ROM_CRC_ERR_EN	ROM CRC のチェックを有効にします。	0x1	R/W

アドレス：0x22、リセット：0x00、レジスタ名：DIGITAL_DIAG_ERR

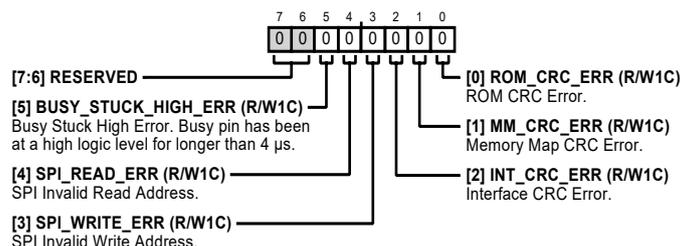


表 65. DIGITAL_DIAG_ERR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	BUSY_STUCK_HIGH_ERR	ビジー・ハイ・スタック・エラー。ビジー・ピンのロジック・レベルがハイに固定された状態が 4 μ s を超えました。	0x0	R/W1C
4	SPI_READ_ERR	SPI の無効な読み出しアドレス。	0x0	R/W1C
3	SPI_WRITE_ERR	SPI の無効な書き込みアドレス。	0x0	R/W1C
2	INT_CRC_ERR	インターフェースの CRC エラー。	0x0	R/W1C
1	MM_CRC_ERR	メモリ・マップの CRC エラー。	0x0	R/W1C
0	ROM_CRC_ERR	ROM の CRC エラー。	0x0	R/W1C

アドレス：0x23、リセット：0x00、レジスタ名：OPEN_DETECT_ENABLE

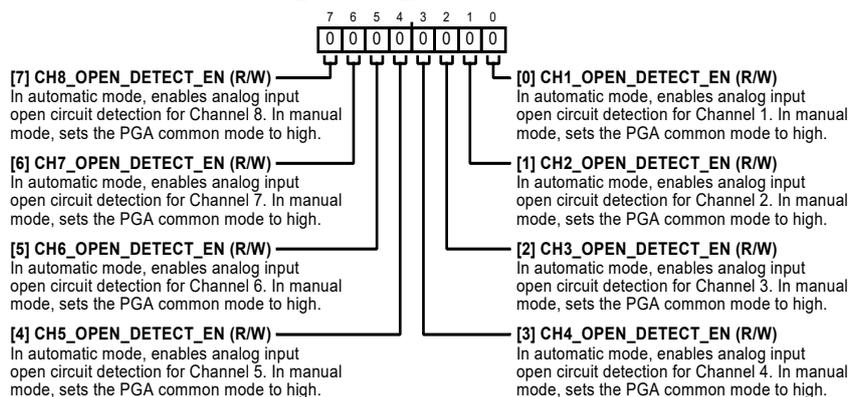


表 66. OPEN_DETECT_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_OPEN_DETECT_EN	自動モードではチャンネル 8 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
6	CH7_OPEN_DETECT_EN	自動モードではチャンネル 7 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
5	CH6_OPEN_DETECT_EN	自動モードではチャンネル 6 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
4	CH5_OPEN_DETECT_EN	自動モードではチャンネル 5 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
3	CH4_OPEN_DETECT_EN	自動モードではチャンネル 4 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
2	CH3_OPEN_DETECT_EN	自動モードではチャンネル 3 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
1	CH2_OPEN_DETECT_EN	自動モードではチャンネル 2 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W
0	CH1_OPEN_DETECT_EN	自動モードではチャンネル 1 のアナログ入力オープン・サーキット検出を有効にします。手動モードでは PGA コモンモードをハイに設定します。	0x0	R/W

アドレス : 0x24、リセット : 0x00、レジスタ名 : OPEN_DETECTED

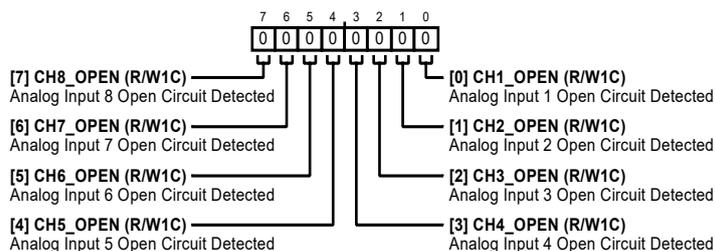


表 67. OPEN_DETECTED のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH8_OPEN	アナログ入力 8 のオープン・サーキットを検出しました。	0x0	R/W1C
6	CH7_OPEN	アナログ入力 7 のオープン・サーキット検出しました。	0x0	R/W1C
5	CH6_OPEN	アナログ入力 6 のオープン・サーキット検出しました。	0x0	R/W1C
4	CH5_OPEN	アナログ入力 5 のオープン・サーキット検出しました。	0x0	R/W1C
3	CH4_OPEN	アナログ入力 4 のオープン・サーキット検出しました。	0x0	R/W1C
2	CH3_OPEN	アナログ入力 3 のオープン・サーキット検出しました。	0x0	R/W1C
1	CH2_OPEN	アナログ入力 2 のオープン・サーキット検出しました。	0x0	R/W1C
0	CH1_OPEN	アナログ入力 1 のオープン・サーキット検出しました。	0x0	R/W1C

アドレス : 0x28、リセット : 0x00、レジスタ名 : DIAGNOSTIC_MUX_CH1_2

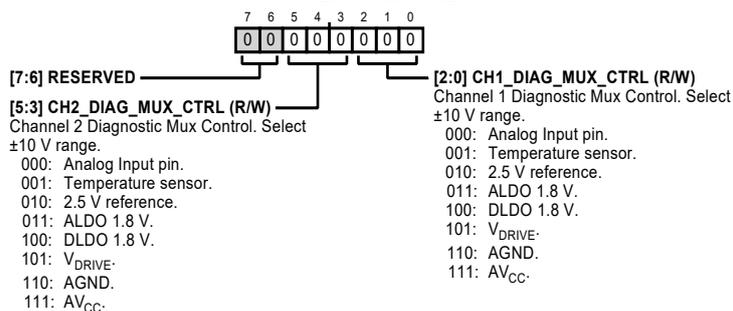


表 68. DIAGNOSTIC_MUX_CH1_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:3]	CH2_DIAG_MUX_CTRL	チャンネル 2 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。 101 : V _{DRIVE} 。 110 : AGND。 111 : AV _{CC} 。	0x0	R/W
[2:0]	CH1_DIAG_MUX_CTRL	チャンネル 1 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。 101 : V _{DRIVE} 。 110 : AGND。 111 : AV _{CC} 。	0x0	R/W

アドレス : 0x29、リセット : 0x00、レジスタ名 : DIAGNOSTIC_MUX_CH3_4

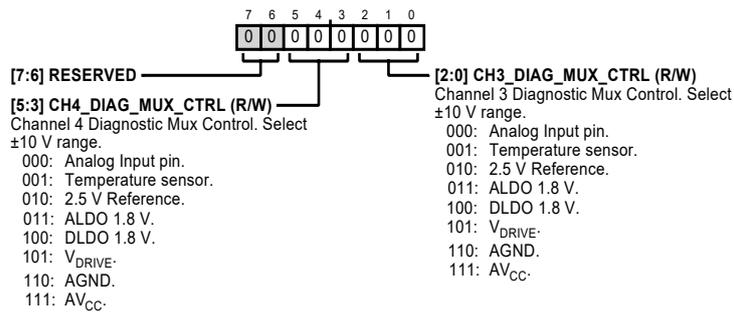


表 69. DIAGNOSTIC_MUX_CH3_4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:3]	CH4_DIAG_MUX_CTRL	チャンネル 4 の診断用マルチプレクサ制御。 ± 10 V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。 101 : V_{DRIVEo} 110 : AGND。 111 : AV_{CCo}	0x0	R/W
[2:0]	CH3_DIAG_MUX_CTRL	チャンネル 3 の診断用マルチプレクサ制御。 ± 10 V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。 101 : V_{DRIVEo} 110 : AGND。 111 : AV_{CCo}	0x0	R/W

アドレス : 0x2A、リセット : 0x00、レジスタ名 : DIAGNOSTIC_MUX_CH5_6

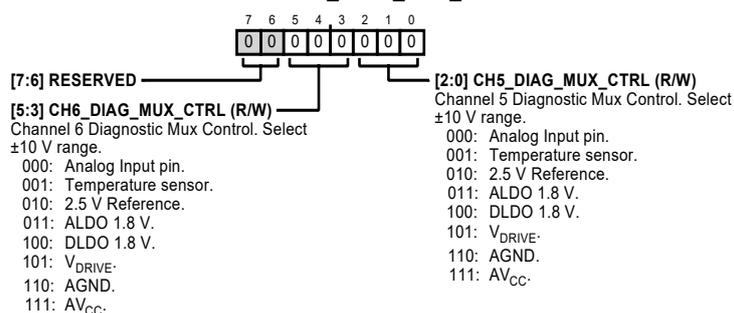


表 70. DIAGNOSTIC_MUX_CH5_6 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:3]	CH6_DIAG_MUX_CTRL	チャンネル 6 の診断用マルチプレクサ制御。 ± 10 V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		101 : V_{DRIVEo} 110 : AGND。 111 : AV_{CCo}		
[2:0]	CH5_DIAG_MUX_CTRL	チャンネル 5 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。 101 : V_{DRIVEo} 110 : AGND。 111 : AV_{CCo}	0x0	R/W

アドレス : 0x2B、リセット : 0x00、レジスタ名 : DIAGNOSTIC_MUX_CH7_8

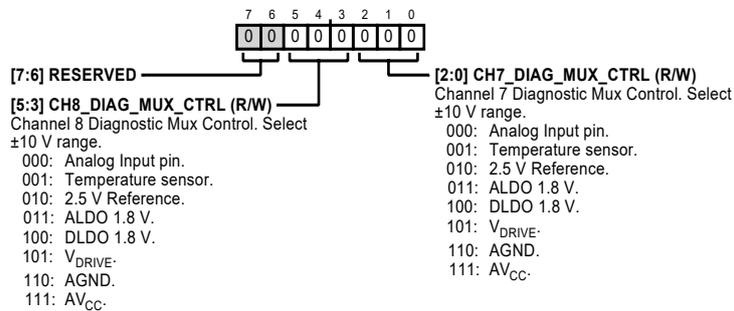
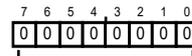


表 71. DIAGNOSTIC_MUX_CH7_8 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:3]	CH8_DIAG_MUX_CTRL	チャンネル 8 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。 101 : V_{DRIVEo} 110 : AGND。 111 : AV_{CCo}	0x0	R/W
[2:0]	CH7_DIAG_MUX_CTRL	チャンネル 7 の診断用マルチプレクサ制御。±10V レンジを選択。 000 : アナログ入力ピン。 001 : 温度センサー。 010 : 2.5V リファレンス。 011 : ALDO 1.8V。 100 : DLDO 1.8V。 101 : V_{DRIVEo} 110 : AGND。 111 : AV_{CCo}	0x0	R/W

アドレス：0x2C、リセット：0x00、レジスタ名：OPEN_DETECT_QUEUE

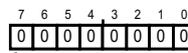


[7:0] OPEN_DETECT_QUEUE (R/W)
Open Detect Queue. When set to 1, open detect is configured in manual mode. When set to >1, open detect operates in automatic mode and the value set in this register specifies the number of conversions when there is no change in output code before the PGA common mode is switched.

表 72. OPEN_DETECT_QUEUE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OPEN_DETECT_QUEUE	オープン検出キュー。1に設定すると、オープン検出が手動モードに設定されます。1より大きい値に設定するとオープン検出は自動モードで動作し、このレジスタ内に設定された値が、PGA コモンモード切り替え前の出力コードに変更がない場合の変換回数を指定します。	0x0	R/W

アドレス：0x2D、リセット：0x00、レジスタ名：FS_CLK_COUNTER

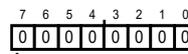


[7:0] CLK_FS_COUNTER (R)
A counter that is incremented at a frequency of 16 Meg/64. Reading this register verifies the operation and frequency of the FS_CLOCK.

表 73. FS_CLK_COUNTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CLK_FS_COUNTER	16Meg/64の頻度でインクリメントされるカウンタ。このレジスタを読み出すことで、FS_CLOCKの動作と周波数を確認します。	0x0	R

アドレス：0x2E、リセット：0x00、レジスタ名：OS_CLK_COUNTER

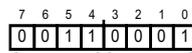


[7:0] CLK_OS_COUNTER (R)
A counter that is incremented at a frequency of 12.5 Meg/64. Reading this register verifies the operation and frequency of the oversampling clock.

表 74. OS_CLK_COUNTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CLK_OS_COUNTER	12.5Meg/64の頻度でインクリメントされるカウンタ。このレジスタを読み出すことで、オーバーサンプリング・クロックの動作と周波数を確認します。	0x0	R

アドレス：0x2F、リセット：0x31、レジスタ名：ID

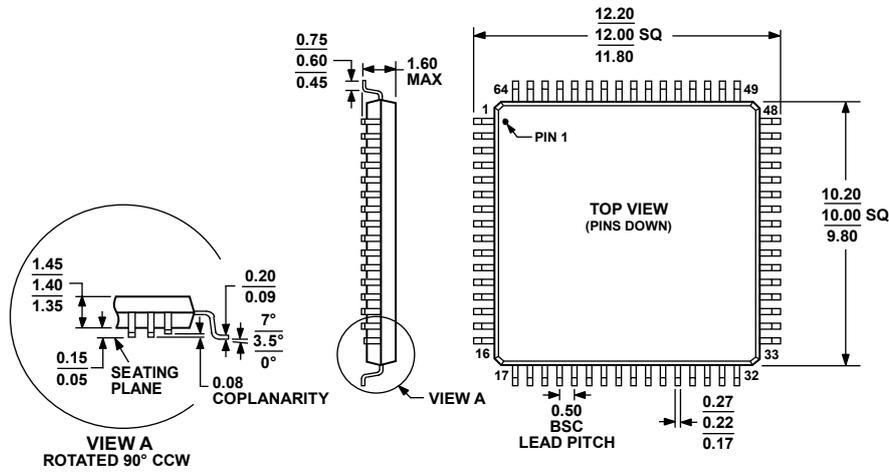


[7:4] DEVICE_ID (R) Generic
0001: AD7606B generic.
0011: AD7606C-18 generic.
[3:0] SILICON_REVISION (R) Silicon Revision.

表 75. ID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DEVICE_ID	ジェネリック ID。 0001：AD7606B のジェネリック ID。 0011：AD7606C-18 のジェネリック ID。	0x3	R
[3:0]	SILICON_REVISION	シリコン・リビジョン。	0x1	R

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

図 124. 64 ピン低プロファイルのクワッド・フラット・パッケージ [LQFP]
(ST-64-2)
寸法 : mm

051706-A

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7606C-18BSTZ	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7606C-18BSTZ-RL	-40°C to +125°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-AD7606C18FMCZ		Evaluation Board for the AD7606C-18	
EVAL-SDP-CH1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品