

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020 年 9 月 29 日現在、アナログ・デバイセス株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2020 年 9 月 29 日

製品名： AD7383、AD7384

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所：

9 ページ、表内の REFIO ピンの説明部分

【誤】

VCC と VLOGIC を投入した後に REFSEL ビットを・・・

【正】

VCC と VLOGIC を投入した後に REFIO を入力します。



デュアル同時サンプリング 16 ビット／14 ビット、4MSPS SAR ADC、擬似差動入力

データシート

AD7383/AD7384

特長

デュアル 16 ビット／14 ビット ADC ファミリ
デュアル同時サンプリング
擬似差動アナログ入力
4MSPS のスループット変換レート
S/N 比（代表値）
87.5dB、 $V_{REF} = 3.3V$ （外部リファレンス）
（16 ビット AD7383）
83.5dB、 $V_{REF} = 3.3V$ （外部リファレンス）
（14 ビット AD7384）
93.4dB（RES = 1、OSR = 8）
オーバーサンプリング機能内蔵
分解能増強機能
INL 誤差（最大値）
2.5LSB（16 ビット AD7383）
1.0LSB（14 ビット AD7384）
2.5V の内部リファレンス
高速シリアル・インターフェース
動作温度：-40°C～+125°C
16 ピン LFCSP、3mm × 3mm
アラート機能

アプリケーション

モータ・コントロールのポジション・フィードバック
モータ・コントロールの電流検出
ソナー
電力品質
データ・アキュイジション・システム
エルビウム添加光増幅器（EDFA）アプリケーション
I/Q 復調

概要

16 ビットの **AD7383** および 14 ビットの **AD7384** は、デュアル同時サンプリング、高速、低消費電力の逐次比較型レジスタ（SAR）A/D コンバータ（ADC）のピン互換ファミリで、3.0V～3.6V の電源で動作し、最大 4MSPS のスループット・レートを特長としています。アナログ入力のタイプは擬似差動型で、 $\overline{CS}$ の立下がりエッジでサンプリングと変換が行われます。

集積化オーバーサンプリング・ブロックを内蔵することで、低帯域領域でのダイナミック・レンジを向上させ、ノイズを低減します。バッファ付き 2.5V 内部リファレンスが備わっていますが、代わりに、最大 3.3V の外部リファレンスを使用することも可能です。

機能ブロック図

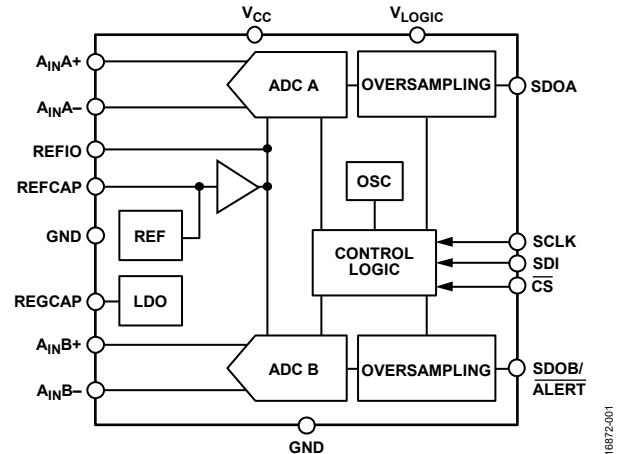


図 1.

変換プロセスとデータ・アキュイジションでは標準的なコントロール入力を使用しているため、マイクロプロセッサやデジタル・シグナル・プロセッサ（DSP）と容易にインターフェース接続できます。また、別個のロジック電源を使用することにより、1.8V、2.5V、3.3V のインターフェースに対応します。

AD7383 と AD7384 は 16 ピン・リード・フレーム・チップ・スケール・パッケージ（LFCSP）で供給され、動作は -40°C～+125°C で仕様規定されています。

多機能ピンの名称は、該当する機能のみで表示されることがあります。

製品のハイライト

- 2 個のフル機能 ADC によるデュアル同時サンプリングと変換。
- ピン互換の製品ファミリ。
- 4MSPS の高スループット・レート。
- 省スペースの 3mm × 3mm LFCSP。
- オーバーサンプリング・ブロックを集積化することで、ダイナミック・レンジが向上し、ノイズが抑制され、SCLK の速度条件が緩和。
- 擬似差動アナログ入力。
- サンプリング・コンデンサの容量が小さいため、アンプの駆動負荷が低減。

表 1. ファミリの関連デバイス

Channels	Analog Input	16-Bit	14-Bit	12-Bit
2	Differential	AD7380	AD7381	
	Pseudo differential	AD7383	AD7384	
	Single-ended	AD7386	AD7387	AD7388

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	オーバーサンプリング	19
アプリケーション	1	分解能増強	21
概要	1	アラート	22
機能ブロック図	1	電力モード	23
製品のハイライト	1	内部リファレンスおよび外部リファレンス	23
改訂履歴	2	ソフトウェア・リセット	23
仕様	3	診断セルフ・テスト	23
タイミング仕様	6	インターフェース	24
絶対最大定格	8	変換結果の読出し	24
熱抵抗	8	低遅延リードバック	25
静電放電 (ESD) 定格	8	デバイス・レジスタからの読出し	26
ESD に関する注意	8	デバイス・レジスタへの書込み	26
ピン配置およびピン機能の説明	9	CRC	27
代表的な性能特性	10	レジスタ	29
用語の定義	14	レジスタのアドレス指定	29
動作原理	15	CONFIGURATION1 レジスタ	30
回路説明	15	CONFIGURATION2 レジスタ	31
コンバータの動作	15	ALERT レジスタ	31
アナログ入力構造	15	ALERT_LOW_THRESHOLD レジスタ	32
ADC の伝達関数	16	ALERT_HIGH_THRESHOLD レジスタ	32
アプリケーション情報	17	外形寸法	33
電源	17	オーダー・ガイド	33
動作モード	19		

改訂履歴

7/2020—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、リファレンス電圧 (V_{REF}) = 2.5V (内部)、サンプリング周波数 (f_{SAMPLE}) = 4MSPS、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 、オーバーサンプリング無効。

表 2. AD7383

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
THROUGHPUT					
Conversion Rate				4	MSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity (DNL) Error		-1.0	-0.5	+1.0	LSB
Integral Nonlinearity (INL) Error		-2.5	± 1.0	+2.5	LSB
Gain Error	T_{MIN} to T_{MAX}	-0.06	± 0.02	+0.06	% FS
Gain Error Temperature Drift		-3	± 1	+3	ppm/ $^{\circ}C$
Gain Error Match	T_{MIN} to T_{MAX}		0.025	± 0.07	% FS
Offset Error	T_{MIN} to T_{MAX}	-0.5	± 0.05	+0.5	mV
Offset Temperature Drift		-1	± 0.25	+1	$\mu V/^{\circ}C$
Offset Error Match	T_{MIN} to T_{MAX}		0.05	0.5	mV
AC ACCURACY	Input frequency (f_{IN}) = 1 kHz				
Dynamic Range	$V_{REF} = 3.3$ V external		87.9		dB
			86.1		dB
Oversampled Dynamic Range	OSR = 4		91.8		dB
Signal-to-Noise Ratio (SNR)	$V_{REF} = 3.3$ V external	85	87.5		dB
		84	86		dB
	OS_MODE = 1, OSR = 8, RES = 1		93.4		dB
	$f_{IN} = 100$ kHz		85.3		dB
Spurious-Free Dynamic Range (SFDR)			101		dB
Total Harmonic Distortion (THD)			-100		dB
	$f_{IN} = 100$ kHz		-97		dB
Signal-to-(Noise + Distortion) (SINAD)	$V_{REF} = 3.3$ V external	84.5	87		dB
		83.5	85.5		dB
Channel to Channel Isolation			-110		dB
POWER SUPPLIES	Normal mode (operational)				
Power Dissipation					
Total Power (P_{TOTAL})			87	107	mW
V_{CC} Power (P_{VCC})			74.3	94	mW
V_{LOGIC} Power (P_{VLOGIC})	Sinewave input at 1 kHz		12.6	13	mW
V_{CC} Current (I_{VCC})			22.5	26	mA
V_{LOGIC} Current (I_{VLOGIC})	Sinewave input at 1 kHz		3.5	3.6	mA

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 2.5V$ （内部）、 $f_{SAMPLE} = 4MSPS$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 、オーバーサンプリング無効。

表 3. AD7384

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		14			Bits
THROUGHPUT					
Conversion Rate				4	MSPS
DC ACCURACY					
No Missing Codes		14			Bits
DNL Error		-1.0	-0.5	+1.0	LSB
INL Error		-1.0	± 0.4	+1.0	LSB
Gain Error	T_{MIN} to T_{MAX}	-0.06	± 0.02	+0.06	% FS
Gain Error Temperature Drift		-3	± 1	+3	ppm/ $^{\circ}C$
Gain Error Match	T_{MIN} to T_{MAX}		0.025	± 0.07	% FS
Offset Error	T_{MIN} to T_{MAX}	-2	± 0.5	+2	LSB
Offset Temperature Drift		-5	± 0.003	+5	$\mu V/^{\circ}C$
Offset Error Match	T_{MIN} to T_{MAX}		0.5	2.5	LSB
AC ACCURACY					
Dynamic Range	$f_{IN} = 1$ kHz $V_{REF} = 3.3$ V external		84.1		dB
			83.2		dB
Oversampled Dynamic Range	OSR = 4		89		dB
SNR	$V_{REF} = 3.3$ V external	82.5	83.5		dB
		82	83		dB
	OS_MODE = 1, OSR = 8, RES = 1		90.7		dB
	$f_{IN} = 100$ kHz		82.7		dB
SFDR			101		dB
THD			-100		dB
	$f_{IN} = 100$ kHz		-96.7		dB
SINAD	$V_{REF} = 3.3$ V	82	83		dB
		81.5	82.5		dB
Channel to Channel Isolation			-110		dB
POWER SUPPLIES					
Power Dissipation	Normal mode (operational)				
P_{TOTAL}			84.2	105.6	mW
P_{VCC}			73	94	mW
P_{VLOGIC}	Sinewave input at 1 kHz		11.2	11.6	mW
I_{VCC}			22	26	mA
I_{VLOGIC}	Sinewave input at 1 kHz		3.1	3.2	mA

表 4. 全デバイス

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG INPUT					
Voltage Range	(A _{INX+}) to (A _{INX-})	$-V_{REF}/2$		$+V_{REF}/2$	V
Absolute Input Voltage Range	A _{INX+}	-0.1		$+V_{REF} + 0.1$	V
Common-Mode Input Range	A _{INX-}		$V_{REF}/2 \pm 0.075$		V
Common-Mode Rejection Ratio (CMRR)	f _{IN} = 500 kHz		-70		dB
DC Leakage Current			0.1	1	μA
Input Capacitance	When in track mode		18		pF
	When in hold mode		5		pF
SAMPLING DYNAMICS					
Input Bandwidth	At -0.1 dB		6		MHz
	At -3 dB		25		MHz
Aperture Delay			2		ns
Aperture Delay Match			26	100	ps
Aperture Jitter			20		ps
REFERENCE INPUT AND OUTPUT					
V _{REF} Input					
Voltage Range	External reference	2.49		3.4	V
Current	External reference		0.47	0.51	mA
V _{REF} Output Voltage	-40°C to +125°C	2.495	2.5	2.505	V
V _{REF} Temperature Coefficient			5	10	ppm/°C
V _{REF} Noise			7		μV rms
DIGITAL INPUTS (SCLK, SDI, AND CS)					
Logic Levels					
Input Voltage	Low (V _{IL})			$0.2 \times V_{LOGIC}$	V
	High (V _{IH})	$0.8 \times V_{LOGIC}$			V
Input Current	Low (I _{IL})	-1		+1	μA
	High (I _{IH})	-1		+1	μA
DIGITAL OUTPUTS (SDOA AND SDOB/ALERT)					
Output Coding			Twos complement		Bits
Output Voltage	Sink current (I _{SINK}) = 300 μA Source current (I _{SOURCE}) = -300 μA			0.4	V
		$V_{LOGIC} - 0.3$			V
Floating State					
Leakage Current				±1	μA
Output Capacitance			10		pF
POWER SUPPLIES					
V _{CC}	External reference = 3.3 V	3.0	3.3	3.6	V
		3.2	3.3	3.6	V
V _{LOGIC}		1.65		3.6	V
I _{VCC}					
Normal Mode (Static)			2.3	2.8	mA
Shutdown Mode			101	200	μA
V _{LOGIC} Current (I _{VLOGIC})					
Normal Mode (Static)			10	200	nA
Shutdown Mode			10	200	nA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Power Dissipation					
P_{VCC}					
Normal Mode (Static)			8	11	mW
Shutdown Mode			365	720	μ W
P_{VLOGIC}					
Normal Mode (Static)			36	720	nW
Shutdown Mode			36	720	nW

タイミング仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 2.5V$ （内部）、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 。タイミング図については図 2 ～図 6、図 36、図 38 を参照してください。

表 5.

パラメータ	Min	Typ	Max	単位	説明
t_{CYC}	250			ns	変換と変換の間の時間
t_{SCLKED}	0.4			ns	$\overline{CS}$ 立下がりエッジから最初の SCLK 立下がりエッジまで
t_{SCLK}	12.5			ns	SCLK 周期
t_{SCLKH}	5			ns	SCLK のハイ時間
t_{SCLKL}	5			ns	SCLK のロー時間
t_{CSH}	10			ns	$\overline{CS}$ パルス幅
t_{QUIET}	10			ns	変換までのインターフェース禁止時間
t_{SDOEN}					$\overline{CS}$ ローから SDOA および SDOB/ALERT がイネーブルになるまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
			8	ns	$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOH}	2			ns	SCLK 立上がりエッジから SDOx ホールドまでの時間
t_{SDOS}					SCLK 立上がりエッジから SDOx セットアップまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
			8	ns	$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOT}			8	ns	$\overline{CS}$ 立上がりエッジから SDOx ハイ・インピーダンスまでの時間
t_{SDIS}	1			ns	SCLK 立下がりエッジまでの SDI セットアップ時間
t_{SDIH}	1			ns	SCLK 立下がりエッジ後の SDI ホールド時間
t_{SCLKCS}	0			ns	SCLK の立上がりエッジから $\overline{CS}$ の立上がりエッジまでの時間
$t_{CONVERT}$			190	ns	変換時間
$t_{ACQUIRE}$	110			ns	取得時間
t_{RESET}					ソフトウェア・リセット後、変換を開始するまでの有効時間
		250		ns	ソフト・リセット後、変換を開始するまでの有効時間
		800		ns	ハード・リセット後変換を開始するまでの有効時間
$t_{POWERUP}$					変換までの電源アクティブ時間
			5	ms	最初の変換が可能
			11	ms	1%以内にセトリングするまでの時間（内部リファレンス使用時）
			5	ms	1%以内にセトリングするまでの時間（外部リファレンス使用時）
$t_{REGWRITE}$			5	ms	レジスタへの読書きアクセスが可能になるまでの電源アクティブ時間
$t_{STARTUP}$					シャットダウン・モードを終了してから変換開始までの時間
			11	ms	1%以内にセトリングするまでの時間（内部リファレンス使用時）
			10	μ s	1%以内にセトリングするまでの時間（外部リファレンス使用時）
$t_{CONVERT0}$	4	7	10	ns	相加平均オーバーサンプリング・モードでの最初のサンプリングの変換開始時間
$t_{CONVERTx}$					相加平均オーバーサンプリング・モードでの x 番目のサンプリングの変換開始時間
			$t_{CONVERT0} + (330 \times (x - 1))$	ns	AD7383 では 3MSPS
			$t_{CONVERT0} + (250 \times (x - 1))$	ns	AD7384 では 4MSPS
t_{ALERTS}			200	ns	$\overline{CS}$ から $\overline{ALERT}$ 指示までの時間
t_{ALERTC}			12	ns	$\overline{CS}$ から $\overline{ALERT}$ クリアまでの時間
t_{ALERTS_NOS}			12	ns	閾値を超えた内部変換から $\overline{ALERT}$ 指示までの時間

タイミング図

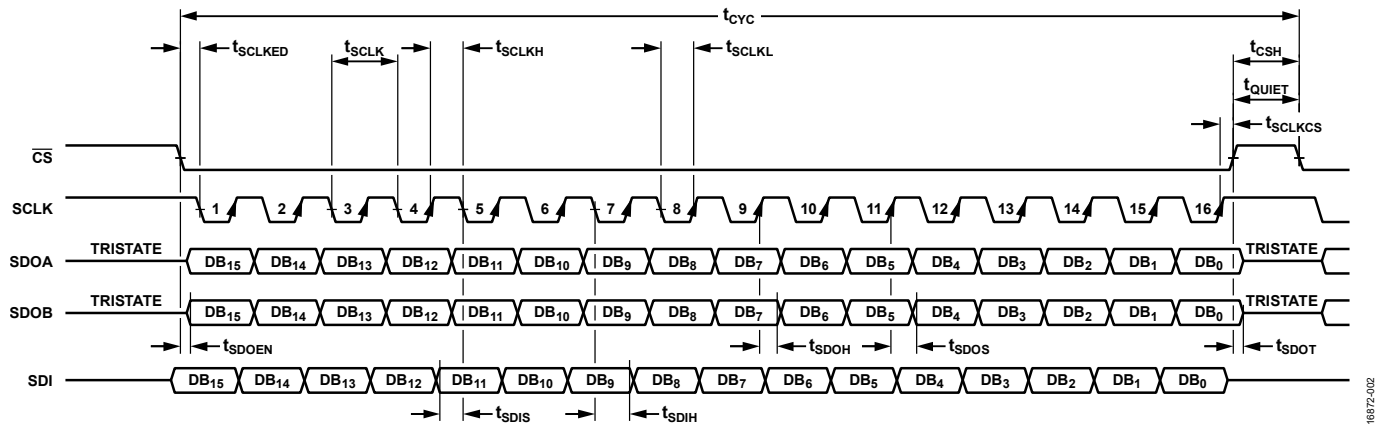


図 2. シリアル・インターフェースのタイミング図

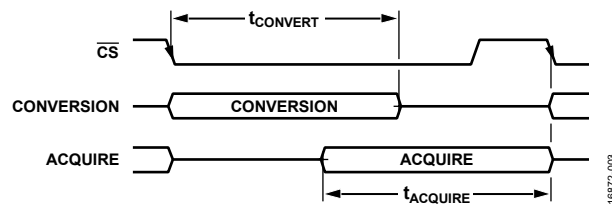


図 3. 内部変換取得時間

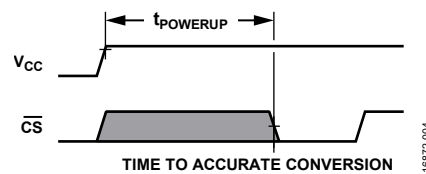


図 4. 変換までのパワーアップ時間

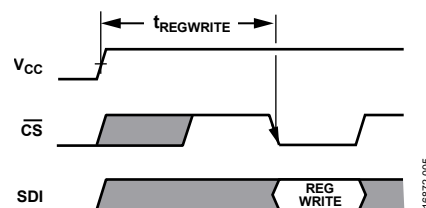


図 5. レジスタの読書きアクセスまでのパワーアップ時間

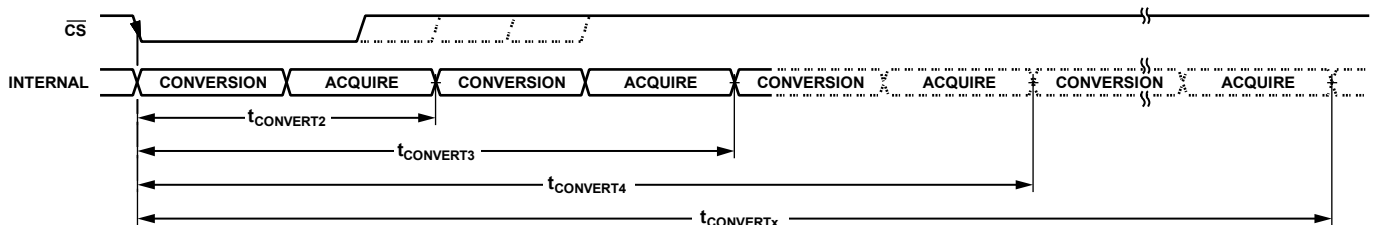


図 6. 相加平均オーバーサンプリング・モード時の変換タイミング

絶対最大定格

表 6.

Parameter	Rating
V_{CC} to GND	-0.3 V to +4 V
V_{LOGIC} to GND	-0.3 V to +4 V
Input Voltage	
Analog to GND	-0.3 V to $V_{REF} + 0.3$ V and less than $V_{CC} + 0.3$ V and less than +4 V
Digital to GND	-0.3 V to $V_{LOGIC} + 0.3$ V and less than +4 V
Digital Output Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V and less than +4 V
REFIO Input to GND	-0.3 V to $V_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies	± 10 mA
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Pb-Free Soldering Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-16-45 ¹	55.4	12.7	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESDS-51 を参照してください。

静電放電（ESD）定格

次の ESD 情報は、ESD に敏感なデバイスを ESD 保護領域内においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘導デバイス帯電モデル（FICDM）。

AD7383 および AD7384 の ESD 定格

表 8. AD7383 および AD7384、16 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	± 4000	3A
FICDM	± 1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

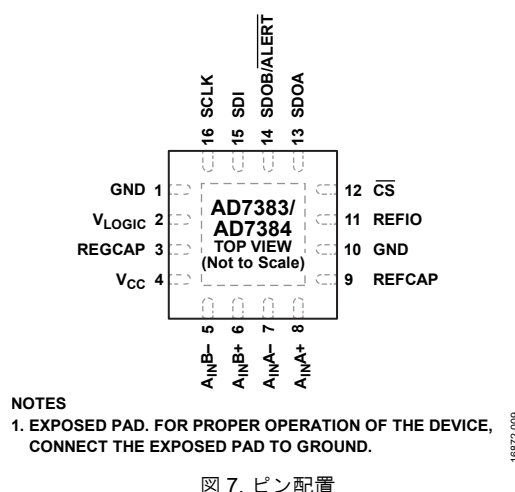


図 7. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1, 10	GND	グラウンド基準ポイント。GND ピンは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V _{LOGIC}	ロジック・インターフェースの電源電圧（1.65V～3.6V）。1μF のコンデンサを使用して、V _{LOGIC} を GND からデカップリングします。
3	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。1μF のコンデンサを使用して、REGCAP を GND からデカップリングします。REGCAP の電圧は 1.9V（代表値）です。
4	V _{CC}	電源入力電圧（3.0V～3.6V）。1μF のコンデンサを使用して、V _{CC} を GND からデカップリングします。
5, 6	A _{INB} –, A _{INB} +	ADC B のアナログ入力。A _{INB} –アナログ入力および A _{INB} +/アナログ入力は擬似差動ペアを形成します。A _{INB} –は通常 V _{REF} /2 に接続し、A _{INB} +/の電圧範囲は 0V～V _{REF} です。
7, 8	A _{INA} –, A _{INA} +	ADC A のアナログ入力。A _{INA} –アナログ入力および A _{INA} +/アナログ入力は擬似差動ペアを形成します。A _{INA} –は通常 V _{REF} /2 に接続し、A _{INA} +/の電圧範囲は 0V～V _{REF} です。
9	REFCAP	バンド・ギャップ・リファレンスのデカップリング・コンデンサ・ピン。0.1μF のコンデンサを使用して、REFCAP を GND からデカップリングします。REFCAP の標準電圧は 2.5V です。
11	REFIO	リファレンス入力および出力。2.5V の内蔵リファレンスは、外部で使用するようデバイスを設定している場合、REFIO を出力として使用できます。また、2.5V～3.3V の外部リファレンスを REFIO に入力することもできます。外部リファレンスを使用する場合、CONFIGURATION1 レジスタの REFSEL ビットを 1 に設定し、V _{CC} および V _{LOGIC} の後に REFSEL ビットに印加します。内部、外部のいずれのリファレンスを選択しても、REFIO にはデカップリングが必要です。REFIO と GND の間には 1μF のコンデンサを接続します。
12	$\overline{\text{CS}}$	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力は、AD7383 および AD7384 の変換開始とシリアル・データ転送のフレーミングの 2 通りの機能を提供します。
13	SDOA	シリアル・データ出力 A。SDOA は、ADC A または ADC B の変換結果、もしくはいずれかの内蔵レジスタのデータにアクセスするためのシリアル・データ出力ピンとして機能します。
14	SDOB/ ALERT	シリアル・データ出力 B/アラート表示出力。SDOB/ALERT ピンは、シリアル・データ出力ピンまたはアラート表示出力として機能します。 SDOB は、ADC B の変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 ALERT は、ローになることで変換結果が設定閾値を超えたことを示すアラート・ピンとして機能します。ALERT を使用する場合、CONFIGURATION2 レジスタの SDO ビットを 1 に設定し、CONFIGURATION1 レジスタの ALERT_EN ビットを 1 に設定します。
15	SDI	シリアル・データ入力。SDI は、内蔵コントロール・レジスタに書き込まれたデータを提供します。
16	SCLK	シリアル・クロック入力。SCLK は、ADC とのデータ転送に使用します。
	EPAD	露出パッド。デバイスを正しく動作させるために、露出パッドをグラウンドに接続してください。

代表的な性能特性

特に指定のない限り、 $V_{REF} = 2.5V$ （内部）、 $V_{CC} = 3.6V$ 、 $V_{LOGIC} = 2.7V$ 、 $f_{SAMPLE} = 4MSPS$ 、 $f_{IN} = 1kHz$ 、 $T_A = 25^\circ C$ 。

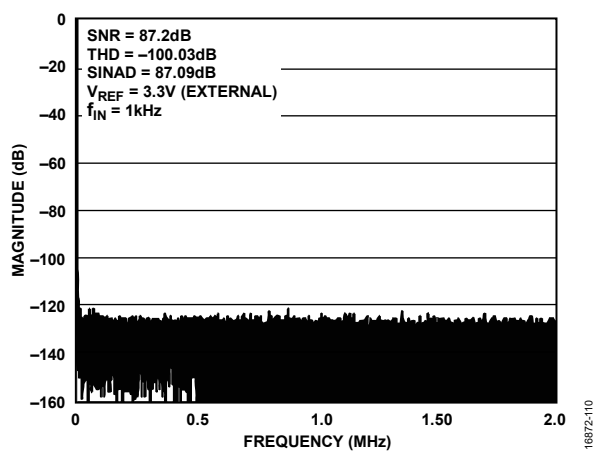


図 8. AD7383 の高速フーリエ変換 (FFT)、 $V_{REF} = 3.3V$ （外部）

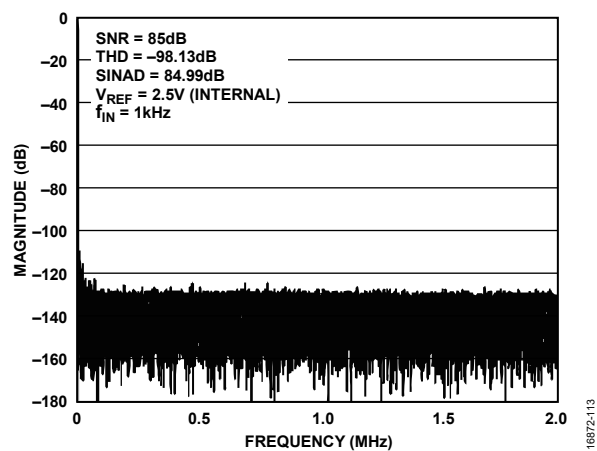


図 11. AD7383 の FFT、 $V_{REF} = 2.5V$ （内部）

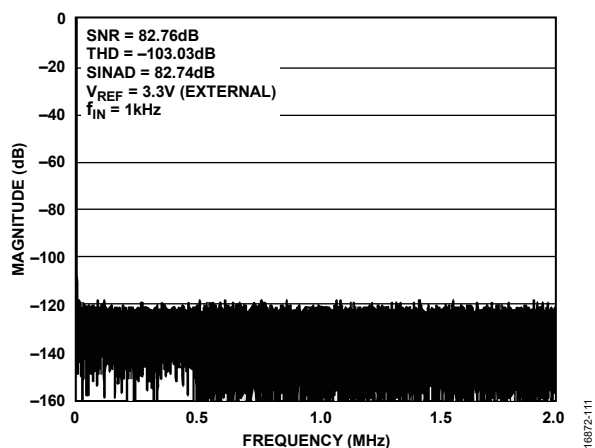


図 9. AD7384 の FFT、 $V_{REF} = 3.3V$ （外部）

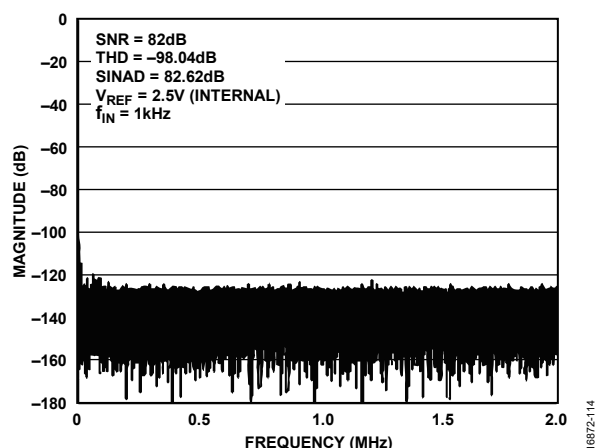


図 12. AD7384 の FFT、 $V_{REF} = 2.5V$ （内部）

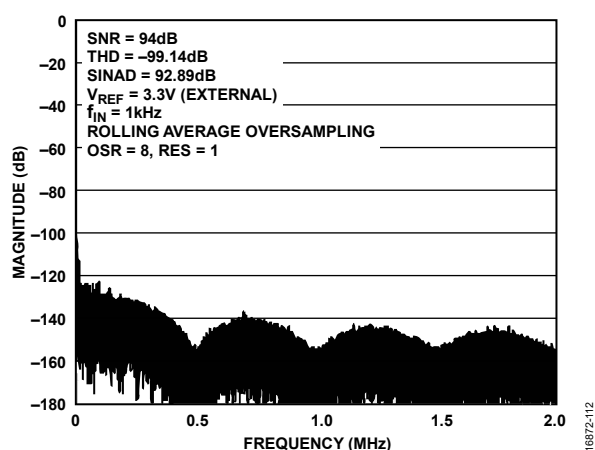


図 10. AD7383 の移動平均オーバーサンプリング

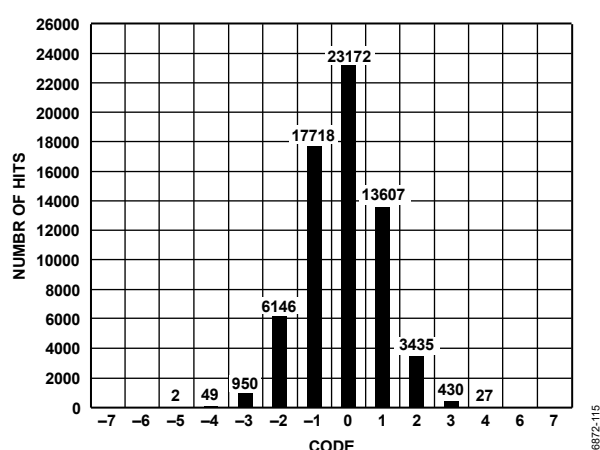


図 13. コード中央での DC ヒストグラム

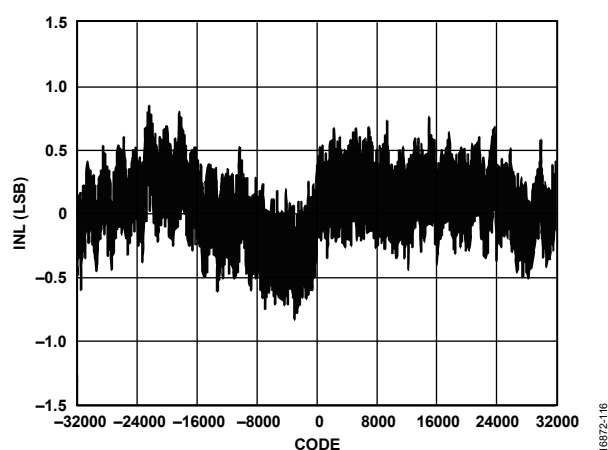


図 14. 代表的な INL 誤差

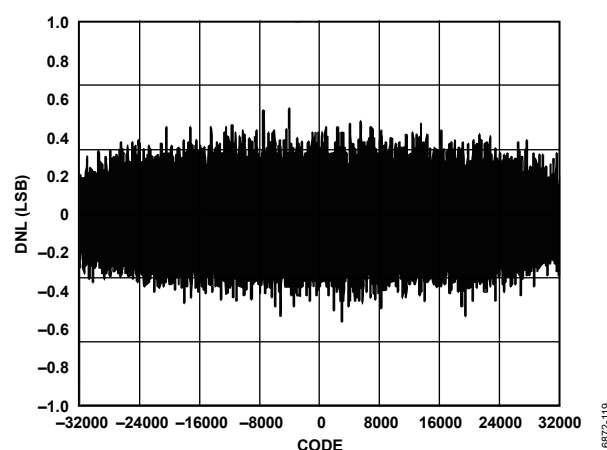


図 17. 代表的な DNL 誤差

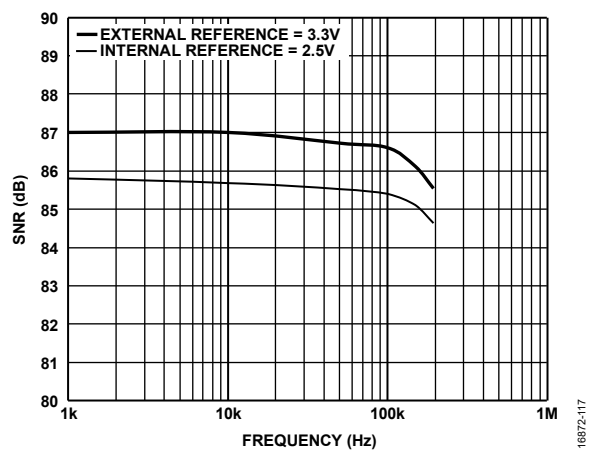


図 15. AD7383 の SNR の周波数特性

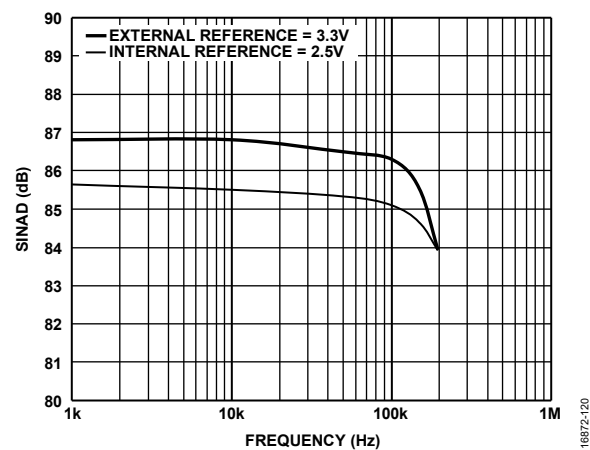


図 18. AD7383 の SINAD と周波数の関係

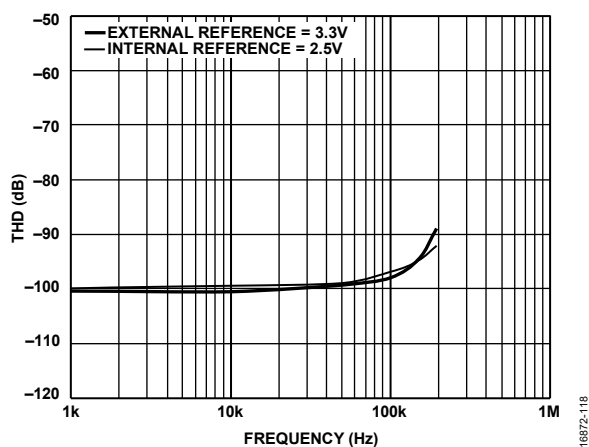


図 16. AD7383 の THD と周波数の関係

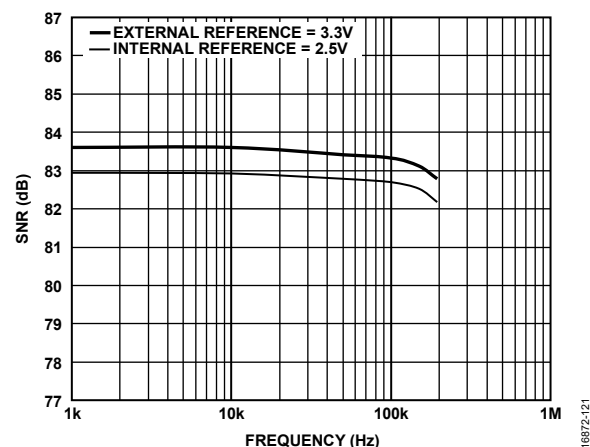


図 19. AD7384 の SNR と周波数の関係

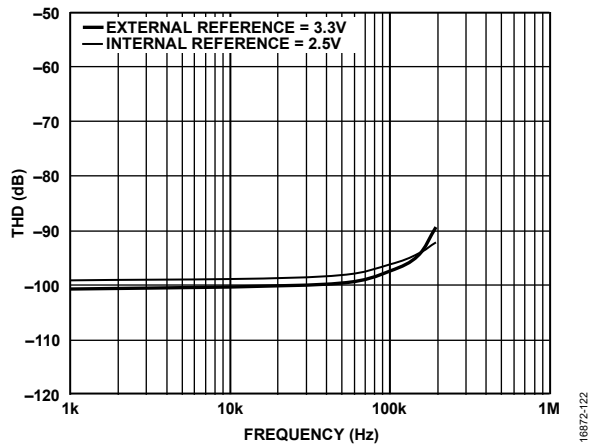


図 20. AD7384 の THD と周波数の関係

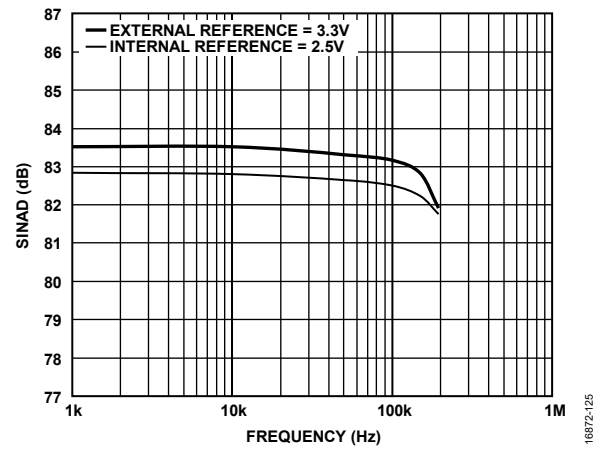


図 23. AD7384 の SINAD と周波数の関係

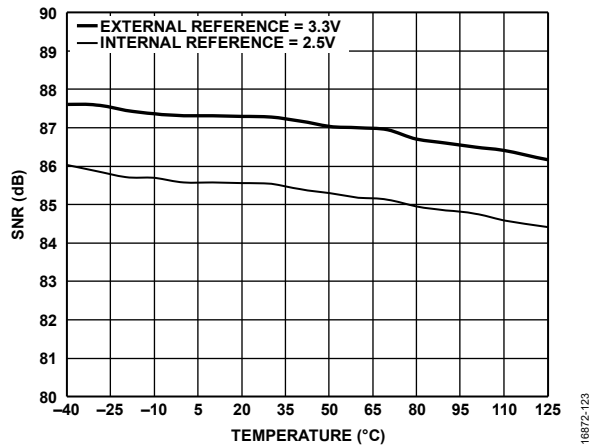


図 21. AD7383 の SNR と温度の関係

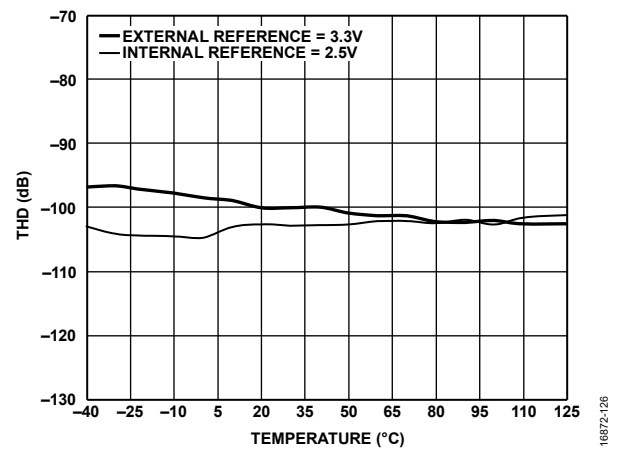


図 24. AD7383 の THD と温度の関係

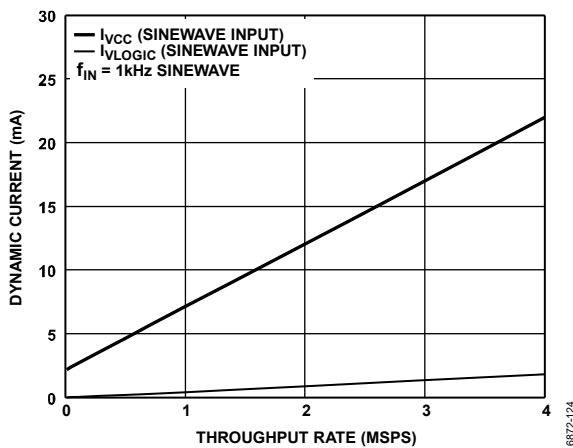


図 22. 動的電流とスループット・レートの関係

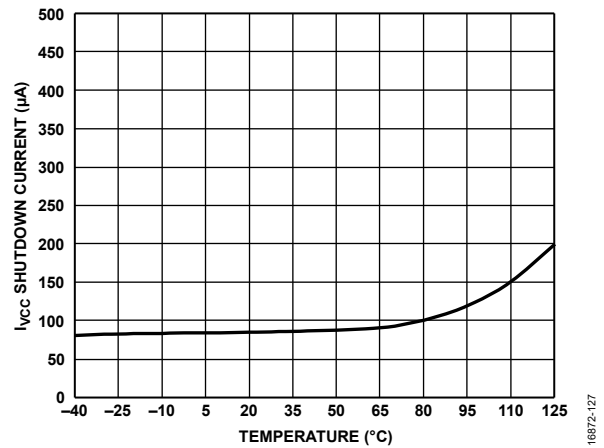


図 25. I_{VCC} シャットダウン電流の温度特性

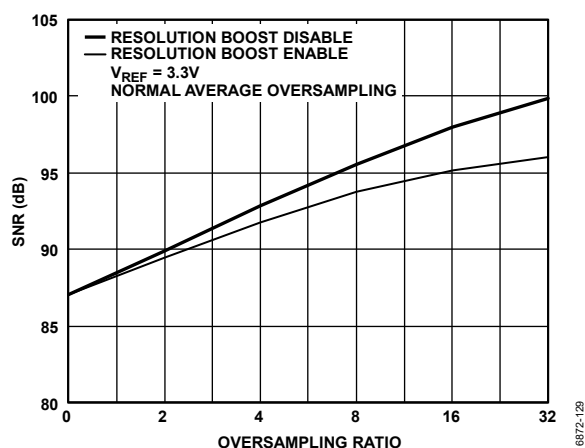


図 26. SNR とオーバーサンプリング比の関係、
相加重平均オーバーサンプリング (AD7383)

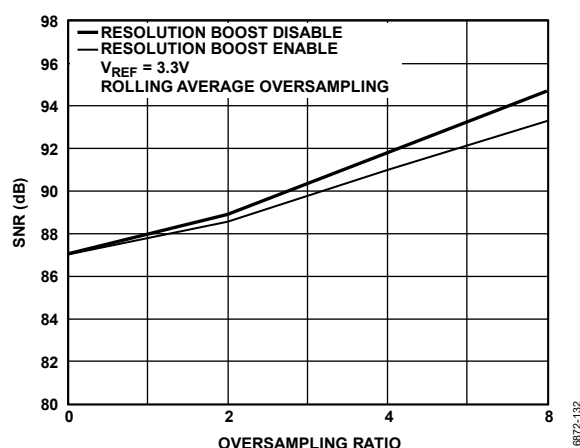


図 28. SNR とオーバーサンプリング比の関係、
移動平均オーバーサンプリング (AD7383)

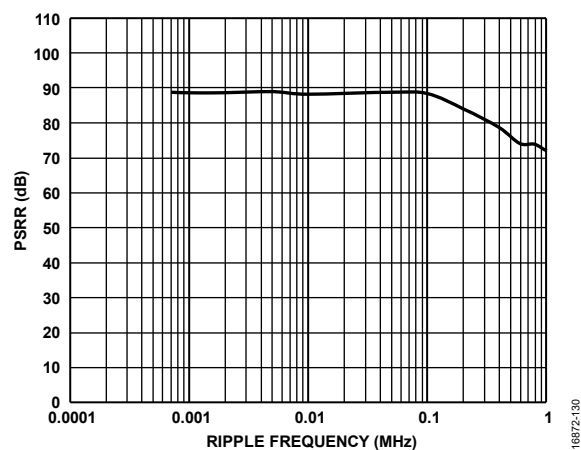


図 27. 電源電圧変動除去比 (PSRR) とリップル周波数の関係

用語の定義

微分非直線性 (DNL)

理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

積分非直線性 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ゲイン誤差

最初の遷移 (100 ... 000 から 100 ... 001) は負の公称フルスケールより $\frac{1}{2}$ LSB 上のレベルで発生します。最後の遷移 (011 ... 110 から 011 ... 111) は公称フルスケールより $1\frac{1}{2}$ LSB 低いアナログ電圧で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

ゲイン誤差の温度ドリフト

ゲイン誤差ドリフトは、1°C の温度変化によるゲイン誤差の変化です。

ゲイン誤差マッチング

ゲイン誤差マッチングは、負のフルスケール誤差の入力チャンネル間の差と正のフルスケール誤差の入力チャンネル間の差です。

オフセット誤差

オフセット誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

オフセットの温度ドリフト

オフセット誤差ドリフトは、1°C の温度変化によるゼロ誤差の変化です。

オフセット誤差マッチング

オフセット誤差マッチングは、入力チャンネル間のゼロ誤差の差です。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波成分と直流成分を除く) の rms 総和に対する実際の入力信号の rms 値の比です。S/N 比の単位はデシベル (dB) です。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位は dB です。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 次高調波成分の実効値総和の比率で、単位は dB です。

信号対ノイズ+歪み比 (SINAD)

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の実効値の比です。SINAD の単位は dB です。

同相ノイズ除去比 (CMRR)

CMRR は、 A_{INX+} と A_{INX-} のコモンモード電圧に印加された周波数 f の 200mVp-p サイン波の電力に対する、周波数 f の ADC 出力電力の比です。

$$CMRR (dB) = 10 \log(P_{ADC_IN}/P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は A_{INX+} および A_{INX-} 入力に印加される周波数 f のコモンモード電力、

P_{ADC_OUT} は、周波数 f での ADC の出力電力です。

アパーチャ遅延

アパーチャ遅延は、アキュジション性能の尺度で、 $\overline{CS}$ 入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

アパーチャ遅延マッチング

アパーチャ遅延マッチングは、ADC A と ADC B の間のアパーチャ遅延の差です。

アパーチャ・ジッタ

アパーチャ・ジッタはアパーチャ遅延の変動です。

動作原理

回路説明

16 ビットの AD7383 と 14 ビットの AD7384 は高速デュアル同期サンプリング擬似差動 SAR ADC です。AD7383 と AD7384 は、3.0V~3.6V の電源で動作し、最大 4MSPS のスループット・レートの特長としています。

AD7383 と AD7384 には、2 個の SAR ADC と個別のデータ出力ピン 2 本を持つシリアル・ペリフェラル・インターフェースが内蔵されています。デバイスは 16 ピン LFCSP に収容されており、代替ソリューションに比べ、かなりのスペースが節約できる利点を備えています。

デバイスからデータへのアクセスは SPI を介して行われます。SPI は、1 つまたは 2 つのシリアル出力で動作します。AD7383 と AD7384 は、2.5V の内部リファレンス V_{REF} を内蔵しています。外部リファレンスが必要な場合は、内部リファレンスをディセーブルして 2.5V~3.3V の範囲のリファレンスを供給し、CONFIGURATION1 レジスタの REFSEL ビットを 1 に設定します。内部リファレンスをシステムの別の場所を使用する場合は、リファレンス出力をバッファする必要があります。AD7383 および AD7384 の擬似差動アナログ入力範囲は、コモンモード電圧 (V_{CM}) $\pm V_{REF}/2$ です。

AD7383 と AD7384 はオーバーサンプリング・ブロックを内蔵することで、性能を向上させています。相加平均および移動平均オーバーサンプリング・モードや、変換の間での消費電力削減を可能にするパワーダウン・オプションも使用可能です。デバイスの設定は標準的な SPI を介して行うことができます（[インターフェース](#)のセクションを参照）。

コンバータの動作

AD7383 と AD7384 には 2 個の SAR ADC があり、それぞれが 2 個の容量性 D/A コンバータ (DAC) を中心に構成されています。[図 29](#) にこれらの ADC の 1 つのアクイジション・モードの簡略化回路図、[図 30](#) に変換モードの簡略化回路図を示します。ADC は、コントロール・ロジック、SAR、2 個の容量性 DAC で構成されています。[図 29](#) (アクイジション・フェーズ) では、SW3 は閉じて、SW1 と SW2 は位置 A にあります。コンパレータは平衡状態を維持し、サンプリング・コンデンサ (C_S) アレイは入力の擬似差動信号を取得します。

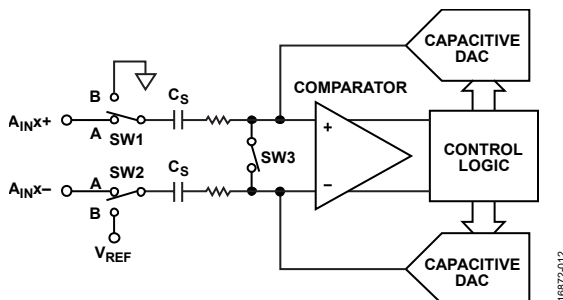


図 29. ADC アクイジション・フェーズ

ADC が変換を開始すると ([図 30](#))、SW3 が開いて、SW1 と SW2 が位置 B に切り替わり、コンパレータが非平衡状態になります。変換が開始されると、どちらの入力も切断されます。コントロール・ロジックと電荷再配分式 DAC を使って、サンプリング・コンデンサに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを生成します。A_INX+ピンと A_INX-ピンの駆動源の出力インピーダンスは一致している必要があります。

そうでないと、この 2 つの入力のセットリング時間が異なってしまう、誤差の原因となります。

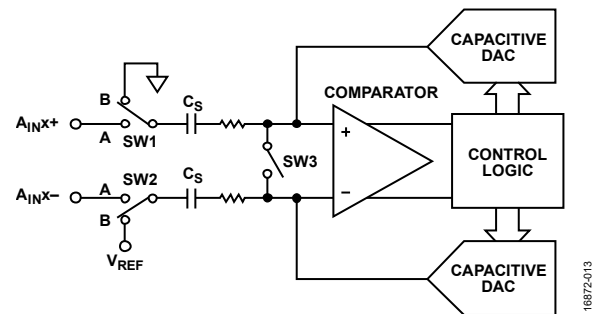


図 30. ADC 変換フェーズ

アナログ入力構造

[図 31](#) に、AD7383 と AD7384 の等価アナログ入力回路を示します。4 個のダイオード (D) が、アナログ入力の ESD 保護機能を果たしています。アナログ入力信号が電源レールを 300mV 以上上回ることをしないよう、注意してください。この制限を超えると、ダイオードが順方向バイアスとなり、基板への導通が発生します。各ダイオードがデバイスに回復不能な損傷を与えない最大電流は 10mA です。

[図 31](#) に示すコンデンサ C1 は通常 3pF で、主にピン容量によって決まります。抵抗 R1 はスイッチのオン抵抗で構成される集中定数コンポーネントです。この抵抗の値は通常約 200Ω です。コンデンサ C2 は ADC のサンプリング・コンデンサで通常 15pF です。

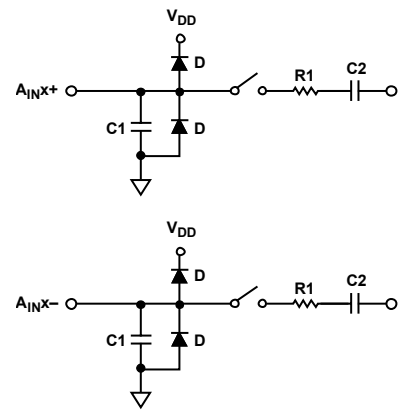


図 31. 等価アナログ入力回路、
変換フェーズ - スイッチ開、トラック・フェーズ - スイッチ閉

ADC の伝達関数

AD7383 と AD7384 では、2.5V~3.3V（代表値）の V_{REF} を使用できます。これらのデバイスは、アナログ入力（ $A_{IN}A+$ 、 $A_{IN}A-$ 、 $A_{IN}B+$ 、 $A_{IN}B-$ ）の差動電圧をデジタル出力に変換します。

変換結果は MSB ファーストで、2 の補数です。LSB の大きさは $V_{REF}/2^N$ (N は ADC の分解能) です。ADC の分解能は、選択したデバイスの分解能と分解能増強モードが有効かどうかによって決まります。表 10 に、異なる分解能とリファレンス電圧のオプションに対する LSB の大きさを、 μV 単位で示します。

AD7383 と AD7384 の理想伝達特性を図 32 に示します。

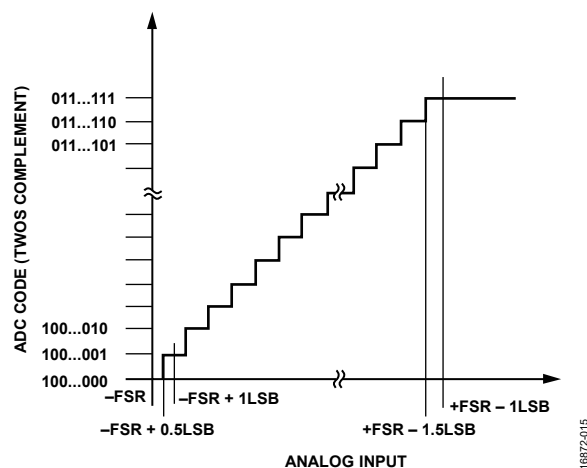


図 32. ADC の理想的な伝達関数 (FSR はフルスケール範囲)

表 10. LSB の大きさ

Resolution (Bit)	2.5 V Reference (μV)	3.3 V Reference (μV)
14	152.6	201.4
16	38.1	50.3
18	9.5	12.6

アプリケーション情報

図 33 に、AD7383 と AD7384 の接続図の代表例を示します。図 33 に示すように、V_{CC} ピン、V_{LOGIC} ピン、REGCAP ピン、REFIO ピンは適切なデカップリング・コンデンサを用いて、デカップリングされています。

露出パッドはデバイス上の回路のグラウンド基準ポイントとなるもので、PCB のグラウンドに接続する必要があります。

RC フィルタをアナログ入力に配置して、最適性能を確保します。一般的なアプリケーションでは、R = 33Ω、C1 = 68pF とすることを推奨します。

AD7383 と AD7384 の性能は、デジタル・インターフェースのノイズの影響を受ける可能性があります。この影響はボード上のレイアウトと設計に依存します。デジタル・ラインとデジタル・インターフェースの距離を最小にするか、100Ω の抵抗を SDOA ピンと SDOB/ALERT ピンの近くに直列に配置して、AD7383 および AD7384 にカップリングするデジタル・インターフェースからのノイズを抑制します。

AD7383 と AD7384 の 2 つの擬似差動 ADC チャンネルは、A_{IN}A+ および A_{IN}B+ では 0V ~ V_{REF} の入力電圧範囲を、A_{IN}A- と A_{IN}B- では V_{REF}/2 の電圧を受け入れることができます。A_{IN}A+、A_{IN}B+、A_{IN}A-、A_{IN}B- のアナログ入力ピンはアンプで駆動できます。表 11 は、アプリケーションに最適でその価値を高める推奨ドライバ・アンプのリストです。AD7383 および AD7384 は、REFIO ピンを介して使用できる 2.5V のバッファ付き内部リファレンスを備えています。このバッファ付き 2.5V 内部リファレンスは、外部回路に接続する前に、ADA4807-2 などの外部バッファを使用する必要があります。AD7383 と AD7384 は、ADR4533 や ADR4525 などの超低ノイズ高精度電圧リファレンスを、2.5V ~ 3.3V の外部電圧源として使用することもできます。

電源

図 33 に示した代表的なアプリケーション回路の電力は、5V の単電圧源 (V+) からシグナル・チェーン全体に供給されています。この 5V 電源には、低ノイズ、低ドロップアウト (LDO) の CMOS レギュレータ (ADP7105) を使用できます。ドライバ・アンプの電源は +5V (V+) および、インバータ (ADM660) から引き出される -2.5V 負電源レール (V-) によって供給されます。インバータは +5V を -5V に変換し、低ノイズ電圧レギュレータ ADP7182 に電圧を供給して -2.5V を出力します。AD7383 と AD7384 の 2 つ独立電源 V_{CC} および V_{LOGIC} はそれぞれアナログ回路とデジタル・インターフェースに電力を供給するもので、ADP166 などの低静止電流 LDO レギュレータを電源として使用できます。ADP166 は、代表的な V_{CC} および V_{LOGIC} レベルである 1.2V ~ 3.3V の範囲の固定電圧を出力する最適な電源です。V_{CC} 電源と V_{LOGIC} 電源はどちらも、1μF のコンデンサを使用して個別にデカップリングします。更に、AD7383 および AD7384 に電力供給する LDO レギュレータが内蔵されています。この内部レギュレータは、デバイスの内部使用専用で 1.9V を供給します。REGCAP ピンは、1μF のコンデンサを GND に接続してデカップリングします。

パワーアップ

AD7383 と AD7384 は電源シーケンシングに対して堅牢です。V_{CC} および V_{LOGIC} には、どのシーケンスでも印加できます。外部リファレンスは、V_{CC} および V_{LOGIC} の印加後に印加してください。

AD7383 と AD7384 では、V_{CC} および V_{LOGIC} に印加してから ADC の変換結果が安定するまでに、t_{POWERUP} の時間が必要です。セットアップ時間が経過する前に CS パルスを印加したり、AD7383 や AD7384 にインターフェース接続を行ったりしても、ADC の動作に悪影響はありません。ただし、この時間の変換結果はデータシート仕様を満たすとは限らないため、無視する必要があります。

表 11. シグナル・チェーンの部品

併用デバイス	デバイス名	説明	代表的なアプリケーション
ADC Driver	ADA4896-2	1nV/√Hz のレール to レール出力アンプ	高精度、低ノイズ、高周波数
	ADA4940-2	超低消費電力、完全差動、低歪み	高精度、低密度、低消費電力
	ADA4807-2	1mA のレール to レール出力アンプ	高精度、低消費電力、高周波数
	LTC6227	低歪みレール to レール出力オペアンプ	高精度、低ノイズ、高周波数
External Reference	ADR4525	超低ノイズ、高精度の 2.5V 電圧リファレンス	2.5V のリファレンス電圧
	ADR4533	超低ノイズ、高精度の 3.3V 電圧リファレンス	3.3V のリファレンス電圧
LDO	ADP166	極めて低い静止電流、150mA、LDO レギュレータ	V _{CC} および V _{LOGIC} 用 3.0V ~ 3.6V 電源

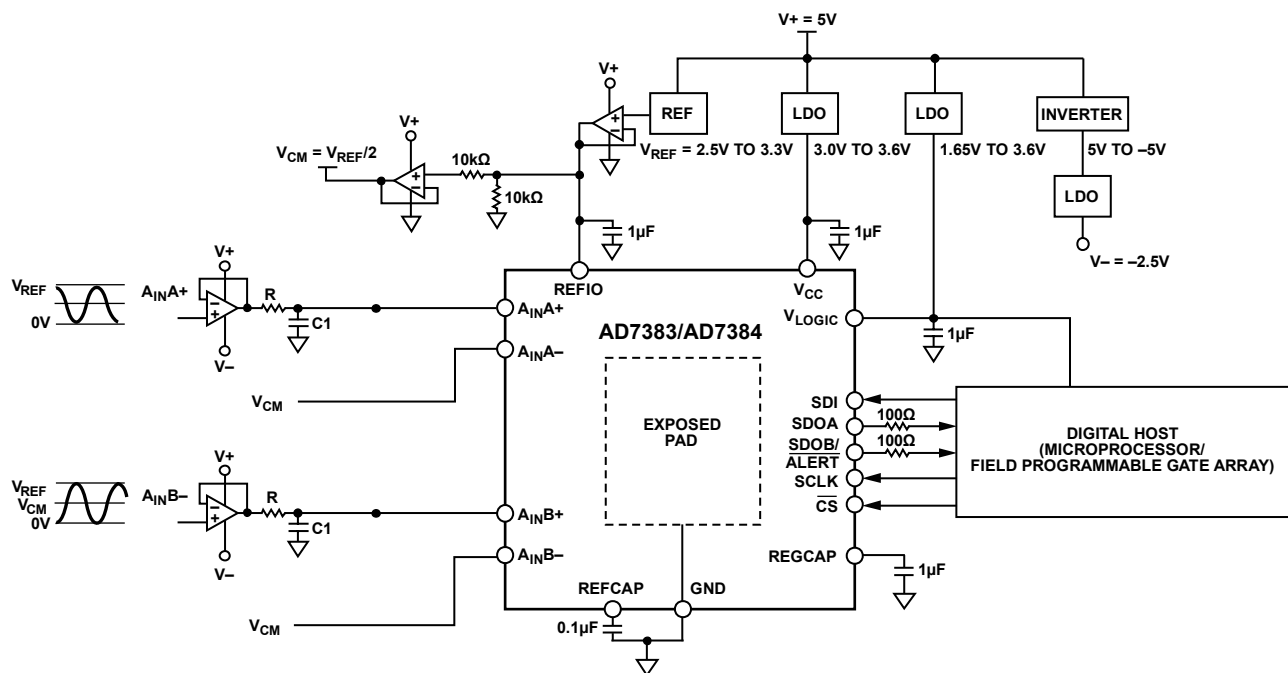


図 33. 代表的なアプリケーション回路

16872-135

動作モード

AD7383 と AD7384 には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

オーバーサンプリング

オーバーサンプリングは、アナログ電子機器において広く使用されている手法で、ADC の結果の精度を向上することができます。アナログ入力複数のサンプルを取得し平均することで、ADC の量子化ノイズや熱ノイズ (kTC) に由来するノイズ成分を削減します。AD7383 と AD7384 では、オーバーサンプリング機能がオンチップで提供され、相加平均と移動平均の 2 つのオーバーサンプリング・モードがユーザ設定可能です。

このオーバーサンプリング機能は、CONFIGURATION1 レジスタの OS_MODE ビット (ビット 9) と OSR ビット (ビット [8:6]) をプログラムして設定します。

相加平均オーバーサンプリング

相加平均オーバーサンプリング・モードは、出力データ・レートが低くなることが許容されるアプリケーションや、S/N 比やダイナミック・レンジが高いことが必要なアプリケーションで使用できます。相加平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果が AD7383 または AD7384 から出力されます。プロセスが完了すると、サンプリングしたデータはクリアされます。

相加平均オーバーサンプリング・モードは、OS_MODE ビットをロジック 0 にし、OSR ビットを有効な非ゼロ値とすることで

設定されます。OSR ビットに書き込みを行うと、レジスタが更新されるまでに 2 サイクル分の遅延が生じます。デジタル・フィルタのオーバーサンプリング比はオーバーサンプリング・ビットである OSR を使用して制御できます。OSR は、各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを提供します (表 12 と表 13 を参照)。出力結果は、AD7383 用に 16 ビットの分解能、AD7384 用に 14 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、CONFIGURATION1 レジスタの分解能増強ビットを設定します。詳細については[分解能増強](#)のセクションを参照してください。

OSR ビットで定義された n 個のサンプルが取得、加算されて、n で除算されます。最初の ADC 変換は CS の立下がりエッジで開始され、オーバーサンプリング中の後続の全サンプリングは、AD7383 および AD7384 内部で制御されます。追加の n サンプルのサンプリング・レートは 3MSPS です。オーバーサンプリングの変換結果は、次のシリアル・インターフェース・アクセスでリードバックできます。この手法の適用後、計算に使用されたサンプル・データは破棄されます。これは、アプリケーションが新たな変換結果を必要とするたびに繰り返されるプロセスで、CS の立下がりエッジで開始されます。

出力データ・レートはオーバーサンプリング比分だけ低下するため、データ送信に必要な SPI の SCLK 周波数も、これに応じて減少します。

表 12. AD7383 の相加平均オーバーサンプリング性能の概要

OSR, Bits[8:6]	Oversampling Ratio	SNR (dB Typical)				Output Data Rate (kSPS Maximum)
		V _{REF} = 2.5 V		V _{REF} = 3.3 V		
		RES = 0	RES = 1	RES = 0	RES = 1	
000	Disabled	85.4	85.4	87.1	87.1	4000
001	2	87.9	88.3	89.4	89.9	1500
010	4	90.5	91.3	91.8	92.8	750
011	8	92.7	94.1	93.7	95.5	375
100	16	94.4	96.6	95.2	97.9	187.5
101	32	95.6	98.4	96	99.8	93.75

表 13. AD7384 の相加平均オーバーサンプリング性能の概要

OSR, Bits[8:6]	Oversampling Ratio	SNR (dB Typical)		Output Data Rate (kSPS Maximum)
		RES = 0	RES = 1	
000	Disabled	82.8	82.8	4000
001	2	83.4	85.7	1500
010	4	84.3	88.7	750
011	8	85.04	90.9	375
100	16	85.5	93.0	187.5
101	32	85.7	94.5	93.75

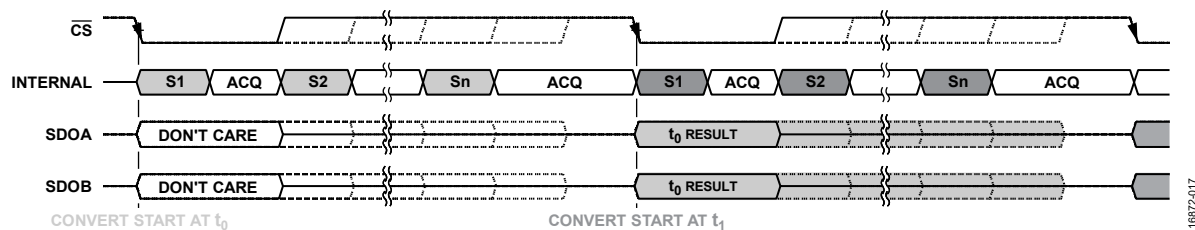


図 34. 相加平均オーバーサンプリングの動作

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、出力データ・レートを高くすることが必要なアプリケーションや、S/N 比またはダイナミック・レンジが高いことが必要なアプリケーションで使用できます。移動平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果が AD7383 または AD7384 から出力されます。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し（FIFO）バッファを使用し、それにより ADC スループット・レートと出力データ・レートを同じ状態に維持できます。

移動平均オーバーサンプリング・モードは、OS_MODE ビットをロジック 1 にし、OSR ビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビットである OSR を使用して制御できます（表 14 と表 15 を参照）。出力結果は、AD7383 用に 16 ビットの分解能、AD7384 用に 14 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、CONFIGURATION1 レジスタの分解能増強ビットを設定します。詳細については[分解能増強](#)のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADC の全変換は CS の立下がりエッジで制御と開始が行われます。変換が完了すると、結果は FIFO に読み込まれます。FIFO の長さは 8 で、これはオーバーサンプリング比の設定によりません。FIFO は、パ

ワーオン・リセット後の最初の変換、ソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換、または、REFSEL ビットがトグルされた後の最初の変換で満たされます。新しい変換結果は、OSR ビットおよび OS_MODE ビットのステータスに関わらず、各 ADC 変換完了時に FIFO にシフトされます。この変換によって、FIFO が満たされるのを待たずに、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移や、異なる移動平均オーバーサンプリング比の間での継ぎ目のない遷移が可能となります。

OSR ビットで定義された n 個のサンプルが FIFO から取得、加算されて、 n で除算されます。CS の立下がりエッジ間の時間は、目的のデータ出力レートに応じてユーザが制御できるサイクル時間です。

分解能増強

AD7383 の変換結果出力データのデフォルト・サイズは 16 ビット、AD7384 では 14 ビットです。内蔵のオーバーサンプリング機能を有効化すると、ADC の性能は AD7383 の 16 ビット・レベルまたは AD7384 の 14 ビット・レベルを上回ることができます。この性能向上を実現するために、2 ビットの分解能を追加することができます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定し、AD7383 および AD7384 を有効なオーバーサンプリング・モードにした場合、AD7383 の変換結果のサイズは 18 ビット、AD7384 の変換結果のサイズは 16 ビットになります。このモードでは、AD7383 のデータを伝搬するには 18SCLK、AD7384 では 16SCLK が必要となります。

表 14. AD7383 の移動平均オーバーサンプリング性能の概要

OSR, Bits[8:6]	Oversampling Ratio	SNR (dB Typical)				Output Data Rate (kSPS Maximum)
		V _{REF} = 2.5 V		V _{REF} = 3.3 V		
		RES = 0	RES = 1	RES = 0	RES = 1	
000	Disabled	85.4	85.4	87.0	87.0	4000
001	2	87.3	87.5	88.5	88.9	4000
010	4	89.9	90.5	91.0	91.8	4000
011	8	92.2	93.3	93.2	94.6	4000

表 15. AD7384 の移動平均オーバーサンプリング性能の概要

OSR, Bits[8:6]	Oversampling Ratio	SNR (dB Typical)		Output Data Rate (kSPS Maximum)
		RES = 0	RES = 1	
000	Disabled	82.8	82.8	4000
001	2	83.2	85.3	4000
010	4	84.2	88.3	4000
011	8	84.9	90.6	4000

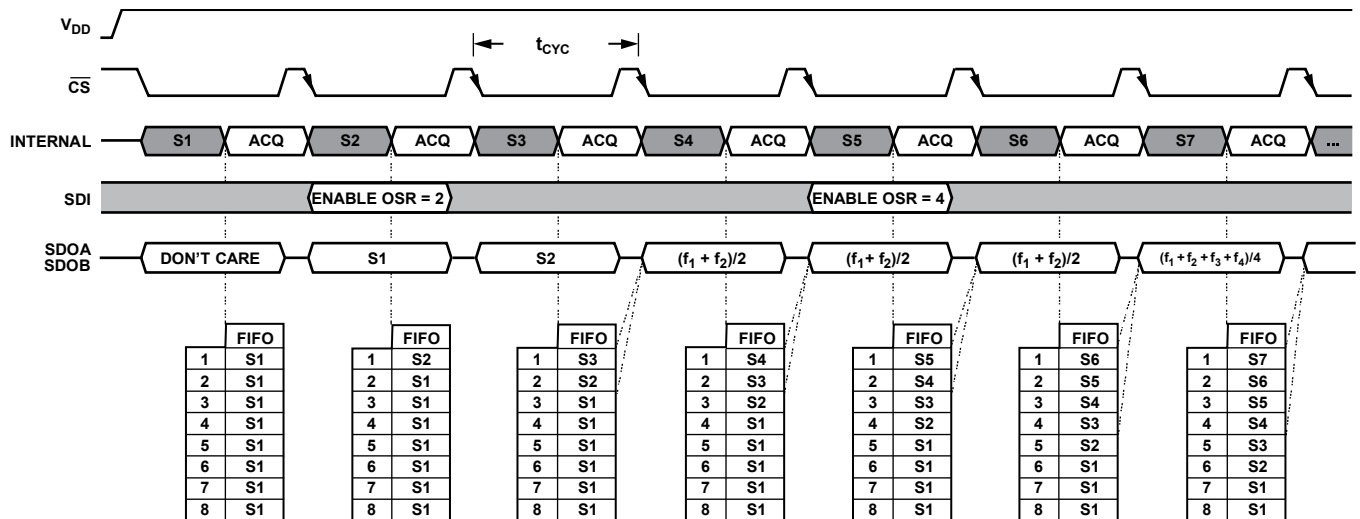


図 35. 移動平均オーバーサンプリング・モードの設定

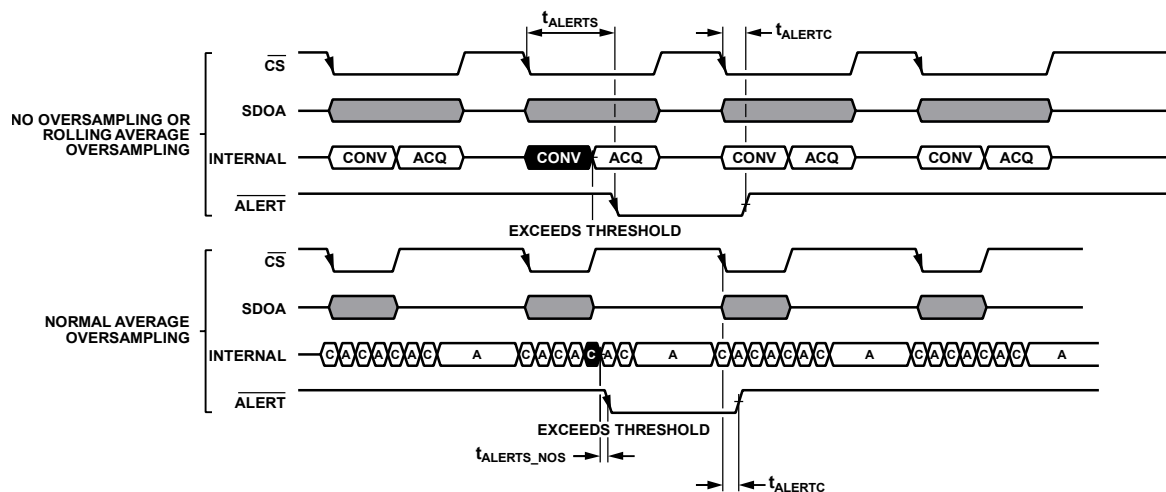


図 36. アラートの動作

アラート

アラート機能は範囲外インジケータで、領域外の変換結果の初期インジケータとして使用できます。変換結果値レジスタが `ALERT_HIGH_THRESHOLD` レジスタのアラート上限値を超えた場合、または `ALERT_LOW_THRESHOLD` レジスタのアラート下限値を下回った場合、アラート・イベントがトリガされます。`ALERT_HIGH_THRESHOLD` レジスタと `ALERT_LOW_THRESHOLD` レジスタは、すべての ADC に共通です。閾値の制限を設定する場合、アラート上限閾値は必ずアラート下限閾値より高くしてください。詳細なアラート情報には、`ALERT` レジスタでアクセスできます。

この `ALERT` レジスタには、ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。すべての ADC のアラート信号の論理 OR により、共通のアラート値が作成されます。この値は、`SDOB/ALERT` ピンの `ALERT` 機能に出力されるよう設定できます。`SDOB/ALERT` ピンは、`CONFIGURATION1` レジスタおよび `CONFIGURATION2` レジスタの次のビットを設定することで、`ALERT` に設定できます。

- `SDO` ビットを 1 に設定します。
- `ALERT_EN` ビットを 1 に設定します。
- `ALERT_HIGH_THRESHOLD` レジスタと `ALERT_LOW_THRESHOLD` レジスタに有効な値を設定します。

アラート表示機能は、移動平均と相加平均の両方のオーバーサンプリング・モードおよび非オーバーサンプリング・モードで使用できます。

`SDOB/ALERT` ピンの `ALERT` 機能は、変換の終了時に更新されます。`ALERT` レジスタのアラート表示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。`SDOB/ALERT` ピンの `ALERT` 機能は、`CS` の立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、`ALERT` レジスタのアラート・ステータスがクリアされます。

電力モード

AD7383 と AD7384 には、通常動作モードとシャットダウン・モードの 2 つの電力モードがあります。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化できます。

CONFIGURATION1 レジスタの PMODE ビットをプログラムして、AD7383 および AD7384 の電力モードを設定します。PMODE ビットをロジック 0 に設定すると通常動作モード、ロジック 1 に設定するとシャットダウン・モードになります。

通常動作モード

スループット・レートを最高速にするには、AD7383 および AD7384 を通常動作モードに維持します。AD7383 と AD7384 内の全ブロックが常にフルパワーとなり、必要に応じて CS の立下がりエッジで ADC 変換を開始できます。AD7383 と AD7384 が変換を行っていない場合は、デバイスは静的モードになり、消費電力は自動的に削減されます。変換を実行するには、追加電流が必要となります。そのため、AD7383 と AD7384 の消費電力はスループットに応じて増加します。

シャットダウン・モード

スループット・レートを下げ消費電力を抑制することが必要な場合は、各変換の間に ADC をパワーダウンするか、高スループット・レートでの一連の変換を実行した後、これらのバースト変換の間に比較的長時間 ADC をパワーダウンするかのどちらかの方法で、シャットダウン・モードを使用します。AD7383 および AD7384 がシャットダウン・モードになると、内部リファレンス（有効な場合）を含め、すべてのアナログ回路がパワーダウンされます。シャットダウン・モードの間も SPI は引き続き有効であるため、AD7383 と AD7384 はシャットダウン・モードを終了することができます。

シャットダウン・モードに入るには、CONFIGURATION1 レジスタの PMODE ビットに書き込みます。AD7383 と AD7384 は停止し、消費電流が削減されます。

シャットダウン・モードを終了し通常動作モードに戻るには、CONFIGURATION1 レジスタの PMODE ビットをロジック 0 に設定します。すべてのレジスタ構成設定は、シャットダウン・モードを開始しても終了しても変わりません。シャットダウン・モードの終了後、変換を開始するまでに、回路がオンになるための十分な時間が必要です。内部リファレンスが有効な場合、正確な変換を行うには、リファレンスを安定させてください。

内部リファレンスおよび外部リファレンス

AD7383 と AD7384 には、主として内部デバイス動作に使用する、2.5V のバッファ付き内部リファレンスがあります。このバッファ付き 2.5V 内部リファレンスを外部で使用する場合、リファレンスを外部回路に接続する前に外部バッファを使用する必要があります。または、更に正確なリファレンスや更に高いダイナミック・レンジが必要な場合は、外部リファレンスを使用できます。外部供給されるリファレンスの範囲は 2.5V~3.3V です。

内部か外部かのリファレンスの選択は、CONFIGURATION1 レジスタの REFSEL ビットによって設定できます。REFSEL ビットを 0 に設定すると、内部リファレンス・バッファがイネーブルされます。REFSEL ビットを 1 に設定すると、内部リファレンス・バッファがディスエーブルされます。外部リファレンスを選択する場合、REFSEL ビットを 1 に設定し、外部リファレンスを REFIO に供給してください。

ソフトウェア・リセット

AD7383 と AD7384 には、ソフト・リセットとハード・リセットの 2 つのリセット・モードがあります。リセットを開始するには、CONFIGURATION2 レジスタの RESET ビット（ビット [7:0]）に書き込みます。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースと ADC ブロックは更新されます。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックと FIFO は消去されます。その後 ALERT レジスタがクリアされます。リファレンスと LDO の電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、リファレンス・バッファと内部発振器ブロックもリセットされます。

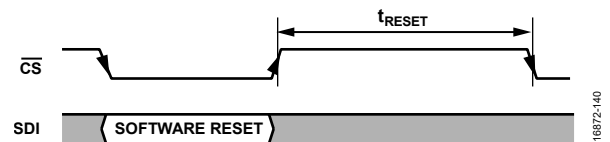


図 37. ソフトウェア・リセット動作

診断セルフ・テスト

AD7383 と AD7384 は、パワーオン・リセット後またはソフトウェア・ハード・リセット後に診断セルフ・テストを実行し、設定が適切にデバイスに読み込まれるようにします。

セルフ・テストの結果は、ALERT レジスタの SETUP_F ビットに表示されます。SETUP_F ビットがロジック 1 に設定されると、セルフ・テストは不合格です。セルフ・テストが不合格になった場合は、ソフトウェア・ハード・リセットを実行し、AD7383 のレジスタおよび AD7384 のレジスタをデフォルト状態にリセットしてください。

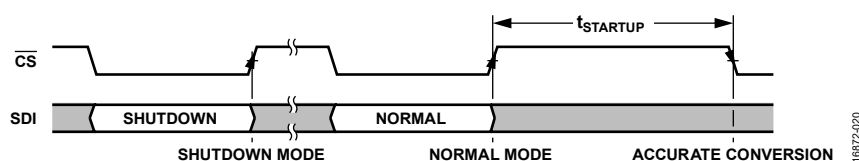


図 38. シャットダウン・モード動作

インターフェース

AD7383 および AD7384 へのインターフェースは SPI を介します。インターフェースは、 $\overline{\text{CS}}$ 、SCLK、SDOA、SDOB、SDI の各ピンで構成されています。

$\overline{\text{CS}}$ 信号は、シリアル・データ転送をフレーミングし、ADC 変換プロセスを開始します。 $\overline{\text{CS}}$ の立下がりエッジは、アナログ入力が増幅された時点でトラック & ホールドをホールド・モードにし、バスはスリーステートから取られます。

SCLK 信号は、SDOA、SDOB、SDI の各信号を通じて、データをデバイスに同期させたり、同期を解除したりします。レジスタからの読書きを行うには、最小 16 個の SCLK が必要です。変換の読出しに必要な SCLK の最小数は、デバイスの分解能と構成設定に依存します（表 16 参照）。

ADC の変換動作は、オンボードの発振器によって内部駆動され、SCLK 信号には依存しません。

AD7383 と AD7384 には、SDOA と SDOB の 2 つのシリアル出力信号があります。デバイスの最大スループットを実現するには、SDOA と SDOB の両方を 2 線モードで使用し、変換結果を読み出します。スループットを下げる必要がある場合や、オーバーサンプリングを使用する場合は、SDOA 信号のみを使用する 1 線モードで変換結果を読み出すことができます。CONFIGURATION2 レジスタの SDO ビットを設定することで、2 線モードとするか 1 線モードとするかを選択できます。

SPI 読出しまたは SPI 書込みに巡回冗長性チェック（CRC）動作を設定することで、インターフェースの動作が変わります。適切な動作を確保するために、関連する CRC 読出し、CRC 書込み、CRC 多項式の各セクションを参照してください。

変換結果の読出し

$\overline{\text{CS}}$ 信号によって変換プロセスが開始されます。 $\overline{\text{CS}}$ 信号がハイからローに遷移すると、ADC A と ADC B の両方の ADC が同時に変換を開始します。AD7383 と AD7384 には 1 サイクルのリードバック遅延があります。そのため、変換結果は次の SPI アクセスで使用できます。 $\overline{\text{CS}}$ 信号をローで受けると、変換結果がシリアル出力ピンにクロックに応じて出力されます。次の変換もこの時点で開始されます。

変換結果は AD7383 では 16 ビットの結果として、AD7384 では 14 ビットの結果としてデバイスからシフト出力されます。変換結果の MSB は、 $\overline{\text{CS}}$ の立下がりエッジでシフト出力されます。その他のデータは、SCLK 入力の制御の下でデバイスからシフト出力されます。データはこの SCLK の立下がりエッジでシフト出力され、データ・ビットは立下がりエッジと立下がりエッジの両方で有効です。SCLK の最後の立下がりエッジの後、再度 $\overline{\text{CS}}$ をハイで受けると、SDOx ピンはハイ・インピーダンス状態に戻ります。

変換結果を SDOx ピンに伝搬するのに必要な SCLK サイクル数は、設定されるシリアル動作モード、および分解能増強モードが有効かどうかによって異なります（詳細は、図 39 および表 16 を参照）。CRC 読出しが有効になっている場合、CRC 情報を伝搬するには、追加の SCLK パルスが必要です（詳細は CRC のセクションを参照）。

$\overline{\text{CS}}$ 信号によって変換が開始されてデータがフレーミングされるため、データ・アクセスは 1 つのフレーム内で完了する必要があります。

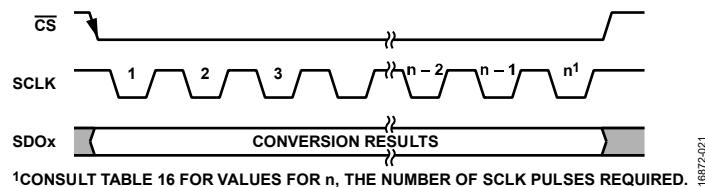


図 39. 変換結果の読出し

表 16. 変換結果の読出しに必要な SCLK 数 n

Interface Configuration	Resolution Boost Mode	CRC Read	AD7383 SCLKs	AD7384 SCLKs
2-Wire	Disabled	Disabled	16	14
		Enabled	24	22
	Enabled	Disabled	18	16
		Enabled	26	24
1-Wire	Disabled	Disabled	32	28
		Enabled	40	36
	Enabled	Disabled	36	32
		Enabled	44	40

シリアル 2 線モード

2 線モードに設定するには、CONFIGURATION1 レジスタの SDO ビットを 0 に設定します。2 線モードでは、ADC A の変換結果が SDOA ピンに出力され、ADC B の変換結果が SDOB/ALERT ピンに出力されます（図 40 参照）。

シリアル 1 線モード

スループット・レートが遅くても構わないアプリケーションや、相加平均オーバーサンプリングを使用するアプリケーションでは、1 線モードで動作するようシリアル・インターフェースを設定できます。1 線モードでは、ADC A および ADC B からの変換結果がシリアル出力 SDOA に出力されます。すべてのデータを伝搬するには、追加の SCLK サイクルが必要です。まず ADC A のデータが出力され、次いで ADC B の変換結果が出力されます（図 41 参照）。

分解能増強モード

AD7383 のデフォルトの分解能および出力データ・サイズは 16 ビット、AD7384 では 14 ビットです。内蔵のオーバーサンプリ

ング機能を有効化すると、ノイズが抑制されデバイス性能が向上します。この性能向上を実現するために、変換出力データで 2 ビットを追加した分解能を可能とすることができます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定し、AD7383 および AD7384 を有効なオーバーサンプリング・モードにした場合、AD7383 の変換結果のサイズは 18 ビット、AD7384 の変換結果のサイズは 16 ビットになります。

分解能増強モードが有効になっている場合、AD7383 がデータを伝搬するためには 18SCLK、AD7384 がデータを伝搬するためには 16SCLK が必要です。

低遅延リードバック

AD7383 および AD7384 のインターフェースには、図 42 に示すように、1 サイクル分の遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間の終了後、変換を開始した最初の CSパルスの後の 2 番目の CSパルスを使用して、変換結果をリードバックできます。この動作を図 42 に示します。

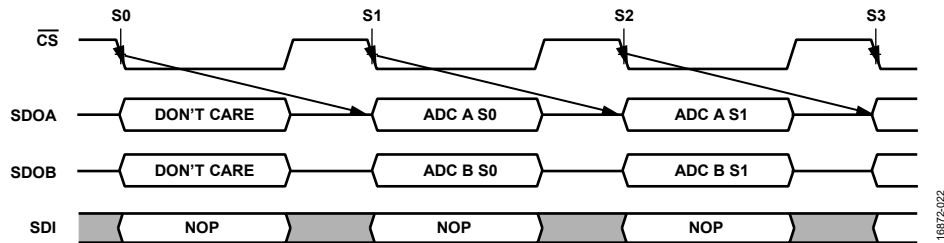


図 40. 2 線モードの変換結果の読出し

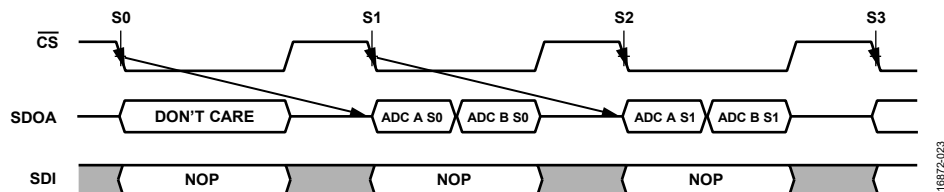


図 41. 1 線モードの変換結果の読出し

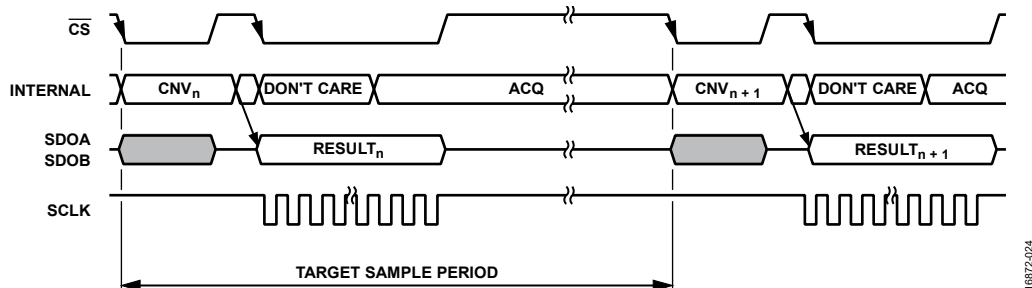


図 42. 低スループットでの低遅延

デバイス・レジスタからの読出し

AD7383 および AD7384 のすべてのレジスタは、SPI を介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作 (NOP) コマンドのいずれかの追加 SPI コマンドを発行します。リード・コマンドのフォーマットを表 19 に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定します。ビット [D14:D12] には、レジスタのアドレスが格納され、後続の 12 ビット (ビット [D11:D0]) は無視されます。

デバイス・レジスタへの書き込み

AD7383 および AD7384 のすべての読出しおよび書き込みレジスタは、SPI を介して書き込むことができます。SPI の書き込みアクセスの長さは、CRC の書き込み機能によって決まります。CRC の書き込みが無効な場合は、SPI アクセスは 16 ビット、CRC 書き込みが有効な場合は 24 ビットです。書き込みコマンドのフォーマットを表 19 に示します。書き込みコマンドを選択するには、ビット D15 を 1 に設定します。ビット [D14:D12] には、レジスタのアドレスが格納され、後続の 12 ビット (ビット [D11:D0]) には、選択したレジスタに書き込まれるデータが格納されます。

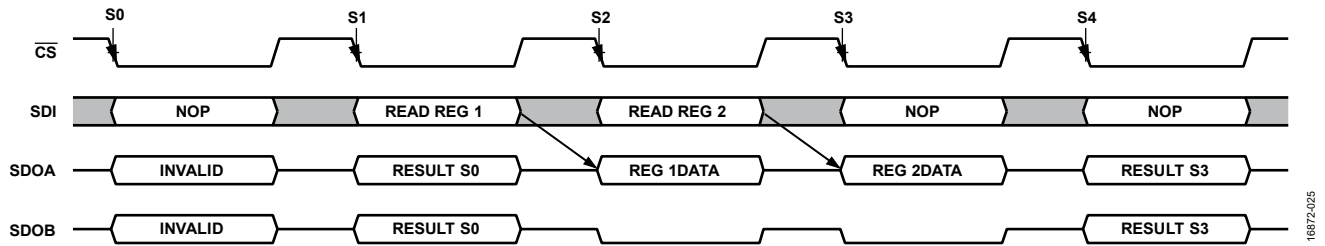


図 43. レジスタ読出し

16872-025

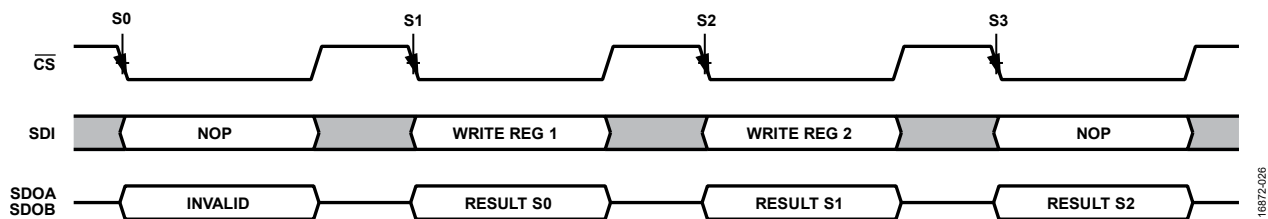


図 44. レジスタ書き込み

16872-026

CRC

AD7383 および AD7384 には、データ送信時のエラーを検出してインターフェースの堅牢性を向上させる、CRC チェックサム・モードがあります。CRC 機能は、SPI 読出しと SPI 書込みに対して個別に選択できます。例えば、SPI 書込みに対しては CRC 機能を有効化してデバイス設定の予期しない変更を防止する一方、SPI 読出しに対しては CRC 機能を無効化して高いスループット・レートを維持することができます。CRC 機能は、CONFIGURATION1 レジスタの CRC_W ビットと CRC_R ビットを設定することで制御できます。

CRC 読出し

有効にすると、CRC が変換結果またはレジスタ読出しに付加されます。CRC は 8 ビット・ワードを形成します。ADC A と ADC B の変換結果で CRC が計算され、SDOA に出力されます。また、CRC はレジスタ読出し出力についても計算され、付加されます。

CRC 読出し機能は、2 線 SPI モード、1 線 SPI モード、分解能増強モードで使用できます。

CRC 書込み

CRC 書込み機能を有効化するには、CONFIGURATION1 レジスタの CRC_W ビットを 1 に設定します。CRC_W ビットを 1 に設定して CRC 機能を有効化するには、リクエスト・フレームに有効な CRC を付加するようにしてください。

CRC 機能が有効化されると、すべてのレジスタ書込みリクエストは有効な CRC コマンドを備えていない限り無視され、CRC 書込み機能の有効化と無効化を行うには、有効な CRC が必要となります。

CRC 多項式

CRC チェックサム計算では、常に多項式 $x^8 + x^2 + x + 1$ が使用されます。

変換の読出し時にチェックサムを生成するには、2 つのチャンネルの 16 ビット・データの変換結果を結合し、32 ビット・データを作成します。この 32 ビット・データの 8 個の MSB が反転され、8 ビット分だけ左シフトし 8 個のロジック 0 で終わる数が作成されます。多項式の MSB が、データの最も左のロジック 1 と合うように、多項式の値の位置決めを実行します。次に、排他的論理和 (XOR) 関数をデータに適用してより短い数値を新たに生成し、再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めを実行します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビット・チェックサムです。例えば、今の場合、多項式は 100000111 です。

2 つのチャンネルの元のデータを 0xAAAA および 0x5555、すなわち、1010 1010 1010 1010 および 0101 0101 0101 0101 とします。次に、この 2 つのチャンネルのデータが、右に 8 個の 0 を含めた上で結合されます。したがって、データは 1010 1010 1010 1010 0101 0101 0101 0101 0000 0000 となります。

表 17 に、16 ビット、2 チャンネルのデータの CRC 計算を示します。最後の XOR 操作では、計算結果 (余り) が多項式より小さくなっています。したがって、この余りが、仮定したデータの CRC となります。

同じ処理を AD7384 にも行えますが、処理するのは 32 ビット・データ (2 つのチャンネルを結合した結果) ではなく、28 ビットのデータです。レジスタなどのデータを読み出すには、CRC 計算は 16 ビットのレジスタ・データに基づき、32 ビット・データについての説明と同じ処理が実行されます。

表 17. 16 ビット 2 チャンネル・データの CRC 計算例

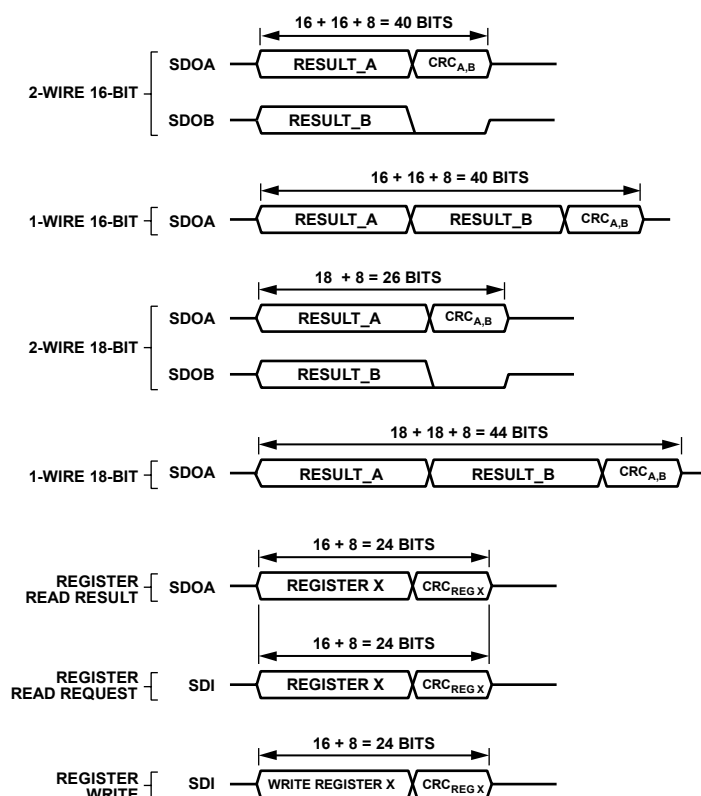
[illegible]¹ X = ドント・ケア

図 45. CRC の動作

レジスタ

AD7383 と AD7384 にはデバイス設定用に、ユーザ設定可能なレジスタが内蔵されています。

表 18 に、AD7383 および AD7384 で使用可能な全レジスタの概要を示します。このレジスタは、読出しおよび書き込み（R/W）または読出し専用（R）です。書き込み専用レジスタへの読出しリクエストは無視されます。また、読出し専用レジスタへの書き込みリクエストも無視されます。その他のレジスタ・アドレスへの書き込みは NOP とみなされ、無視されます。表 18 に示したものの以外のレジスタ・アドレスへの読出しリクエストは NOP とみなされ、その次の SPI フレームで送信されるデータは変換結果です。

表 18. レジスタの一覧

Address	Register Name		Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
		Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x1	CONFIGURATION1	[15:8]	ADDRESSING				RESERVED		OS_MODE	OSR[2]	0x0000	R/W	
		[7:0]	OSR[1:0]		CRC_W	CRC_R	ALERT_EN	RES	REFSEL	PMODE			
0x2	CONFIGURATION2	[15:8]	ADDRESSING				RESERVED			SDO	0x0000	R/W	
		[7:0]	RESET										
0x3	ALERT	[15:8]	ADDRESSING				RESERVED		CRCW_F	SETUP_F	0x0000	R	
		[7:0]	RESERVED		AL_B_HIGH	AL_B_LOW	RESERVED		AL_A_HIGH	AL_A_LOW			
0x4	ALERT_LOW_THRESHOLD	[15:8]	ADDRESSING				ALERT_LOW[11:8]					0x0800	R/W
		[7:0]	ALERT_LOW[7:0]										
0x5	ALERT_HIGH_THRESHOLD	[15:8]	ADDRESSING				ALERT_HIGH[11:8]					0x07FF	R/W
		[7:0]	ALERT_HIGH[7:0]										

レジスタのアドレス指定

AD7383 および AD7384 でのシリアル・レジスタ転送は、16SCLK サイクルで構成されます。AD7383 および AD7384 に書き込まれた 4 つの MSB は、どのレジスタが指定されているか判断するためにデコードされます。この 4 つの MSB は、レジスタ・アドレス（REGADDR）（ビット [D14:D12]）、および読出し／書き込みビット（WR）（ビット D15）で構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。WR ビットは、アドレス指定されたレジスタが有効な書き込みレジスタの場合、指定されたレジスタに SDI 入力の残りの 12 ビットのデータをロードするかどうかを決めます。WR ビットが 1 の場合、レジスタ選択ビットによって指定されるレジスタにビットがロードされます。WR ビットが 0 の場合、このコマンドは読出しリクエストとみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 19. アドレス指定レジスタのフォーマット

MSB															LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
WR		REGADDR			DATA											

表 20. アドレス指定レジスタのビットの説明

ビット	記号	説明
D15	WR	WR ビットに 1 が書き込まれると、このレジスタのビット [D11:D0] が REGADDR で指定されるレジスタに書き込まれます（ただし、そのレジスタのアドレスが有効な場合）。または、0 が書き込まれると、SDOA ピンに送信される次のデータが指定されたレジスタから読み出されます（ただし、そのレジスタのアドレスが有効な場合）。
D14 to D12	REGADDR	WR = 1 のとき、REGADDR の内容によって、表 18 に示すようにレジスタが選択されます。 WR = 0 で REGADDR に有効なレジスタ・アドレスが含まれている場合、リクエストされたレジスタの内容は次のインターフェース・アクセスの間に SDOA ピンに出力されます。 WR = 0 で REGADDR に 0x0、0x6、0x7 のいずれかが含まれている場合、SDI ラインの内容は無視されます。次のインターフェース・アクセスは、リードバックされた変換結果となります。
D11 to D0	DATA	WR ビットが 1 で REGADDR データ・ビットに有効なアドレスが含まれている場合、DATA ビットは、REGADDR データ・ビットによって指定された対応するレジスタに書き込まれます。

CONFIGURATION1 レジスタ

アドレス : 0x1、リセット : 0x0000、レジスタ名 : CONFIGURATION1

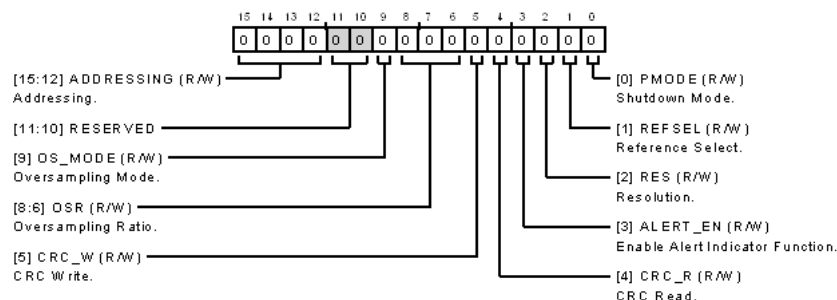


表 21. CONFIGURATION1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを設定します。 0 : 相加平均。 1 : 移動平均。	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。該当するモードのすべての ADC のオーバーサンプリング比を設定します。相加平均モードでは、×2、×4、×8、×16、×32 のオーバーサンプリング比に対応します。移動平均モードでは、×2、×4、×8 のオーバーサンプリング比に対応します。 000 : 無効。 001 : ×2。 010 : ×4。 011 : ×8。 100 : ×16。 101 : ×32。 110 : 無効。 111 : 無効。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。CRC_W ビットを 0 から 1 にセットする場合、コマンドの後に有効な CRC を付してこの設定ビットをセットしてください。有効な CRC が受信されない場合、フレーム全体が無視されます。CRC_W ビットが 1 にセットされている場合、CRC ではこれを 0 にクリアする必要があります。 0 : CRC 機能なし。 1 : CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOA および SDOB/ALERT インターフェースの CRC 機能を制御します。 0 : CRC 機能なし。 1 : CRC 機能。	0x0	R/W
3	ALERT_EN	アラート表示機能を有効化。SDO ビットが 1 の場合に、このレジスタは機能します。それ以外の場合、ALERT_EN ビットは無視されます。 0 : SDOB。 1 : ALERT。	0x0	R/W
2	RES	分解能。変換結果のデータ・サイズを設定します。OSR = 0 の場合、RES ビットは無視され、分解能はデフォルトの分解能に設定されます。 0 : 通常分解能。 1 : 2 ビット高い分解能。	0x0	R/W
1	REFSEL	リファレンスの選択。ADC のリファレンス源を選択します。 0 : 内部リファレンスを選択。 1 : 外部リファレンスを選択。	0x0	R/W
0	PMODE	シャットダウン・モード。電力モードを設定します。 0 : 通常動作モード。 1 : シャットダウン・モード	0x0	R/W

CONFIGURATION2 レジスタ

アドレス：0x2、リセット：0x0000、レジスタ名：CONFIGURATION2

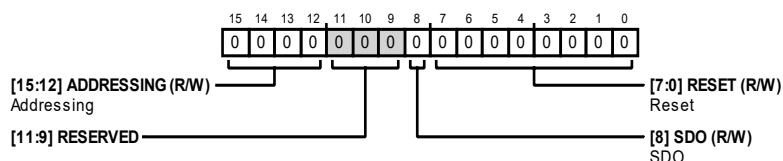
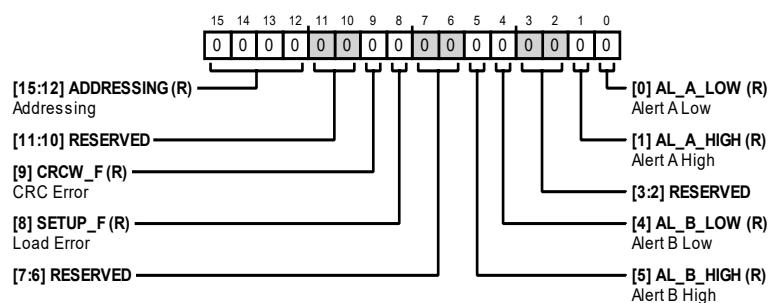


表 22. CONFIGURATION2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:9]	RESERVED	予備。	0x0	R
8	SDO	SDO。変換結果はシリアル・データ出力に出力されます。 0：2 線式。変換データは SDOA ピンおよび SDOB/ <u>ALERT</u> ピンの両方に出力されます。 1：1 線式。変換データは SDOA ピンにのみ出力されます。	0x0	R/W
[7:0]	RESET	リセット。 0x3C の場合、一部のブロックがリセットされるソフト・リセットが実行されます。レジスタの内容は変わりません。 <u>ALERT</u> レジスタがクリアされ、オーバーサンプリングで保存された変数やアクティブ・ステート・マシンは消去されます。 0xFF の場合、AD7383 または AD7384 の可能なすべてのブロックをリセットするハード・リセットが実行されます。レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

ALERT レジスタアドレス：0x3、リセット：0x0000、レジスタ名：ALERT表 23. ALERT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備。	0x0	R
9	CRCW_F	CRC エラー。レジスタ書き込みコマンドが CRC エラーのために失敗したことを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 0：CRC エラーなし。 1：CRC エラー。	0x0	R
8	SETUP_F	ロード・エラーSETUP_F ビットは、起動時にデバイス設定データが適切に読み込まれなかったことを示します。SETUP_F ビットは、 <u>ALERT</u> レジスタの読出し時にはクリアされません。SETUP_F ビットをクリアし、デバイス・セットアップを再起動するには、CONFIGURATION2 レジスタを介したハード・リセットが必要です。 0：セットアップ・エラーなし。 1：セットアップ・エラー。	0x0	R
[7:6]	RESERVED	予備。	0x0	R

ビット	ビット名	説明	リセット	アクセス
5	AL_B_HIGH	アラート B ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート表示。 0：アラート表示なし。	0x0	R
4	AL_B_LOW	アラート B ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート表示。 0：アラート表示なし。	0x0	R
[3:2]	RESERVED	予備。	0x0	R
1	AL_A_HIGH	アラート A ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 0：アラート表示なし。 1：アラート表示。	0x0	R
0	AL_A_LOW	アラート A ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットは、スティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート表示。 0：アラート表示なし。	0x0	R

ALERT_LOW_THRESHOLD レジスタ

アドレス：0x4、リセット：0x0800、レジスタ名：ALERT_LOW_THRESHOLD

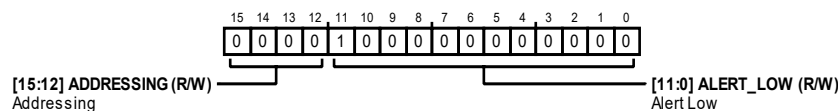


表 24. ALERT_LOW_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラートロー。ALERT_LOW のビット [D11:D0] は、内部アラート・ロー・レジスタの MSB（ビット [D15:D4]）に移動します。その他のビット（ビット [D3:D0]）は、0x0 に固定されます。これによって、変換結果が ALERT_LOW_THRESHOLD を下回ったときにアラートがセットされ、変換結果が ALERT_LOW_THRESHOLD を上回ると無効になります。	0x800	R/W

ALERT_HIGH_THRESHOLD レジスタ

アドレス：0x5、リセット：0x07FF、レジスタ名：ALERT_HIGH_THRESHOLD

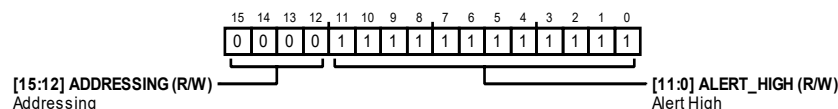


表 25. ALERT_HIGH_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGH のビット [D11:D0] は、内部アラート・ハイ・レジスタの MSB（ビット [D15:D4]）に移動します。その他のビット（ビット [D3:D0]）は、0xF に固定されます。これによって、変換結果が ALERT_HIGH_THRESHOLD を上回ったときにアラートがセットされ、変換結果が ALERT_HIGH_THRESHOLD を下回ると無効になります。	0x7FF	R/W

外形寸法

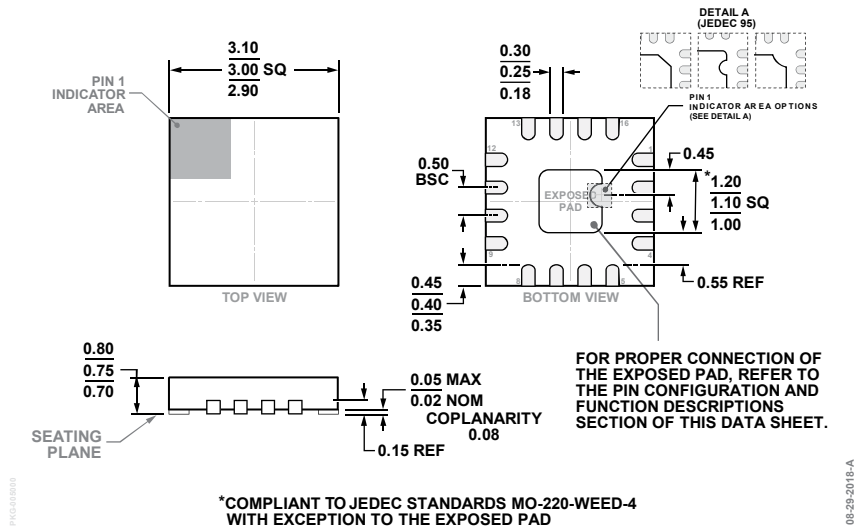


図 46. 16 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
3mm × 3mm ボディ、0.75mm パッケージ高
(CP-16-45)
寸法単位：mm

オーダー・ガイド

Model ^{1, 2}	Resolution (Bit)	Temperature Range	Package Description	Package Option	Marking Code
AD7383BCPZ-RL	16	−40°C to +125°C	16-Lead LFCSP	CP-16-45	C96
AD7383BCPZ-RL7	16	−40°C to +125°C	16-Lead LFCSP	CP-16-45	C96
AD7384BCPZ-RL	14	−40°C to +125°C	16-Lead LFCSP	CP-16-45	CA1
AD7384BCPZ-RL7	14	−40°C to +125°C	16-Lead LFCSP	CP-16-45	CA1
EVAL-AD7383FMCZ			AD7383 Evaluation Board		

¹ Z = RoHS 準拠製品

² AD7384 の評価には、[EVAL-AD7383FMCZ](#) を使用してください。