

疑似差動入力、4MSPS、同時サンプリングのクワッド16/14ビット  
**SAR ADC**

**特長**

- ▶ 16ビットおよび14ビットADCファミリ
- ▶ クワッド同時サンプリング
- ▶ 疑似差動アナログ入力
- ▶ 高スループット・レート：4MSPS
- ▶ S/N比：86.7dB (VREF = 3.3V、代表値) (AD7383-4)
- ▶ オーバーサンプリング機能搭載
- ▶ S/N比：91dB (OSR = 8×、RES = 1、代表値)
- ▶ 2ビットの分解能増強
- ▶ 範囲外インジケータ (ALERT)
- ▶ INL：3.8LSB (最大)
- ▶ 高速シリアル・インターフェース
- ▶ 温度範囲：-40°C~+125°C
- ▶ 24ピン、4mm × 4mm LFCSP

**アプリケーション**

- ▶ モータ・コントロールのポジション・フィードバック
- ▶ モータ・コントロールの電流検出
- ▶ データ・アキュイジション・システム
- ▶ エルビウム添加ファイバ増幅器 (EDFA) アプリケーション
- ▶ 同相および直交位相の復調

**製品のハイライト**

1. クワッド同時サンプリングおよび変換。
2. ピン互換の製品ファミリ。
3. 4MSPSの高スループット・レート。
4. 省スペースの4mm × 4mm LFCSP。
5. オーバーサンプリング・ブロックを内蔵することで、ダイナミック・レンジが向上し、ノイズが抑制され、SCLKの速度条件が緩和。
6. 疑似差動アナログ入力。
7. サンプリング・コンデンサの容量が小さいため、アンプの駆動負荷が低減。

**機能ブロック図**

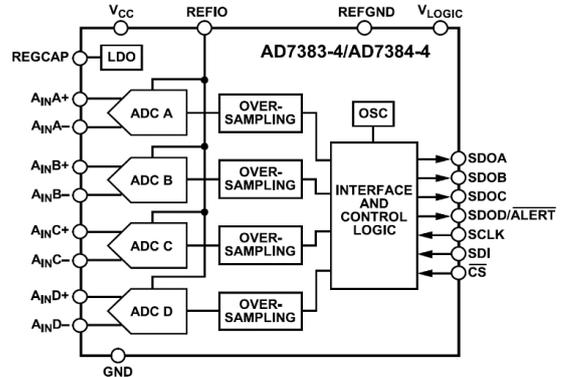


図 1. 機能ブロック図

**概要**

16ビットのAD7383-4と14ビットのAD7384-4は、ピン互換のクワッド同時サンプリング高速逐次比較レジスタ (SAR) A/Dコンバータ (ADC) で、3.0V~3.3Vの電源で動作し、スループット・レートは最大4MSPSです。アナログ入力のタイプは疑似差動で、CSの立下がりエッジでサンプリングと変換が行われます。

AD7383-4/AD7384-4はオーバーサンプリング・ブロックを内蔵することで、低い帯域幅でダイナミック・レンジを向上させ、ノイズを低減しています。オーバーサンプリングにより分解能を最大2ビット増強できます。バッファ付き2.5V内部リファレンスを備えていますが、代わりに、最大3.3Vの外部リファレンスを使用することも可能です。

変換プロセスとデータ・アキュイジションでは標準的なコントロール入力を使用しているため、マイクロプロセッサやデジタル・シグナル・プロセッサ (DSP) と容易にインターフェース接続できます。変換結果は、高いスループットでは4線モード、低スループットが許容される場合は1線シリアル・モードを使用して、同時にクロック出力できます。また、別個のロジック電源を使用することにより、1.8V、2.5V、3.3Vのインターフェースに対応できます。

AD7383-4/AD7384-4は24ピンの4mm × 4mm LFCSPパッケージを採用し、-40°C~+125°Cの温度範囲で仕様規定されています。

表 1. 関連デバイス

No. of Channels	Input Type	16 Bits	14 Bits	12 Bits
4	Differential	AD7380-4 AD7389-4	AD7381-4	
2	Differential	AD7380 AD4680 AD4681	AD7381	
	Single-ended	AD7386	AD7387	AD7388

## 目次

特長.....	1	アラート.....	21
アプリケーション.....	1	電力モード.....	21
製品のハイライト.....	1	内部リファレンスおよび外部リファレンス.....	21
機能ブロック図.....	1	ソフトウェア・リセット.....	22
概要.....	1	診断セルフ・テスト.....	22
仕様.....	3	インターフェース.....	23
タイミング仕様.....	6	変換結果の読出し.....	23
絶対最大定格.....	9	低遅延リードバック.....	24
熱抵抗.....	9	デバイス・レジスタからの読出し.....	25
静電放電 (ESD) 定格.....	9	デバイス・レジスタへの書込み.....	25
ESDに関する注意.....	9	CRC.....	25
ピン配置およびピン機能の説明.....	10	レジスタ.....	28
代表的な性能特性.....	11	アドレス指定レジスタ.....	28
用語の定義.....	14	CONFIGURATION1レジスタ.....	28
動作原理.....	15	CONFIGURATION2レジスタ.....	30
回路説明.....	15	$\overline{\text{ALERT}}$ 表示レジスタ.....	30
コンバータの動作.....	15	ALERT_LOW_THRESHOLDレジスタ.....	31
アナログ入力構造.....	15	ALERT_HIGH_THRESHOLDレジスタ.....	32
ADCの伝達関数.....	16	外形寸法.....	33
アプリケーション情報.....	17	オーダー・ガイド.....	33
電源.....	17	評価用ボード.....	33
動作モード.....	19		
オーバーサンプリング.....	19		
分解能増強.....	21		

## 改訂履歴

4/2023—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、リファレンス電圧 ( $V_{REF}$ ) (外部) =  $2.5V \sim 3.3V$ 、サンプリング周波数 ( $f_{SAMPLE}$ ) = 4MSPS、 $T_A = -40^\circ C \sim +125^\circ C$ 、オーバーサンプリング無効。SDOA、SDOB、SDOCおよびSDODは $100\Omega$ の直列抵抗を使って接続されます。

表 2. AD7383-4

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RESOLUTION		16			Bits
THROUGHPUT					
Conversion Rate				4	MSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity (DNL) Error		-0.9	$\pm 0.6$	+0.9	LSB
Integral Nonlinearity (INL) Error	外部リファレンス	-3.8	$\pm 1.4$	+3.8	LSB
	内部リファレンス		$\pm 1.7$		LSB
Gain Error	外部リファレンス = 3.3V	-0.07	$\pm 0.02$	+0.07	% FS <sup>1</sup>
	内部リファレンス = 2.5V		$\pm 0.02$		
Gain Error Drift		-2	$\pm 0.3$	+2	ppm/ $^\circ C$
Gain Error Match			$\pm 0.03$	+0.08	% FS <sup>1</sup>
Zero Error	外部リファレンス	-1.1	$\pm 0.05$	+1.1	mV
	内部リファレンス		$\pm 0.15$		
Zero Error Temperature Drift		-5	$\pm 1$	+5	$\mu V/^\circ C$
Zero Error Match			0.2	+1.2	mV
AC ACCURACY					
Dynamic Range	入力周波数 ( $f_{IN}$ ) = 1kHz $V_{REF} = 3.3V$ (外部)		87		dB
	内部リファレンス = 2.5V		86		dB
Oversampled Dynamic Range	OSR = 4 $\times$ 、RES = 1 (10進数)		92.5		dB
SNR	$V_{REF} = 3.3V$ (外部)、 $V_{CC} = 3.3V$	82.9	86.7		dB
	内部リファレンス = 2.5V		85.1		dB
	移動平均OSR = 8 $\times$ 、RES = 1 (10進数)、外部リファレンス		94.7		dB
	$f_{IN} = 100kHz$ 、 $V_{REF} = 3.3V$ (外部)		85.5		dB
Spurious-Free Dynamic Range (SFDR)			100		dB
Total Harmonic Distortion (THD)	$V_{REF} = 3.3V$ (外部)		-98		dB
	$f_{IN} = 100kHz$		-90		dB
Signal-to-Noise and Distortion (SINAD)	$V_{REF} = 3.3V$ (外部)	83.3	86.4		dB
	内部リファレンス		84.6		dB
Channel to Channel Isolation			-110		dB
POWER SUPPLIES					
$V_{CC}$ Current ( $I_{VCC}$ )	ノーマル・モード (動作時)		39.3	43	mA
Power Dissipation					
Total Power ( $P_{TOTAL}$ )			169	186.6	mW
$V_{CC}$ Power ( $P_{VCC}$ )	ノーマル・モード (動作時)		141.5	154.8	mW

1 これらの仕様には、全温度範囲の変動が含まれていますが、外部リファレンスによる誤差の影響は含まれていません。

## 仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 2.5V \sim 3.3V$ 、 $f_{SAMPLE} = 4MSPS$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 、オーバーサンプリング無効。SDOA、SDOB、SDOCおよびSDODは $100\Omega$ の直列抵抗を使って接続されます。

表 3. AD7384-4

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RESOLUTION		14			Bits
THROUGHPUT Conversion Rate				4	MSPS
DC ACCURACY					
No Missing Codes		14			Bits
DNL Error		-0.9	$\pm 0.3$	+0.9	LSB
INL Error	外部リファレンス = 3.3V 内部リファレンス	-1.0	$\pm 0.35$ $\pm 0.5$	+1.0	LSB LSB
Gain Error	外部リファレンス = 3.3V 内部リファレンス	-0.07	$\pm 0.02$ $\pm 0.01$	+0.07	% FS <sup>1</sup>
Gain Error Drift		-2	$\pm 0.3$	+2	ppm/ $^{\circ}C$
Gain Error Match			$\pm 0.03$	+0.08	% FS <sup>1</sup>
Zero Error	外部リファレンス = 3.3V 内部リファレンス	-1.1	$\pm 0.1$ $\pm 0.04$	+1.1	mV
Zero Error Temperature Drift		-5	$\pm 1$	+5	$\mu V/^{\circ}C$
Zero Error Match			0.2	+1.2	mV
AC ACCURACY					
Dynamic Range	入力周波数 ( $f_{IN}$ ) = 1kHz $V_{REF} = 3.3V$ 内部リファレンス = 2.5V		84 83		dB dB
Oversampled Dynamic Range	OSR = 4 $\times$ 、RES = 1 (10進数)		90		dB
SNR	$V_{REF} = 3.3V$ (外部)、 $V_{CC} = 3.3V$ 内部リファレンス = 2.5V 移動平均OSR = 8 $\times$ 、RES = 1 (10進数)、外部リファレンス $f_{IN} = 100\text{ kHz}$	81.5	83.5 82.7 91.3		dB dB dB
SFDR			82.8 100		dB dB
THD	$V_{REF} = 3.3V$ (外部) $f_{IN} = 100\text{ kHz}$		-98 -90		dB dB
SINAD	$V_{REF} = 3.3V$ (外部)	80.8	83.4 82.4		dB dB
Channel to Channel Isolation			-110		dB
POWER SUPPLIES					
$I_{VCC}$ Power Dissipation	ノーマル・モード (動作時)		39	43	mA
$P_{TOTAL}$ $P_{VCC}$	ノーマル・モード (動作時)		169 141.5	186.6 154.8	mW mW

1 これらの仕様には、全温度範囲の変動が含まれていますが、外部リファレンスによる誤差の影響は含まれていません。

## 仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、外部 $V_{REF} = 2.5V \sim 3.3V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 、オーバーサンプリング無効。SDOA、SDOB、SDOCおよびSDODは100Ωの直列抵抗を使って接続されます。

表 4. 全デバイス

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
<b>ANALOG INPUT</b>					
Voltage Range	$A_{INX+} - A_{INX-}$	$-V_{REF}$		$+V_{REF}$	V
Absolute Input Voltage	$A_{INX+}$ 、 $A_{INX-}$	-0.1		$V_{REF} + 0.1$	V
Common-Mode Input Range	$A_{INX+}$ 、 $A_{INX-}$	0.2	$V_{REF} \times 0.5$	$V_{REF} - 0.2$	V
Analog Input Common-Mode Rejection Ratio (CMRR)	$f_{IN} = 500kHz$		-76		dB
DC Leakage Current			0.1	1	μA
Input Capacitance	トラック・モード		18		pF
	ホールド・モード		5		pF
<b>SAMPLING DYNAMICS</b>					
Input Bandwidth	-0.1dBの場合		6.6		MHz
	-3dBの場合		26.8		MHz
Aperture Delay			2		ns
Aperture Delay Match			46.8	145	ps
Aperture Jitter			20		ps
<b>REFERENCE INPUT AND OUTPUT (<math>V_{REF}</math>)</b>					
Input Voltage Range	外部リファレンス	2.49		3.4	V
Input Current	外部リファレンス		0.91	0.97	mA
Output Voltage	$-40^{\circ}C \sim 125^{\circ}C$	2.495	2.5	2.505	V
Temperature Coefficient			2	10	ppm/ $^{\circ}C$
Noise			7		μV RMS
<b>DIGITAL INPUTS (SCLK, SDI, AND <math>\overline{CS}</math>)</b>					
Logic Levels					
Input Voltage Low ( $V_{IL}$ )	$V_{LOGIC} < 2.3V$			0.45	V
	$V_{LOGIC} \geq 2.3V$			0.7	V
Input Voltage High ( $V_{IH}$ )	$V_{LOGIC} < 2.3V$	$V_{LOGIC} - 0.45$			V
	$V_{LOGIC} \geq 2.3V$	$0.8 \times V_{LOGIC}$			V
Input Current Low ( $I_{IL}$ )		-1		+1	μA
Input Current High ( $I_{IH}$ )		-1		+1	μA
<b>DIGITAL OUTPUTS (SDOA, SDOB, SDOC, AND SDOD/ALERT)</b>					
Output Coding		Twos complement			Bits
Output Voltage Low ( $V_{OL}$ )	電流シンク ( $I_{SINK}$ ) = 300μA			0.4	V
Output Voltage High ( $V_{OH}$ )	電流ソース ( $I_{SOURCE}$ ) = -300μA	$V_{LOGIC} - 0.3$			V
Floating State Leakage Current				±1	μA
Floating State Output Capacitance			10		pF
<b>POWER SUPPLIES</b>					
$V_{CC}$					
	外部リファレンス = 3.3V	3.0	3.3	3.6	V
		3.3		3.6	V
$V_{LOGIC}$		1.65		3.6	V
$I_{VCC}$					
Normal Mode (Static)			2.6	3.2	mA
Shutdown Mode			104	200	μA

## 仕様

表 4. 全デバイス (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
V <sub>LOGIC</sub> Current (I <sub>VLOGIC</sub> )	正のフルスケールでのアナログ入力		155	400	nA
Normal Mode (Static)			7.6	8.9	mA
Normal Mode (Operational)			155	400	nA
Shutdown Mode					nA
Power Dissipation					
P <sub>VCC</sub>					
Normal Mode (Static)			9.3	11.5	mW
Shutdown Mode			375	720	μW
V <sub>LOGIC</sub> Power (P <sub>VLOGIC</sub> )	正のフルスケールでのアナログ入力				
Normal Mode (Static)			0.55	1.4	μW
Normal Mode (Operational)			27.3	31.8	mW
Shutdown Mode			0.55	1.4	μW

## タイミング仕様

特に指定のない限り、V<sub>CC</sub> = 3.0V~3.6V、V<sub>LOGIC</sub> = 1.65V~3.6V、V<sub>REF</sub> = 2.5V、T<sub>A</sub> = -40°C~+125°C。パラメータの説明で、多機能ピンの特定の機能について示している箇所では、「ALERT」のように、仕様に関係するピン名のみを示しています。多機能ピンのすべての機能を含むピン名については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

表5. タイミング仕様

Parameter	Min	Typ	Max	Unit	Description
t <sub>CYC</sub>	250			ns	Time between conversions
t <sub>SCLKED</sub>	5			ns	$\overline{CS}$ falling edge to first SCLK falling edge
t <sub>SCLK</sub>	12.5			ns	SCLK period
t <sub>SCLKH</sub>	5.5			ns	SCLK high time
t <sub>SCLKL</sub>	5.5			ns	SCLK low time
t <sub>CSH</sub>	20			ns	$\overline{CS}$ pulse width
t <sub>QUIET</sub>	20			ns	Interface quiet time prior to conversion
t <sub>SDOEN</sub>			5.5	ns	$\overline{CS}$ low to SDOA and SDOB enabled
t <sub>SDOH</sub>	3			ns	SCLK rising edge to SDOA and SDOB hold time
t <sub>SDOS</sub>			5	ns	SCLK rising edge to SDOA and SDOB setup time
t <sub>SDOT</sub>			8	ns	$\overline{CS}$ rising edge to SDOA and SDOB high impedance
t <sub>SDIS</sub>	4			ns	SDI setup time prior to SCLK falling edge
t <sub>SDIH</sub>	4			ns	SDI hold time after SCLK falling edge
t <sub>SCLKCS</sub>	0			ns	SCLK rising edge to $\overline{CS}$ rising edge
t <sub>CONVERT</sub>			190	ns	Conversion time
t <sub>ACQUIRE</sub>	110			ns	Acquire time
t <sub>RESET</sub>		250		ns	Valid time to start conversion after soft reset
		800		ns	Valid time to start conversion after hard reset
t <sub>POWERUP</sub>					Supply active to conversion
			5	ms	First conversion allowed
			11	ms	Settled to within 1% with internal reference
			5	ms	Settled to within 1% with external reference
t <sub>REGWRITE</sub>			5	ms	Supply active to register read write access allowed
t <sub>STARTUP</sub>					Exiting shutdown mode to conversion
			10	μs	Settled to within 1% with external reference
t <sub>CONVERT0</sub>	6	8	10	ns	Conversion time for first sample in OS normal mode
t <sub>CONVERTx</sub>					Conversion time for xth sample in OS normal mode, 4 MSPS, 16-bit devices
		t <sub>CONVERT0</sub> + (320 × (x - 1))		ns	For AD7383-4
		t <sub>CONVERT0</sub> + (250 × (x - 1))		ns	For AD7384-4

仕様

表5. タイミング仕様 (続き)

Parameter	Min	Typ	Max	Unit	Description
$t_{ALERTS}$			220	ns	Time from $\overline{CS}$ to $\overline{ALERT}$ indication
$t_{ALERTC}$			10	ns	Time from $\overline{CS}$ to $\overline{ALERT}$ clear
$t_{ALERTS\_NOS}$			20	ns	Time from internal conversion with exceeded threshold to $\overline{ALERT}$ indication

タイミング図

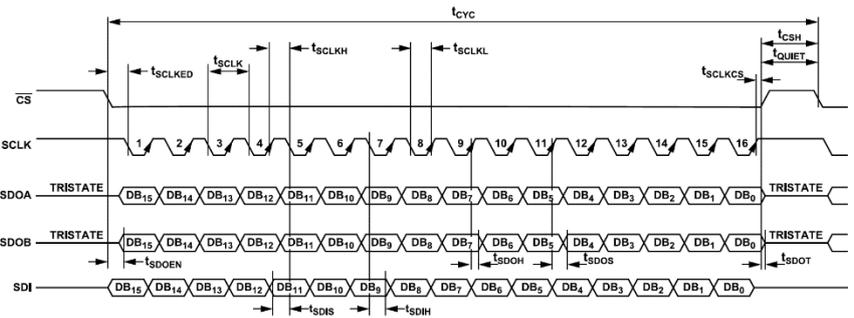


図 2. シリアル・インターフェースのタイミング図

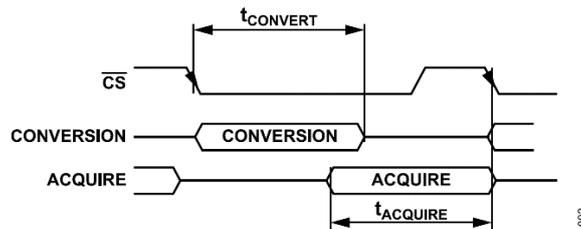


図 3. 内部変換取得時間

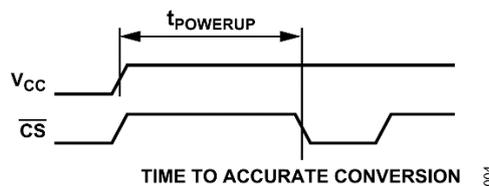


図 4. 変換までのパワーアップ時間

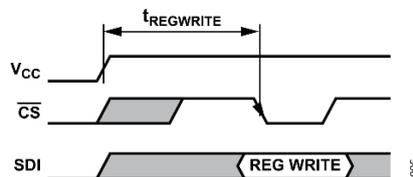


図 5. レジスタの読書きアクセスまでのパワーアップ時間

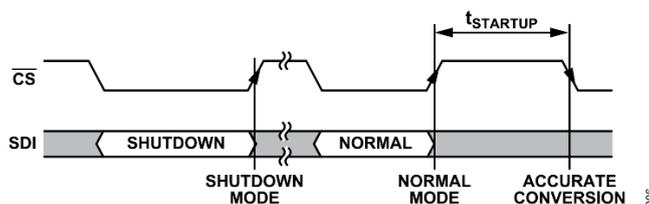


図 6. シャットダウン・モードからノーマル・モードまでの時間

仕様

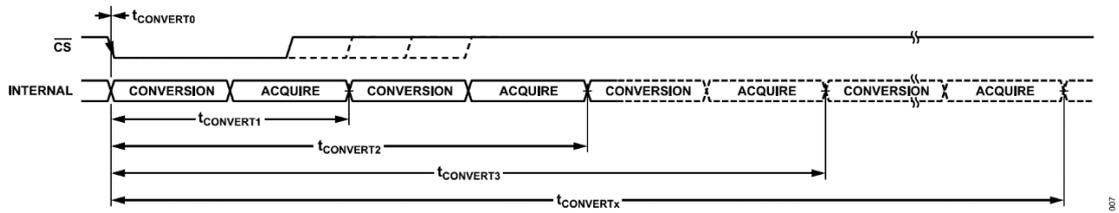


図 7. OS ノーマル・モードでの変換タイミング

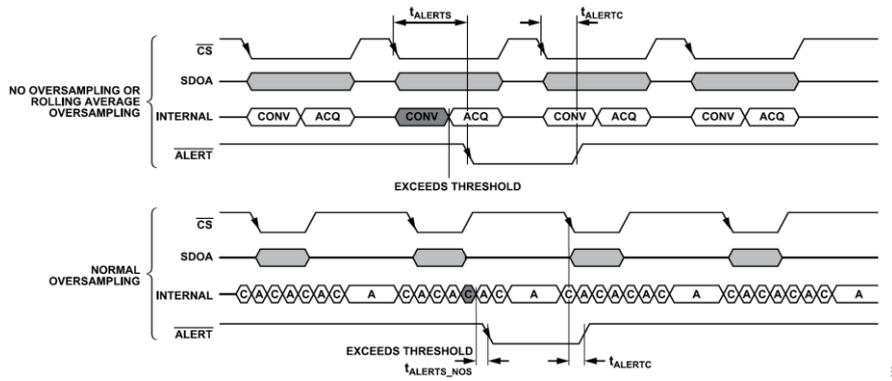


図 8. ALERT のタイミング

## 絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
$V_{CC}$ to GND	-0.3 V to +4 V
$V_{LOGIC}$ to GND	-0.3 V to +4 V
Analog Input Voltage to GND	-0.3 V to $V_{REF} + 0.3$ V or $V_{CC} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Digital Output Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
REFIO Input to GND	-0.3 V to $V_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies	$\pm 10$ mA
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Maximum Junction	150°C
Pb-Free Soldering Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ は、1立方フィートの密閉容器内で測定された自然対流下でのジャンクションと周囲の間の熱抵抗です。 $\theta_{JC}$ は、ジャンクションとケースの間の熱抵抗です。

表 7. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CP-24-25 <sup>1</sup>	48.4	0.43 <sup>1</sup>	°C/W

<sup>1</sup> テスト条件1：熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えたJEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD51を参照してください。

## 静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

## AD7383-4/AD7384-4のESD定格

表 8. AD7383-4/AD7384-4、24ピンLFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	$\pm 4000$	3A
FICDM	$\pm 1250$	C3

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

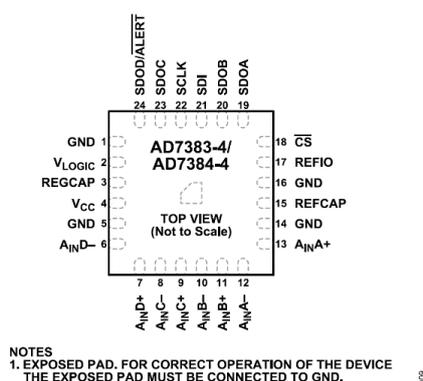


図 9. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 5, 14, 16	GND	グラウンド基準ポイント。GNDは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V <sub>Logic</sub>	ロジック・インターフェースの電源電圧 (1.65V~3.6V)。V <sub>Logic</sub> は、1μFのコンデンサを使用してGNDからデカップリングします。
3	REGCAP	内部レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。REGCAPは、1μFのコンデンサを使用してGNDからデカップリングします。REGCAPの電圧は1.9V (代表値) です。
4	V <sub>cc</sub>	電源入力電圧 (3.0V~3.6V)。V <sub>cc</sub> は、1μFのコンデンサを使用してGNDからデカップリングします。
6, 7	A <sub>IN</sub> D <sup>-</sup> , A <sub>IN</sub> D <sup>+</sup>	ADC Dのアナログ入力。アナログ入力A <sub>IN</sub> D <sup>-</sup> とA <sub>IN</sub> D <sup>+</sup> は、擬似差動ペアを構成します。通常、A <sub>IN</sub> D <sup>-</sup> はV <sub>REF</sub> /2に接続し、A <sub>IN</sub> D <sup>+</sup> の電圧範囲は0V~V <sub>REF</sub> にします。
8, 9	A <sub>IN</sub> C <sup>-</sup> , A <sub>IN</sub> C <sup>+</sup>	ADC Cのアナログ入力。アナログ入力A <sub>IN</sub> C <sup>-</sup> とA <sub>IN</sub> C <sup>+</sup> は、擬似差動ペアを構成します。通常、A <sub>IN</sub> C <sup>-</sup> はV <sub>REF</sub> /2に接続し、A <sub>IN</sub> C <sup>+</sup> の電圧範囲は0V~V <sub>REF</sub> にします。
10, 11	A <sub>IN</sub> B <sup>-</sup> , A <sub>IN</sub> B <sup>+</sup>	ADC Bのアナログ入力。アナログ入力A <sub>IN</sub> B <sup>-</sup> とA <sub>IN</sub> B <sup>+</sup> は、擬似差動ペアを構成します。通常、A <sub>IN</sub> B <sup>-</sup> はV <sub>REF</sub> /2に接続し、A <sub>IN</sub> B <sup>+</sup> の電圧範囲は0V~V <sub>REF</sub> にします。
12, 13	A <sub>IN</sub> A <sup>-</sup> , A <sub>IN</sub> A <sup>+</sup>	ADC Aのアナログ入力。アナログ入力A <sub>IN</sub> A <sup>-</sup> とA <sub>IN</sub> A <sup>+</sup> は、擬似差動ペアを構成します。通常、A <sub>IN</sub> A <sup>-</sup> はV <sub>REF</sub> /2に接続し、A <sub>IN</sub> A <sup>+</sup> の電圧範囲は0V~V <sub>REF</sub> にします。
15	REFCAP	バンド・ギャップ・リファレンスのデカップリング・コンデンサ・ピン。REFCAPは、0.1μFのコンデンサを使用してGNDからデカップリングします。REFCAP電圧は2.5V (代表値) です。
17	REFIO	リファレンス入出力。2.5Vの内部リファレンスは、外部で使用するようデバイスを設定している場合、REFIOを出力として使用できます。代わりに、2.5V~3.3Vの外部リファレンスをREFIOに入力することもできます。外部リファレンスを使用する場合は、V <sub>CC</sub> およびV <sub>LOGIC</sub> への印加後にCONFIGURATION1レジスタのREFSELビットを1に設定します。内部、外部のいずれのリファレンスを選択しても、REFIOにはデカップリングが必要です。REFIOとGNDの間には1μFのコンデンサを接続します。
18	$\overline{\text{CS}}$	チップ・セレクト入力。 $\overline{\text{CS}}$ はアクティブ・ローのロジック入力で、AD7383-4およびAD7384-4の変換開始とシリアル・データ転送のフレーミングの2通りの機能を提供します。
19	SDOA	シリアル・データ出力A。SDOAピンは、変換結果とレジスタの内容にアクセスするためのシリアル・データ出力ピンとして機能します。
20	SDOB	シリアル・データ出力B。SDOBピンは、変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。
21	SDI	シリアル・データ入力。SDIは、内蔵コントロール・レジスタに書き込まれたデータを提供します。
22	SCLK	シリアル・クロック入力。SCLKは、ADCとのデータ転送に使用します。
23	SDOC	シリアル・データ出力C。SDOCピンは、変換結果とレジスタの内容にアクセスするためのシリアル・データ出力ピンとして機能します。
24	SDOD/ $\overline{\text{ALERT}}$	シリアル・データ出力D/アラート表示出力。SDOD/ $\overline{\text{ALERT}}$ ピンは、シリアル・データ出力ピン、またはアラート表示出力ピンとして機能します。SDODは、変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 $\overline{\text{ALERT}}$ は、ローになることで変換結果が設定閾値を超えたことを示すアラート・ピンとして機能します。
Not applicable	EPAD Exposed	露出パッド。デバイスを正しく動作させるために、露出パッドをGNDに接続する必要があります。

代表的な性能特性

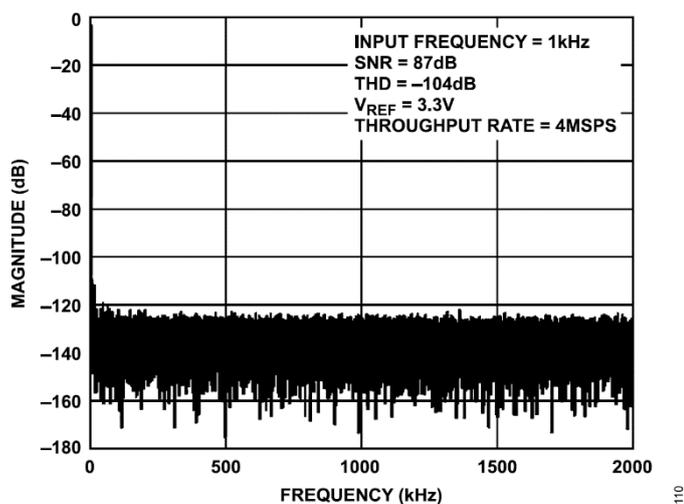


図 10. 高速フーリエ変換 (FFT)、外部リファレンス電圧 = 3.3V

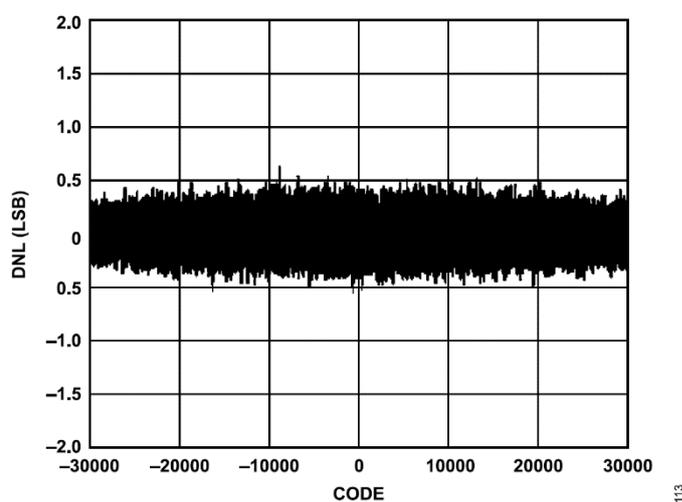


図 13. DNL

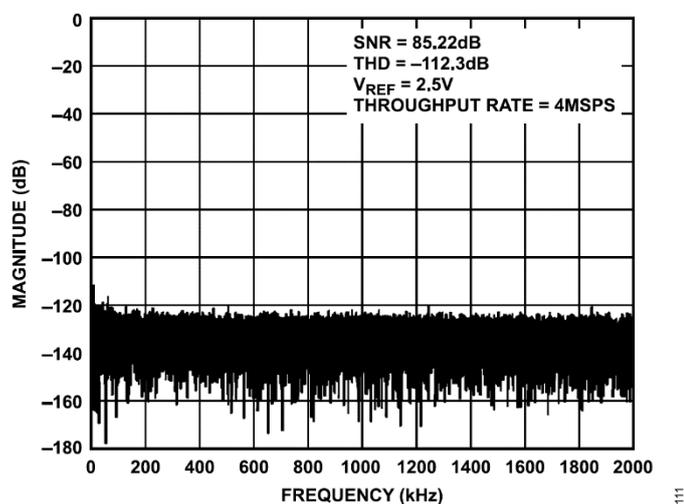


図 11. FFT、内部リファレンス電圧 = 2.5V

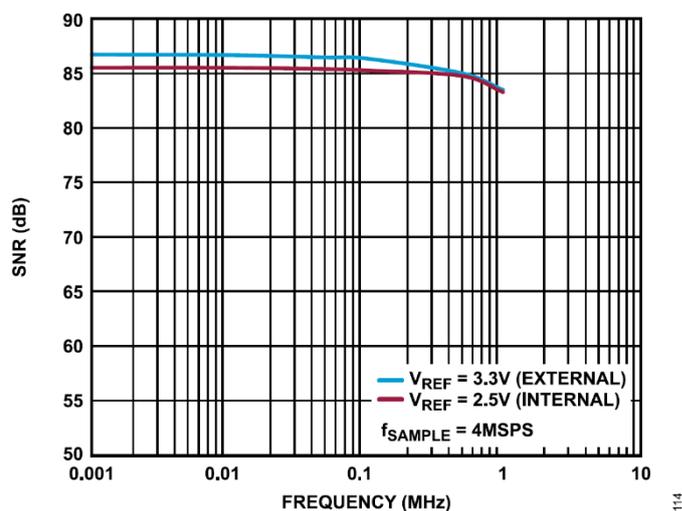


図 14. AD7383-4のS/N比と入力周波数の関係

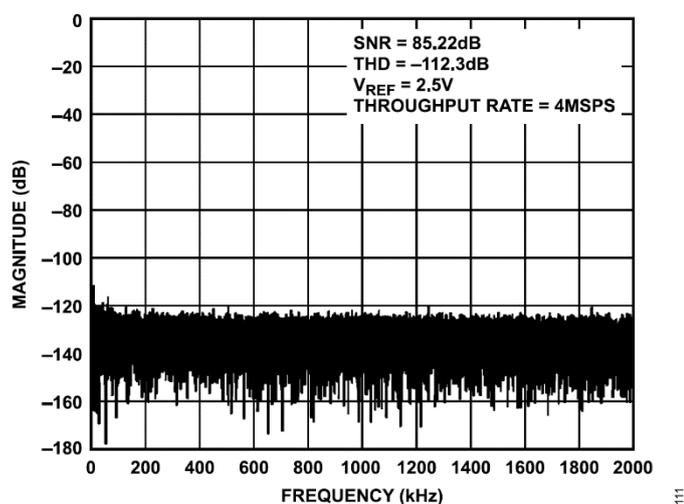


図 12. FFT、スループット・レート = 4MSPS、オーバーサンプリング付き

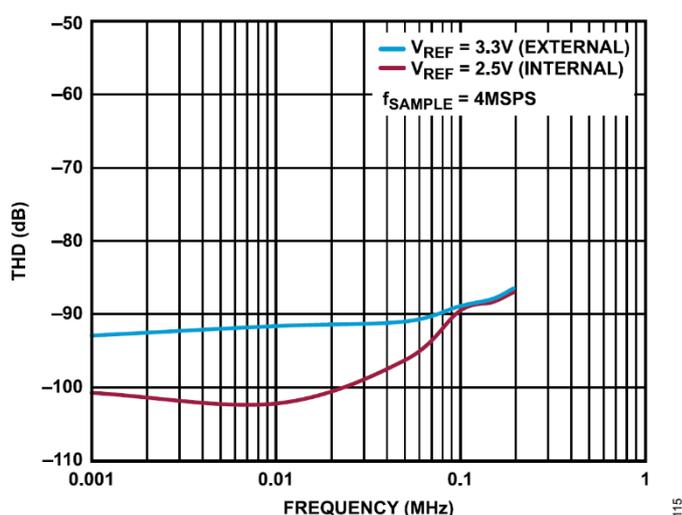


図 15. AD7383-4のTHDと入力周波数の関係

代表的な性能特性

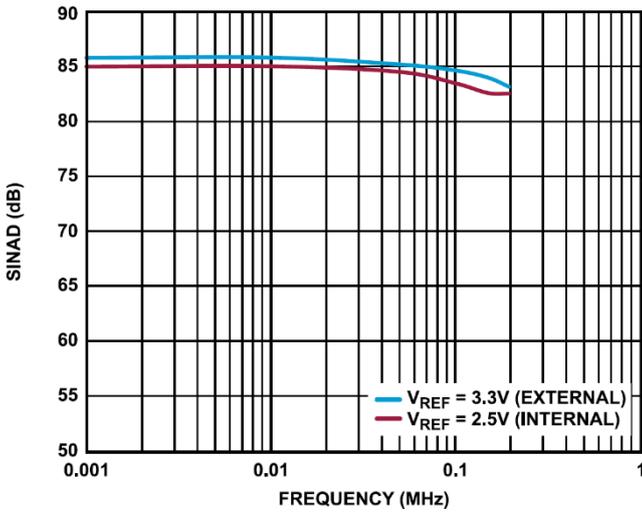


図 16. SINADと入力周波数の関係

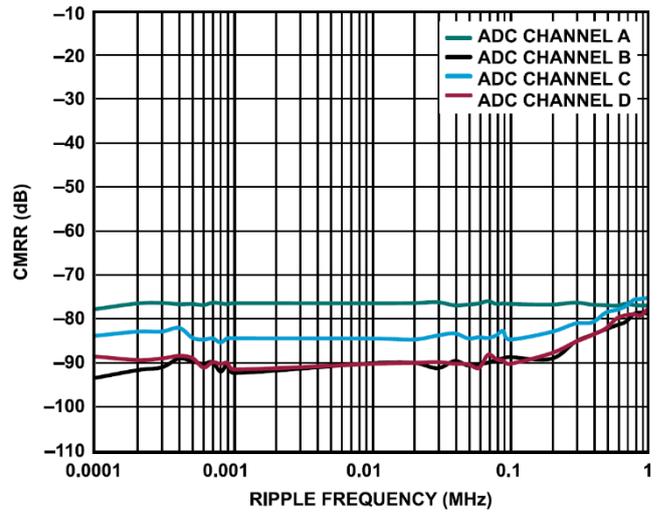


図 19. CMRRとリップル周波数の関係

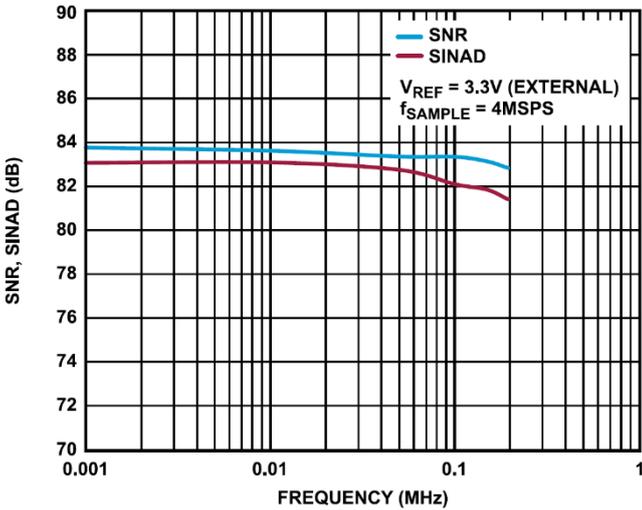


図 17. AD7384-4のSINAD、S/N比と入力周波数の関係

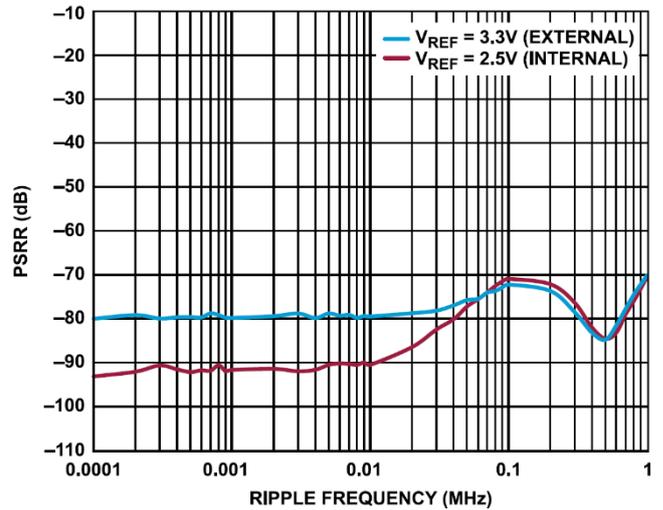


図 20. PSRRとリップル周波数の関係

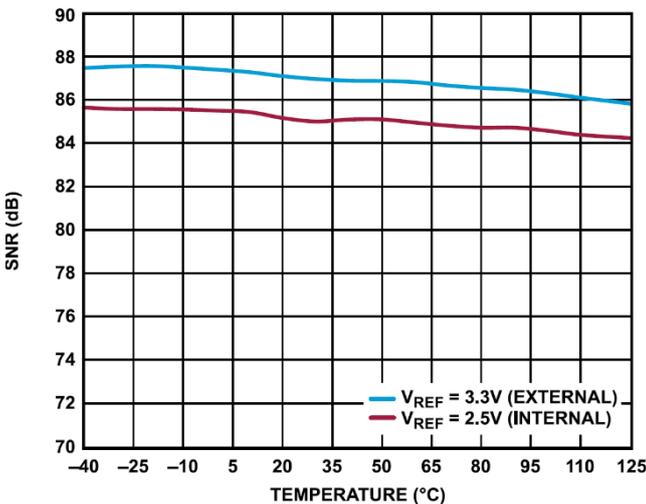


図 18. S/N比と温度の関係

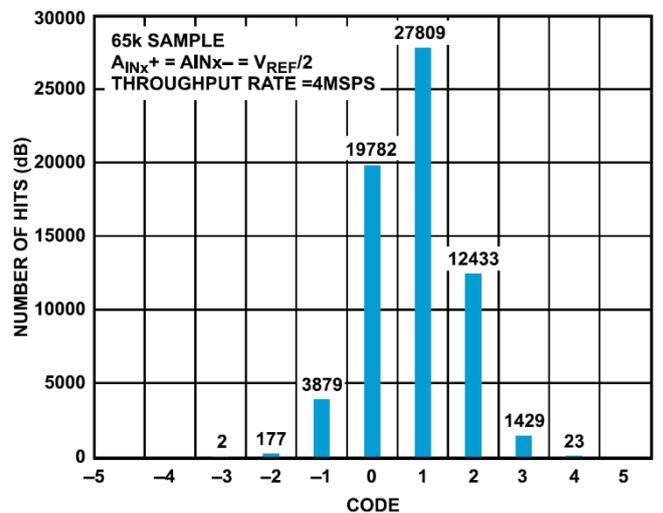


図 21. ヒストグラム

代表的な性能特性

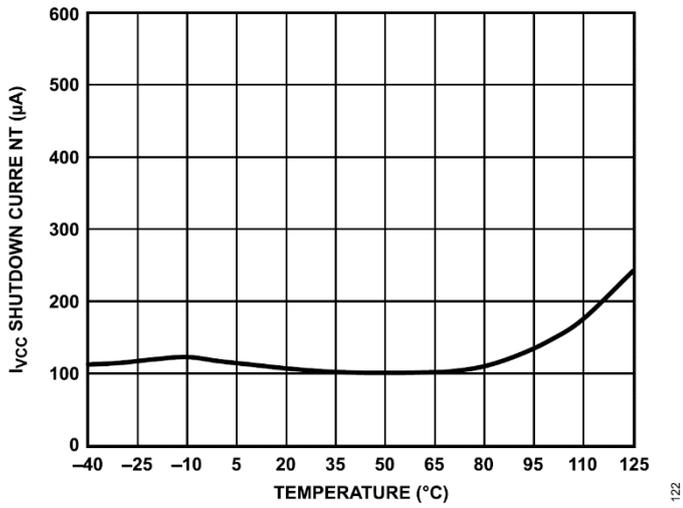


図 22. 移動平均オーバーサンプリング

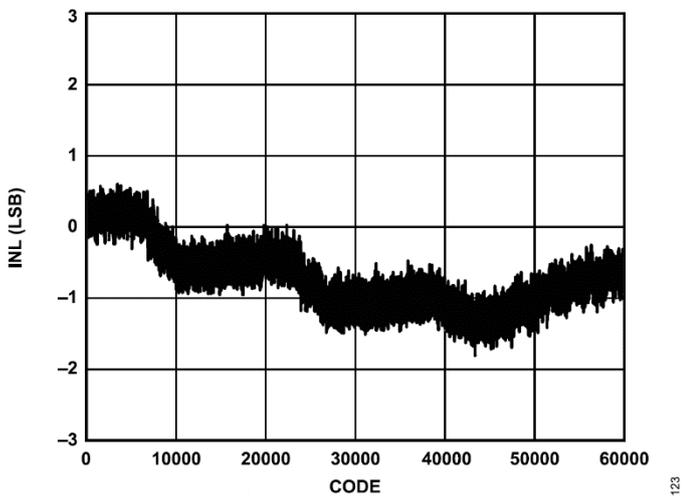


図 23. INL

## 用語の定義

### 微分非直線性 (DNL)

理想的なADCでは、コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差のことです。多くの場合、DNLはノー・ミス・コードが確保される分解能で仕様規定されます。

### 積分非直線性 (INL)

INLは、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSBだけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

### ゲイン誤差

最初の遷移 (100...000から100...001) は負の公称フルスケールより $\frac{1}{2}$ LSB上のレベルで発生します。最後の遷移 (011...110から011...111) は、公称フルスケールより $1\frac{1}{2}$ LSB低いアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

### ゲイン誤差ドリフト

1°Cの温度変化あたりのゲイン誤差の変化。

### ゲイン誤差マッチング

ゲイン誤差マッチングは、負のフルスケール誤差の入力チャンネル間の差と正のフルスケール誤差の入力チャンネル間の差です。

### ゼロ誤差

ゼロ誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

### ゼロ誤差温度ドリフト

ゼロ誤差温度ドリフトは、1°Cの温度変化あたりのゼロ誤差の変化です。

### ゼロ誤差マッチング

ゼロ誤差マッチングは、入力チャンネル間のゼロ誤差の差です。

### S/N比 (SNR)

S/N比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波とDCを除く) の実効値総和に対する実際の入力信号の実効値の比です。S/N比の単位はデシベルです。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRは、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

### 全高調波歪み (THD)

THDは、フルスケール入力信号の実効値に対する最初の5個の高調波成分の実効値総和の比で、単位はデシベルです。

### 信号/ノイズ+歪み (SINAD) 比

SINADは、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の実効値の比です。SINADの単位はデシベルです。

### 同相ノイズ除去比 (CMRR)

CMRRは、 $A_{INx+}$ と $A_{INx-}$ のコモンモード電圧に印加された周波数 $f$ の200mV<sub>p-p</sub>サイン波の電力に対する、周波数 $f$ でのADC出力電力の比です。CMRRはデシベルで表されます。

$$CMRR = 10 \log(P_{ADC\_IN}/P_{ADC\_OUT})$$

ここで、

$P_{ADC\_IN}$ は $A_{INx+}$ および $A_{INx-}$ 入力に印加される周波数 $f$ でのコモンモード電力、

$P_{ADC\_OUT}$ は、周波数 $f$ でのADCの出力電力です。

### アパーチャ遅延

アパーチャ遅延は、アキュジション性能の尺度で、 $\overline{CS}$ 入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

### アパーチャ・ジッタ

アパーチャ・ジッタはアパーチャ遅延の変動です。

## 動作原理

## 回路説明

AD7383-4/AD7384-4は、高速、クワッド、疑似差動の16ビット/14ビットSAR ADCです。これらのデバイスは、3.0V~3.6Vの電源で動作し、最大4MSPSのスループット・レートの特長としています。

AD7383-4/AD7384-4は、逐次比較ADC4個と、個別のデータ出力ピン4本を備えたシリアル・ペリフェラル・インターフェース (SPI) で構成されています。24ピンLFCSPパッケージに収容されており、代替ソリューションに比べ、かなりのスペースが節約できるという利点をもたらします。

データにはデバイスのSPIを介してアクセスできます。SPIは、2つ、4つまたは1つのシリアル出力で動作できます。AD7383-4/AD7384-4は、2.5Vの内部リファレンス ( $V_{REF}$ ) を備えています。2.5V~3.3Vの外部リファレンス電圧が必要な場合は、CONFIGURATION1レジスタのREFSELビットを1に設定します。

内部リファレンスをシステムの別の場所で使用する場合は、リファレンス出力をバッファする必要があります。AD7383-4/AD7384-4の疑似差動アナログ入力範囲は、コモンモード電圧 ( $V_{CM}$ )  $\pm V_{REF}/2$ です。

AD7383-4/AD7384-4は、オーバーサンプリング・ブロックを内蔵することで、性能が向上しています。相加平均オーバーサンプリング・モードと移動平均オーバーサンプリング・モードを使用可能です。変換の間の消費電力を節約できるパワーダウン・オプションも備わっています。デバイスの設定は、インターフェースのセクションで説明するように、標準的なSPIを介して行うことができます。

## コンバータの動作

AD7383-4/AD7384-4には4個の逐次比較ADCがあり、それぞれが2個の容量性DACを中心に構成されています。図24にこれらのADCの1つのアクイジション・フェーズの簡略化回路図、図25に変換フェーズの簡略化回路図を示します。ADCは、コントロール・ロジック、SAR、2個の容量性DACで構成されています。図24 (アクイジション・フェーズ) では、SW3は閉じて、SW1とSW2は位置Aにあります。コンパレータは平衡状態を維持しており、サンプリング・コンデンサ ( $C_S$ ) アレイは入力で差動信号を取得できます。

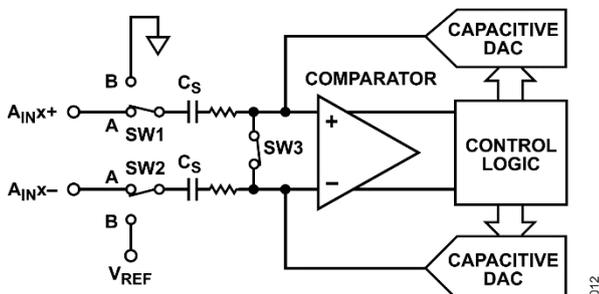


図 24. ADCアクイジション・フェーズ

ADCが変換を開始すると (図25)、SW3が開いて、SW1とSW2が位置Bに移動し、コンパレータが非平衡状態になります。変換を開始すると、入力は両方とも切断されます。コントロール・ロジックと電荷再配分式DACを使って、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが均衡状態に戻

ると、変換が完了します。コントロール・ロジックはADCの出力コードを生成します。 $A_{INX+}$ ピンおよび $A_{INX-}$ ピンの駆動源の出力インピーダンスをマッチングさせます。マッチングしていない場合、2つの入力のセトリング・タイムが異なり、誤差が生じます。

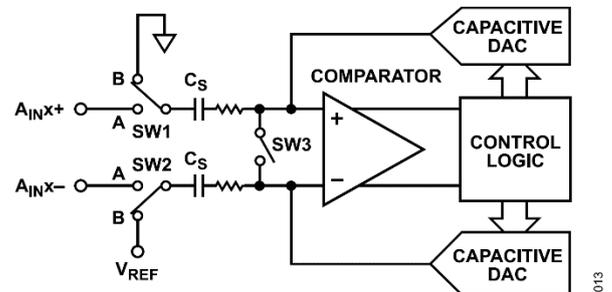


図 25. ADC変換フェーズ

## アナログ入力構造

図26に、AD7383-4/AD7384-4のアナログ入力構造の等価回路を示します。4個のダイオードにより、アナログ入力のESD保護機能を実現しています。アナログ入力信号が電源レールを300mV以上上回ることはないよう、注意する必要があります。この制限を超えると、ダイオードが順方向バイアスとなり、基板への導通が発生します。各ダイオードがデバイスに回復不能な損傷を与えない最大電流は10mAです。

図26に示すコンデンサC1は通常3pFで、主にピン容量によって決まります。抵抗R1はスイッチのオン抵抗で構成される集中定数コンポーネントです。これらの抵抗の値は通常200Ωです。C2コンデンサはADCのサンプリング・コンデンサで、容量は15pF (代表値) です。

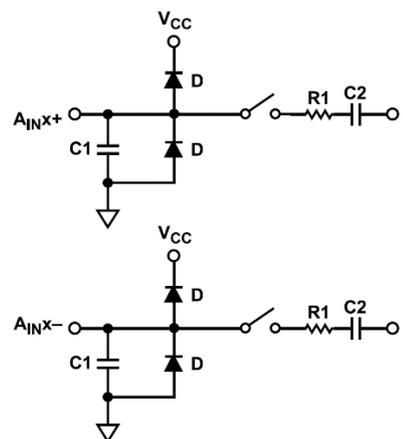


図 26. 等価アナログ入力回路、変換フェーズ：スイッチ開、トラック・フェーズ：スイッチ閉

### ADCの伝達関数

AD7383-4/AD7384-4では、2.5V~3.3Vのリファレンス電圧を使用します。AD7383-4/AD7384-4は、アナログ入力（A<sub>IN</sub>A+とA<sub>IN</sub>A-、A<sub>IN</sub>B+とA<sub>IN</sub>B-、A<sub>IN</sub>C+とA<sub>IN</sub>C-、A<sub>IN</sub>D+とA<sub>IN</sub>D-）の差動電圧をデジタル出力に変換します。

変換結果はMSBファーストで、2の補数です。LSBの大きさは  $V_{REF}/2^N$  で、NはADCの分解能です。ADCの分解能は、選択したデバイスの分解能と分解能増強モードが有効かどうかによって決まります。表10に、異なる分解能と異なるリファレンス電圧に対するLSBの大きさを、マイクロボルト単位で示します。

AD7383-4/AD7384-4の理想的な伝達特性を図27に示します。

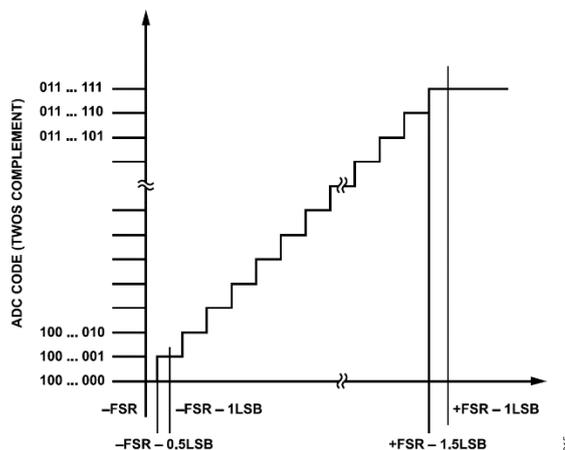


図 27. ADCの理想的な伝達関数（FSRはフルスケール・レンジ）

表10. LSBの大きさ

Resolution (Bits)	2.5 V Reference (μV)	3.3 V Reference (μV)
14	152.6	201.4
16	38.1	50.3
18	9.53	12.6

## アプリケーション情報

AD7383-4/AD7384-4の代表的なアプリケーション回路を図28に示します。図28に示すように、V<sub>CC</sub>ピン、V<sub>LOGIC</sub>ピン、REGCAPピン、REFIOピンは適切なデカップリング・コンデンサを用いて、デカップリングされています。露出パッドはデバイス上の回路のグラウンド基準ポイントとなるもので、ボードのグラウンドに接続する必要があります。

最適な性能を確保するには、アナログ入力に差動RCフィルタを配置する必要があります。代表的なアプリケーションでは、R = 33Ω、C1 = 68pF、C2 = 68pFとすることを推奨します。これらのRCの組み合わせは、AD7383-4/AD7384-4の全チャンネルに対し同じであることが必要です。

AD7383-4/AD7384-4の4つの擬似差動チャンネルで、A<sub>IN</sub>A+、A<sub>IN</sub>B+、A<sub>IN</sub>C+、A<sub>IN</sub>D+に0V～V<sub>REF</sub>の範囲の電圧、A<sub>IN</sub>A-、A<sub>IN</sub>B-、A<sub>IN</sub>C-、A<sub>IN</sub>D-にV<sub>REF</sub>/2の電圧を入力できます。表11に、このアプリケーションに最適で付加価値を高める推奨ドライバ・アンプを示します。

AD7383-4/AD7384-4の性能は、デジタル・インターフェースのノイズの影響を受けます。この影響はボード・レイアウトと設計に依存します。デジタル・ラインとデジタル・インターフェースの距離を最小にするか、100Ωの抵抗をSDOAピン、SDOBピン、SDOCピン、SDOD/ALERTピンの近くに直列に配置して、AD7383-4/AD7384-4にカップリングするデジタル・インターフェースからのノイズを抑制します。

AD7383-4/AD7384-4は、REFIOピンを介してアクセスされるバッファ付き2.5V内部リファレンスを備えています。このバッファ付き2.5V内部リファレンスは、外部回路に接続する前に、ADA4807-2などの外部バッファを使用する必要があります。ADR4533やADR4525などの超低ノイズ高精度電圧リファレンスを3.3Vおよび2.5Vの外部電圧リファレンス源として使用して、AD7383-4/AD7384-4のREFIOピンを駆動することもできます。1μFのリザーバ・コンデンサをできるだけデバイスに近い位置で短く広いパターンを使ってREFIOピンとグラウンドの間に接続することを推奨します。この外部リファレンス電圧をアプリケーション内の別の回路で用いる場合、例えば、ドライバ・アンプの共通モード電圧として用いる場合、安定したリファレンスを実現するためにADA4807-2などのバッファ・アンプを用いることを推奨します。

表11. シグナル・チェーンの部品

Companion Devices	Model	Description	Typical Application
ADC Driver	ADA4896-2	1 nV/√Hz, rail-to-rail output amplifier	Precision, low noise, high frequency
	ADA4940-2	Ultra low power, full differential, low distortion amplifier	Precision, low density, low power
	ADA4807-2	1 mA, rail-to-rail output amplifier	Precision, low power, high frequency
External Reference	ADR4525	Ultralow noise, high accuracy voltage reference	2.5 V reference voltage
	ADR4533	Ultralow noise, high accuracy voltage reference	3.3 V reference voltage
Reference Buffer	ADA4807-2	1 mA, rail-to-rail output amplifier	Precision, low power, high frequency
LDO Regulator	ADP166	Very low quiescent, 150 mA LDO regulator	3.0 V to 3.6 V supply for V <sub>CC</sub> and V <sub>LOGIC</sub>
	ADP7104	500 mA low noise, CMOS LDO regulator	5 V supply
	ADP7182	Low noise line regulator	-2.5 V supply for ADC driver amplifier
	ADP5600	Interleaved inverting charge pump with negative LDO	Voltage inverter for negative supply

## 電源

代表的なアプリケーションでは、図28のように、AD7383-4/AD7384-4の回路はシステムに給電する5V (V+) 電源で駆動できます。

この5V (V+) はADP7104で供給できます。ADCドライバには、+5V (V+) と反転チャージ・ポンプADP5600からの-2.5V (V-) が供給されます。このADP5600は+5Vを-5Vに変換し、次いでこれをADP7182低ノイズ電圧レギュレータに送り-2.5Vを出力させます。2つの個別の電源が低ドロップアウト (LDO)レギュレータから引き出され、AD7383-4/AD7384-4のアナログ回路用のV<sub>CC</sub>電源およびデジタル・インターフェース用のV<sub>LOGIC</sub>電源に供給されます。ADP166のような静止電流が極めて小さいLDOレギュレータは、代表的なV<sub>CC</sub>およびV<sub>LOGIC</sub>レベルである1.2V～3.3Vの範囲の固定電圧を出力する最適な電源です。V<sub>CC</sub>電源とV<sub>LOGIC</sub>電源はどちらも、1μFのコンデンサを使用して個別にデカップリングする必要があります。このコンデンサは、AD7383-4/AD7384-4のピンの近くに配置し、短く広いパターンで接続して低インピーダンス経路を形成し、電源ラインでのグリッチを減らします。更に、AD7383-4/AD7384-4に電力供給するLDOレギュレータも内蔵されています。この内部レギュレータは、デバイスの内部使用専用1.9V電源を供給します。AD7383-4/AD7384-4のREGCAPピンは、できる限りREGCAPピンの近くで短く広いパターンを使ってGNDピンとの間に1μFのコンデンサを接続することによって、デカップリングします。

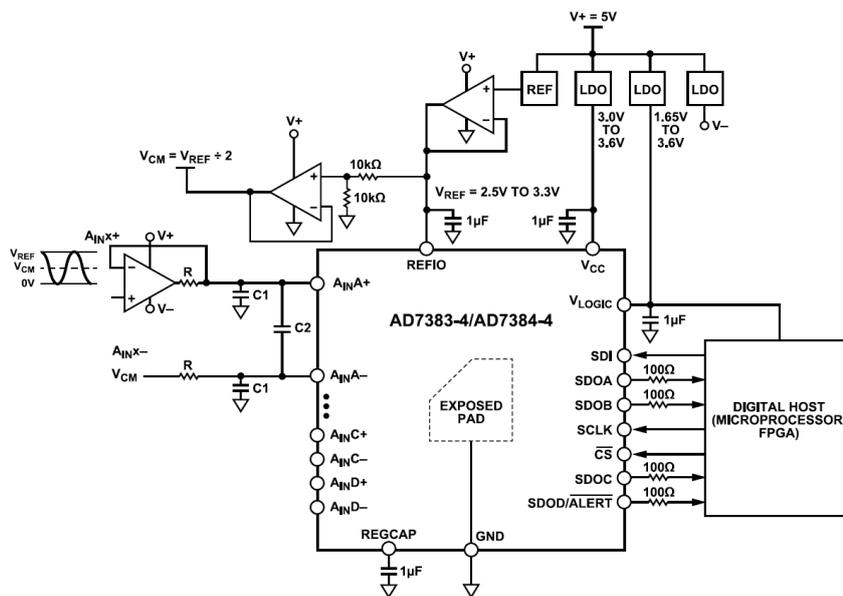
## パワーアップ

AD7383-4/AD7384-4は、電源シーケンシングによって容易に損傷することはありません。V<sub>CC</sub>およびV<sub>LOGIC</sub>には、どのシーケンスでも印加できます。

外部リファレンスの印加は、V<sub>CC</sub>およびV<sub>LOGIC</sub>の印加後に行う必要があります。アナログ信号とデジタル信号の印加は、外部リファレンスの印加後に行う必要があります。

AD7383-4/AD7384-4では、V<sub>CC</sub>およびV<sub>LOGIC</sub>に印加してからADCの変換結果が安定するまでに、t<sub>POWERUP</sub>の時間が必要です。CSピンをハイに保持した状態でのパワーアップ時の推奨シグナル・コンディションについては図4を参照してください。パワーアップ後にソフトウェア・リセットを行ってください（詳細についてはソフトウェア・リセットのセクションを参照）。

アプリケーション情報



NOTES  
1. V- IS THE EXTERNAL SUPPLY VOLTAGE (-2.5V) FOR THE DRIVER AMPLIFIER.

016

図 28. 代表的なアプリケーション回路

## 動作モード

AD7383-4/AD7384-4には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

## オーバーサンプリング

オーバーサンプリングは、アナログ電子機器において広く使用されている手法で、ADCの結果の精度を向上させることができます。複数のアナログ入力サンプルを取得して平均化することで、ADCの量子化ノイズや熱ノイズ (kTCノイズ) に由来するノイズ成分を削減します。AD7383-4/AD7384-4では、オーバーサンプリング機能がオンチップで提供され、相加平均と移動平均の2つのオーバーサンプリング・モードをユーザ設定可能です。

このオーバーサンプリング機能は、CONFIGURATION1レジスタのOS\_MODEビットとOSRビットをプログラムして設定します。

## 相加平均オーバーサンプリング

相加平均オーバーサンプリング・モードは、出力データ・レートが遅くても構わないアプリケーションや、S/N比やダイナミック・レンジが高いことが望ましいアプリケーションで使用されます。相加平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果がデバイスから出力されます。プロセスが完了すると、サンプリングしたデータはクリアされます。

相加平均オーバーサンプリング・モードは、OS\_MODEビットをロジック0にし、OSRビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、OSR

表12. 相加平均オーバーサンプリング・モード

AD7383-4 SNR (dB Typical)						
OSR, Bits[2:0]	Oversampling Ratio	2.5 V Reference		3.3 V Reference		Data Output Rate (kSPS Maximum)
		RES = 0	RES = 1	RES = 0	RES = 1	
000	No OS	85.03	85.22	87.00	87.04	4000
001	2	87.95	88.29	89.50	90.01	1500
010	4	90.45	91.22	91.76	92.83	750
011	8	92.67	94.00	93.71	95.50	375
100	16	94.42	94.67	95.12	97.50	187.5
101	32	95.27	96.74	95.68	98.32	93.75
110	Invalid	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable
111	Invalid	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable

ビットを使用して制御します (表12参照)。

各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表12に示します。出力結果は、16ビットの分解能にデシメートされます。必要に応じて、CONFIGURATION1レジスタの分解能増強ビット (RES)を設定することで分解能を追加できます。詳細については、[分解能増強のセクション](#)を参照してください。

OSRビットで定義されたサンプル数 (n) が取得、加算されて、nで除算されます。最初のADC変換は $\overline{CS}$ の立下がりエッジで開始され、オーバーサンプリング中の後続の全サンプリングは、AD7383-4/AD7384-4内部で制御されます。追加のnサンプルのサンプリング・レートは、デバイスの最大サンプリング・レート時で3MSPSです。データは、次のシリアル・インターフェース・アクセスでリードバックできます。この平均化手法の適用後、計算に使用されたサンプル・データは破棄されます。これは、アプリケーションが新たな変換結果を必要とするたびに繰り返されるプロセスで、 $\overline{CS}$ の次の立下がりエッジで開始されます。

出力データ・レートはオーバーサンプリング比分だけ低下するため、データ送信に必要なSPIの周波数が、これに応じて減少します。

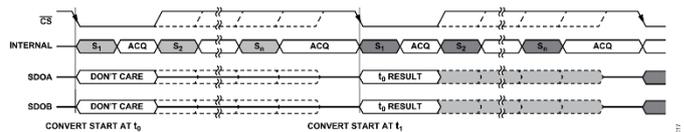


図 29. 相加平均オーバーサンプリングの動作

動作モード

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、高い出力データ・レートが必要なアプリケーションや、S/N比やダイナミック・レンジが高いことが望ましいアプリケーションで使用できます。移動平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果がデバイスから出力されます。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し (FIFO) バッファを使用し、それによりADCのスループット・レートと出力データ・レートを同じ状態に維持できます。

移動平均オーバーサンプリング・モードは、OS\_MODEビットをロジック1にし、OSRビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、OSRビットを使用して制御します (表13参照)。

各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表13に示します。出力結果は、

AD7383-4用に16ビットの分解能、AD7384-4用に14ビットの分解能にデシメートされます。必要に応じ、CONFIGURATION1レジスタのRESビットを設定することで分解能を追加できます。詳細については、[分解能増強](#)のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADCの全変換に対してCSの立下がりエッジで制御と開始が行われます。変換が完了すると、結果はFIFOにロードされます。FIFOの長さは、オーバーサンプリング比の設定に関わらず8です。FIFOは、ソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換でのパワーオン・リセット後の最初の変換で満たされます。新しい変換結果は、OSRビットおよびOS\_MODEビットのステータスに関わらず、各ADC変換完了時にFIFOにシフトされます。この変換によって、FIFOが満たされるのを待たずに、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移や、様々な移動平均オーバーサンプリング比が可能となります。

OSRビットで定義されたサンプル数 (n) がFIFOから取得、加算され、その結果がnで除算されます。

表13. 移動平均オーバーサンプリングの概要

AD7383-4 SNR (dB Typical)						
OSR, Bits[2:0]	Oversampling Ratio	2.5 V Reference		3.3 V Reference		Data Output Rate (kSPS Maximum)
		RES = 0	RES = 1	RES = 0	RES = 1	
000	No oversampling	85.14	85.21	87.02	87.03	4000
001	2	87.05	87.42	88.55	89.02	4000
010	4	89.76	90.27	91.00	91.85	4000
011	8	92.22	93.25	93.23	94.78	4000
110	Invalid	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable
111	Invalid	Not applicable	Not applicable	Not applicable	Not applicable	Not applicable

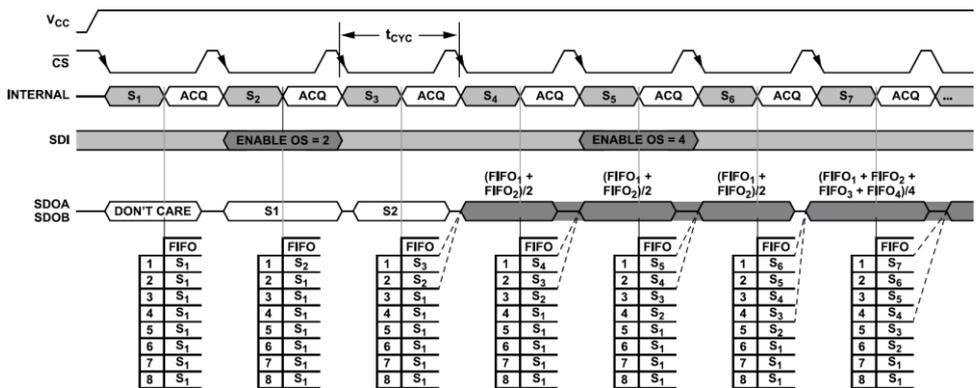


図 30. 移動平均オーバーサンプリング・モードの設定

## 動作モード

### 分解能増強

デフォルトの分解能と出力データ・サイズは、AD7383-4で16ビット、AD7384-4で14ビットです。内蔵のオーバーサンプリング機能を有効化すると、このデフォルトの分解能を上回るADC性能が得られます。この性能向上を実現するために、2ビットの分解能を追加することができます。CONFIGURATION1レジスタのRESビットをロジック1に設定し、AD7383-4/AD7384-4を有効なオーバーサンプリング・モードにした場合、AD7383-4の変換結果のサイズは18ビット、AD7384-4の変換結果のサイズは16ビットになります。このモードでは、AD7383-4のデータを伝搬するには18SCLKサイクル、AD7384-4では16SCLKサイクルが必要となります。

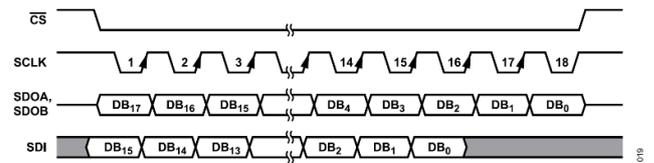


図 31. 分解能増強

### アラート

アラート機能は範囲外インジケータで、変換結果が範囲を外れたことを示す初期インジケータとして使用できます。変換結果レジスタの値がALERT\_HIGH\_THRESHOLDレジスタのアラート上限値を上回った場合、またはALERT\_LOW\_THRESHOLDレジスタのアラート下限値を下回った場合にアラート・イベントがトリガされます。ALERT\_HIGH\_THRESHOLDレジスタとALERT\_LOW\_THRESHOLDレジスタは、すべてのADCに共通です。閾値を設定する際には、アラート上限閾値は必ずアラート下限閾値より大きな値にする必要があります。詳細なアラート情報には、ALERT表示レジスタでアクセスできます。

このレジスタにはADCあたり2つのステータス・ビットがあり、1つは上限、もう1つは下限に対応しています。すべてのADCのアラート信号の論理ORにより、共通のアラート値が作成されます。この値は、SDOD/ALERTピンのALERT機能で出力されるよう設定できます。SDOD/ALERTピンは、CONFIGURATION1レジスタおよびCONFIGURATION2レジスタの次のビットを設定することで、ALERTに設定できます。

1. SDOビットを0b10以外の任意の値に設定。
2. ALERT\_ENビットを1に設定。
3. ALERT\_HIGH\_THRESHOLDレジスタとALERT\_LOW\_THRESHOLDレジスタに有効な値を設定。

アラート表示機能は、オーバーサンプリング（移動平均モード、相加平均モード、および非オーバーサンプリング・モード）で使用できます。

SDOD/ALERTピンのアラート機能は、変換の終了時に更新されます。ALERTレジスタのアラート表示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。

アラート表示レジスタのビット[7:0]は、アラート表示レジスタの内容を読み出すとクリアされます。SDOD/ALERTピンのアラート機能は、CSの立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、アラート表示レジスタのアラート・ステータスをクリアできます。

ALERTのタイミング図については、図8を参照してください。

### 電力モード

AD7383-4/AD7384-4では、ノーマル・モードとシャットダウン・モードの2つの電力モードをCONFIGURATION1レジスタで設定できます。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化できます。

CONFIGURATION1レジスタのPMODEビットをプログラムすることでAD7383-4/AD7384-4の電力モードを設定します。PMODEをロジック0に設定するとノーマル・モード、ロジック1に設定するとシャットダウン・モードになります。

#### ノーマル・モード

スループット・レートを最大にするには、AD7383-4/AD7384-4をノーマル・モードに維持します。AD7383-4/AD7384-4内の全ブロックが常にフルパワーとなり、必要に応じてADC変換をCSの立下がりエッジで開始できます。AD7383-4/AD7384-4が変換を行っていないとき、デバイスは静的モードになり、消費電力を自動的に削減します。変換を実行するには、追加電流が必要となります。そのため、AD7383-4/AD7384-4の消費電力はスループットに応じて増加します。

#### シャットダウン・モード

スループット・レートを下げて消費電力を抑制する必要がある場合は、シャットダウン・モードを使用します。シャットダウン・モードにするには、各変換の間にADCをパワーダウンするか、高スループット・レートで一連の変換を実行した後、これらのバースト変換の間に比較的長い時間ADCをパワーダウンします。AD7383-4/AD7384-4がシャットダウン・モードになると、すべてのアナログ回路がパワーダウンします。SPIはシャットダウン・モードの間もアクティブ状態のままなので、AD7383-4/AD7384-4のシャットダウン・モードを終了させることができます。

シャットダウン・モードに移行するには、CONFIGURATION1レジスタのPMODEビットに書き込みを行います。AD7383-4/AD7384-4は停止し、消費電流が削減されます。

シャットダウン・モードを終了しノーマル・モードに戻るには、CONFIGURATION1レジスタのPMODEビットをロジック0に設定します。すべてのレジスタ設定は、シャットダウン・モードを開始しても終了しても変わりません。シャットダウン・モードの終了後、回路がオンになってから変換を開始するまでには、十分な時間が必要です。

### 内部リファレンスおよび外部リファレンス

AD7383-4とAD7384-4には、主として内部デバイス動作に使用されて、REFIOピンを介してアクセスされる、バッファ付き2.5V内部リファレンスが備わっています。このバッファ付き2.5V内部リ

## 動作モード

ファレンスを外部で使用する場合、外部回路に接続する前に外部バッファを使用する必要があります。また、より正確なリファレンスやより高いダイナミック・レンジが必要な場合は、外部リファレンスを使用できます。外部リファレンスは、2.5V～3.3Vの範囲で供給できます。

リファレンスの選択（内部または外部）は、CONFIGURATION1レジスタのREFSELビットによって設定します。REFSELビットを0に設定すると、内部リファレンス・バッファがイネーブルされます。REFSELビットを1に設定すると、内部リファレンス・バッファがディスエーブルされます。外部リファレンスを使用したい場合は、REFSELビットを1に設定し、REFIOピンに外部リファレンスを供給します。

AD7383-4/AD7384-4の外部リファレンス電圧は、REFIOピンを通じて駆動されます。外部リファレンス電圧は、最大電流が2.4mAであるAD7383-4/AD7384-4を駆動できるだけの電流を流せる必要があります。REFIOピンには1 $\mu$ Fのコンデンサを接続することを推奨します。推奨する外部電圧リファレンスは、2.5Vの場合はADR4525、3.3Vの場合はADR4533です。

## ソフトウェア・リセット

AD7383-4/AD7384-4には、ソフト・リセットとハード・リセットの2つのリセット・モードがあります。RESETは、CONFIGURATION2レジスタのリセット・ビットに書き込むことで開始できます。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースとADCブロックを更新します。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックとFIFOは消去されます。ALERT表示レジスタはクリアされます。リファレンスとLDOレギュレータの電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、内部発振器ブロックもリセットされます。

## 診断セルフ・テスト

AD7383-4/AD7384-4は、パワーオン・リセット後またはソフトウェア・ハード・リセットの後、診断セルフ・テストを実行し、設定が正しくデバイスにロードされるようにします。

セルフ・テストの結果は、ALERT表示レジスタのSETUP\_Fビットに示されます。SETUP\_Fビットがロジック1にセットされた場合、診断セルフ・テストは不合格です。不合格になった場合、ソフトウェア・ハード・リセットが実行され、AD7383-4/AD7384-4のレジスタはデフォルト状態にリセットされます。

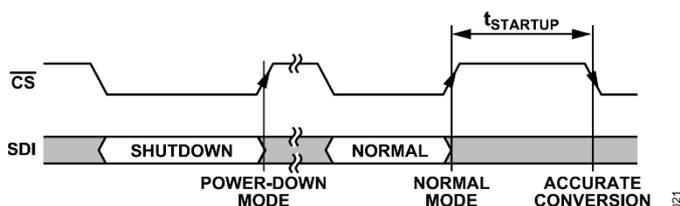


図 32. シャットダウン・モード動作

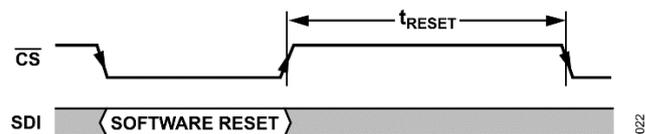


図 33. ソフトウェア・リセット動作

## インターフェース

AD7383-4/AD7384-4へのインターフェース接続は、SPIを通じて行います。インターフェースは、 $\overline{CS}$ 、SCLK、SDOA、SDOB、SDOC、SDOD、SDIの各ピンで構成されています。多機能ピンの特定の機能について説明した箇所では、「SDOD」のように、仕様に関係するピン名のみを示しています。多機能ピンのすべての機能を含むピン名については、[ピン配置およびピン機能の説明のセクション](#)を参照してください。

$\overline{CS}$ 信号は、シリアル・データ転送をフレーミングし、ADC変換プロセスを開始します。 $\overline{CS}$ の立下がりエッジは、アナログ入力が入力された時点でトラック&ホールドをホールド・モードにし、バスはスリーステート状態でなくなります。ADCの変換動作は、内部発振器によって駆動され、SCLK信号には依存しません。

SCLK信号は、SDOA、SDOB、SDOC、SDOD、SDIの各信号を通じて、データをデバイスに同期させたり、同期を解除したりします。レジスタからの読書きを行うには、最少で16 SCLKサイクルが必要です。変換の読出しに必要な最小SCLKサイクルの数は、デバイスの分解能と構成設定に依存します（[表14](#)参照）。

AD7383-4/AD7384-4には、SDOA、SDOB、SDOC、SDODの4つのシリアル出力信号があります。CONFIGURATION2レジスタのSDOビットをプログラムすることで、4線モード、2線モード、あるいは1線モードに設定できます。最大スループットを実現するには、2線モードまたは4線モードを使用して変換結果を読み出す必要があります。スループットを下げる必要がある場合や、オーバーサンプリングを使用する場合は、SDOA信号のみを使用する1線モードで変換結果を読み出すことができます。

分解能増強モードが有効な状態で、SPI読出しやSPI書込み、オーバーサンプリング・モードに巡回冗長性チェック（CRC）動作を

設定すると、インターフェースの動作が変わります。正しい動作を確保するためには[CRC](#)のセクションを参照してください。

### 変換結果の読出し

$\overline{CS}$ 信号によって変換プロセスが開始されます。 $\overline{CS}$ 信号がハイからローに遷移すると、ADC A、ADC B、ADC C、ADC Dの4つのADCが同時に変換を開始します。AD7383-4/AD7384-4には1サイクルのリードバック遅延があります。そのため、変換結果は次のSPIアクセスで使用できます。 $\overline{CS}$ 信号をローで受けると、変換結果がシリアル・データ出力ピンにクロック出力されます。次の変換もこの時点で開始されます。

変換結果はAD7383-4では16ビットの結果として、AD7384-4では14ビットの結果としてデバイスからシフト出力されます。変換結果のMSBは、 $\overline{CS}$ の立下がりエッジでシフト出力されます。その他のデータは、SCLK入力の制御の下でデバイスからシフト出力されます。データはSCLKの立上がりエッジでシフト出力され、データ・ビットは立下がりエッジと立上がりエッジの両方で有効です。SCLKの最後の立下がりエッジの後、再度 $\overline{CS}$ をハイで受けると、SDOxピンは高インピーダンス状態に戻ります。

変換結果をSDOxピンに伝搬するのに必要なSCLKサイクル数は、設定されるシリアル動作モード、および分解能増強モードが有効かどうかによって異なります（詳細は、[図34](#)および[表14](#)を参照）。CRC読出しが有効になっている場合、CRC情報を伝搬するには、追加のSCLKパルスが必要です（詳細は[CRC](#)のセクションを参照）。

$\overline{CS}$ 信号によって変換が開始され、データがフレーミングされるため、すべてのデータ・アクセスは1つのフレーム内で完了する必要があります。

表14. 変換結果の読出しに必要なSCLKサイクル数 (n)

Interface Configuration	Resolution Boost Mode	CRC Read	No. of SCLK Cycles
4-Wire	Disabled	Disabled	16
		Enabled	24
	Enabled	Disabled	18
		Enabled	26
2-Wire	Disabled	Disabled	32
		Enabled	40
	Enabled	Disabled	36
		Enabled	44
1-Wire	Disabled	Disabled	64
		Enabled	72
	Enabled	Disabled	72
		Enabled	80

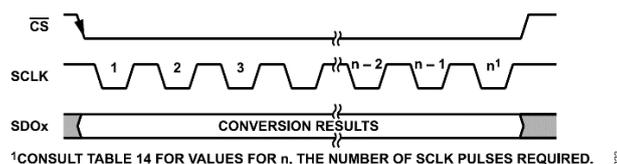


図 34. 変換結果の読出し

## インターフェース

### シリアル4線モード

4線モードに設定するには、CONFIGURATION2レジスタのSDOビットを0b10に設定します。4線モードでは、ADC Aの変換結果がSDOAピン、ADC Bの変換結果がSDOBピン、ADC Cの変換結果がSDOCピン、ADC Dの変換結果がSDOD/ALERTピンに出力されます。

### シリアル2線モード

2線モードに設定するには、CONFIGURATION2レジスタのSDOビットを0b00に設定します。2線モードでは、ADC AとADC Cの変換結果がSDOAピンに出力されます。ADC BとADC Dの変換結果はSDOBピンに出力されます。

### シリアル1線モード

スループット・レートが遅くても構わないアプリケーションや、相加平均オーバーサンプリングを使用するアプリケーションで

は、1線モードで動作するようにシリアル・インターフェースを設定できます。1線モードでは、ADC A、ADC B、ADC C、ADC Dの変換結果がSDOAピンに出力されます。すべてのデータを伝搬するには、追加のSCLKサイクルが必要です。まずADC Aのデータが出力され、次いでADC B、ADC C、ADC Dの変換結果が出力されます。

### 低遅延リードバック

AD7383-4/AD7384-4のインターフェースには、[図36](#)に示すように、1サイクル分の遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間の終了後、変換を開始した最初のCSパルスの後の2番目のCSパルスを使用して、変換結果をリードバックできます。この動作を[図38](#)に示します。

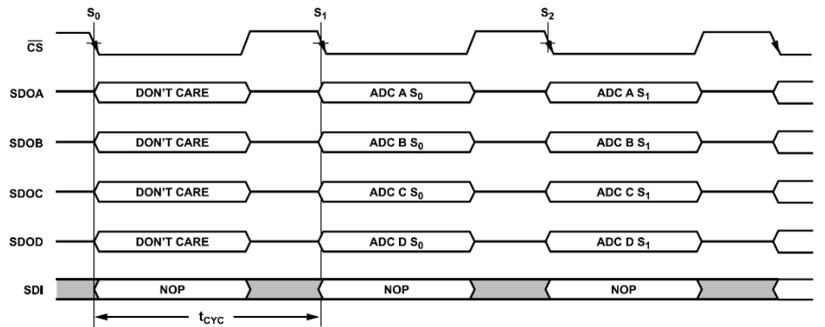


図 35. 変換結果の読出し、4線モード

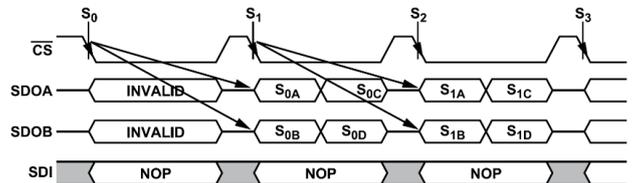


図 36. 変換結果の読出し、2線モード

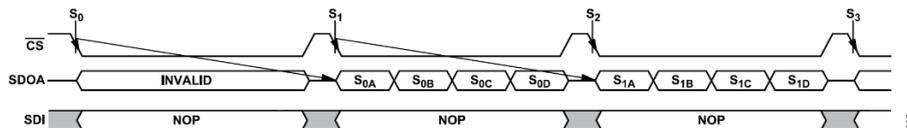


図 37. 変換結果の読出し、1線モード

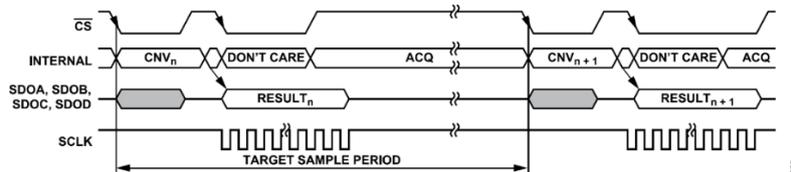


図 38. 低スループットでの低遅延

## インターフェース

### デバイス・レジスタからの読出し

デバイス内のすべてのレジスタは、SPIを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作（NOP）コマンドのいずれかの追加SPIコマンドを発行します。読出しコマンドのフォーマットを表17に示します。読出しコマンドを選択するには、ビットD15を0に設定する必要があります。ビット [D14:D12] には、レジスタのアドレスが格納されます。後続の12ビット（ビット [D11:D0]）は無視されます。

### デバイス・レジスタへの書込み

AD7383-4/AD7384-4のすべての読出し/書込みレジスタは、SPIを介して書き込むことができます。SPIの書込みアクセスの長さは、CRCの書込み機能によって決まります。SPIアクセスは、CRCの書込みが無効な場合は16ビット、CRC書込みが有効な場合は24ビットです。書込みコマンドのフォーマットを表17に示します。書込みコマンドを選択するには、ビットD15を1に設定する必要があります。ビット [D14:D12] には、レジスタのアドレスが格納され、後続の12ビット（ビット [D11:D0]）には、選択したレジスタに書き込むデータが格納されます。

### CRC

AD7383-4/AD7384-4にはCRCチェックサム・モードがあり、これを使用すると、データ伝送中のエラーを検出することでインターフェースの堅牢性を向上させることができます。CRC機能は、SPIの読出しと書込みに対して個別に選択できます。例えば、SPI書込みにはCRC機能を有効化してデバイス設定の予期しない変更を防止する一方、SPI読出しに対してはCRC機能を有効化せずに高いスループットを維持することができます。CRC機能は、CONFIGURATION1レジスタのCRC\_WビットとCRC\_Rビットを設定することで制御できます。

### CRC読出し

有効化すると、変換結果またはレジスタ読出しに8ビット・ワードからなるCRCが付加されます。CRCはADC A、ADC B、ADC C、ADC Dの変換結果で計算され、SDOAに出力されます。また、CRCはレジスタ読出し出力についても計算され、付加されます。

CRC読出し機能は、2線SPIモード、1線SPIモード、4線SPIモード、分解能増強モードで使用できます。

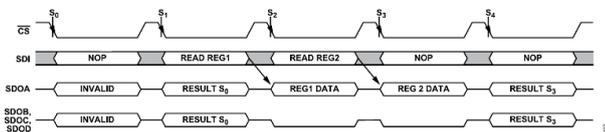


図 39. レジスタの読出し

### CRC書込み

CRC書込み機能を有効化するには、CONFIGURATION1レジスタのCRC\_Wビットを1に設定する必要があります。CRC\_Wビットを1に設定してCRC機能を有効化する場合には、リクエスト・フレームに有効なCRCコマンドが含まれているようにしてください。

CRC機能が有効化されると、有効なCRCコマンドを備えていない限りすべてのレジスタ書込みリクエストは無視されます。

有効なCRCは、CRC書込み機能を有効化する場合にも無効化する場合にも必要です。

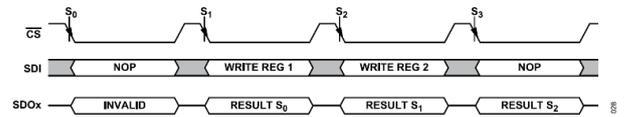


図 40.

### CRC多項式

CRCチェックサム計算では、常に次の多項式が使用されます。

$$x^8 + x^2 + x + 1 \quad (1)$$

チェックサムを生成するには、4つのチャンネルの16ビット・データの変換結果を結合し、64ビットのデータ・ストリームを作成します。この64ビット・データの8個のMSBが反転され、8個のロジック0で終わる数が作成されるように8ビット分のデータが付加されます。多項式のMSBが、データの最も左のロジック1と隣り合うように、多項式の値の位置決めを実行します。次に、排他的論理和（XOR）関数をデータに適用してより短い数値を新たに生成し、再度、多項式のMSBが、得られたデータの最も左にあるロジック1と隣り合うように、多項式の値の位置決めを実行します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが8ビット・チェックサムです。

例えば、AD7383-4の多項式が100000111で、4つのチャンネルの元の値が0xAAAA、0x5555、0xAAAA、0x5555であるとし、データの8個のMSBが反転されます。次に、右に8個の0を含むようにデータが追加されます。最後のXOR操作では、計算結果（余り）が多項式より小さくなっています。したがって、この余りが、仮定したデータのCRCとなります。



インターフェース

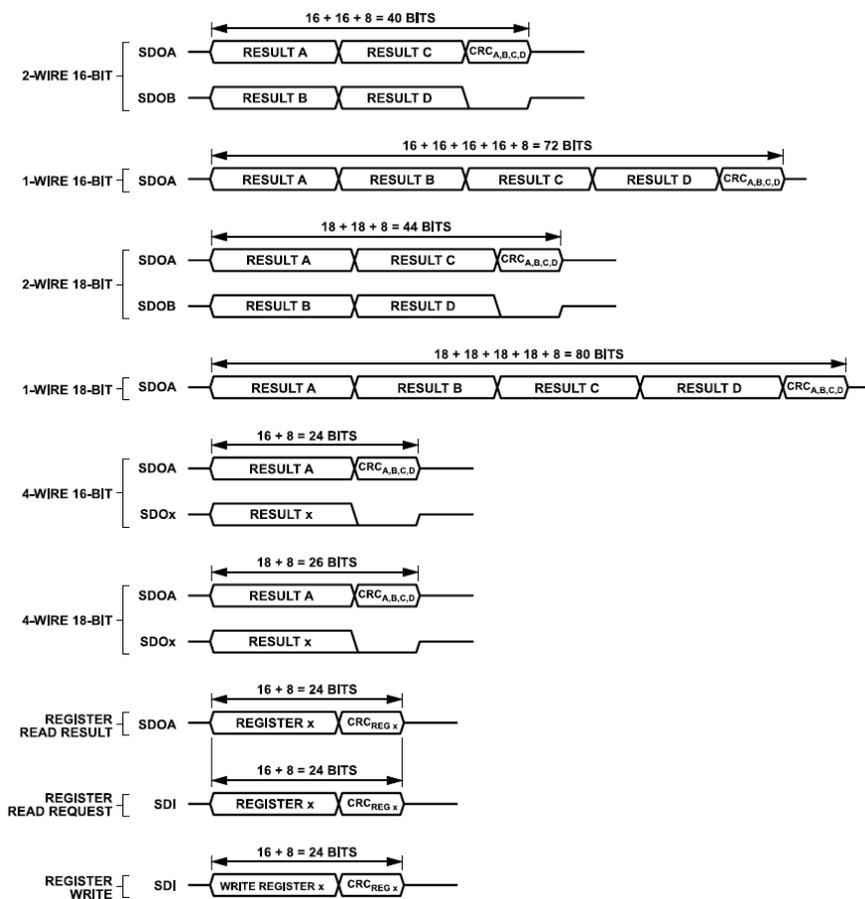


図 41. CRCの動作

030

## レジスタ

AD7383-4/AD7384-4にはデバイス設定用に、ユーザ設定可能なレジスタが内蔵されています。表16に、AD7383-4/AD7384-4で使用可能な全レジスタの概要を示します。

レジスタは、読出し/書込み (R/W) または読出し専用 (R) です。書込み専用レジスタへの読出しリクエストは無視され、読出し専用レジスタへの書込みリクエストも無視されます。NOPレジスタと予備レジスタへの書込みは無視されます。NOPレジスタまたは予備レジスタへの読出しリクエストは無操作 (NOP) とみなされ、次のSPIフレームで送信されるデータは変換結果となります。

表16. レジスタの説明

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Default	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x1	CONFIGURATION1	[15:8]	WR	ADDRESSING			RESERVED		OS_MODE	OSR, Bit 2	0x0000	R/W
		[7:0]	OSR, Bits[1:0]		CRC_W	CRC_R	ALERT_EN	RES	REFSEL	PMODE		
0x2	CONFIGURATION2	[15:8]	WR	ADDRESSING			RESERVED		SDO, Bits[1:0]		0x0000	R/W
		[7:0]	RESET, Bits[7:0]									
0x3	ALERT	[15:8]	WR	ADDRESSING			RESERVED		CRCW_F	SETUP_F	0x0000	R
		[7:0]	AI_D_HIGH	AI_D_LOW	AI_C_HIGH	AI_C_LOW	AI_B_HIGH	AI_B_LOW	AI_A_HIGH	AI_A_LOW		
0x4	ALERT_LOW_THRESHOLD	[15:8]	WR	ADDRESSING			ALERT_LOW, Bits[11:8]				0x0800	R
		[7:0]	ALERT_LOW, Bits[7:0]									
0x5	ALERT_HIGH_THRESHOLD	[15:8]	WR	ADDRESSING			ALERT_HIGH, Bits[11:8]				0x07FF	R/W
		[7:0]	ALERT_HIGH, Bits[7:0]									

## アドレス指定レジスタ

AD7383-4/AD7384-4でのシリアル・レジスタ転送は、16のSCLKサイクルで構成されます。デバイスに書き込まれた4つのMSBは、どのレジスタがアドレス指定されているか判断するためにデコードされます。この4つのMSBは、レジスタ・アドレス (REGADDR) のビット [2:0]、および読出し/書込みビット (WR) で構成されます。レジスタ・アドレス・ビットは、どの内蔵レジスタが選択されるかを指定します。アドレス指定されたレジスタが有効な書込みレジスタの場合、WRビットは、指定されたレジスタにSDI入力の残りの12ビット・データをロードするかどうかを決めます。WRビットが1の場合、レジスタ選択ビットによって指定されたレジスタにビットがロードされます。WRビットが0の場合、コマンドは読出しリクエストとみなされ、アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表17. アドレス指定レジスタのフォーマット

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR	REGADDR, Bits[2:0]			Data, Bits[11:0]											

表 18. アドレス指定レジスタのビットの説明

ビット	ビット名	説明
D15	WR	このビットに1が書き込まれていると、このレジスタのビット[11:0]をREGADDRで指定されるレジスタに書き込みます (ただし、そのレジスタのアドレスが有効な場合)。代わりに、0が書き込まれていると、次にSDOAピンに送信するデータを指定されたレジスタから読み出します (ただし、そのレジスタのアドレスが有効な場合)。
D14 to D12	REGADDR	WR = 1の場合、REGADDRの内容によって、表16に示したレジスタの中から選択されます。 WR = 0でREGADDRビットに有効なレジスタ・アドレスが格納されている場合、指定されたレジスタの内容が次のインターフェース・アクセス時にSDOAピンに出力されます。 WR = 0でREGADDRビットに0x0、0x6、0x7のいずれかが格納されている場合、SDIラインの内容は無視され、次のインターフェース・アクセスによって、変換結果がリードバックされます。
D11 to D0	DATA	WRビットが1でREGADDRビットに有効なアドレスが格納されている場合、DATAビットは、REGADDRビットによって指定されたレジスタに書き込まれます。

## CONFIGURATION1レジスタ

アドレス : 0x1、リセット : 0x0000、レジスタ名 : CONFIGURATION1

## レジスタ

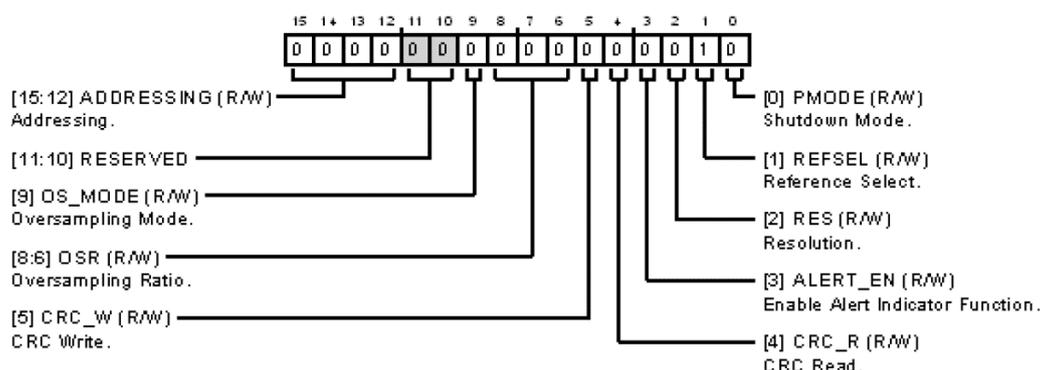


表19. CONFIGURATION1レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 <a href="#">アドレス指定レジスタ</a> のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R
9	OS_MODE	オーバーサンプリング・モード。ADCのオーバーサンプリング・モードを設定します。 0：相加平均 1：移動平均	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。該当するモードのすべてのADCのオーバーサンプリング比を設定します。相加平均モードでは、2x、4x、8x、16x、32xのオーバーサンプリング比に対応します。移動平均モードでは、2x、4x、8xのオーバーサンプリング比に対応します。 000：無効 001：2x 010：4x 011：8x 100：16x 101：32x 110：無効 111：無効	0x0	R/W
5	CRC_W	CRC書き込み。SDIインターフェースのCRC機能を制御します。このビットを0から1にセットする場合、コマンドの後に有効なCRCを追加してこの設定ビットをセットする必要があります。有効なCRCが受信されない場合、フレーム全体が無視されます。このビットが1にセットされている場合、CRCではこれを0にクリアする必要があります。 0：CRC機能なし 1：CRC機能	0x0	R/W
4	CRC_R	CRC読出し。SDOxインターフェースのCRC機能を制御します。 0：CRC機能なし 1：CRC機能	0x0	R/W
3	ALERT_EN	アラート表示機能を有効化。SDOビットが01の場合に、このビットが機能します。それ以外の場合、ALERT_ENビットは無視されます。 0: SDOB. 1: ALERT.	0x0	R/W
2	RES	分解能。変換結果のデータ・サイズを設定します。OSR = 0の場合、RESビットは無視され、分解能はデフォルト値に設定されます。 0：通常分解能 1：2ビット高い分解能	0x0	R/W
1	REFSEL	リファレンスの選択。ADCのリファレンス電圧源を選択します。 0：内部リファレンスを選択 1：外部リファレンスを選択	0x0	R/W
0	PMODE	パワーダウン・モード。電力モードを設定します。 0：ノーマル・モード 1：シャットダウン・モード	0x0	R/W

## レジスタ

### CONFIGURATION2レジスタ

アドレス：0x2、リセット：0x0000、レジスタ名：CONFIGURATION2

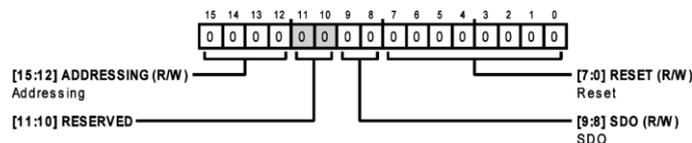


表20.CONFIGURATION2レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 <a href="#">アドレス指定レジスタ</a> のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R
[9:8]	SDO	SDO。変換結果のシリアル・データ出力。 00：2線出力。変換データはSDOAおよびSDOBの両方に出力されます。 01：1線出力。変換データはSDOAのみに出力されます。 10：4線出力。変換データはSDOA、SDOB、SDOC、SDOD/ $\overline{\text{ALERT}}$ に出力されます。 11：1線出力。変換データはSDOAのみに出力されます。	0x0	R/W
[7:0]	RESET	リセット。 0x3C：ソフト・リセットを実行します。一部のブロックが更新されます。レジスタの内容は変わりません。アラート表示レジスタがクリアされ、オーバーサンプリング保存された変数やアクティブ・ステート・マシンは消去されます。 0xFF：ハード・リセットを実行します。AD7383-4/AD7384-4内のリセット可能なブロックはすべてリセットされます。レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

### ALERT表示レジスタ

アドレス：0x3、リセット：0x0000、レジスタ名：ALERT

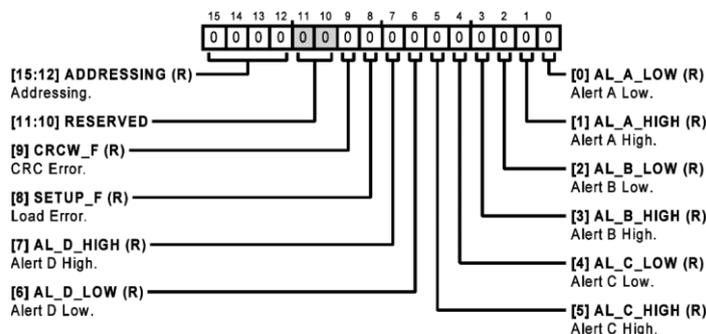


表21. ALERT表示レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 <a href="#">アドレス指定レジスタ</a> のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備。	0x0	R
9	CRCW_F	CRCエラー。CRCW_Fは、レジスタ書き込みコマンドがCRCエラーのために失敗したことを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0：CRCエラーなし。 1：CRCエラー。	0x0	R
8	SETUP_F	ロード・エラー。SETUP_Fは、起動時にデバイス設定データが正しく読み込まれなかったことを示します。このビットは、アラート表示レジスタの読出し時にはクリアされません。このビットをクリアし、デバイスのセットアップを再起動するには、CONFIGURATION2レジスタを介したハード・リセットが必要です。 0：セットアップ・エラーなし。 1：セットアップ・エラー。	0x0	R

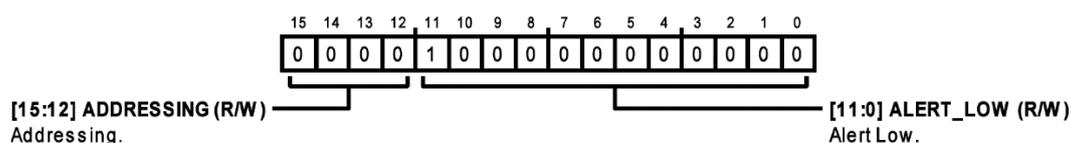
## レジスタ

表21. ALERT表示レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AL_D_HIGH	アラートDハイ。このアラート表示ハイ・ビットは、ADC Dの入力チャンネルの変換結果がALERT_HIGH_THRESHOLDレジスタの設定値を上回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R
6	AL_D_LOW	アラートDロー。このアラート表示ロー・ビットは、ADC Dの入力チャンネルの変換結果がALERT_LOW_THRESHOLDレジスタの設定値を下回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0: アラート表示なし。 1: アラート表示。	0x0	R
5	AL_C_HIGH	アラートCハイ。このアラート表示ハイ・ビットは、ADC Cの入力チャンネルの変換結果がALERT_HIGH_THRESHOLDレジスタの設定値を上回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R
4	AL_C_LOW	アラートCロー。このアラート表示ロー・ビットは、ADC Cの入力チャンネルの変換結果がALERT_LOW_THRESHOLDレジスタの設定値を下回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R
3	AL_B_HIGH	アラートBハイ。このアラート指示ハイ・ビットは、ADC Bの入力チャンネルの変換結果がALERT_HIGH_THRESHOLDレジスタの設定値を上回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R/W
2	AL_B_LOW	アラートBロー。このアラート指示ロー・ビットは、ADC Bの入力チャンネルの変換結果がALERT_LOW_THRESHOLDレジスタの設定値を下回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R
1	AL_A_HIGH	アラートAハイ。このアラート指示ハイ・ビットは、ADC Aの入力チャンネルの変換結果がALERT_HIGH_THRESHOLDレジスタの設定値を上回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0: アラート指示なし。 1: アラート表示。	0x0	R
0	AL_A_LOW	アラートAロー。このアラート指示ロー・ビットは、ADC Aの入力チャンネルの変換結果がALERT_LOW_THRESHOLDレジスタの設定値を下回っているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R

## ALERT\_LOW\_THRESHOLDレジスタ

アドレス : 0x4、リセット : 0x0800、レジスタ名 : ALERT\_LOW\_THRESHOLD



## レジスタ

表22. ALERT\_LOW\_THRESHOLDレジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 <a href="#">アドレス指定レジスタ</a> のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラート・ロー。ALERT_LOWのビット[11:0]は、内部アラート・ロー・レジスタのMSB (D[15:4]) に移動します。内部レジスタの残りのビット、D[3:0]は、0x0に固定されます。変換結果がALERT_LOW_THRESHOLDレジスタの値を下回るとアラートをセットし、ALERT_LOW_THRESHOLDレジスタの値を上回るとアラートは無効になります。	0x800	R/W

## ALERT\_HIGH\_THRESHOLDレジスタ

アドレス : 0x5、リセット : 0x07FF、レジスタ名 : ALERT\_HIGH\_THRESHOLD

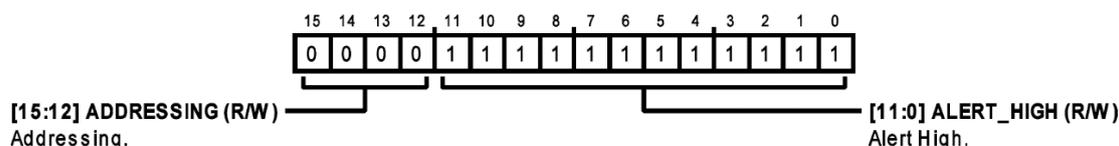
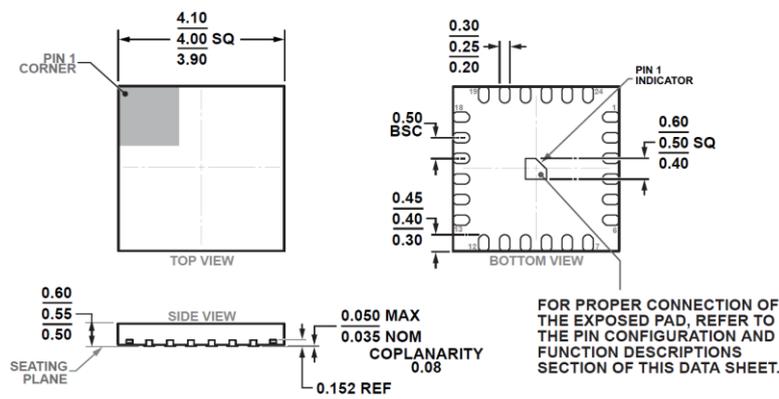


表23. ALERT\_HIGH\_THRESHOLDレジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 <a href="#">アドレス指定レジスタ</a> のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGHのビットD[11:0]は、内部アラート・ハイ・レジスタのMSB (D[15:4]) に移動します。内部レジスタの残りのビット、D[3:0]は、0xFに固定されます。変換結果がALERT_HIGH_THRESHOLDレジスタの値を上回るとアラートをセットし、ALERT_HIGH_THRESHOLDレジスタの値を下回るとアラートは無効になります。	0xFFF	R/W

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-248-UGGD

01-30-2017-A

図 42. 24ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]  
4mm × 4mmボディ、0.55mmパッケージ高  
(CP-24-25)  
寸法 : mm

更新 : 2023年4月18日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option	Marking Code
AD7383-4BCPZ	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.55mm)	Tray, 490	CP-24-25	
AD7383-4BCPZ-RL	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.55mm)	Reel, 5000	CP-24-25	
AD7383-4BCPZ-RL7	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.55mm)	Reel, 1000	CP-24-25	
AD7384-4BCPZ	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.55mm)	Tray, 490	CP-24-25	CA6
AD7384-4BCPZ-RL	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.55mm)	Reel, 5000	CP-24-25	CA6
AD7384-4BCPZ-RL7	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.55mm)	Reel, 1000	CP-24-25	CA6

<sup>1</sup> Z = RoHS準拠製品。

評価用ボード

Model <sup>1</sup>	Description
EVAL-AD7383-4FMCZ	Evaluation Board

<sup>1</sup> Z = RoHS準拠製品。